DLP991UUV 工业数字微镜器件

1 特性

- 高分辨率 4096 × 2176 微镜阵列
  - > 890 万个微镜
  - 5.4µm 微镜间距
  - 0.99" 微镜阵列对角线
  - ±12° 微镜倾斜角（相对于平面）
  - 设计用于角落照明
  - 集成微镜驱动器电路
- 设计用于控制 343nm 至 410nm 的 UV 波长
  - （每通过一扇窗口）窗口透射率为 97%
  - 微镜反射率为 88%
  - 平均衍射效率为 91%（在 f/3 照明和 f/2.4 投影条件下，波长范围为 343nm 至 410nm）。
  - 打开状态阵列填充系数为 90%

2 应用

- 工业
  - 直接成像光刻技术
  - 3D 打印
  - 机器视觉和质量控制
  - 激光打标和修复
- 医疗
  - 眼科
  - 针对四肢和皮肤测量的 3D 扫描仪
  - 高光谱成像/扫描
- 显示器
  - 3D 成像显微镜

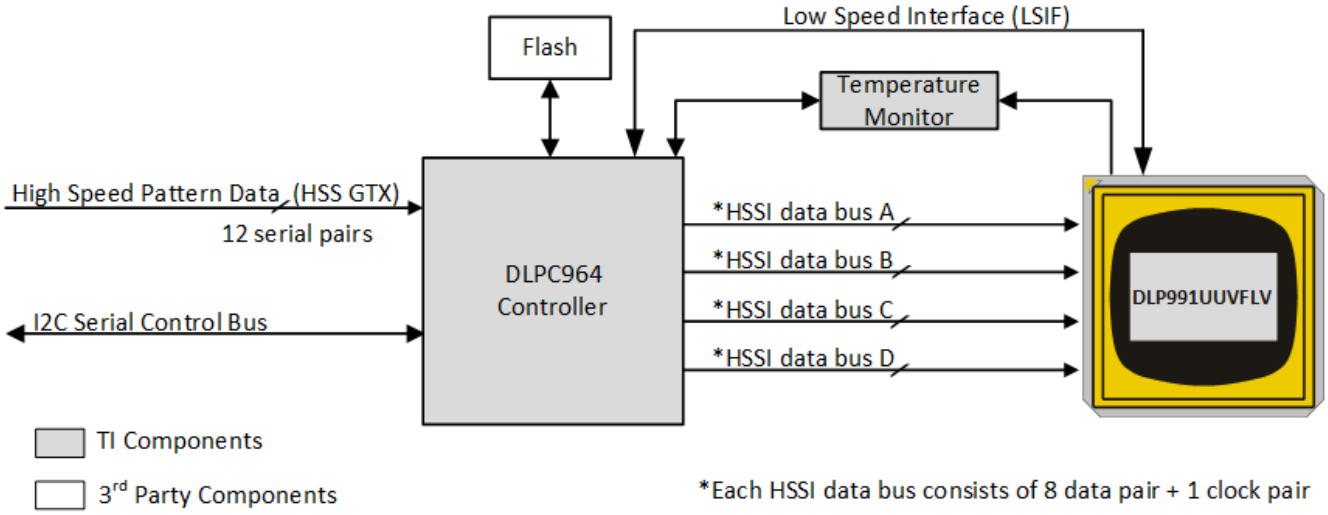
3 说明

高分辨率 DLP991UUV 数字微镜器件 (DMD) 是一款可调制入射光幅度、方向和/或相位的空间光调制器 (SLM)，微镜数达 890 万以上。这种先进光控制技术适用于工业、医疗和消费类市场上的许多应用。DLP991UUV DMD 及其 DLPC964 控制器的流式传输特性使其非常适合直接成像 (LDI) 应用中的超高速持续数据流。DMD 能够实现较大的 3D 打印构件尺寸和超精细分辨率，适用于各种 3D 打印应用。高分辨率支持扫描更大的物体，这对于 3D 机器视觉应用有直接助益。

器件信息

器件型号	封装[(1)]	封装尺寸
DLP991UUVFLV	FLV (321)	42.16mm × 42.16mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*附录。



简化版应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 8
5.1 绝对最大额定值.... 8
5.2 存储条件.... 9
5.3 ESD 等级.... 9
5.4 建议运行条件.... 9
5.5 热性能信息.... 11
5.6 电气特性.... 11
5.7 开关特性.... 12
5.8 时序要求.... 13
5.9 系统安装接口负载.... 17
5.10 微镜阵列物理特性.... 18
5.11 微镜阵列光学特性.... 19
5.12 窗口特性.... 20
5.13 芯片组元件使用规格.... 20
6 详细说明.... 21
6.1 概述.... 21
6.2 功能方框图.... 21
6.3 特性说明.... 22
6.4 器件功能模式.... 22
6.5 光学接口和系统图像质量注意事项.... 22
6.6 DMD 温度计算.... 23
6.7 微镜功率密度计算.... 25
6.8 微镜着陆打开/着陆关闭占空比.... 26
7 应用和实施.... 28
7.1 应用信息.... 28
7.2 典型应用.... 28
7.3 DMD 内核温度检测.... 30
8 电源相关建议.... 31
8.1 DMD 电源上电过程.... 31
8.2 DMD 电源断电过程.... 31
9 布局.... 33
9.1 布局指南.... 33
10 器件和文档支持.... 37
10.1 器件支持.... 37
10.2 文档支持.... 37
10.3 接收文档更新通知.... 37
10.4 支持资源.... 38
10.5 商标.... 38
10.6 静电放电警告.... 38
10.7 术语表.... 38
11 修订历史记录.... 38
12 机械、封装和可订购信息.... 39
12.1 封装选项附录.... 40

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

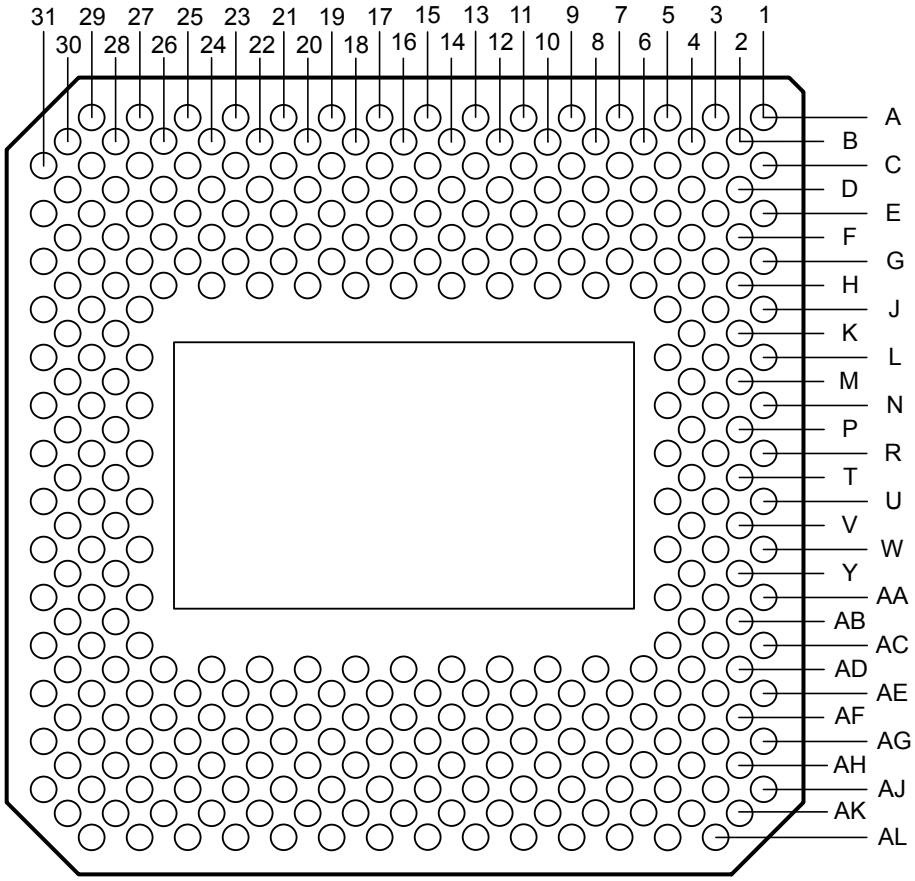


图 4-1. FLV 封装 321 引脚 LGA 底视图

小心

为确保 **DLP991UUV DMD** 长期可靠运行，正确管理下表所列信号的布局和运行至关重要。有关具体详细信息和指南，请参阅 ***TI DLP® 标准 SST 数字微镜器件的 PCB 设计要求。***

表 4-1. 封装引脚排列

引脚		输入/输出[1]	引脚说明	终端	布线长度 (mm)
名称	焊盘 ID				
D_AP(0)	E1	I	HSSI 总线 A 信号 A0+	差分 100Ω	10.79
D_AN(0)	F2	I	HSSI 总线 A 信号 A0-	差分 100Ω	10.77
D_AP(1)	J1	I	HSSI 总线 A 信号 A1+	差分 100Ω	13.77
D_AN(1)	G1	I	HSSI 总线 A 信号 A1-	差分 100Ω	13.76
D_AP(2)	A5	I	HSSI 总线 A 信号 A2+	差分 100Ω	10.34
D_AN(2)	B6	I	HSSI 总线 A 信号 A2-	差分 100Ω	10.35
D_AP(3)	K2	I	HSSI 总线 A 信号 A3+	差分 100Ω	12.36
D_AN(3)	L1	I	HSSI 总线 A 信号 A3-	差分 100Ω	12.33
D_AP(4)	B8	I	HSSI 总线 A 信号 A4+	差分 100Ω	9.64
D_AN(4)	A7	I	HSSI 总线 A 信号 A4-	差分 100Ω	9.65
D_AP(5)	A11	I	HSSI 总线 A 信号 A5+	差分 100Ω	11.96
D_AN(5)	A9	I	HSSI 总线 A 信号 A5-	差分 100Ω	11.95
D_AP(6)	R1	I	HSSI 总线 A 信号 A6+	差分 100Ω	17.77
D_AN(6)	T2	I	HSSI 总线 A 信号 A6-	差分 100Ω	17.73
D_AP(7)	W1	I	HSSI 总线 A 信号 A7+	差分 100Ω	21.44
D_AN(7)	U1	I	HSSI 总线 A 信号 A7-	差分 100Ω	21.44
DCLK_AP	P2	I	HSSI 总线 A 时钟+	差分 100Ω	16.02
DCLK_AN	N1	I	HSSI 总线 A 时钟-	差分 100Ω	16.01
D_BP(0)	A13	I	HSSI 总线 B 信号 B0+	差分 100Ω	8.39
D_BN(0)	B12	I	HSSI 总线 B 信号 B0-	差分 100Ω	8.40
D_BP(1)	P30	I	HSSI 总线 B 信号 B1+	差分 100Ω	30.31
D_BN(1)	R31	I	HSSI 总线 B 信号 B1-	差分 100Ω	30.31
D_BP(2)	B14	I	HSSI 总线 B 信号 B2+	差分 100Ω	9.53
D_BN(2)	A15	I	HSSI 总线 B 信号 B2-	差分 100Ω	9.53
D_BP(3)	A17	I	HSSI 总线 B 信号 B3+	差分 100Ω	11.23
D_BN(3)	B16	I	HSSI 总线 B 信号 B3-	差分 100Ω	11.24
D_BP(4)	B20	I	HSSI 总线 B 信号 B4+	差分 100Ω	13.82
D_BN(4)	A21	I	HSSI 总线 B 信号 B4-	差分 100Ω	13.83
D_BP(5)	N31	I	HSSI 总线 B 信号 B5+	差分 100Ω	26.98
D_BN(5)	L31	I	HSSI 总线 B 信号 B5-	差分 100Ω	27.00
D_BP(6)	G31	I	HSSI 总线 B 信号 B6+	差分 100Ω	24.55
D_BN(6)	J31	I	HSSI 总线 B 信号 B6-	差分 100Ω	24.52
D_BP(7)	B22	I	HSSI 总线 B 信号 B7+	差分 100Ω	16.27
D_BN(7)	A23	I	HSSI 总线 B 信号 B7-	差分 100Ω	16.30
DCLK_BP	A19	I	HSSI 总线 B 时钟+	差分 100Ω	12.98

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 封装引脚排列（续）

引脚		输入/输出[1]	引脚说明	终端	布线长度 (mm)
名称	焊盘 ID				
DCLK_BN	B18	I	HSSI 总线 B 时钟-	差分 100Ω	12.99
D_CP(0)	AL7	I	HSSI 总线 C 信号 C0+	差分 100Ω	18.56
D_CN(0)	AL5	I	HSSI 总线 C 信号 C0-	差分 100Ω	18.58
D_CP(1)	AG1	I	HSSI 总线 C 信号 C1+	差分 100Ω	23.82
D_CN(1)	AF2	I	HSSI 总线 C 信号 C1-	差分 100Ω	23.80
D_CP(2)	AC1	I	HSSI 总线 C 信号 C2+	差分 100Ω	26.32
D_CN(2)	AE1	I	HSSI 总线 C 信号 C2-	差分 100Ω	26.33
D_CP(3)	AA1	I	HSSI 总线 C 信号 C3+	差分 100Ω	24.98
D_CN(3)	AB2	I	HSSI 总线 C 信号 C3-	差分 100Ω	24.99
D_CP(4)	AK10	I	HSSI 总线 C 信号 C4+	差分 100Ω	17.77
D_CN(4)	AL9	I	HSSI 总线 C 信号 C4-	差分 100Ω	17.75
D_CP(5)	AL15	I	HSSI 总线 C 信号 C5+	差分 100Ω	14.23
D_CN(5)	AK14	I	HSSI 总线 C 信号 C5-	差分 100Ω	14.23
D_CP(6)	AK18	I	HSSI 总线 C 信号 C6+	差分 100Ω	12.92
D_CN(6)	AL17	I	HSSI 总线 C 信号 C6-	差分 100Ω	12.93
D_CP(7)	AL19	I	HSSI 总线 C 信号 C7+	差分 100Ω	12.24
D_CN(7)	AL21	I	HSSI 总线 C 信号 C7-	差分 100Ω	12.21
DCLK_CP	AL13	I	HSSI 总线 C 时钟+	差分 100Ω	14.81
DCLK_CN	AL11	I	HSSI 总线 C 时钟-	差分 100Ω	14.81
D_DP(0)	AL23	I	HSSI 总线 D 信号 D0+	差分 100Ω	8.814
D_DN(0)	AK22	I	HSSI 总线 D 信号 D0-	差分 100Ω	8.82
D_DP(1)	AL25	I	HSSI 总线 D 信号 D1+	差分 100Ω	10.21
D_DN(1)	AK24	I	HSSI 总线 D 信号 D1-	差分 100Ω	10.21
D_DP(2)	AK26	I	HSSI 总线 D 信号 D2+	差分 100Ω	11.98
D_DN(2)	AL27	I	HSSI 总线 D 信号 D2-	差分 100Ω	11.98
D_DP(3)	V30	I	HSSI 总线 D 信号 D3+	差分 100Ω	17.09
D_DN(3)	U31	I	HSSI 总线 D 信号 D3-	差分 100Ω	17.05
D_DP(4)	AF30	I	HSSI 总线 D 信号 D4+	差分 100Ω	12.25
D_DN(4)	AE31	I	HSSI 总线 D 信号 D4-	差分 100Ω	12.23
D_DP(5)	W31	I	HSSI 总线 D 信号 D5+	差分 100Ω	14.36
D_DN(5)	Y30	I	HSSI 总线 D 信号 D5-	差分 100Ω	14.32
D_DP(6)	AB30	I	HSSI 总线 D 信号 D6+	差分 100Ω	11.16
D_DN(6)	AA31	I	HSSI 总线 D 信号 D6-	差分 100Ω	11.16
D_DP(7)	AD30	I	HSSI 总线 D 信号 D7+	差分 100Ω	13.11
D_DN(7)	AC31	I	HSSI 总线 D 信号 D7-	差分 100Ω	13.11

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 封装引脚排列（续）

引脚		输入/输出[1]	引脚说明	终端	布线长度 (mm)
名称	焊盘 ID				
DCLK_DP	AG31	I	HSSI 总线 D 时钟+	差分 100Ω	13.93
DCLK_DN	AH30	I	HSSI 总线 D 时钟-	差分 100Ω	13.93
LS_WDATA_P	B26	I	LSIF LVDS 数据+	差分 100Ω	10.90
LS_WDATA_N	A27	I	LSIF LVDS 数据-	差分 100Ω	10.90
LS_CLK_P	B24	I	LSIF LVDS CLK+	差分 100Ω	11.05
LS_CLK_N	A25	I	LSIF LVDS CLK-	差分 100Ω	11.03
LS_RDATA_A	F24	O	LVCMOS 输出		2.04
LS_RDATA_B	D26	O	LVCMOS 输出		5.26
LS_RDATA_C	F30	O	LVCMOS 输出		9.57
LS_RDATA_D	C27	O	LVCMOS 输出		7.15
AMUX_OUT	E17	O	模拟测试多路复用器		6.36
DMUX_OUT	E29	O	数字测试多路复用器		7.22
DMD_EN_ARSTZ	AE23、E27、Y4	I	ARSTZ	17.5kΩ 下拉	63.74
TEMP_N	E23	I	温度二极管 N		3.21
TEMP_P	F22	I	温度二极管 P		2.86
VDD	A29、A3、AA29、AB4、AD10、AD12、AD28、AD8、AE13、AE15、AF10、AF12、AF18、AF22、AF24、AF26、AF28、AF6、AH10、AH12、AH14、AH16、AH18、AJ1、AJ11、AJ21、AJ29、AJ31、AJ5、AK2、AL29、B4、C1、C13、C21、C29、C31、D12、D16、D18、D20、D24、D8、F10、F12、F16、F18、F20、F8、H16、H18、H20、H22、H24、H28、K4、L3、M4、N29、P28、P4、T28、T4、V28、V4、Y28	P	数字内核电源电压		平面
VDDA	AB28、AD14、AD16、AD18、AD22、AD24、AE19、AE27、AF20、AH20、AH24、D10、D14、F6、G11、G15、H10、H12、H14、H26、H8、K28	P	HSSI 电源电压		平面

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 封装引脚排列（续）

引脚		输入/输出[1]	引脚说明	终端	布线长度 (mm)
名称	焊盘 ID				
VRESET	AF4、AG5、D6、E5	P	微镜复位信号负偏置的电源电压		平面
VBIAS	AD4、AE3、D4	P	微镜复位信号正偏置的电源电压		平面
VOFFSET	AD26、AE5、F26、F4、H4	P	HVCMOS 逻辑的电源电压，升压逻辑电平		平面
VSS	A1、AA3、AC29、AC3、AD20、AD6、AE11、AE17、AE21、AE25、AE29、AE7、AE9、AF14、AF16、AF8、AG11、AG13、AG15、AG17、AG19、AG21、AG23、AG25、AG27、AG29、AG3、AH2、AH26、AH4、AH6、AK30、AK4、AK8、AL3、C3、D2、D22、D28、D30、E11、E13、E15、E19、E21、E25、E3、E31、E7、F14、G13、G17、G19、G21、G23、G25、G27、G29、G3、G5、G7、G9、H2、H30、H6、J29、J3、K30、L29、M2、M28、M30、N3、R29、R3、T30、U29、U3、V2、W29、W3、Y2	G	接地		平面
VSSA	AD2、AH22、AH28、AJ13、AJ15、AJ17、AJ19、AJ23、AJ25、AJ27、AJ3、AJ7、AJ9、AK12、AK16、AK20、AK28、AK6、B10、B2、B28、B30、C11、C15、C17、C19、C23、C25、C5、C7、C9、E9	G	接地		平面
N/C	AA5、AA27、AC5、AC27、AG7、AG9、AH8、F28、J5、J27、L5、L27、N27、R27、N5、R5、U5、U27、W5、W27	NC	无连接		

(1) I = 输入，O = 输出，P = 电源，G = 接地，NC = 无连接

5 规格

5.1 绝对最大额定值

超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

参数	说明	最小值	最大值	单位
	电源电压			
V_{DD}	LVCMOS 内核逻辑和 LVCMOS 低速接口 (LSIF) 的电源电压(1)	-0.5	2.3	V
V_{DDA}	高速串行接口 (HSSI) 接收器的电源电压(1)	-0.3	2.2	V
V_{OFFSET}	HVCMOS 和微镜电极的电源电压(1) (2)	-0.5	11	V
V_{BIAS}	微镜电极的电源电压(1)	-0.5	19	V
V_{RESET}	微镜电极的电源电压(1)	-15	0.5	V
$\lvert V_{DDA} - V_{DD} \rvert$	电源电压差值（绝对值）(3)		0.3	V
$\lvert V_{BIAS} - V_{OFFSET} \rvert$	电源电压差值（绝对值）(4)		11	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	电源电压差值（绝对值）(5)		34	V
	输入电压			
	其他输入的输入电压 – LVDS 和 LVCMOS(1)	-0.5	2.45	V
	其他输入的输入电压 – HSSI(1) (6)	-0.2	V_{DDA}	V
	低速接口 (LSIF)			
f_{CLOCK}	LSIF 时钟频率 (LS_CLK)		130	MHz
$\lvert V_{ID} \rvert$	LSIF 差分输入电压幅度(6)		810	mV
I_{ID}	LSIF 差分输入电流(7)		10	mA
	高速串行接口 (HSSI)			
f_{CLOCK}	HSSI 时钟频率 (DCLK)		1.65	GHz
$\lvert V_{ID} \rvert$	HSSI 差分输入电压幅度数据通道		700	mV
$\lvert V_{ID} \rvert$	HSSI 差分输入电压幅度时钟通道		700	mV
	环境			
T_{ARRAY}	工作时的温度(8)	0	90	°C
	未工作时的温度(8)	-40	90	°C
T_{WINDOW}	工作时的温度(8)	0	70	°C
	未工作时的温度(8)	-40	90	°C
T_{DELTA_MAX}	[TP2 或 TP3 的最大值] 减去 T_{MIN_ARRAY} (9)		5	°C
T_{DELTA_MIN}	[TP2 或 TP3 的最小值] 减去 T_{MAX_ARRAY} (9)	-30		°C
RH	工作和不工作时的相对湿度		95%	

(1) 所有电压值均以接地端子 (V_{SS}) 为基准。为了确保 DMD 正常运行，必须连接以下所需的电源：V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} 和 V_{RESET}。同时还需要所有的 V_{SS} 连接。
(2) V_{OFFSET} 电源电压瞬态必须处于指定的电压范围内。
(3) 如果超过 V_{DDA} 和 V_{DD} 之间的建议允许绝对电压差值，则可能导致电流消耗过大。
(4) 如果超过 V_{BIAS} 和 V_{OFFSET} 之间的建议允许绝对电压差值，则可能导致电流消耗过大。
(5) 如果超过 V_{BIAS} 和 V_{RESET} 之间的建议允许绝对电压差值，则可能导致电流消耗过大。
(6) 当差分对的每个输入处于相同的电压电势时，该最大输入电压额定值适用。LVDS 差分输入不得超过指定的限值，否则可能会损坏内部端接电阻器。
(7) 差分输入不得超过指定的限值，否则可能会损坏内部端接电阻器。规范适用于高速串行接口 (HSSI) 和低速接口 (LSI)。
(8) 阵列温度无法直接测量，必须通过在图 6-1 所示测试点 1 (TP1) 测量的温度以及封装热阻（使用节 6.6 中的计算）进行分析计算。
(9) 有关具体计算，请参阅节 6.6。

Copyright © 2025 Texas Instruments Incorporated

5.2 存储条件

适用于作为元件或在系统中不运行的 DMD。

符号	参数	最小值	最大值	单位
T_{DMD}	DMD 贮存温度	-40	80	C
RH	相对湿度（非冷凝）		95%	

5.3 ESD 等级

符号	参数	说明	值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.4 建议运行条件

在自然通风条件下的工作温度范围和电源电压（除非另有说明）(1)

参数名称		最小值	典型值	最大值	单位
电源电压					
V_{DD}	LVCMOS 内核逻辑和低速接口 (LSIF) 的电源电压 (2)	1.85	1.9	1.95	V
V_{DDA}	高速串行接口 (HSSI) 接收器的电源电压(2)	1.85	1.9	1.95	V
V_{OFFSET}	HVCMOS 和微镜电极的电源电压(2) (3) (4)	9.5	10	10.5	V
V_{BIAS}	微镜电极的电源电压(2)	17.5	18	18.5	V
V_{RESET}	微镜电极的电源电压(2)	-14.5	-14	-13.5	V
$\lvert V_{DDA} - V_{DD} \rvert$	电源电压差值（绝对值）(5)			0.3	V
$\lvert V_{BIAS} - V_{OFFSET} \rvert$	电源电压差值（绝对值）(6)			10.5	V
$\lvert V_{BIAS} - V_{RESET} \rvert$	电源电压差值（绝对值）			33	V
LVCMOS 输入					
V_{IH}	高电平输入电压(2) (7)	$0.7 \times V_{DD}$			V
V_{IL}	低电平输入电压(2) (7)			$0.3 \times V_{DD}$	V
低速接口 (LSIF)					
f_{CLOCK}	LSIF 时钟频率 (LS_CLK)(9)	108	120	130	MHz
DCD_{IN}	LSIF 占空比失真 (LS_CLK)	44%		56%	
$\lvert V_{ID} \rvert$	LSIF 差分输入电压幅度(9)	150	350	440	mV
V_{LVDS}	LSIF 电压(9)	575		1520	mV
V_{CM}	共模电压(9)	700	900	1300	mV
Z_{LINE}	线路差分阻抗（PWB/引线）	90	100	110	Ω
Z_{IN}	内部差分端接电阻	80	100	120	Ω
高速串行接口 (HSSI)					
f_{CLOCK}	HSSI 时钟频率 (DCLK)(8)	1.8	1.8	1.8	GHz
DCD_{IN}	HSSI 占空比失真 (DCLK)	44%	50%	56%	
$\lvert V_{ID} \rvert$ Data	HSSI 差分输入电压幅度数据通道(8)	100	400	600	mV
$\lvert V_{ID} \rvert$ CLK	HSSI 差分输入电压幅度时钟通道(8)	300	400	600	mV
VCM_{DC} Data	输入共模电压（直流）数据通道(8)	200	600	800	mV
VCM_{DC} CLK	输入共模电压（直流）时钟通道(8)	200	600	800	mV

5.4 建议运行条件（续）

在自然通风条件下的工作温度范围和电源电压（除非另有说明）[(1)]

参数名称		最小值	典型值	最大值	单位
VCM_{ACp-p}	数据通道和时钟通道共模电压上的交流峰峰值（纹波）[(8)]			100	mV
Z_{LINE}	线路差分阻抗（PWB/引线）		100		Ω
Z_{IN}	内部差分端接电阻 (R_{Xterm})	80	100	120	Ω
环境					
T_{ARRAY}	长期工作时的阵列温度[(10) (11) (12) (14)]	20		30	°C
T_{WINDOW}	工作时的窗口温度，TP2 和 TP3	10		30	°C
T_{DELTA_MAX}	[TP2 或 TP3 的最大值] 减去 T_{MIN_ARRAY} [(14)]			5	°C
T_{DELTA_MIN}	[TP2 或 TP3 的最小值] 减去 T_{MAX_ARRAY} [(14)]	-10			°C
RH	相对湿度（非冷凝）			95%	
占空比	工作着陆占空比[(17)]		50%		
ILL_{UV7}	波长 < 341nm 时的照明功率[(13) (15) (16) (19)]			10	mW/cm^2
ILL_{UV6}	波长 ≥ 343nm 且 < 345nm 时的照明功率[(13) (15) (16) (19)]			2.7	W/cm^2
ILL_{UV5}	波长 ≥ 345nm 且 < 355nm 时的照明功率[(13) (15) (19)]			2.9	W/cm^2
ILL_{UV4}	波长 ≥ 355nm 且 < 365nm 时的照明功率[(13) (15) (19)]			4.1	W/cm^2
ILL_{UV3}	波长 ≥ 365nm 且 < 385nm 时的照明功率[(13) (15)]			5.9	W/cm^2
ILL_{UV2}	波长 ≥ 385nm 且 < 400nm 时的照明功率[(13) (15)]			11.8	W/cm^2
ILL_{UV1}	波长 ≥ 400nm 且 < 410nm 时的照明功率[(13) (15)]			22.5	W/cm^2
ILL_{UV}	波长 ≥ 365nm 且 < 410nm 时的照明功率[(13) (15) (18)]			22.5	W/cm^2
ILL_{VIS}	波长 ≥ 410nm 且 < 800nm 时的照明功率[(13) (15)]			60	W/cm^2

(1) 建议的工作条件在最终产品中安装 DMD 之后适用
(2) 运行 DMD 需要连接以下所有电源：V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} 和 V_{RESET}。运行 DMD 需要所有 V_{SS} 连接。
(3) 所有电压值均以 V_{SS} 接地引脚为基准。
(4) V_{OFFSET} 电源电压瞬态必须处于指定的最大电压范围内。
(5) 为了防止电流过大，电源电压差值 | V_{DDA} – V_{DD} | 必须小于指定的限值。
(6) 为了防止电流过大，电源电压差值 | V_{BIAS} – V_{OFFSET} | 必须小于指定的限值。
(7) LVCMOS 输入引脚为 DMD_DEN_ARSTZ。
(8) 请参阅*时序要求*中的高速串行接口 (HSSI) 时序要求。
(9) 请参阅*时序要求*中的低速接口 (LSIF) 时序要求。
(10) 如果该 DMD 同时暴露于最大温度和 UV 照明（请参阅建议运行条件），则会缩短器件寿命。
(11) 阵列温度无法直接测量，必须按照“*DMD 温度计算方法*”所示根据“*DMD 热测试点*”中所示测试点 (TP1) 处测量的温度以及封装热电阻进行分析计算。
(12) 长期定义为器件的使用寿命。
(13) DMD 上可能入射的最大光功率受到每个指定波长范围的最大光功率密度以及微镜阵列温度 T_{ARRAY} 的限制。
(14) 如需查看计算示例，请参阅“*DMD 温度计算*”。
(15) 如需查看计算示例，请参阅“*微镜功率密度计算*”。
(16) 对于任何 343nm 或更大波长的光源，必须使用截止滤波器，以使在 341nm 处的功率水平达到或低于该值。从 343nm 到 341nm 的照明功率预计将逐渐降低，因此可实现 341nm 处的最大功率限制。
(17) 着陆占空比是指单个微镜着陆于一种状态（12.0° 或 –12.0°）与着陆于相反状态（–12.0° 或 12.0°）的时间百分比。50% 相当于 50/50 占空比，其中微镜着陆于打开状态的时间比例为 50%，着陆于关闭状态的时间比例为 50%。有关陆占空比的更多信息，请参阅微镜着陆开/着陆关占空比的定义。
(18) 从 365nm 到 410nm 的总集成照明功率密度不应超过 22.5W/cm²。因此，如果在 365nm 至 385nm 范围内使用 5.9W/cm² 的照明，并在 385nm 至 400nm 范围内使用 11.8W/cm² 的照明，则 400nm 至 410nm 范围内的照明必须限制为 4.8W/cm²。
(19) 低于 365nm 的多个波长带的照明不能与其他波长带同时使用。例如，如果使用 344nm 照明（≥343nm 且 < 345nm），则可能不能同时使用该频带之外的另一个波长。

Copyright © 2025 Texas Instruments Incorporated

5.5 热性能信息

热指标		DLP991UUV FLV 封装 321 引脚	单位
$R_{MAX_ARRAY_TO_CERAMIC}$	工作区域至测试点 1 (TP1) 的热阻最大值(1)	0.55	°C/W
$R_{MIN_ARRAY_TO_CERAMIC}$	工作区域至测试点 1 (TP1) 的热阻最小值(1)	0.30	°C/W

(1) 该 DMD 经设计可将吸收和耗散的热量传导至封装背面，然后通过适当的散热器将其移除。散热器和冷却系统必须能够将封装保持在指定的工作温度范围内。该 DMD 上的总热负荷主要由有源区域吸收的入射光驱动，不过可能还会有一部分来自窗口孔隙吸收的光能和阵列的电功率耗散。光学系统必须设计为尽量减少处于窗口通光孔径之外的光能，因为该区域的任何额外热负荷都会显著降低器件的可靠性。对于 TP1 位置，请参阅图 6-1。

5.6 电气特性

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

符号	参数(2) (3)	测试条件(2)	最小值	典型值	最大值	单位
电流 - 典型值						
I_{DD}	电源电流 V_{DD} (4)			1.5	1.9	A
I_{DDA}	电源电流 V_{DDA} (4)			1.4	1.9	A
I_{OFFSET}	电源电流 V_{OFFSET} (5) (6)			37	50	mA
I_{BIAS}	电源电流 V_{BIAS} (5) (6)			12.0	50	mA
I_{RESET}	电源电流 V_{RESET} (6)		-50	-25		mA
功率 - 典型值						
P_{DD}	电源功率耗散 V_{DD} (4)			2710	3710	mW
P_{DDA}	电源功率耗散 V_{DDA} (4)			2500	3600	mW
P_{OFFSET}	电源功率耗散 V_{OFFSET} (5) (6)			370	525	mW
P_{BIAS}	电源功率耗散 V_{BIAS} (5) (6)			216	925	mW
P_{RESET}	电源功率耗散 V_{RESET} (6)			350	725	mW
P_{TOTAL}	电源功率耗散总计			6146	9485	mW
LVCMOS 输入						
I_{IL}	低电平输入电流(7)	V_{DD} = 1.95 V，V_I = 0V	-100			nA
I_{IH}	高电平输入电流(7)	V_{DD} = 1.95 V，V_I = 1.95V			135	uA
LVCMOS 输出						
V_{OH}	直流输出高电压(8)	I_{OH} = -2mA	0.8 × V_{DD}			V
V_{OL}	直流输出低电压(8)	I_{OL} = 2mA			0.2 × V_{DD}	V
接收器眼图特性						
A1	最小眼图张开度(9)		100	400	600	mV
A2	最大信号摆幅(9) (10)				600	mV
X1	最大眼图闭合(9)				0.275	UI
X2	最大眼图闭合(9)				0.4	UI
$\lvert t_{DRIFT} \rvert$	在训练模式之间时钟和数据之间的漂移				20	ps
电容						
C_{IN}	输入电容 LVCMOS	f = 1MHz			30	pF
C_{IN}	输入电容 LSIF（低速接口）	f = 1MHz			20	pF
C_{IN}	输入电容 HSSI（高速串行接口）- 差分 - 时钟和数据引脚	f = 1MHz			5	pF

5.6 电气特性（续）

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

符号	参数(2) (3)	测试条件(2)	最小值	典型值	最大值	单位
C_{OUT}	输出电容	f = 1MHz			10	pF

(1) *建议运行条件*下的器件电气特性（除非另外注明）。
(2) 运行 DMD 需要连接以下所有电源：V_{DD}、V_{DDA}、V_{OFFSET}、V_{BIAS} 和 V_{RESET}。运行 DMD 需要所有 V_{SS} 连接。
(3) 所有电压值均以接地引脚 (V_{SS}) 为基准。
(4) 为了防止电流过大，电源电压差值 | V_{DDA} – V_{DD} | 必须小于指定的限值。
(5) 为了防止电流过大，电源电压差值 | V_{BIAS} – V_{OFFSET} | 必须小于指定的限值。
(6) 基于在 90 µs 内进行 1 次相位复位、1 次阵列加载和 1 次全局复位所产生的功率耗散
(7) LVCMOS 输入规格针对引脚 DMD_DEN_ARSTZ。
(8) LVCMOS 输出规格针对引脚 LS_RDATA_A 和 LS_RDATA_B。
(9) 请参阅图 5-10“接收器眼罩 (1e-12 BER)”。
(10) 在节 5.4 中定义

5.7 开关特性

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
t_{pd}	输出传播，时钟到 Q，LS_CLK（差分时钟信号）输入的上升沿到 LS_RDATA 输出(1)	C_L = 5pF			11.1	ns
t_{pd}	输出传播，时钟到 Q，LS_CLK（差分时钟信号）输入的上升沿到 LS_RDATA 输出(1)	C_L = 10pF			11.3	ns
	压摆率，LS_RDATA	20%-80%，C_L < 10p	0.5			V/ns
	输出占空比失真，LS_RDATA		40%		60%	

(1) 请参阅图 5-1。

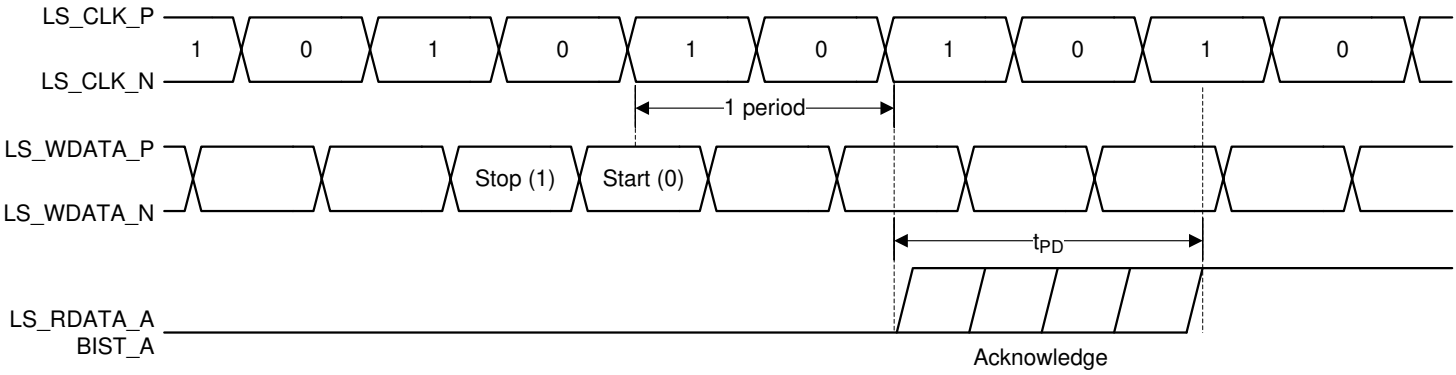


图 5-1. 开关特性

Copyright © 2025 Texas Instruments Incorporated

5.8 时序要求

在自然通风条件下的工作温度范围内和电源电压下测得（除非另有说明）

符号	参数	测试条件	最小值	典型值	最大值	单位
LVCMOS						
t_r	上升时间(1)	20% 至 80% 基准点			25	ns
t_f	下降时间(1)	80% 至 20% 基准点			25	ns
低速接口 (LSIF)						
t_r	上升时间(2)	20% 至 80% 基准点			450	ps
t_f	下降时间(2)	80% 至 20% 基准点			450	ps
t_{su}	建立时间(3)	LS_CLK 上升沿之前的 LS_WDATA 有效时间（差分）	1.5			ns
t_h	保持时间(3)	LS_CLK 上升沿之后的 LS_WDATA 有效时间（差分）	1.5			ns
高速串行接口 (HSSI)						
t_r	上升时间(4)	从 -A1 到 A1 的最低眼图高度规格	50		100	ps
t_f	下降时间(4)	从 A1 到 -A1 的最低眼图高度规格	50		100	ps

(1) 有关 LVCMOS 的上升时间和下降时间，请参阅图 5-8。
(2) 有关 LSIF 的上升时间和下降时间，请参阅图 5-4。
(3) 有关 LSIF 的设置时间和保持时间，请参阅图 5-3。
(4) 有关 HSSI 的上升时间和下降时间，请参阅图 5-9。

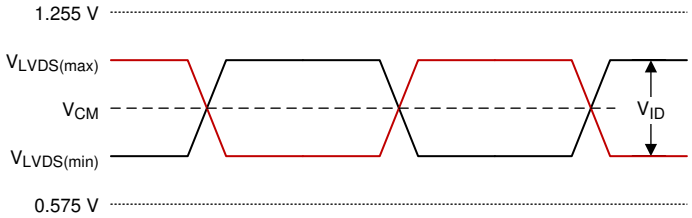


图 5-2. LSIF 波形要求

$$V_{LVDS\,(max)} = V_{CM\,(max)} + \left|\frac{1}{2} \times V_{ID\,(max)}\right|$$

$$V_{LVDS\,(min)} = V_{CM\,(min)} - \left|\frac{1}{2} \times V_{ID\,(max)}\right|$$

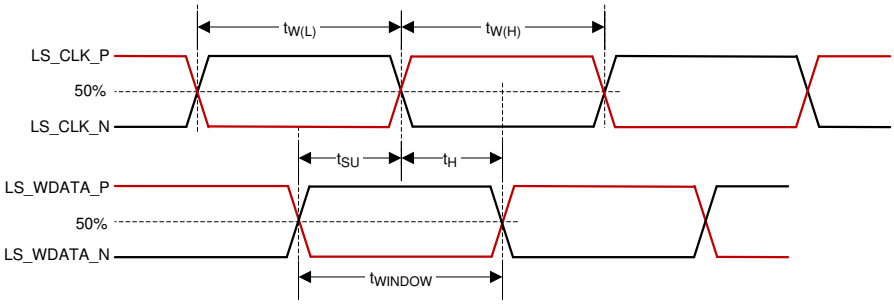


图 5-3. LSIF 时序要求

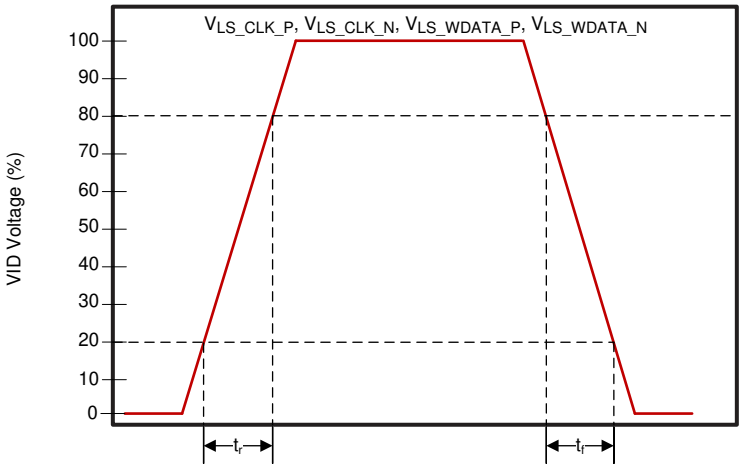


图 5-4. LSIF 上升/下降时间压摆率

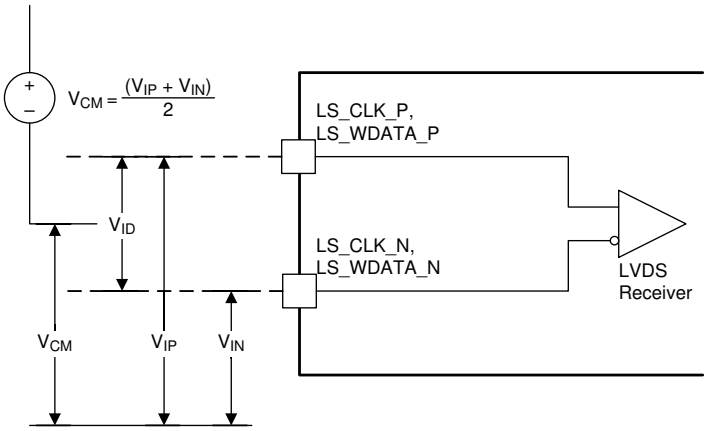


图 5-5. LSIF 电压要求

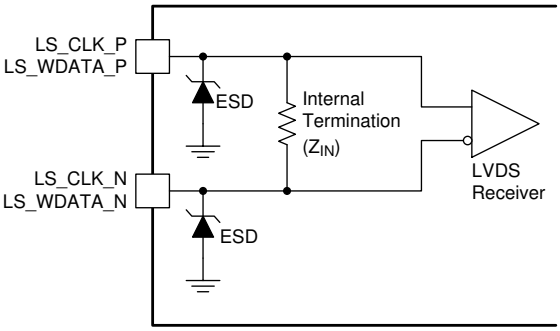


图 5-6. LSIF 等效输入

Copyright © 2025 Texas Instruments Incorporated

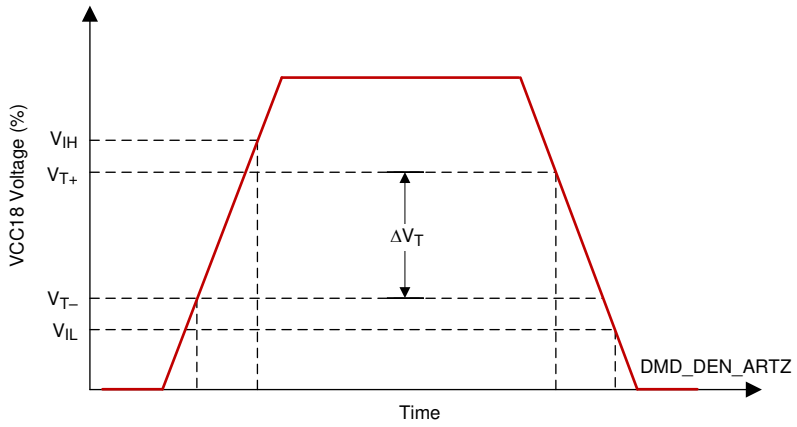


图 5-7. LVCMOS 输入迟滞

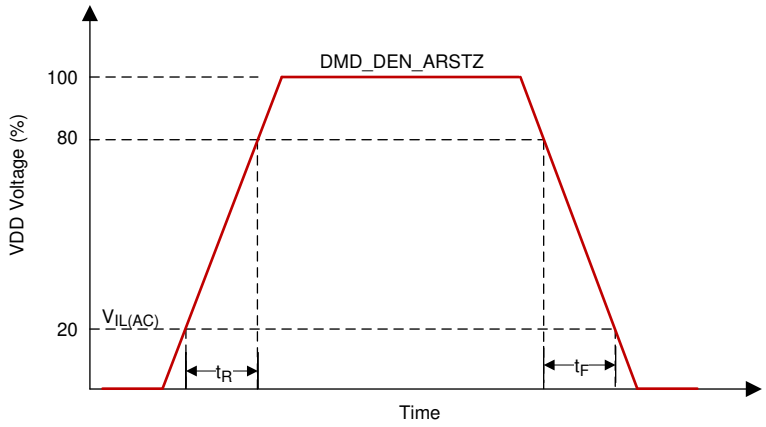
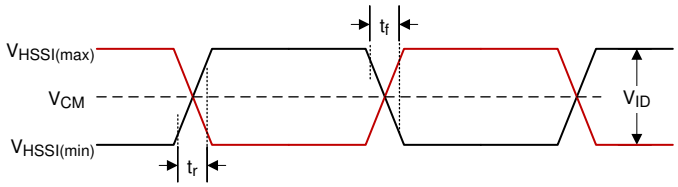


图 5-8. LVCMOS 上升/下降时间压摆率



$$V_{HSSI(max)} = V_{CM(max)} + \left|\frac{1}{2} \times V_{ID(max)}\right|$$

$$V_{HSSI(min)} = V_{CM(min)} - \left|\frac{1}{2} \times V_{ID(max)}\right|$$

图 5-9. HSSI 波形要求

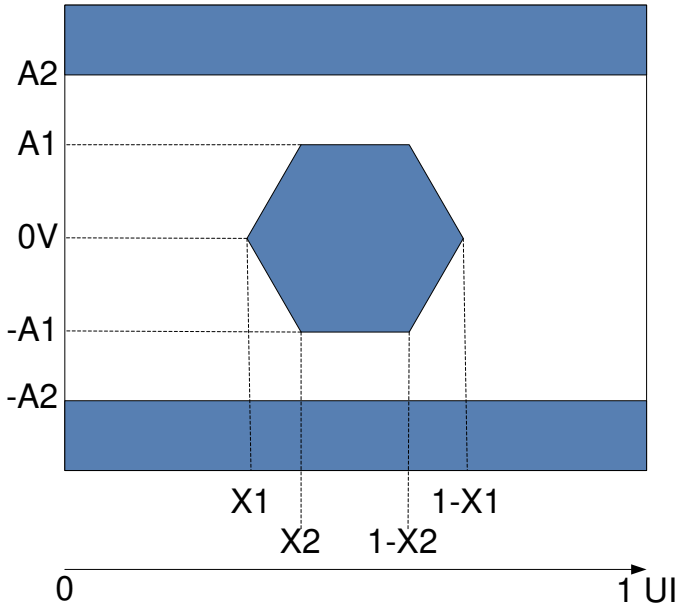


图 5-10. HSSI 眼图特性

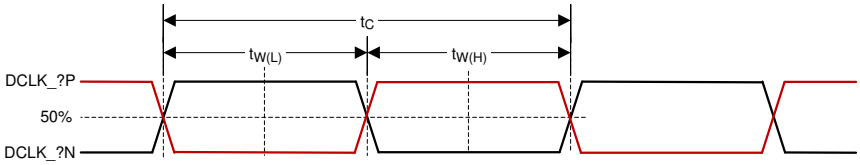


图 5-11. HSSI CLK 特性

Copyright © 2025 Texas Instruments Incorporated

5.9 系统安装接口负载

参数	最小值	典型值	最大值	单位
要向电气接口区域施加的最大负载(2)			1334	N
要向基准 A 界面区域施加的最大负载(1) (2)			712	N
要向热界面区域施加的最大负载(2)			200	N

(1) 超过基准 A 负载的电气接口和热界面区域的组合负载应均匀分布在基准 A 区域以外（1334+200 - 基准 A），或减少热和电气区域的组合负载。
(2) 在图 5-12 所示的区域内均匀分布

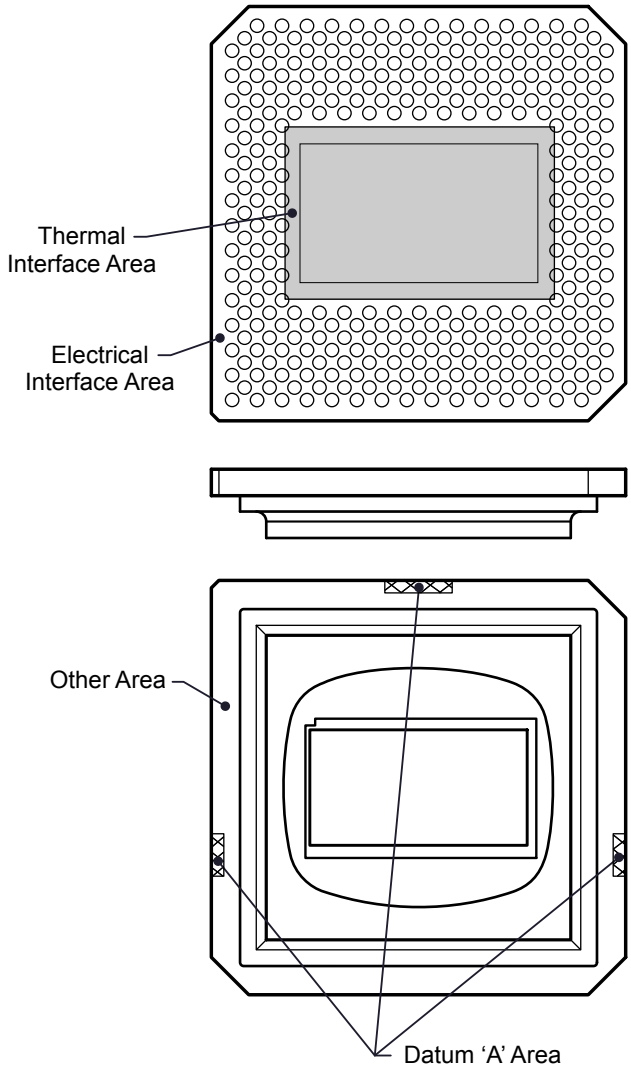


图 5-12. 系统安装接口负载

5.10 微镜阵列物理特性

参数	说明	值	单位
M	有源列数(1)	4096	微镜
N	有源行数(1)	2176	微镜
P	微镜（像素）间距(1)	5.4	µm
微镜有源阵列宽度(1)	微镜间距 × 有源列数	22.1184	mm
微镜有源阵列高度(1)	微镜间距 × 有源行数	11.7504	mm
微镜有源边框（顶部和底部）(2)	微镜池 (POM)	20	微镜数/侧
微镜有源边框（右侧和左侧）(2)	微镜池 (POM)	20	微镜数/侧

(1) 请参阅图 5-13。
(2) 有源阵列周围边框的结构和质量包括一条称为 POM 的部分起作用的微镜带。这些微镜在结构上和/或电气上被阻止向亮或“打开”状态倾斜，但仍需要进行电偏置以向“关闭”状态倾斜。

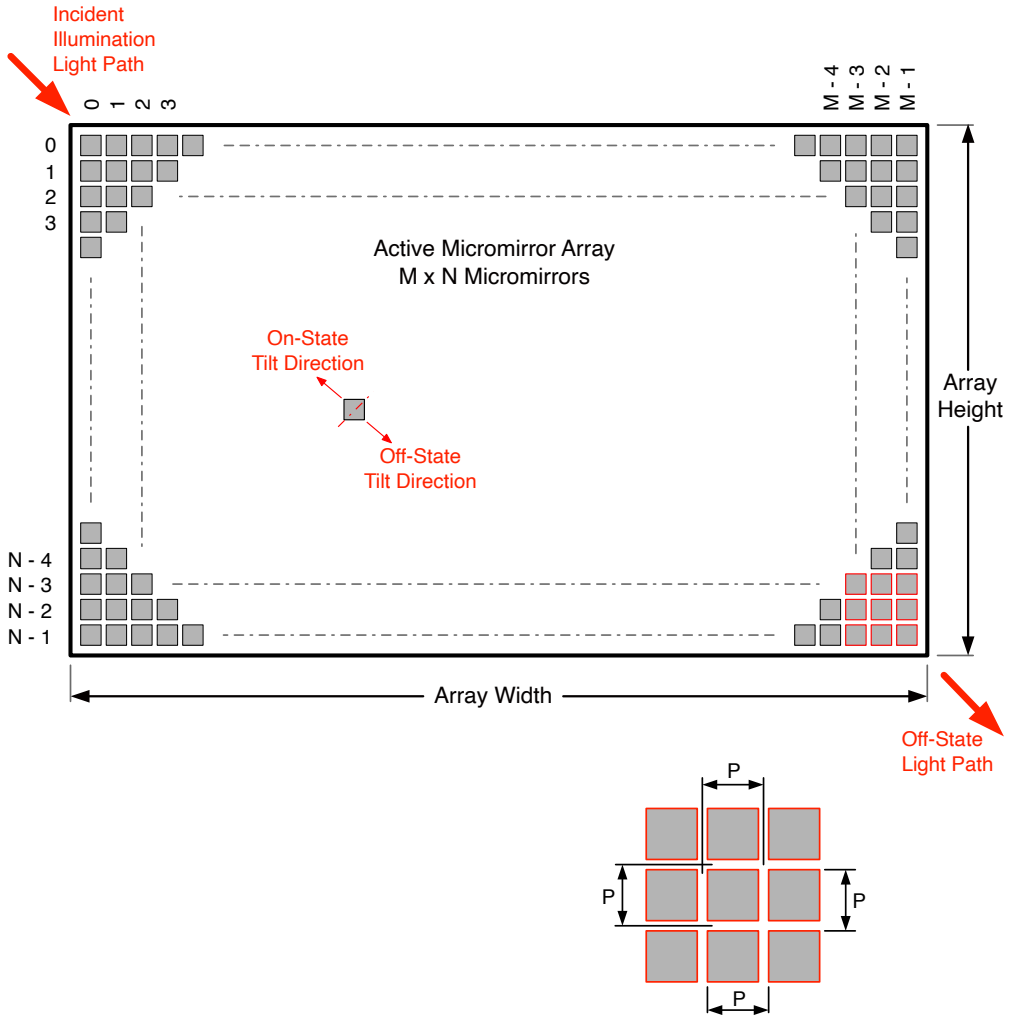


图 5-13. 微镜阵列物理特性

Copyright © 2025 Texas Instruments Incorporated

5.11 微镜阵列光学特性

符号	参数	测试条件	最小值	典型值	最大值	单位
	微镜倾斜角(2) (3) (4) (5)	着陆状态(1)	11.0		13.0	度
COT	微镜交叉时间(6)	典型性能		1	3	µs
	微镜开关时间(7)	典型性能	6			µs
	微镜旋转轴方向(8)		44		46	度
	在 343nm 至 410nm 的波长范围内的微镜阵列光学效率(9) (10)			68%		
	不工作的微镜(11)	非相邻微镜			10	微镜
		相邻微镜			0	

(1) 相对于整个微镜阵列形成的平面进行测量
(2) 微镜阵列和封装基准之间存在额外差异。
(3) 表示着陆倾斜角相对于标称着陆倾斜角的变化。
(4) 表示位于同一器件上或位于不同器件上的任意两个单独微镜之间可能产生的变化。
(5) 对于某些应用，在整个系统光学设计中考虑微镜倾斜角的变化是至关重要的。对于某些系统光学设计，器件内的微镜倾斜角变化可能会导致从微镜阵列反射的光场出现可察觉的不均匀性。对于某些系统光学设计，器件之间的微镜倾斜角变化可能会导致色度变化、系统效率变化或系统对比度变化。
(6) 微镜标称从一个着陆状态转换到相反着陆状态所需的时间。
(7) 微镜连续转换之间从一个微镜时钟脉冲结束到下一个微镜时钟脉冲开始之间的最短时间。
(8) 相对于封装基准“B”和“C”进行测量。
(9) 在特定应用中观察到的最小或最大 DMD 光学效率取决于大量特定于应用的设计变量，例如：
- 照明波长、带宽/线宽、相干度
- 照明角度加上角度容差
- 照明和投影孔径尺寸，以及系统光路中的位置
- DMD 微镜阵列的照明溢出
- 光源和/或照明路径中存在的散射
- 投影路径中存在的散射

指定的标称 DMD 光学效率基于以下使用条件：
- 343nm 至 410nm 之间的照明
- 输入照明光轴相对于正常窗口方向呈 24°
- 投影光轴相对于正常窗口方向呈 0°
- *f*/3 照明孔径
- *f*/2.4 投影孔径

根据使用条件，标称 DMD 光学效率由以下四个部分决定：
- 微镜阵列填充系数：标称值为 90%
- 微镜阵列衍射效率：标称值为 91%
- 微镜表面反射率：标称值为 88%
- 窗透射率：标称值为 97%（单通，两个窗面）

(10) 未考虑微镜开关占空比的影响，该影响取决于应用。微镜开关占空比表示微镜实际上将光从光学照明路径反射到光学投影路径的时间百分比。该占空比取决于照明孔径尺寸、投影孔径尺寸和微镜阵列更新速率。
(11) 不工作的微镜是指无法在“关闭”位置和“打开”位置之间正常切换的微镜。

5.12 窗口特性

参数	测试条件	最小值	典型值	最大值	单位
窗口材料标识			Corning 7056		
窗口折射率	波长 589nm		1.487		
窗口透射率，343nm – 410nm 波长范围内的最小值	适用于所有 0 – 30° AOI (1) (2)		97%		

(1) 单通，两个表面，玻璃
(2) AOI - 入射角是入射光线与反射或折射表面的法线之间的角度。

5.13 芯片组元件使用规格

DLPC991UUV DMD 需要与适用 DLP 芯片组的其他元件（包括包含或实现 TI DMD 控制技术的元件）结合使用才能实现可靠功能和运行。TI DMD 控制技术是用于操作或控制 DLP DMD 的 TI 技术和器件。

Copyright © 2025 Texas Instruments Incorporated

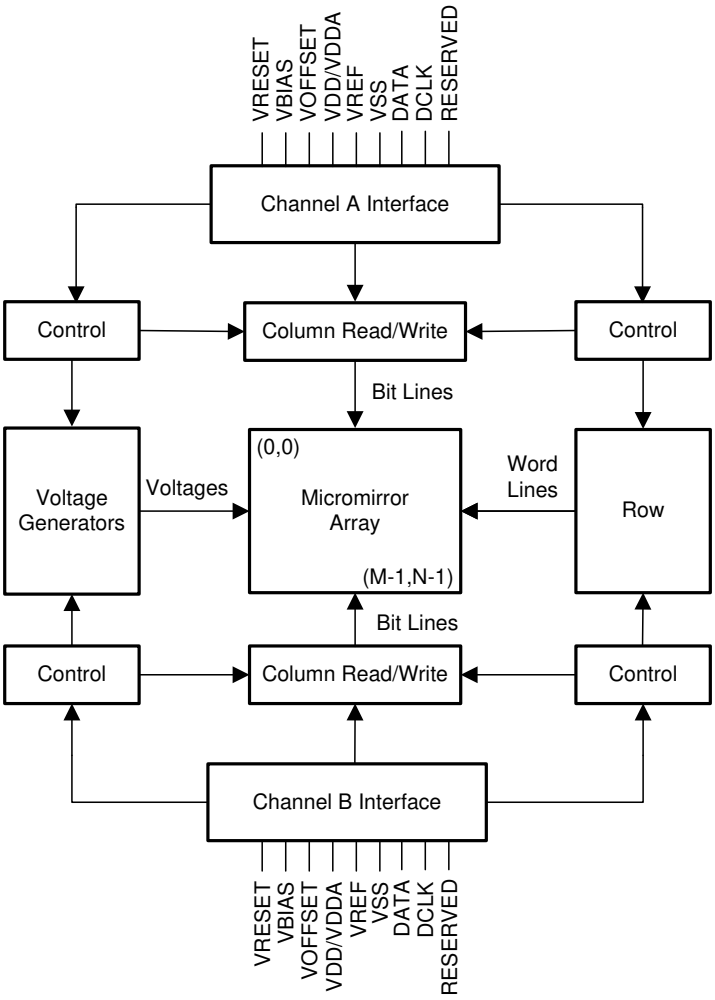
6 详细说明

6.1 概述

DLP991UUV 数字微镜器件 (DMD) 是一款 0.99 英寸对角线空间光调制器，由一个高反射铝微镜阵列组成。该 DMD 是一个电子输入、光学输出的微机电系统 (MEMS)。输入电气数据接口为差分高速串行接口 (HSSI)。该 DMD 由 1 位 CMOS 存储单元的二维阵列组成。该阵列排列为 M 个存储单元列乘以 N 个存储单元行的网格。请参阅图 5-13。通过向每个存储单元写入“1”或“0”来改变底层 CMOS 寻址电路的寻址电压，可以单独控制微镜的正偏转角或负偏转角。

为确保可靠运行，请务必将 DLP991UUV DMD 与 TI DLPC964 工业控制器搭配使用。

6.2 功能方框图



有关通道 A、B、C 和 D 的引脚详细信息，请参阅节 4 和节 5.8 的“HSSI 接口”部分。
通道 C 和 D 的连接方式与 A 和 B 相同，但为了清晰起见，此图中将其忽略。

6.3 特性说明

6.3.1 电源接口

DLP991UUV DMD 需要五个直流电压才能正常运行：V_{DD}、V_{DDA}、V_{OFFSET}、V_{RESET} 和 V_{BIAS}。VDD/VDDA 电源输入需要 1.9V 电源。为了启用微镜驱动控制，这里为 DMD 提供了 V_{OFFSET} (10V)、V_{RESET} (–14V) 和 V_{BIAS} (18V)。

6.3.2 时序

此数据表提供器件引脚上的时序。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。时序基准负载不能作为任何特定系统环境的精确表示，也不能描述生产测试所呈现的实际负载。系统设计人员必须使用 IBIS 或其他仿真工具将时序基准负载与系统环境相关联。所述负载电容值仅用于表征和测量交流时序信号。该负载电容值并不表示器件能够驱动的最大负载。

6.4 器件功能模式

DMD 功能模式由显示控制器控制。有关更多信息，请参阅 *DLPC964 数字微镜器件控制器* 数据表或联系 TI 应用工程师。

6.5 光学接口和系统图像质量注意事项

备注

TI 对因光学系统工作条件超过上述限制而导致的图像质量伪影或 DMD 故障不承担任何责任。

TI 对终端设备的光学性能不承担任何责任。要实现所需的终端设备光学性能，需要在众多元件和系统设计参数之间进行权衡。为了优化系统光学性能和图像质量，需要权衡光学系统设计参数。虽然不可能预见到每一个可以想象的应用，但投影仪图像质量和光学性能取决于是否符合以下各节中所述的光学系统工作条件。

6.5.1 数字光圈和杂散光控制

除非在照明和/或投影光瞳中添加了适当的孔径以阻挡来自投影透镜的平面光和杂散光，否则照明和投影光学元件的数值孔径所定义的角度不得超过标称器件微镜倾斜角。微镜倾斜角定义了 DMD 将“打开”光路与任何其他光路分开的能力，包括来自 DMD 窗口、DMD 边框结构或 DMD 附近其他系统表面（例如棱镜或透镜表面）的不良平面状态镜面反射。如果数值孔径超过微镜倾斜角，或者如果投影数值孔径角比照明数值孔径角大两度以上，则显示器边框和/或有源区域中可能会出现不良伪影。

6.5.2 光瞳匹配

TI 的光学和图像质量规格假定，照明光学元件的出射光瞳标称中心位于投影光学元件入射光瞳的 2° 范围内。光瞳失准会在显示的边框和/或工作区域中产生不良伪影，这可能需要额外的系统孔径来控制，尤其是在系统的数值孔径超过像素倾斜角的情况下。

6.5.3 照明溢出

该器件的工作区域被 DMD 窗口表面内的孔隙包围，该孔隙从正常角度遮挡了 DMD 芯片组件的结构，并且其尺寸设计符合多种光学工作条件。照亮窗口孔隙的溢出光会因窗口孔隙开口的边缘和屏幕上可见的其他表面异常而产生伪影。设计照明光学系统时，必须对入射到窗口孔隙任何位置的光通量进行限制，使其不超过工作区域中平均通量水平的约 10%。建议尽量减少入射到窗口孔隙上的照明光量。

Copyright © 2025 Texas Instruments Incorporated

6.6 DMD 温度计算

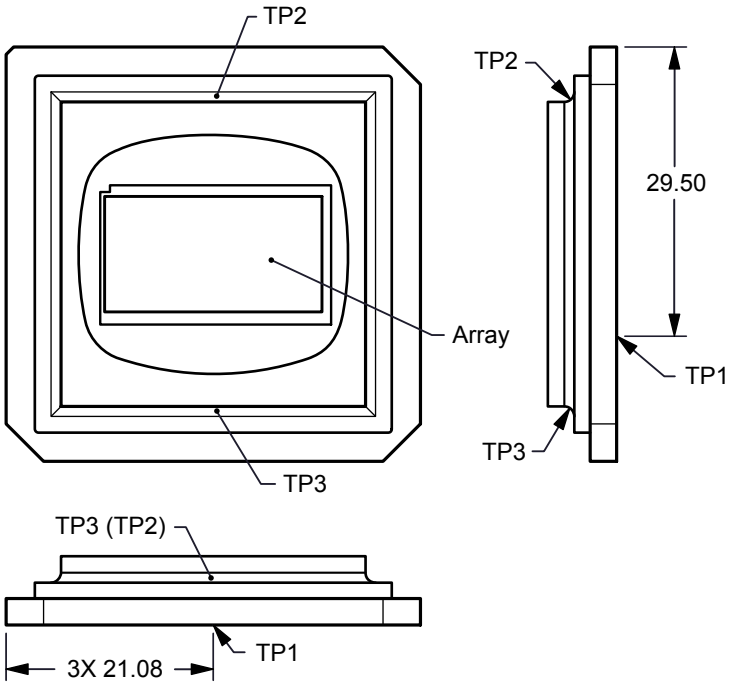


图 6-1. DMD 热测试点

微镜阵列温度可以根据封装外部的测量点、封装热阻、电功率和照明热负荷进行分析计算。以下公式提供了微镜阵列温度与基准陶瓷温度之间的关系：

$T_{MAX_ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{MAX_ARRAY\text{-}TO\text{-}CERAMIC})$

$T_{MIN_ARRAY} = T_{CERAMIC} + (Q_{ARRAY} \times R_{MIN_ARRAY\text{-}TO\text{-}CERAMIC})$

T_{DELTA_MIN} = [minimum of TP2 or TP3] – T_{MAX_ARRAY}

T_{DELTA_MAX} = [maximum of TP2 or TP3] – T_{MIN_ARRAY}

$Q_{ARRAY} = Q_{ELECTRICAL} + Q_{ILLUMINATION}$

其中

- T_{ARRAY} = 计算得出的阵列温度 (°C)
- $T_{CERAMIC}$ = 测得的陶瓷温度 (°C) (TP1 位置)
- $R_{ARRAY\text{-}TO\text{-}CERAMIC}$ = 阵列至陶瓷 TP1 的封装热阻 (°C/瓦)
- Q_{ARRAY} = 阵列上的总 DMD 功率 (W) (电气 + 吸收)
- $Q_{ELECTRICAL}$ = 标称电功率
- $Q_{INCIDENT}$ = 到 DMD 的总入射光功率
- $Q_{ILLUMINATION}$ = (DMD 平均热吸收率 × $Q_{INCIDENT}$) (W) (请参阅 节 5.4)
- DMD 打开状态平均热吸收率 = 0.26
- DMD 关闭状态平均热吸收率 = 0.42

DMD 的电功率耗散是可变的，取决于电压、数据速率和工作频率。为了计算阵列温度，DMD 的功率耗散值 ($Q_{ELECTRICAL}$) 为 9.5W。从光源吸收的功率是可变的，具体取决于微镜的工作状态和光源的强度。上面显示的公式对于系统中的每个 DMD 芯片有效。它假设有源阵列上的照明分布为 91.0%，阵列边界上的照明分布为 9.0%。

关闭状态和打开状态对应的计算示例如下所示。

6.6.1 关闭状态热差 (T_{DELTA_MIN})

TP1 (ceramic) = 20.0°C (measured)

TP2 (window) = 27.0°C (measured)

TP3 (window) = 29.0°C (measured)

$Q_{INCIDENT}$ = 20.0W (measured)

$Q_{ELECTRICAL}$ = 9.5W

$R_{MAX_ARRAY\text{-}TO\text{-}CERAMIC}$ = 0.55°C/W

Q_{ARRAY} = 9.5W + (20.0W × 0.42) = 17.9W

T_{MAX_ARRAY} = 20.0°C + (17.9W × 0.55°C/W) = 29.85°C

T_{DELTA_MIN} = [minimum of TP2 or TP3] -T_{MAX_ARRAY} = 27.0°C - 29.85°C = -2.85°C

6.6.2 打开状态热差 (T_{DELTA_MAX})

TP1 (ceramic) = 20.0°C (measured)

TP2 (window) = 27.0°C (measured)

TP3 (window) = 29.0°C (measured)

$Q_{INCIDENT}$ = 20.0W (measured)

$Q_{ELECTRICAL}$ = 9.5W

$R_{MIN_ARRAY\text{-}TO\text{-}CERAMIC}$ = 0.30°C/W

Q_{ARRAY} = 9.5W + (20.0W × 0.26) = 14.7W

T_{MIN_ARRAY} = 20.0°C + (14.7W × 0.30°C/W) =24.41°C

T_{DELTA_MAX} = [maximum of TP2 or TP3] -T_{MIN_ARRAY} = 29.0°C - 24.41°C = 4.59°C

Copyright © 2025 Texas Instruments Incorporated

6.7 微镜功率密度计算

在计算不同波长带内 DMD 上的照明光功率密度时，会使用在 DMD 上测量的总光功率、照明溢出百分比、有源阵列面积以及所需波长带内的光谱与总光谱光功率的比率。

- $ILL_{UV7} = [OP_{UV\text{-}RATIO} \times Q_{INCIDENT}] \times 1000$ (mW/W) ÷ A_{ILL} (mW/cm^2)
- $ILL_{UV6} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV5} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV4} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV3} = [OP_{VIS\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV2} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV1} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{UV} = [OP_{IR\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $ILL_{VIS} = [OP_{BLU1\text{-}RATIO} \times Q_{INCIDENT}] \div A_{ILL}$ (W/cm^2)
- $A_{ILL} = A_{ARRAY} \div (1 - OV_{ILL})$ (cm^2)

其中：

- ILL_{UV7} = DMD 上的 UV7 照明功率密度 (mW/cm^2)
- ILL_{UV6} = DMD 上的 UV6 照明功率密度 (W/cm^2)
- ILL_{UV5} = DMD 上的 UV5 照明功率密度 (W/cm^2)
- ILL_{UV4} = DMD 上的 UV4 照明功率密度 (W/cm^2)
- ILL_{UV3} = DMD 上的 UV3 照明功率密度 (W/cm^2)
- ILL_{UV2} = DMD 上的 UV2 照明功率密度 (W/cm^2)
- ILL_{UV1} = DMD 上的 UV1 照明功率密度 (W/cm^2)
- ILL_{UV} = DMD 上的 UV 照明功率密度 (W/cm^2)
- ILL_{VIS} = DMD 上的 VIS 照明功率密度 (W/cm^2)
- A_{ILL} = DMD 上的照明面积 (cm^2)
- $Q_{INCIDENT}$ = DMD 上的总入射光功率 (W)（测量值）
- A_{ARRAY} = 阵列面积 (cm^2)（数据表）
- OV_{ILL} = 阵列外部 DMD 上总照度的百分比 (%)（光学模型）
- $OP_{UV7\text{-}RATIO}$ = 波长 < 341nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{UV6\text{-}RATIO}$ = 波长 ≥ 343nm 且 < 345nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{UV5\text{-}RATIO}$ = 波长 ≥ 345nm 且 < 355nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{UV4\text{-}RATIO}$ = 波长 ≥ 355nm 且 < 365nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{UV3\text{-}RATIO}$ = 波长 ≥ 365nm 且 < 385nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{UV2\text{-}RATIO}$ = 波长 ≥ 385nm 且 < 400nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{UV1\text{-}RATIO}$ = 波长 ≥ 400nm 且 < 410nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{UV\text{-}RATIO}$ = 波长 ≥365nm 且 < 410nm 的光功率与照明光谱中总光功率的比率（光谱测量）
- $OP_{VIS\text{-}RATIO}$ = 波长 ≥410nm 且 < 800nm 的光功率与照明光谱中总光功率的比率（光谱测量）

照明面积因照明溢出而异。DMD 上的总照明面积包括阵列面积和阵列周围的溢出面积。光学模型用于确定阵列外部 DMD 上总照度的百分比 (OV_{ILL}) 和有源阵列上总照度的百分比。根据这些值计算出照明面积 (A_{ILL})。假设整个阵列上的照明是均匀的。

根据测量到的照明光谱，计算出相关波长带内的光功率与总光功率的比率。

计算示例 - 照明 365nm 至 410nm

$Q_{INCIDENT}$ = 33.5W (measured)

A_{ARRAY} = (22.1184mm × 11.7504mm) ÷ 100 (mm/cm) = 2.599cm^2 (data sheet)

OV_{ILL} = 9% (optical model)

$OP_{UV3\text{-}RATIO}$ = 0.49962 (spectral measurement)

$OP_{UV2\text{-}RATIO}$ = 0.49962 (spectral measurement)

$OP_{UV1\text{-}RATIO}$ = 0.00076 (spectral measurement)

A_{ILL} = 2.599cm^2 ÷ (1 – 0.09) = 2.8560cm^2

ILL_{UV} = [1.0 × 33.5W] ÷ 2.8560cm^2 = 11.730W/cm^2

ILL_{UV3} = [0.49962 × 33.5W] ÷ 2.8560cm^2 = 5.860W/cm^2

ILL_{UV2} = [0.49962 × 33.5W] ÷ 2.8560cm^2 = 5.860W/cm^2

ILL_{UV1} = [0.00076 × 33.5W] ÷ 2.8560cm^2 = 0.009W/cm^2

6.8 微镜着陆打开/着陆关闭占空比

6.8.1 微镜着陆开/着陆关占空比的定义

微镜着陆开/着陆关占空比（着陆占空比）表示单个微镜着陆于打开状态的时长（百分比）与同一微镜着陆于关闭状态的时长之比。

例如，75/25 的着陆占空比表示基准像素在 75% 的时间内处于打开状态（在 25% 的时间内处于关闭状态）；而 25/75 表示像素在 75% 的时间内处于关闭状态。同样，50/50 表示像素在 50% 的时间内处于打开状态，在 50% 的时间内处于关闭状态。

请注意，在评估着陆占空比时，从一种状态（打开或关闭）切换到另一种状态（关闭或打开）所花费的时间被认为可以忽略不计，因此被忽略。

由于微镜只能以一种状态或另一种状态（打开或关闭）着陆，因此两个数字（百分比）的总和始终为 100。

6.8.2 DMD 的着陆占空比和使用寿命

了解（最终产品或应用的）长期平均着陆占空比很重要，因为使所有（或部分）DMD 微镜阵列（也称为有源阵列）长时间处于非对称着陆占空比会缩短 DMD 的使用寿命。

请注意，相关的是着陆占空比的对称性/不对称性。着陆占空比的对称性取决于两个数字（百分比）的接近程度。例如，50/50 的着陆占空比是完全对称的，而 100/0 或 0/100 的着陆占空比是完全不对称的。

6.8.3 估算产品或应用的长期平均着陆占空比

在给定的时间段内，给定像素的着陆占空比取决于该像素显示的图像内容。

例如，在最简单的情况下，当在给定时间段内在给定像素上显示纯白色时，该像素在该时间段内的着陆占空比将为 100/0。同样，当显示纯黑色时，该像素的着陆占空比将为 0/100。

在两个极端之间（暂时忽略可能对传入图像应用的颜色和任何图像处理），着陆占空比与灰度值一一对应，如表 6-1 所示。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. 灰度值和着陆占空比

灰度值	着陆占空比
0%	0/100
10%	10/90
20%	20/80
30%	30/70
40%	40/60
50%	50/50
60%	60/40
70%	70/30
80%	80/20
90%	90/10
100%	100/0

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

德州仪器 (TI) 的 DLP 技术是一种利用数字微镜器件 (DMD) 来调制光的微机电系统 (MEMS) 技术。DMD 在分辨率和尺寸方面各不相同，可包含 890 万多个微镜。DMD 的每个微镜都是独立控制的，并可与照明器和摄像头同步，以实现广泛的应用。DLP 技术在全球范围内造就了多样的工业产品，从嵌入到大型光刻设备中的数字成像引擎到高分辨率 3D 打印机，不一而足。

德州仪器 (TI) 的最新一类芯片组基于一种称为 SST 的突破性微镜技术而打造。SST 芯片组具有 5.4 μm 的更小微镜尺寸和 12 度的倾斜角，因此能够以更小的产品尺寸实现更高的分辨率和增强的图像处理功能，同时保持高光学效率。DLP 芯片组非常适合任何需要在高速调制下实现高分辨率投影的系统。

7.2 典型应用

DLP991UUV DMD 是一款 4096 × 2176 分辨率的 DLP 数字微镜器件。与 TI DLPC964 工业控制器以及其他电气、光学和机械组件结合使用时，DLP991UUV DMD 可以为工业直接成像和 3D 打印机应用提供出色的系统。图 7-1 显示了使用 DLP991UUV DMD 的典型单芯片系统应用。

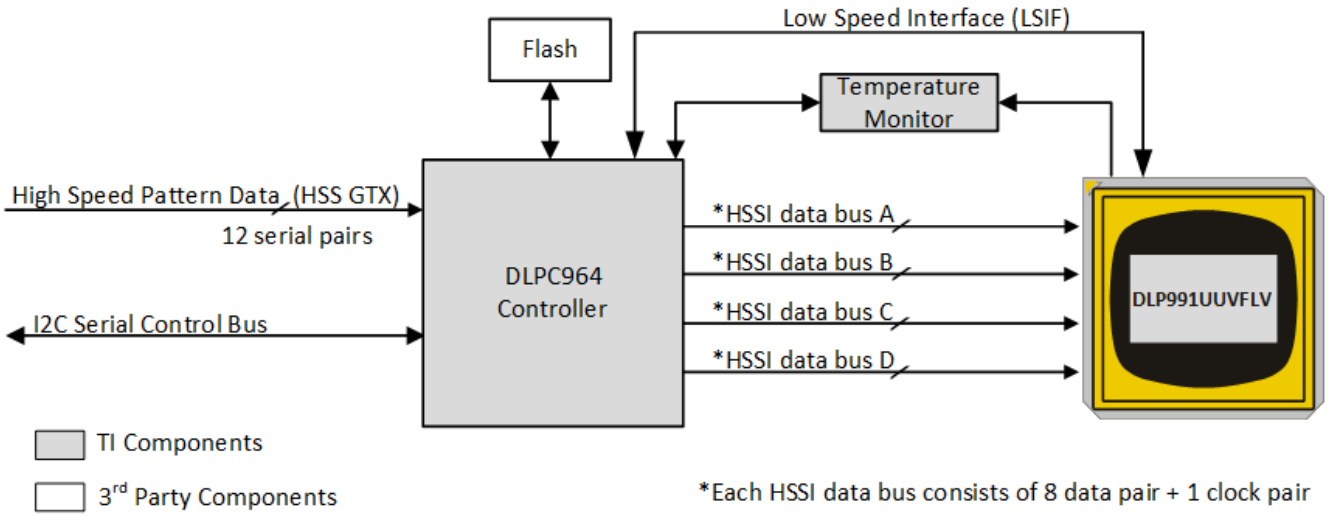


图 7-1. 典型 DLP991UUV 应用图

表 7-1. DMD 概述

DMD	阵列	单行加载时间 (ns)	单块加载时间 (μs)	全局复位模式全阵列（图形/秒）	四块复位模式全阵列（图形/秒）
DLP991UUV	4096 × 2176	37.09	5.04	11,273	12,390

7.2.1 设计要求

概括来说，DLP991UUV DMD 系统包含光源、光源引擎、电子元件和软件。设计人员必须首先选择光源并设计光学引擎，同时考虑光学器件和光源之间的关系。然后，设计人员必须了解 DMD 系统的电子元件。应用 PCB 板支持为 DLP991UUV DMD 供电并对其进行控制所需的所有电子元件，其中包括 DLPC964 工业控制器、电源和 DMD 器件。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 详细设计过程

为了帮助客户设计 DLPC964 工业控制器和 DLP991UUV DMD 之间的电气连接，TI 提供了参考设计原理图和布局指南，建议遵循这些布局指南，以实现可靠的投影子系统。为了完善 DLP 系统，需要一个光学模块或光源引擎，其中包含 DMD、相关光源、光学元件、必要的机械部件以及推荐的热设计概念和指南。

7.3 DMD 内核温度检测

DMD 具有内置热敏二极管，用于测量微镜阵列外芯片某角的温度。热敏二极管可以与 TMP461 温度传感器连接，如图 7-2 中所示。TMP461 的串行总线可以连接到 DLPC964 工业控制器，从而实现其温度检测功能。有关如何查询温度读数的更多信息，请参阅 DLPC964 工业控制器数据表。

DLPC964 工业控制器可以配置 TMP461 来读取 DMD 温度传感器二极管。这些数据可用来在整体系统设计中集成额外的功能，例如调节照明功率、风扇速度、主动冷却温度或流速等。TMP461 与 DLPC964 工业控制器之间的所有通信均通过 I^2C 接口进行。TMP461 通过引脚 E23 和 F22 连接到 DMD，如引脚配置和功能 中所述。

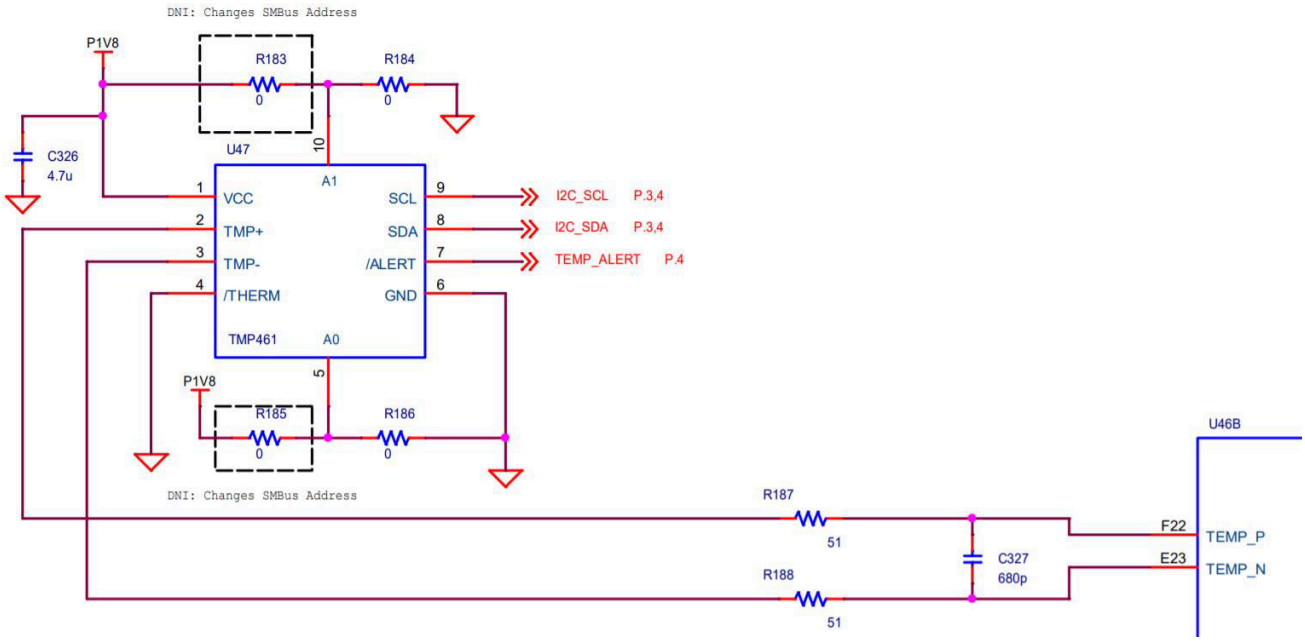


图 7-2. 温度传感器的系统电路板布线示例

1. 为清晰起见，图中省略了细节。请参阅 TI 参考设计以了解如何连接到 DLPC964 工业控制器。
2. 有关系统电路板布局建议，请参阅具有引脚可编程总线地址的 TMP461 高精度远程和本地温度传感器数据表。
3. 有关 R1、R2、R3、R4 和 C1 的建议元件值，请参阅 具有引脚可编程总线地址的 TMP461 高精度远程和本地温度传感器数据表和 TI 参考设计。
4. R5 = 0Ω。R6 = 0Ω。零欧姆电阻器必须靠近 DMD 封装引脚放置。

Copyright © 2025 Texas Instruments Incorporated

8 电源相关建议

运行 DMD 需要以下所有电源：V_{DD}、V_{DDA}、V_{BIAS}、V_{OFFSET} 和 V_{RESET}。DMD 上电和断电时序由 DLP 显示控制器严格控制。

备注

为了确保 DMD 可靠运行，必须遵循以下电源时序要求。如果不遵循规定的上电和断电要求，则可能会影响器件的可靠性。请参阅 *DMD 电源时序要求*。

在上电和断电操作期间，V_{DD}、V_{DDA}、V_{BIAS}、V_{OFFSET} 和 V_{RESET} 电源必须进行协调。如果未满足以下任何要求，则会导致 DMD 的可靠性和寿命显著降低。另外还必须连接公共接地 VSS。

表 8-1. 电源时序要求

符号	参数	说明	最小值	典型值	最大值	单位
t_{DELAY}	延迟要求	从 V_{OFFSET} 上电到 V_{BIAS} 上电	2			ms
V_{OFFSET}	电源电压电平	在上电序列延迟开始时(1)			6	V
V_{BIAS}	电源电压电平	在上电序列延迟结束时(1)			6	V

(1) 请参阅“序列延迟要求”。

8.1 DMD 电源上电过程

- 在上电期间，V_{DD} 和 V_{DDA} 必须始终在 DMD 上施加 V_{OFFSET}（加上表 8-2 中指定的 Delay1）、V_{BIAS} 和 V_{RESET} 电压之前启动并稳定。
- 在上电期间，严格要求 V_{BIAS} 和 V_{OFFSET} 之间的电压差值必须处于节 5.4 中显示的指定限值范围内。
- 在上电期间，针对 V_{RESET} 相对于 V_{BIAS} 的时序没有要求。
- 上电期间的电源转换率是灵活的，前提是瞬变电压电平符合 节 5.1 和 节 5.4 中规定的要求。
- 上电期间，只有在 V_{DD} 和 V_{DDA} 稳定至节 5.4 中列出的工作电压后，LVCMOS 输入引脚才能被驱动为高电平。

8.2 DMD 电源断电过程

- 在断电期间，必须提供 V_{DD} 和 V_{DDA}，直到 V_{BIAS}、V_{RESET} 和 V_{OFFSET} 放电至指定的接地限制范围内。请参阅表 8-2。
- 在断电期间，严格要求 V_{BIAS} 和 V_{OFFSET} 之间的电压差值必须处于 节 5.4 中所示的指定限值范围内。
- 在断电期间，针对 V_{RESET} 相对于 V_{BIAS} 的时序没有要求。
- 断电期间的电源转换率是灵活的，前提是瞬变电压电平符合 节 5.1 和 节 5.4 中规定的要求。
- 在断电期间，LVCMOS 输入引脚电压必须小于节 5.4 中指定的值。

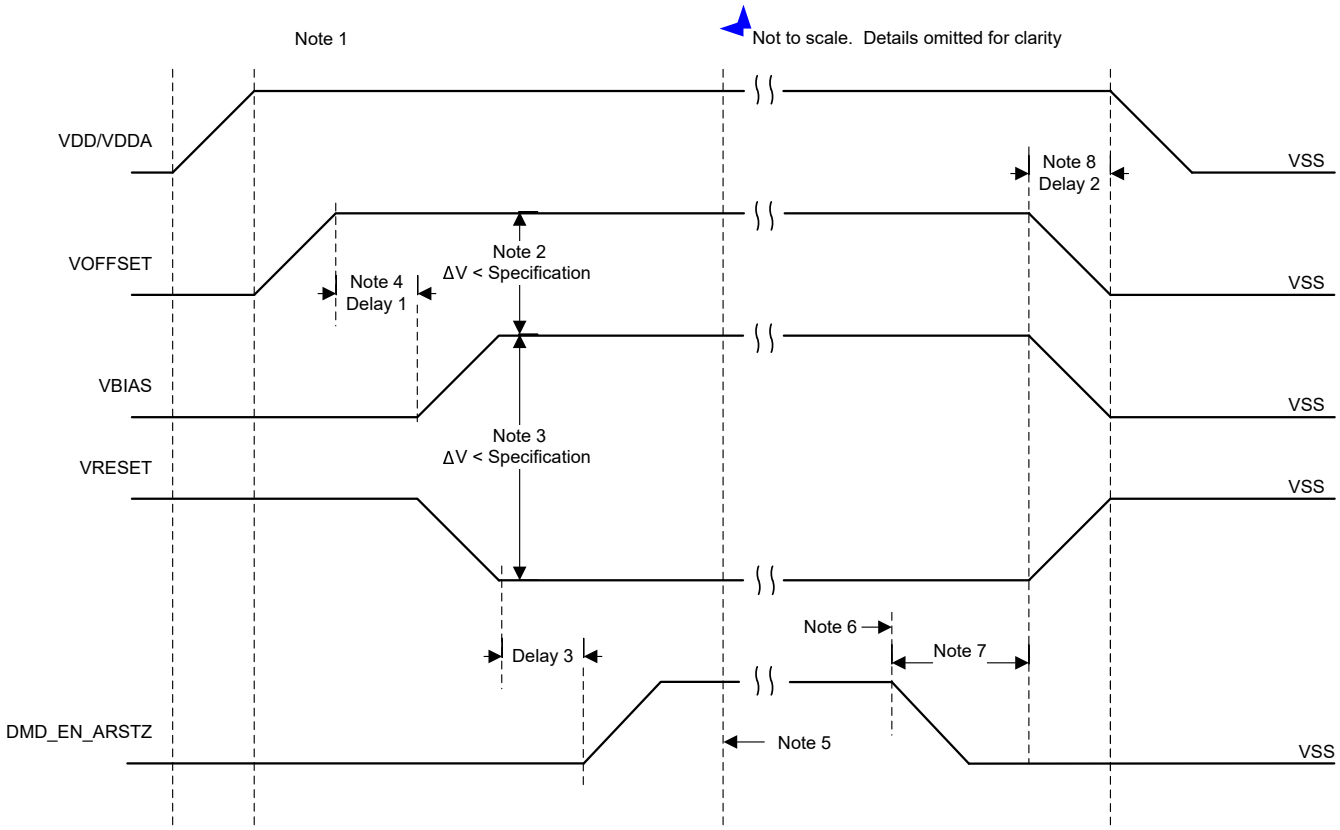


图 8-1. DMD 电源要求

1. 请参阅引脚配置和功能。
2. 为了防止电流过大，电源电压差值 $|V_{BIAS} - V_{OFFSET}|$ 必须小于 节 5.4 中指定的值。
3. 为了防止电流过大，电源电压差值 $|V_{BIAS} - V_{RESET}|$ 必须小于节 5.4 中指定的限值。
4. 根据表 8-2 中的 Delay1 规范，V_{BIAS} 会在 V_{OFFSET} 上电后上电。
5. DLP 控制器软件启动全局 V_{BIAS} 命令。
6. DMD 微镜停放序列完成后，DLP 控制器软件启动硬件断电，从而激活 DMD_EN_ARSTZ 并禁用 V_{BIAS}、V_{RESET} 和 V_{OFFSET}。
7. 在断电情况下，DLP 控制器硬件执行紧急 DMD 微镜停放程序，DMD_EN_ARSTZ 变为低电平。
8. 根据表 8-2 中的 Delay2 规格，V_{DD} 必须保持高电平，直到 V_{OFFSET}、V_{BIAS} 和 V_{RESET} 变为低电平。
9. 为了防止电流过大，电源电压差值 $|V_{DDA} - V_{DD}|$ 必须小于节 5.4 中指定的限值。

表 8-2. DMD 电源要求

参数	说明	最小值	标称值	最大值	单位
Delay1	从 V_{OFFSET} 稳定至建议工作电压到 V_{BIAS} 和 V_{RESET} 上电的延迟。	1	2		ms
Delay2	V_{OFFSET}、V_{BIAS} 和 V_{RESET} 上电后 V_{DD} 必须保持高电平的延迟。	50			µs
Delay3	从 V_{BIAS} 和 V_{RESET} 稳定至建议工作电压到 DMD_EN_ARSTZ 置为有效的延迟。	20			µs

Copyright © 2025 Texas Instruments Incorporated

9 布局

9.1 布局指南

这些指南旨在帮助设计采用 DLP991UUV DMD 的 PCB 板。该 DMD 板是一款高速多层 PCB，主要采用高速数字逻辑，其中包括连接至 DMD 的 3.6Gbps 差分数据总线。对于 V_{OFFSET}、V_{RESET} 和 V_{BIAS}，TI 建议使用全尺寸或迷你电源平面。接地需要使用实心平面。如表 9-2 中所述，PCB 上单端布线的目标阻抗为 50Ω ±10%，差分布线的目标阻抗为 100Ω ±10%。TI 建议使用高质量 FR-4 材料来制造 PCB。

9.1.1 PCB 设计标准

按照 工业设计规范 中所示的行业规范来设计和制造 PCB。

表 9-1. 工业设计规范

工业规范	适用于
IPC-2221 和 IPC-2222 2 类，B 级可生产性	电路板设计
IPC-6011 和 IPC-6012 2 类	PWB 制造
IPC-SM-840 3 类	成品 PWB 阻焊层
UL94V-0 阻燃等级和标识	成品 PWB
UL796 等级和标识	成品 PWB

9.1.2 常规 PCB 布线

9.1.2.1 布线阻抗和布线优先级

为获得最佳性能，TI 建议 PCB 的单端信号目标阻抗为 50Ω ±10%。表 9-2 中介绍了 100Ω ±10% 的差分信号。

表 9-2. 布线阻抗

信号	差分阻抗
HSSI DMD 接口 - DMD_D_(A,B,C,D)[7:0]、DMD_DCLK_(A,B,C,D)	100Ω 差分
DMD LS 接口 - DMD_LS_CLK、DMD_LS_WDATA	100Ω 差分

表 9-3 列出了信号的布线优先级。

表 9-3. 布线优先级

信号	优先级
HSSI DMD 接口 - DMD_D_(A,B,C,D)[7:0]、DMD_DCLK_(A,B,C,D)	1
DMD LS 接口 - DMD_LS_CLK、DMD_LS_WDATA	2
所有其他信号	3

9.1.2.2 PCB 层堆叠示例

为了满足系统设计要求，需要特别注意 PCB 层设计。PCB 堆叠示例如 表 9-4 所示。为了更大限度地提高构成 HSSI DMD 输入接口的高速差分信号的信号完整性，差分信号在内部层上布线并以实心接地层为基准。为了进一步改善 DMD 电路板的信号完整性，这里使用了 Nelco N4000-13 SI 作为电介质材料来改善信号压摆率，从而提升 HSSI DMD 输入接口的性能。

表 9-4. PCB 层堆叠示例

层编号	层名称	覆铜重量	注释
1	A 侧 - 主要元件	½oz（电镀前）	顶层元件，包括电源生成和数据输入连接器。低频信号布线。需要覆铜 (GND)，最大镀铜厚度为 1 盎司。第 2 层的阻抗基准。

表 9-4. PCB 层堆叠示例（续）

层编号	层名称	覆铜重量	注释
2	信号（高频）	½oz	高速信号层。从输入连接器到 DMD 的高速差分数据总线。数据线保持在第 1 层上的接地覆铜下方。
3	接地	½oz	信号层 2 和 4 的实心接地平面（网络 GND）基准
4	信号（高频）	½oz	高速信号层。从输入连接器到 DMD 的高速差分数据总线
5	接地	½oz	信号层 4 和 6 的实心接地平面（网络 GND）基准
6	信号（高频）	½oz	高速信号层。从输入连接器到 DMD 的高速差分数据总线
7	接地	½oz	信号层 6 和 8 的实心接地平面（网 GND）基准
8	B 侧 - DMD、电源平面和次要元件	½oz（电镀前）1	DMD 和迂回。数据输入连接器。用于 1.8V、3.3V、10V、–14V、18V 的主分割电源平面。分立式元件（必要时）。低频信号布线。需要覆铜，最大镀铜厚度为 1oz。

1. 如 DLP991UUV DMD 机械 ICD 图中所述，DMD 器件焊盘应镀有 50-100 微英寸电解镍，再镀有至少 30 微英寸电解金。

9.1.2.3 布线宽度、间距

除非另有说明，否则 TI 建议所有信号都遵循 0.005 英寸/0.0015 英寸（布线宽度/间距）设计规则。通过分析阻抗和叠层要求来确定和计算实际布线宽度。

在空间允许的情况下尽可能扩大所有电压信号的宽度。

遵循表 9-5 和表 9-6 中列出的宽度和间距要求。

表 9-5. 布线最小间距

信号	PWR	GND	单端	差分对	单位
				线对间	
PWR	15	5	15	15	mil
GND	5		5	5	mil
HSSI DMD 接口 - DMD_D_(A,B,C,D)[7:0]、DMD_DCLK_(A,B,C,D)	15	5	3 倍对内（P 到 N）间距	3 倍对内（P 到 N）间距	mil
DMD LS 接口 - DMD_LS_CLK、DMD_LS_WDATA、DMD_LS_RDATA_(A,B,C,D)	15	5	3 倍布线宽度/间距	3 倍对内（P 到 N）间距	mil
所有其他信号	15	5	3 倍布线宽度/间距	3 倍对内（P 到 N）间距	mil

表 9-6. 电压布线宽度和间距建议

信号名称	最小值布线宽度 (mil)	最小值布线间距 (mil)	布局要求
GND	最大化	5	尽可能地增加布线宽度，以至少与连接引脚相同。
P3P3V	40	15	根据需要在第 8 层上创建迷你平面。根据需要使用多个过孔连接到第 1 层和第 8 层上的器件。

Copyright © 2025 Texas Instruments Incorporated

表 9-6. 电压布线宽度和间距建议（续）

信号名称	最小值布线宽度 (mil)	最小值布线间距 (mil)	布局要求
P1P9V	40	15	根据需要在第 8 层上创建迷你平面。根据需要使用多个过孔连接到第 1 层和第 8 层上的器件。反馈电阻分压器必须靠近 DMD 上的 P1P9V 负载引脚放置。
V_OFFSET (10V)	40	15	根据需要在第 8 层上创建迷你平面。根据需要连接到第 1 层和第 8 层上的器件。
V_RESET (–14V)	40	15	根据需要在第 8 层上创建迷你平面。根据需要连接到第 1 层和第 8 层上的器件。
V_BIAS (18V)	40	15	根据需要在第 8 层上创建迷你平面。根据需要连接到第 1 层和第 8 层上的器件。

9.1.2.4 电源和接地平面

TI 强烈建议不要在电源平面或电源平面相邻的平面上进行信号布线。如果必须将信号布线到电源平面相邻的层上，则信号不得在电源平面中穿过分割点，以防止 EMI 并保持信号完整性。

在尽可能多的位置连接所有内部数字接地 (GND) 平面。连接所有内部接地平面，并确保连接之间的最小距离为 0.5 英寸。如果由于器件的正常接地连接而有足够的接地过孔，则不需要额外的过孔。

将每个元件的电源和接地引脚连接到电源平面和接地平面，每个引脚至少有一个过孔。尽量缩短元件电源引脚和接地引脚的布线长度（小于 0.100”）。

强烈建议不要使用接地平面开槽。

9.1.2.5 布线长度匹配

9.1.2.5.1 HSSI 输入总线偏移

高速串行 DMD 接口布线限制 列出了高速串行 DMD 接口布线限制。

表 9-7. 高速串行 DMD 接口布线限制

信号	基准信号	布线规格	单位
DMD_D_A{0…7}_P、 DMD_D_A{0…7}_N	DMD_DCLK_A_P、 DMD_DCLK_A_N	±45	ps
DMD_D_B{0…7}_P、 DMD_D_B{0…7}_N	DMD_DCLK_B_P、 DMD_DCLK_B_N	±45	ps
DMD_D_C{0…7}_P、 DMD_D_C{0…7}_N	DMD_DCLK_C_P、 DMD_DCLK_C_N	±45	ps
DMD_D_D{0…7}_P、 DMD_D_D{0…7}_N	DMD_DCLK_D_P、 DMD_DCLK_D_N	±45	ps
DMD_D_A 总线	DMD_D_B 总线	±45	ps
DMD_D_C 总线	DMD_D_D 总线	±45	ps
DMD_D_A 总线	DMD_D_C 总线	±45	ps
差分对内 P	差分对内 N	±2	ps

9.1.2.5.2 其他时序关键型信号

其他时序关键型信号 列出了其他时序关键型信号需要考虑的布线限制。

表 9-8. 其他时序关键型信号

信号	约束条件
DMD_LS_CLK_P、 DMD_LS_CLK_N DMD_LS_WDATA_P、 DMD_LS_WDATA_N、 DMD_LS_RDATA_{A,B,C,D}	差分对内（P 至 N）匹配度在 ±2ps 以内。差分对彼此匹配度在 ±45ps 以内。

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 器件支持

10.1.1 器件命名规则

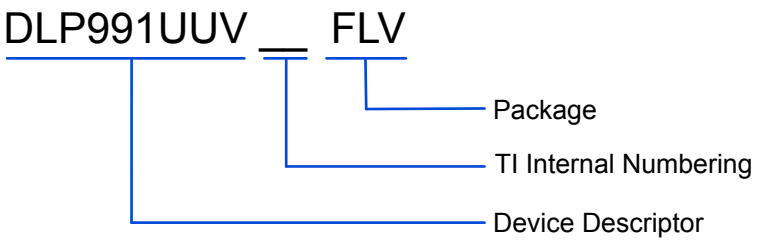


图 10-1. 器件型号说明

10.1.2 器件标识

器件标识包括人类可读的信息和二维矩阵码。图 10-2 展示了人类可读信息。二维矩阵码是一个字母数字字符串，其中包含 DMD 器件型号、序列号的第 1 部分和序列号的第 2 部分。DMD 序列号（第 1 部分）的第一个字符为制造年份。DMD 序列号（第 1 部分）的第二个字符为制造月份。

示例：DLP991UUVFLV GHXXXXX LLLLLLM

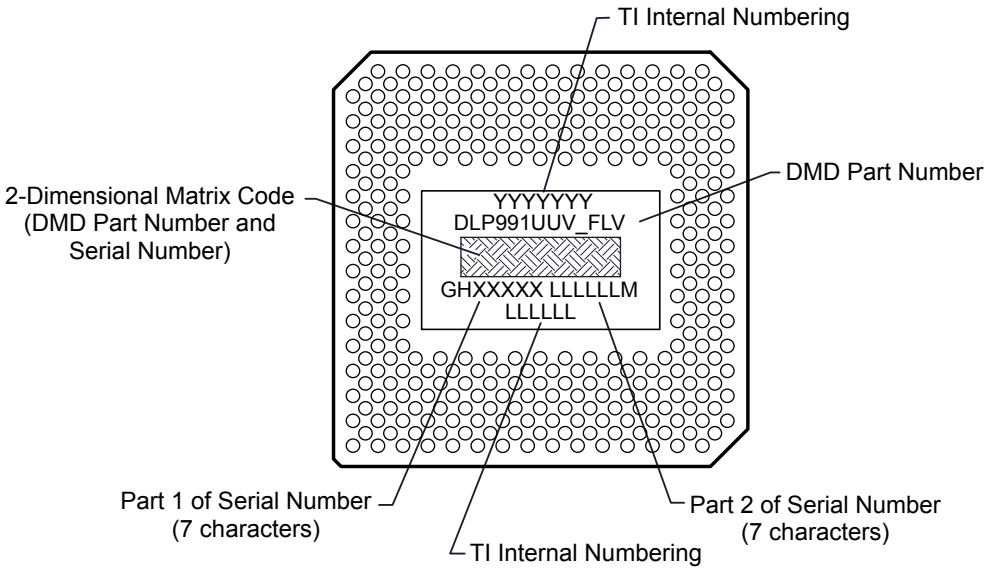


图 10-2. DMD 标识位置

10.2 文档支持

10.2.1 相关文档

以下文档包含与 DLP991UUVFLV DMD 一起使用的芯片组元件相关的更多信息。

- *DLPC964 工业控制器数据表*

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2025) to Revision A (June 2025)	Page
• 将文件状态从*预告信息*更改为*量产数据*	1

Copyright © 2025 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

12.1 封装选项附录

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLP991UUVFLV	Active	Production	CLGA (FLV) | 321	12 | OTHER	Yes	NIPDAU	N/A for Pkg Type	-40 to 90	
XDLP991UUVFLV	Active	Preproduction	CLGA (FLV) | 321	12 | OTHER	-	Call TI	Call TI	45 to 70	
XDLP991UUVFLV.B	Active	Preproduction	CLGA (FLV) | 321	12 | OTHER	-	Call TI	Call TI	-40 to 90	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

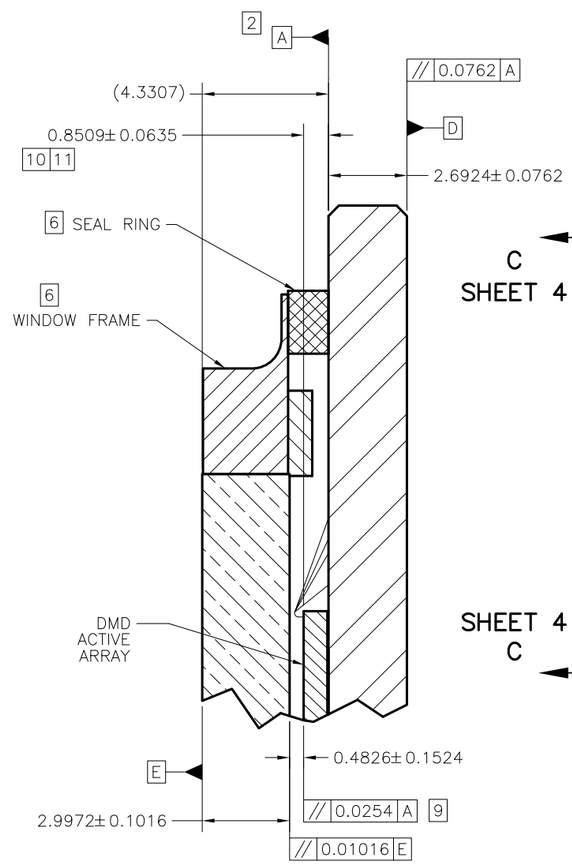
© COPYRIGHT 2022 TEXAS INSTRUMENTS UN-PUBLISHED, ALL RIGHTS RESERVED.

REVISIONS

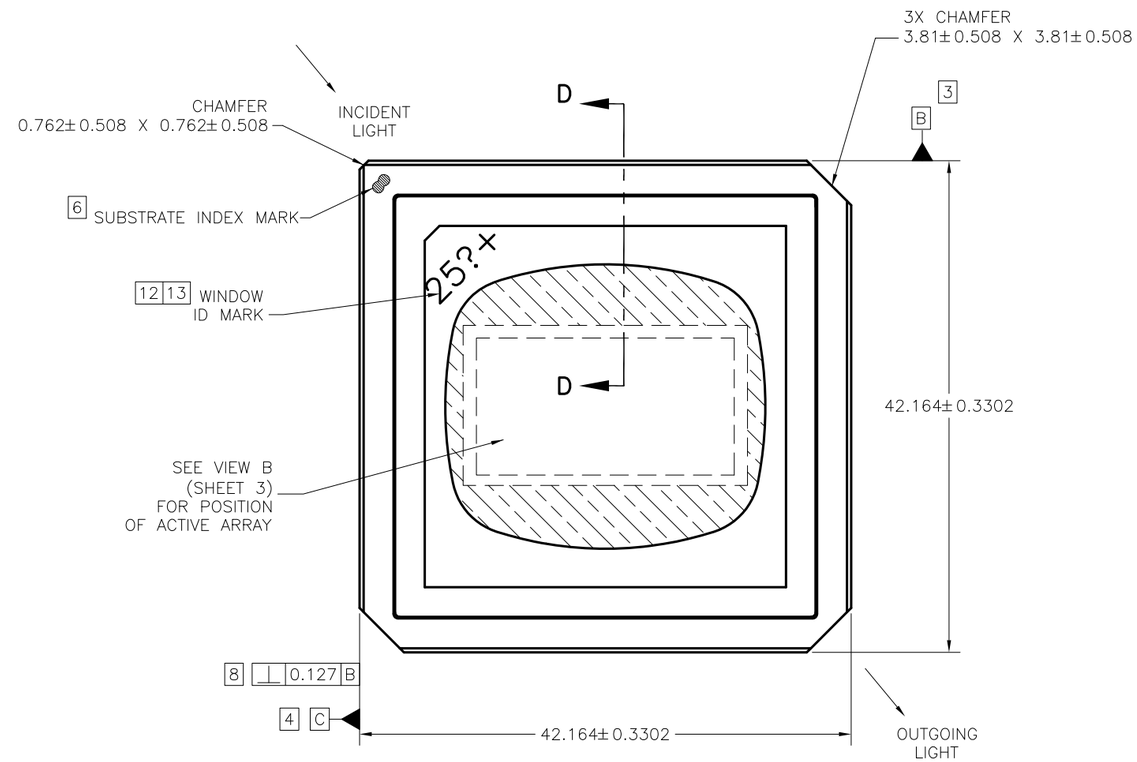
REV	DESCRIPTION	DATE	APPROVED
A	ECO 2200657, INITIAL RELEASE FOR 1C	07/12/2022	F. ARMSTRONG

NOTES: UNLESS OTHERWISE SPECIFIED:

1. INTERPRET DIMENSIONS IN ACCORDANCE WITH ASME Y14.5M–1994.
2. DATUM A (SYSTEM INTERFACE PLANE) ESTABLISHED BY THREE DATUM AREAS SHOWN IN VIEW A (SHEET 2).
3. DATUM B ESTABLISHED BY TWO DATUM AREAS SHOWN IN VIEW A (SHEET 2).
4. DATUM C ESTABLISHED BY DATUM AREA SHOWN IN VIEW A (SHEET 2).
5. LOCALIZED BACKSIDE SURFACE FLATNESS APPLIES TO ENTIRE SURFACE.
6. SUBSTRATE INDEX MARK, BACK INDEX PAD, SYMBOLIZATION PAD, SEAL RING, AND WINDOW FRAME TO BE ELECTRICALLY CONNECTED TO VSS PLANE IN SUBSTRATE.
7. ROTATION ANGLE OF DMD ACTIVE ARRAY IS A REFINEMENT OF THE LOCATION TOLERANCE AND IS THE MAXIMUM VALUE ALLOWED.
8. SUBSTRATE EDGE PERPENDICULARITY TOLERANCE APPLIES TO ENTIRE SURFACE.
9. DIE PARALLELISM TOLERANCE APPLIES TO DMD ACTIVE ARRAY ONLY.
10. DIE HEIGHT TOLERANCE APPLIES TO CENTER OF DMD ACTIVE ARRAY ONLY.
11. DMD ACTIVE ARRAY ROTATION AND LOCATION DIMENSIONS ARE RELATED TO DATUM A (PRIMARY), DATUM B (SECONDARY), AND DATUM C (TERTIARY).
12. WINDOW SHALL BE ORIENTED SUCH THAT I.D. MARK ALIGNS WITH SUBSTRATE INDEX MARK AS SHOWN.
13. ? IS A WILD CARD CHARACTER AND CAN BE ANY LETTER.
14. SUBSTRATES PLATED WITH Ni/Pd/Au SHALL HAVE THE THREE–DIGIT NUMERICAL MARKING IN THE SYMBOLIZATION PAD, AS SHOWN. SUBSTRATES WITH Ni/Au SHALL HAVE THE SAME MARKING, BUT ROTATED RIGHTSIDE–UP.



SECTION D–D
SCALE 10/1



QTY	ITEM NO	PART OR IDENTIFYING NUMBER	NOMENCLATURE OR DESCRIPTION	NOTES

PARTS LIST

UNLESS OTHERWISE SPECIFIED
- DIMENSIONS ARE IN MILLIMETERS
- TOLERANCES: ANGLES ± 1°
  3 PLACE DECIMALS ±0.127
  2 PLACE DECIMALS ±0.254
- REMOVE ALL BURRS AND SHARP EDGES
- CONCENTRICITY MACHINED DIAMETERS 0.254 FIM
- ~~DIMENSIONAL LIMITS APPLY BEFORE PROCESSES~~
- PARENTHETICAL INFO FOR REF ONLY

HOLE TOLERANCE

0.33 THRU 3.175 + 0.1016 − 0.0254	3.200 THRU 6.35 + 0.127 − 0.0254	6.375 THRU 12.7 + 0.1524 − 0.0254
12.725 THRU 19.05 + 0.2032 − 0.0254	19.075 THRU 25.4 + 0.254 − 0.0254	25.425 THRU 50.8 + 0.3048 − 0.0254

THIRD ANGLE PROJECTION

NEXT ASSY	USED ON
2518451	0314DA

APPLICATION

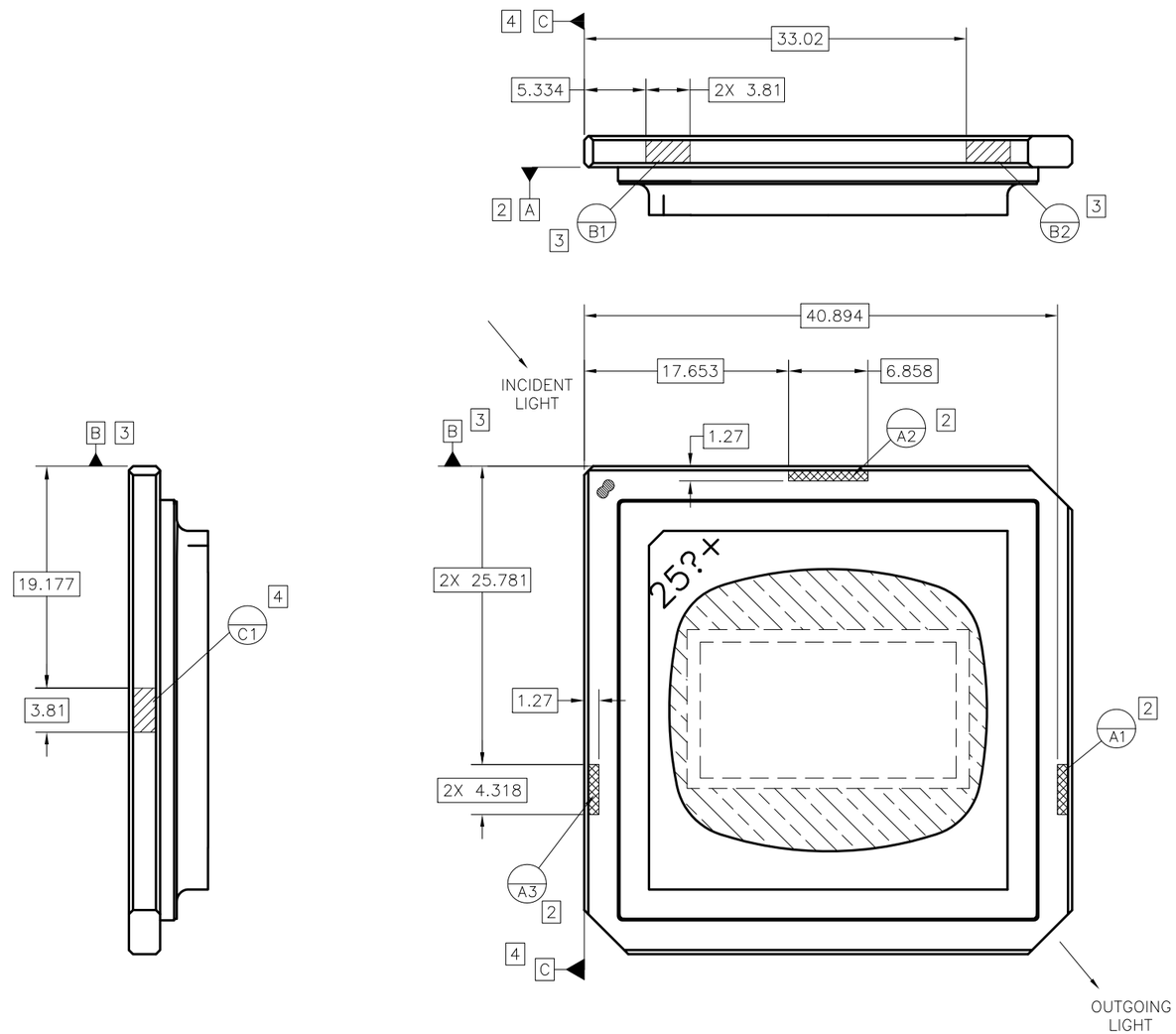
DWN	F. ARMSTRONG	DATE 07/12/2022
ENGR	F. ARMSTRONG	07/12/2022
QA	K. DICKERSON	07/20/2022
	J. BAHLS	07/20/2022
APVD	J. McKINLEY	07/20/2022
	M. SOUCEK	07/20/2022

TEXAS INSTRUMENTS
Dallas, Texas

ICD, MECHANICAL, DMD
.98" SST 4K TYPE A 1C
(FLV PACKAGE)

SIZE D | DRAWING NO 2518450 | REV A
SCALE 4/1 | SHEET 1 OF 4

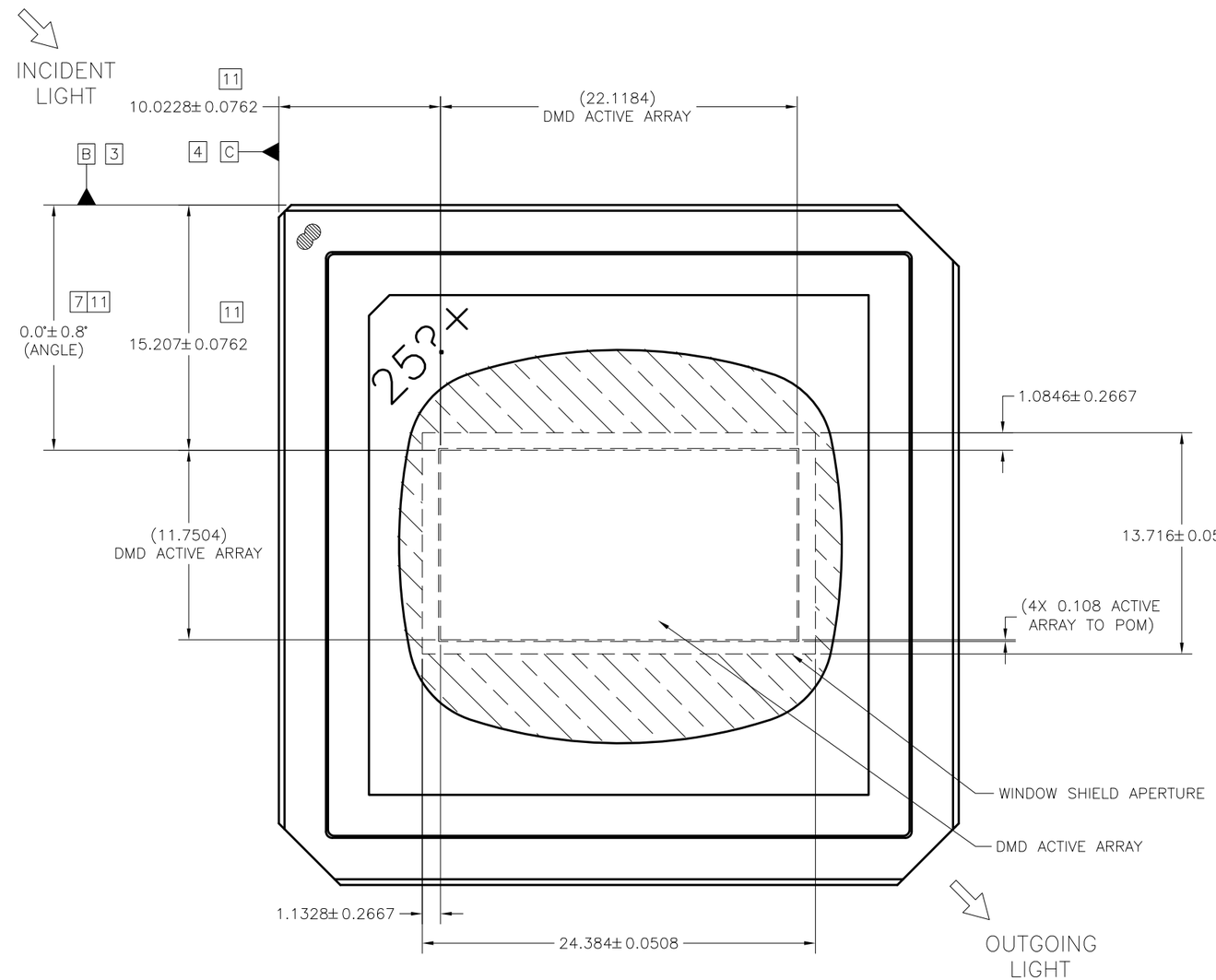
ACED1g



VIEW A (SHEET 1 NOTES)
DATUM A, B AND C DETAILS

TEXAS INSTRUMENTS Dallas, Texas	DWN / DATE / ISSUE DATE	SIZE D	DRAWING NO 2518450	REV A
		SCALE 4/1	SHEET 2	

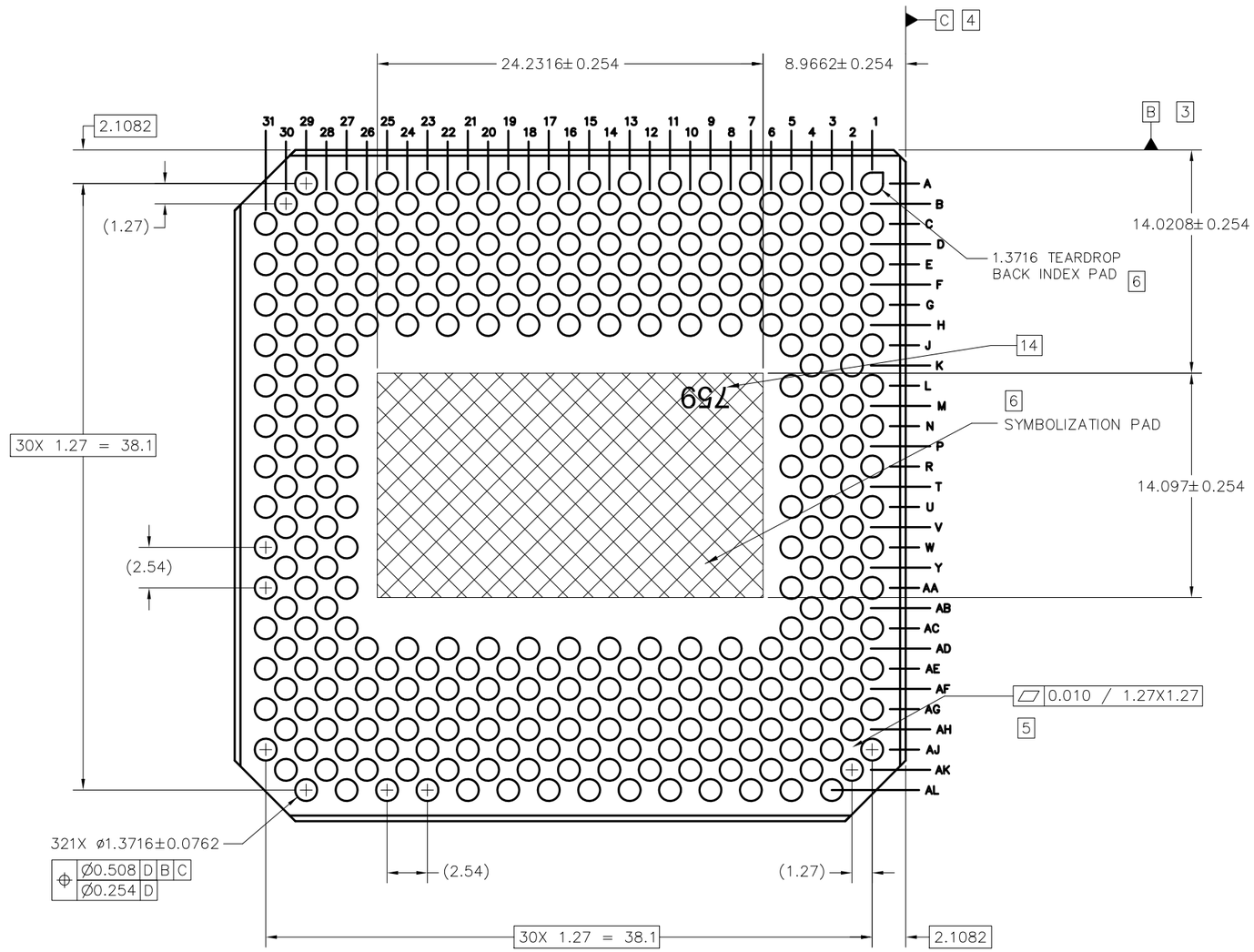
ACED2c



VIEW B (SHEET 1)
POSITION OF ACTIVE ARRAY
SCALE 6/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE	SIZE D	DRAWING NO 2518450	REV A
	ISSUE DATE	SCALE 4/1	SHEET 3	

ACED2c



VIEW C–C (SHEET 1)
BACK PADS
SCALE 6/1

TEXAS INSTRUMENTS Dallas, Texas	DWN DATE / ISSUE DATE	SIZE D / SCALE 4/1	DRAWING NO 2518450 / SHEET 4	REV A

ACED2c

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月