

ADC3908Dx 和 ADC3908Sx 具有集成输入缓冲器的 8 位、25MSPS 至 125MSPS 低延迟、低功耗、小型单通道和双通道 ADC

1 特性

- 采样率高达 125MSPS
- 延迟：1 个时钟周期
- 低功耗 (2 通道)：
 - 125MSPS 时为 90mW
 - 25MSPS 时为 56mW
 - PD 模式下为 3mW
- 小尺寸：32-VQFN (4mm x 4mm)
- 单或双通道 ADC
- 内部基准
- 无丢码， ± 0.25 LSB INL
- 缓冲差分或单端输入
- 输入带宽：150MHz (3dB)
- 单 1.8V 电源
 - 可选 3.3V_{IO} 功能
- 工业温度范围：-40°C 至 105°C
- 并行 (SDR、DDR) CMOS 接口
- 频谱性能 ($FS_{CLK} = 125MSPS$, $f_{IN} = 5MHz$)：
 - SNR：49.8dBFS
 - SFDR：60dBFS

2 应用

- 低延迟控制环路
- 激光扫描仪
- 位移传感器
- 检测设备

3 说明

ADC3908Dx 和 ADC3908Sx 是超低功耗 8 位 125MSPS 高速双通道和单通道模数转换器系列。高速控制环路可从只有 1 个时钟周期的低延迟中受益。该 ADC 在 125MSPS 下的功耗仅为 90mW，且功耗随采样率减小而降低。

ADC3908Dx 和 ADC3908Sx 使用并行 DDR 或 SDR CMOS 接口输出数据，并可在 +1.8V 或 +3.3V 的电压下驱动以满足各种接收器要求。可以通过引脚控制 ([接口配置表](#)) 轻松配置模拟输入和输出接口。该器件属于引脚对引脚兼容 ADC 系列，具有 8 位和 10 位分辨率和不同的速度等级。该器件采用 32 引脚 VQFN 封装，支持工业级温度范围 (-40°C 至 +105°C)。

封装信息

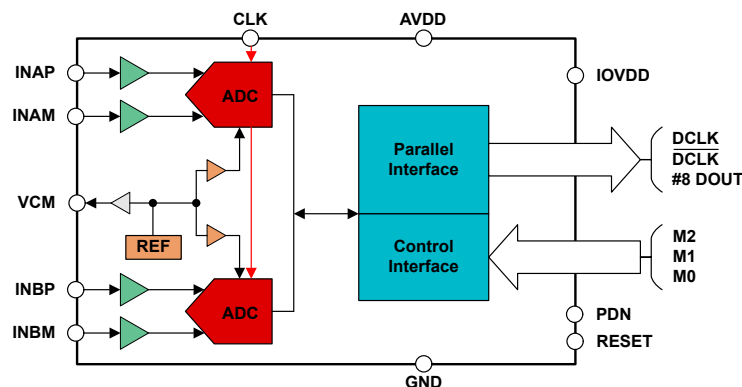
器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ADC3908D025、'D065、'D125； ADC3908S025、'S065、'S125	VQFN (32)	4mm × 4mm

(1) 有关更多信息，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

器件信息

器件型号 (c= #CH; sss= MSPS)	分辨率	采样率 (MSPS)
ADC3910csss	10 位	25、65、125
ADC3908csss	8 位	25、65、125



方框图



内容

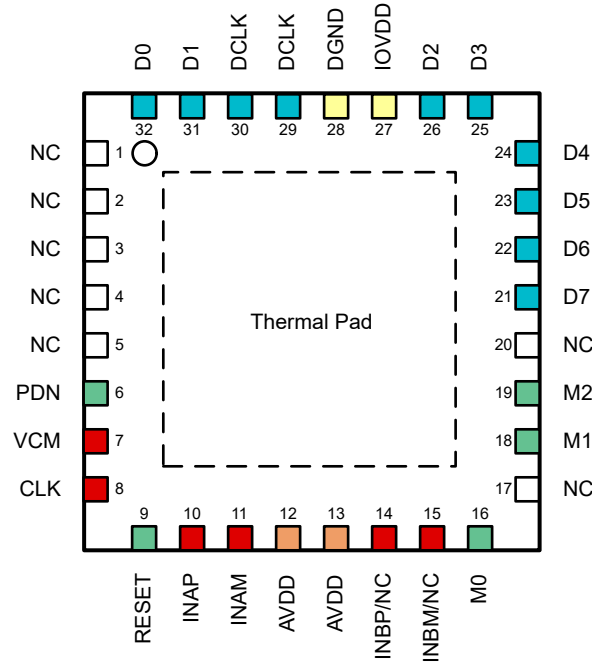
1 特性	1	6.14 典型特性 - 125MSPS.....	19
2 应用	1	7 详细说明	23
3 说明	1	7.1 概述.....	23
4 器件比较	2	7.2 功能方框图.....	23
5 引脚配置和功能	3	7.3 特性说明.....	25
6 规格	5	7.4 器件功能模式.....	30
6.1 绝对最大额定值.....	5	8 应用信息免责声明	31
6.2 ESD 等级.....	5	8.1 典型应用.....	31
6.3 建议运行条件.....	5	8.2 初始化设置.....	34
6.4 热性能信息.....	5	8.3 电源相关建议.....	35
6.5 电气特性 - 功耗.....	6	8.4 布局.....	36
6.6 电气特性 - 直流规格.....	6	9 器件和文档支持	38
6.7 电气特性 - 交流规格 (25MSPS).....	8	9.1 接收文档更新通知.....	38
6.8 电气特性 - 交流规格 (65MSPS).....	9	9.2 支持资源.....	38
6.9 电气特性 - 交流规格 (125MSPS).....	10	9.3 商标.....	38
6.10 时序要求.....	11	9.4 静电放电警告.....	38
6.11 输出接口时序图.....	12	9.5 术语表.....	38
6.12 典型特性 : 25MSPS.....	13	10 修订历史记录	38
6.13 典型特性 - 65MSPS.....	16	11 机械、封装和可订购信息	38

4 器件比较

表 4-1. 器件比较表

器件	分辨率 (位)	通道	采样率 (MSPS)	控制接口	数字特性
ADC3910D125	10	2	125	SPI 控制	完整特性
ADC3910S125	10	1	125	SPI 控制	完整特性
ADC3910D065	10	2	65	SPI 控制	完整特性
ADC3910S065	10	1	65	SPI 控制	完整特性
ADC3910D025	10	2	25	SPI 控制	完整特性
ADC3910S025	10	1	25	SPI 控制	完整特性
ADC3908D125	8	2	125	引脚控制	不可用
ADC3908S125	8	1	125	引脚控制	不可用
ADC3908D065	8	2	65	引脚控制	不可用
ADC3908S065	8	1	65	引脚控制	不可用
ADC3908D025	8	2	25	引脚控制	不可用
ADC3908S025	8	1	25	引脚控制	不可用

5 引脚配置和功能



A. AGND 焊接到散热焊盘

图 5-1. RSM (VQFN) 封装，32 引脚 (俯视图)

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
输入或基准			
INAP	10	I	正模拟输入，通道 A
INAM	11	I	负模拟输入，通道 A
INBP/NC	14	I	正模拟输入，通道 B (单通道器件上为 NC)
INBM/NC	15	I	负模拟输入，通道 B (单通道器件上为 NC)
VCM	7	O	用于模拟输入的共模电压输出，1.25V
时钟			
CLK	8	I	ADC 的采样时钟输入
配置			
复位	9	I	硬件复位。高电平有效。该引脚具有内部 60k Ω 下拉电阻器。
M0	16	I	默认，内部 40k Ω 下拉电阻器。 对于双通道器件，连接到 GND；对于单通道器件，连接到 AVDD。 该引脚用于配置默认运行条件。 接口配置表
M1	18	I	默认，内部 40k Ω 下拉电阻器。 该引脚用于配置默认运行条件。 接口配置表
M2	19	I	默认，内部 40k Ω 下拉电阻器。 该引脚用于配置默认运行条件。 接口配置表
数字接口			

表 5-1. 引脚功能 (续)

引脚		类型	说明
名称	编号		
D0	32	O	并行 CMOS 数字通道输出数据。
D1	31	O	
D2	26	O	
D3	25	O	
D4	24	O	
D5	23	O	
D6	22	O	
D7	21	O	
DCLK	30	O	用于数据位时钟的 CMOS 输出。
DCLK	29	O	CMOS 输出数据的反向数据位时钟。
PDN	6	I	默认, 该引脚具有 60kΩ 下拉电阻器。当 PDN 拉至高电平时, 器件处于断电状态。
电源			
AVDD	12、13	I	模拟 1.8V 电源
GND	PowerPAD™	I	模拟地, 0V
IOVDD	27	I	用于数字接口的 1.8V 电源
DGND	5、28	I	地, 0V, 用于数字接口
其他			
NC	1、2、3、4、 5、17、20	-	无连接。接地。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数	测试条件	最小值	最大值	单位
电源电压范围 1.8V, AVDD		-0.3	2.1	V
电源电压范围 1.8V 至 3.3V, IOVDD		-0.3	3.6	
电源电压范围, GND, DGND		-0.3	0.3	
施加到输入引脚的电压	INAP/M、INBP/M、CLK	-0.3	2.1	
	RESET、PDN、M0、M1、M2	-0.3	2.1	
结温, T _J			125	°C
贮存温度, T _{stg}		-65	150	°C

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	1000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准, 所有引脚 ⁽²⁾	500	

(1) JEDEC 文档 JEP155 指出, 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
电源电压范围	电源电压范围 1.8V	AVDD ⁽¹⁾	1.7	1.8	1.9	V
电源电压范围		IOVDD ⁽¹⁾	1.7	1.8	1.9	V
电源电压范围	电源电压范围 3.3V	IOVDD ⁽¹⁾	3.2	3.3	3.4	V
T _A	自然通风条件下的工作温度范围		-40		105	°C
T _J	工作结温				115 ⁽²⁾	°C

(1) 接地测量。

(2) 长时间高于此结温使用可能会增加器件的时基故障 (FIT) 率。

6.4 热性能信息

热指标 ⁽¹⁾		ADC39xx			
		RSM (QFN)			单位
		32 引脚			
R _{θJA}	结至环境热阻	38.1			°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	37.2			°C/W
R _{θJB}	结至电路板热阻	17.9			°C/W
Ψ _{JT}	结至顶部特征参数	1			°C/W
Ψ _{JB}	结至电路板特征参数	17.9			°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	7.8			°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用报告 \(SPRA953\)](#)。

6.5 电气特性 - 功耗

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、 $AVDD = IOVDD = 1.8\text{V}$ 、 $F_{IN} = 5\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、内部 1.2V 基准、5pF 输出负载和 50% 时钟占空比条件下指定的

参数		测试条件	最小值	典型值	最大值	单位
ADC3908D025						
I_{AVDD}	模拟电源电流	$F_s = 25\text{MSPS}$ ，双通道，DDR CMOS		28	31	mA
I_{IOVDD}	数字电源电流			3	9	mA
P_{DIS}	功率耗散			56		mW
ADC3908S025						
I_{AVDD}	模拟电源电流	$F_s = 25\text{MSPS}$ ，单通道，SDR CMOS		19	22	mA
I_{IOVDD}	数字电源电流			3	8	mA
P_{DIS}	功率耗散			40		mW
ADC3908D065						
I_{AVDD}	模拟电源电流	$F_s = 65\text{MSPS}$ ，双通道，DDR CMOS		32	34	mA
I_{IOVDD}	数字电源电流			7	14	mA
P_{DIS}	功率耗散			70		mW
ADC3908S065						
I_{AVDD}	模拟电源电流	$F_s = 65\text{MSPS}$ ，单通道，SDR CMOS		21	24	mA
I_{IOVDD}	数字电源电流			6	13	mA
P_{DIS}	功率耗散			49		mW
ADC3908D125						
I_{AVDD}	模拟电源电流	$F_s = 125\text{MSPS}$ ，双通道，DDR CMOS		38	40	mA
I_{IOVDD}	数字电源电流			12	21	mA
P_{DIS}	功率耗散			90		mW
ADC3908S125						
I_{AVDD}	模拟电源电流	$F_s = 125\text{MSPS}$ ，单通道，SDR CMOS		24	27	mA
I_{IOVDD}	数字电源电流			10	18	mA
P_{DIS}	功率耗散			61		mW
断电						
P_{DIS}	断电模式下的功耗			3		mW

6.6 电气特性 - 直流规格

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、50% 时钟占空比、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.2V 基准电压和 -1dBFS 差分输入条件下指定的

参数		测试条件	最小值	典型值	最大值	单位
直流精度 (25MSPS)						
无丢码			8			位
DNL	微分非线性		-0.35	± 0.15	+0.35	LSB
INL	积分非线性		-0.6	± 0.25	+0.6	LSB
V_{OS_ERR}	失调电压误差		-2.75	± 1	+2.75	LSB
V_{OS_DRIFT}	不同温度下的温漂			0.001		LSB/ $^\circ\text{C}$
$GAIN_{ERR}$	增益误差	内部基准		± 0.8		%FSR
$GAIN_{DRIFT}$	不同温度下的增益漂移	内部基准		-102		ppm/ $^\circ\text{C}$
直流精度 (65MSPS)						
无丢码			8			位
DNL	微分非线性		-0.35	± 0.15	+0.35	LSB

6.6 电气特性 - 直流规格 (续)

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、50% 时钟占空比、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.2V 基准电压和 -1dBFS 差分输入条件下指定的

参数		测试条件	最小值	典型值	最大值	单位	
INL	积分非线性		-0.6	± 0.25	+0.6	LSB	
V_{OS_ERR}	失调电压误差		-2.75	± 1	-2.75	LSB	
V_{OS_DRIFT}	不同温度下的温漂			0.001		LSB/ $^\circ\text{C}$	
$GAIN_{ERR}$	增益误差	内部基准		± 0.8		%FSR	
$GAIN_{DRIFT}$	不同温度下的增益漂移	内部基准		-102		ppm/ $^\circ\text{C}$	
直流精度 (125MSPS)							
无丢码			8			位	
DNL	微分非线性		-0.35	± 0.15	+0.35	LSB	
INL	积分非线性		-0.6	± 0.25	+0.6	LSB	
V_{OS_ERR}	失调电压误差		-2.75	± 1	2.75	LSB	
V_{OS_DRIFT}	不同温度下的温漂			0.001		LSB/ $^\circ\text{C}$	
$GAIN_{ERR}$	增益误差	内部基准		± 0.8		%FSR	
$GAIN_{DRIFT}$	不同温度下的增益漂移	内部基准		-102		ppm/ $^\circ\text{C}$	
ADC 模拟输入 (INAP/M、INBP/M)							
FS	满量程输入	差分	1.9			V _{pp}	
		单端	0.95			V _{pp}	
C_{IN}	差分输入电容	$F_{IN} = 100\text{kHz}$	7			pF	
V_{CM}	输入共模电压		$V_{OCM} - 50\text{mV}$	1.275	$V_{OCM} + 50\text{mV}$	V	
V_{OCM}	输出共模电压		1.25			V	
BW	模拟输入带宽 (-3dB)		150			MHz	
时钟输入							
输入时钟频率	ADC3908D125、ADC3908S125		5		125	MHz	
	ADC3908D065、ADC3908S065		5		65	MHz	
	ADC3908D025、ADC3908S025		5		25	MHz	
V_{IH}	高电平输入电压		$AVDD - 0.3$	1.8		V _{pp}	
V_{IL}	低电平输入电压			0	$AVSS + 0.3$	V	
C_{IN}	输入电容		0.5			pF	
时钟占空比			45	50	55	%	
数字输入 (RESET、PDN、M0、M1、M2)							
V_{IH}	高电平输入电压		1.4			V	
V_{IL}	低电平输入电压					0.4	V
I_{IH}	高电平输入电流			90	150	μA	
I_{IL}	低电平输入电流		-150	-90		μA	
C_i	输入电容		1.5			pF	
数字 CMOS 输出 (D0:D07)							
每个 CMOS 输出引脚		的输出数据速率	250			Mbps	
V_{OH}	高电平输出电压	$I_{LOAD} = -400\ \mu\text{A}$	$IOVDD - 0.1$	$IOVDD$		V	
V_{OL}	低电平输出电压	$I_{LOAD} = 400\ \mu\text{A}$			0.1	V	

6.7 电气特性 - 交流规格 (25MSPS)

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、 $AVDD = IOVDD = 1.8\text{V}$ 、 $FS_{CLK} = 25\text{MSPS}$ 、 $F_{IN} = 5\text{MHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、内部 1.2V 基准电压和 50% 时钟占空比条件下指定的

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度	$f_{IN} = 10\text{MHz}$, $A_{IN} = -20\text{dBFS}$		-120.8		dBFS/Hz
SNR	信噪比, 不包括 DC、HD2 至 HD5	$f_{IN} = 1.1\text{MHz}$		49.9		dBFS
		$f_{IN} = 5\text{MHz}$	48	49.9		
		$f_{IN} = 10\text{MHz}$		49.9		
		$f_{IN} = 20\text{MHz}$		49.9		
SINAD	信噪比和失真比, 不包括直流失调电压	$f_{IN} = 1.1\text{MHz}$		49.6		dBFS
		$f_{IN} = 5\text{MHz}$		49.7		
		$f_{IN} = 10\text{MHz}$		49.7		
		$f_{IN} = 20\text{MHz}$		49.7		
ENOB	有效位数, 不包括直流失调电压	$f_{IN} = 1.1\text{MHz}$		8.0		位
		$f_{IN} = 5\text{MHz}$		8.0		
		$f_{IN} = 10\text{MHz}$		8.0		
		$f_{IN} = 20\text{MHz}$		8.0		
THD	总谐波失真 (前五个谐波)	$f_{IN} = 1.1\text{MHz}$		-61		dBc
		$f_{IN} = 5\text{MHz}$		-63		
		$f_{IN} = 10\text{MHz}$		-63		
		$f_{IN} = 20\text{MHz}$		-64		
SFDR	无杂散动态范围, 包括第二和第三个谐波	$f_{IN} = 1.1\text{MHz}$		63		dBFS
		$f_{IN} = 5\text{MHz}$	60	65		
		$f_{IN} = 10\text{MHz}$		64		
		$f_{IN} = 20\text{MHz}$		64		
SPUR	无杂散动态范围 (不包括 DC、HD2、HD3)	$f_{IN} = 1.1\text{MHz}$		67		dBFS
		$f_{IN} = 5\text{MHz}$	63	68		
		$f_{IN} = 10\text{MHz}$		68		
		$f_{IN} = 20\text{MHz}$		68		
IMD3	双音互调失真	$f_{IN} = 8/10\text{MHz}$, $A_{IN} = -7\text{dBFS}$ /单音		-91		dBc
XTALK	通道间串扰	干扰源 = 1.1MHz		107		dBFS
		干扰源 = 10MHz		97		
		干扰源 = 20MHz		93		

6.8 电气特性 - 交流规格 (65MSPS)

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，典型值是在 $T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ 、 $\text{FS}_{\text{CLK}} = 65\text{MSPS}$ 、 $\text{F}_{\text{IN}} = 5\text{MHz}$ 、 $\text{A}_{\text{IN}} = -1\text{dBFS}$ 、内部 1.2V 基准电压和 50% 时钟占空比条件下指定的

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度	$f_{\text{IN}} = 10\text{MHz}$, $\text{A}_{\text{IN}} = -20\text{dBFS}$		-125.0		dBFS/Hz
SNR	信噪比, 不包括 DC、HD2 至 HD5	$f_{\text{IN}} = 1.1\text{MHz}$		49.8		dBFS
		$f_{\text{IN}} = 5\text{MHz}$	47	49.8		
		$f_{\text{IN}} = 10\text{MHz}$		49.8		
		$f_{\text{IN}} = 20\text{MHz}$		49.8		
		$f_{\text{IN}} = 40\text{MHz}$		49.8		
		$f_{\text{IN}} = 70\text{MHz}$		49.8		
SINAD	信噪比和失真比, 不包括直流失调电压	$f_{\text{IN}} = 1.1\text{MHz}$		49.6		dBFS
		$f_{\text{IN}} = 5\text{MHz}$		49.7		
		$f_{\text{IN}} = 10\text{MHz}$		49.7		
		$f_{\text{IN}} = 20\text{MHz}$		49.7		
		$f_{\text{IN}} = 40\text{MHz}$		49.6		
		$f_{\text{IN}} = 70\text{MHz}$		49.6		
ENOB	有效位数, 不包括直流失调电压	$f_{\text{IN}} = 1.1\text{MHz}$		8.0		位
		$f_{\text{IN}} = 5\text{MHz}$		8.0		
		$f_{\text{IN}} = 10\text{MHz}$		8.0		
		$f_{\text{IN}} = 20\text{MHz}$		8.0		
		$f_{\text{IN}} = 40\text{MHz}$		8.0		
		$f_{\text{IN}} = 70\text{MHz}$		8.0		
THD	总谐波失真 (前五个谐波)	$f_{\text{IN}} = 1.1\text{MHz}$		-61		dBc
		$f_{\text{IN}} = 5\text{MHz}$		-63		
		$f_{\text{IN}} = 10\text{MHz}$		-63		
		$f_{\text{IN}} = 20\text{MHz}$		-64		
		$f_{\text{IN}} = 40\text{MHz}$		-62		
		$f_{\text{IN}} = 70\text{MHz}$		-61		
SFDR	无杂散动态范围, 包括第二和第三个谐波	$f_{\text{IN}} = 1.1\text{MHz}$		62		dBFS
		$f_{\text{IN}} = 5\text{MHz}$	60	64		
		$f_{\text{IN}} = 10\text{MHz}$		64		
		$f_{\text{IN}} = 20\text{MHz}$		65		
		$f_{\text{IN}} = 40\text{MHz}$		63		
		$f_{\text{IN}} = 70\text{MHz}$		62		
SPUR	无杂散动态范围 (不包括 DC、HD2、HD3)	$f_{\text{IN}} = 1.1\text{MHz}$		68		dBFS
		$f_{\text{IN}} = 5\text{MHz}$	61	68		
		$f_{\text{IN}} = 10\text{MHz}$		68		
		$f_{\text{IN}} = 20\text{MHz}$		68		
		$f_{\text{IN}} = 40\text{MHz}$		68		
		$f_{\text{IN}} = 70\text{MHz}$		68		
IMD3	双音互调失真	$f_{\text{IN}} = 8/10\text{MHz}$, $\text{A}_{\text{IN}} = -7\text{dBFS}$ /单音		-91		dBc
XTALK	通道间串扰	干扰源 = 1.1MHz		106		dBFS
		干扰源 = 10MHz		102		
		干扰源 = 20MHz		97		

6.9 电气特性 - 交流规格 (125MSPS)

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，典型值是在 $T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ 、 $\text{FS}_{\text{CLK}} = 125\text{MSPS}$ 、 $F_{\text{IN}} = 5\text{MHz}$ 、 $A_{\text{IN}} = -1\text{dBFS}$ 、内部 1.2V 基准电压和 50% 时钟占空比条件下指定的

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度	$f_{\text{IN}} = 10\text{MHz}$, $A_{\text{IN}} = -20\text{dBFS}$		-127.8		dBFS/Hz
SNR	信噪比, 不包括 DC、HD2 至 HD5	$f_{\text{IN}} = 1.1\text{MHz}$		49.8		dBFS
		$f_{\text{IN}} = 5\text{MHz}$	48	49.8		
		$f_{\text{IN}} = 10\text{MHz}$		49.8		
		$f_{\text{IN}} = 20\text{MHz}$		49.8		
		$f_{\text{IN}} = 40\text{MHz}$		49.8		
		$f_{\text{IN}} = 70\text{MHz}$		49.8		
SINAD	信噪比和失真比, 不包括直流失调电压	$f_{\text{IN}} = 1.1\text{MHz}$		49.6		dBFS
		$f_{\text{IN}} = 5\text{MHz}$		49.5		
		$f_{\text{IN}} = 10\text{MHz}$		49.5		
		$f_{\text{IN}} = 20\text{MHz}$		49.6		
		$f_{\text{IN}} = 40\text{MHz}$		49.7		
		$f_{\text{IN}} = 70\text{MHz}$		49.4		
ENOB	有效位数, 不包括直流失调电压	$f_{\text{IN}} = 1.1\text{MHz}$		8.0		位
		$f_{\text{IN}} = 5\text{MHz}$		8.0		
		$f_{\text{IN}} = 10\text{MHz}$		8.0		
		$f_{\text{IN}} = 20\text{MHz}$		8.0		
		$f_{\text{IN}} = 40\text{MHz}$		8.0		
		$f_{\text{IN}} = 70\text{MHz}$		8.0		
THD	总谐波失真 (前五个谐波)	$f_{\text{IN}} = 1.1\text{MHz}$		-61		dBc
		$f_{\text{IN}} = 5\text{MHz}$		-59		
		$f_{\text{IN}} = 10\text{MHz}$		-60		
		$f_{\text{IN}} = 20\text{MHz}$		-61		
		$f_{\text{IN}} = 40\text{MHz}$		-64		
		$f_{\text{IN}} = 70\text{MHz}$		-59		
SFDR	无杂散动态范围, 包括第二和第三个谐波	$f_{\text{IN}} = 1.1\text{MHz}$		62		dBFS
		$f_{\text{IN}} = 5\text{MHz}$	56	60		
		$f_{\text{IN}} = 10\text{MHz}$		61		
		$f_{\text{IN}} = 20\text{MHz}$		63		
		$f_{\text{IN}} = 40\text{MHz}$		65		
		$f_{\text{IN}} = 70\text{MHz}$		60		
SPUR	无杂散动态范围 (不包括 DC、HD2、HD3)	$f_{\text{IN}} = 1.1\text{MHz}$		68		dBFS
		$f_{\text{IN}} = 5\text{MHz}$	61	68		
		$f_{\text{IN}} = 10\text{MHz}$		68		
		$f_{\text{IN}} = 20\text{MHz}$		68		
		$f_{\text{IN}} = 40\text{MHz}$		68		
		$f_{\text{IN}} = 70\text{MHz}$		68		
IMD3	双音互调失真	$f_{\text{IN}} = 8/10\text{MHz}$, $A_{\text{IN}} = -7\text{dBFS}$ /单音		-86		dBc
XTALK	通道间串扰	干扰源 = 1.1MHz		102		dBFS
		干扰源 = 10MHz		90		
		干扰源 = 20MHz		98		

6.10 时序要求

最大值和最小值是在自然通风工作温度范围和标称电源电压范围内指定的。除非另有说明，典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、50% 时钟占空比、AVDD = IOVDD = 1.8V、内部 1.2V 基准电压、5pF 输出负载和 -1dBFS 差分输入条件下指定的

参数		测试条件	最小值	标称值	最大值	单位
ADC 时序规格						
t_{AD}	孔径延迟			0.5		ns
t_A	孔径抖动	具有快速边缘的方波时钟		250		fs
t_{ACQ}	信号采集周期，以采样时钟下降沿为基准			$-T_S/5$		采样时钟周期
t_{CONV}	信号转换周期，以采样时钟下降沿为基准	$F_s = 25\text{MSPS}$		5.5		ns
		$F_s = 65\text{MSPS}$		5.5		ns
		$F_s = 125\text{MSPS}$		5.5		ns
唤醒时间	断电后的数据有效时间。内部基准。			30		us
ADC 延迟	信号输入到数据输出	DDR		1		ADC 时钟周期
		SDR		1		
接口时序 - DDR CMOS						
t_{PD}	传播延迟：采样时钟下降沿到 DCLK 上升沿			$T_S/4 + 3$		ns
t_{DE}	DCLK 边沿到上一个数据转换	$F_s = 25\text{MSPS}$		-10	-9	ns
		$F_s = 65\text{MSPS}$		-3.8	-3.4	
		$F_s = 125\text{MSPS}$		-2	-1.8	
t_{DL}	DCLK 边沿到下一个数据转换	$F_s = 25\text{MSPS}$		9	10	ns
		$F_s = 65\text{MSPS}$		3.4	3.8	
		$F_s = 125\text{MSPS}$		1.8	2	
接口时序 - SDR CMOS						
t_{PD}	传播延迟：采样时钟下降沿到 DCLK 上升沿			$T_S/4 + 3$		ns
t_{DE}	DCLK 边沿到上一个数据转换	$F_s = 25\text{MSPS}$		-20	-18	ns
		$F_s = 65\text{MSPS}$		-7.6	-6.9	
		$F_s = 125\text{MSPS}$		-4	-3.6	
t_{DV}	DCLK 边沿到下一个数据转换	$F_s = 25\text{MSPS}$		18	20	ns
		$F_s = 65\text{MSPS}$		6.9	7.7	
		$F_s = 125\text{MSPS}$		3.6	4	

6.11 输出接口时序图

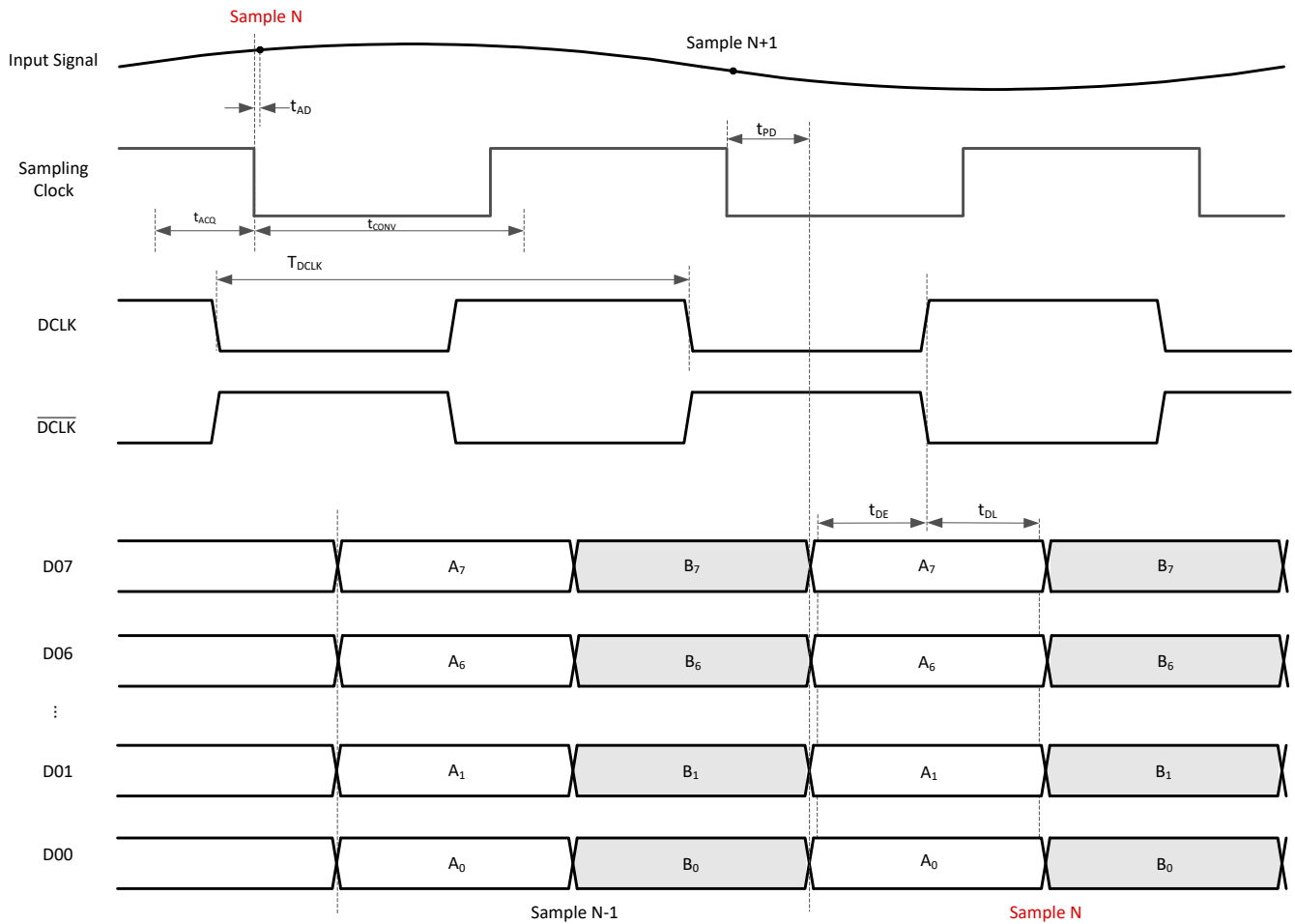


图 6-1. 时序图：双通道，DDR（默认值：8 个通道）

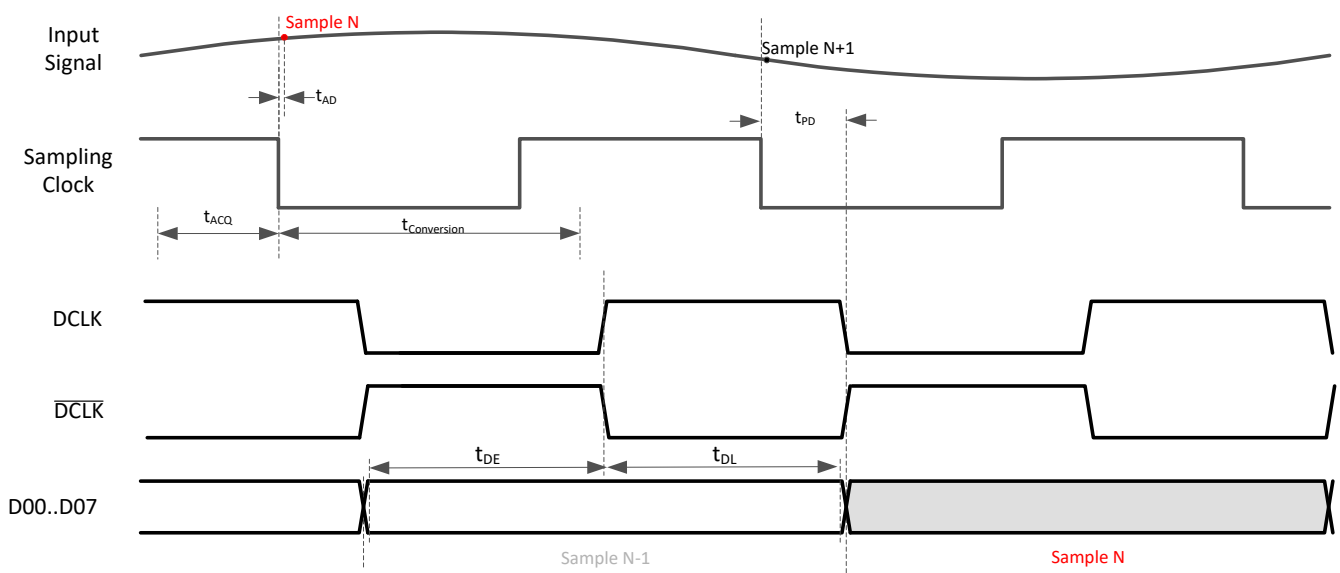


图 6-2. 时序图：单通道 (CHA)，SDR（默认值：8 个通道）

6.12 典型特性：25MSPS

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 25MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AV_{DD} = IO_{VDD} = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。

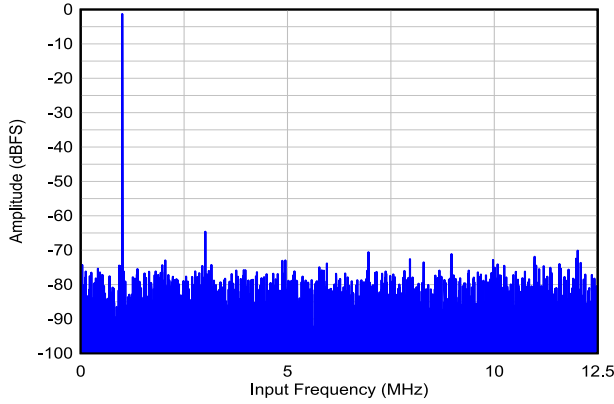


图 6-3. $F_{IN} = 1\text{MHz}$ 时的单音 FFT

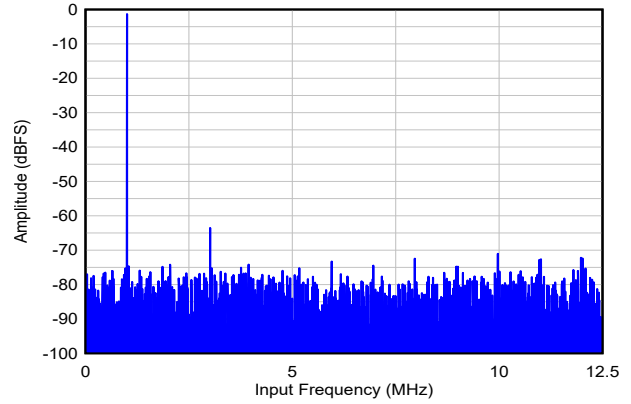


图 6-4. $F_{IN} = 1\text{MHz}$ 、单端输入时的单音 FFT

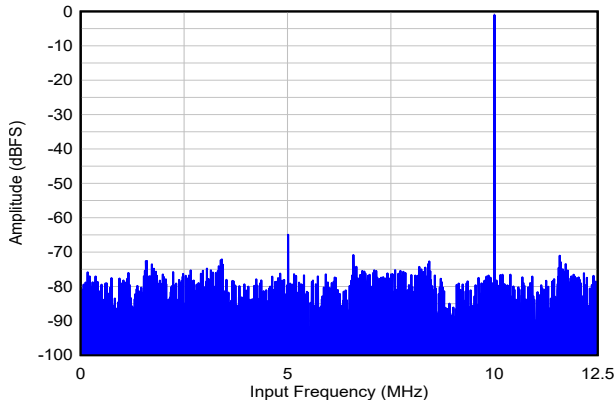


图 6-5. $F_{IN} = 10\text{MHz}$ 时的单音 FFT

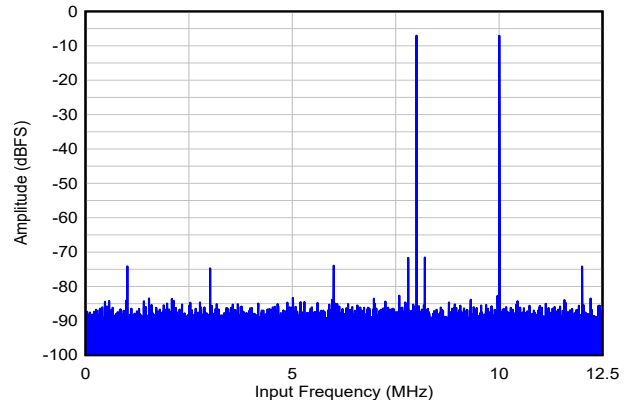


图 6-6. $F_{IN} = 8\text{MHz}/10\text{MHz}$ 时的双音 FFT

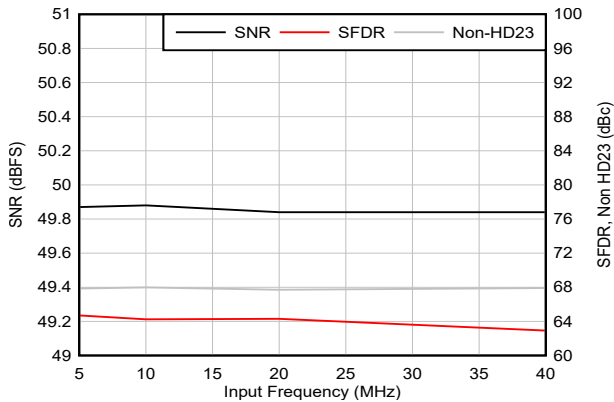


图 6-7. 交流性能与输入频率间的关系

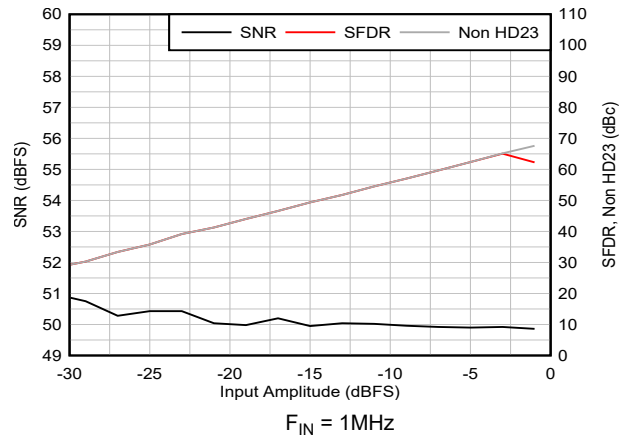


图 6-8. 交流性能与输入幅度间的关系

6.12 典型特性：25MSPS（续）

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 25MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。

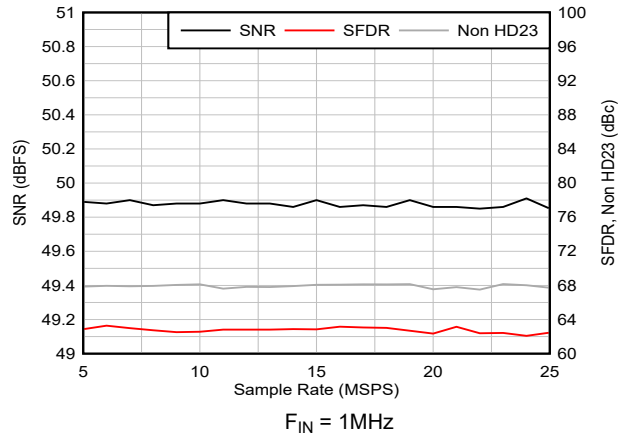


图 6-9. 交流性能与采样率间的关系

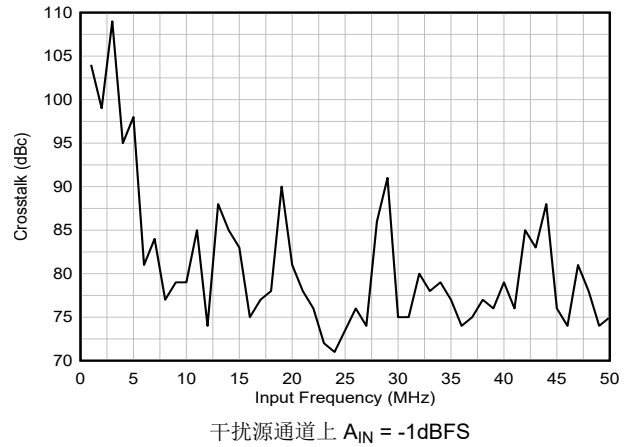


图 6-10. 串扰与输入频率间的关系

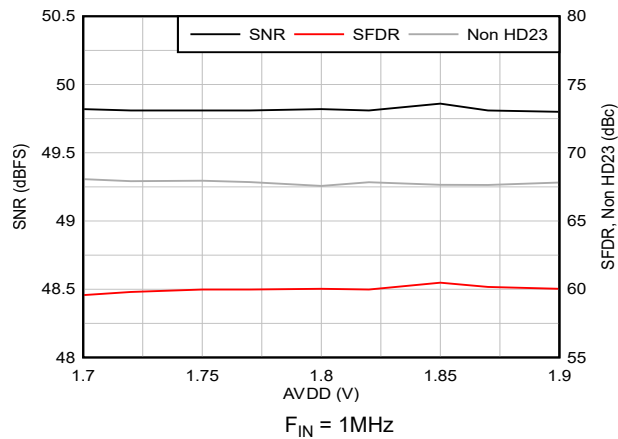


图 6-11. 交流性能与 AVDD 间的关系

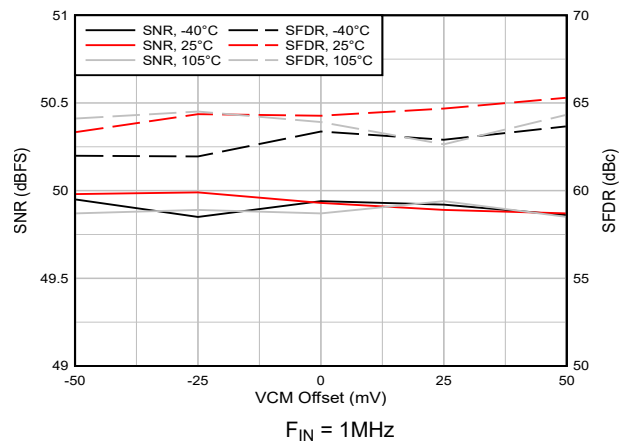


图 6-12. 交流性能与 VCM 和温度间的关系

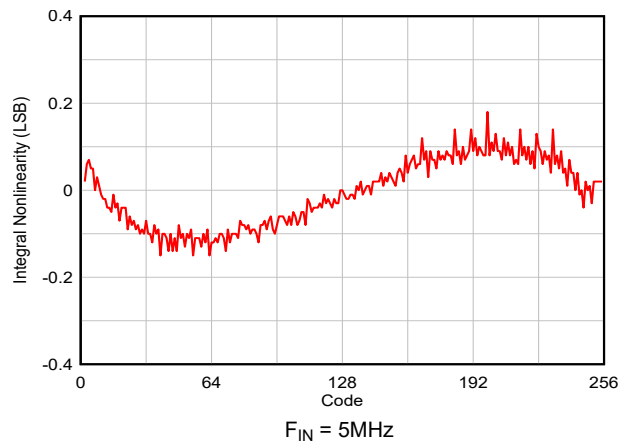


图 6-13. INL 与 ADC 代码间的关系

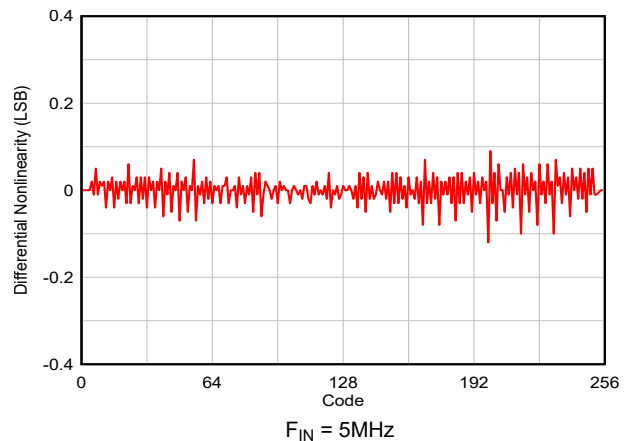
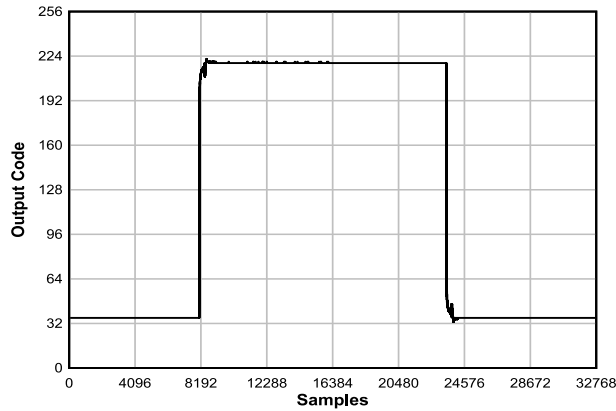


图 6-14. DNL 与 ADC 代码间的关系

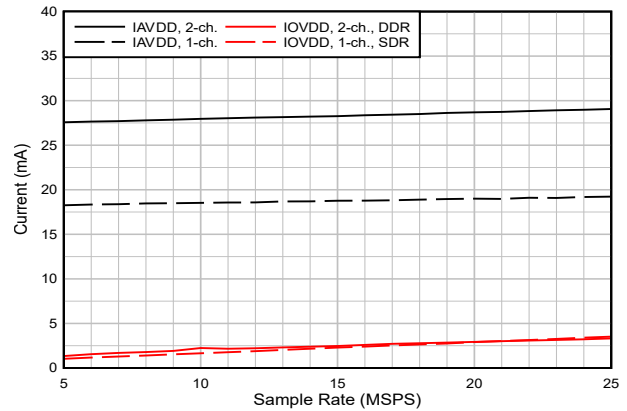
6.12 典型特性：25MSPS（续）

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 25MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。



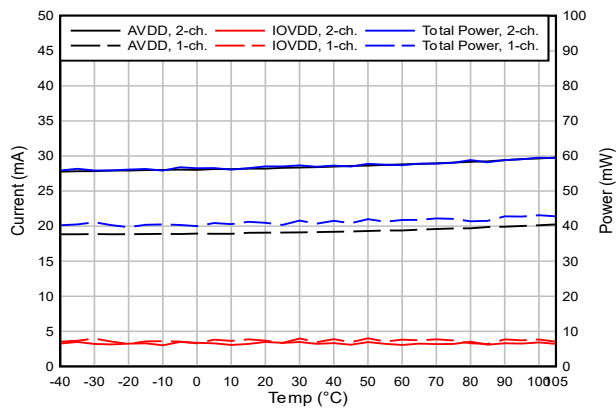
脉冲输入 = 1MHz

图 6-15. 脉冲响应



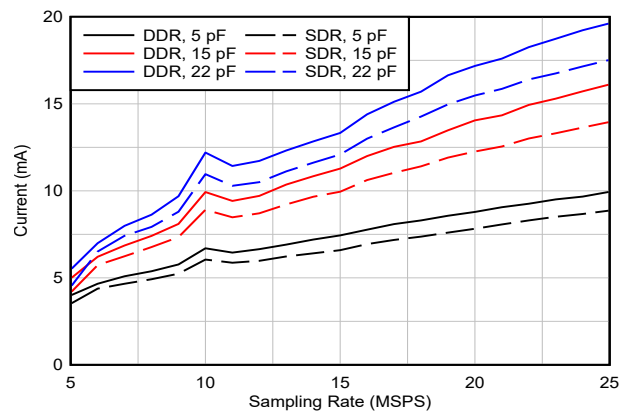
$F_{IN} = 5\text{MHz}$

图 6-16. 电流与采样率间的关系



$F_{IN} = 5\text{MHz}$

图 6-17. 电流与温度间的关系

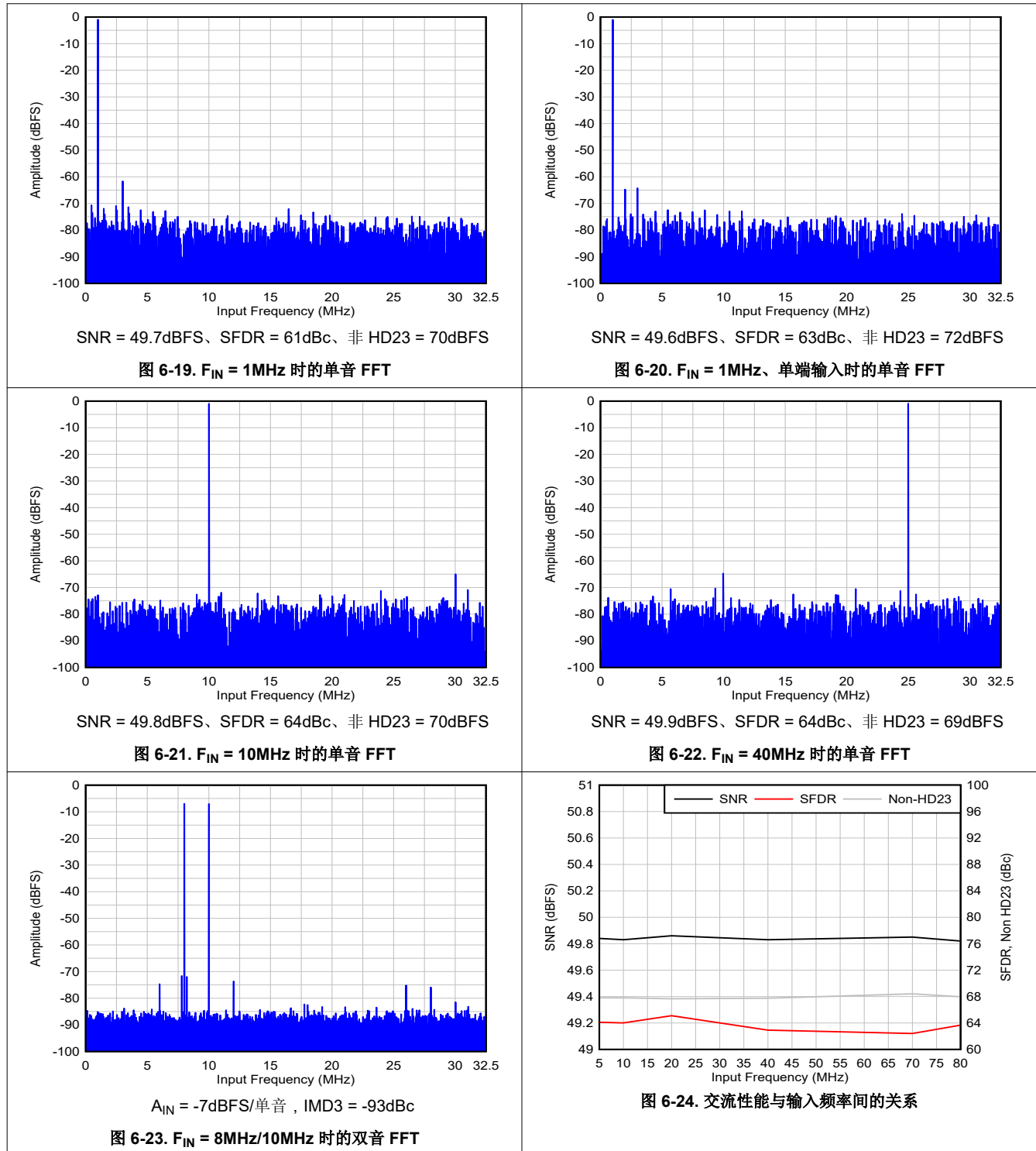


$F_{IN} = 5\text{MHz}$

图 6-18. I_{IOVDD} 电流与负载电容间的关系

6.13 典型特性 - 65MSPS

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 65MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AV_{DD} = IO_{VDD} = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。



6.13 典型特性 - 65MSPS (续)

除非另有说明, 否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 65MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。

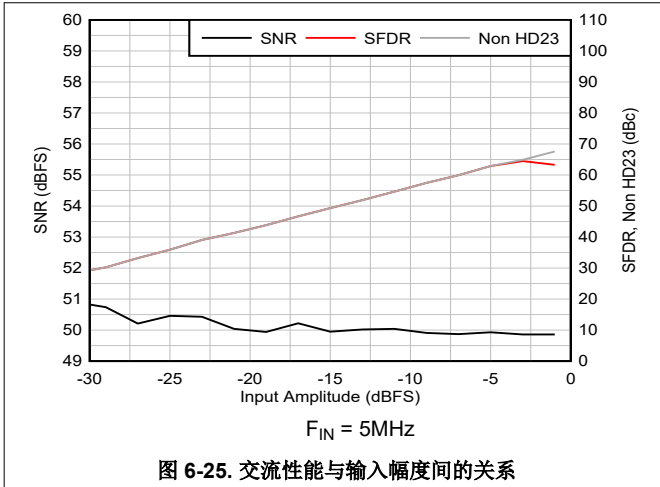


图 6-25. 交流性能与输入幅度间的关系

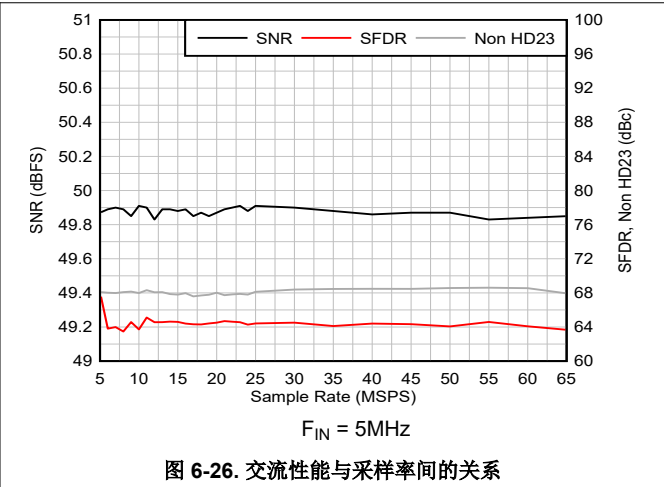


图 6-26. 交流性能与采样率间的关系

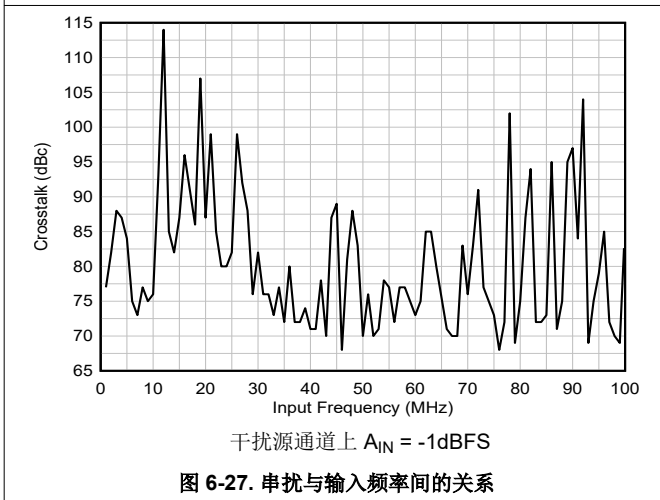


图 6-27. 串扰与输入频率间的关系

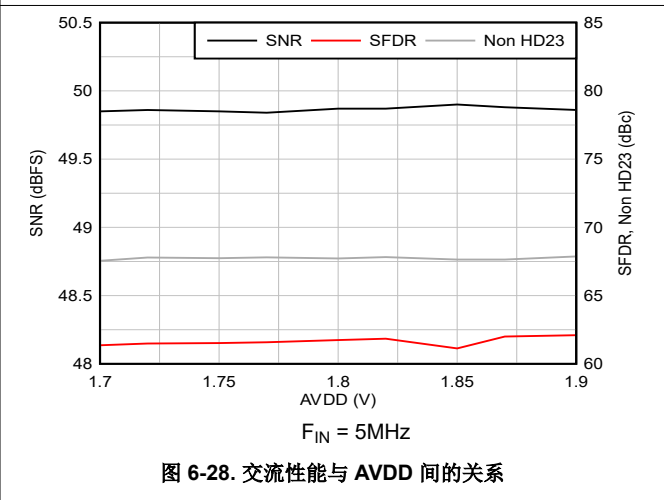


图 6-28. 交流性能与 AVDD 间的关系

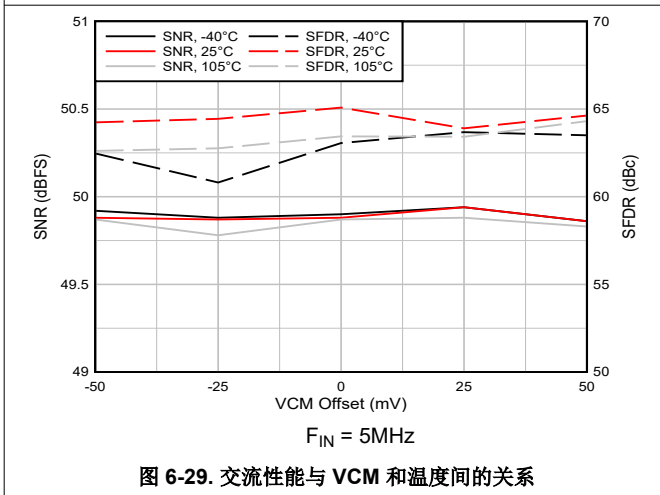


图 6-29. 交流性能与 VCM 和温度间的关系

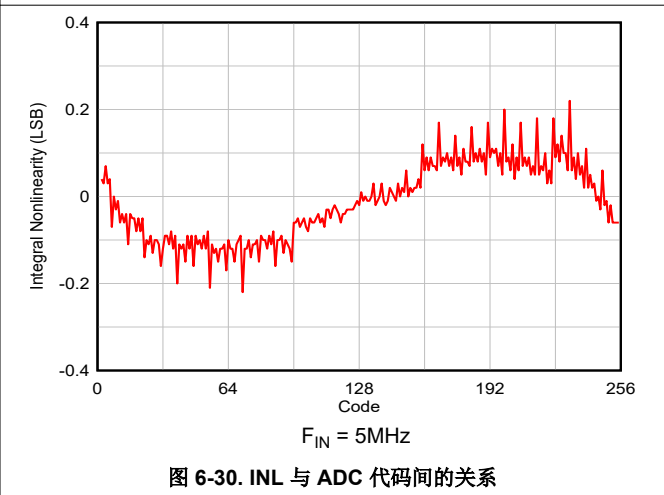


图 6-30. INL 与 ADC 代码间的关系

6.13 典型特性 - 65MSPS (续)

除非另有说明, 否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 65MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。

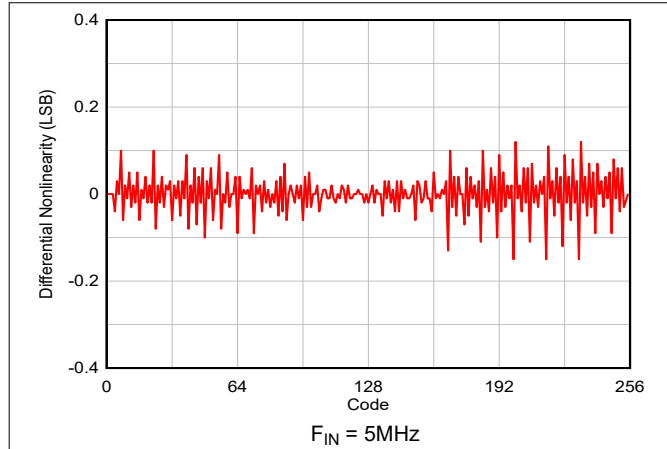


图 6-31. DNL 与 ADC 代码间的关系

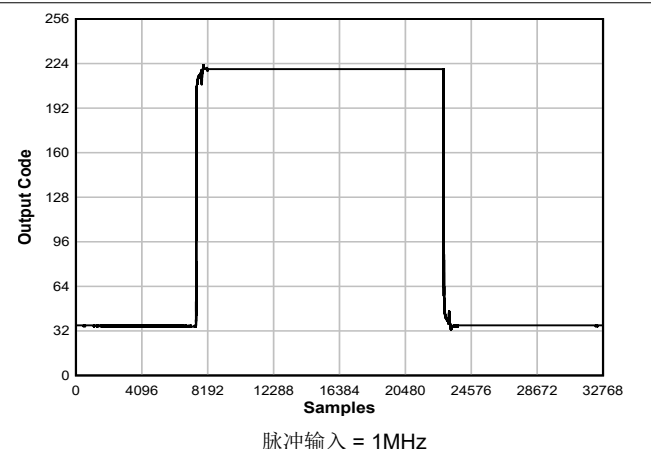


图 6-32. 脉冲响应

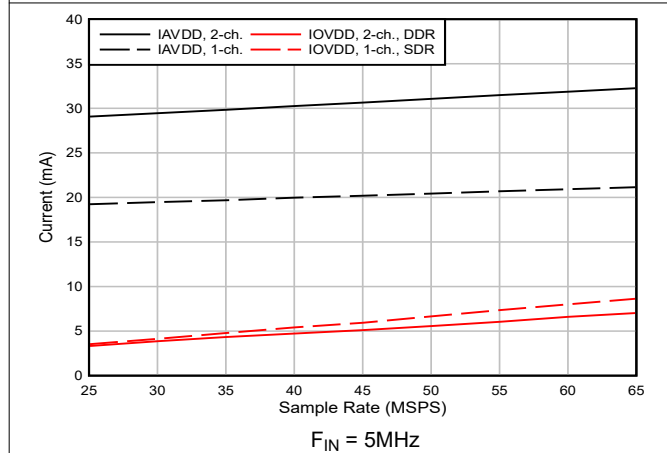


图 6-33. 电流与采样率间的关系

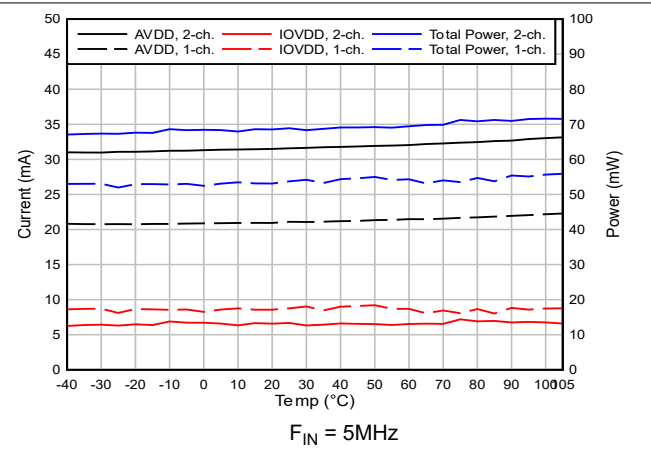


图 6-34. 电流与温度间的关系

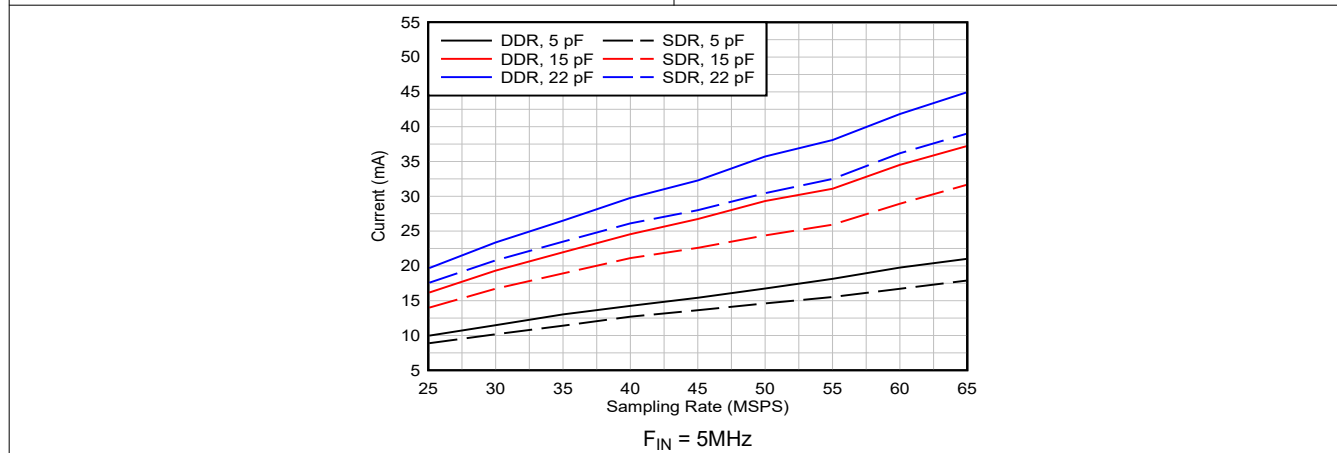
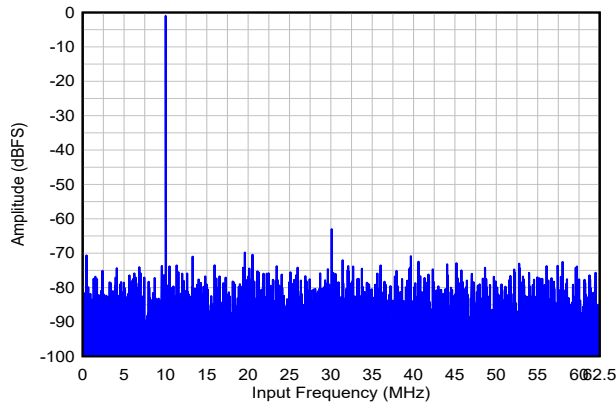


图 6-35. I_{IOVDD} 电流与负载电容间的关系

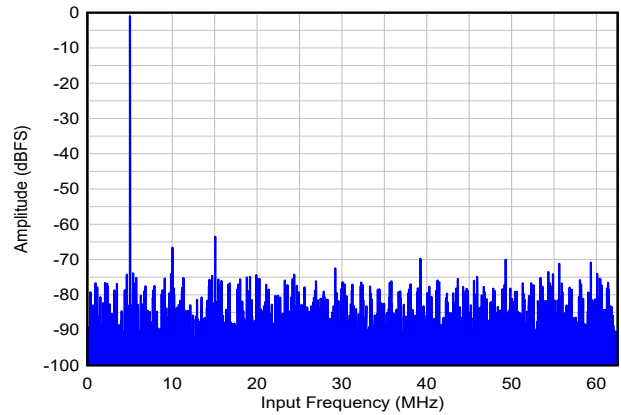
6.14 典型特性 - 125MSPS

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。



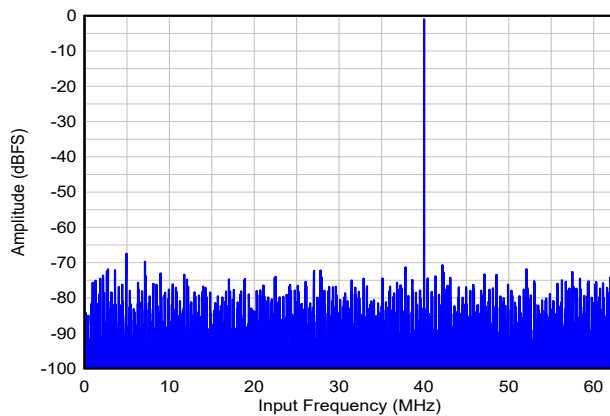
SNR = 49.8dBFS、SFDR = 62dBc、非 HD23 = 69dBFS

图 6-36. $F_{IN} = 10\text{MHz}$ 时的单音 FFT



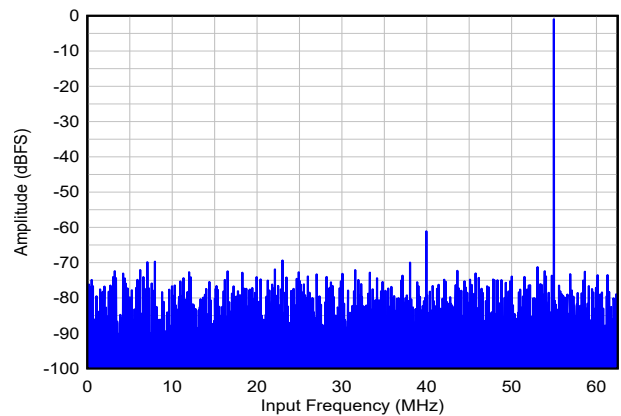
SNR = 49.5dBFS、SFDR = 63dBc、非 HD23 = 69dBFS

图 6-37. $F_{IN} = 5\text{MHz}$ 、单端输入时的单音 FFT



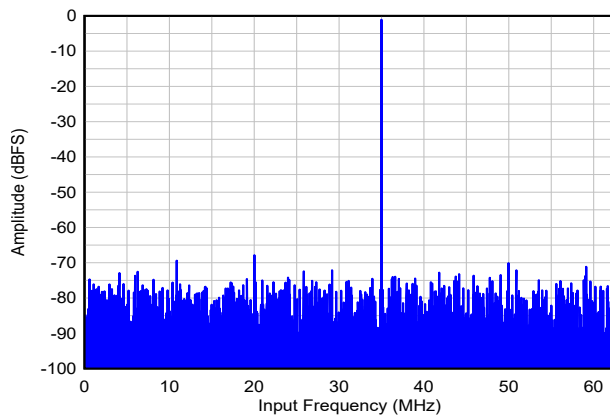
SNR = 49.8dBFS、SFDR = 66dBc、非 HD23 = 69dBFS

图 6-38. $F_{IN} = 40\text{MHz}$ 时的单音 FFT



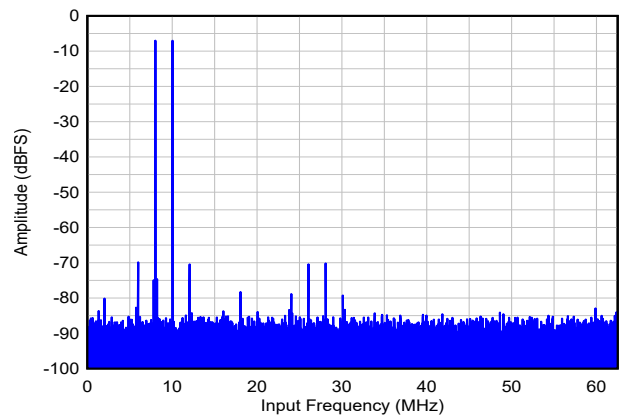
SNR = 49.8dBFS、SFDR = 60dBc、非 HD23 = 68dBFS

图 6-39. $F_{IN} = 70\text{MHz}$ 时的单音 FFT



SNR = 49.8dBFS、SFDR = 67dBc、非 HD23 = 68dBFS

图 6-40. $F_{IN} = 90\text{MHz}$ 时的单音 FFT

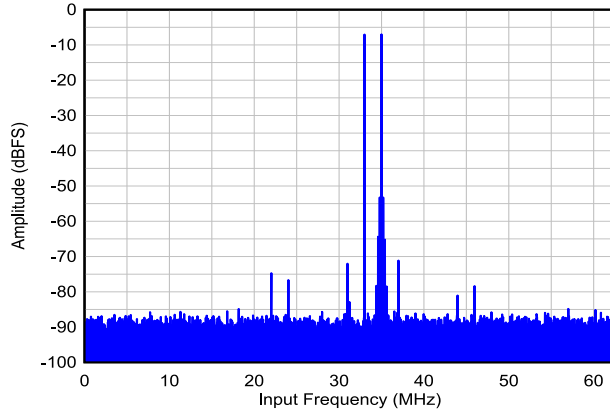


$A_{IN} = -7\text{dBFS}$ /单音, IMD3 = -87dBc

图 6-41. $F_{IN} = 8\text{MHz}/10\text{MHz}$ 时的双音 FFT

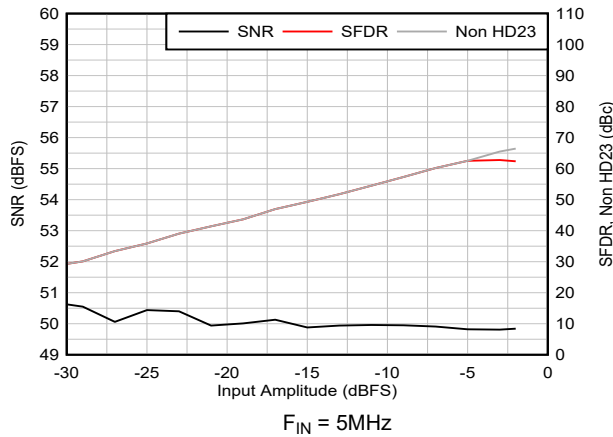
6.14 典型特性 - 125MSPS (续)

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。



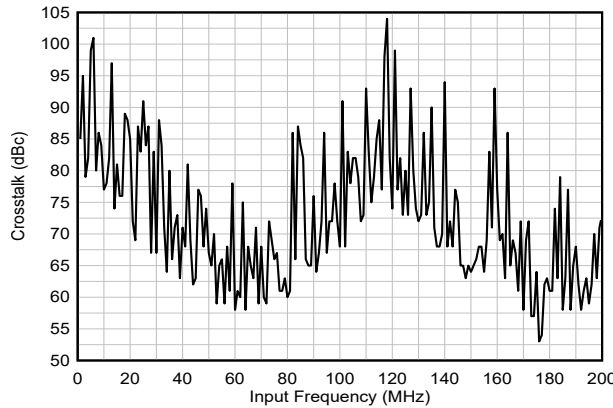
$A_{IN} = -7\text{dBFS}$ /单音, $\text{IMD3} = -87\text{dBc}$

图 6-42. $F_{IN} = 90\text{MHz}/92\text{MHz}$ 时的双音 FFT



$F_{IN} = 5\text{MHz}$

图 6-44. 交流性能与输入幅度间的关系



干扰源通道上 $A_{IN} = -1\text{dBFS}$

图 6-46. 串扰与输入频率间的关系

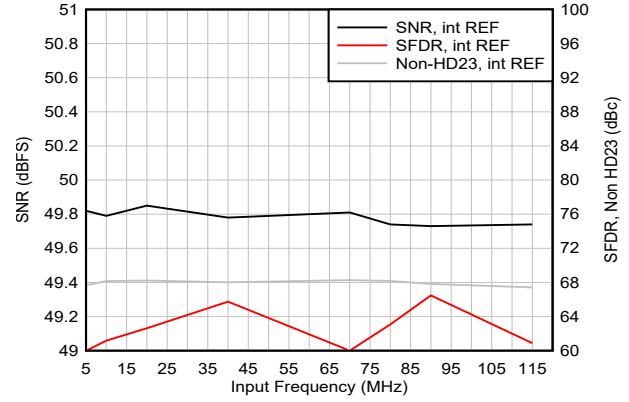
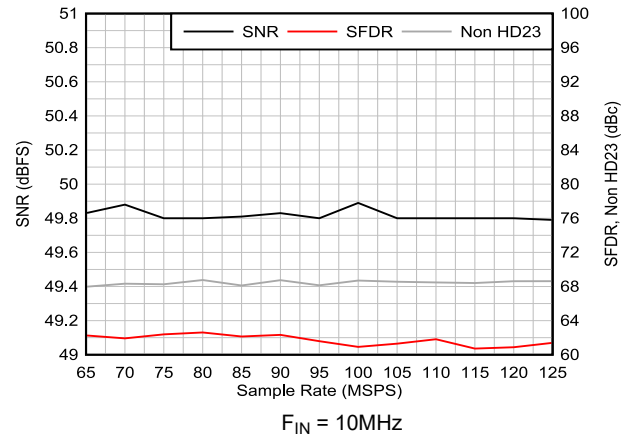
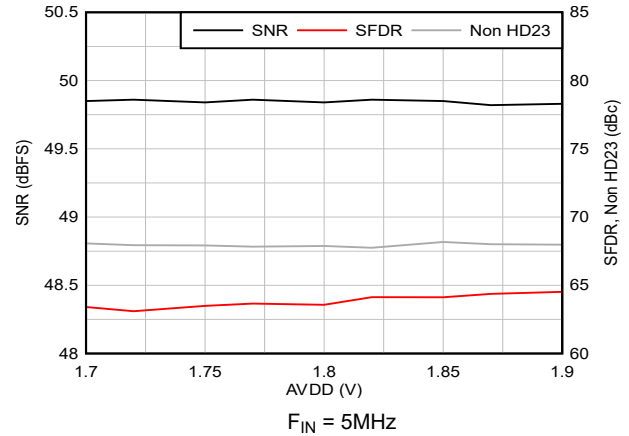


图 6-43. 交流性能与输入频率间的关系



$F_{IN} = 10\text{MHz}$

图 6-45. 交流性能与采样率间的关系



$F_{IN} = 5\text{MHz}$

图 6-47. 交流性能与 AVDD 间的关系

6.14 典型特性 - 125MSPS (续)

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。

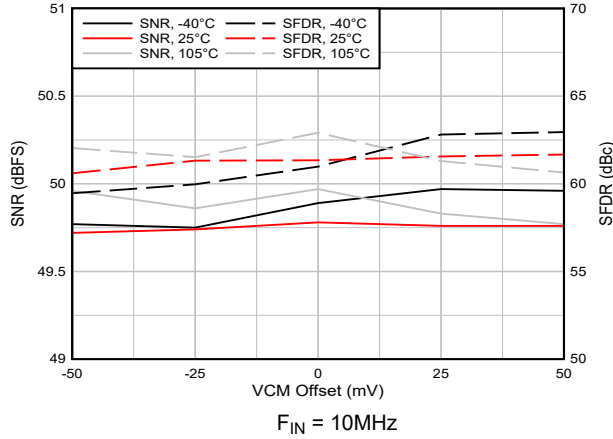


图 6-48. 交流性能与 VCM 和温度间的关系

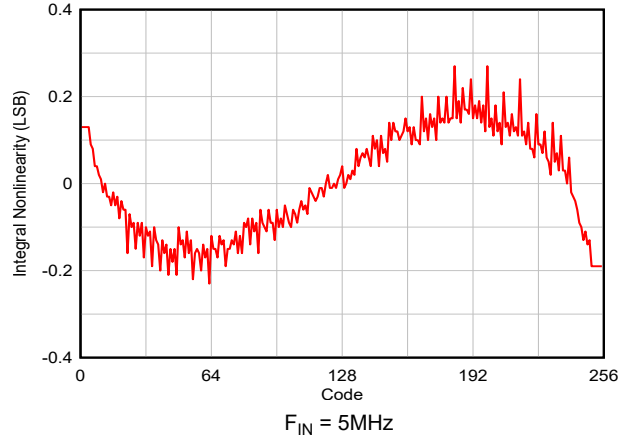


图 6-49. INL 与 ADC 代码间的关系

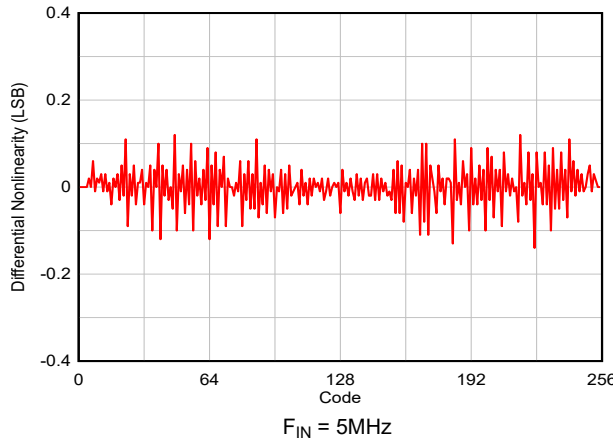


图 6-50. DNL 与 ADC 代码间的关系

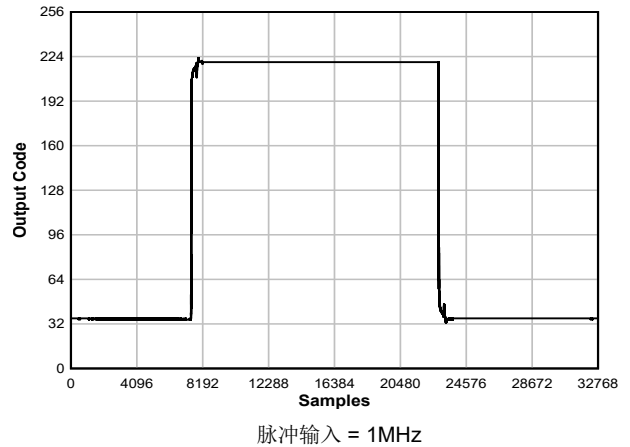


图 6-51. 脉冲响应

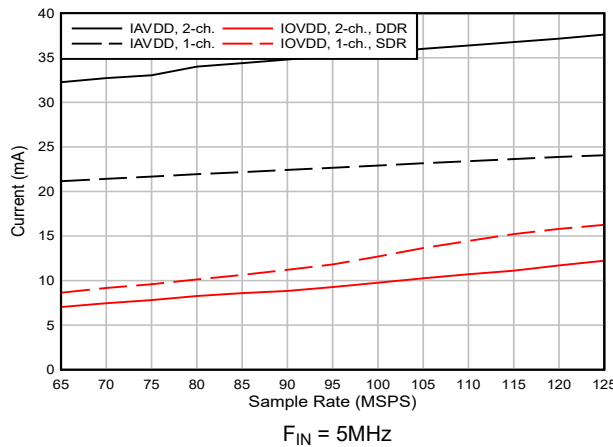


图 6-52. 电流与采样率间的关系

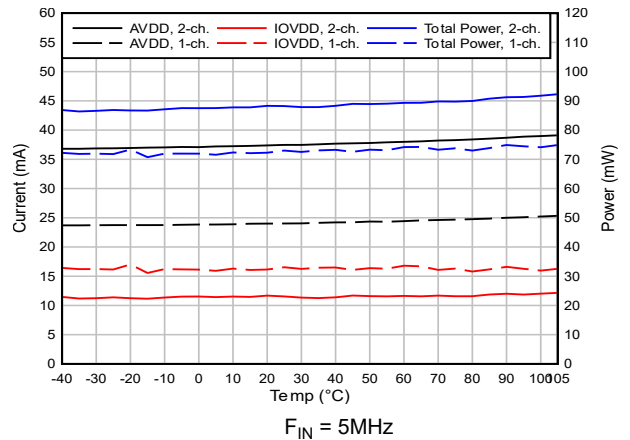


图 6-53. 电流与温度间的关系

6.14 典型特性 - 125MSPS (续)

除非另有说明，否则典型值是在 $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、内部 1.2V 电压基准条件下指定的。

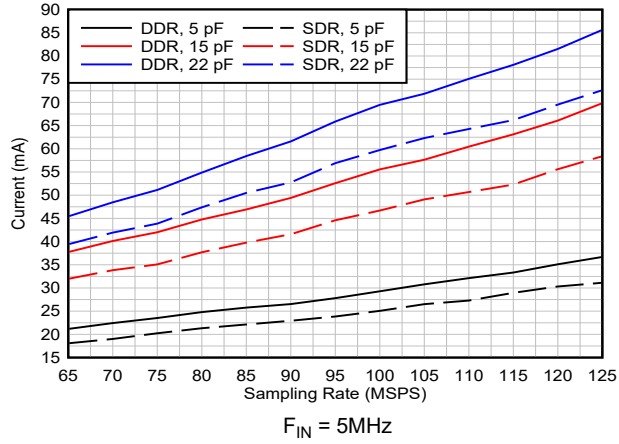


图 6-54. I_{IOVDD} 电流与负载电容间的关系

7 详细说明

7.1 概述

ADC3908Dx 和 ADC3908Sx 是支持高达 125MSPS 采样率的低噪声超低功耗 8 位高速单通道和双通道 ADC 系列。凭借固有的低延迟架构，只需经过一个时钟周期即可获得数字输出结果。该 ADC 具有缓冲模拟输入，通过将输入与 ADC 采样过程隔离来简化设计。ADC3908Dx 和 ADC3908Sx 配备片上内部基准缓冲器，支持单端或差分输入信号。

CMOS 输出数据接口配置为并行 DDR (对于双通道器件) 和 SDR (对于单通道器件)，并提供 1.8V 或 3.3V 逻辑选项。该器件支持二进制补码或偏移二进制格式选项。ADC3908Dx 和 ADC3908Sx 为使用 DDR 接口时无法在 DCLK 下降沿进行采集的接收器提供 DCLK 作为替代数据时钟。表 7-1 展示了到电源的引脚映射。

表 7-1. 器件引脚到电源映射

电源	器件引脚
AVDD	CLK、INxP M、RESET、M0、M1、M2、PDN
IOVDD	D0-D7、DCLK、 $\overline{\text{DCLK}}$

7.2 功能方框图

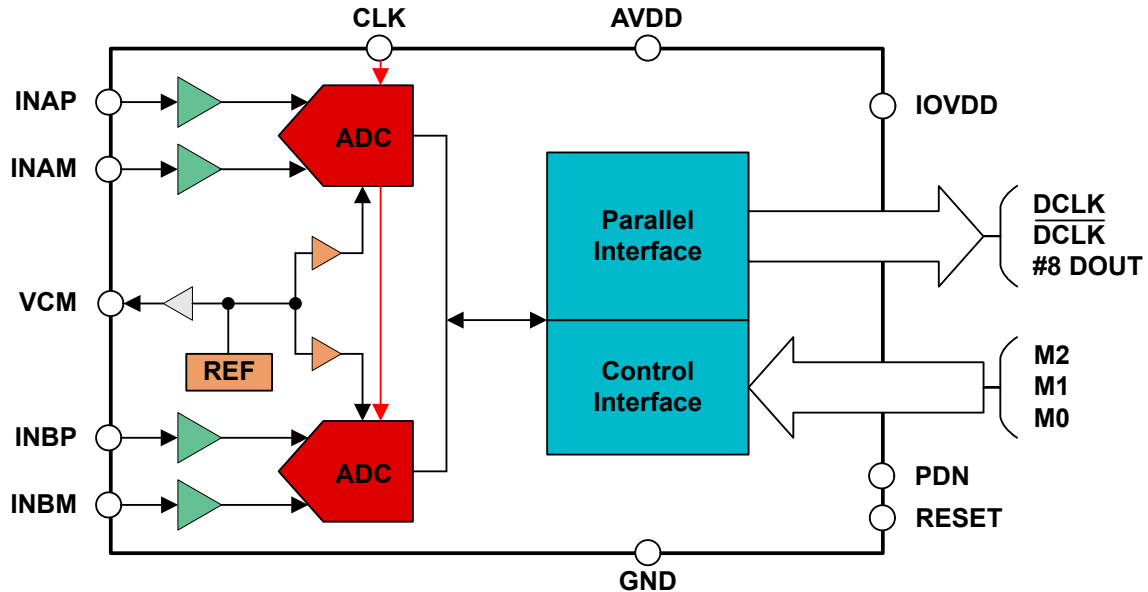


图 7-1. 双通道器件

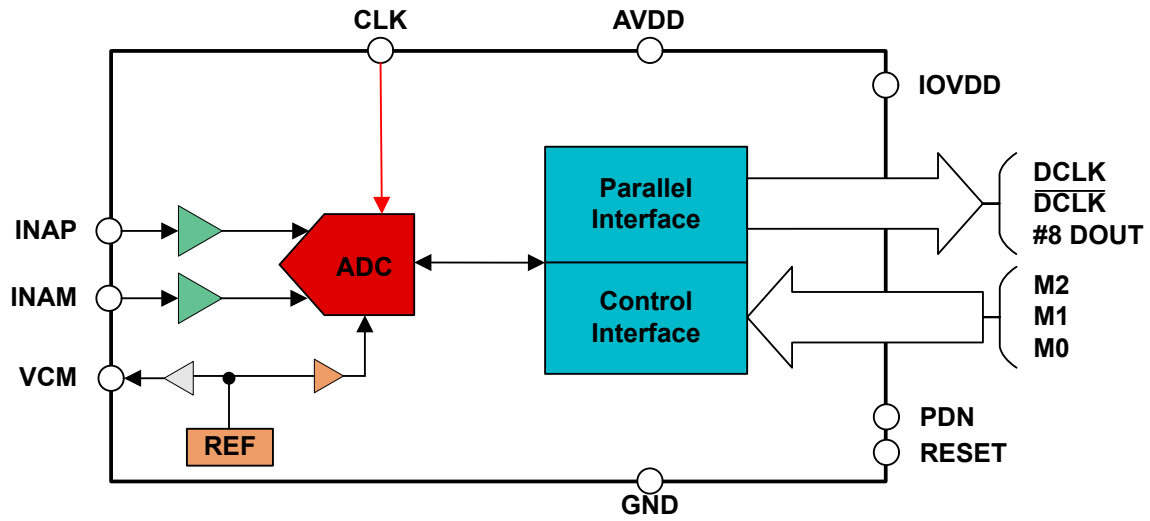


图 7-2. 单通道器件

7.3 特性说明

7.3.1 模拟输入

ADC3908Dx 和 ADC3908Sx 的模拟输入支持差分 and 单端配置，并支持交流耦合和直流耦合。模拟输入设计用于 1.25V 的输入共模电压，该电压必须在每个输入引脚上从外部提供。直流耦合输入信号的共模电压必须符合器件输入共模电压范围。

ADC3908Dx 和 ADC3908Sx 具有缓冲模拟输入，通过将输入与 ADC 采样过程隔离来简化设计。

7.3.1.1 单端输入

ADC3908Dx 和 ADC3908Sx 可以配置为仅使用正信号输入在单端模式下运行。必须通过引脚控制 ([接口配置表](#)) 启用该工作模式。单端信号连接到 ADC 的正输入，负输入必须偏置到 V_{CM} ，如图 7-3 所示。

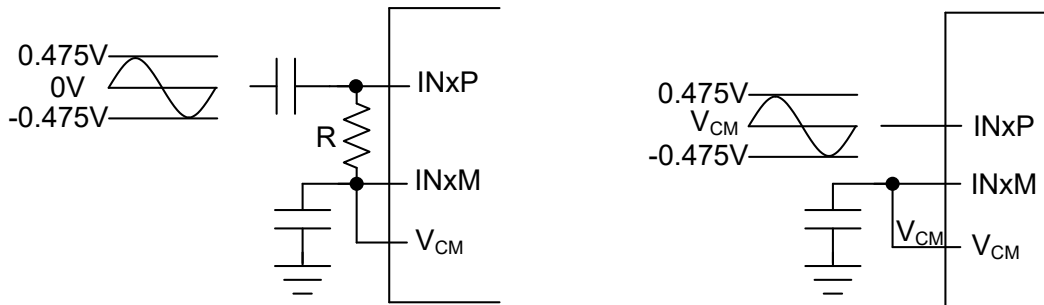


图 7-3. 单端模拟输入：交流耦合 (左) 和直流耦合 (右)

7.3.1.2 差分输入

ADC3908Dx 和 ADC3908Sx 支持摆幅为 $1.9V_{PP}$ 的差分模式，如图 7-4 所示。必须通过引脚控制 ([接口配置表](#)) 启用该工作模式。

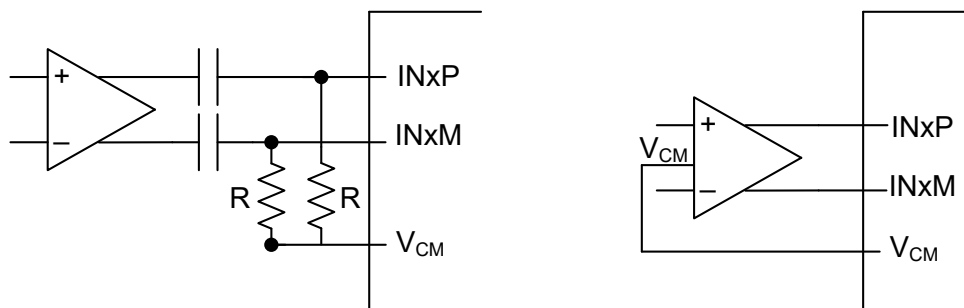


图 7-4. 差分模拟输入：交流耦合 (左) 和直流耦合 (右)

7.3.1.3 模拟输入带宽

图 7-5 展示了模拟全功率输入带宽。 $-3dB$ 带宽约为 150MHz。

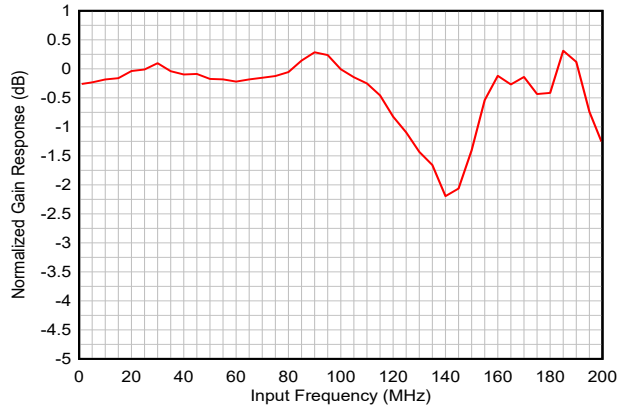


图 7-5. ADC 模拟输入带宽响应

7.3.2 采样时钟输入

ADC3908Dx 和 ADC3908Sx 具有单端采样时钟输入。为了最大限度地提高 ADC SNR 性能，外部采样时钟应具有低抖动和高压摆率。ADC3908Dx 和 ADC3908Sx 可以在外部进行交流或直流耦合。对采样时钟进行交流耦合时，需要有一个电阻分压器，使得中心电压大约为 0.9V，而对采样时钟进行直流耦合时，中心电压需要大约为 0.9V，如图 7-6 所示。

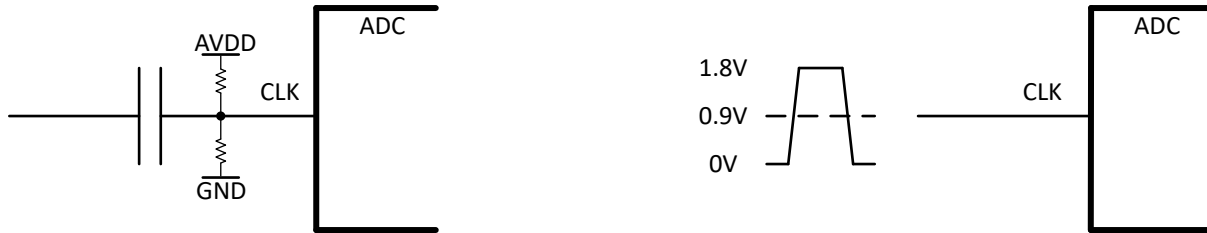


图 7-6. 采样时钟配置：交流耦合（左）和直流耦合（右）

7.3.3 数字接口

ADC3908Dx 和 ADC3908Sx 系列支持并行 CMOS 输出模式 - 双通道器件和单通道器件分别采用 DDR (双倍数据速率) 和 SDR (单倍数据速率) 输出格式。可通过引脚控制 ([接口配置表](#)) 将输出数据配置为二进制补码 (默认) 或偏移二进制。该器件会生成输出数据时钟和反向数据时钟。对于无法使用数据时钟下降沿的接收器，可以使用反向数据时钟来对数据进行计时。

7.3.3.1 测试图形

ADC3908Dx 和 ADC3908Sx 具有可通过引脚控制 (请参阅 [接口配置表](#)) 启用的静态测试图形。测试图形将每个通道数据分为两组，即高 (D7:D4) 位和低 (D3:D0) 位。每组都有一个全为 0 的值或全为 1 的值。图 7-7 展示了如何为双通道实现测试图形。图 7-8 展示了如何为单通道实现测试图形。

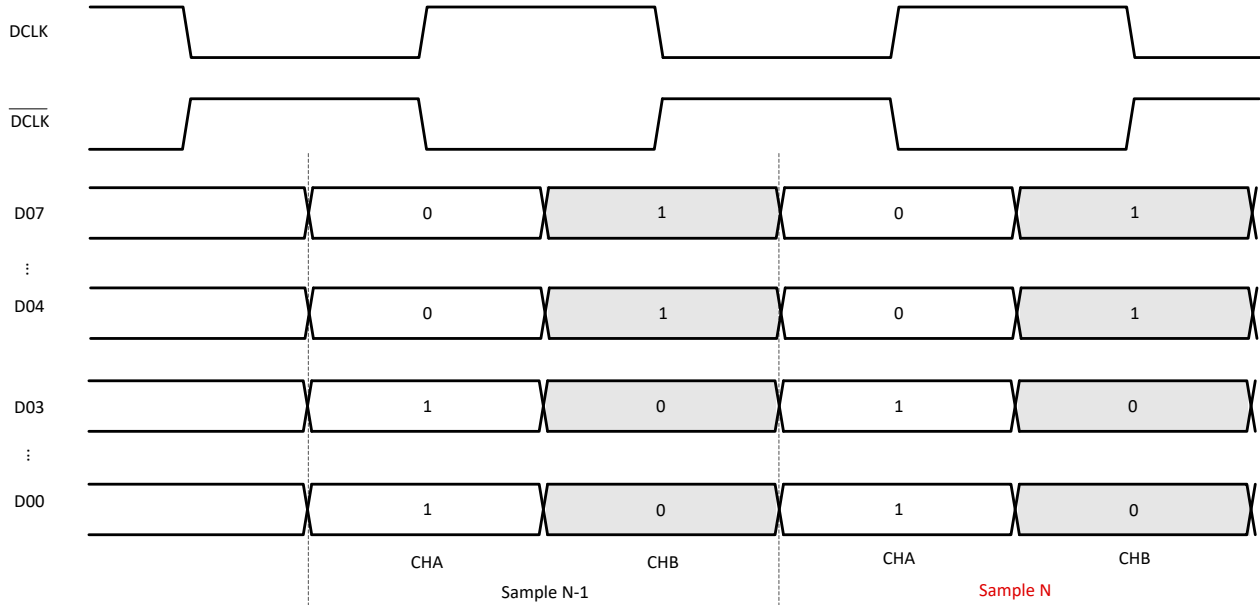


图 7-7. 双通道，测试图形

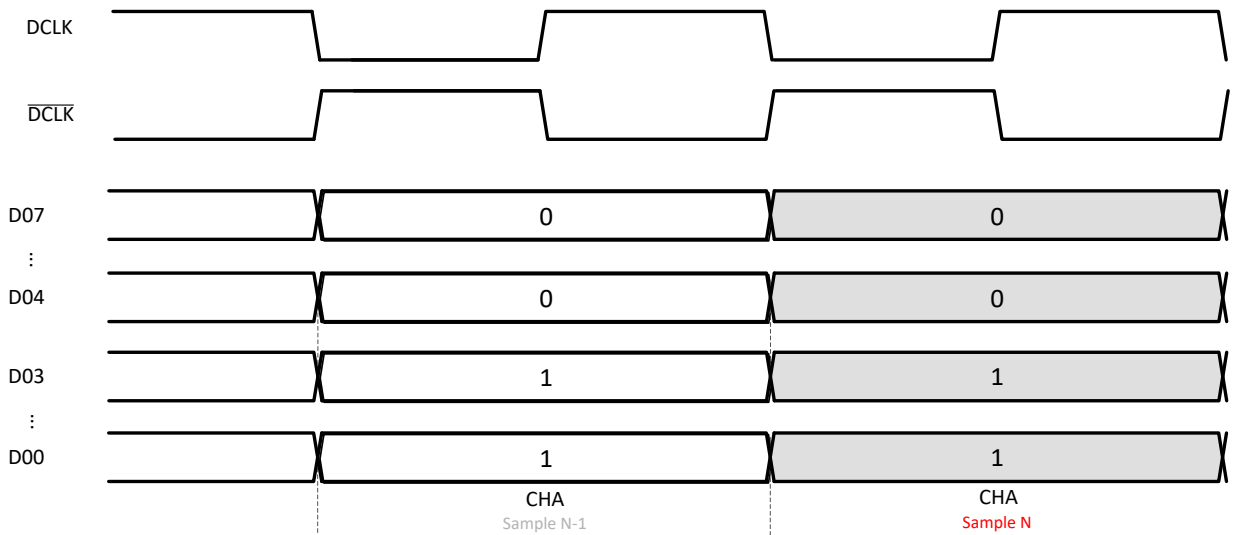


图 7-8. 单通道，测试图形

7.3.3.2 采用引脚控制的接口配置

ADC3908Dx 和 ADC3908Sx 模拟输入和输出接口仅通过引脚控制进行配置。引脚 M0、M1 和 M2 可以上拉至 AVDD 高电平，下拉至 GND 低电平，或介于两者之间的中间电压。[接口配置表](#)显示了配置选项。

表 7-2. 接口配置

引脚名称	说明	GND	0.5V	1V	AVDD
M0	CMOS 接口	DDR (仅限双通道)			SDR (仅限单通道)
M1	输出数据	ADC 数据			测试图形
M2	模拟输入	差分输入		单端输入	
	输出数据格式	二进制补码	偏移二进制	二进制补码	偏移二进制

7.4 器件功能模式

7.4.1 正常运行

在正常操作模式下，整个 ADC 满量程范围会转换为具有 8 位分辨率的数字输出。对于数字 CMOS 输出，在低至 1 个时钟周期内即可提供输出。

7.4.2 断电

当 PDN 引脚拉至高电平时，ADC3908Dx 和 ADC3908Sx 可以进入断电模式。

8 应用信息免责声明

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 典型应用

数字转换器是 ADC3908D125 的一种典型时域应用。前端电路类似于其他几个系统，如示波器、测距仪、激光扫描仪或其他手持测试设备。

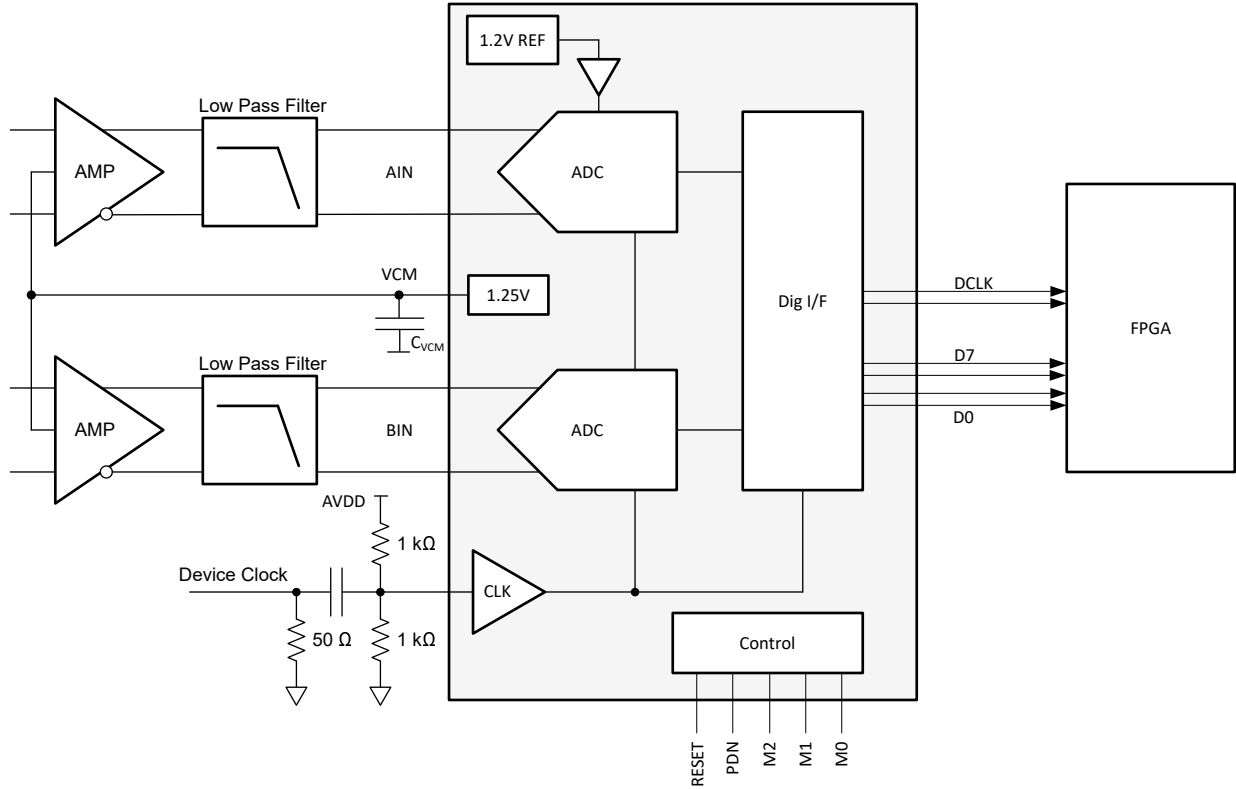


图 8-1. 时域数字转换器的典型配置

8.1.1 设计要求

时域应用涵盖从第一奈奎斯特区域中的直流或接近直流的低输入频率起的宽频率范围。如果支持低输入频率，则必须对输入进行直流耦合，并且 ADC 由全差分放大器 (FDA) 驱动。

ADC 性能在很大程度上取决于外部时钟源的质量。要放宽外部抗混叠滤波器，需要使用更高的 ADC 采样率。为获得出色性能，必须以差分方式驱动模拟输入。

表 8-1. 设计主要考虑因素

特性	说明
信号带宽	DC 至 30MHz
输入驱动器	单端至差分信号转换和直流耦合
时钟源	低抖动外部时钟

在设计放大器/滤波器驱动电路时，需要考虑 ADC 输入满量程电压。例如，ADC3908D125 输入满量程为 $1.9V_{PP}$ 。当考虑滤波器约 1dB 的插入损耗时，该放大器需要提供接近 $2.1V_{PP}$ 的电压。放大器失真性能随着输出摆幅的增大而降低，并且考虑到 ADC 共模输入电压，放大器可能无法提供全摆幅。ADC3908D125 器件提供 1.25V 的输出共模电压，而 THS4541 只能在其负电源的 250mV 范围内摆动。单极 3.3V 放大器电源将最大电压摆幅限制在约 $2.8V_{PP}$ 。因此，如果需要更大的输出摆幅（考虑到滤波器插入损耗），则需要为放大器提供负电源来消除该限制。此外，可能需要输入电压保护二极管来保护 ADC 免受过压事件的影响。

表 8-2. THS4541 的输出电压摆幅与电源间的关系

器件	最小输出电压	在 3.3V/0V 电源下的最大摆幅
THS4541	$V_S - + 250mV$	$2.8V_{PP}$

8.1.2 详细设计过程

8.1.2.1 输入信号路径

THS4541 提供了良好的低功耗选项来驱动 ADC 输入。表 8-3 概述了 THS4541 以及功耗和可用频率。

表 8-3. 全差分放大器选项

器件	每通道电流 (IQ)	可用频率范围
THS4541	10mA	< 70MHz

低通滤波器设计（拓扑、滤波器阶数）由应用决定。但是，在设计低通滤波器时，还必须考虑放大器的最佳负载阻抗。

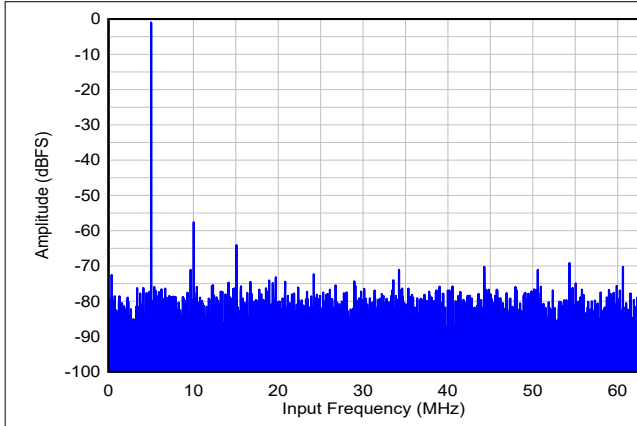
8.1.2.2 采样时钟

以低输入频率（例如 DC 到 20MHz）工作的应用通常对时钟抖动导致的性能下降不太敏感。内部 ADC 孔径抖动随着上升和下降时间（即方波与正弦波）缩短而得到改善。

对于长时钟布线，需要考虑时钟输入端接。

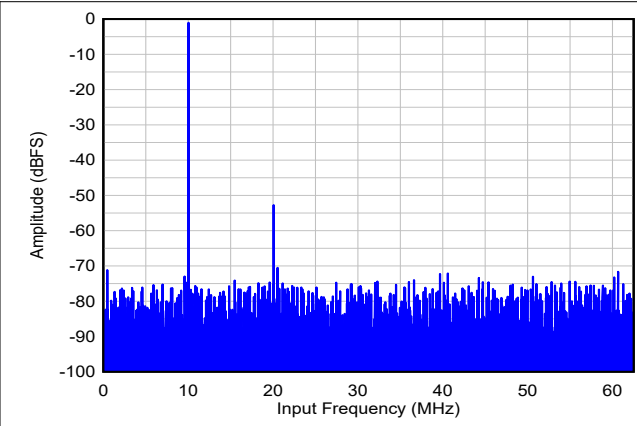
8.1.3 应用曲线

以下 FFT 图展示了 THS4541 的性能，该器件用于驱动以 125MSPS 的速率运行、满量程输入为 -1dBFS 的 ADC3908D125。



$A_{IN} = -1\text{dBFS}$, SNR = 49.8dBFS , SFDR = 57dBFS

图 8-2. 5MHz FFT (THS4541 FDA)



$A_{IN} = -1\text{dBFS}$, SNR = 49.7dBFS , SFDR = 52dBFS

图 8-3. 10MHz FFT (THS4541 FDA)

8.2 初始化设置

上电后，必须通过在 RESET 引脚上施加高脉冲进行硬件复位，将内部寄存器初始化为其默认值。

1. 施加 AVDD 和 IOVDD (无需特定顺序)。施加 AVDD 后，内部带隙基准上电并在大约 2ms 内稳定下来。
2. 进行硬件复位。硬件复位释放后，将从内部保险丝加载默认寄存器，并启动内部上电校准。该校准大约需要 2,000 个时钟周期。
3. 使用器件控制引脚开始编程。

8.3 电源相关建议

ADC 需要两个不同的电源。AVDD 电源轨为内部模拟和数字电路以及 ADC 本身供电，而 IOVDD 电源轨为数字接口供电。不需要电源时序。

AVDD 电源必须具有低噪声才能实现数据表性能。在接近直流运行的应用中，还需要考虑电源的 $1/f$ 噪声贡献。该 ADC 专为实现出色的 PSRR 而设计，有助于进行电源滤波器设计。

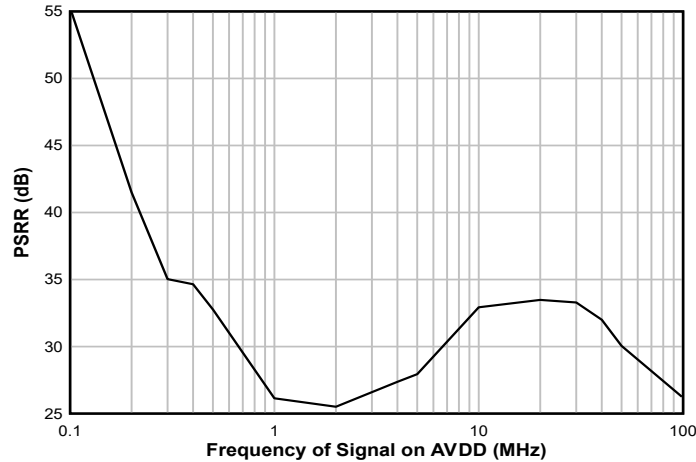


图 8-4. 电源抑制比 (PSRR) 与频率间的关系

推荐的电源架构包括以下两种：

1. 使用高效开关转换器进行降压，然后使用低噪声 LDO 进行第二级稳压，从而降低开关噪声并提高电压精度。
2. 使用高效开关转换器直接降低最终的 ADC 电源电压。该方法可提供出色的效率，但必须注意确保尽可能降低开关噪声，以防止 ADC 性能下降。

TI WEBENCH® Power Designer 可用于选择和设计所需的各个电源元件：请参阅 WEBENCH® Power Designer 为第一级推荐的开关稳压器包括 TPS62821 和类似器件。

推荐的低压降 (LDO) 线性稳压器包括 TPS7A4701、TPS7A90、LP5901 以及类似器件。

对于仅开关稳压器的方法，纹波滤波器必须设计为与直流/直流转换器的开关纹波频率一致的陷波频率。请注意 WEBENCH® 报告的开关频率，并设计 EMI 滤波器和电容器组合，以使陷波频率根据需要居中。图 8-5 和图 8-6 展示了这两种方法。

AVDD 和 IOVDD 电源电压不应共享，以防止数字开关噪声耦合到模拟信号链中。

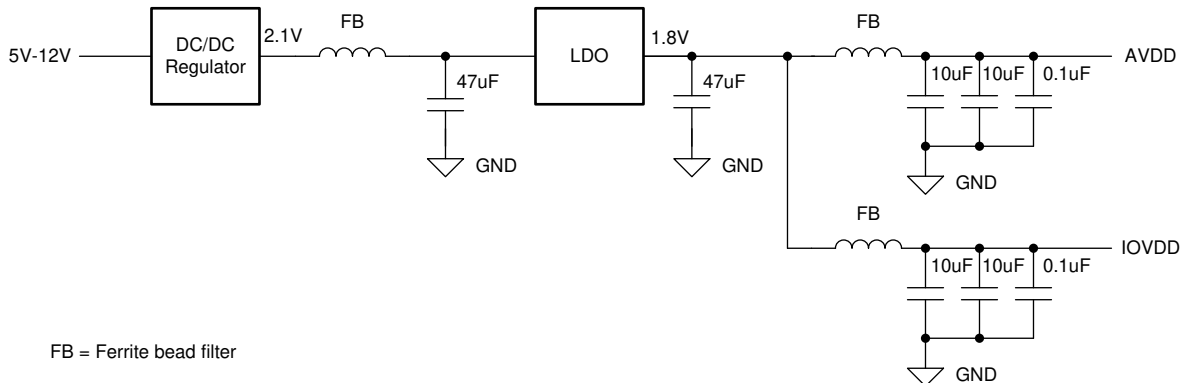


图 8-5. 示例：LDO 线性稳压器方法

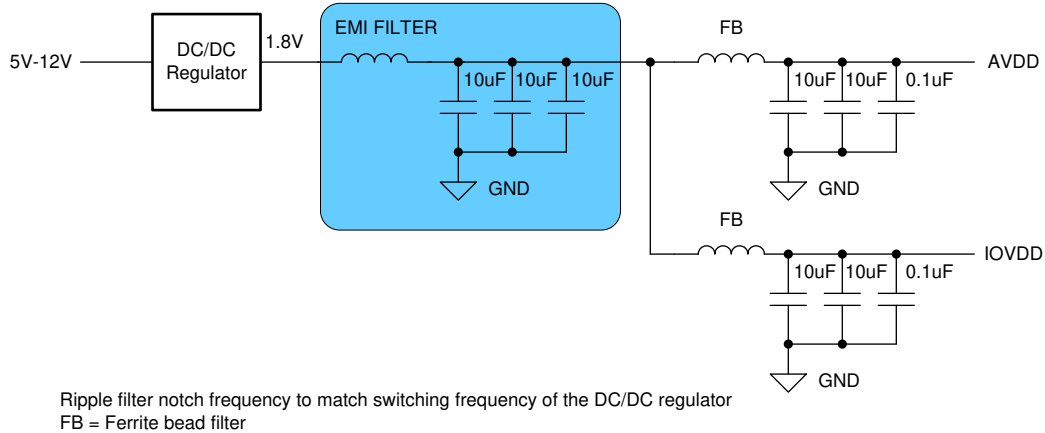


图 8-6. 示例：仅开关的方法

8.4 布局

8.4.1 布局指南

在电路板设计过程中，有几个关键信号需要特别注意：

1. 模拟输入和时钟信号
 - 布线应尽可能短，并应尽可能避免过孔，以更大限度地减小阻抗不连续性。
2. 数字输出接口
 - 布线应尽可能短，以减少 CMOS 输出端的容性负载。
 - 应使用串联电阻来降低瞬时电流需求并提高信号完整性。
3. 电源和接地连接
 - 为所有电源和接地引脚提供低电阻连接路径。
 - 使用电源和接地平面而不是布线。
 - 避免使用狭窄的隔离路径，那会增加连接电阻。
 - 使用信号/接地/电源电路板层叠来更大限度地增加接地平面和电源平面之间的耦合。

8.4.2 布局示例

以下屏幕截图显示了 [ADC3910D125EVM](#) 的顶层。

- 信号输入作为不同的信号，与时钟输入一起在顶层进行布线，避免过孔。
- 带隔离电阻的串行 CMOS 输出接口通道。
- 旁路电容靠近顶层的 VREF 引脚，避免过孔。

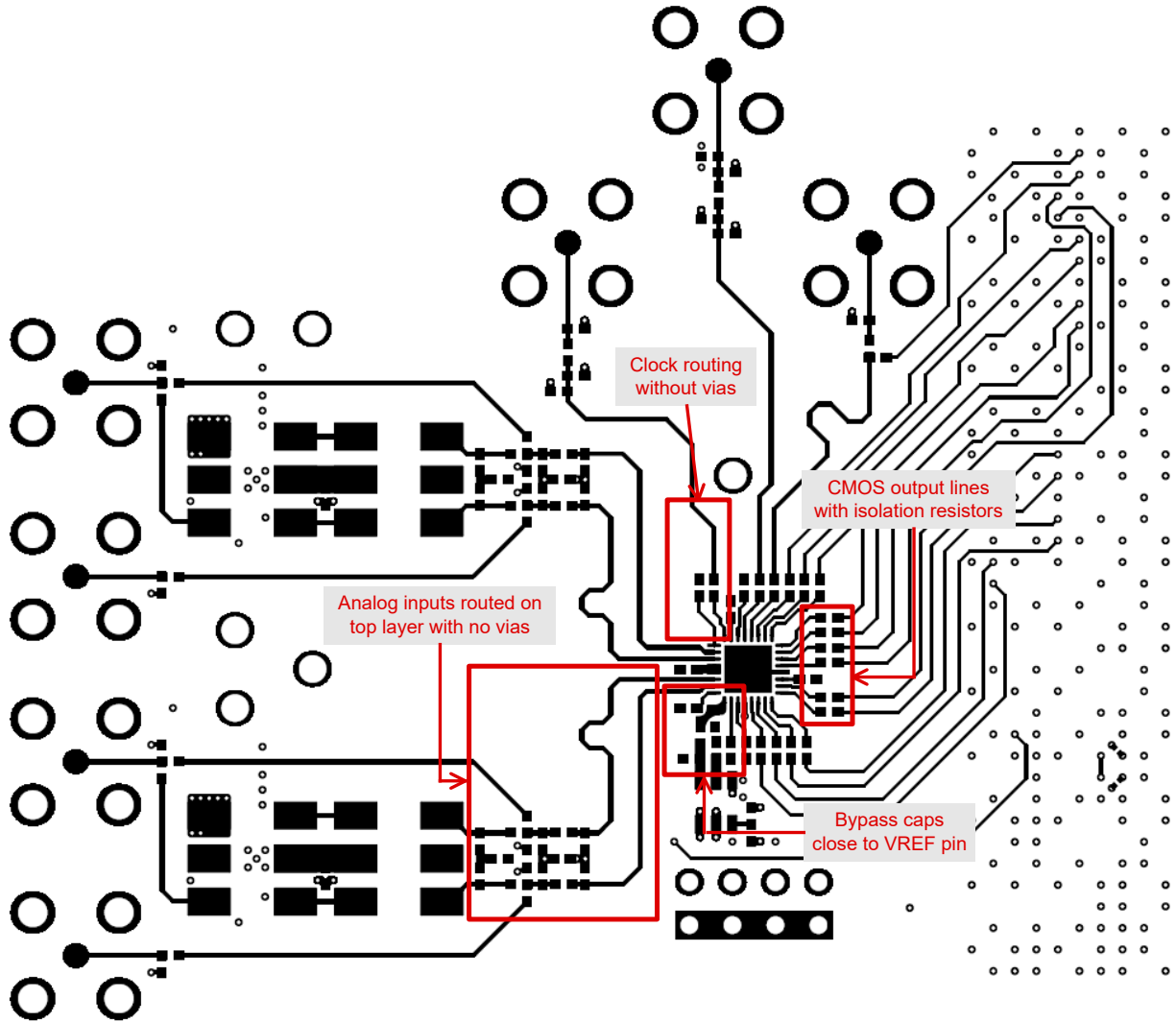


图 8-7. 布局示例：ADC3910D125EVM 顶层

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

PowerPAD™ is a trademark of TI.

TI E2E™ is a trademark of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
October 2024	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ADC3908D025IRSMR	ACTIVE	VQFN	RSM	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398D1	Samples
ADC3908D025IRSMT	ACTIVE	VQFN	RSM	32	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398D1	Samples
ADC3908D065IRSMR	ACTIVE	VQFN	RSM	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398D2	Samples
ADC3908D065IRSMT	ACTIVE	VQFN	RSM	32	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398D2	Samples
ADC3908D125IRSMR	ACTIVE	VQFN	RSM	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398D3	Samples
ADC3908D125IRSMT	ACTIVE	VQFN	RSM	32	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398D3	Samples
ADC3908S025IRSMR	ACTIVE	VQFN	RSM	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398S1	Samples
ADC3908S025IRSMT	ACTIVE	VQFN	RSM	32	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398S1	Samples
ADC3908S065IRSMR	ACTIVE	VQFN	RSM	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398S2	Samples
ADC3908S065IRSMT	ACTIVE	VQFN	RSM	32	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398S2	Samples
ADC3908S125IRSMR	ACTIVE	VQFN	RSM	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398S3	Samples
ADC3908S125IRSMT	ACTIVE	VQFN	RSM	32	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	AZ398S3	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

- (3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.
- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADC3908D025IRSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908D025IRSMT	VQFN	RSM	32	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908D065IRSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908D065IRSMT	VQFN	RSM	32	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908D125IRSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908D125IRSMT	VQFN	RSM	32	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908S025IRSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908S025IRSMT	VQFN	RSM	32	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908S065IRSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908S065IRSMT	VQFN	RSM	32	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908S125IRSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADC3908S125IRSMT	VQFN	RSM	32	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADC3908D025IRSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
ADC3908D025IRSMT	VQFN	RSM	32	250	210.0	185.0	35.0
ADC3908D065IRSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
ADC3908D065IRSMT	VQFN	RSM	32	250	210.0	185.0	35.0
ADC3908D125IRSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
ADC3908D125IRSMT	VQFN	RSM	32	250	210.0	185.0	35.0
ADC3908S025IRSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
ADC3908S025IRSMT	VQFN	RSM	32	250	210.0	185.0	35.0
ADC3908S065IRSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
ADC3908S065IRSMT	VQFN	RSM	32	250	210.0	185.0	35.0
ADC3908S125IRSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
ADC3908S125IRSMT	VQFN	RSM	32	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

RSM 32

VQFN - 1 mm max height

4 x 4, 0.4 mm pitch

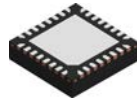
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224982/A

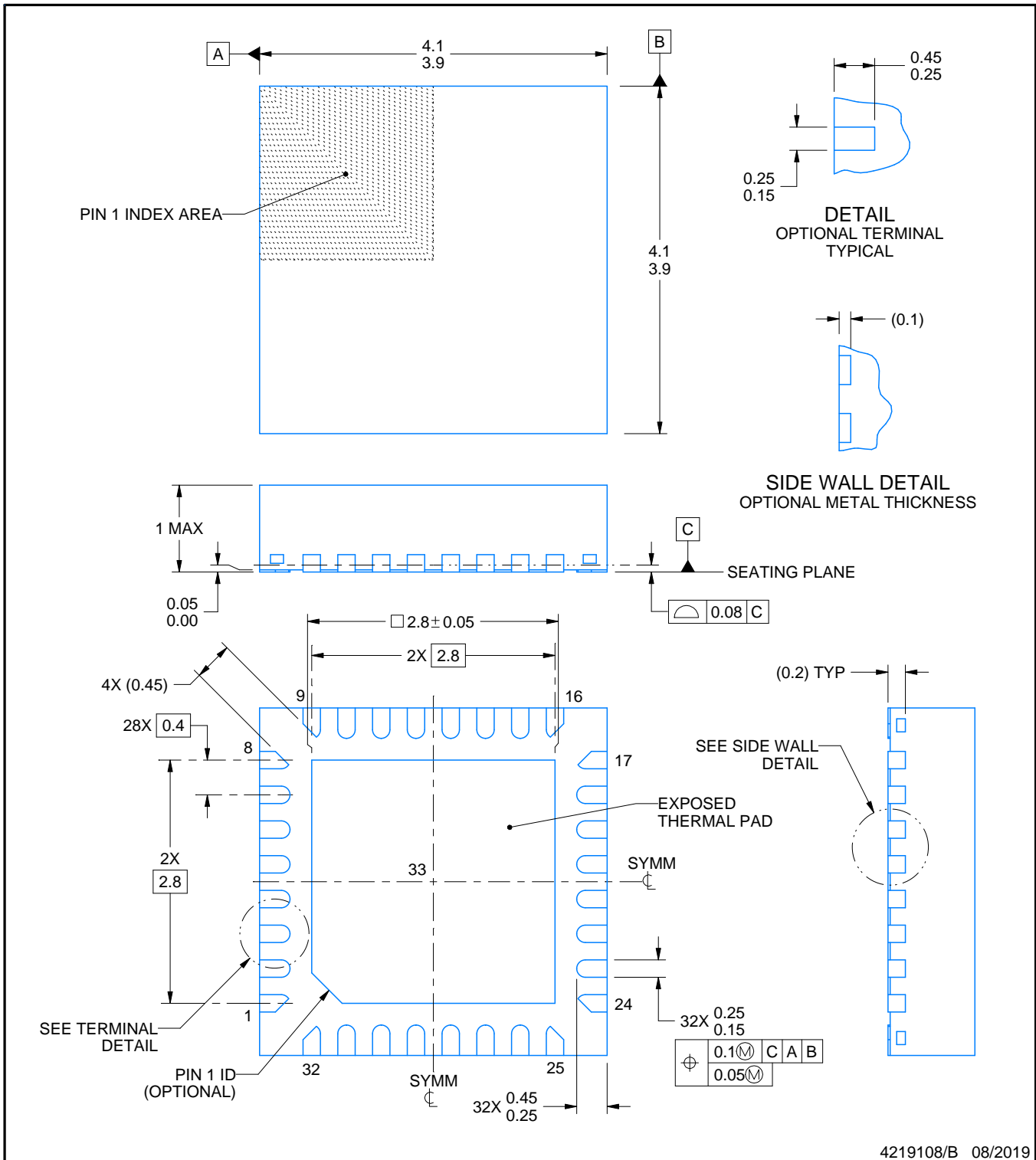
RSM0032B



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219108/B 08/2019

NOTES:

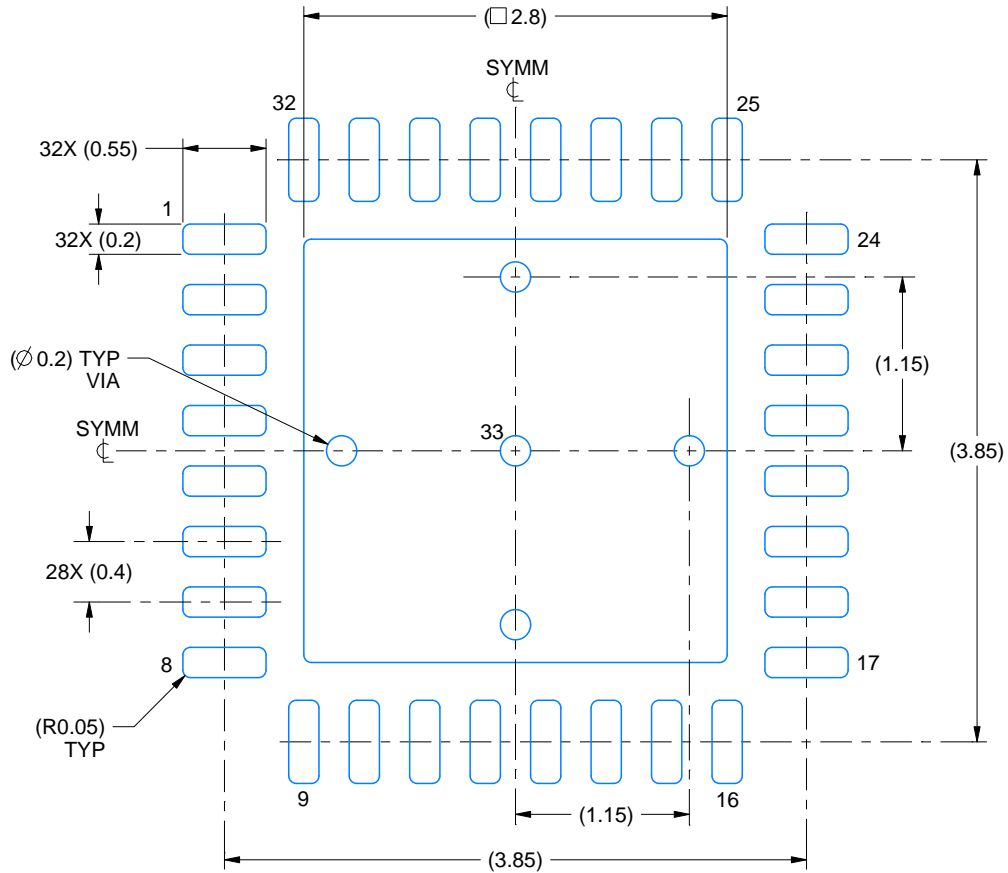
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

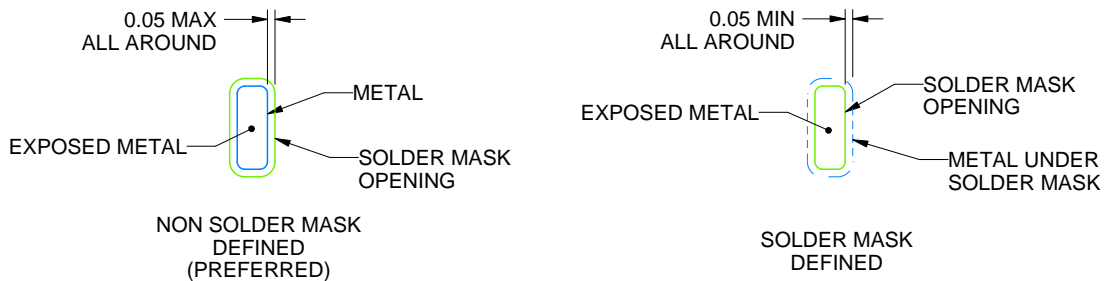
RSM0032B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4219108/B 08/2019

NOTES: (continued)

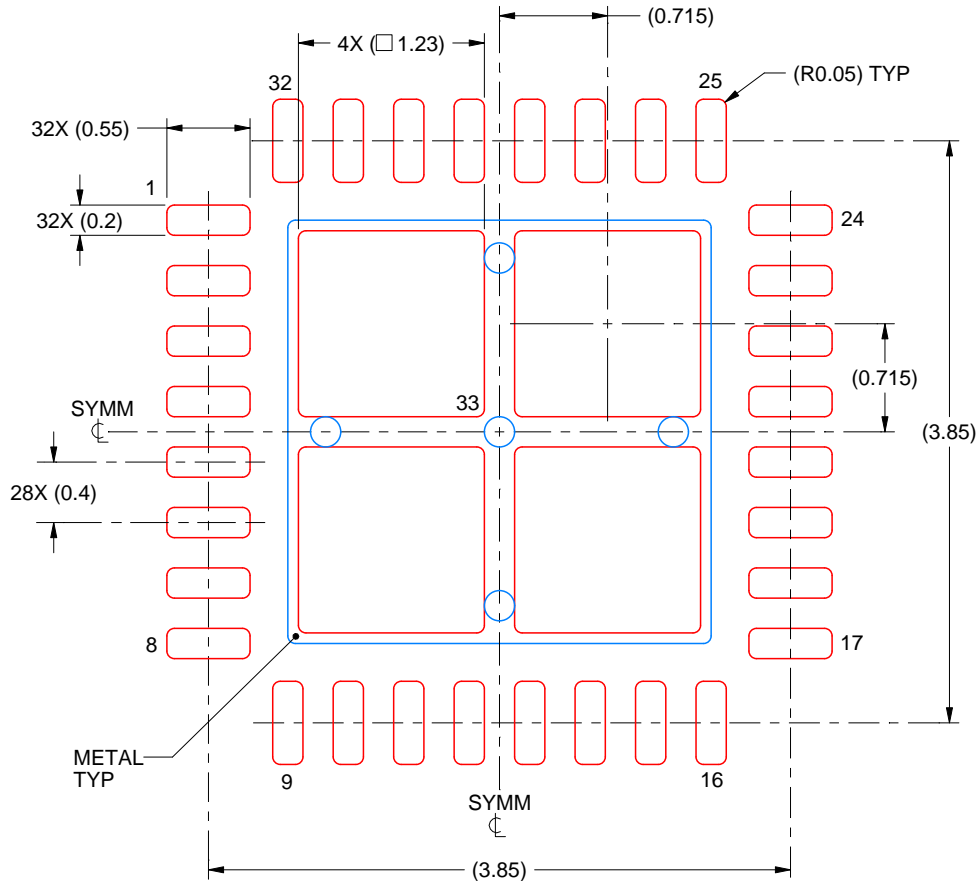
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RSM0032B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 33:
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219108/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司