

## ADS125H18 8/16 通道，1MSPS，24 位， $\Delta$ - $\Sigma$ ADC

### 1 特性

- 可编程数据速率高达 1.067MSPS
- 集成精密匹配电阻器的高阻抗分压器
- 具有 17 路可独立选择的输入的模拟多路复用器：
  - 多达 8 路全差分输入
  - 多达 16 路单端输入
- 轨到轨模拟输入缓冲器和基准缓冲器
- 内部电压基准，可选输出 2.5V 或 4.096V
- 故障检测和监测器电路
- 通用 I/O
- 内部振荡器：25.6MHz，精度为 1%
- 通道自动序列发生器和 FIFO 缓冲器
- 借助低延迟数字滤波器，在  $\leq 25\text{SPS}$  时实现 50Hz 和 60Hz 同步抑制
- 具有四种速度模式的电源可扩展架构

### 2 应用

- 工厂自动化和控制：
  - 状态监控
  - 模拟输入模块
- 测试和测量：
  - 数据采集 (DAQ)
  - 半导体测试设备

### 3 说明

ADS125H18 是一款高压输入、多路复用 8/16 通道、24 位、 $\Delta$ - $\Sigma$  ( $\Delta$   $\Sigma$ ) 模数转换器 (ADC)，数据速率高达 1MSPS，可配置为接受多达 8 路全差分模拟输入或多达 16 路单端模拟输入。每路输入都包含一个高阻抗分压器，其中集成了精密匹配电阻器，可将输入电压按比例缩小至 ADC 的输入范围。该器件具有出色的交流性能、直流精度和低功耗。

ADS125H18 具有一个通道自动序列发生器和一个 FIFO (先入先出) 缓冲器。电源可扩展架构提供了四种速度模式来优化数据速率、分辨率和功耗。

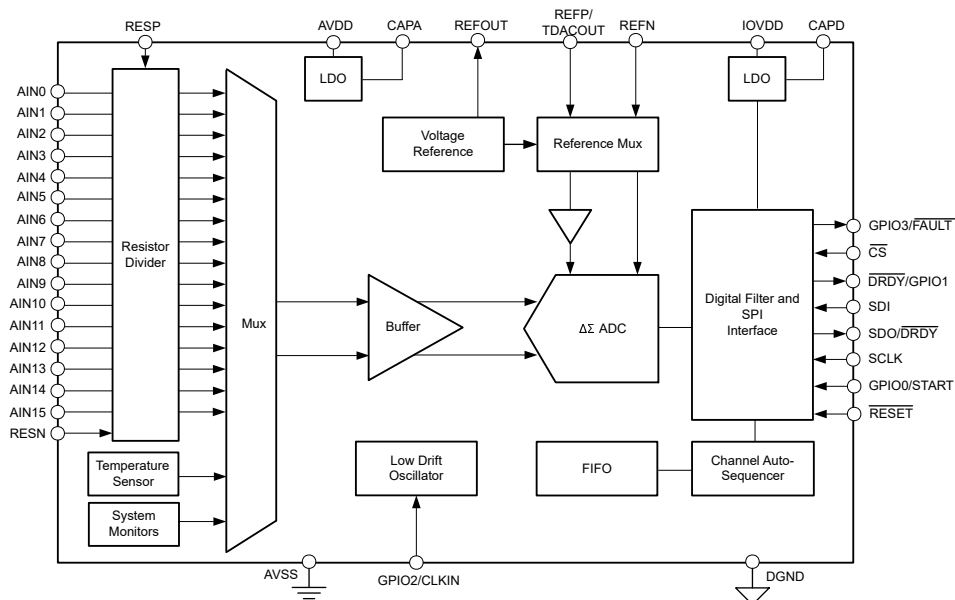
小型的 5mm × 5mm VQFN 封装专为空间有限的应用而设计。该器件的额定工作温度范围为 -40°C 至 +125°C。

#### 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
ADS125H18	RHB (VQFN、36)	5.00mm × 5.00mm

(1) 有关更多信息，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版方框图



## 内容

<b>1 特性</b> .....	1	7.4.1 功率可扩展速度模式.....	81
<b>2 应用</b> .....	1	7.4.2 序列发生器功能模式.....	81
<b>3 说明</b> .....	1	7.4.3 空闲模式和待机模式.....	81
<b>4 引脚配置和功能</b> .....	3	7.4.4 断电模式.....	81
<b>5 规格</b> .....	5	7.4.5 复位.....	81
5.1 绝对最大额定值.....	5	7.4.6 同步.....	82
5.2 ESD 等级.....	5	7.4.7 转换开始延迟时间.....	82
5.3 建议运行条件.....	6	<b>7.5 编程</b> .....	83
5.4 热性能信息.....	6	7.5.1 串行接口 (SPI).....	83
5.5 电气特性.....	7	7.5.2 串行接口信号.....	83
5.6 时序要求.....	11	7.5.3 串行接口通信结构.....	84
5.7 开关特性.....	11	7.5.4 设备命令.....	87
5.8 时序图.....	12	7.5.5 连续读取模式.....	92
5.9 典型特性.....	13	7.5.6 POR 或复位之后的 SPI 通信.....	99
<b>6 参数测量信息</b> .....	15	7.5.7 $\overline{\text{DRDY}}$ 引脚行为.....	101
6.1 失调电压误差测量.....	15	7.5.8 菊花链运行.....	103
6.2 温漂测量.....	15	7.5.9 3 线 SPI 模式.....	105
6.3 增益误差测量.....	15	7.5.10 转换数据.....	106
6.4 增益漂移测量.....	15	7.5.11 数据就绪.....	106
6.5 NMRR 测量.....	15	<b>7.6 寄存器映射</b> .....	108
6.6 CMRR 测量.....	16	7.6.1 ADS125H18 状态和通用配置页面.....	109
6.7 PSRR 测量.....	16	7.6.2 ADS125H18 步骤配置页面.....	147
6.8 SNR 测量.....	17	<b>8 应用和实施</b> .....	166
6.9 INL 误差测量.....	17	8.1 应用信息.....	166
6.10 THD 测量.....	17	8.1.1 串行接口连接.....	166
6.11 SFDR 测量.....	17	8.1.2 与多个器件接口.....	166
6.12 噪声性能.....	18	8.1.3 未使用的输入和输出.....	167
6.13 TUE ( 总体未调整误差 ) 测量.....	22	8.1.4 器件初始化.....	168
<b>7 详细说明</b> .....	23	8.2 典型应用.....	169
7.1 概述.....	23	8.2.1 2 端子 V/I PLC 模拟输入模块.....	169
7.2 功能方框图.....	24	8.2.2 3 端子 V/I PLC 模拟输入模块.....	174
7.3 特性说明.....	25	8.2.3 具有固态开关的 2 端子 V/I PLC 模拟输入模块.....	175
7.3.1 分压器和输入多路复用器.....	25	8.2.4 双端子、单端 V/I PLC 模拟输入模块.....	176
7.3.2 输入范围.....	28	8.2.5 2 端子、I 输入 PLC 模拟输入模块.....	177
7.3.3 ADC 基准电压.....	28	<b>8.3 电源相关建议</b> .....	178
7.3.4 电源.....	29	8.3.1 电源.....	178
7.3.5 时钟运行.....	31	8.3.2 电源排序.....	178
7.3.6 调制器.....	32	8.3.3 电源去耦.....	178
7.3.7 数字滤波器.....	33	<b>8.4 布局</b> .....	179
7.3.8 FIFO 缓冲器.....	42	8.4.1 布局指南.....	179
7.3.9 通道自动序列发生器.....	46	8.4.2 布局示例.....	179
7.3.10 偏移和增益校准.....	56	<b>9 器件和文档支持</b> .....	181
7.3.11 数字 PGA.....	57	9.1 文档支持.....	181
7.3.12 通用 IO (GPIO).....	57	9.1.1 相关文档.....	181
7.3.13 开路电流源 (OWCS).....	58	9.2 接收文档更新通知.....	181
7.3.14 使用 ADC 0 代码输出进行开路检测.....	60	9.3 支持资源.....	181
7.3.15 系统监控器.....	62	9.4 商标.....	181
7.3.16 监测器标志、指示器和计数器.....	62	9.5 静电放电警告.....	181
7.3.17 测试 DAC (TDAC).....	67	9.6 术语表.....	181
7.3.18 并行后置滤波器.....	68	<b>10 修订历史记录</b> .....	181
7.3.19 芯片选择转发.....	74	<b>11 机械、封装和可订购信息</b> .....	181
7.4 器件功能模式.....	81		

## 4 引脚配置和功能

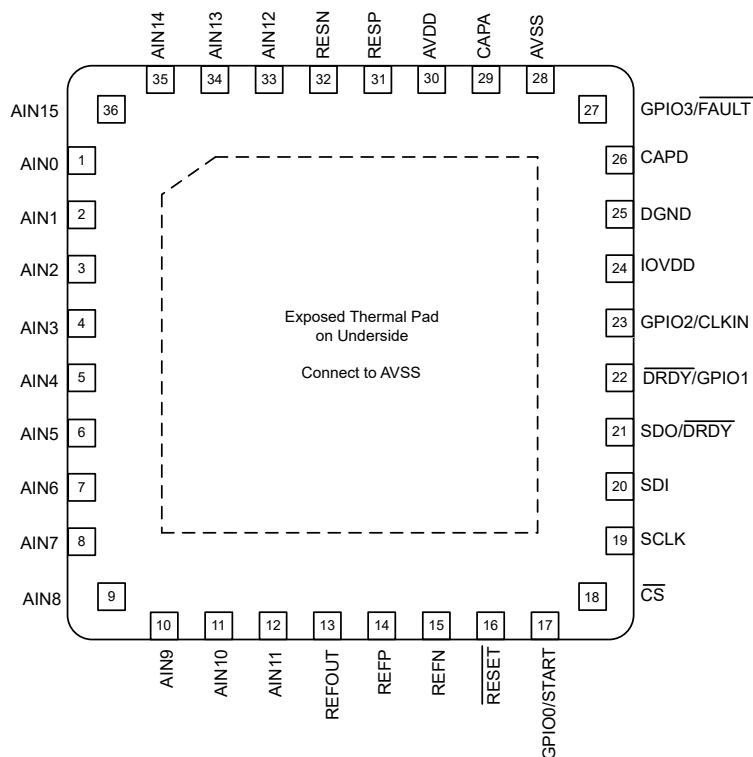


图 4-1. RHB 封装，36 引脚 VQFN（顶视图）

表 4-1. 引脚功能

名称	编号	类型	说明
AIN0	1	模拟输入	模拟输入 0
AIN1	2	模拟输入	模拟输入 1
AIN2	3	模拟输入	模拟输入 2
AIN3	4	模拟输入	模拟输入 3
AIN4	5	模拟输入	模拟输入 4
AIN5	6	模拟输入	模拟输入 5
AIN6	7	模拟输入	模拟输入 6
AIN7	8	模拟输入	模拟输入 7
AIN8	9	模拟输入	模拟输入 8
AIN9	10	模拟输入	模拟输入 9
AIN10	11	模拟输入	模拟输入 10
AIN11	12	模拟输入	模拟输入 11
AIN12	33	模拟输入	模拟输入 12
AIN13	34	模拟输入	模拟输入 13
AIN14	35	模拟输入	模拟输入 14
AIN15	36	模拟输入	模拟输入 15
RESP	31	模拟电源	电阻分压器网络的正极连接
RESN	32	模拟电源	电阻分压器网络的负极连接
AVDD	30	模拟电源	正模拟电源
AVSS	28	模拟电源	负模拟电源
CAPA	29	模拟电源	模拟稳压器输出外部旁路
CAPD	26	模拟电源	数字电压稳压器输出外部旁路

表 4-1. 引脚功能 (续)

名称	编号	类型	说明
IOVDD	24	数字电源	I/O 电源电压
DGND	25	接地	数字接地
REFOUT	13	模拟输出	电压基准输出
REFP/TDACOUT	14	模拟输入/输出	正基准输入/测试 DAC 输出
REFN	15	模拟输入	负基准输入
RESET	16	数字输入	复位, 低电平有效
GPIO0/START	17	数字输入	通用输入/输出 0。引脚可配置为用于转换控制的专用 START 输入。
CS	18	数字输入	片选, 低电平有效
SCLK	19	数字输入	串行数据时钟
SDI	20	数字输入	串行数据输入
SDO/DRDY	21	数字 IO	串行数据输出和数据就绪, 低电平有效 (可选)
DRDY/GPIO1	22	数字 IO	数据就绪, 低电平有效/通用输入/输出 1
GPIO2/CLKIN	23	数字 IO	通用输入/输出 2。引脚可配置为外部时钟输入。
GPIO3/FAULT	27	数字 IO	通用输入/输出 3。引脚可配置为专用 FAULT 输出。
散热焊盘		不适用	散热电源板; 连接到 AVSS

## 5 规格

### 5.1 绝对最大额定值

在工作环境温度范围内测得 ( 除非另有说明 ) <sup>(1)</sup>

		最小值	最大值	单位
电源电压	AVDD 至 AVSS	-0.3	6.5	V
	AVSS 至 DGND	-3	0.3	
	IOVDD 至 DGND	-0.3	6.5	
	IOVDD 至 AVSS		8.5	
模拟输入电压	AINx 至 AVSS <sup>(2)</sup>	-75	75	V
基准输入电压	REFP、REFN	AVSS - 0.3	AVDD + 0.3	V
模拟输出电压	CAPA	AVSS	1.65	V
	CAPD	DGND	1.65	
数字输入电压	RESET、GPIO0/START、SDO/DRDY、DRDY/GPIO1、GPIO2/CLKIN、GPIO3/FAULT	DGND - 0.3	IOVDD + 0.3	V
	CS、SCLK、SDI	DGND - 0.3	6.5	V
温度	结温, T <sub>J</sub>		150	°C
	贮存温度, T <sub>stg</sub>	-65	150	

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果在“建议运行条件”之外但在“绝对最大额定值”范围内短暂运行，器件可能不会受到损坏，但可能不会完全正常运行。这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 所有输入均在高达 ±75V (V20 器件型号，相对于 AVSS 的绝对输入电压) 且 T<sub>A</sub> = 25°C 的条件下测试，未观察到损坏。

### 5.2 ESD 等级

			值	单位
V <sub>(ESD)</sub>	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup>	±1000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 <sup>(2)</sup>	±750	

- (1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

## 5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

				最小值	标称值	最大值	单位
电源							
模拟电源	模拟电源	AVDD 至 AVSS	速度模式 3	4.5		5.5	V
			速度模式 2	4.5		5.5	
			速度模式 1	3		5.5	
			速度模式 0	3		5.5	
		AVDD 至 DGND		1.65			V
		AVSS 至 DGND		-2.75		0	V
	数字电源	IOVDD 至 DGND		1.65		5.5	V
模拟输入							
V <sub>AINx</sub>	绝对输入电压	V12 器件型号		-12.5		12.5	V
		V20 器件型号		-20.5		20.5	
		V40 器件型号		-40.5		40.5	
V <sub>AINP</sub> 、 V <sub>AINN</sub>	差分输入电压 <sup>(1)</sup> V <sub>IN</sub> = V <sub>AINP</sub> - V <sub>AINN</sub>	V12 器件型号		-12.0		12.0	V
		V20 器件型号		-20.0		20.0	
		V40 器件型号		-40.0		40.0	
电压基准输入							
V <sub>REF</sub>	差分基准电压 V <sub>REF</sub> = V <sub>REFP</sub> - V <sub>REFN</sub>			1	2.5	AVDD - AVSS	V
V <sub>REFN</sub>	负基准电压			AVSS - 0.05	AVSS		V
V <sub>REFP</sub>	正向基准电压	REFP 缓冲器关闭				AVDD + 0.05	V
		REFP 缓冲在				AVDD - 0.7	
外部时钟源							
f <sub>CLK</sub>	时钟频率	速度模式 3		0.5	25.6	26.2	MHz
		速度模式 2		0.5	12.8	13.1	
		速度模式 1		0.5	3.2	3.28	
		速度模式 0		0.5	1.6	1.64	
数字输入							
V <sub>IL</sub>	逻辑低电平输入电压			0		0.3 × IOVDD	V
V <sub>IH</sub>	逻辑高电平输入电压			0.7 × IOVDD		IOVDD	V
I <sub>LEAK</sub>	外部漏电流	三态引脚，悬空输入		-5		5	μA
温度范围							
T <sub>A</sub>	环境温度	工作中		-45		125	°C
		规格		-40		125	

(1) AIN<sub>P</sub> 和 AIN<sub>N</sub> 表示输入缓冲器/ADC 的正输入和负输入。任何可用的模拟输入 (AIN<sub>x</sub>) 均可通过输入多路复用器选择为 AIN<sub>P</sub> 或 AIN<sub>N</sub>。

## 5.4 热性能信息

热指标 <sup>(1)</sup>		VQFN (RSH)	单位
		36 引脚	
R <sub>θJA</sub>	结至环境热阻	32.5	°C/W
R <sub>θJC(top)</sub>	结至外壳 (顶部) 热阻	11.5	°C/W
R <sub>θJB</sub>	结至电路板热阻	6.3	°C/W
Ψ <sub>JT</sub>	结至顶部特征参数	0.1	°C/W
Ψ <sub>JB</sub>	结至电路板特征参数	6.2	°C/W
R <sub>θJC(bot)</sub>	结至外壳 (底部) 热阻	1.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

## 5.5 电气特性

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ；典型值规格的条件为： $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为： $AVDD - AVSS = 5\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{AINx} = 0\text{V}$ 、 $V_{CM} = 0\text{V}$ 、 $(V_{REFP} - V_{REFN}) = 2.5\text{V}$ 、V20 型号、所有速度模式、外部时钟和基准缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
模拟输入							
Zin	输入阻抗			1	1.25		MΩ
TUE	总体未调整误差，全范围	内部 VREF、FSR = ±10V	TA = 25°C		0.03	0.06	% FSR
			TA = -20°C 至 105°C		0.03	0.12	% FSR
			TA = 0°C 至 125°C		0.03	0.09	% FSR
			TA = -40°C 至 125°C		0.03	0.13	% FSR
		外部 VREF、FSR = ±10V	TA = 25°C		0.02	0.07	% FSR
			TA = -20°C 至 105°C		0.02	0.09	% FSR
			TA = -40°C 至 125°C		0.02	0.1	% FSR
TUE	总体未调整误差，减小的范围	内部 VREF、FSR = ±5V	TA = 25°C		0.03	0.07	% FSR
			TA = -20°C 至 105°C		0.03	.13	% FSR
			TA = 0°C 至 125°C		0.03	0.1	% FSR
			TA = -40°C 至 125°C		0.03	0.14	% FSR
		外部 VREF、FSR = ±5V	TA = 25°C		0.02	0.08	% FSR
			TA = -20°C 至 105°C		0.02	0.1	% FSR
			TA = -40°C 至 125°C		0.02	0.11	% FSR
直流性能							
	分辨率（无代码丢失）			24			位
	噪声			有关详细信息，请参阅 <a href="#">噪声性能</a> 部分			
INL	积分非线性	TA = - 40°C 至 125°C、VCM = 0V、OSR = 512、最佳拟合	速度模式 3 或 2		7	25	FSR 的 ppm 值
			速度模式 1 或 0		3	6	
	偏移误差	TA = 25°C		-8	0.5	8	mV
	偏移漂移				4	30	μV/°C
	增益误差	TA = 25°C，使用外部基准		-850	±200	850	FSR 的 ppm 值
		TA = 25°C，包括内部基准		-1300	±300	1300	
	增益漂移	使用外部基准			±2		FSR/°C 的 ppm 值
		包括内部基准			±5		
系统性能							
fDATA	输出数据速率、sinc³ 或 sinc⁴ 滤波器	速度模式 3 (fMOD = 12.8MHz)		0.08		1067	kSPS
		速度模式 2 (fMOD = 6.4MHz)		0.04		533.3	
		速度模式 1 (fMOD = 1.6MHz)		0.01		133.3	
		速度模式 0 (fMOD = 0.8MHz)		0.005		66.7	
NMRR	正常模式抑制比，同步 50/60Hz 陷波滤波器启用	fIN = 50Hz 或 60Hz (±1 Hz)、fDATA = 20SPS、外部 fCLK = 25.6MHz			-95.3		dB
		fIN = 50Hz 或 60Hz (±1 Hz)、fDATA = 20SPS、内部 fCLK = 25.6MHz			-82.7		
		fIN = 50Hz 或 60Hz (±1 Hz)、fDATA = 25SPS、外部 fCLK = 25.6MHz			-62.7		
		fIN = 50Hz 或 60Hz (±1 Hz)、fDATA = 25SPS、内部 fCLK = 25.6MHz			-57.9		
CMRR	共模抑制比	在直流			86		dB
		fCM = 50Hz 或 60Hz (±1Hz)、fDATA = 20SPS 或 25SPS			125		
		fCM = 50Hz 或 60Hz (±1Hz)、fDATA > 25SPS			90		

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ；典型值规格的条件为： $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为： $AVDD - AVSS = 5\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{AINx} = 0\text{V}$ 、 $V_{CM} = 0\text{V}$ 、 $(V_{REFP} - V_{REFN}) = 2.5\text{V}$ 、V20 型号、所有速度模式、外部时钟和基准缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
PSRR	电源抑制比	AVDD 为直流			77		dB
		IOVDD 为直流			105		
电压基准输入							
	REFP 和 REFN 输入电流 (REFN = AVSS)	REFP 缓冲器关闭	速度模式 3		190		μA/V
速度模式 2				130			
速度模式 1				80			
速度模式 0				70			
	REFP 输入电流	REFP 缓冲在	速度模式 3		±0.5		μA
速度模式 2				±0.3			
速度模式 1				±0.1			
速度模式 0				±0.1			
	REFP 和 REFN 输入电流漂移	REFP 缓冲器关闭	速度模式 3		2.5		nA/°C
速度模式 2				5			
速度模式 1				7			
速度模式 0				7.5			
	REFP 输入电流漂移	REFP 缓冲在	速度模式 3		4		nA/°C
速度模式 2				2.5			
速度模式 1				0.5			
速度模式 0				0.5			
内部电压基准							
	输出电压	AVDD > 4.5V， 相对于 AVSS 的 REFOUT	REF_VAL = 0b		2.5		V
			REF_VAL = 1b		4.096		
		2.85V ≤ AVDD ≤ 4.5V， 相对于 AVSS 的 REFOUT				2.5	
	初始精度	T <sub>A</sub> = 25°C		-0.1	±0.02	0.1	%
	温度漂移 (1)	T <sub>A</sub> = 0°C 至 +125°C			3.5	8.5	ppm/°C
		T <sub>A</sub> = -40°C 至 +125°C			4	12	
	基准输出负载电流	灌电流或源		-10		10	mA
	短路电流限制	灌电流或源			25	40	
	电源抑制比	AVDD 为直流			95		dB
	负载调整				50		ppm/mA
	电压噪声	0.1 至 10Hz、C <sub>L</sub> = 1μF	V <sub>REF</sub> = 2.5V		1.0		μV <sub>RMS</sub>
			V <sub>REF</sub> = 4.096V		1.7		
	电压噪声密度	1kHz，C <sub>L</sub> = 1μF	V <sub>REF</sub> = 2.5V		200		nV/√Hz
			V <sub>REF</sub> = 4.096V		300		
	容性负载			0.5	1	2	μF
	阻性负载			2			kΩ
	启动时间	在断电模式下、C <sub>L</sub> = 1 μF、0.01% 趋稳时间			1	1.5	ms
内部振荡器							
f <sub>OSCM</sub>	频率				25.6		MHz
	精度			-0.75	0.07	0.75	%
温度传感器							
TS <sub>Offset</sub>	输出电压	T <sub>A</sub> = 25°C			120		mV
TS <sub>TC</sub>	温度系数				400		μV/°C
	精度	速度模式 0、内部时钟、OSR = 12		-3	±0.5	3	°C
监测器							



最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ；典型值规格的条件为： $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为： $AVDD - AVSS = 5\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{AINx} = 0\text{V}$ 、 $V_{CM} = 0\text{V}$ 、 $(V_{REFP} - V_{REFN}) = 2.5\text{V}$ 、V20 型号、所有速度模式、外部时钟和基准缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
THREF_UV	基准欠压阈值 <sup>(2)</sup>			0.5		0.6	V
	外部基准电压回读精度	(VREFP - VREFN) / 3			±0.5		%
	电源电压回读精度	AVDD/3			±1		%
		DVDD/3			±1		
		(CAPA - AVSS) / 3			±1		
		(CAPD - DGND) / 3			±1		
		(RESP - RESN) / 3			±1		
测试 DAC							
	测试 DAC 基准电压	AVDD ≥ 4.65V	TDAC_RANGE = 0b		2.5		V
			TDAC_RANGE = 1b		4.096		V
		2.85V ≤ AVDD ≤ 4.65V			2.5		V
	分辨率				5		位
	精度				±1		%
	偏移误差	通过传输两个代码的线路测量			±1	10	mV
	启动时间	从 TDAC 启用的上升沿至 DAC 输出电压达到其最终值的 99%。适用于最慢的 DAC 配置 ( 缓冲器或无缓冲器 )。			10		μs
	缓冲器输出阻抗	缓冲器对地短路、代码 = 11111、基准电压 = 4.096V			150		Ω
	缓冲器负载电流，短路	缓冲器对地短路、代码 = 11111、基准电压 = 4.096V			15		mA
数字输入/输出							
V <sub>IL</sub>	逻辑输入电平，低			DGND	0.3 × IOVDD		V
V <sub>IH</sub>	逻辑输入电平，高			0.7 × IOVDD			V
V <sub>OL</sub>	逻辑输出电平，低	OUT_DRV = 0b，I <sub>OL</sub> = 2mA			0.2 × IOVDD		V
		OUT_DRV = 1b，I <sub>OL</sub> = 1mA			0.2 × IOVDD		
V <sub>OH</sub>	逻辑输出电平，高	OUT_DRV = 0b，I <sub>OH</sub> = - 2mA		0.8 × IOVDD			V
		OUT_DRV = 1b，I <sub>OH</sub> = - 1mA		0.8 × IOVDD			
	输入迟滞				100		mV
	输入电流	不包括 RESET 引脚		-1		1	μA
	RESET 引脚内部上拉电阻器				20		kΩ
模拟电源电流							

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ；典型值规格的条件为： $T_A = 25^{\circ}\text{C}$ ；所有规格的适用条件为： $AVDD - AVSS = 5\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{AINx} = 0\text{V}$ 、 $V_{CM} = 0\text{V}$ 、 $(V_{REFP} - V_{REFN}) = 2.5\text{V}$ 、V20 型号、所有速度模式、外部时钟和基准缓冲器开启（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
I <sub>AVDD</sub> 、 I <sub>AVSS</sub>	AVDD 和 AVSS 电流 ( 基准缓冲器关闭, 内部基准关闭 )	速度模式 3			10	11.5	mA
		速度模式 2			7.5	9	mA
		速度模式 1			2.2	3	mA
		速度模式 0			2	2.75	mA
		待机模式			500	1200	μA
		断电模式			180	800	μA
		AVDD 和 AVSS 额外 电流 ( 每个功能 )	REFP 缓冲器	速度模式 3		1.2	
	速度模式 2				0.8		mA/缓冲器
	速度模式 1				0.3		mA/缓冲器
	速度模式 0				0.25		mA/缓冲器
	内部基准			100	200	μA	
	测试 DAC、2.5V 或 4.096V 范围			700	1100	μA	
测试 DAC 缓冲器				800	1100	μA	
数字电源电流							
I <sub>IOVDD</sub>	IOVDD 电流	速度模式 3、OSR = 32			0.90	1	mA
		速度模式 2、OSR = 32			0.5	0.6	
		速度模式 1、OSR = 32			0.2	0.25	
		速度模式 0、OSR = 32			0.12	0.2	
		待机模式、外部时钟			5		μA
		待机模式、内部振荡器			60		
		断电模式			10		
功率耗散							
P <sub>D</sub>	功率耗散	AVDD = 5V、 REFP 缓冲器关闭	速度模式 3		50		mW
			速度模式 2		36		
			速度模式 1		11		
			速度模式 0		10		

(1) 根据设计和特征确定；未经生产测试。

(2) 欠压监测器始终会在低于指定最小值的情况下跳闸，而不会在高于指定最大值的情况下跳闸。

## 5.6 时序要求

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
$t_{c(SC)}$	SCLK 周期	40	$1/(4 f_{DATA})$	ns
$t_{w(SCL)}$	脉冲持续时间, SCLK 低电平	10		ns
$t_{w(SCH)}$	脉冲持续时间, SCLK 高电平	20		ns
$t_d(CSSC)$	延迟时间, $\overline{CS}$ 下降沿后的第一个 SCLK 上升沿	5		ns
$t_d(SCCS)$	延迟时间, 最后一个 SCLK 下降沿后的 $\overline{CS}$ 上升沿	5		ns
$t_w(CSH)$	脉冲持续时间, $\overline{CS}$ 为高电平	5		ns
$t_d(FIFORD)$	后续 FIFO 读取帧之间的延迟时间	5		$t_{CLK}$
$t_{su(DI)}$	建立时间, SCLK 下降沿前的 SDI 有效	3		ns
$t_h(DI)$	保持时间, SDI 在 SCLK 下降沿后有效	4		ns
$t_d(fr2fr)$	3 线制 SPI 模式下帧之间的延迟时间	5		ns
$t_h(DIIR)$	保持时间, SDI 高电平强制接口重新同步（仅限 3 线 SPI 模式）。接口重新同步发生在 SDI 再次处于低电平的第一个 SCLK 下降沿。	63		$t_{SCLK}$
$t_d(RSSC)$	延迟时间, $\overline{RESET}$ 上升沿之后或使用 SPI 复位模式或 RESET[7:0] 位字段复位软件之后到 SPI 通信启动		500	$\mu s$
$t_d(POR)$	延迟时间, IOVDD 加电后的第一个 SCLK 上升沿（= IOVDD 越过最小 IOVDD 电压后）	5		ms
$t_w(STL)$	脉冲持续时间, START 低电平	4		$t_{CLK}$
$t_w(STH)$	脉冲持续时间, START 高电平	4		$t_{CLK}$
$t_{su}(STCL)$	建立时间, START 切换到 CLKIN 上升沿 <sup>(1)</sup>	9		ns
$t_h(STCL)$	保持时间, CLKIN 上升沿到 START 切换 <sup>(1)</sup>	9		ns
$t_{su}(STFS)$	建立时间, START 下降沿或设置 STOP 位到 FSYNC 上升沿, 旨在停止下一次转换（启动/停止转换模式）	24		$t_{CLK}$
$t_w(RSL)$	脉冲持续时间, $\overline{RESET}$ 低电平	4		$t_{CLK}$
$t_h(DIRS1)$	保持时间, SDI 高电平, 以使用 RESET 模式强制器件复位。器件复位发生在 SDI 再次处于低电平的第一个 SCLK 下降沿。	1023		$t_{SCLK}$
$t_h(DIRS2)$	保持时间, SDI 高电平, 以使用 RESET 模式强制器件复位。器件复位发生在 $\overline{CS}$ 上升沿（仅限 4 线 SPI 模式）。	1024		$t_{SCLK}$

(1) 不得在 CLKIN 上升沿的建立时间和保持时间周期之间施加 START 上升沿

## 5.7 开关特性

在工作环境温度范围内,  $C_{LOAD} = 20pF$ （除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
$t_p(CSDO)$	传播延迟时间, $\overline{CS}$ 下降沿至 SDO/ $\overline{DRDY}$ 驱动			20	ns
$t_p(CSDOZ)$	传播延迟时间, $\overline{CS}$ 上升沿至 SDO/ $\overline{DRDY}$ 高阻抗状态			10	ns
$t_h(SCDO)$	保持时间, SCLK 上升沿至 SDO/ $\overline{DRDY}$ 无效	1			ns
$t_p(SCDO)$	传播延迟时间, SCLK 上升沿至有效 SDO/ $\overline{DRDY}$			18	ns
$t_w(DRH)$	脉冲持续时间, $\overline{DRDY}$ 为高电平	2			$t_{MOD}$
$t_p(SCDR)$	传播延迟时间, 第 8 个 SCLK 下降沿至 $\overline{DRDY}$ 返回高电平			5	$t_{MOD}$
$t_p(DRDO)$	传播延迟时间, SDO/ $\overline{DRDY}$ 从 $\overline{DRDY}$ 模式转换到有效 SDO 的读取操作的第一个 SCLK 上升沿	SDO_DRDY = 1b	30	46	ns
$t_p(DODR)$	传播延迟时间, SDO/ $\overline{DRDY}$ 从 SDO 模式转换为 $\overline{DRDY}$ 模式的读取操作的最后一个 SCLK 下降沿	SDO_DRDY = 1b	30	45	ns
$t_p(GPIO)$	传播延迟时间, GPIO_CFG/STEP_GPIO_DATA_OUT 的最后一个 SCLK 下降沿（3 线）或 $\overline{CS}$ 上升沿（4 线）到 GPIOx 输出有效			14	ns

## 5.8 时序图

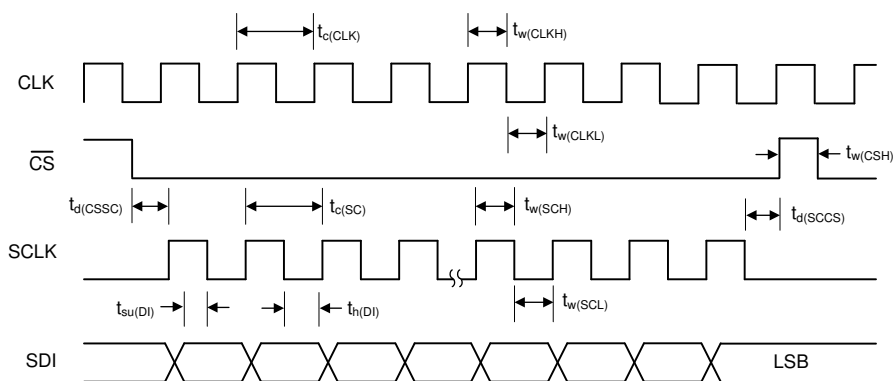


图 5-1. 时钟和串行接口时序要求

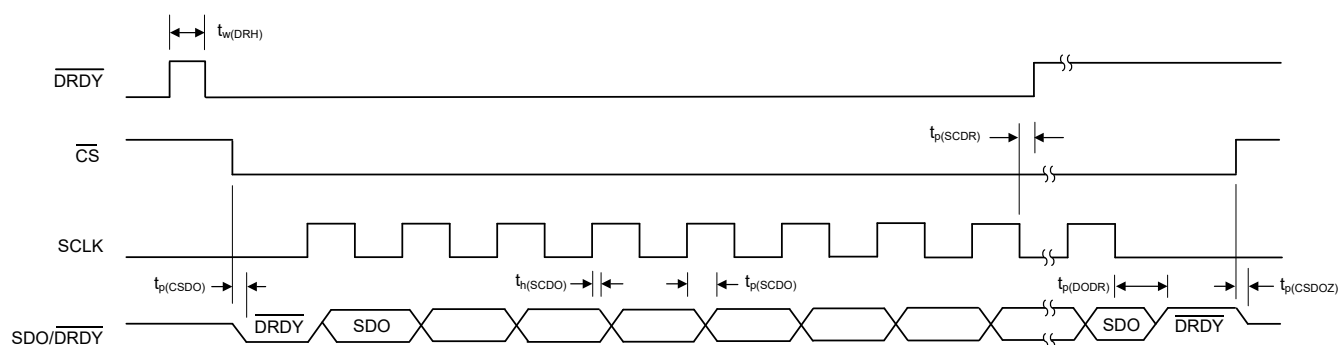


图 5-2. 串行接口开关特性

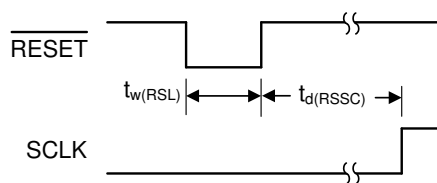


图 5-3. RESET 引脚时序

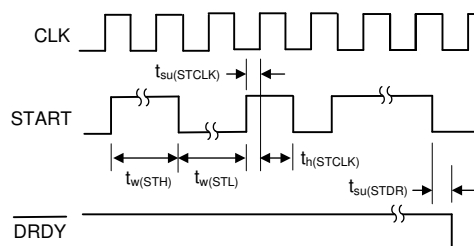


图 5-4. START 引脚时序

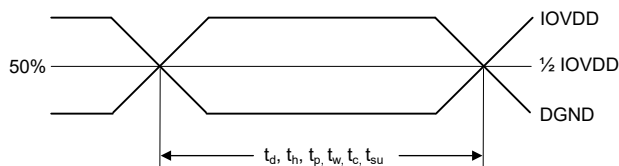


图 5-5. 时序基准

## 5.9 典型特性

AVDD = 5V, AVSS = 0V, IOVDD = 1.8V, V<sub>REF</sub> = 2.5V, OSR = 32, T<sub>A</sub> = 25°C (除非另有说明)。

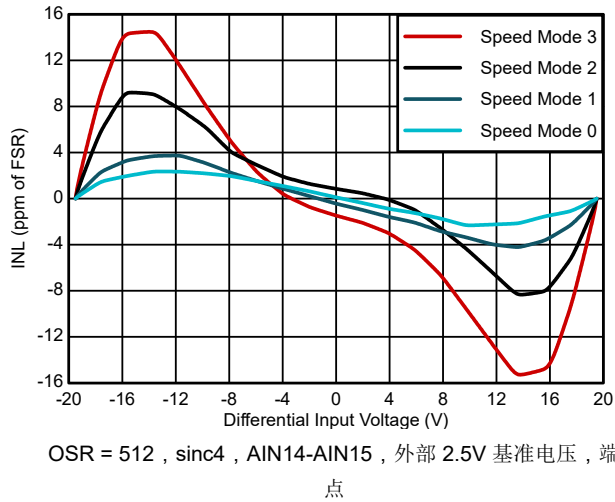


图 5-6. INL 与差分输入电压间的关系

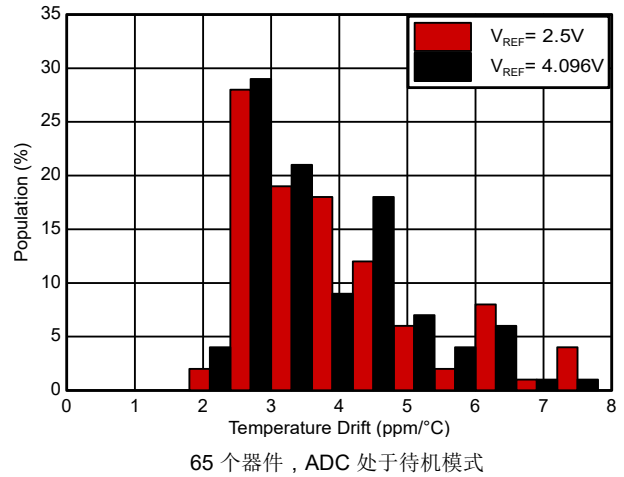


图 5-7. 内部基准温漂

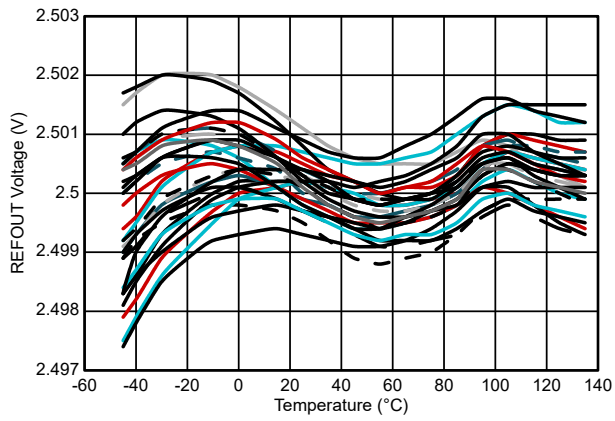


图 5-8. 内部基准电压与温度间的关系, 2.5V

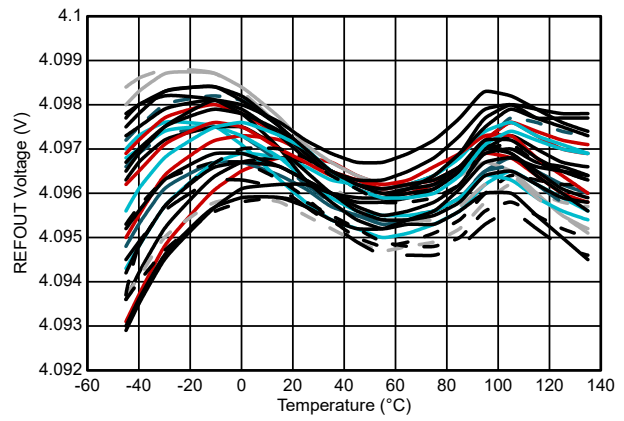
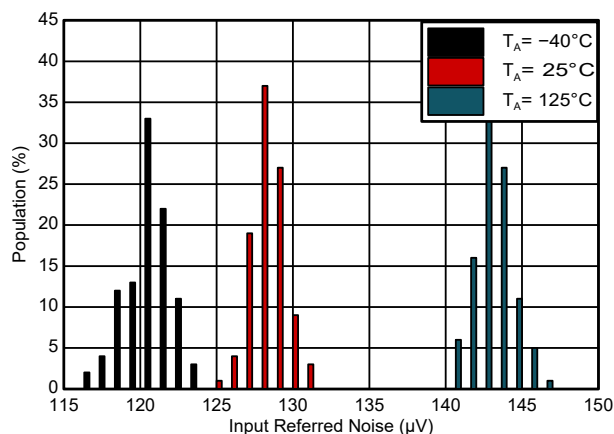


图 5-9. 内部基准电压与温度间的关系, 4.096V

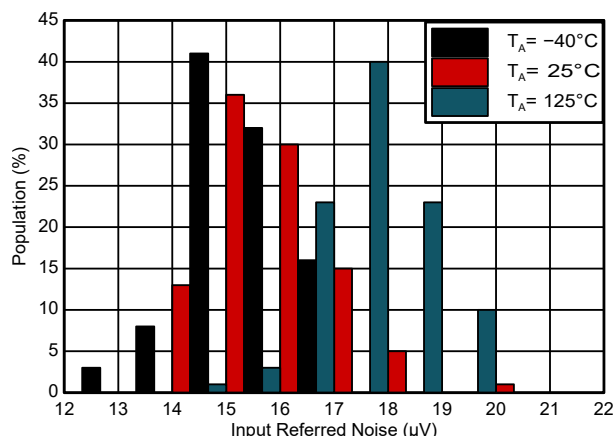
## 5.9 典型特性 ( 续 )

AVDD = 5V , AVSS = 0V , IOVDD = 1.8V , V<sub>REF</sub> = 2.5V , OSR = 32 , T<sub>A</sub> = 25°C ( 除非另有说明 ) 。



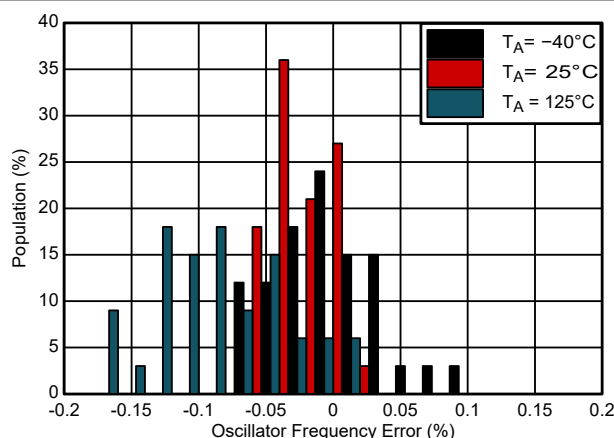
30 个器件 , OSR = 32 , sinc4 , 速度模式 1 , 外部短路

图 5-10. 输入基准噪声直方图 , OSR = 32



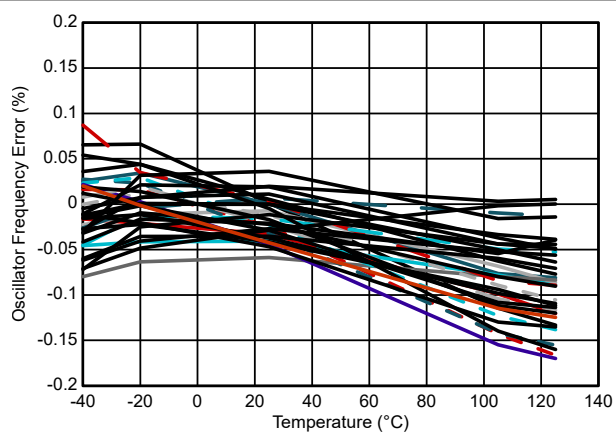
30 个器件 , OSR = 2048 , sinc4 , 速度模式 1 , 外部短路

图 5-11. 输入基准噪声直方图 , OSR = 2048



35 个单元

图 5-12. 内部振荡器频率直方图



35 个单元

图 5-13. 内部振荡器频率与温度间的关系

## 6 参数测量信息

### 6.1 失调电压误差测量

ADS125H18 的失调电压误差是在外部将 ADC 输入短接在一起的情况下测量的。输入共模电压固定为 AVDD1 和 AVSS 电源电压范围的中点。失调电压误差在  $T_A = 25^\circ\text{C}$  时测量。

### 6.2 温漂测量

温漂定义为额定温度范围内的多个点测得的失调电压变化。使用框方法 计算温漂，即在最大和最小偏移电压以及指定的温度范围内形成一个框。框方法指定温度误差的限值，但不指定受测器件的确切形状和斜率。

使用此公式表示使用框方法的温漂计算：

$$\text{Offset Drift (nV/}^\circ\text{C)} = 10^9 \cdot (V_{\text{OFSMAX}} - V_{\text{OFSMIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (1)$$

其中：

- $V_{\text{OFSMAX}}$  和  $V_{\text{OFSMIN}}$  = 额定温度范围内的最大失调电压和最小失调电压
- $T_{\text{MAX}}$  和  $T_{\text{MIN}}$  = 最高温度和最低温度

### 6.3 增益误差测量

增益误差被定义为 ADC 传递函数的实际斜率和理想斜率之间的差值。通过在 FSR 的 -95% 和 95% 上施加直流测试电压来测量增益误差。误差通过以下方式计算得出：从 ADC 输出电压的差值（实际斜率）中减去直流测试电压（理想斜率）的差值。斜率的差值除以理想斜率，再乘以  $10^6$ ，将误差转换为 FSR 的 ppm。ADC 基准电压产生的误差不包括在增益误差测量范围内。增益误差是在  $T_A = 25^\circ\text{C}$  时指定的。方程式 2 表示增益误差的计算方法：

$$\text{Gain Error (ppm of FSR)} = 10^6 \times (\Delta V_{\text{OUT}} - \Delta V_{\text{IN}}) / \Delta V_{\text{IN}} \quad (2)$$

其中：

- $\Delta V_{\text{OUT}}$  = 两个 ADC 输出电压的差值
- $\Delta V_{\text{IN}}$  = 两个输入测试电压的差值

### 6.4 增益漂移测量

增益漂移定义为在额定温度范围内的多个点测量的增益误差变化。使用框方法时，在额定温度范围内的最大和最小增益误差范围内形成框。框方法指定温度误差的限值，但不指定受测器件的确切形状和斜率。方程式 3 表示使用框方法的增益漂移。

$$\text{Gain Drift (ppm/}^\circ\text{C)} = (G_{\text{EMAX}} - G_{\text{EMIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (3)$$

其中：

- $G_{\text{EMAX}}$  和  $G_{\text{EMIN}}$  = 额定温度范围内的最大和最小增益误差
- $T_{\text{MAX}}$  和  $T_{\text{MIN}}$  = 最高温度和最低温度

### 6.5 NMRR 测量

正常模式抑制比 (NMRR) 指定 ADC 在特定频率（通常以 50Hz 和 60Hz 输入频率表示）下抑制正常模式输入信号的能力。正常模式抑制完全由数字滤波器的频率响应决定。在这种情况下，处于 50Hz 和 60Hz 的低延迟 sinc3 滤波器选项的频率响应中的零位在这些频率下提供了抑制作用。

## 6.6 CMRR 测量

共模抑制比 (CMRR) 指定 ADC 抑制共模输入信号的能力。CMRR 表示为直流和交流参数。为测量 CMRR (dc)，在输入外部短接在一起的情况下施加三个等于  $AVSS + 50mV$ 、 $(AVDD1 + AVSS) / 2$  和  $AVDD1 - 50mV$  的共模测试电压。记录的是 ADC 偏移电压的最大变化与共模测试电压的变化。方程式 4 表示 CMRR (dc) 的计算方法。

$$CMRR (dc) (dB) = 20 \times \log(\Delta V_{CM} / \Delta V_{OS}) \quad (4)$$

其中：

- $\Delta V_{CM}$  = 直流共模测试电压的变化
- $\Delta V_{OS}$  = 相应电压偏移量的变化

为测量 CMRR (ac)，在 95% 满量程范围的各种测试频率下施加交流共模信号。在施加共模信号的情况下可根据 ADC 数据计算得出 FFT。如方程式 5 所示，频谱中九个最大幅值杂散频率的乘方求和，并与共模测试信号的幅值相关。

$$PSRR (ac) (dB) = 20 \times \log(V_{CM} / V_O) \quad (5)$$

其中：

- $V_{CM} (RMS)$  = 共模输入信号幅值
- $V_O (RMS)$  = 杂散频率的平方和根幅度 =  $\sqrt{V_0^2 + V_1^2 + \dots V_8^2}$

## 6.7 PSRR 测量

电源抑制比 (PSRR) 指定 ADC 抑制电源干扰的能力。PSRR 表示为交流和直流参数。为了测量 PSRR (dc)，电源电压在最小、标称和最大额定电压范围内变化，输入端在外部短接在一起。记录 ADC 失调电压的最大变化与电源电压变化之间的关系。PSRR (dc) 的计算如方程式 6 所示，即电源电压阶跃变化与失调电压变化之比。

$$PSRR (dc) (dB) = 20 \times \log(\Delta V_{PS} / \Delta V_{OS}) \quad (6)$$

其中：

- $\Delta V_{PS}$  = 电源电压的变化
- $\Delta V_{OS}$  = 失调电压的变化

为了测量 PSRR (ac)，在不同的测试频率下，以 100mVpp (35mV<sub>RMS</sub>) 的信号调制电源电压。对经过电源电压调制的 ADC 数据进行 FFT。如方程式 7 所示，频谱中九个最大幅值杂散频率的乘方求和，并与电源调制信号的幅值相关。

$$PSRR (ac) (dB) = 20 \times \log(V_{PS} / V_O) \quad (7)$$

其中：

- $V_{PS} (RMS)$  = 100mV 交流电源调制信号
- $V_O (RMS)$  = 杂散频率的平方和根幅度 =  $\sqrt{V_0^2 + V_1^2 + \dots V_8^2}$



## 6.8 SNR 测量

信噪比 (SNR) 是在满量程交流输入信号条件下对噪声性能的衡量。对于 SNR 测量, 使用一个 -0.2dBFS、1kHz 测试信号, 其  $V_{CM}$  等于  $1/2 V_S$  电压。如 [方程式 8](#) 所示, SNR 是输入信号的 rms 值与从 ADC 输出样本的 FFT 结果得出的所有其他频率分量的平方和根之比。SNR 计算中不包括原始信号的直流和谐波。在由于非相干采样而使用 FFT 窗口函数的测试用例中, 计算 SNR 时移除了直流、原始信号和信号谐波附近的相邻频率间隔的频谱泄漏。

$$SNR (dB) = 20 \times \log(V_{IN} / e_n) \quad (8)$$

其中：

- $V_{IN}$  = 输入测试信号
- $e_n$  = 除直流和信号谐波之外的频率分量的平方和根

## 6.9 INL 误差测量

积分非线性 (INL) 误差指定了 ADC 直流传递函数的线性度。通过沿根据 ADC 的斜率和偏移传递函数计算的直线施加一系列直流测试电压, 可以测得 INL。INL 是一组直流测试电压  $[V_{IN(N)}]$  与相应的输出电压  $[V_{OUT(N)}]$  之间的差值。[方程式 9](#) 表示计算 INL 误差的终点方法。

$$INL (ppm \text{ of FSR}) = \text{maximum absolute value of INL test series } [10^6 \times (V_{IN(N)} - V_{OUT(N)}) / FSR] \quad (9)$$

其中：

- N = 直流测试电压的索引
- $[V_{IN(N)}]$  = 在 FSR 的 -95% 至 95% 范围内的一组测试电压
- $[V_{OUT(N)}]$  = 一组相应的 ADC 输出电压
- FSR (满量程范围) =  $2 \times V_{REF}$  (1 倍输入范围) 或  $4 \times V_{REF}$  (2 倍输入范围)

INL 最佳拟合方法 使用最小平方误差 (LSE) 计算来确定新的直线, 从而更大程度地减小原始终点线之上和之下 INL 误差的和方根。

## 6.10 THD 测量

总谐波失真 (THD) 指定 ADC 与交流输入信号的动态线性关系。对于 THD 测量, 需施加一个 -0.2dBFS、1kHz 差分输入信号, 其  $V_{CM}$  等于  $1/2 V_S$  电压。收集足够数量的数据点, 以生成频率间隔宽度为 5Hz 或更低的 FFT 结果。5Hz 间隔宽度可降低谐波区间中的噪声, 从而实现一致的 THD 测量。如 [方程式 10](#) 所示, THD 的计算方法为谐波的平方和根幅值与输入信号幅值之比。

$$THD (dB) = 20 \times \log(V_H / V_{IN}) \quad (10)$$

其中：

- $V_H$  = 谐波的平方和根:  $\sqrt{(V_2^2 + V_3^2 + \dots + V_n^2)}$ , 其中  $V_n$  = 第 n 次谐波电压
- $V_{IN}$  = 输入信号基波分量

## 6.11 SFDR 测量

无杂散动态范围 (SFDR) 是单频交流输入的 rms 值与 ADC 频谱中最高杂散信号的比值。SFDR 测量包括原始信号的谐波。对于 SFDR 测量, 需施加一个 -0.2dBFS、1kHz 输入信号, 其  $V_{CM}$  等于  $1/2 V_S$  电压。如 [方程式 11](#) 所示, SFDR 是输入信号的 rms 值与单个最高杂散信号 (包括原始信号的谐波) 的比值。

$$SFDR (dB) = 20 \times \log(V_{IN} / V_{SPUR}) \quad (11)$$

其中：

- $V_{IN}$  = 输入测试信号

- $V_{SPUR}$  = 单个最高杂散电平

## 6.12 噪声性能

$\Delta-\Sigma$  ( $\Delta\Sigma$ ) 模数转换器 (ADC) 基于过采样原理。 $\Delta\Sigma$  ADC 的输入信号在高频下 (调制器频率) 进行采样, 随后在数字域中进行滤波和抽取, 从而在相应输出数据速率下生成转换结果。调制器频率与输出数据速率的比值称为过采样率 (OSR)。通过增加 OSR 并降低输出数据速率, ADC 的噪声性能可以被优化。即当输出数据速率下降时, 获取一个转换结果需要对内部调制器的更多样本求取平均值, 因此输入参考噪声下降。

该 ADC 提供四种速度模式, 从而在 ADC 分辨率、功耗和信号带宽之间作出权衡。这些模式为速度模式 3、速度模式 2、速度模式 1 和速度模式 0, 器件功耗按降序排列。

数字滤波器提供了 sinc3、sinc4 和 sinc4 + sinc1 配置选项。sinc3 和 sinc4 滤波器提供高达 1.066MSPS (速度 3 模式)、533kSPS (速度 2 模式)、133kSPS (速度 1 模式) 和 66.67kSPS (速度 0 模式) 的数据速率。该器件还提供具有 50Hz/60Hz 同步抑制的定制 20SPS 和 25SPS 滤波器模式。

表 6-1 至表 6-3 总结了各种滤波器模式的噪声性能和产生的有效分辨率。

所示数据为以输入为基准的噪声结果 ( $e_n(\text{RMS})$ ) (典型值), 单位为  $\mu V_{\text{RMS}}$ , 模拟输入端短接在一起, 这些数据代表  $T_A = 25^\circ\text{C}$  时的典型性能。至少进行 1,000 次或 10 秒的连续转换 (以先发生者为准) 来测量 RMS 噪声 ( $e_n(\text{RMS})$ )。由于噪声具有随机性质, 所以重复的噪声测量会产生更高或更低的噪声结果。

方程式 12 或方程式 13 根据所选的编码方案, 使用测量所得的  $\mu V_{\text{RMS}}$  数字计算有效分辨率。

$$\text{Effective Resolution}_{\text{Binary two's complement coding}} = \ln[(\text{FSR} / e_n(\text{RMS})) / \ln(2)] \quad (12)$$

$$\text{Effective Resolution}_{\text{Unipolar straight binary coding}} = \ln[(0.5 \times \text{FSR}) / e_n(\text{RMS}) / \ln(2)] \quad (13)$$

其中:

- $\text{FSR} = 2 \times V_{\text{REF}} \times \text{衰减系数}$
- $e_n(\text{RMS})$  = 噪声电压 (RMS)

请注意, 本节中的所有值都是使用  $\pm 10\text{V}$  输入范围生成的, 因此  $\text{FSR} = 20\text{V}$ 。

以  $\mu V_{\text{PP}}$  为单位的输入参考噪声 ( $e_n$ ) 可以估算为  $e_n(\text{PP}) = 6.6 \times e_n(\text{RMS})$ 。根据所选编码方案, 使用方程式 14 或方程式 15 从估算的  $\mu V_{\text{PP}}$  数字计算无噪声分辨率。

$$\text{Noise-free Resolution}_{\text{Binary two's complement coding}} = \ln[\text{FSR} / e_n(\text{PP})] / \ln(2) \quad (14)$$

$$\text{Noise-free Resolution}_{\text{Unipolar straight binary coding}} = \ln[(0.5 \times \text{FSR}) / e_n(\text{PP})] / \ln(2) \quad (15)$$

在评估 ADC 噪声性能时, 请考虑外部元件对总噪声性能的影响。通过选择输入多路复用器的输入短路测试连接, 可对 ADC 的噪声性能进行隔离评估。

表 6-1. Sinc3 和 Sinc4 滤波器噪声性能 ( $V_{\text{REF}} = 2.5\text{V}$ , V20 型号)

OSR	数据速率 (kSPS)	噪声 ( $e_n(\text{RMS})$ , $\mu\text{V}_{\text{RMS}}$ ) <sup>(1)</sup>		有效分辨率 $\pm 10\text{V}$ 范围 ( 位 )	
		SINC3	SINC4	SINC3	SINC4
速度模式 3 ( $f_{\text{MOD}} = 12.8\text{MHz}$ )					
12	1066.67	1501.4	533.6	13.7	15.2
16	800	697.6	347.4	14.8	15.8
24	533.33	331.5	261.0	15.9	16.2
32	400	252.3	225.2	16.3	16.4
64	200	170.6	160.2	16.8	16.9
128	100	120.6	112.2	17.3	17.4
256	50	85.8	79.7	17.8	17.9

表 6-1. Sinc3 和 Sinc4 滤波器噪声性能 (  $V_{REF} = 2.5V$  , V20 型号 ) ( 续 )

OSR	数据速率 (kSPS)	噪声 ( $e_n(RMS)$ , $\mu V_{RMS}$ ) (1)		有效分辨率 $\pm 10V$ 范围 ( 位 )	
		SINC3	SINC4	SINC3	SINC4
512	25	60.2	56.6	18.3	18.4
1,024	12.50	43.0	40.0	18.8	18.9
2,048	6.25	30.6	28.5	19.3	19.4
4,000	3.20	22.1	20.6	19.8	19.9
8,000	1.60	15.7	14.8	20.3	20.4
16,000	0.80	11.6	10.8	20.7	20.8
26,667	0.48	9.3	8.8	21.0	21.1
32,000	0.40	8.5	8.1	21.2	21.2
96,000	0.13	5.8	5.7	21.7	21.7
160,000	0.08	5.1	4.7	21.9	22.0
速度模式 2 ( $f_{MOD} = 12.8MHz$ )					
12	533.33	1490.5	483.3	13.7	15.3
16	400	664.6	283.5	14.9	16.1
24	266.67	282.3	206.8	16.1	16.6
32	200	203.5	176.9	16.6	16.8
64	100	134.3	124.2	17.2	17.3
128	50	93.6	86.9	17.7	17.8
256	25	66.5	62.0	18.2	18.3
512	12.50	47.1	44.0	18.7	18.8
1,024	6.25	33.4	31.2	19.2	19.3
2,048	3.13	23.4	22.0	19.7	19.8
4,000	1.60	16.9	15.8	20.2	20.3
8,000	0.80	11.9	11.2	20.7	20.8
16,000	0.40	8.6	8.1	21.2	21.2
26,667	0.24	6.8	6.4	21.5	21.6
32,000	0.20	6.3	5.9	21.6	21.7
96,000	0.07	3.9	3.7	22.3	22.4
160,000	0.04	3.1	3.0	22.6	22.7
速度模式 1 ( $f_{MOD} = 1.6MHz$ )					
12	133.33	1479.1	440.0	13.7	15.5
16	100	643.4	225.8	14.9	16.4
24	66.67	242.7	151.1	16.3	17.0
32	50	158.2	129.5	16.9	17.2
64	25	97.6	91.0	17.6	17.7
128	12.50	68.9	63.9	18.1	18.3
256	6.25	48.2	45.2	18.7	18.8
512	3.13	34.1	32.2	19.2	19.2
1,024	1.56	24.2	22.4	19.7	19.8
2,048	0.78	17.2	16.1	20.2	20.2
4,000	0.40	12.4	11.5	20.6	20.7
8,000	0.20	8.8	8.3	21.1	21.2
16,000	0.10	6.3	5.9	21.6	21.7
26,667	0.06	4.9	4.6	22.0	22.1

表 6-1. Sinc3 和 Sinc4 滤波器噪声性能 (  $V_{REF} = 2.5V$  , V20 型号 ) ( 续 )

OSR	数据速率 (kSPS)	噪声 ( $e_n(RMS)$ , $\mu V_{RMS}$ ) (1)		有效分辨率 $\pm 10V$ 范围 ( 位 )	
		SINC3	SINC4	SINC3	SINC4
32,000	0.05	4.5	4.2	22.1	22.2
96,000	0.02	2.8	2.6	22.8	22.9
160,000	0.01	2.2	2.2	23.1	23.1
速度模式 0 ( $f_{MOD} = 0.8MHz$ )					
12	66.67	1471.0	431.4	13.7	15.5
16	50	641.5	222.1	14.9	16.5
24	33.33	237.7	145.1	16.4	17.1
32	25	154.5	125.1	17.0	17.3
64	12.50	94.3	87.6	17.7	17.8
128	6.25	65.9	62.0	18.2	18.3
256	3.13	46.5	43.7	18.7	18.8
512	1.56	33.0	30.8	19.2	19.3
1,024	0.78	23.3	21.9	19.7	19.8
2,048	0.39	16.6	15.5	20.2	20.3
4,000	0.20	11.9	11.1	20.7	20.8
8,000	0.10	8.4	7.9	21.2	21.3
16,000	0.05	6.1	5.5	21.7	21.8
26,667	0.03	4.7	4.3	22.0	22.1
32,000	0.03	4.4	4.0	22.1	22.2
96,000	0.01	2.7	2.5	22.8	23.0
160,000	0.01	2.1	2.0	23.2	23.2

(1) 由于 24 位量化限制, 高 OSR 值会产生不同的噪声结果:  $2.5V / 2^{23} = 0.298 \mu V / \text{代码}$ 。

表 6-2. Sinc4 + Sinc1 滤波器噪声性能 (  $V_{REF} = 2.5V$  , V20 型号 )

OSR	数据速率 (kSPS)	噪声 ( $e_n(RMS)$ , $\mu V_{RMS}$ ) (1)	有效分辨率 $\pm 10V$ 范围 ( 位 )
速度模式 3 ( $f_{MOD} = 12.8MHz$ )			
64 (32 × 2)	200	194.1	16.7
128 (32 × 4)	100	151.1	17.0
256 (32 × 8)	50	110.5	17.5
512 (32 × 16)	25	80.0	17.9
1024 (32 × 32)	12.50	57.3	18.4
2048 (32 × 64)	6.25	40.8	18.9
4000 (32 × 125)	3.20	29.4	19.4
8000 (32 × 250)	1.60	21.0	19.9
16000 (32 × 500)	0.80	15.1	20.3
26656 (32 × 833)	0.48	11.9	20.7
32000 (32 × 1000)	0.40	11.1	20.8
96000 (32 × 3000)	0.13	7.1	21.4
160000 (32 × 5000)	0.08	6.2	21.6
速度模式 2 ( $f_{MOD} = 6.4MHz$ )			

**表 6-2. Sinc4 + Sinc1 滤波器噪声性能 (  $V_{REF} = 2.5V$  , V20 型号 ) ( 续 )**

OSR	数据速率 (kSPS)	噪声 ( $e_{n(RMS)}$ , $\mu V_{RMS}$ ) <sup>(1)</sup>	有效分辨率 $\pm 10V$ 范围 ( 位 )
64 (32 × 2)	100	152.0	17.0
128 (32 × 4)	50	117.4	17.4
256 (32 × 8)	25	86.6	17.8
512 (32 × 16)	12.50	62.7	18.3
1024 (32 × 32)	6.25	44.3	18.8
2048 (32 × 64)	3.13	31.4	19.3
4000 (32 × 125)	1.60	22.7	19.8
8000 (32 × 250)	0.80	16.0	20.3
16000 (32 × 500)	0.40	11.5	20.7
26656 (32 × 833)	0.24	9.0	21.1
32000 (32 × 1000)	0.20	8.3	21.2
96000 (32 × 3000)	0.07	5.0	21.9
160000 (32 × 5000)	0.04	4.0	22.2
<b>速度模式 1 ( <math>f_{MOD} = 1.6MHz</math> )</b>			
64 (32 × 2)	25	110.7	17.5
128 (32 × 4)	12.50	85.9	17.8
256 (32 × 8)	6.25	63.4	18.3
512 (32 × 16)	3.13	45.2	18.8
1024 (32 × 32)	1.56	32.5	19.2
2048 (32 × 64)	0.78	23.0	19.7
4000 (32 × 125)	0.40	16.5	20.2
8000 (32 × 250)	0.20	11.8	20.7
16000 (32 × 500)	0.10	8.4	21.2
26656 (32 × 833)	0.06	6.5	21.6
32000 (32 × 1000)	0.05	6.0	21.7
96000 (32 × 3000)	0.02	3.6	22.4
160000 (32 × 5000)	0.01	2.8	22.8
<b>速度模式 0 ( <math>f_{MOD} = 0.8MHz</math> )</b>			
64 (32 × 2)	12.50	107.2	17.5
128 (32 × 4)	6.25	82.4	17.9
256 (32 × 8)	3.13	60.8	18.3
512 (32 × 16)	1.56	43.7	18.8
1024 (32 × 32)	0.78	31.2	19.3
2048 (32 × 64)	0.39	22.3	19.8
4000 (32 × 125)	0.20	16.0	20.3
8000 (32 × 250)	0.10	11.4	20.7
16000 (32 × 500)	0.05	8.1	21.2
26656 (32 × 833)	0.03	6.3	21.6

**表 6-2. Sinc4 + Sinc1 滤波器噪声性能 (  $V_{REF} = 2.5V$  , V20 型号 ) ( 续 )**

OSR	数据速率 (kSPS)	噪声 ( $e_n(RMS)$ , $\mu V_{RMS}$ ) (1)	有效分辨率 $\pm 10V$ 范围 ( 位 )
32000 (32 × 1000)	0.03	5.8	21.7
96000 (32 × 3000)	0.01	3.5	22.5
160000 (32 × 5000)	0.01	2.7	22.8

(1) 由于 24 位量化限制, 高 OSR 值会产生不同的噪声结果:  $2.5 V / 2^{23} = 0.298 \mu V / \text{代码}$ 。

表 6-3 总结了具有 50Hz/60Hz 同步抑制功能的定制 20SPS 和 25SPS 滤波器模式的噪声性能和有效分辨率。

**表 6-3. 20SPS 滤波器和 25SPS 滤波器噪声性能 (  $V_{REF} = 2.5V$  , V20 型号 )**

速度模式	$f_{MOD}$ (MHz)	数据速率 (SPS)	噪声 ( $e_n(RMS)$ , $\mu V_{RMS}$ )	有效分辨率 $\pm 10V$ 范围 ( 位 )
3	12.8	20	4.7	22.0
2	6.4	20	3.6	22.4
1	1.6	20	4.9	22.0
0	0.6	20	6.6	21.5
3	12.8	25	4.5	22.1
2	6.4	25	3.5	22.5
1	1.6	25	4.7	22.0
0	0.6	25	6.1	21.6

### 6.13 TUE ( 总体未调整误差 ) 测量

TUE ( 总体未调整误差 ) 定义了在不对增益或偏移误差执行任何系统级校准的情况下, 实际与理想传输功能之间的最大偏差。TUE 为器件或系统提供了单一的最坏情况精度值。如 方程式 16 所示, TUE 是测得误差 ( 测量值与预期值间的差值 ) 与器件的满量程输入范围 FSR 的比率, 以 % 形式表示。如果在特定应用中仅利用了整个范围的一部分, 则可以在 方程式 16 中使用缩小的范围来计算该特定系统的 TUE。

$$TUE (\%FSR) = (V_{Measured} - V_{Ideal/Expected}) / FSR \times 100 \quad (16)$$

其中:

- $V_{Measured}$  = 测得输出
- $V_{Ideal/Expected}$  = 计算得出的/预期的/理想的测量结果
- FSR = 器件的满量程输入范围或某个子范围, 根据应用进行选择

## 7 详细说明

### 7.1 概述

ADS125H18 是一款多路复用、高电压、高性能 24 位  $\Delta$ - $\Sigma$  模数转换器 (ADC)，集出色的直流精度和交流精度于一体。器件经过优化，可提供高分辨率和低功耗。

ADS125H18 专为工厂自动化和过程控制应用（包括 PLC 和 DCS 模块）而设计。ADS125H18 可降低整体系统成本和设计负担，并保持高精度。ADS125H18 具有以下系统优点：

- 使用单个 5V 电源实现高输入电压范围。
- 经过验证的  $1\text{M}\Omega$  最小输入阻抗。
- 高通道数。
- 降低校准成本。

[功能方框图](#) 展示了 ADS125H18 的特性。

每个输入都包含一个高阻抗分压器，其中集成了精密匹配电阻器，可将输入电压按比例缩小至 ADC 的输入范围。

在输入多路复用器 (Mux) 之后，器件具有两个用于正负 ADC 输入的高阻抗轨到轨输入缓冲器。

$\Delta$ - $\Sigma$  调制器生成与信号幅度成比例的低分辨率、高频数据。调制器内的噪声整形会将低分辨率数据的量化噪声移至带外频率范围内，在此范围内通过数字滤波器去除噪声。通带内剩余的噪声为白噪声，由数字滤波器降低。数字滤波器同时对调制器数据进行抽取和滤除，以便提供高分辨率的最终输出数据。调制器采用三阶多位  $\Delta$ - $\Sigma$  设计，根据差分基准  $V_{\text{REF}} = (V_{\text{REFP}} - V_{\text{REFN}})$  衡量差分输入信号  $V_{\text{IN}} = (V_{\text{AINP}} - V_{\text{AINN}})$ 。

数字滤波器具有多种滤波器配置：sinc3、sinc4、sinc4 后跟级联 sinc1 级选项 (sinc4 + sinc1)，以及 50/60Hz 陷波滤波器选项，可在噪声性能和延迟之间进行优化。可编程过采样率 (OSR) 与四种速度模式相结合，可优化带宽、分辨率和器件功耗的选择。

ADS125H18 配备一个通道序列发生器，后者会自动逐步调试配置的多路复用器输入，选择这些输入进行测量并启动 ADC 转换。该器件还具有 FIFO（先入先出）缓冲器，用于存储 ADC 转换结果和状态信息，直到主机控制器准备好从器件读取数据。

SPI 兼容串行接口用于配置器件和读取转换数据。该接口具有菊花链功能，可为多通道系统实现便捷的连接。集成的循环冗余校验 (CRC) 错误监控可提高系统级可靠性。

ADS125H18 的主时钟由内部 25.6MHz 振荡器或 CLKIN 引脚上提供的外部时钟提供。START 引脚同步数字滤波器过程。 $\overline{\text{RESET}}$  引脚复位 ADC。 $\overline{\text{DRDY}}$  是转换数据就绪输出信号。

电源电压 AVDD 通过内部稳压器 (CAPA) 为输入缓冲器、输入采样开关和调制器供电。电源电压 IOVDD 是数字 I/O 电压，它还使用内部稳压器 (CAPD) 为数字内核供电。内部稳压器可在提供一致性能水平的同时更大幅度地降低总体功耗。

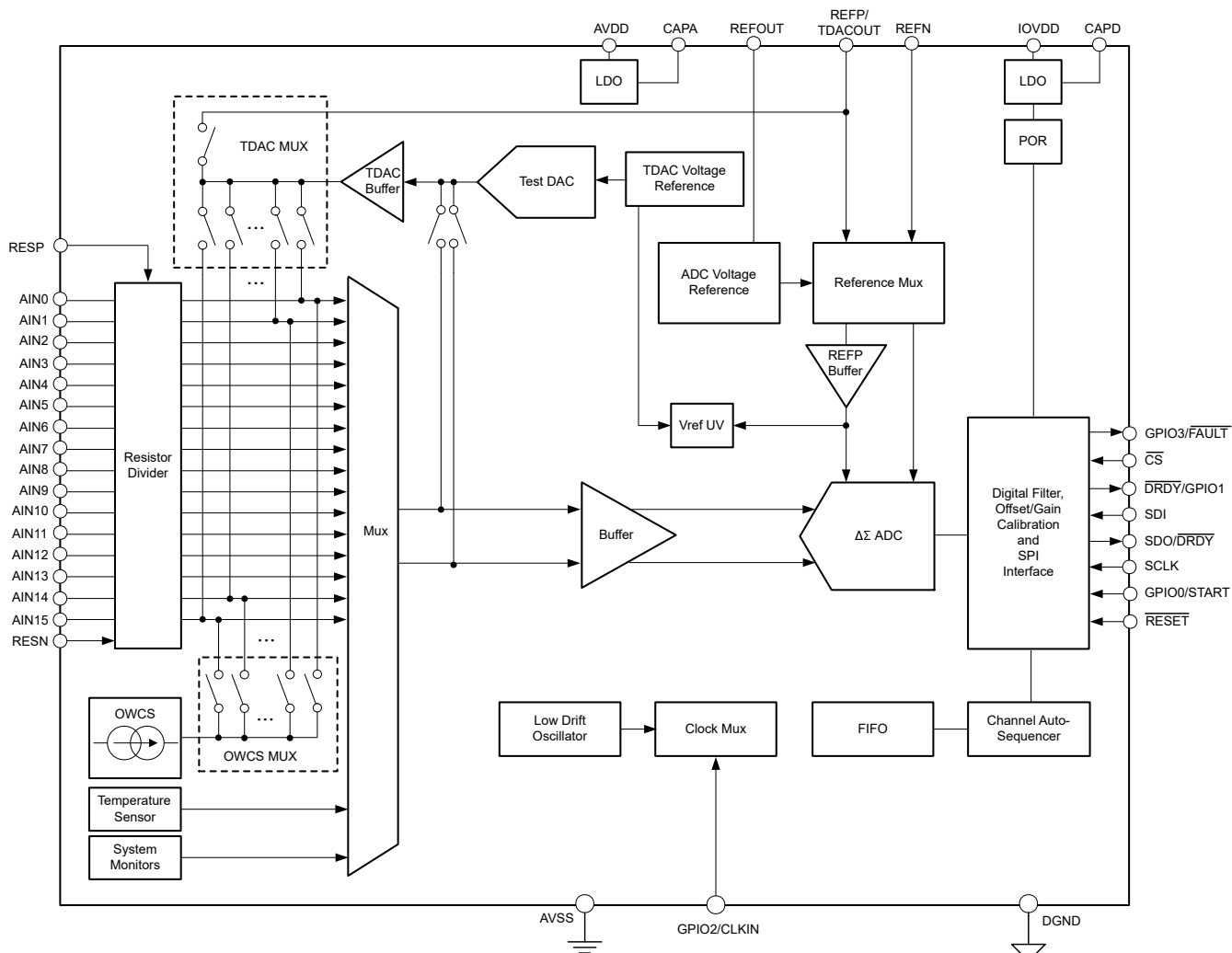
该器件集成了多种监控和诊断功能，可缓解和检测随机硬件故障，从而帮助开发功能安全的系统，例如：

- 电源和电压基准欠压监测器
- 通过 ADC 实现的电源和电压基准回读能力
- 开路检测电流源和电流阱路
- 调制器超范围监测器
- 集成温度传感器
- 集成式测试 DAC，用于生成测试电压来诊断 ADC 和输入多路复用器
- SPI 上的循环冗余校验 (CRC)，用于实现通信的高数据完整性
- 页面或寄存器访问故障监测器
- FIFO 上溢和下溢监测器
- FIFO CRC 故障检测器
- FIFO 深度指示器
- 寄存器和内存映射 CRC
- ADC 转换和序列计数器



该器件提供多达八个具有基于  $AVDD$  的逻辑电平的 GPIO ( 模拟 GPIO : AGPIO0 到 AGPIO7 ), 以及多达四个具有基于  $IOVDD$  的逻辑电平的 GPIO ( GPIO0 到 GPIO3 )。GPIO0 也可以配置为  $\overline{START}$  输入, GPIO1 默认配置为  $\overline{DRDY}$  输出, GPIO2 可以配置为 CLKIN 输入, GPIO3 可以配置为  $\overline{FAULT}$  输出。

## 7.2 功能方框图





## 7.3 特性说明

### 7.3.1 分压器和输入多路复用器

ADS125H18 有 17 个电压输入引脚，即 AIN0 至 AIN15 和 VINCOM。每个引脚连接到一个电阻分压器和内部多路复用器。多路复用器使这些输入端可以配置为输入对。多路复用器输出端连接到集成的真正轨到轨缓冲器的输入端。ADS125H18 最多可以控制 16 个活跃通道。ADS125H18 可以设置为最多拥有 16 路单端输入或 8 路全差分输入，或者单端和差分输入的组合。启用通道自动序列发生器时，通道会按照序列发生器配置所给出的顺序自动排序。有关详细信息，请参阅 [通道自动序列发生器](#) 部分。

图 7-1 的简化电路表示模拟输入结构，其中包括电阻分压器、输入多路复用器、ESD 二极管和轨到轨输入缓冲器。

对于器件型号 ADS125H18-V12、ADS125H18-V20 和 ADS125H18-V40，模拟输入端 AIN0 至 AIN15 上的分压器表现出的电阻比如表 7-1 所示。分压器由精密匹配电阻器组成，可在单一 5V 电源供电下实现如表 7-1 所示的输入电压范围。

**表 7-1. 电阻分压器实现和输入范围，Vref = 2.5V**

器件型号	R1	R2 = R3	衰减系数	绝对输入电压范围
V12	1.125M $\Omega$	375k $\Omega$	7	$\pm 12.5V$
V20		250k $\Omega$	10	$\pm 20.5V$
V40		125k $\Omega$	19	$\pm 40.5V$

输入多路复用器可控制在每个序列步骤中将哪些信号路由到 ADC 的正负输入端。可使用 STEPx\_AIN[4:0] 位 (x = 0 至 31) 以及 STEPx\_SYS\_MON[3:0] 位 (x = 0 至 31) 配置输入多路复用器。

输入多路复用器允许将以下输入连接到 ADC：

- 当选择 AINCOM 作为负多路复用器输入时，单端测量配置中十六个模拟输入 (AIN0 至 AIN15) 中的任何一个。输入电压以 RESN 引脚电压为基准进行测量。
- 当一个输入连接到正 ADC 输入，另一个输入连接到负 ADC 输入时，采用差分测量配置的十六个模拟输入 (AIN0 至 AIN15) 中的选定对。差分输入按以下配对方式进行配对：AIN0 与 AIN1、AIN2 与 AIN3、AIN4 与 AIN5、AIN6 与 AIN7、AIN8 与 AIN9、AIN10 与 AIN11、AIN12 与 AIN13 以及 AIN14 与 AIN15。
- 内部短接至 AVSS。可使用此设置对 ADC 进行自偏移校准。可使用 STEPx\_SYS\_MON[3:0] 位 (x = 0 至 31) 选择内部短接。
- 任何内部系统监测器，例如模拟电源 (AVDD-AVSS)/3、数字电源 (IOVDD-DGND)/3、内部子稳压电源 (CAPA-AVSS) 或 (CAPD-AVSS) 或基准电压 (REFP-REFN)/3。可使用 STEPx\_SYS\_MON[3:0] 位 (x = 0 至 31) 选择系统监测器。
- 内部温度传感器。可使用 STEPx\_SYS\_MON[3:0] 位 (x = 0 至 31) 选择内部温度传感器。
- 由测试 DAC 提供的 DC 测试信号。可使用 STEPx\_TDAC\_VAL[4:0] 和 STEPx\_TDAC\_SEL[4:0] 位 (x = 0 至 31) 选择测试 DAC 信号。

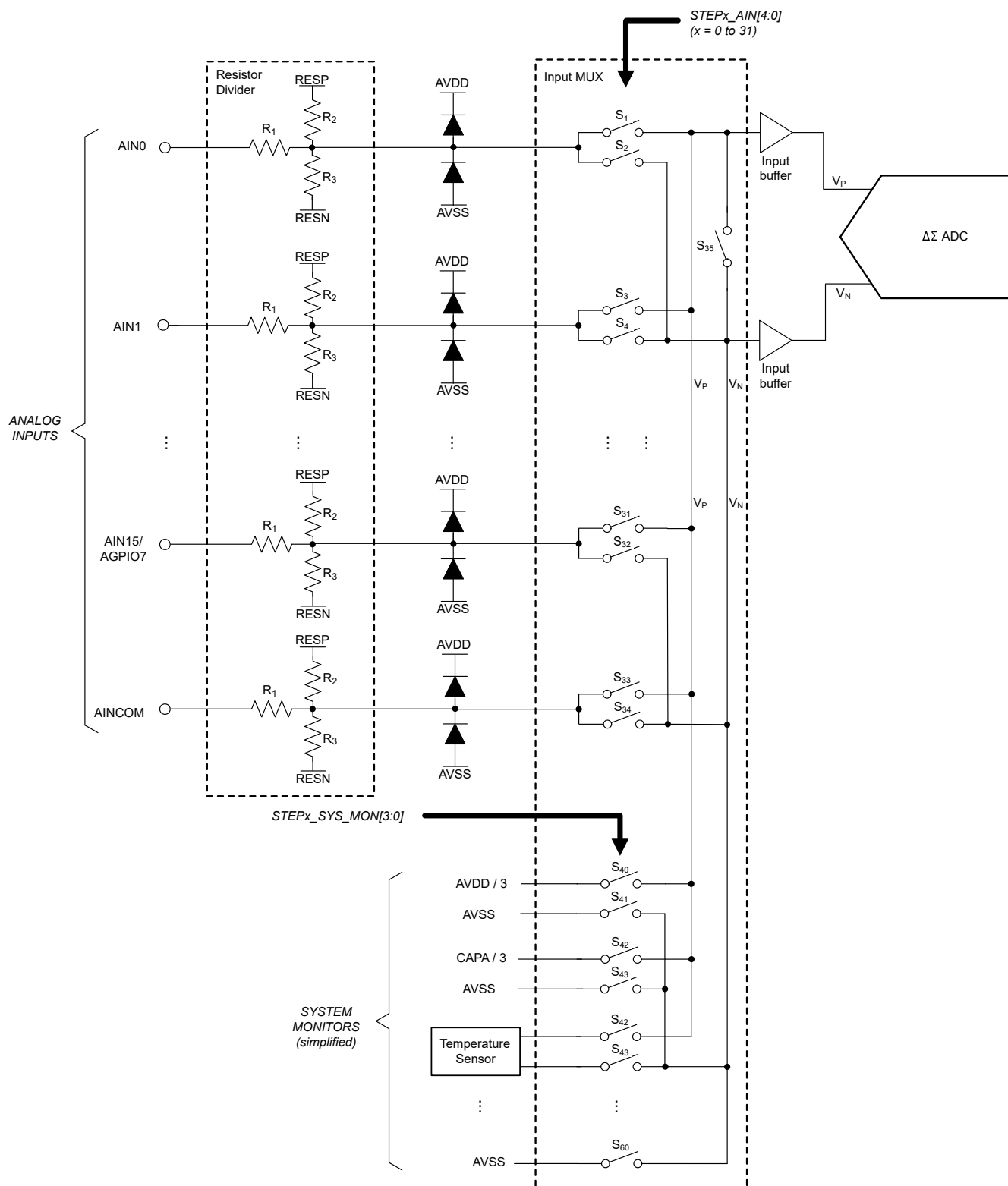


图 7-1. 分压器和输入多路复用器

表 7-2 展示了 图 7-1 中所述的输入多路复用器电路的开关配置。

表 7-2. 输入多路复用器配置

STEPx_INP[4:0] ( x = 0 至 31 )	SWITCH	说明
00000b	S <sub>1</sub>	选择 AIN0-RESN
00001b	S <sub>3</sub>	选择 AIN1-RESN
00010b	S <sub>5</sub>	选择 AIN2-RESN
00011b	S <sub>7</sub>	选择 AIN3-RESN
...	...	...
01110b	S <sub>29</sub>	选择 AIN14-RESN
01111b	S <sub>31</sub>	选择 AIN15-RESN
10000b	S <sub>xx</sub>	选择 AIN0-AIN1
10001b	S <sub>xx</sub>	选择 AIN2-AIN3
10020b	S <sub>xx</sub>	选择 AIN4-AIN5
10011b	S <sub>xx</sub>	选择 AIN6-AIN7
10100b	S <sub>xx</sub>	选择 AIN8-AIN9
10101b	S <sub>xx</sub>	选择 AIN10-AIN11
10110b	S <sub>xx</sub>	选择 AIN12-AIN13
10111b	S <sub>xx</sub>	选择 AIN14-AIN15
所有其他代码	不适用	所有开关均断开

ADC 的模拟输入为差分输入，输入定义为差分电压： $V_{IN} = V_{AINP} - V_{AINN}$ ，其中 AINP 和 AINN 表示任何选定的模拟输入对。为了获得出色性能，使用差分信号驱动输入，共模电压以  $1/2 V_s$  ( 即  $(AVDD + AVSS) / 2$  ) 为中心。

通过相应地配置 AVDD 和 AVSS，ADC 可接受单极或双极输入信号。[单极差分输入信号](#) 展示了在单极电源配置下的差分信号示例。当共模电压处于  $1/2 V_s$  ( $AVDD / 2$ ) 时，可提供对称输入电压余量。对于单极运行，使用  $AVDD = 5V$  和  $AVSS = 0V$  ( 在低速模式下，AVDD 可降至 3V )。[双极差分输入信号](#) 显示了双极配置下的差分信号示例。信号的共模电压通常为 0V。对于双极运行，使用  $AVDD$  和  $AVSS = \pm 2.5V$  ( 在低速模式下，AVDD 和 AVSS 可降至  $\pm 1.5V$  )。

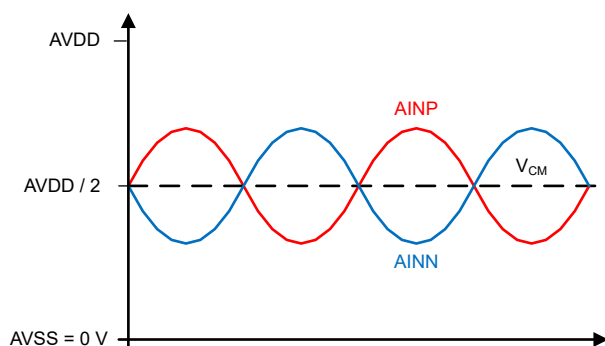


图 7-2. 单极差分输入信号

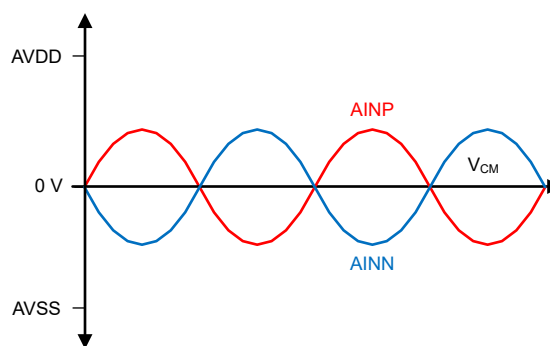


图 7-3. 双极差分输入信号

在双极和单极电源配置中，ADC 都通过将 AINN 输入连接到 AVSS、地或  $1/2 V_s$  来接受单端输入信号。但是，由于 AINN 现在是固定电压，ADC 的电压范围受 AINP 的输入摆幅范围的限制 ( 5V 电源为  $\pm 2.5V$  或 0V 至 5V )。

### 7.3.2 输入范围

模拟电压输入引脚 AIN0 至 AIN15 的输入范围基于基准电压  $V_{REF}$ 、ADC 的满量程范围和电阻分压器级的缩放系数。

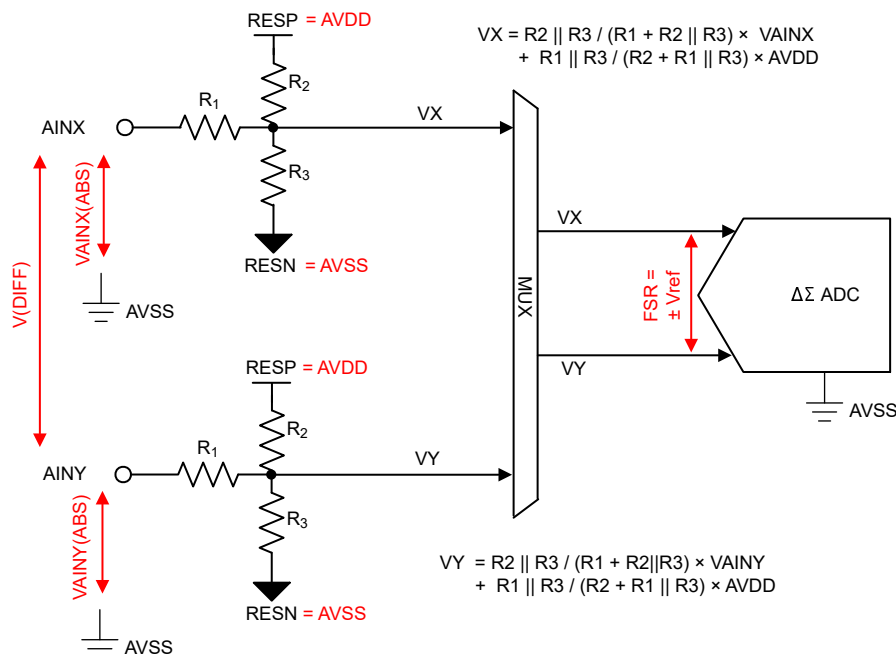


图 7-4. 输入范围缩放

表 7-3 展示了基于表 7-1 中给出的针对每个器件型号 ADS125H18-V12、ADS125H18-V20 和 ADS125H18-V40 的电阻分压器分压比的衰减系数。表 7-3 中还展示了差分满量程 (FSR)、额定差动输入电压范围 (用于验证精度) 和建议绝对输入电压 (以 AVSS 为基准)。

表 7-3. 输入范围规格,  $V_{ref} = 2.5V$

器件型号	输入引脚	衰减系数	差分 FSR <sup>(1)</sup> $V_{IN} = V_{AINX} - V_{AINY}$	额定差动输入电压	建议绝对输入电压, 基准为 AVSS, (AVSS = 0V)
V12	AIN0 至 AIN15	7	±17.5V	±12V	±12.5V
V20	AIN0 至 AIN15	10	±25.0V	±20V	±20.5V
V40	AIN0 至 AIN15	19	±47.5V	±40V	±40.5V

(1)  $FSR = \pm V_{REF} \times \text{衰减系数}$ 。

### 7.3.3 ADC 基准电压

运行需要基准电压。基准电压输入为差分电压, 定义为:  $V_{REF} = V_{REFP} - V_{REFN}$ , 施加到 REFP 和 REFN 输入。基准电压由内部基准在内部提供, 或在基准输入引脚 REFP 和 REFN 处外部提供。

图 7-5 显示了基准输入和基准多路复用器的方框图。使用 STEPx\_REF\_SEL 位为每个序列步骤选择内部基准或外部基准输入。在序列步骤期间选择任何系统监控器 (内部短路除外) 作为输入时, 选择内部基准并忽略此步骤中的 STEPx\_REF\_SEL 位。

如果为任何序列步骤选择了内部基准 (启用或禁用), 或者为任何序列步骤选择了除内部短路以外的系统监控器, 则启用内部基准并在 REFOUT 引脚处提供。否则, 如果所有序列步骤都使用外部基准或系统监控器的内部短路设置, 则禁用内部基准 (断电), 并且不会在 REFOUT 处提供。

如图 7-5 所示，基准输入具有与模拟输入相似的输入结构。ESD 二极管保护基准输入。为防止这些二极管导通，请确保基准引脚上的电压不得比 AVSS 低 0.3V 以上，也不得比 AVDD 高 0.3V 以上。在这些条件下，请使用外部钳位二极管和/或串联电阻器将输入电流限制为指定值。将 REFN 输入引脚从外部连接到 AVSS 以获得稳定的性能。

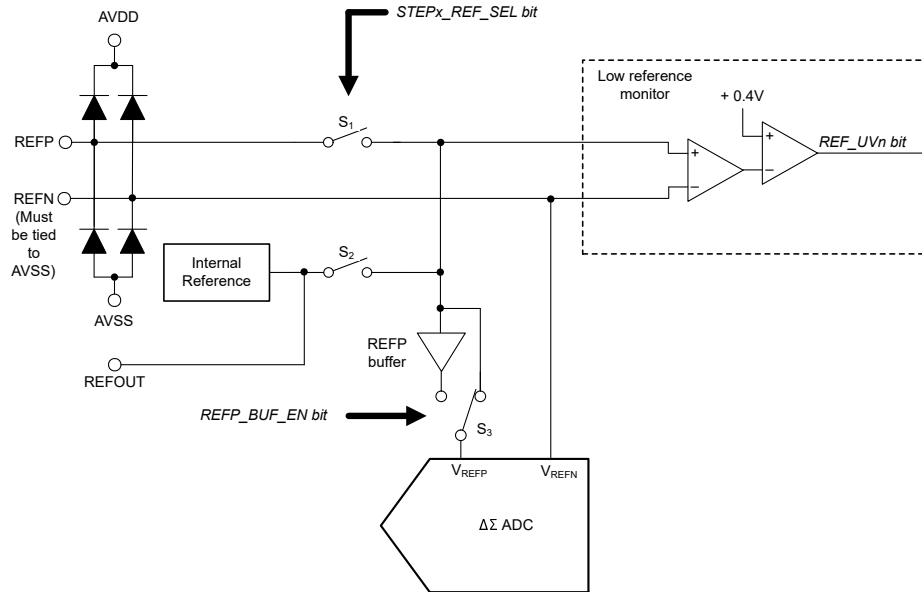


图 7-5. 基准输入和基准多路复用器电路

基准电压由采样电容器  $C_{REF}$  采样。在非缓冲模式下，电流流经基准输入，为采样电容器充电。电流由一个直流分量和一个交流分量组成，随调制器采样时钟的频率而变化。在采样阶段结束时  $t = 1/(2 \times f_{MOD})$ ，需要确保外部基准驱动器已经稳定，以便基准采样电容器可以稳定充电。基准电压不完全稳定会导致出现过多的增益误差和增益误差漂移。在较低速度模式下运行会降低调制器采样时钟频率，因此让基准驱动器有更多的时间稳定下来。

ADC 为 REFP 输入提供基准输入缓冲器选项，以便减少采样电容器消耗的电荷。由于缓冲器减少了采样电容器的充电需求，从而大大降低了外部驱动器的带宽要求。使用 REFP\_BUF\_EN 位配置 REFP 输入缓冲器，如图 7-5 所示。许多应用要么将 REFN 接地，要么将 REFN 连接到 AVSS。REFN 的基准输入缓冲器并非必需，因为 REFN 引脚必须连接到 AVSS 才能正常运行。

该器件包含一个低基准监控器，用于检测低基准或基准缺失的情况，如图 7-5 所示。如果差分基准电压 ( $V_{REF} = V_{REFP} - V_{REFN}$ ) 降至低于 0.4V (典型值)，将触发低基准警报。REF\_UVn 位指示低基准警报。使用低基准监控器可检测基准电压连接缺失或故障。在基准输入端连接 100kΩ 电阻器可提供必要的偏置。如果任一基准输入缺失或未连接，此外部电阻器会将基准输入相互偏置。低基准监控器是一个快速响应的模拟比较器；因此，基准电压中的瞬态变化可能会触发该警报。

### 7.3.4 电源

该器件需要两个电源：模拟 (AVDD) 和数字 (IOVDD)。模拟电源可以独立于数字电源进行选择。IOVDD 电源设置串行接口引脚 (CS、SCLK、SDI、SDO/DRDY) 和其他数字 I/O 引脚的逻辑电平。

#### 7.3.4.1 AVDD 和 AVSS

AVDD 和 AVSS 为器件的模拟电路供电。ADS125H18 可以配置为双极输入运行模式 (例如使用 ±2.5V 电源)，或者配置为单极输入运行模式 (例如 AVDD = 5V 和 AVSS = DGND)。在 AVDD 电源电压和 AVSS 引脚两端使用 1μF 和 0.1μF 旁路电容器的并联组合，并在这些电容器和 AVDD 引脚之间串联一个 3Ω 串联电阻器。将这些电阻器和电容器尽可能靠近 AVDD 引脚放置。

表 7-4 展示了 AVDD 和 AVSS 电源配置示例。

表 7-4. AVDD 和 AVSS 电源配置示例 (所有电压均以 DGND 为基准)

电源配置	速度模式 3 或 速度模式 2		速度模式 1 或 速度模式 0	
	AVDD	AVSS	AVDD	AVSS
单极	5V	0V	3V 至 5V	0V
双极	2.5V	-2.5V	1.5V 至 2.5V	-1.5V 至 -2.5V

### 7.3.4.2 IOVDD

IOVDD 是器件的数字 I/O 电源电压引脚。IOVDD 在内部调节至 1.25V，以便为数字内核供电。使用 1 $\mu$ F 和 0.1 $\mu$ F 电容器的并联组合将 IOVDD 旁路至 DGND。IOVDD 的电压电平与模拟电源配置无关。

### 7.3.4.3 CAPA 和 CAPD

CAPA 和 CAPD 是内部模拟和数字稳压器的输出电压。该稳压器用于降低电源电压，从而运行内部子电路，并非设计用于驱动外部负载。CAPA 是模拟稳压器电压输出，由 AVDD 供电。该输出电压为 1.6V，以 AVSS 为基准。使用一个 1 $\mu$ F 电容器将 CAPA 旁路至 AVSS。CAPD 是数字稳压器电压输出，由 IOVDD 供电。稳压器输出为 1.25V，以 DGND 为基准。使用一个 1 $\mu$ F 电容器将 CAPD 旁路至 DGND。

### 7.3.4.4 上电复位 (POR)

ADC 使用电源监控器来检测上电和电源欠压事件。IOVDD 数字电源的上电或下电上电会导致器件复位。模拟电源的上电或下电上电不会复位 ADC。

图 7-6 展示了 IOVDD 的数字上电阈值和内部 CAPD 电压。当电压低于相应阈值时，ADC 复位 (使用内部 POR 信号)，AVDD\_UVn 标志设置为 0b 以指示欠压情况。加电时，AVDD\_UVn 标志设置为 0b， $\overline{\text{DRDY}}$  随后在 SPI 通信准备就绪时切换为高电平。器件准备好进行 SPI 通信后，写入 1b 以清除 AVDD\_UVn 标志。

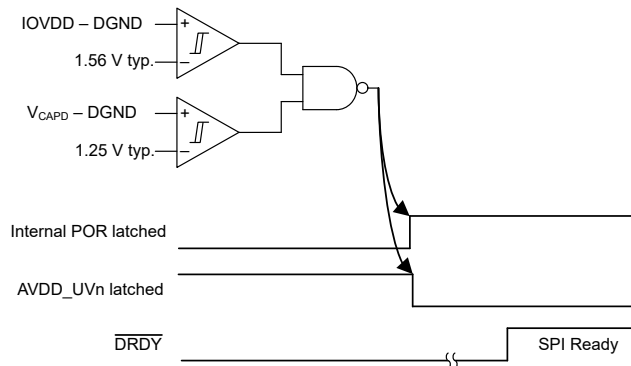


图 7-6. 数字电源阈值

图 7-7 展示了模拟电源的上电阈值。为四种模拟电源电压状况使用三个监测器 (AVDD - DGND)、(AVDD - AVSS) 和 (CAPA - AVSS)。在上电后所有电源和基准电压均达到稳定时，才能够获得有效的转换数据。当任何模拟电源电压降至相应阈值以下时，将 ADC\_REF\_STATUS 寄存器的 AVDD\_UVn 位设置为 0b。写入 1b 来清除该位，以便检测下一个模拟电源低电压条件。对模拟电源进行下电上电不会复位 ADC。由于 IOVDD 电源上的低电压也会复位内部模拟 LDO (CAPA)，因此也会设置模拟低电压标志 (AVDD\_UVn)。

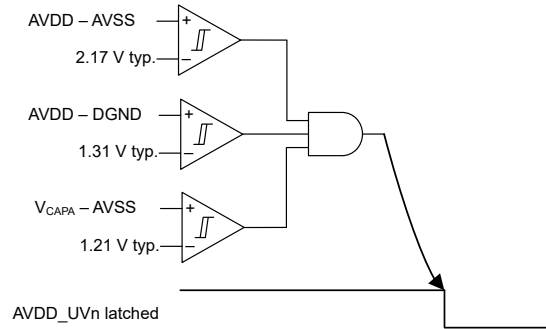


图 7-7. 模拟电源阈值

### 7.3.5 时钟运行

ADS125H18 需要主时钟 (CLK), ADC 才能运行。如 图 7-8 所示, ADC 的时钟通过以下两种方式之一提供:

- 由内部 25.6MHz 振荡器提供, 或者
- 由 GPIO2/CLKIN 引脚上的外部时钟提供

CLK\_SEL 位用于选择 ADC 的时钟源。在器件上电或器件复位后, 默认情况下会选择内部主振荡器作为时钟源。

时钟分频器将外部时钟频率  $f_{CLKIN}$  除以系数 1、2、8 或 16, 以生成主时钟频率  $f_{CLK}$ , 如 图 7-8 所示。使用 CLK\_DIV[1:0] 位配置时钟分频器。有关详细信息, 请参阅 [外部时钟](#) 部分。

内部振荡器的频率会自动缩放至由 SPEED\_MODE[1:0] 位选择的速度模式。有关详细信息, 请参阅 [内部振荡器](#) 部分。

$\Delta$ - $\Sigma$  ADC 的调制器时钟源自主时钟。时钟分频器将主时钟频率 ( $f_{CLK}$ ) 除以系数 2, 从而产生调制器频率 ( $f_{MOD} = f_{CLK} / 2$ ), 并且占空比为 50%。

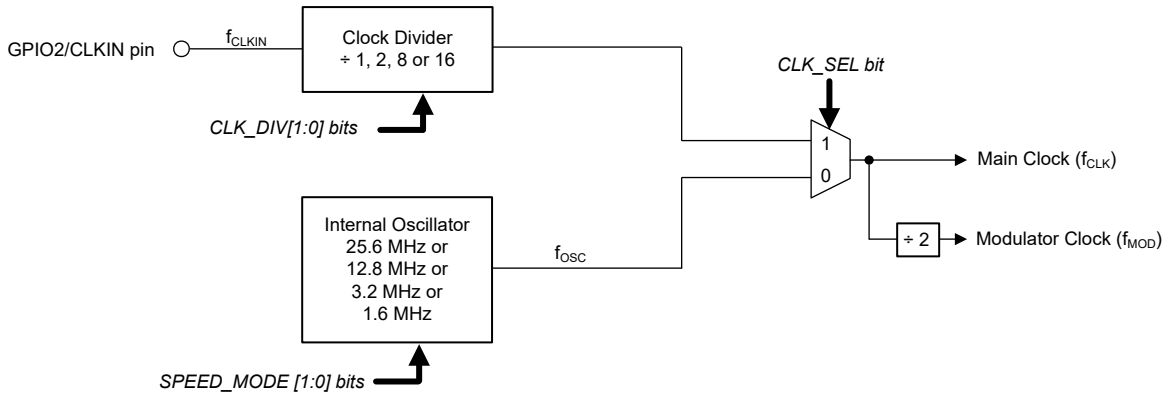


图 7-8. 时钟方框图

$f_{CLK}$  的标称值在速度模式 3 下为 25.6MHz, 在速度模式 2 下为 12.8MHz, 在速度模式 1 下为 3.2MHz, 在速度模式 0 下为 1.6MHz。表 7-5 展示了最小 OSR 设置下对应速度模式和相应数据速率的标称时钟频率。

表 7-5. ADC 时钟频率

SPEED_MODE[1:0] 位	速度模式	标称时钟频率 (MHz)	最大额定数据速率 (kSPS)
11b	速度模式 3	25.6	1066.6
10b	速度模式 2	12.8	533.3
01b	速度模式 1	3.2	133.333
00b	速度模式 0	1.6	66.67



在使用 CLK\_SEL 位更改时钟源之前，将器件置于断电模式，以防止时钟切换过程中出现时钟尖峰脉冲。从外部时钟源切换到内部振荡器时，在器件切换到内部主振荡器后，保持外部时钟继续运行。

### 7.3.5.1 内部振荡器

上电时和复位后，ADC 默认为内部振荡器模式 (CLK\_SEL 位 = 0b)。内部振荡器的频率会自动缩放至所选的速度模式，如 表 7-6 所示。当选择内部振荡器作为时钟源时，CLK\_DIV[1:0] 位将被忽略。由于与内部振荡器相关的时钟抖动，仅使用内部振荡器进行直流信号测量。使用内部振荡器时，不建议进行交流信号测量。

表 7-6. 内部时钟频率设置

SPEED_MODE[1:0] 位	速度模式	$f_{OSC}$ (MHz)、 $f_{CLK}$ (MHz)	$f_{MOD}$
11b	速度模式 3	25.6	12.8
10b	速度模式 2	12.8	6.4
01b	速度模式 1	3.2	1.6
00b	速度模式 0	1.6	0.8

### 7.3.5.2 外部时钟

要使用外部时钟运行 ADC，需使用 GPIO2\_CFG[1:0] 位将 GPIO2/CLKIN 引脚配置为时钟输入。然后，将 CLK\_SEL 位编程为 1b 并将该时钟信号施加于 CLK 引脚。该时钟可在标称时钟频率的基础上下降，以产生特定的数据速率。使用 CLK\_DIV[1:0] 位配置外部时钟分频器，如 表 7-7 所示。然而，当以较低的时钟频率运行时，转换噪声与在较高时钟频率下相同。只有增加 OSR 值或改变滤波器模式，才能降低转换噪声。

表 7-7. 外部时钟分频器设置

CLK_DIV[1:0]	除以	$f_{CLK}$ (MHz) 对于 $f_{CLKIN} = 25.6\text{MHz}$	$f_{MOD}$ (MHz) 对于 $f_{CLKIN} = 25.6\text{MHz}$
00b	1	25.6	12.8
01b	2	12.8	6.4
10b	8	3.2	1.6
11b	16	1.6	0.8

时钟抖动会导致调制器采样的时序发生变化，进而导致 SNR 性能下降。低抖动时钟对于满足数据表 SNR 性能至关重要。例如，当信号频率为 200kHz 时，需要抖动小于 10ps (rms) 的外部时钟。对于较低的信号频率，时钟抖动要求可随信号频率每降低十倍频程而放宽 -20dB。例如，当  $f_{IN} = 20\text{kHz}$  时，可以接受抖动为 100ps 的时钟。许多类型的 RC 振荡器会表现出较高的抖动水平，必须避免用于交流信号测量。请使用基于晶体的时钟振荡器作为时钟源。避免时钟输入上出现振铃。放置在时钟缓冲器输出端的串联电阻通常有助于减少振铃。

### 7.3.6 调制器

ADS125H18 使用具有 5 位内部量化器的开关电容器、三阶、单环路调制器。这种调制器拓扑实现了出色的噪声和线性性能，同时功耗极低。与大多数由高振幅带外信号驱动的高阶调制器一样，它也可能发生调制器饱和。饱和时，带内信号仍会转换，但本底噪声会增加。图 7-9 展示了为避免调制器饱和而设定的带外信号振幅限制。直流和带内信号的振幅限制比标准满量程高 1dB。



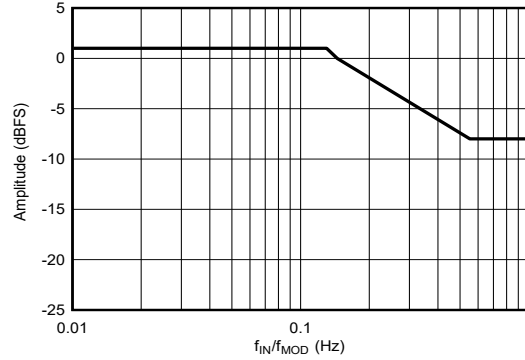


图 7-9. 为避免调制器饱和而设置的振幅限制

调制器饱和由 ADC\_REF\_STATUS 寄存器的 MOD\_OVR\_FAULTn 位指示。调制器饱和状态会在转换期间锁存，并通过向该寄存器位写入 1b 来清除。通过在 ADC 输入端使用抗混叠滤波器，可避免因带外信号而产生的调制器饱和。

### 7.3.7 数字滤波器

数字滤波器对来自调制器的低分辨率、高速数据进行平均和抽取处理，以产生高分辨率、低速输出数据。可编程过采样比 (OSR) 决定了影响信号带宽和转换噪声的滤波量，以及通过抽取实现的最终数据速率。输出数据速率由以下公式定义： $f_{DATA} = f_{MOD} / OSR$ 。

数字滤波器是一种级联积分梳状 (CIC) 拓扑，可在转换数据通过滤波器传播时更大限度地减少延迟 (延时)。由于具有特征  $\sin x/x$  (sinc) 频率响应，CIC 滤波器被称为 sinc 滤波器。短延迟时间使该滤波器非常适合用于快速采集直流信号或用在控制环路中。

如图 7-10 所示，该器件提供了可编程 OSR 和多种滤波器配置：sinc3、sinc4，可选择 sinc4 之后的级联 sinc1 级 (sinc4 + sinc1)，以及 50/60Hz 陷波滤波器。数字滤波器的配置允许在采集时间、噪声性能和线路周期抑制之间进行权衡。

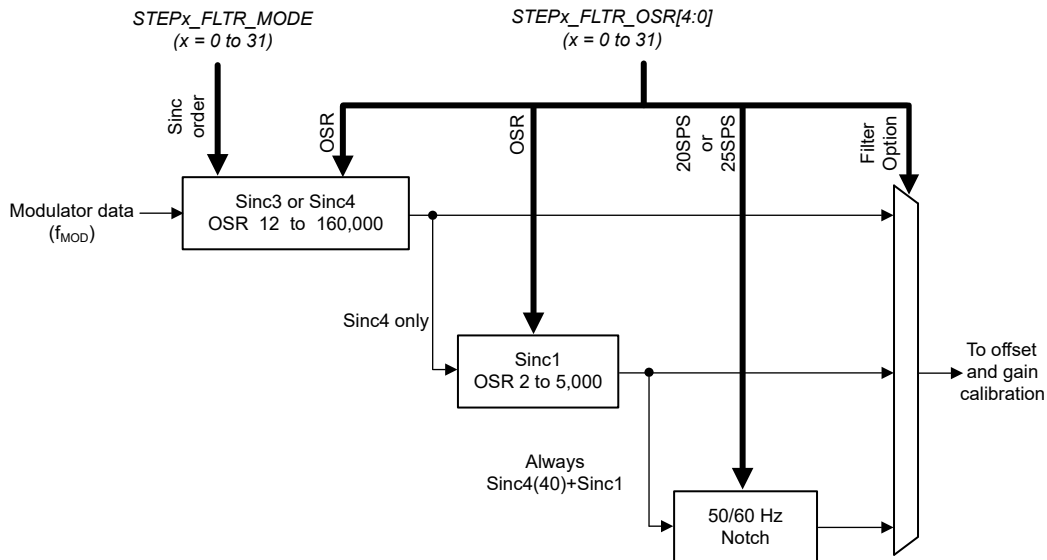


图 7-10. 数字滤波器方框图

可用的滤波器选项包括：

- Sinc3 仅适用于 12 至 160,000 的可变 OSR (STEPx\_FLTR\_MODE = 1b)
- Sinc4 仅适用于 12 至 160,000 的可变 OSR (STEPx\_FLTR\_MODE = 0b)

- OSR = 32 的 Sinc4，后跟具有 2 到 5,000 可变 OSR 的 sinc1：对于此选项，将会忽略用于选择 sinc3 或 sinc4 的 STEP<sub>x</sub>\_FLTR\_MODE 位，因为第一级始终使用 sinc4 滤波器。
- OSR = 40 的 Sinc4，后跟具有预设 OSR 的 sinc1，后跟 50/60Hz 陷波 FIR 滤波器：对于此选项，可选择两种数据速率，即 20SPS 数据速率或 25SPS 数据速率。有关详细信息，请参阅 [50/60Hz 陷波滤波器](#) 部分。

ADS125H18 通过高度灵活的通道自动序列发生器控制 ADC 转换，可参阅 [通道自动序列发生器](#) 部分了解详细信息。对于每个序列步骤，滤波器配置都可单独编程。OSR 由 STEP<sub>x</sub>\_FLTR1\_CFG 寄存器中的 STEP<sub>x</sub>\_FLTR\_OSR[4:0] 位 (x = 0 至 31) 设置，sinc 滤波器 (sinc3 或 sinc4) 的顺序由 STEP<sub>x</sub>\_FLTR1\_CFG 寄存器中的 STEP<sub>x</sub>\_FLTR\_MODE 位设置。有关如何分别为每个序列发生器步骤配置滤波器的详细信息，请参阅 [配置自动序列发生器](#) 部分。

[方程式 17](#) 是 sinc 滤波器频率响应的一般表达式。对于单级 sinc 滤波器选项 (例如单级 sinc3 或 sinc4 滤波器)，不会使用第二项。

$$|H(f)| = \left| \frac{\sin \left[ \frac{A\pi f}{f_{\text{MOD}}} \right]}{A \sin \left[ \frac{\pi f}{f_{\text{MOD}}} \right]} \right|^n \cdot \left| \frac{\sin \left[ \frac{AB\pi f}{f_{\text{MOD}}} \right]}{B \sin \left[ \frac{A\pi f}{f_{\text{MOD}}} \right]} \right| \quad (17)$$

其中：

- f = 信号频率
- A = 1 级 OSR
- B = 2 级 OSR
- $f_{\text{MOD}} = f_{\text{CLK}} / 2 = 12.8\text{MHz}$  (速度模式 3，标称值)、 $6.4\text{MHz}$  (速度模式 2，标称值)、 $1.6\text{MHz}$  (速度模式 1，标称值)、 $0.8\text{MHz}$  (速度模式 0，标称值)
- n = 1 级滤波器的阶数 (3 或 4)

### 7.3.7.1 数字滤波器延时

启动或重新启动转换时，数字滤波器会复位并需要一段时间才能提供稳定的输出数据。该时间称为延迟时间  $t_{\text{LATENCY}}$ 。ADS125H18 会在内部隐藏不稳定的数据，仅通过  $\overline{\text{DRDY}}$  下降沿或 DRDY 位来指示稳定的转换数据何时可用。[表 7-8](#) 和 [表 7-11](#) 总结了各种速度模式和数字滤波器设置的延迟时间。延迟时间从寄存器写入帧的  $\overline{\text{CS}}$  上升沿 (其中 START 位在空闲模式下设置为 1b，或 START 引脚的置为有效/上升沿) 到第一个 DRDY 下降沿之间进行测量。由于 SPI 时钟域中的  $\overline{\text{CS}}$  信号由在调制器时钟域上运行的数字滤波器逻辑锁存，因此所提供的延迟时间具有  $\pm 1 t_{\text{MOD}}$  的不确定性。第二次和所有后续转换的转换周期等于  $t_{\text{DATA}} = 1/f_{\text{DATA}} = \text{OSR}/f_{\text{MOD}}$ ，如 [图 7-11](#) 所示。

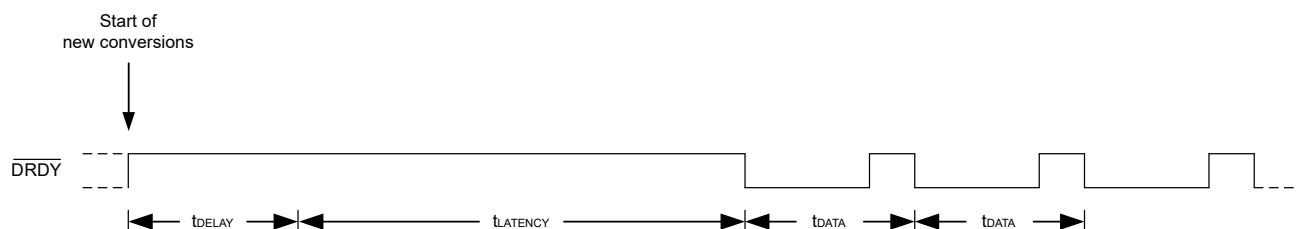


图 7-11. 延迟时间和转换周期

在某些情况下，延迟时间会增加：

- 从待机模式开始转换时：增加 10 到  $33 t_{\text{MOD}}$  (这取决于速度模式)。
- 当通过写入重新启动转换的寄存器来重新启动正在进行的转换时：转换停止，用户需要写入 START 位 (或将 START 引脚置为有效) 才能再次启动转换。

此外，可以添加可编程延迟时间，在设置 **START** 位后（或 **START** 引脚上升沿之后）延迟转换周期的开始。该延迟时间允许外部元件（例如退出待机模式后的电压基准）稳定，或在通过多路复用器切换信号时产生额外的稳定时间。如图 7-11 所示，延迟时间仅添加到转换开始后的第一次转换，或者在序列发生器处于活动状态时，在每个新序列步骤开始时添加到第一次转换。在序列发生器运行时，可以为每个单独的序列步骤独立配置可编程延迟时间。有关可编程延迟时间的详细信息，请参阅 [转换开始延迟时间](#) 一节。

有关使用序列发生器时的延时和稳定的更多详细信息，另请参阅 [自动序列发生器和  \$\overline{DRDY}\$  行为](#) 一节。

### 7.3.7.2 Sinc3 和 Sinc4 滤波器

sinc 滤波器对高速调制器数据进行平均值计算和抽取、在降低的数据速率下生成高分辨率输出数据。增大 OSR 值会降低数据速率，同时降低因抽取和数据平均增加而产生的信号带宽和转换噪声。表 7-8 列出了 sinc3 和 sinc4 滤波器 - 3dB 频率和延迟时间。延迟时间（显示单位为  $\mu s$ ）是针对标称时钟频率给出的，这些值随时钟频率而缩放。

**表 7-8. Sinc3 和 Sinc4 滤波器特性**

SPEED 模式	$f_{CLK}$ (MHz)	OSR	数据速率 (kSPS)	- 3dB 频率 (kHz)		延迟时间 ( $\mu s$ )	
				SINC3	SINC4	SINC3	SINC4
3	25.6	12	1066.67	279.5	242.3	3.9	4.8
2	12.8		533.33	139.7	121.2	7.7	9.6
1	3.2		133.33	34.9	30.3	30.9	38.4
0	1.6		66.67	17.5	15.1	61.9	76.9
3	25.6	16	800	209.6	181.8	4.8	6.1
2	12.8		400	104.8	90.9	9.6	12.1
1	3.2		100	26.2	22.7	38.4	48.4
0	1.6		50	13.1	11.4	76.9	96.9
3	25.6	24	533.33	139.7	121.2	6.7	8.6
2	12.8		266.67	69.9	60.6	13.4	17.1
1	3.2		66.67	17.5	15.1	53.4	68.4
0	1.6		33.33	8.7	7.6	106.9	136.9
3	25.6	32	400	104.8	90.9	8.6	11.1
2	12.8		200	52.4	45.4	17.1	22.1
1	3.2		50	13.1	11.4	68.4	88.4
0	1.6		25	6.6	5.7	136.9	176.9
3	25.6	64	200	52.4	45.4	16.1	21.1
2	12.8		100	26.2	22.7	32.1	42.1
1	3.2		25	6.6	5.7	128.4	168.4
0	1.6		12.5	3.3	2.8	256.9	336.9
3	25.6	128	100	26.2	22.7	31.1	41.1
2	12.8		50	13.1	11.4	62.1	82.1
1	3.2		12.5	3.3	2.8	248.4	328.4
0	1.6		6.25	1.6	1.4	496.9	656.9
3	25.6	256	50	13.1	11.36	61.1	81.1
2	12.8		25	6.55	5.68	122.1	162.1
1	3.2		6.25	1.64	1.42	488.4	648.4
0	1.6		3.13	0.82	0.71	976.9	1296.9

表 7-8. Sinc3 和 Sinc4 滤波器特性 (续)

SPEED 模式	f <sub>CLK</sub> (MHz)	OSR	数据速率 (kSPS)	- 3dB 频率 (kHz)		延迟时间 (μs)	
				SINC3	SINC4	SINC3	SINC4
3	25.6	512	25	6.55	5.68	121.1	161.1
2	12.8		12.5	3.28	2.84	242.1	322.1
1	3.2		3.13	0.82	0.71	968.4	1288.4
0	1.6		1.56	0.41	0.35	1936.9	2576.9
3	25.6	1024	12.5	3.28	2.84	241.1	321.1
2	12.8		6.25	1.64	1.42	482.1	642.1
1	3.2		1.56	0.41	0.35	1928.4	2568.4
0	1.6		0.78	0.204	0.177	3856.9	5136.9
3	25.6	2048	6.25	1.638	1.42	481.1	641.1
2	12.8		3.13	0.82	0.711	962.1	1282.1
1	3.2		0.78	0.204	0.177	3848.4	5128.4
0	1.6		0.39	0.102	0.089	7696.9	10256.9
3	25.6	4000	3.2	0.838	0.727	938.6	1251.1
2	12.8		1.6	0.419	0.364	1877.1	2502.1
1	3.2		0.4	0.105	0.091	7508.4	10008.4
0	1.6		0.2	0.052	0.045	15016.9	20016.9
3	25.6	8000	1.6	0.419	0.364	1876.1	2501.1
2	12.8		0.8	0.21	0.182	3752.1	5002.1
1	3.2		0.2	0.052	0.045	15008.4	20008.4
0	1.6		0.1	0.026	0.023	30016.9	40016.9
3	25.6	16000	0.8	0.21	0.182	3751.1	5001.1
2	12.8		0.4	0.105	0.091	7502.1	10002.1
1	3.2		0.1	0.026	0.023	30008.4	40008.4
0	1.6		0.05	0.013	0.011	60016.9	80016.9
3	25.6	26667	0.48	0.126	0.109	6251.1	8334.5
2	12.8		0.24	0.063	0.055	12502.3	16669
1	3.2		0.06	0.016	0.014	50009.1	66675.9
0	1.6		0.03	0.008	0.007	100018.1	133351.9
3	25.6	32000	0.4	0.105	0.091	7501.1	10001.1
2	12.8		0.2	0.052	0.045	15002.1	20002.1
1	3.2		0.05	0.013	0.011	60008.4	80008.4
0	1.6		0.03	0.008	0.007	120016.9	160016.9
3	25.6	96000	0.13	0.034	0.03	22501.1	30001.1
2	12.8		0.07	0.018	0.016	45002.1	60002.1
1	3.2		0.02	0.005	0.005	180008.4	240008.4
0	1.6		0.008	0.002	0.002	360016.9	480016.9
3	25.6	160000	0.08	0.021	0.018	37501.1	50001.1
2	12.8		0.04	0.01	0.009	75002.1	100002.1
1	3.2		0.01	0.003	0.002	300008.4	400008.4
0	1.6		0.005	0.001	0.001	600016.9	800016.9

图 7-12 和图 7-13 展示了 sinc 滤波器频率响应。频率响应在  $f_{\text{DATA}}$  及其整数倍处出现一系列响应零位。在零频率时，滤波器具有零增益。图 7-13 展示了频率响应从  $f_{\text{MOD}}/2$  开始出现的折叠。在接近  $n \times f_{\text{MOD}}$  ( $n = 1, 2, 3$  等) 的输入频率下，滤波器不会提供衰减。

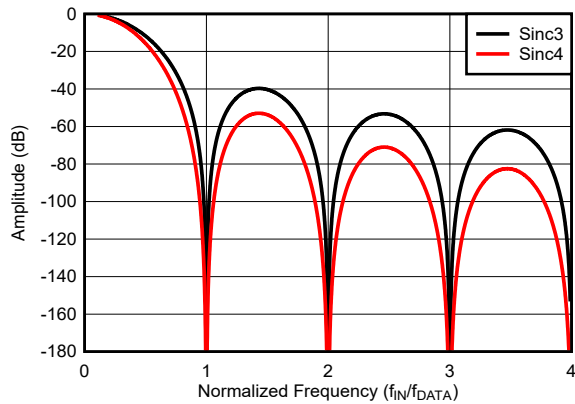


图 7-12. Sinc3 和 Sinc4 频率响应

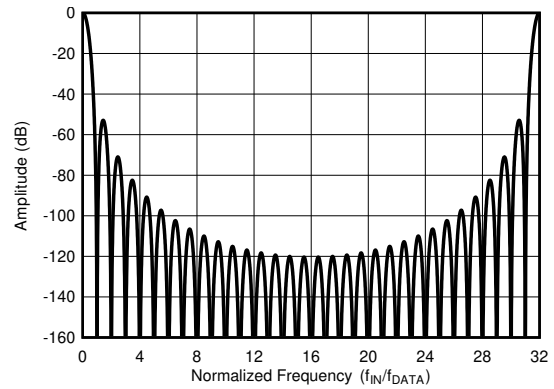


图 7-13.  $f_{MOD}$  的 Sinc4 频率响应 (OSR = 32)

表 7-9 展示了数据速率等于公共线路周期频率时一些选定滤波器的正常模式抑制。

表 7-9. 正常模式抑制

SPEED 模式 (1)	OSR	$f_{DATA}$ (SPS)	数字滤波器响应 (dB)			
			2% 时钟变化		6% 时钟变化	
			SINC3 滤波器	SINC4 滤波器	SINC3 滤波器	SINC4 滤波器
1	96000	16.6	-100dB	-135dB	-72dB	-95dB
1	32000	50				
1	26667	60				
1	8000	200				
1	4000	400				

(1) 使用每个速度模式的标称时钟频率： $f_{CLK} = 25.6\text{MHz}$  (速度模式 3)、 $12.8\text{MHz}$  (速度模式 2)、 $3.2\text{MHz}$  (速度模式 1)、 $1.6\text{MHz}$  (速度模式 0)。

如果 ADC 连接引线靠近工业电机和导体，可能会发生 50Hz 和 60Hz 电源线频率耦合。耦合噪声会干扰信号电压，并可能导致转换不准确或不稳定。数字滤波器能够增强对 60SPS 及以下数据速率下的电力线耦合噪声的抑制。可对滤波器进行编程，以权衡数据速率和转换延迟与所需的线路周期抑制水平。表 7-10 基于电源线频率相对于 ADC 时钟频率的  $\pm 1\text{Hz}$  容差，以及 0% (如外部时钟) 与 1% (如内部时钟) 的额外时钟容差，总结了 50Hz 与 60Hz 线路周期抑制性能。高阶 sinc 滤波器使用精确的 ADC 时钟来提供出色的电源线抑制。

表 7-10. 50Hz 和 60Hz 线路周期抑制

SPEED 模式 (1)	OSR	滤波器类型	f <sub>DATA</sub> (SPS)	数字滤波器响应 (dB)			
				50Hz ± 1Hz		60Hz ± 1Hz	
				时钟容差：(2)			
				0%	1%	0%	1%
0	160000	Sinc4	5	-137.5	-126.1	-144.0	-131.0
0	160000	Sinc3	5	-103.1	-94.6	-108.0	-98.3
1	160000	Sinc4	10	-135.8	-122.1	-142.2	-126.5
1	160000	Sinc3	10	-101.8	-91.6	-106.7	-94.8
1	96000	Sinc4	16.6̄	-135.4	-121.2	-84.0	-83.3
1	96000	Sinc3	16.6̄	-101.6	-90.9	-63.0	-62.5
0	32000	Sinc4	25	-135.3	-121.0	-71.4	-71.3
0	32000	Sinc3	25	-101.5	-90.7	-53.5	-53.5
1	32000	Sinc4	50	-135.2	-120.8	-62.3	-61.1

表 7-10. 50Hz 和 60Hz 线路周期抑制 (续)

SPEED 模式 (1)	OSR	滤波器类型	f <sub>DATA</sub> (SPS)	数字滤波器响应 (dB)			
				50Hz ± 1Hz		60Hz ± 1Hz	
				时钟容差：(2)			
				0%	1%	0%	1%
1	32000	Sinc3	50	-101.4	-90.6	-46.7	-45.9
1	26667	Sinc4	60	-53.8	-52.1	-141.7	-125.0
1	26667	Sinc3	60	-40.4	-39.1	-106.3	-93.8
0	16000	Sinc4	50	-135.2	-120.8	-62.3	-61.1
0	16000	Sinc3	50	-101.4	-90.6	-46.7	-45.9

(1) 使用每个速度模式的标称时钟频率: f<sub>CLK</sub> = 25.6MHz (速度模式 3)、12.8MHz (速度模式 2)、3.2MHz (速度模式 1)、1.6MHz (速度模式 0)。

(2) 0% 的时钟容差对应于外部时钟, 1% 的时钟容差对应于内部时钟。

### 7.3.7.3 Sinc4 + Sinc1 级联滤波器

对于选定的数据速率, sinc4 滤波器提供了级联 sinc1 滤波器部分的选项。与单级 sinc3 或 sinc4 滤波器相比, 级联 sinc1 滤波器可在以相同数据速率运行时缩短延迟时间。但是, 因为在数据速率频率下具有较宽的频率抑制范围, sinc3 和 sinc4 滤波器能够更好地抑制接近陷波频率的干扰信号。在级联模式下运行时, sinc4 级的 OSR 固定为 32 (OSR = A), 而 sinc1 级的抽取 (OSR = B) 决定了输出数据速率。级联滤波器的第一级固定为 sinc4, 这意味着会忽略由 STEP<sub>x</sub>\_FLTR1\_CFG 寄存器中的 STEP<sub>x</sub>\_FLTR\_MODE 位设置的 sinc 滤波器配置 (其中对于序列步骤, x = 0 至 31)。表 7-11 汇总了级联滤波器特性。

表 7-11. Sinc4 + Sinc1 级联滤波器特性

SPEED 模式	f <sub>CLK</sub> (MHz)	OSR (A × B) (1)	数据速率 (SPS)	- 3dB 频率 (Hz)	延时时间 (μs)
3	25.6	64 (32 × 2)	200000	88320	13.60
2	12.8		100000	44160	27.10
1	3.2		25000	11040	108.40
0	1.6		12500	5520	216.90
3	25.6	128 (32 × 4)	100000	44160	18.60
2	12.8		50000	22080	37.10
1	3.2		12500	5520	148.40
0	1.6		6250	2760	296.90
3	25.6	256 (32 × 8)	50000	22080	28.60
2	12.8		25000	11040	57.10
1	3.2		6250	2760	228.40
0	1.6		3125	1380	456.90
3	25.6	512 (32 × 16)	25000	11040	48.60
2	12.8		12500	5520	97.10
1	3.2		3125	1380	388.40
0	1.6		1562.5	690	776.90
3	25.6	1024 (32 × 32)	12500	5520	88.60
2	12.8		6250	2760	177.10
1	3.2		1562.5	690	708.40
0	1.6		781.25	345	1416.90

表 7-11. Sinc4 + Sinc1 级联滤波器特性 ( 续 )

SPEED 模式	f <sub>CLK</sub> (MHz)	OSR (A × B) <sup>(1)</sup>	数据速率 (SPS)	- 3dB 频率 (Hz)	延时时间 (μs)
3	25.6	2048 (32 × 64)	6250	2760	168.60
2	12.8		3125	1380	337.10
1	3.2		781.25	345	1348.40
0	1.6		390.63	172.5	2696.90
3	25.6	4000 (32 × 125)	3200	1413.12	321.10
2	12.8		1600	706.56	642.10
1	3.2		400	176.64	2568.40
0	1.6		200	88.32	5136.90
3	25.6	8000 (32 × 250)	1600	706.56	633.60
2	12.8		800	353.28	1267.10
1	3.2		200	88.32	5068.40
0	1.6		100	44.16	10136.90
3	25.6	16000 (32 × 500)	800	353.28	1258.60
2	12.8		400	176.64	2517.10
1	3.2		100	44.16	10068.40
0	1.6		50	22.08	20136.90
3	25.6	26656 (32 × 833)	480.19	212.052	2091.10
2	12.8		240.1	106.028	4182.10
1	3.2		60.02	26.505	16728.40
0	1.6		30.01	13.252	33456.90
3	25.6	32000 (32 × 1000)	400	176.64	2508.60
2	12.8		200	88.32	5017.10
1	3.2		50	22.08	20068.40
0	1.6		25	11.04	40136.90
3	25.6	96000 (32 × 3000)	133.33	58.879	7508.60
2	12.8		66.67	29.441	15017.10
1	3.2		16.67	7.361	60068.40
0	1.6		8.33	3.679	120136.90
3	25.6	160000 (32 × 5000)	80	35.328	12508.60
2	12.8		40	17.664	25017.10
1	3.2		10	4.416	100068.40
0	1.6		5	2.208	200136.90

(1) A = sinc4 第一级 OSR, B = sinc1 第二级的 OSR。

图 7-14 展示了 sinc4 + sinc1 级联滤波器的频率响应，OSR = 26,667 和 32,000，在速度模式 1 下运行时表示 f<sub>DATA</sub> = 50SPS 和 60SPS。频率响应中的零位在 n × f<sub>DATA</sub> 时发生，n = 1、2、3 等。在零频率时，滤波器具有零增益。假设没有 ADC 时钟频率误差，正常模式抑制为 34dB ( 典型值 )，在零频率处，信号频率可以在预期频率的 ±2% 范围内变化。



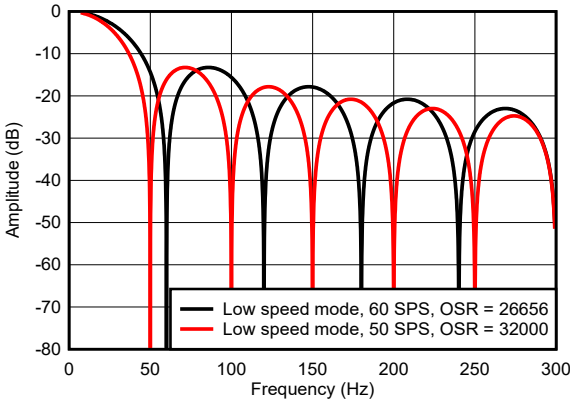


图 7-14. Sinc4 + Sinc1 级联滤波器频率响应

表 7-12 基于电源线路与 ADC 时钟频率之间 2% ( 50Hz 对应 1Hz 偏差 ) 及 6% 的比率容差，总结了 50Hz 和 60Hz 线路周期抑制性能。

表 7-12. 级联滤波器的 50Hz 和 60Hz 线路周期抑制

SPEED 模式 (1)	OSR	滤波器类型	f <sub>DATA</sub> (SPS)	数字滤波器响应 (dB)			
				50Hz ± 1Hz		60Hz ± 1Hz	
				时钟容差：(2)			
				0%	1%	0%	1%
0	160000 (32 × 5,000)	Sinc4	5	-34.4	-31.5	-36.0	-32.8
1	160000 (32 × 5,000)	Sinc4	10	-33.9	-30.5	-35.6	-31.6
1	96000 (32 × 3,000)	Sinc4	16.6̄	-33.9	-30.3	-21.0	-20.8
0	32000 (32 × 1,000)	Sinc4	25	-33.8	-30.2	-17.8	-17.8
1	32000 (32 × 1,000)	Sinc4	50	-33.8	-30.2	-15.6	-15.3
1	26656 (32 × 833)	Sinc4	60	-15.0	-14.7	-35.2	-31.2
0	16000 (32 × 500)	Sinc4	50	-33.8	-30.2	-15.6	-15.3

(1) 使用每个速度模式的标称时钟频率：f<sub>CLK</sub> = 25.6MHz ( 速度模式 3 )、12.8MHz ( 速度模式 2 )、3.2MHz ( 速度模式 1 )、1.6MHz ( 速度模式 0 )。

(2) 0% 的时钟容差对应于外部时钟，1% 的时钟容差对应于内部时钟。

#### 7.3.7.4 50/60Hz 陷波滤波器

数字滤波器提供 20SPS 和 25SPS 滤波器选项，使用自定义系数 ( 非 sinc ) FIR 滤波器来同时抑制 50Hz 和 60Hz。20SPS 滤波器可提供更好的线路周期抑制，而 25SPS 滤波器可提供更低的延迟。这两个滤波器都保持固定的输出数据速率，与所选的速度模式无关。自定义 FIR 陷波滤波器之前 sinc<sup>1</sup> 滤波器的 OSR 随速度模式的变化而变化，以始终将输入数据速率降低至 800SPS。要在使用外部时钟时实现所述的正常模式抑制，请针对各自的速度模式选择等于标称时钟频率的时钟频率。

表 7-13 和 表 7-14 展示了 20SPS 和 25SPS 滤波器选项 ( 包含和不包含时钟容差 ) 的延迟和正常模式抑制。所有速度模式的正常模式抑制都是相同的，但由于前一个 sinc 滤波器在不同速度模式下的稳定存在差异，因此延迟存在差异。



表 7-13. 20SPS 滤波器延迟以及 50Hz 和 60Hz 线路周期抑制

SPEED 模式	f <sub>CLK</sub> (MHz)	延时 (ms)	数字滤波器响应 (dB)			
			50Hz ± 1Hz		60Hz ± 1Hz	
			时钟容差：			
			0%	1%	0%	1%
3	1.6	51.40	-95.3	-82.7	-102.3	-86.1
2	3.2	51.33				
1	12.8	51.27				
0	25.6	51.26				

表 7-14. 25SPS 滤波器延迟以及 50Hz 和 60Hz 线路周期抑制

SPEED 模式	f <sub>CLK</sub> (MHz)	延时 (ms)	数字滤波器响应 (dB)			
			50Hz ± 1Hz		60Hz ± 1Hz	
			时钟容差：			
			0%	1%	0%	1%
3	1.6	41.40	-62.7	-57.9	-63.0	-57.9
2	3.2	41.33				
1	12.8	41.27				
0	25.6	41.26				

图 7-15 和 图 7-16 展示了 20SPS 和 25SPS 滤波器的频率响应。两个滤波器选项在 50Hz 和 60Hz 下的频率响应中都出现空位。

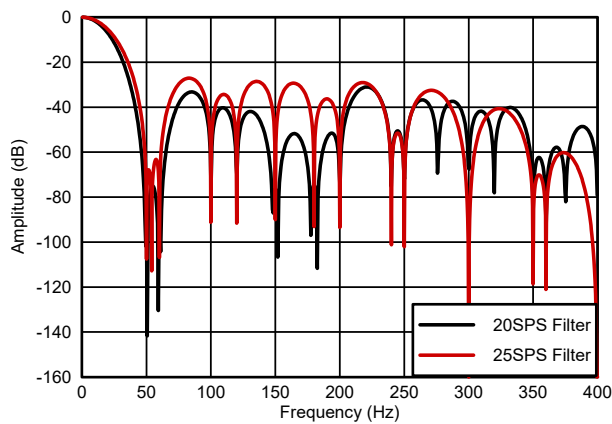


图 7-15. 20SPS 滤波器和 25SPS 滤波器频率响应

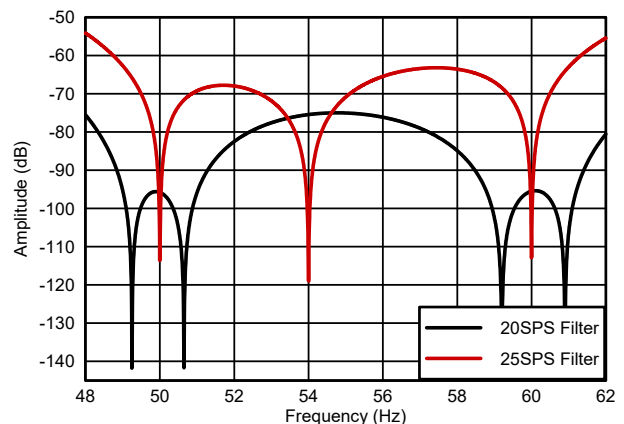


图 7-16. 20SPS 滤波器和 25SPS 滤波器频率响应，48Hz 至 62Hz

### 7.3.8 FIFO 缓冲器

ADS125H18 提供灵活的 FIFO ( 先入先出 ) 缓冲器来存储 ADC 转换结果和状态信息，直到主机控制器准备好从器件读取数据。FIFO 缓冲器 ( 或 “FIFO” ) 的优势是在从 ADC 检索数据时减轻主机控制器的负担，尤其是当 ADC 以非常快的转换率进行采样时。

FIFO 基于大小为 512 x 42 位的循环缓冲器拓扑，因此可以存储多达 512 个数据字，每个字为 42 位。42 位 FIFO 字包括转换数据和相应的状态信息，如表 7-15 所示：一个 FIFO 字保存 10 位状态信息、24 位转换数据和 8 位 CRC。状态位表示每个转换结果完成时的器件状态。

在写入 FIFO 时会计算 CRC，然后在读取 FIFO 时基于每个字进行检查。CRC 基于 CRC-8-ATM (HEC) 多项式  $X^8 + X^2 + X^1 + 1$ ，并初始化为全 1，有关详细信息，请参阅 [SPI CRC](#) 部分。

表 7-15. FIFO 缓冲器 42 位字内容

位字段	功能	值
41:37	状态	状态： STEP_INDICATOR[4:0]
36:33	状态	CONV_COUNT[3:0]
32	状态	ADC_REF_FAULTn
31:8	数据	转换数据[23:0]
7:0	CRC	CRC[7:0]

FIFO 实现为具有两个内部指针 ( 一个 9 位读取指针和一个 9 位写入指针 ) 的循环存储器，控制 FIFO 操作。有关包括读取指针和写入指针操作在内的循环 FIFO 缓冲器架构的说明，请参阅 [FIFO 缓冲器读取与写入](#) 部分。用户无法访问读取和写入指针，但有几个指示器可用于监控 FIFO 操作，例如 FIFO 深度、上溢标志和下溢标志，以及 CRC 故障标志。FIFO 的深度定义为写入指针和读取指针之间的差值，用户可通过 FIFO\_DEPTH[8:0] 位进行访问。FIFO 的深度表示存储在 FIFO 中并可供读取的数据量。有关 FIFO 指示器的详细信息，请参阅 [FIFO 深度指示器](#) 部分和 [FIFO 溢出和下溢](#) 部分。

表 7-16 概述了 FIFO 缓冲器架构。

表 7-16. FIFO 缓冲器架构

规格	值	说明
架构	循环存储器缓冲区	请参阅 <a href="#">FIFO 缓冲器读取与写入</a> 部分。
FIFO 深度	512	可用的总 FIFO 地址空间。
FIFO 字的宽度	42	16 位状态 + 24 位数据 + 8 位 CRC。
写入和读取指针	每个 9 位	写入指针和读取指针是内部指针：用户无法访问指针。 请参阅 <a href="#">FIFO 缓冲器读取与写入</a> 部分。

通过设置 FIFO\_EN 位来启用 FIFO，通过将该位复位为 0b 来清除 FIFO。有关 FIFO 启用和清除的详细信息，请参阅 [FIFO 启用和清空](#) 部分。

使用读取 FIFO 缓冲器命令从 FIFO 读取数据，有关详细信息，请参阅 [读取 FIFO 缓冲器命令](#) 部分。

表 7-17 概述了 FIFO 缓冲器操作和功能。

**表 7-17. FIFO 缓冲器概述**

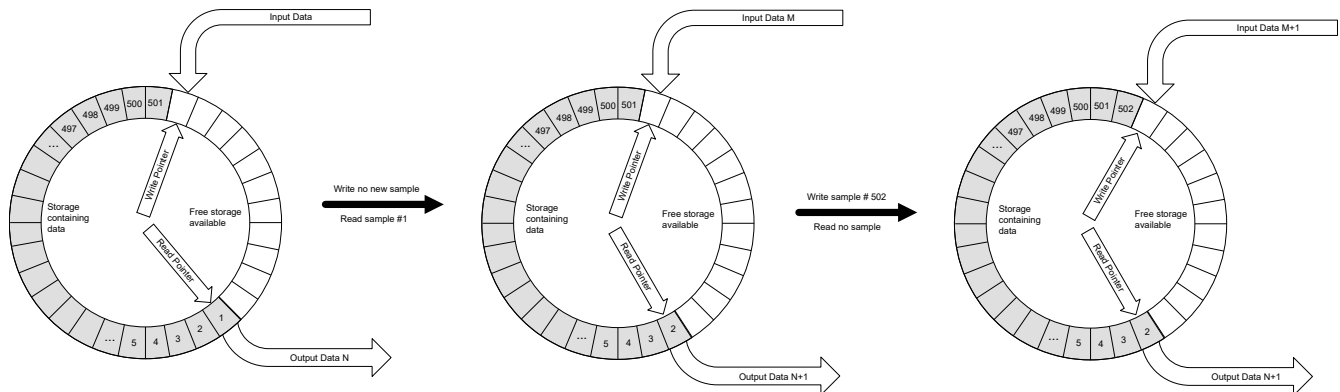
位字段	简短描述	说明
FIFO_EN	FIFO 使能	0b : FIFO 禁用且内容被清除；清除所有数据、复位读取和写入指针。 1b : 转换数据存储在 FIFO 中。 请参阅 <a href="#">FIFO 启用和清空</a> 部分。
FIFO_DEPTH[8:0]	FIFO 深度指示器	指示 FIFO 地址空间中读取指针和写入指针之间的距离：这是包含数据的 FIFO 的深度。 请参阅 <a href="#">FIFO 深度指示器</a> 部分。
FIFO_OFn	FIFO 上溢指示器	指示写入指针 = 读取指针 - 1 (FIFO 已满)。 请参阅 <a href="#">FIFO 溢出和下溢</a> 部分。
FIFO_UFn	FIFO 下溢指示器	指示写入指针 = 读取指针 (FIFO 为空)。 请参阅 <a href="#">FIFO 溢出和下溢</a> 部分。
FIFO_CRC_FAULTn	FIFO 数据 CRC 故障指示器	在 FIFO 读取期间指示 CRC。 CRC 以全 1 初始化。另请参阅 <a href="#">SPI CRC</a> 部分。
FIFO_THRES_A[8:0]	FIFO 阈值 A 配置	FIFO 中用于触发 $\overline{\text{DRDY}}$ 转换的可编程阈值。 请参阅 <a href="#">FIFO 阈值</a> 部分。
FIFO_THRES_B[8:0]	FIFO 阈值 B 配置	FIFO 中用于触发 $\overline{\text{DRDY}}$ 转换的可编程阈值。 请参阅 <a href="#">FIFO 阈值</a> 部分。

### 7.3.8.1 FIFO 缓冲器读取与写入

FIFO 缓冲器实现为循环存储器，其中包含两个内部指针：一个读取指针和一个写入指针，如 [图 7-17](#) 所示。

在循环 FIFO 概念中，传入数据的存储器地址位于写入指针中。FIFO 中要读出的第一个数据字的地址位于读取指针中。复位后，两个指针指示相同的存储器位置。每次执行写入操作后，写入指针都会设置为下一个存储器位置。读取数据字会将读取指针设置为指向下一个要读出的数据字。读取指针始终跟随写入指针移动。当读取指针到达写入指针位置时，FIFO 为空（下溢）。如果写入指针追上读取指针，则 FIFO 已满（溢出）。

[图 7-17](#) 展示了具有两个指针的循环 FIFO 的原理，包括读取数据、前移读取指针以及写入数据和前移写入指针的示例。在此示例中，读取了一个数据字（ADC 样本 #1），进而将读取指针前移到样本 #2 的地址。之后，写入了一个新数据字（ADC 样本 #502），进而将写入指针前移到下一个可用地址。



**图 7-17. FIFO 缓冲器读取与写入**

### 7.3.8.2 FIFO 溢出和下溢

当写入指针到达读取指针且 FIFO 已满时，会发生 FIFO 缓冲器溢出。一旦写入指针到达读取指针，FIFO\_SEQ\_STATUS 寄存器中的 FIFO\_OFn 标志就会设置为 0b，指示发生了溢出。随后，FIFO 会忽略任何额外

的写入操作，因此在另一个读取操作释放存储器空间之前，额外的转换结果不会存储在 FIFO 中。这可能导致采集的信号不连续。在溢出情况下，FIFO\_DEPTH 指示器的值超过 FIFO 缓冲器的大小。写入 1b 以将 FIFO\_OFn 位清除为 1b。

图 7-18 展示了 FIFO 缓冲器溢出的示例。在该示例中，FIFO 中最初有四个空闲数据字可用。FIFO 读取操作将得到五个可用的空闲数据字。随后，ADC 采集六个转换结果，但由于溢出，FIFO 仅存储前五个转换结果。第五个转换结果存储在 FIFO 中后，就会发生溢出，第六个转换结果将丢失。

通常，当向 FIFO 写入数据的平均速度快于从 FIFO 中检索的速度时，就会发生溢出。

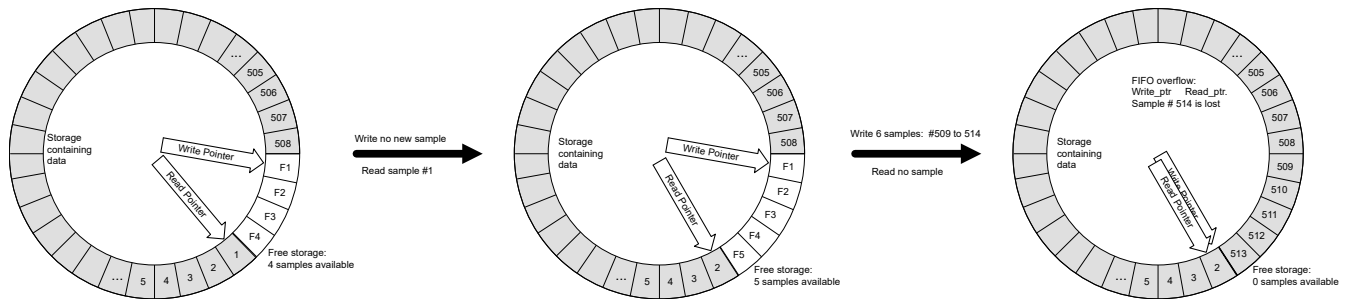


图 7-18. FIFO 缓冲器溢出示例

当读取指针到达写入指针且 FIFO 为空时，会发生 FIFO 缓冲器下溢。一旦读取指针到达写入指针，FIFO\_SEQ\_STATUS 寄存器中的 FIFO\_UFn 标志就会设置为 0b，指示发生了下溢。随后，任何额外的读取操作都会产生相同的数据输出。同一转换结果被多次读取，直到有新数据写入 FIFO。在下溢情况下，当发出新读取命令时，读取指针不会递增到下一个地址。在下溢情况下，FIFO\_DEPTH 指示器的值为 000000000b。写入 1b 以将 FIFO\_UFn 位清除为 1b。

图 7-19 展示了 FIFO 缓冲器下溢的示例。最初，五个数据字存储在 FIFO 中并可供读取 (ADC 样本 #1 至 #5)。FIFO 读取操作会得到四个可供读取的数据字 (ADC 样本 #2 至 #5)。随后会执行五个读取命令，但是在读取最后一个可用数据字 (ADC 样本 #5) 后，由于 FIFO 为空，会发生下溢，并且最后一个数据字会被读取两次。

通常，当向 FIFO 写入数据的平均速度慢于从 FIFO 中检索到的速度时，就会发生下溢。

但请注意，对于 ADS125H18，只要在 FIFO 复位后将样本存储在 FIFO 中 (例如通过设置和复位 FIFO\_EN 位)，FIFO\_UFn 就无法正确指示下溢情况。仅当复位后 FIFO 缓冲器中没有存储样本，并且尝试了 FIFO 读取操作时，才会正确触发 FIFO\_UFn 以报告下溢情况。

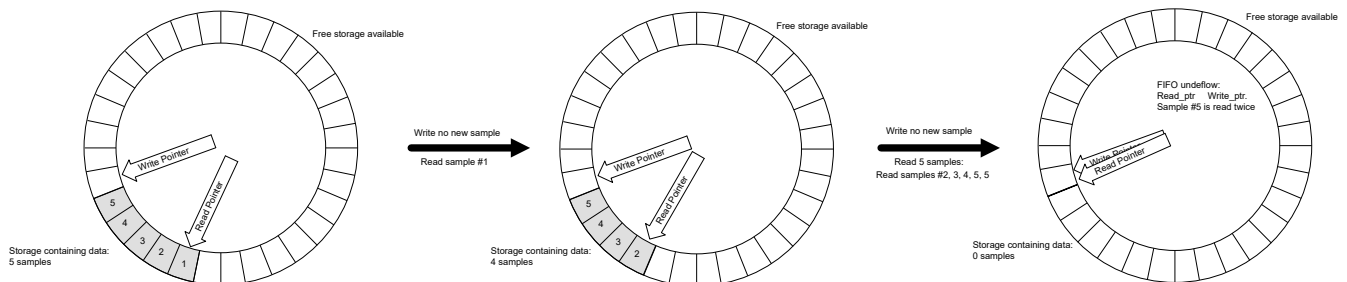


图 7-19. FIFO 缓冲器下溢示例

### 7.3.8.3 FIFO 深度指示器

FIFO\_DEPTH[8:0] 指示器为 9 位宽 (512 个值)，对应 FIFO 缓冲区的总大小 (512 个字)。FIFO\_DEPTH[8:0] 位驻留在 FIFO\_DEPTH\_MSB 和 FIFO\_DEPTH\_LSB 寄存器的“状态和常规配置”页面中。FIFO 的深度定义为写入指针与读取指针之间的差值。FIFO 的深度表示存储在 FIFO 中并可供读取的数据量。

#### 7.3.8.4 FIFO 启用和清空

设置 FIFO\_CFG 寄存器中的 FIFO\_EN 位以启用 FIFO 缓冲器。只要 FIFO\_EN 为 0b，FIFO 缓冲器就不会存储转换结果。在这种情况下，使用 [读取转换数据](#) 部分所述的转换数据读取操作，只能读取最后完成的转换结果。或者，可以按照 [连续读取模式](#) 部分所述使用连续读取模式。

当将 FIFO\_EN 位复位为 0b 时，将禁用并清除 FIFO。这将清除所有 FIFO 数据，并复位读取指针和写入指针。

#### 7.3.8.5 FIFO 阈值

两个 FIFO 阈值电平 FIFO\_THRES\_A[8:0] 和 FIFO\_THRES\_B[8:0] 可用于监测 FIFO 的运行情况。可对  $\overline{\text{DRDY}}$  引脚进行编程，以检测 FIFO 的深度（由 FIFO\_DEPTH[8:0] 位指示）何时达到两个阈值中的任何一个。将 DRDY\_CFG[1:0] 位设置为 11b 可进入该模式。

请注意，向 FIFO\_THRES\_A[8:0] 和 FIFO\_THRES\_B[8:0] 写入新值时，FIFO 不会复位或刷新。建议用户停止序列发生器，禁用 FIFO，更改阈值，启用 FIFO，然后再次启动序列发生器。

有关 FIFO 阈值以及 DRDY\_CFG [1:0] = 11b 模式的详细信息，请参阅 [自动序列发生器和  \$\overline{\text{DRDY}}\$  行为](#) 部分。

### 7.3.9 通道自动序列发生器

ADS125H18 通过高度灵活的通道自动序列发生器 ( 或 “序列发生器” ) 来控制 ADC 转换。ADS125H18 序列发生器提供多达 32 个单独的序列步骤。序列步骤是按顺序执行的工作模式：每个序列步骤 ( 或 “步骤” ) 代表有限数量的 ADC 转换 ( 可编程为每步骤 1 到 512 个 ) 和该步骤的独立 ADC 配置，包括输入通道选择、增益/偏移、数字滤波器设置和时序参数。

该序列发生器会将 ADC 的多个独立配置预先存储在器件存储器中 ( 上电后立即存储 )，从而无需通过 SPI 通信在后续器件运行期间重新配置器件。这对于在短时间内按顺序从差异较大的信号源采集数据的应用非常有用。其中许多应用需要在多个 ADC 配置之间切换，以实现传感器测量 ( 高精度，低速 ) 与诊断测量 ( 低精度，高速 ) 的时间交错。

序列发生器操作和配置由用户寄存器空间中的多个寄存器页控制：每个步骤配置都有单独的寄存器页面 ( 第 1 页到第 32 页 )，称为 “步骤配置页面”。步骤寄存器以前缀 “STEP\_x” 为标识，x = 0 至 31 表示序列步骤编号，请参阅 [寄存器映射](#) 部分。第 0 页称为 “状态和通用配置页面” ( 或简称为 “通用配置页” )，用于保存状态和通用配置数据。

使用通用配置页面上的 SEQ\_STEP\_x\_EN 位 ( x = 0 至 31 ) 单独启用或禁用 32 个序列步骤。[图 7-20](#) 展示了寄存器页面结构，说明了步骤启用位和相应的步骤配置页面之间的关系。

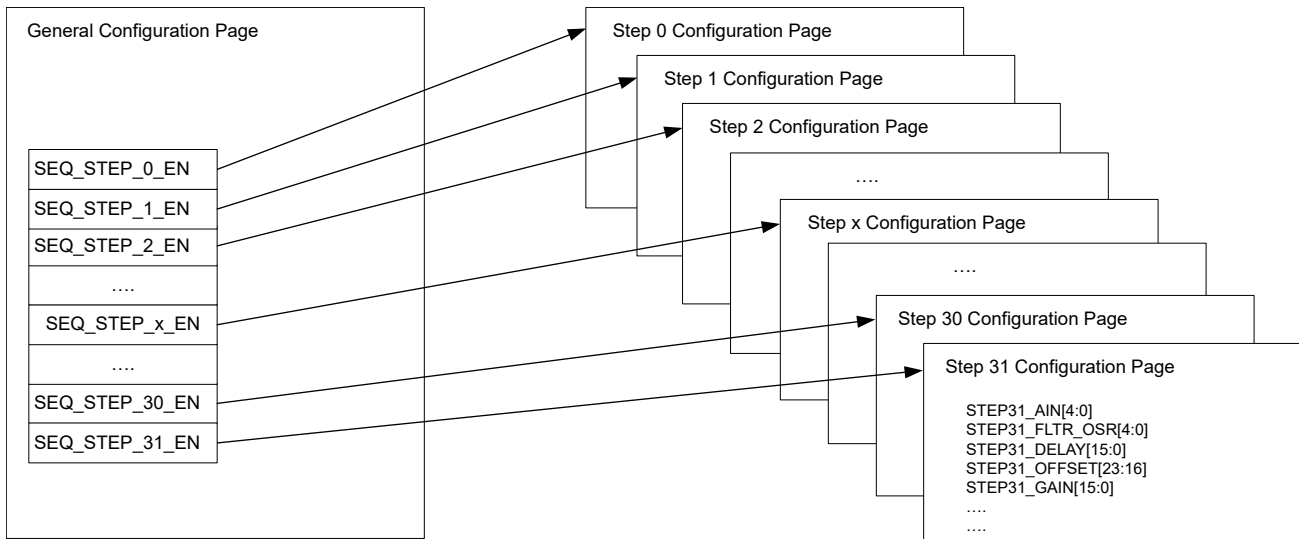


图 7-20. 寄存器页面结构

通用配置页面以及各个步骤配置页面使用 PAGE\_POINTER[7:0] 寄存器进行寻址，该寄存器在具有相同绝对地址的所有页面上都可用。有关页面寻址以及如何配置自动序列发生器的详细信息，请参阅 [配置自动序列发生器](#) 部分。

状态和通用配置页面中的 CONVERSION\_CTRL、SEQUENCER\_CFG 和 SEQUENCE\_STEP\_EN\_n ( n = 0 至 4 ) 寄存器控制序列发生器的流程。有关如何控制序列发生器流程的详细信息，请参阅 [自动序列发生器：基本操作](#) 部分、[定序器模式](#) 部分和 [启动和停止序列发生器](#) 部分。

可以通过检测  $\overline{\text{DRDY}}$  引脚的转换来监视序列发生器运行。有关详细信息，请参阅 [自动序列发生器和  \$\overline{\text{DRDY}}\$  行为](#) 部分。

[表 7-18](#) 概述了序列发生器架构。



表 7-18. 自动序列发生器架构

规格	值	说明
架构	基于寄存器页面的序列发生器	1 个状态和通用配置页面（保存所有序列步骤的启用位）。 每个序列步骤 1 个步骤配置页面。
最大序列步骤数量	32	多达 32 个单独的页面可用于定义序列步骤配置。
每步骤的最大转换数量	512	每个序列步骤最多可进行 512 次 ADC 转换。每个步骤可单独编程。

### 7.3.9.1 自动序列发生器：基本操作

图 7-21 显示了序列发生器操作的流程图。可通过设置 CONVERSION\_CTRL 寄存器中的 START 位来启动序列发生器，并使用 STOP 位来停止序列发生器。也可以使用 START 引脚控制序列发生器的启动和停止。有关启动和停止序列发生器的详细信息，请参阅 [启动和停止序列发生器](#) 部分。

每个序列步骤对应有数量有限的 ADC 转换（可编程为 1 至 512），这意味着在一次序列运行中可以进行多达 16,384 次不同测量。将 SEQ\_MODE[1:0] 位设置为 10b 或 11b 即可启用序列发生器运行。有关 SEQ\_MODE[1:0] 位的详细说明，请参阅 [定序器模式](#) 部分。当序列启动时，序列发生器会依次执行所有启用的序列步骤，始终以 CONVERSION\_CTRL 寄存器的 STEP\_INIT\_[4:0] 位定义的步骤开始。序列发生器会忽略被禁用的序列步骤。在每一步，序列发生器根据相应步骤配置页中的定义配置 ADC，然后添加一个可编程延迟，以便让输入信号在开始转换之前达到稳定。每个步骤配置页上的 STEPx\_DELAY[15:0] 位可用于选择相应序列发生器步骤 x 的延迟时间。在该延迟之后，ADC 会获取在序列发生器为序列中的下一个步骤配置 ADC 之前的预定义转换次数（由 STEPx\_NUM\_CONV[3:0] 位定义的 1 至 512 的范围）。

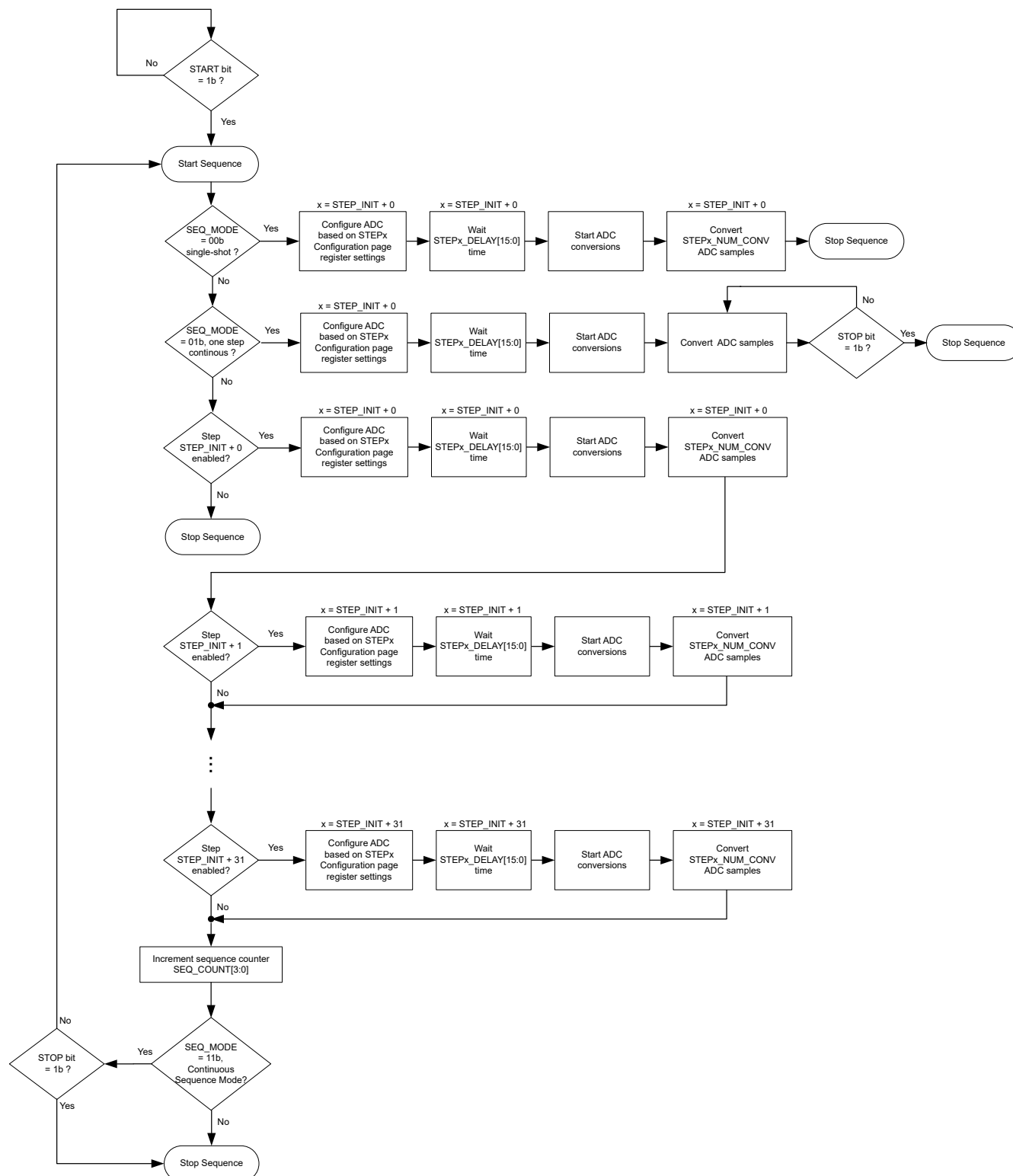


图 7-21. 序列发生器流程图

有多个状态指示器可用于监测序列发生器的进展。所有状态指示器都位于通用配置页。在序列运行期间，会设置 FIFO\_SEQ\_STATUS 寄存器中的 SEQ\_ACTIVE 位。STEP\_INDICATOR[4:0] 位指示最近完成的转换结果的序列步骤编号，而 CONV\_COUNT[3:0] 位指示最近完成的转换结果的转换次数。STEP\_INDICATOR[4:0] 位和



CONV\_COUNT[3:0] 位作为 STATUS 标头的一部分在每个 SPI 帧中输出（假设启用了 STATUS 标头），也可以从 STATUS\_MSB 和 STATUS\_LSB 寄存器中读取这些位。FIFO\_SEQ\_STATUS 寄存器中的 SEQ\_COUNT[3:0] 位指示已完成的序列数量；这些位指示最近完成的转换结果的序列编号，并在最后一个序列步骤的最后一次转换完成时更新。

当序列发生器处于运行状态时，请勿更改各个步骤配置页上的任何寄存器设置。向任何步骤配置页的任何写入操作都会触发序列发生器复位，可参阅 [启动和停止序列发生器](#) 部分了解详细信息。

将 FIFO\_CFG 寄存器中的 FIFO\_EN 位设置为 1b 可以启用 FIFO 缓冲器。如果启用了 FIFO 缓冲器，则转换完成后，每个 ADC 转换结果将立即存储在 FIFO 中。有关 FIFO 操作的详细信息，请参阅 [FIFO 缓冲器](#) 部分。可使用读取 FIFO 缓冲器命令从 FIFO 读取转换数据。如果禁用了 FIFO 缓冲器，则只能使用读取转换数据操作来读取最后完成的转换结果。

ADS125H18 序列发生器提供三种序列模式。有关详细信息，请参阅 [定序器模式](#) 部分。

表 7-19 简要概述了自动序列发生器功能。

表 7-19. 自动序列发生器概述

位字段	简短说明	说明
<b>配置及控制</b>		
PAGE_POINTER[7:0] PAGE_INDICATOR[7:0]	页指针、页指示器	用于页寻址的指针和指示器， 请参阅 <a href="#">配置自动序列发生器</a> 部分。
SEQ_MODE[1:0]	序列发生器模式选择	启用序列发生器并选择序列发生器模式：连续与单次序列，请 参阅 <a href="#">定序器模式</a> 部分。
SEQ_STEP_x_EN	序列步进使能	32 个序列步骤，x = 1 至 32，每个步骤一个使能位。
STEP_INIT[4:0]	指向第一个序列步骤指针	选择开始序列的步骤编号。
启动 STOP	启动/停止控制	触发序列的启动/停止，请参阅 <a href="#">启动和停止序列发生器</a> 部分。
STEPx_NUM_CONV[3:0]	每个步骤的转换次数选择	每个序列步骤最多可进行 512 次 ADC 转换。可针对每个步骤 进行单独编程。
STOP_BEHAVIOR[1:0]	停止模式选择	选择 STOP 位被置位后的序列发生器操作。
DRDY_CFG[1:0]	$\overline{\text{DRDY}}$ 行为选择	选择 DRDY 引脚是否在每次转换/每个序列步骤/每个序列/达 到 FIFO 阈值后指示新数据， 请参阅 <a href="#">自动序列发生器和 <math>\overline{\text{DRDY}}</math> 行为</a> 部分。
<b>指示器</b>		
SEQ_ACTIVE	序列发生器激活指示器	指示序列发生器是否处于运行状态。
SEQ_COUNT[3:0]	序列计数器	完成完整序列的计数器。
STEP_INDICATOR[4:0]	序列步骤编号指示器	指示最近完成的转换结果的序列步骤编号。
CONV_COUNT[3:0]	转换编号指示器	指示最近完成的转换结果的转换次数。

### 7.3.9.2 定序器模式

ADS125H18 序列发生器提供三种序列模式：

- 单次触发模式，无时序控制
- 单步连续转换模式，无时序控制
- 单次序列模式
- 连续序列模式

SEQUENCER\_CFG 寄存器中的 SEQ\_MODE[1:0] 位用于选择 ADS125H18 的序列模式。表 7-20 和 表 7-21 概述了基于 SEQ\_MODE[1:0] 位设置的序列模式。如 表 7-20 所示，SEQ\_MODE[1] 位用于启用或禁用序列发生器。如 表 7-21 所示，SEQ\_MODE[0] 位进一步控制序列发生器的流模式，定义了单次运行与连续运行。

表 7-20. 序列发生器使能

SEQ_MODE[1]	说明
0	禁用序列发生器：忽略步骤页使能位。
1	启用序列发生器：执行启用的步骤。

表 7-21. 定序器模式

SEQ_MODE[1:0]	说明
00	单次触发模式，无时序控制。由 STEP_INIT[4:0] 位定义的步骤仅执行一次。
01	单步连续转换模式，无时序控制。由 STEP_INIT[4:0] 定义的步骤无限期执行。
10	单次序列模式：每个启用的序列步骤都会执行一次。
11	连续序列模式：序列会无限重复。

#### 7.3.9.2.1 单次触发模式

将 SEQUENCER\_CFG 寄存器中的 SEQ\_MODE[1:0] 位设置为 00b 可选择单次触发模式（无时序控制）。在该模式下，器件仅执行一个序列步骤一次。在单次触发模式下会忽略 SEQ\_STEP\_x\_EN 位。CONVERSION\_CTRL 寄存器中的 STEP\_INIT[4:0] 位指向要执行的序列步骤 x（x = 0 至 31）：

$$x = \text{STEP\_INIT}[4:0] \quad (18)$$

图 7-21 展示了序列发生器的运行流程图，包括单次触发模式 (SEQ\_MODE[1:0] = 00b) 下的行为。

器件根据步骤配置页 x 配置 ADC，增加由 STEPx\_DELAY[15:0] 位定义的可编程延迟时间，然后启动 ADC 转换。ADC 转换次数（最多 512 次）由 STEPx\_ADC\_REF\_CFG 寄存器中的 STEPx\_NUM\_CONV[3:0] 位设置。

在单次触发模式下完成 ADC 转换（1 至 512 次）后，器件将进入待机模式 (STBY\_MODE = 1b) 或在空闲模式下保持完全通电状态 (STBY\_MODE = 0b)。

#### 7.3.9.2.2 单步连续转换模式

将 SEQUENCER\_CFG 寄存器中的 SEQ\_MODE[1:0] 位设置为 01b 可选择单步连续转换模式（无时序控制）。在此模式下，器件仅反复执行一个序列步骤。在此模式下会忽略 SEQ\_STEP\_x\_EN 位。CONVERSION\_CTRL 寄存器中的 STEP\_INIT[4:0] 位指向要执行的序列步骤 x（x = 0 至 31）：

$$x = \text{STEP\_INIT}[4:0] \quad (19)$$

图 7-21 展示了序列发生器操作的流程图，包括单步连续转换模式 (SEQ\_MODE[1:0] = 01b) 下的行为。

器件根据步骤配置页面 x 配置 ADC，添加由 STEPx\_DELAY[15:0] 位定义的可编程延迟时间，并启动 ADC 转换。在此工作模式下会忽略 STEPx\_ADC\_REF\_CFG 寄存器中的 STEPx\_NUM\_CONV[3:0] 位。ADC 连续转换，直至器件断电，或序列发生器被 [启动和停止序列发生器](#) 部分中所述的任何选项停止。

在此模式下，停止 ADC 转换的一个选项是将 STOP 位设置为 1b。ADC 转换会立即停止或继续，直到序列步骤完成，具体取决于 SEQUENCER\_CFG 寄存器中的 STOP\_BEHAVIOR[1:0] 位。有关详细信息，请参阅 [启动和停止序列发生器](#) 部分。然后，器件进入待机模式 (STBY\_MODE = 1b) 或在空闲模式 (STBY\_MODE = 0b) 下保持完全通电状态。

#### 7.3.9.2.3 单次序列模式

将 SEQUENCER\_CFG 寄存器中的 SEQ\_MODE[1:0] 位设置为 10b 可选择单序列模式（序列发生器已启用）。在此模式下，该器件执行每个启用的序列步骤一次。CONVERSION\_CTRL 寄存器中的 STEP\_INIT[4:0] 位指向要执行的第一个序列步骤 step x\_initial（x = 0 至 31）：

$$x\_initial = \text{STEP\_INIT}[4:0] \quad (20)$$

图 7-21 展示了序列发生器操作的流程图，包括单序列模式 (SEQ\_MODE[1:0] = 10b) 下的行为。

通过将 SEQUENCE\_STEP\_EN 寄存器中相应的 SEQ\_STEP\_x\_EN 位 (x = 0 至 31) 设置为 1b 来启用序列步骤。如果未启用 STEP\_INIT[4:0] 定义的第一个序列步骤，则不会开始时序控制。如果启用的第一个序列步骤 x\_initial 不等于 0，则在此模式下仅执行 x\_initial 到 31 的步骤，即使启用，也会忽略小于 x\_initial 的步骤。例如，如果 x\_initial = 20，并且启用了所有步骤，则仅执行步骤 20 至 31。

对于每个启用的序列步骤，器件都会根据步骤配置页 x 配置 ADC，添加由 STEPx\_DELAY[15:0] 位定义的可编程延迟时间，并启动 ADC 转换。该步骤的 ADC 转换次数由 STEPx\_ADC\_REF\_CFG 寄存器中的 STEPx\_NUM\_CONV[3:0] 位设置。最多可对 512 个 ADC 转换结果进行采样。然后，器件继续执行下一个启用的序列步骤。

要停止序列发生器并停止 ADC 转换，请将 STOP 位设置为 1b。有关停止序列发生器的详细信息，请参阅 [启动和停止序列发生器](#) 部分，以及由 STOP\_BEHAVIOR[1:0] 位定义的 STOP 行为的详细信息。

最后一个序列步骤的最后一次转换完成后，器件进入待机模式 (STBY\_MODE = 1b) 或在空闲模式 (STBY\_MODE = 0b) 下保持完全通电状态。

#### 7.3.9.2.4 连续序列模式

将 SEQUENCER\_CFG 寄存器中的 SEQ\_MODE[1:0] 位设置为 11b 可选择连续序列模式 (序列发生器已启用)。在该模式下，器件会反复运行配置的序列，直至被主机停止。

CONVERSION\_CTRL 寄存器中的 STEP\_INIT[4:0] 位指向要执行的第一个序列步骤 x\_initial (x\_initial = 0 至 31)：

$$x\_initial = STEP\_INIT[4:0] \quad (21)$$

图 7-21 展示了序列发生器操作的流程图，包括连续序列模式 (SEQ\_MODE[1:0] = 11b) 下的行为。

通过将 SEQUENCE\_STEP\_EN 寄存器中相应的 SEQ\_STEP\_x\_EN 位 (x = 0 至 31) 设置为 1b 来启用序列步骤。如果 STEP\_INIT[4:0] 定义的第一个序列步骤未启用 (即 SEQ\_STEP\_x\_initial\_EN = 0b)，则不会启动序列。

对于每个启用的序列步骤，器件都会根据步骤配置页 x 配置 ADC，添加由 STEPx\_DELAY[15:0] 位定义的可编程延迟时间，并启动 ADC 转换。ADC 转换次数由 STEPx\_ADC\_REF\_CFG 寄存器中的 STEPx\_NUM\_CONV[3:0] 位设置。最多可对 512 个 ADC 转换结果进行采样。然后，器件继续执行下一个启用的序列步骤。

要停止序列发生器并停止 ADC 转换，请将 STOP 位设置为 1b。有关停止序列发生器的详细信息，以及由 STOP\_BEHAVIOR[1:0] 位定义的停止行为的详细信息，请参阅 [启动和停止序列发生器](#) 部分。

最后一个序列步骤的最后一次转换完成后，器件进入待机模式 (STBY\_MODE = 1b) 或在空闲模式 (STBY\_MODE = 0b) 下保持完全通电状态。

#### 7.3.9.3 配置自动序列发生器

如 [通道自动序列发生器](#) 部分所述，序列发生器的运行和配置由通用配置页和各个步骤配置页中的寄存器控制。

通过在步骤配置页 (页 1 至 32) 和通用配置页 (页 0) 中向序列发生器相关寄存器写入数据，即可配置自动序列发生器。通过将相应的地址值 (0 或 1 至 32) 写入 PAGE\_POINTER[7:0] 寄存器，可访问通用配置寄存器或每个单独序列步骤的寄存器页，如 [表 7-22](#) 所示。

**表 7-22. 寄存器页解码和序列发生器步骤**

PAGE_POINTER[7:0]	寄存器页内容	步骤使能位	说明
00h	状态和通用配置页	不适用	包含通用状态和配置数据的寄存器页
01h	步骤 0 配置页	SEQ_STEP_0_EN	序列步骤 0 的配置设置
02h	步骤 1 配置页	SEQ_STEP_1_EN	序列步骤 1 的配置设置
03h	步骤 2 配置页	SEQ_STEP_2_EN	序列步骤 2 的配置设置

表 7-22. 寄存器页解码和序列发生器步骤 (续)

PAGE_POINTER[7:0]	寄存器页内容	步骤使能位	说明
...	...	...	...
1Fh	步骤 30 配置页	SEQ_STEP_30_EN	序列步骤 30 的配置设置
20h	步骤 31 配置页	SEQ_STEP_31_EN	序列步骤 31 的配置设置
21h - FFh	无效页	不适用	无效页

可按照以下步骤对自动序列发生器进行可靠配置：

1. 通过将 CONVERSION\_CTRL 寄存器中的 STOP 位设置为 1b 停止正在运行的序列，或者将器件置于断电模式。
2. 确认 SEQ\_ACTIVE 位的读数为 0b，进而确认序列发生器未运行。
3. 将 00h 写入 PAGE\_POINTER[7:0] 以访问通用配置页。
4. 在通用配置页上配置 STEP\_INIT\_[4:0]、SEQ\_MODE[1:0]、STOP\_BEHAVIOR[1:0] 和 DRDY\_CFG[1:0] 位。有关这些位的概览，请参阅 表 7-19。
5. 通过在通用配置页上设置相应的 SEQ\_STEP\_x\_EN 位 (x = 0 至 31)，可启用所需的序列步骤。
6. 将已启用序列步骤的地址写入 PAGE\_POINTER[7:0] (如 表 7-22 中所定义)，然后即可在选定的步骤配置页上配置每个寄存器。概览信息请见 表 7-23。对所有已启用的序列步骤重复此操作。
7. 如果器件配置为断电模式，则将器件恢复到工作模式。
8. 通过设置 START 位来启动序列发生器。

每个步骤配置页都包含输入多路复用器、电压基准、ADC、数字滤波器、增益和偏移校准以及 GPIO 的配置设置，如 表 7-23 如所示。

禁用序列发生器 (SEQ\_MODE[1]= 0b) 时，向步骤寄存器写入数据会立即更新器件配置。启用序列发生器 (SEQ\_MODE[1]= 1b) 时，向步骤寄存器写入数据会在下一个序列发生器开始时生效。

表 7-23. 每个序列步骤的配置设置

寄存器	位字段	说明
STEPx_AIN_CFG	STEPx_AIN[4:0]	选择 ADC 的模拟输入
STEPx_ADC_REF_CFG	STEPx_REF_SEL	选择外部电压基准还是内部电压基准
STEPx_ADC_REF_CFG	CODING	选择转换数据编码：单极或双极
STEPx_ADC_REF_CFG	STEPx_NUM_CONV[3:0]	要在此序列步骤中执行的 ADC 转换数量
STEPx_FILT1_CFG	STEPx_FLTR_OSR[4:0]	数字滤波器的 OSR
STEPx_FILT1_CFG	STEPx_FLTR_MODE	选择滤波器模式：sinc3 或 sinc4
STEPx_DELAY_xSB_CFG	STEPx_DELAY_MSB[7:0]	选择转换启动延迟时间
STEPx_OFFSET_CAL_xSB	STEPx_OFFSET_CAL[23:0]	ADC 偏移校准值
STEPx_GAIN_CAL_xSB	STEPx_GAIN_CAL[15:0]	ADC 增益校准值

#### 7.3.9.4 启动和停止序列发生器

有两种方法可以启动或停止序列发生器操作：

- 写入 CONVERSION\_CTRL 寄存器中的 START 和/或 STOP 位
- 使用 START 引脚进行启动/停止控制

设置 CONVERSION\_CTRL 寄存器中的 START 位以启动序列发生器。如果在序列发生器运行时设置 START 位，正在进行的序列运行将会中止，系统会从头开始重新运行新序列。在 ADC 处于断电模式时设置 START 位不会启动序列。

在序列开始后，START 位会清零，因此会读回 0b。

图 7-22 显示了包括 START 引脚时序在内的序列发生器运行示例。

使用 **STOP** 位可停止序列发生器。在设置 **STOP** 位停止序列发生器后，**STOP** 位读回 **1b**，直至序列发生器停止。将器件置于断电模式会立即中止序列运行。

在序列发生器停止后，序列运行的最后一次转换结果仍可读出。仅在器件已复位，器件处于断电模式时，序列发生器的转换结果才会被清零为 **0h**，或者在新序列运行的转换结果可用时被覆盖。

序列发生器停止后，配置设置仍处于活动状态，如停止前的最后一个活动步骤页面中所定义。这适用于步骤页面上的所有位，包括 **GPIO** 输出。将保持最后一个步骤页面中的配置，直到器件复位，电源循环或新序列运行覆盖配置。

作为使用 **CONVERSION\_CTRL** 寄存器中 **START** 和 **STOP** 位的替代方法，**START** 引脚可用于控制序列发生器的启动和停止。**START** 引脚的上升沿相当于写入 **START** 位。**START** 引脚的下降沿相当于写入 **STOP** 位。使用 **GPIO0\_CFG[1:0]** 位（设置 **11b**）将 **GPIO0/START** 引脚配置为 **START** 引脚操作。在对 **GPIO0** 进行编程之前，首先将器件置于断电模式。加电时 **GPIO0\_CFG[1:0]** 位默认为 **00b**，因此只有在将 **GPIO0\_CFG[1:0]** 位设置为 **11b**（此操作需要 **SPI** 通信）后，**START** 引脚操作才可用。因此，**START** 引脚功能在加电时不可用。执行的第一个步骤页面由 **STEP\_INIT[4:0]** 位决定，就像 **START** 和 **STOP** 位一样。如果 **START** 引脚在加电时为高电平，则会在加电周期完成后开始启动操作。

以下寄存器写入操作会中止正在进行的序列运行并停止序列发生器：

- 对任何步骤配置页面上任何寄存器的写入操作（适用于已启用和已禁用的页面）
- 对通用配置页面上任何寄存器的写入操作，以下情况除外：
  - **AGPIOx\_CFG[1:0]**
  - **FIFO\_EN**
  - **FIFO\_TRESH\_A[8:0]**
  - **FIFO\_THRES\_B[8:0]**
  - **FAULT\_PIN\_BEHAVIOR**
  - **REG\_MAP\_CRC\_EN**
  - **STATUS\_EN**
  - **SPI\_CRC\_EN**
  - **PFX\_EN**
  - **PFX\_BYPASS**
  - **CS\_FWD\_EN\_CODE[7:0]**
  - **AGPIOCx\_FWD\_EN**
  - **GPIOx\_FWD\_EN**

**SEQUENCER\_CFG** 寄存器中的 **STOP\_BEHAVIOR[1:0]** 位定义了启动停止后序列发生器的操作，具体取决于序列发生器模式，如表 7-24 所示。

**表 7-24. STOP 行为模式**

SEQ_MODE[1:0]	STOP_BEHAVIOR[1:0]			
	00	01	10	11
00	立即 停止	当前转换完成后停止	当前步骤完成后停止	
01		当前转换完成后停止		
10		当前转换完成后停止	当前步骤完成后停止	当前序列完成后停止
11				

如果需要更改序列发生器配置，请停止序列发生器，并在序列发生器未运行时重新配置设置。为避免序列发生器启动错误，请按照 [配置自动序列发生器](#) 一节中指定的程序配置并重新启动序列发生器。

### 7.3.9.5 自动序列发生器和 $\overline{\text{DRDY}}$ 行为

使用 **SEQUENCER\_CFG** 寄存器中的 **DRDY\_CFG[1:0]** 位配置在序列发生器运行期间  $\overline{\text{DRDY}}$  引脚的行为。



$\overline{\text{DRDY}}$  行为有四个模式可用：根据模式， $\overline{\text{DRDY}}$  驱动为低电平

- 每次有新的转换结果可用时： $\text{DRDY\_CFG}[1:0] = 00b$
- 每次完成序列步骤时： $\text{DRDY\_CFG}[1:0] = 01b$
- 每次完成一个序列时： $\text{DRDY\_CFG}[1:0] = 10b$
- 当达到 FIFO 缓冲器中的预定义阈值时： $\text{DRDY\_CFG}[1:0] = 11b$

图 7-22 展示了每次新转换结果可用 ( $\text{DRDY\_CFG}[1:0] = 00b$ ) 时将  $\overline{\text{DRDY}}$  驱动为低电平的  $\overline{\text{DRDY}}$  操作。此示例中显示了两个序列步骤，其中在第一个序列步骤中执行了四次 ADC 转换，在第二个序列步骤中执行了三次 ADC 转换。一旦每个单独的转换结果可用， $\overline{\text{DRDY}}$  就会驱动为低电平。

在新序列步骤开始时，第一次转换是完全稳定的数据，但与正常数据周期  $t_{\text{DATA}} = 1/f_{\text{DATA}}$  相比会产生延迟（延迟时间）。需要考虑到数字滤波器的完全稳定所需的延迟。延迟时间取决于数据速率和滤波器模式（有关滤波器延迟的详细信息，请参阅 [数字滤波器](#) 部分）。时间  $t_{\text{SETTLE}}$  是从序列步骤开始（上一步的最后一个  $\overline{\text{DRDY}}$  下降沿）到新序列步骤内的第一个  $\overline{\text{DRDY}}$  下降沿的时间。时间  $t_{\text{SETTLE}}$  还包括由该序列步骤的步骤配置页面中的  $\text{STEPx\_DELAY\_MSB}[7:0]$  位和  $\text{STEPx\_DELAY\_LSB}[7:0]$  位定义的可编程延迟。因此， $t_{\text{SETTLE}}$  是可编程延迟  $t_{\text{STEPx\_DELAY}}$  和滤波器延迟  $t_{\text{STEPx\_FLTR\_LATENCY}}$  的总和：

$$t_{\text{SETTLE}x} = t_{\text{STEPx\_DELAY}} + t_{\text{STEPx\_FLTR\_LATENCY}} \quad (22)$$

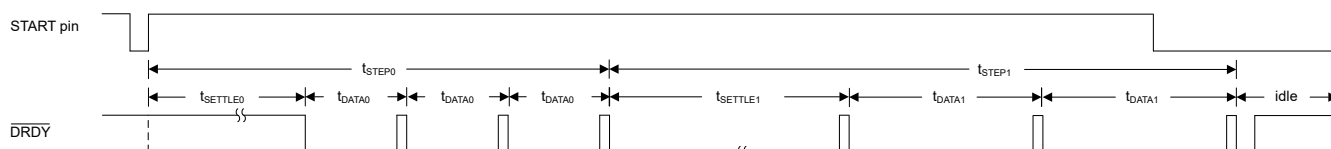


图 7-22. 每次转换后的  $\overline{\text{DRDY}}$  脉冲

在图 7-22 中，没有从 ADC 读取数据，则  $\overline{\text{DRDY}}$  会保持低电平，并在下一个  $\overline{\text{DRDY}}$  下降沿之前短暂生成一个高电平的脉冲。如果在每个转换结果完成后从 ADC 读取数据，则在转换数据读取操作期间， $\overline{\text{DRDY}}$  会在第八个 SCLK 边沿强制拉至高电平。如图 7-23 所示，其中每次在  $\overline{\text{DRDY}}$  下降沿指示新数据可用后不久都会读取新数据。

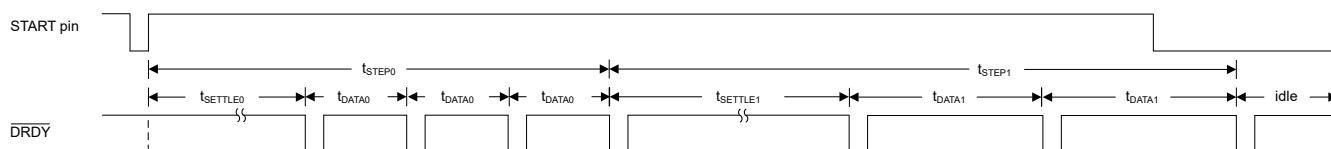


图 7-23. 每次转换后的  $\overline{\text{DRDY}}$  脉冲，从 ADC 读取数据

图 7-24 展示了每次完成序列步骤 ( $\text{DRDY\_CFG}[1:0] = 01b$ ) 时将  $\overline{\text{DRDY}}$  驱动为低电平的  $\overline{\text{DRDY}}$  操作。此示例中再次显示了两个序列步骤，其中在第一个序列步骤中执行了四次 ADC 转换，在第二个序列步骤中执行了三次 ADC 转换。当每个序列步骤中的最后一个转换结果可用时， $\overline{\text{DRDY}}$  驱动为低电平。

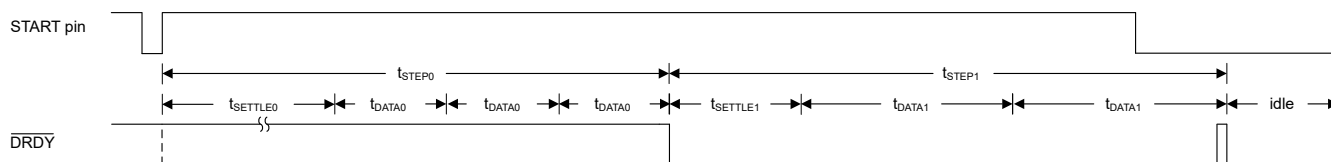


图 7-24. 每个序列步骤之后的  $\overline{\text{DRDY}}$  脉冲

图 7-25 展示了每次完成完整序列 ( $\text{DRDY\_CFG}[1:0] = 10b$ ) 时将  $\overline{\text{DRDY}}$  驱动为低电平的  $\overline{\text{DRDY}}$  操作。在这个特定示例中，完整的序列仅包含两个序列步骤（STEP0 和 STEP1）。当最终（最后一个）序列步骤的最后一个转换结果可用时， $\overline{\text{DRDY}}$  驱动为低电平。

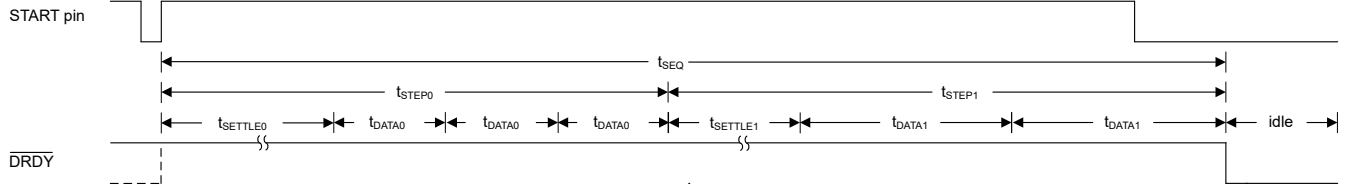


图 7-25. 序列完成后的  $\overline{\text{DRDY}}$  脉冲

表 7-25 总结了基于 FIFO 阈值 ( $\text{DRDY\_CFG}[1:0] = 11\text{b}$ ) 的  $\overline{\text{DRDY}}$  操作。在该模式下，由  $\text{FIFO\_DEPTH}[8:0]$  位指示的 FIFO 深度被监视，并与控制  $\overline{\text{DRDY}}$  行为的两个 FIFO 阈值 ( $\text{FIFO\_THRES\_A}[8:0]$  和  $\text{FIFO\_THRES\_B}[8:0]$ ) 进行比较。有关 FIFO 缓冲器操作和  $\text{FIFO\_DEPTH}[8:0]$  位的详细信息，请参阅 [FIFO 缓冲器](#) 部分。当 FIFO 的深度超过任一阈值 ( $\text{FIFO\_THRES\_A}$  或  $\text{FIFO\_THRES\_B}$ ) 中的较大者时， $\overline{\text{DRDY}}$  从高电平转换为低电平。此条件可描述为  $\text{FIFO\_DEPTH} > \text{FIFO\_THRES\_A}$  (假设  $\text{FIFO\_THRES\_A}$  大于或等于  $\text{FIFO\_THRES\_B}$ )。当 FIFO 的深度等于或小于任一阈值的最低阈值时， $\overline{\text{DRDY}}$  从低电平转换为高电平。此条件可描述为  $\text{FIFO\_DEPTH} < \text{FIFO\_THRES\_B}$  (假设  $\text{FIFO\_THRES\_B}$  小于或等于  $\text{FIFO\_THRES\_A}$ )。

表 7-25. 基于 FIFO 阈值的  $\overline{\text{DRDY}}$  行为 ( $\text{DRDY\_CFG}[1:0] = 11\text{b}$ )

阈值设置	触发条件	$\overline{\text{DRDY}}$ 转换
$\text{FIFO\_THRES\_A} \geq \text{FIFO\_THRES\_B}$	$\text{FIFO\_DEPTH} > \text{FIFO\_THRES\_A}$	$\overline{\text{DRDY}}$ 下降沿
	$\text{FIFO\_DEPTH} \leq \text{FIFO\_THRES\_B}$	$\overline{\text{DRDY}}$ 上升沿
$\text{FIFO\_THRES\_A} < \text{FIFO\_THRES\_B}$	$\text{FIFO\_DEPTH} > \text{FIFO\_THRES\_B}$	$\overline{\text{DRDY}}$ 下降沿
	$\text{FIFO\_DEPTH} \leq \text{FIFO\_THRES\_A}$	$\overline{\text{DRDY}}$ 上升沿

在图 7-26 所示的示例中，ADC 采集了六个样本，然后从 ADC 读取两个转换结果。控制  $\overline{\text{DRDY}}$  行为的 FIFO 阈值已被设置为  $\text{FIFO\_THRES\_A}$  阈值 ( $\text{FIFO\_THRES\_A}[8:0] = 000000101\text{b}$ ) 的五个样本值， $\text{FIFO\_THRES\_B}$  阈值 ( $\text{FIFO\_THRES\_B}[8:0] = 000000100\text{b}$ ) 的四个样本。在本例中， $\text{FIFO\_THRES\_A} \geq \text{FIFO\_THRES\_B}$ 。因此，一旦采集了六个样本 (从空 FIFO 开始)，就会满足  $\text{FIFO\_DEPTH} > \text{FIFO\_THRES\_A}$  的条件 ( $6 > 5$ )，并且  $\overline{\text{DRDY}}$  从高电平转换为低电平。从 ADC 读取两个转换结果后，同时不转换额外的样本，并且满足  $\text{FIFO\_DEPTH} \leq \text{FIFO\_THRES\_B}$  的条件 ( $4 \leq 4$ )， $\overline{\text{DRDY}}$  从低电平转换为高电平。

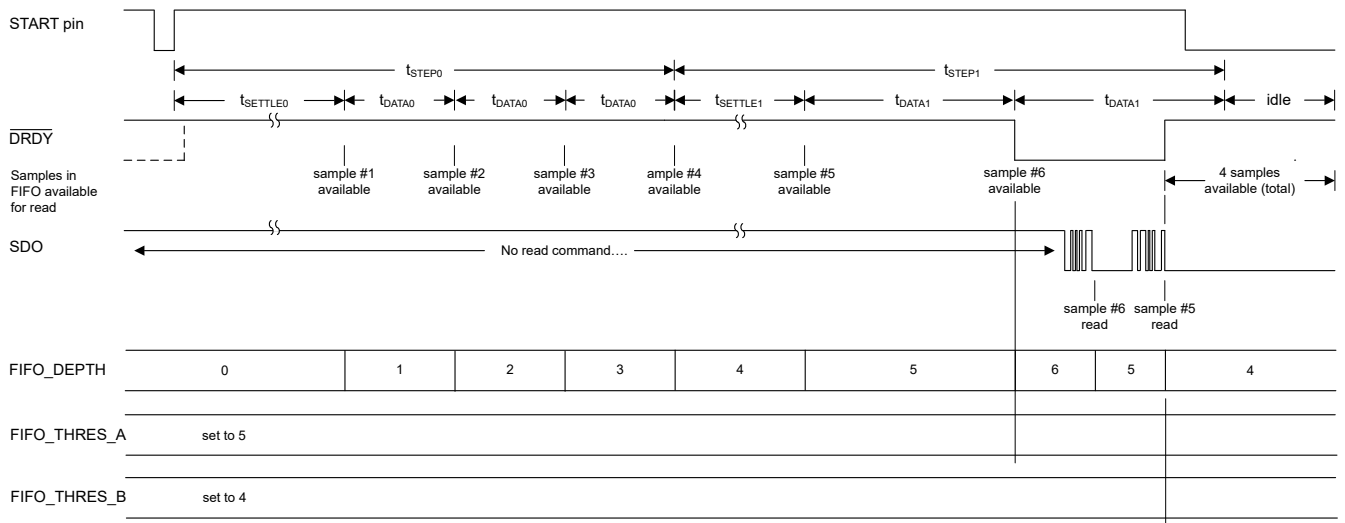


图 7-26. 基于 FIFO 阈值的  $\overline{\text{DRDY}}$  行为

### 7.3.10 偏移和增益校准

ADS125H18 通过使用用户可编程的偏移和增益校正寄存器来校准偏移和增益误差。如图 7-27 所示，在乘以 16 位增益校正值之前，从转换数据中减去 24 位偏移校正值。输出数据四舍五入为最终分辨率（24 位），并在缩放操作后削波为 +FS 和 -FS 代码值。由于 ADS125H18 寄存器是易失性的，因此必须将偏移和增益校准系数存储在外部非易失性存储器中，并在每次设备上电或复位时将其编程到偏移和增益校准寄存器中。

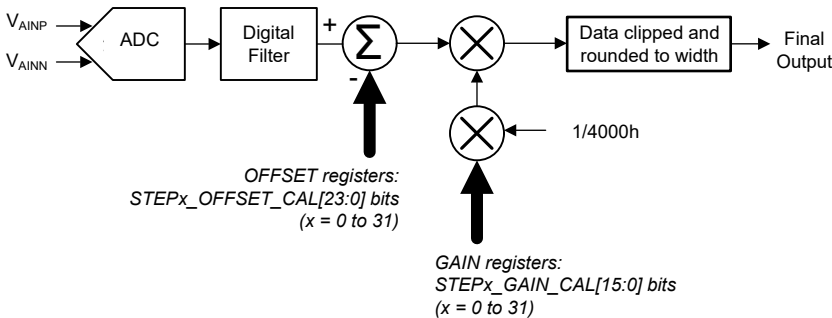


图 7-27. 校准逻辑方框图

方程式 23 表示如何校准转换数据：

$$\text{Final Output Data} = (\text{Data} - \text{OFFSET}) \times \text{GAIN} / 4000\text{h} \quad (23)$$

24 位偏移校准值以二进制补码格式提供，并编程到 STEP<sub>x</sub>\_OFFSET\_CAL[23:0] 位字段，该字段跨越 STEP<sub>x</sub>\_OFFSET\_CAL\_MSB、STEP<sub>x</sub>\_OFFSET\_CAL\_LSB 和 STEP<sub>x</sub>\_OFFSET\_CAL\_MSB 寄存器。表 7-26 展示了示例偏移校准值。使用方程式 24 计算偏移校准值的 LSB 大小。

$$\text{LSB size} = (2 \times V_{\text{REF}}) / (2^{24}) \quad (24)$$

表 7-26. 失调电压校准值示例

STEP <sub>x</sub> _OFFSET_CAL[23:0] 值	应用的失调电压校准
000010h	- 16LSB
000001h	- 1LSB
FFFFFFh	1LSB
FFFFF0h	16LSB

16 位增益校准值以标准二进制格式提供，并标准化为 400000h 时的单位增益。增益校准值编程到 STEP<sub>x</sub>\_GAIN\_CAL[15:0] 位字段。增益校准值的一个 LSB 等于增益校正因子  $1/2^{16} = 0.000015$ 。例如，要校正大于 1 的增益误差，计算出的增益校准值小于 400000h。

表 7-27 展示了增益校准值示例。

表 7-27. 增益校准值示例

STEP <sub>x</sub> _GAIN_CAL[15:0] 值	应用的增益校准
FFFFh	3.999939
4333h	1.05
4001h	1.000015
4000h	1
3FFFh	0.999985
3CCCh	0.95



推荐的校准程序如下：

1. 将偏移和增益校准寄存器分别预设为 STEP<sub>x</sub>\_OFFSET\_CAL[23:0] = 000000h 和 STEP<sub>x</sub>\_GAIN\_CAL[15:0] = 4000h。
2. 利用相应的输入和系统监测器多路复用器设置 (STEP<sub>x</sub>\_SYS\_MON[3:0] = 0001b) 在内部短路 ADC 输入，或在系统级外部短路输入，以包括外部滤波器级的偏移误差，从而执行偏移校准。获取多个转换数据并将数据的平均值写入偏移校准寄存器。对数据求平均值可降低转换噪声，从而提高校准精度。
3. 将精确校准信号应用于 ADC 的输入端或在系统级执行增益校准，以包括外部滤波器级的增益误差。选择小于满量程输入范围的校准电压，以避免输出代码被削波。输出代码被削波会导致校准不准确。例如，使用 V<sub>REF</sub> = 4.096V 的 3.9V 校准信号。在扩展范围模式下运行时，可以将校准信号设置为等于 V<sub>REF</sub> 而不会导致输出代码被削波。根据 [方程式 25](#) 计算增益校准值。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \times 4000h \quad (25)$$

例如，使用 4.096V 基准电压的 3.9V 校准电压的预期输出代码为：( 3.9V / LSB 大小 ) = 79E000h，其中 LSB 大小 =  $2 \times 4.096V / (2^{24}) = 4.096V / 7FFFFFFh$ 。例如，如果实际测量的输出代码是 741249h，则增益校准系数计算结果为 1.05。写入 STEP<sub>x</sub>\_GAIN\_CAL[15:0] 位字段的增益校准值为：(1.05 - 1) / (1 / 2<sup>16</sup>) = 4333h。

### 7.3.11 数字 PGA

ADS125H18 提供一个用户可编程的数字 PGA。通过为每个序列步骤设置 STEP<sub>x</sub>\_GAIN\_BIN[1:0] 位 ( x = 0 至 31 ) 来配置二进制数字增益。

**表 7-28. 数字 PGA 增益选项**

STEP <sub>x</sub> _GAIN_BIN[1:0] 值	数字增益
00b	1
01b	2
10b	4
11b	8

[表 7-28](#) 展示了数字/二进制 PGA 所有可用的增益选项。

### 7.3.12 通用 IO (GPIO)

ADS125H18 提供了四个数字引脚 ( GPIO0 至 GPIO3 )，这些输入可配置为通用输入和输出 (GPIO)。这些 GPIO 的逻辑电平以 IOVDD 电源为基准。可使用 GPIO<sub>n</sub>\_CFG[1:0] ( n = 0 至 3 ) 位将这些引脚配置为模拟输入、数字输入或数字输出或用于特殊功能。

可使用 STEP<sub>x</sub>\_GPIO<sub>n</sub>\_DAT\_OUT 位设置 GPIO 的数字输出电平。当 GPIO<sub>x</sub> 配置为模拟或数字输入时，STEP<sub>x</sub>\_GPIO<sub>n</sub>\_DAT\_OUT 位的设置无效。

GPIO<sub>x</sub>\_DAT\_IN 位指示 GPIO<sub>x</sub> 引脚上的回读值，无论这些引脚配置为数字输入还是输出。当 GPIO<sub>x</sub> 配置为模拟输入时，GPIO<sub>x</sub>\_DAT\_IN 位回读 0b。

此外，还提供了以下特殊功能：

- GPIO0/START 可配置为 START 输入。将 GPIO0\_CFG[1:0] 位设置为 11b 可以将该引脚配置为 START 输入。在对 GPIO0 进行编程之前，首先将器件置于断电模式。有关详细信息，请参阅 [启动和停止序列发生器](#) 部分。
- $\overline{\text{DRDY}}$ /GPIO1 可配置为专用  $\overline{\text{DRDY}}$  输出。
- GPIO2/CLKIN 可配置为外部时钟输入。将 GPIO2\_CFG[1:0] 位设置为 11b 可以将该引脚配置为时钟输入。有关详细信息，请参阅 [时钟运行](#) 部分。
- GPIO3/FAULT 可配置为 FAULT 指示输出。

### 7.3.12.1 $\overline{\text{DRDY}}$ 输出

默认情况下， $\overline{\text{DRDY}}$ /GPIO1 配置为专用  $\overline{\text{DRDY}}$  输出（即 GPIO1\_CFG[1:0] = 11b）。 $\overline{\text{DRDY}}$  引脚的下降沿指示新转换数据完成。即使在  $\overline{\text{CS}}$  为高电平时， $\overline{\text{DRDY}}$  输出也始终被驱动。有关更多详细信息，请参阅 [数据就绪 \( \$\overline{\text{DRDY}}\$ \) 引脚](#) 部分和  [\$\overline{\text{DRDY}}\$  引脚行为](#) 部分。

### 7.3.12.2 $\overline{\text{FAULT}}$ 输出

通过设置 GPIO3\_CFG = 11b 将 GPIO3/ $\overline{\text{FAULT}}$  配置为  $\overline{\text{FAULT}}$  输出。当 ADC\_REF\_FAULTn、FIFO\_FAULTn、INTERNAL\_FAULTn、REG\_WRITE\_FAULTn 或 SPI\_CRC\_FAULTn 状态位中的任何一个为 0b 时， $\overline{\text{FAULT}}$  引脚为低电平，以指示故障。在 GPIO3/ $\overline{\text{FAULT}}$  和 GND 之间连接一个下拉电阻器，以检测潜在的器件复位，因为该引脚在复位期间和复位后会恢复为高阻抗模拟输入。

使用 FAULT\_PIN\_BEHAVIOR 位从以下  $\overline{\text{FAULT}}$  输出行为中进行选择：

- 静态输出。发生故障时， $\overline{\text{FAULT}}$  输出为低电平，否则输出为高电平。
- 检测信号输出。发生故障时， $\overline{\text{FAULT}}$  输出为低电平，否则输出是频率为  $f_{\text{MOD}}/256$  的 50% 占空比信号。主机可以监测检测信号频率以检测潜在的器件时钟故障。

### 7.3.13 开路电流源 (OWCS)

ADS125H18 上的开路电流源 (OWCS) 可用于诊断模拟输入端的悬空或“开路”。这不是全自动检查。用户需要执行多个步骤才能使用此功能。基本思路是使用电流源进行两次转换来测量电阻。如果输入悬空，则测得的电阻高于预测值。所有 OWCS 测试都在单路模拟输入上完成。如果使用两个 AINn 引脚测量差分信号，则必须单独对每个引脚进行开路测试。OWCS 多路复用器 (MUX) 将电流源连接到由 STEPx\_AIN[4:0] 选择的相应输入引脚。00000b 至 01111b 的位设置对 STEPx\_AIN[4:0] 有效。使用 OWCS 时，忽略所有其他设置，即 10000b 至 11111b。设置步骤配置页 x 上的 STEPx\_OWCS\_EN 位可以启用开路电流源。

在输入引脚 AINn 上执行开路检查的建议顺序为：

- 在没有 OWCS 的情况下对 ADC 转换结果（基线）进行采样并存储结果
- 启用 OWCS，留出趋稳时间
- 在启用 OWCS 的情况下收集第二个 ADC 转换结果
- 计算代码中两个读数之间的差值（以 %FSR 表示）
- 将差值与 [表 7-29](#) 中提供的阈值进行比较：
  - 如果差值 > 阈值 → 输入可能悬空
  - 如果差值 < 阈值 → 输入已连接

表 7-29. OWCS 决策阈值

器件型号	阈值
V12 ( $\pm 12\text{V}$ )	+17.4%
V20 ( $\pm 20\text{V}$ )	+23.8%
V40 ( $\pm 40\text{V}$ )	+24.4%

由于以下假设，悬空输入的结论具有不确定性：此开路测试假设输入电压在第一次和第二次转换之间没有变化。如果此假设不成立，则可能出现误报。此外，如果在非故障条件下源阻抗不等于 0，并且在故障条件下源阻抗不为无穷大，则悬空和连接状态之间的差值会减小，进而难以确定该值足够高于还是低于阈值。

OWCS 使用内部电压基准值或介于 2V 和 AVDD 之间的外部基准。由于 OWCS 测量的比例式性质，基准值不会影响预期的读数差值。

OWCS 决策阈值的计算方法如下：

对于  $\pm 20\text{V}$  版本的 ADS125H18，OWCS 电流幅度会线性跟踪  $V_{\text{REF}}$ ， $V_{\text{REF}}$  的标称值为  $2\mu\text{A/V}$ 。OWCS 使用的  $V_{\text{REF}}$  值来自  $V_{\text{REF}}$  多路复用器后方的节点。因此，无论使用内部基准电源还是外部基准电源，OWCS 也会使用调制器。对于  $2.5\text{V } V_{\text{REF}}$ ，OWCS =  $2.5\mu\text{A}$ 。对于  $4.0\text{V } V_{\text{REF}}$ ，OWCS =  $4.0\mu\text{A}$ 。这种与  $V_{\text{REF}}$  的关系使前面提到

的阈值可以表示为满量程的固定百分比（或代码值或“以输出为基准”），即该值与  $V_{REF}$  无关。OWCS 还会跟踪 SiCr 电阻，因此也会抵消衰减器的绝对电阻值变化。

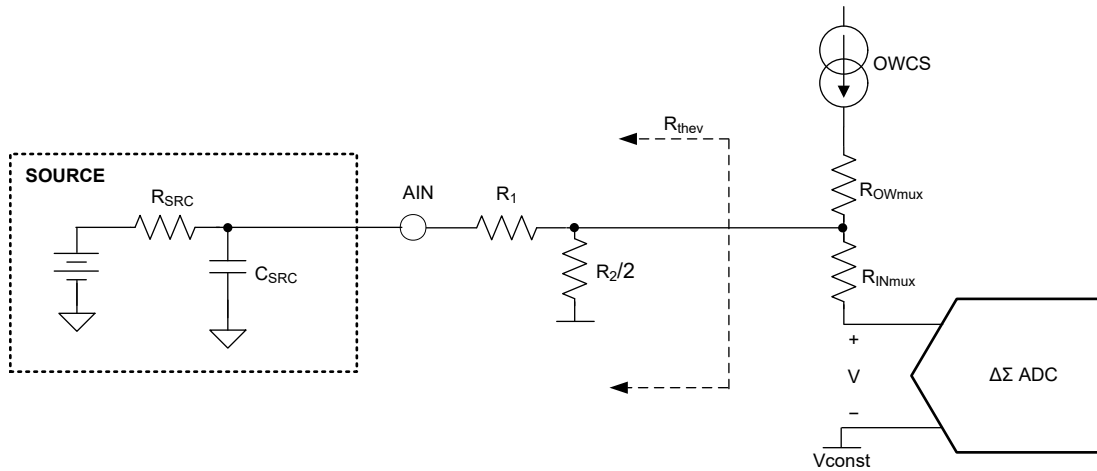


图 7-28. 开路检测方框图

要计算预期差值，请参见图 7-28 中的方框图。请注意，ADC 不会检测到 OWCS 多路复用器 (OWmux) 开关上的 IR 压降，并且输入多路复用器 (INmux) 电阻不会检测到 OW 电流。第一次转换（基线）的值为  $V_{conv1} = V_{baseline}$ 。第二次的转换结果为  $V_{conv2} = V_{baseline} + V_{IRdrop}$ 。两次转换之间的差值为  $V_{IRdrop}$ ，其中  $V_{IRdrop} = I(OWCS) \times R_{thcv}$ 。

OWCS 会跟踪 Vref 并下降，导致：

$$\text{差值 (\%FSR)} = (1 \mu A / \Omega) \times (R_{thcv})$$

对于非故障（非开路）源，目前假设  $R_{src} = 0$ 。然后：

$$R_{thcv} = (R_1 \parallel (R_2/2))$$

对于故障（开路/悬空）源，目前假设  $R_{src} = \infty$ 。然后：

$$R_{thcv} = R_2/2$$

表 7-30 显示了“良好”或非故障输入引脚以及“不良”或故障（开路/悬空）输入端的两次 ADC 转换之间的典型预期差值。

表 7-30. OWCS 差值（以 %FSR 值表示）

器件型号	典型差值 (%FSR) $R_{src} = 0$ “无故障”	典型差值 (%FSR) $R_{src} = \infty$ “故障”或“开路”
V12 ( $\pm 12V$ )	+16.1%	+18.7%
V20 ( $\pm 20V$ )	+22.5%	+25.0%
V40 ( $\pm 40V$ )	+23.7%	+25.0%

要检测开路情况，需将测得的差值与表 7-29 中所示的阈值进行比较。例如，如果差值为 22.9%（ $\pm 20V$  型号），则没有开路指示。

请注意，测得的差值取决于源阻抗，但表 7-30 假设源阻抗在开路条件下无穷大。在实际系统中，若发生导线断裂但仍存在部分残余连接，其源阻抗实际上可能为有限值，通常可达几百  $k\Omega$  或几  $M\Omega$  的数量级。图 7-29 展示了源阻抗从  $10\Omega$  增加到  $10G\Omega$  的差值变化。需要注意的是，该差值在  $10\Omega$  至约  $100k\Omega$  范围内基本保持恒定，此后开始逐渐增大，并在超过  $10M\Omega$  后趋近于理想值。

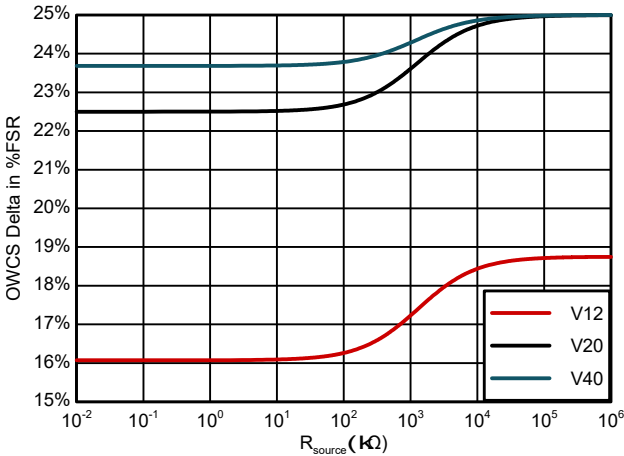


图 7-29. OWCS 差值与源阻抗间的关系

根据 图 7-29 中的数据，表 7-31 列出了一些源阻抗值的差值。

表 7-31. 有限  $R_{\text{source}}$  的 OWCS 差值 (以 %FSR 值表示)

器件型号	典型差值 (%FSR)	典型差值 (%FSR)	典型差值 (%FSR)
	$R_{\text{src}} = 100\text{k}\Omega$	$R_{\text{src}} = 1\text{M}\Omega$	$R_{\text{src}} = 10\text{M}\Omega$
V12 ( $\pm 12\text{V}$ )	+16.3%	+17.2%	+18.4%
V20 ( $\pm 20\text{V}$ )	+22.7%	+23.6%	+24.7%
V40 ( $\pm 40\text{V}$ )	+23.8%	+24.3%	+24.9%

根据 图 7-29 和 表 7-31，表 7-29 建议的阈值对应源阻抗值为  $1.3\text{M}\Omega$  (V12) 和  $1.4\text{M}\Omega$  (V20、V40)，这意味着使用建议阈值时，任何高于该值的源阻抗均被视为开路。如果系统中的源阻抗量级为  $100\text{k}\Omega$  或更高，可以选择高于 表 7-29 中所列值的阈值。

请注意 OWCS 的趋稳要求如下所示：

根据连续两个步骤配置页的定义，OWCS 在各步骤间进行开启和关闭操作。务必在开始转换前预留出趋稳时间。传感器输出端的电容会与 ADS125H18 电阻衰减器相互作用，进而在 OWCS 开启或关闭时减缓趋稳过程。以下简化分析假设电阻为  $R_1$ ，且稳定至  $5\tau$  或最终值的约 99%。确认在用于计算差值的各次转换之间留有了趋稳时间。尽可能降低源电容有助于加快趋稳速度。

表 7-32. OWCS 稳定时间

$C_{\text{src}}$	稳定至 $5\tau$ 、99% 的时间
1pF	26 $\mu\text{s}$
10pF	80 $\mu\text{s}$
100pF	620 $\mu\text{s}$
1nF	6ms
10nF	60ms
100nF	600ms
1 $\mu\text{F}$	6s

### 7.3.14 使用 ADC 0 代码输出进行开路检测

某些应用要求 ADC 在输入处于开路状态时提供 0 代码输出。这是检测系统中的开路的一种替代方法。

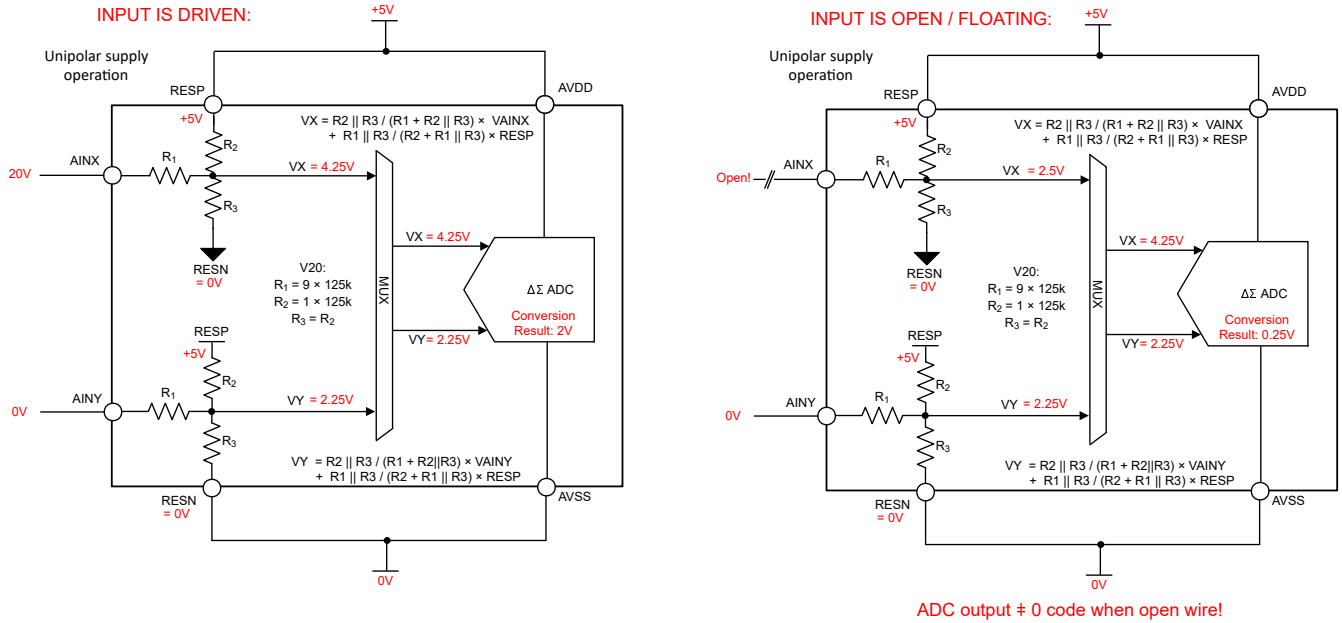


图 7-30. 开路条件下的 ADC 输出，RESP 连接至 AVDD

假设器件采用单极电源供电，如 图 7-30 所示。由于每个输入端的电阻网络分压器的内部偏置，开路（悬空输入）会在 ADC 输入端产生非零输入信号，如 图 7-30 右侧所示。因此，ADC 为开路输入提供了非零代码输出。

ADS125H18 能够在输入（由于开路）悬空时生成零代码输出。可以使用此模式是因为，RESN 和 RESP 是 ADS125H18 上的独立引脚。要实现此功能，可将 RESN 和 RESP 引脚连接至 GND 或 DGND（即 0V），如 图 7-31 所示。如果在此模式下需要支持负输入电压，请使用双极电源为器件供电，如 图 7-31 所示。

图 7-31. 开路条件下的 ADC 输出，RESP 和 RESN 连接至 GND

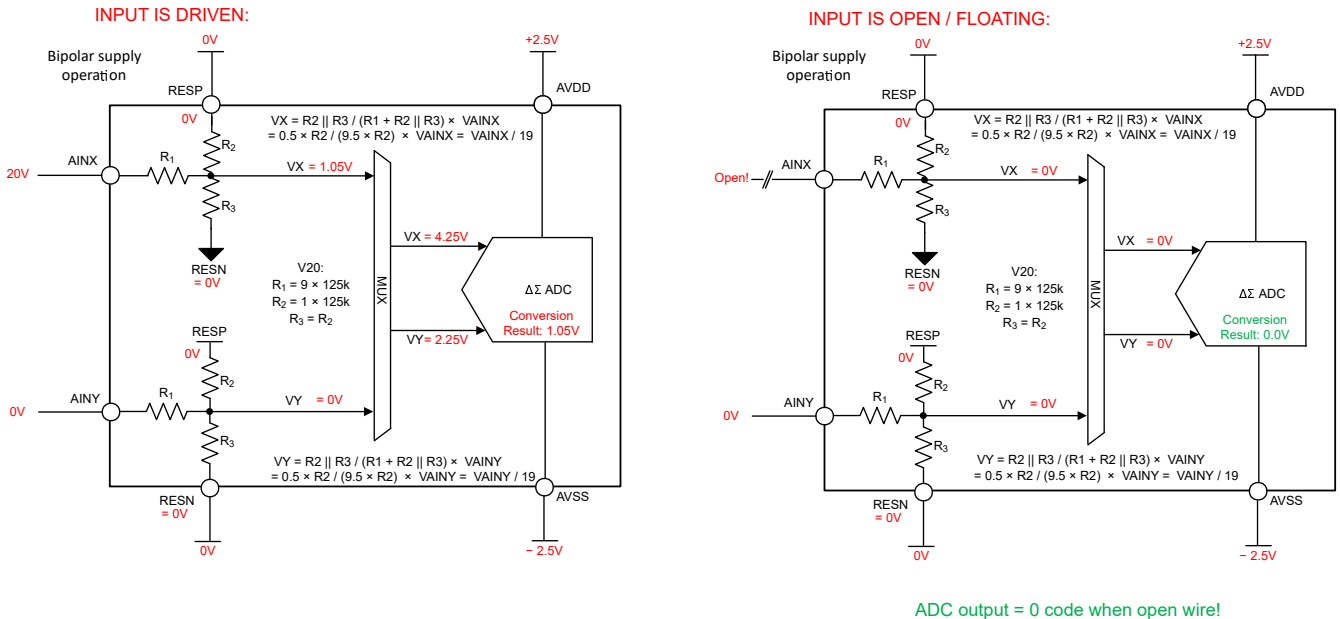


图 7-31 右侧的图展示了当 RESN 和 RESP 引脚均连接到 GND (0V)，并且器件由双极电源供电时的悬空线路情况。ADC 输入端的差分电压为 0V，ADC 会在开路情况下按预期输出接近 0 代码的转换结果。



### 7.3.15 系统监控器

ADS125H18 提供一组系统监控功能，这些功能可在内部路由到缓冲器输入，以便通过输入多路复用器进行测量。使用 STEP<sub>x</sub>\_SYS\_MON[3:0] 位 (x = 0 至 31) 从以下系统监控器之一进行选择：

- 高阻抗缓冲器的输入可以一起短接至 AVSS，以测量和校准内部信号链的输入失调电压。
- 集成式温度传感器，可提供与器件温度成正比的输出信号。
- 衰减的外部基准电压 ( $V_{REFP} - V_{REFN}$ )/3。
- 衰减的模拟和数字电源，分别为 (AVDD/3) 和 (DVDD/3)。
- 内部次级稳压电源，(CAPA - AVSS)/1 和 CAPD - DGND)/1。
- 衰减的电阻分压器网络电源电压 (RESP - RESN)/3。

选择其中一个系统监控器后，AIN[4:0] 位不起作用。选择系统监控器后，模拟输入以及 TDAC 多路复用信号会与输入缓冲器断开连接。所有设置均使用内部 2.5V 诊断基准。

#### 7.3.15.1 内部短路 (失调电压校准)

系统监控器提供将两个高阻抗缓冲器输入 (AINP 和 AINN) 短接至 AVSS 的选项。该选项可用于测量和校准器件失调电压，方法是将短路输入电压读数的结果存储在微控制器中，然后从每个后续读数中减去该结果。在输入短接的情况下获取多个读数，并对结果求平均值以降低噪声的影响。

#### 7.3.15.2 内部温度传感器

ADS125H18 提供用于测量芯片温度的集成式温度传感器 (TS)。温度传感器输出一个与芯片温度成正比的电压。[规格](#)一节中指定了温度传感器的输出电压特性 ( $TS_{Offset}$ 、 $TS_{TC}$ )。

[方程式 26](#) 显示了如何将测得的温度传感器输出电压转换为芯片温度：

$$\text{Die temperature } [^{\circ}\text{C}] = 25^{\circ}\text{C} + (\text{Measured voltage} - TS_{Offset}) / TS_{TC} \quad (26)$$

确保应用中可能出现的最高温度传感器输出电压小于  $V_{REF} = 2.5\text{V}$ 。

#### 7.3.15.3 外部基准电压回读

系统监控器可以监控 REFP 与 REFN 引脚之间连接的外部电压基准。为此，请选择衰减后的外部基准电压 ( $V_{REFP} - V_{REFN}$ )/3 进行测量。

#### 7.3.15.4 电源回读

系统监测器可监测模拟和数字电源，以及内部子稳压电源。为此，可以选择衰减模拟电源 (AVDD/3) 或衰减数字电源 (DVDD/3) 进行测量。也可以选择内部子稳压电源 (CAPA - AVSS) / 1 或 (CAPD - DGND) / 1。

#### 7.3.15.5 电阻分压器电源回读

系统监测器可以监测连接到电阻调节网络的电源。为此，衰减后的电阻分压器网络电源电压为 (RESP - RESN) / 3。

### 7.3.16 监测器标志、指示器和计数器

ADS125H18 提供了一组具有相应状态标志的监测器，以检测并向主机指示特定器件或系统故障。[表 7-33](#) 概述了可用的监测器。如果监控器能检测到故障，则相应的低电平激活故障标志会设置为 0b。可以使用专用的监控器使能位，按需启用或禁用大多数监控器。如果监控器能检测到故障，则相应的低电平激活故障标志会设置为 0b。除了与通信相关的监控器故障标志外，在故障条件消除之后，主机必须将故障标志清零为 1b。在未发生通信故障的帧之后的 SPI 帧中，通信相关 SPI CRC 故障标志会自动复位为 1b。

**表 7-33. 监测器概述**

监控器名称	监控器使能位	监控器故障标志	故障标志寄存器位置	故障标志复位机制
<b>电源、ADC 和基准监测器</b>				
复位	不适用	RESETn	STATUS_MSB	写入 1b 以将位清除为 1b

表 7-33. 监测器概述 (续)

监控器名称	监控器使能位	监控器故障标志	故障标志寄存器位置	故障标志复位机制
AVDD 欠压	不适用	AVDD_UVn	ADC_REF_STATUS	写入 1b 以将位清除为 1b
基准欠压	REF_UV_EN	REF_UVn	ADC_REF_STATUS	写入 1b 以将位清除为 1b
调制器超范围	不适用	MOD_OVR_FAULTn	ADC_REF_STATUS	写入 1b 以将位清除为 1b
<b>DIGITAL MONITORS</b>				
寄存器映射 CRC	REG_MAP_CRC_EN	REG_MAP_CRC_FAULTn	DIGITAL_STATUS	写入 1b 以将位清除为 1b
内存映射 CRC	不适用	MEM_INTERNAL_FAULTn	DIGITAL_STATUS	复位或断电重启器件
寄存器映射 CRC 故障页指示器	REG_MAP_CRC_EN	CRC_FAULT_PAGE[5:0]	DIGITAL_STATUS	清除 REG_MAP_CRC_FAULTn 标志后清除为默认值 (111111b = 无故障)
FIFO 溢出标志	不适用	FIFO_OFn	FIFO_SEQ_STATUS	写入 1b 以将位清除为 1b。
FIFO 下溢标志	不适用	FIFO_UFn	FIFO_SEQ_STATUS	写入 1b 以将位清除为 1b。
FIFO CRC 故障标志	不适用	FIFO_CRC_FAULTn	FIFO_SEQ_STATUS	写入 1b 以将位清除为 1b。
GPIO 读回	不适用	不适用	GPIO_DATA_INPUT	不适用
<b>COMMUNICATION MONITORS</b>				
SPI CRC	不适用	SPI_CRC_FAULTn	STATUS_LSB	根据前一个 SPI 帧的 CRC 结果在每个新 SPI 帧中进行更新
寄存器访问	不适用	REG_WRITE_FAULTn	STATUS_LSB	使用下一个寄存器写入命令进行更新

ADS125H18 中的每个监测器都有相应的故障标志 (请参阅表 7-33)，当相应的监测器检测到故障情况时，该标志就会设置为 0b。如表 7-33 中所示，RESETn 和通信相关故障标志位于 STATUS\_MSB 或 STATUS\_LSB 寄存器中。但是，ADC、基准、FIFO 和存储器相关故障标志被一起分组到详细状态寄存器中，如表 7-34 所示。ADS125H18 不会使用寄存器读取命令按需读取 STATUS\_MSB 或 STATUS\_LSB 寄存器，而可以在 SDO 上输出一个 STATUS 标头作为每个帧的前两个字节，如节 7.5.3.2 部分所述。使用 STATUS\_EN 位启用 STATUS 标头传输。16 位 STATUS 标头由 STATUS\_MSB[7:0] 和 STATUS\_LSB[7:0] 寄存器位串联而成。为了能够在 STATUS 标头中立即指示任何 ADC、基准、FIFO 或存储器相关故障，每个详细状态寄存器在 STATUS\_MSB 或 STATUS\_LSB 寄存器中都有相应的组合故障标志。也就是说，如果详细状态寄存器中的任何故障标志设置为 0b，则组合故障标志也设置为 0b。

表 7-34. 详细状态寄存器和相应的组合故障标志

监测以下故障标志：	详细故障标志	故障标志寄存器位置	STATUS_MSB 或 STATUS_LSB 寄存器中的组合故障标志
ADC 和基准	AVDD_UVn	ADC_REF_STATUS	ADC_REF_FAULTn
	REF_UVn		
	MOD_OVR_FAULTn		
FIFO	FIFO_OFn	FIFO_SEQ_STATUS	FIFO_FAULTn
	FIFO_UFn		
	FIFO_CRC_FAULTn		
存储器/内部错误	MEM_INTERNAL_FAULTn	DIGITAL_STATUS	INTERNAL_FAULTn
	REG_MAP_CRC_FAULTn		

要将已设置的组合故障标志清除为 1b，主机必须首先清除相应详细状态寄存器中的所有已设置故障标志。只有在详细状态寄存器中的所有故障标志都清除为 1b 后，主机才能通过写入 1b 来清除组合故障标志。

除了检测器件中的故障的监测器之外，ADS125H18 还提供了表 7-35 中所示的指示器，这些指示器可提供有关器件状态或行为的反馈。

表 7-35. 指示器和计数器概述

指示器或计数器名称	指示器或计数器位	指示器或计数器寄存器位置
数据就绪指示器	DRDY	FIFO_SEQ_STATUS
序列发生器激活	SEQ_ACTIVE	FIFO_SEQ_STATUS
序列步骤指示器	STEP_INDICATOR[4:0]	STATUS_MSB
ADC 转换计数器	CONV_COUNT[3:0]	STATUS_LSB
FIFO 深度指示器	FIFO_DEPTH[8:0]	FIFO_DEPTH_MSB、FIFO_DEPTH_LSB
已完成序列计数器	SEQ_COUNT[3:0]	FIFO_SEQ_STATUS

### 7.3.16.1 复位 ( RESETn 标志 )

RESETn 标志指示自上次将该位清除为 1b 以来是否发生了器件复位。写入 1b 以将 RESETn 位清除为 1b。

### 7.3.16.2 AVDD 欠压监测器 ( AVDD\_UVn 标志 )

AVDD 欠压监测器检测模拟电源是否降至 AVDD 欠压阈值 ( $TH_{AVDD\_UV}$ ) 以下。写入 1b 以将 AVDD\_UVn 位清除为 1b。

除了在断电模式下，AVDD 欠压监测器始终处于运行状态。即使 AVDD 电源未降至 AVDD 欠压阈值以下，在进入断电模式时 AVDD\_UVn 也会设置为 0b。

只要 DVDD 电源仍然存在，当模拟电源电压降至 AVDD 阈值以下时，器件就不会复位。

### 7.3.16.3 基准欠压监测器 ( REV\_UVn 标志 )

基准欠压监测器检测 REF\_SEL[1:0] 位选择的基准电压是否降至基准欠压阈值 ( $TH_{REF\_UV}$ ) 以下。写入 1b 以将 REF\_UVn 位清除为 1b。可使用 REF\_UV\_EN 位启用基准欠压监测器。但基准欠压监测器会在待机和断电模式下停止。

### 7.3.16.4 调制器超范围监测器 ( MOD\_OVR\_FAULTn 标志 )

调制器超范围标志 (MOD\_OVR\_FAULTn) 指示转换循环中发生的调制器饱和。该标志在转换周期结束时有效。有关调制器和调制器饱和标志的详细信息，请参阅 [调制器](#) 部分。

### 7.3.16.5 寄存器映射 CRC ( REG\_MAP\_CRC\_FAULTn 标志 )

REG\_MAP\_CRC\_FAULTn 标志指示是否发生寄存器映射 CRC 故障。可使用 REG\_MAP\_CRC\_EN 位启用寄存器映射 CRC。但寄存器映射 CRC 会在待机和断电模式下停止。写入 1b 以将 REG\_MAP\_CRC\_FAULTn 位清除为 1b。

寄存器映射 CRC 用于检查寄存器映射内容是否发生意外更改。每个寄存器页都有一个单独的 CRC 寄存器：状态和通用配置页的 CRC 寄存器是 REG\_MAP\_CRC 寄存器，每个序列步骤页的 CRC 寄存器是相应的 STEP<sub>x</sub>\_REG\_MAP\_CRC 寄存器 (  $x = 0$  至 31 )。每当寄存器发生更改时，将新寄存器映射 CRC 代码写入 REG\_MAP\_CRC 或 STEP<sub>x</sub>\_REG\_MAP\_CRC 寄存器。对于每一页，CRC 代码通过 [表 7-36](#) 中所示的寄存器地址计算得出。ADC 会持续将写入 CRC 寄存器的 CRC 代码与内部计算值进行比较。如果这些值不匹配，则会设置 DIGITAL\_STATUS 寄存器中的 REG\_MAP\_CRC\_FAULTn 位。如果设置了错误标志，请更正这些寄存器值或更新 CRC 代码，然后将 1b 写入 REG\_MAP\_CRC\_FAULTn 位以清除错误标志。DIGITAL\_STATUS 寄存器中的 CRC\_FAULT\_PAGE[5:0] 位指示当 REG\_MAP\_CRC\_FAULTn 指示 CRC 故障时哪个寄存器页显示 CRC 错误。清除 REG\_MAP\_CRC\_FAULTn 标志后该字段被清除为默认值 ( 11111b = 无故障 )。

表 7-36. CRC 中使用的寄存器

寄存器页	用于 CRC 计算的寄存器 <sup>(1)</sup>
状态和通用配置页	0x12 至 0x18
	0x20 至 0x2D
	0x30 至 0x32



**表 7-36. CRC 中使用的寄存器 (续)**

寄存器页	用于 CRC 计算的寄存器 <sup>(1)</sup>
步骤配置页 (0 至 31)	0x00 至 0x10

(1) 执行 CRC 计算时, 所有保留 (未使用) 位均设置为 0b。

寄存器映射 CRC 代码的计算与 [SPI CRC](#) 部分中所示的计算相同。

计算状态和通用配置页上的 CRC 代码时需将 REG\_MAP\_CRC\_EN 位设置为 1b (已启用), 因为必须设置此位才能启用 CRC 校验。

按照以下步骤更改寄存器位, 不会意外导致 REG\_MAP\_CRC\_FAULTn 指示:

- 通过设置 REG\_MAP\_CRC\_EN = 0b 来禁用寄存器映射
- 等待故障响应时间  $t_{p(REG\_MAP\_CRC)}$
- 如果 REG\_MAP\_CRC\_FAULTn 故障标志设置为 0b, 则通过向 REG\_MAP\_CRC\_FAULTn 位写入 1b 来清除故障标志
- 可选: 确认 REG\_MAP\_CRC\_FAULTn 故障标志已清除为 1b
- 根据需要更改器件寄存器位
- 根据新寄存器映射设置更新 REG\_MAP\_CRC[7:0] 位
- 通过设置 REG\_MAP\_CRC\_EN = 1b 启用寄存器映射 CRC

也可以在启用寄存器映射 CRC 时更改寄存器位, 如以下过程所述, 但可能会导致意外的 REG\_MAP\_CRC\_FAULTn 指示。

- 在启用寄存器映射 CRC 时, 根据需要更改寄存器位
- 根据新寄存器映射设置更新 REG\_MAP\_CRC[7:0] 位
- 等待故障响应时间  $t_{p(REG\_MAP\_CRC)}$
- 如果 REG\_MAP\_CRC\_FAULTn 故障标志设置为 0b, 则通过向 REG\_MAP\_CRC\_FAULTn 位写入 1b 来清除故障标志
- 可选: 确认 REG\_MAP\_CRC\_FAULTn 故障标志已清除为 1b

### 7.3.16.6 存储器映射 CRC (MEM\_INTERNAL\_FAULTn 标志)

MEM\_INTERNAL\_FAULTn 标志指示是否发生了存储器映射 CRC 故障, 或者是否在内部选择了错误的寄存器页。

与寄存器映射 CRC 类似, 该器件使用内存映射 CRC 来检查内部内存中是否存在随机位更改。更改内部内存位会导致器件行为不确定或器件性能下降。存储器映射 CRC 始终启用 (除非处于待机或断电模式), 并会不断计算内部存储器映射中的 CRC 值。器件会将计算结果与生产中存储在内存映射中的内存映射 CRC 值进行比较。如果内部计算结果与存储的存储器映射 CRC 值不匹配, 则 MEM\_INTERNAL\_FAULTn 标志将设置为 0b。发生内存映射 CRC 故障时, 器件不会执行其他操作。

CRC 计算以串行方式执行, 每个内部时钟振荡器周期一个存储器映射字。因此, 随机位更改不会立即显示在 MEM\_INTERNAL\_FAULTn 标志中, 而可能需要延迟  $t_{p(MEM\_MAP\_CRC)}$ 。

如果在内部选择了错误的页 (PAGE\_INDICATOR 与 PAGE\_POINTER 不匹配), 则 MEM\_INTERNAL\_FAULTn 标志也会设置为 0b。

如果发生存储器映射 CRC 故障或选择了错误的页 (都会触发 MEM\_INTERNAL\_FAULTn 标志), 则向 MEM\_INTERNAL\_FAULTn 位写入 1b 来将故障标志清除为 1b。如果故障标志继续设置为 0b, 则需要断电重启或复位器件。

### 7.3.16.7 FIFO 溢出 (FIFO\_OFn 标志) 和 FIFO 下溢 (FIFO\_UFn 标志)

FIFO 溢出标志 (FIFO\_OFn) 检测 FIFO 缓冲器中的溢出情况, FIFO 下溢标志 (FIFO\_UFn) 检测 FIFO 缓冲器中的下溢情况。这两个标志仅在启用 FIFO 时可用。有关 FIFO 溢出标志和 FIFO 下溢标志实现的详细信息, 请参阅 [FIFO 缓冲器](#) 部分。

### 7.3.16.8 FIFO CRC 故障 ( FIFO\_CRC\_FAULTn 标志 )

FIFO CRC 故障标志 ( FIFO\_CRC\_FAULTn 标志 ) 在 FIFO 读取期间检测 CRC 错误。仅当启用 FIFO 时, 该标志才可用。有关 FIFO CRC 实现的详细信息, 请参阅 [FIFO 缓冲器](#) 部分。

### 7.3.16.9 GPIO 读回

当各 GPIO 配置为数字输出时, ADS125H18 中所有可用的 GPIO 都会提供独立的回读路径。这意味着独立于输出驱动电路的输入接收电路会检测 GPIO 引脚上驱动电压电平。回读结果显示在相应的 STEPx\_GPIOn\_DAT\_IN 位 ( x = 0 至 31、n = 0 至 3 )。

### 7.3.16.10 SPI CRC 故障 ( SPI\_CRC\_FAULTn 标志 )

SPI\_CRC\_FAULTn 标志指示上一个 SPI 帧中的 SDI 上是否发生 SPI CRC 故障。在发生 SPI CRC 故障的帧中将阻止执行该命令, 而是执行无操作命令。后续帧中的命令不会阻止。SPI\_CRC\_FAULTn 位会根据上一个 SPI 帧的 CRC 结果在每个新的 SPI 帧中更新。使用 SPI\_CRC\_EN 位启用 SPI CRC。此外, 使用 STATUS\_EN 位启用 STATUS 字的传输, 以在发生任何 SPI CRC 故障时收到通知。有关 SPI CRC 实现的详细信息, 请参阅 [SPI CRC](#) 一节。

### 7.3.16.11 寄存器写入故障 ( REG\_WRITE\_FAULTn 标志 )

REG\_WRITE\_FAULTn 标志指示是否发生了对无效寄存器地址的写入访问。当对无效的寄存器地址进行写入时, 会设置该标志, 并在下一个寄存器写入命令时更新。从无效寄存器地址读取不会设置标志, 但可通过读取命令的 SPI 帧内的地址指示检测到。

### 7.3.16.12 DRDY 指示器 ( DRDY 位 )

DRDY 位是  $\overline{\text{DRDY}}$  引脚的反向信号。通过使用 STATUS\_EN 位启用 STATUS 标头的传输, 可以利用 DRDY 位作为指示。DRDY 位指示在当前 SPI 帧内读取的转换数据是新数据还是来自上次读取操作的重复数据。使用寄存器读取命令轮询 DRDY 位是不可靠的, 因为在大多数情况下 DRDY 位的读取值为 0b。

### 7.3.16.13 序列发生器有效指示器 ( SEQ\_ACTIVE 位 )

序列发生器运行指示符位 ( SEQ\_ACTIVE 位 ) 指示转换当前是否正在进行, 或者转换是否停止且器件是否处于空闲、待机或断电模式。

当序列发生器启用, 启动 START 引脚或设置 START 位时, 会设置该位。当器件在序列完成后进入待机模式或空闲模式 ( 通过停止位或到达序列末尾 ) 时, 该位会自动复位。

有关序列发生器操作的详细信息, 包括可用序列发生器模式, 请参阅 [通道自动序列发生器](#) 一节。

### 7.3.16.14 序列步骤指示器 (STEP\_INDICATOR[4:0])

序列步骤指示器 (STEP\_INDICATOR[4:0]) 指示用于最新转换结果的步骤页面配置, 当前可读出该结果。在器件复位后, 断电模式下或写入 SEQUENCER\_CFG 寄存器时, 步骤指示器复位为 00h。在转换计数器 (CONV\_COUNT[3:0]) 复位为 Fh 的同时, 序列计数器 (SEQ\_COUNT[3:0]) 复位为 0h, 并且转换数据清除。

有关序列发生器运行的详细信息 ( 包括可用的序列发生器模式和序列发生器指示器的详细信息 ), 请参阅 [通道自动序列发生器](#) 部分。

### 7.3.16.15 ADC 转换计数器 (CONV\_COUNT[3:0])

每完成一次新转换, 转换计数器 CONV\_COUNT[3:0] 都会递增。达到计数器值 Fh 后, 计数器会在完成下一次转换时回滚到 0h。

只有在器件复位之后或写入 SEQUENCER\_CFG 寄存器时, 计数器才会在断电模式下复位为 Fh。同时, 序列步骤指示器 (STEP\_INDICATOR[4:0]) 复位为 00h, 序列计数器 (SEQ\_COUNT[3:0]) 复位为 0h, 并且转换数据清除。在复位、断电之后或写入 SEQUENCER\_CFG 寄存器之后完成第一次转换时, 计数器读数为 0h。启用序列发生器 ( SEQ\_MODE[1:0] = 10b 或 11b ) 时, 计数器在一个步骤的第一次转换时读数始终为 0h。禁用序列发生器 ( SEQ\_MODE[1:0] = 00b 或 01b ) 时, 如果以新步骤页配置进行的转换完成, 计数器值不会返回 0h。

当转换计数器作为 STATUS 标头的一部分输出 (STATUS\_EN = 1b) 时，器件会确保转换计数器值始终与在同一 SPI 帧中输出的 ADC 转换结果匹配。

如果需要，在以新步骤页配置启动转换之前，通过写入 SEQUENCER\_CFG 寄存器将计数器复位为 Fh。

#### 7.3.16.16 FIFO 深度指示器 (FIFO\_DEPTH[8:0])

FIFO 深度指示器 (FIFO\_DEPTH[8:0] 位) 报告 FIFO 的深度，即 FIFO 写入指针和读取指针之间的差值。该指示器仅在启用 FIFO 后才可用。有关 FIFO 深度指示器的详细信息，请参阅 [FIFO 缓冲器](#) 部分。

#### 7.3.16.17 已完成序列计数器 (SEQ\_COUNT[3:0])

序列计数器 (SEQ\_COUNT[3:0]) 指示通过多个序列运行的进展。当 SEQ\_MODE[1:0] = 11b 时，序列计数器指示最新转换结果所属的序列运行，该结果当前可供读取。序列计数器在新序列运行的第一次转换完成时递增。第一个序列运行的第一次转换完成时，计数器读数为 0h。在第二个序列运行的第一次转换完成时，计数器读数为 1h。达到计数器值 Fh 后，计数器会在下一个序列运行的第一次转换完成时回滚到 0h。

在将 START 位设置为 1b 后的第一次转换完成时，或在 START 引脚的上升沿，计数器复位为 0h。在省电模式下或器件复位后写入 SEQUENCER\_CFG 寄存器时，计数器立即复位为 0h。同时，序列步骤指示器 (STEP\_INDICATOR[4:0]) 复位为 00h，转换计数器 (CONV\_COUNT[3:0]) 复位为 Fh，并且清除转换数据。当 SEQ\_MODE[1:0] = 00b、01b 或 10b 时，序列计数器始终读取为 0h。

有关序列发生器操作的详细信息，包括可用序列发生器模式，请参阅 [通道自动序列发生器](#) 一节。

#### 7.3.17 测试 DAC (TDAC)

ADS125H18 包括一个用于 ADC 自检和验证的测试电压数模转换器 (TDAC)。这款 5 位 TDAC 能够提供单端测试电压。最小 TDAC 输出为辅助电压基准的 1/32。最大 TDAC 输出等于辅助电压基准。

如 [功能方框图](#) 中所示，非缓冲（且更精确的）TDAC 输出也可以直接连接到高阻抗缓冲器输入 AINP 和 AINN。将 STEPx\_TDAC\_SEL[4:0] 设置为 00001b（正输入）或 00010b（负输入）即可使用该模式。在每种情况下，另一个输入连接到 AVSS。在此模式下，输入多路复用器被强制打开。如果用户同时还使用 STEPx\_SYS\_MON[3:0] 选择了系统监测器，则系统监测器具有优先权，并且不会使用非缓冲 TDAC。

当使用缓冲 TDAC 时，专用多路复用器将 TDAC 路由到由 STEPx\_TDAC\_SEL[4:0] 位定义的所选输入。输入多路复用器选择不受影响。通过将 STEPx\_TDAC\_SEL[4:0] 设置为 10011b，可将缓冲 TDAC 输出路由至 REFP/TDACOUT 引脚。请注意，TDAC 输出被路由至所选输入通道的电阻衰减器输出端，该输出端为输入多路复用器的输入节点，如 [功能方框图](#) 所示。

表 7-37 展示了 TDAC 多路复用器的所有可用配置。

表 7-37. TDAC 多路复用器配置

STEPx_TDAC_SEL[4:0] (x = 0 至 31)	说明
00000b	多路复用器断开，TDAC 未连接
00001b	非缓冲 TDAC 连接至正输入；负输入连接至 AVSS
00010b	非缓冲 TDAC 连接至负输入，正输入连接至 AVSS
00011b	缓冲 TDAC 连接至 AIN0 衰减器输出
00100b	缓冲 TDAC 连接至 AIN1 衰减器输出
00101b	缓冲 TDAC 连接至 AIN2 衰减器输出
00110b	缓冲 TDAC 连接至 AIN3 衰减器输出
00111b	缓冲 TDAC 连接至 AIN4 衰减器输出

表 7-37. TDAC 多路复用器配置 ( 续 )

STEPx_TDAC_SEL[4:0] ( x = 0 至 31 )	说明
01000b	缓冲 TDAC 连接至 AIN5 衰减器输出
01001b	缓冲 TDAC 连接至 AIN6 衰减器输出
01010b	缓冲 TDAC 连接至 AIN7 衰减器输出
01011b	缓冲 TDAC 连接至 AIN8 衰减器输出
01100b	缓冲 TDAC 连接至 AIN9 衰减器输出
01101b	缓冲 TDAC 连接至 AIN10 衰减器输出
01110b	缓冲 TDAC 连接至 AIN11 衰减器输出
01111b	缓冲 TDAC 连接至 AIN12 衰减器输出
10000b	缓冲 TDAC 连接至 AIN13 衰减器输出
10001b	缓冲 TDAC 连接至 AIN14 衰减器输出
10010b	缓冲 TDAC 连接至 AIN15 衰减器输出
10011b	缓冲 TDAC 连接至 REFP/TDACOUT 引脚
所有其他代码	多路复用器断开, TDAC 未连接

设置 STEPx\_TDAC\_VAL[4:0] 位以选择 TDAC 输出值。辅助基准值与通用配置页上以 REF\_VAL 位为 ADC 基准选择的值相同 ( 01b = 2.5V , 1b = 4.096V ) 。表 7-38 展示了 TDAC 输出电压 , 具体取决于 STEPx\_TDAC\_VAL[4:0] 位和 REF\_VAL 值。

表 7-38. TDAC 输出电压

STEPx_TDAC_VAL[4:0] ( x = 0 至 31 )	TDAC 上的值	值 REF_VAL = 0b (2.5V)	值 REF_VAL = 1b (4.096V)
00000b	$(1 / 32) \times \text{辅助 Vref}$	0.078V	0.128V
00001b	$(2 / 32) \times \text{辅助 Vref}$	0.156V	0.256V
...	...	...	...
nnnnn	$((nnnnn + 1) / 32) \times \text{辅助 Vref}$	...	...
11110b	$(31 / 32) \times \text{辅助 Vref}$	2.422V	3.968V
11111b	$(32 / 32) \times \text{辅助 Vref}$	2.5V	4.096V

7.3.18 并行后置滤波器

ADS125H18 集成了并行后置滤波器 , 可在不降低数据速率的情况下在目标频率下启用滤波器陷波。

如 图 7-32 所示 , 最多可并行使用 8 个后置过滤器。这些滤波器是级联的移动平均滤波器。用户可以对滤波器阶数和平均值数量进行编程。后置滤波器类似于传统 sinc 滤波器 , 不同之处在于并联滤波器内没有抽取。后置滤波器达到稳定后 , 每个滤波器的输入数据速率等于输出数据速率。

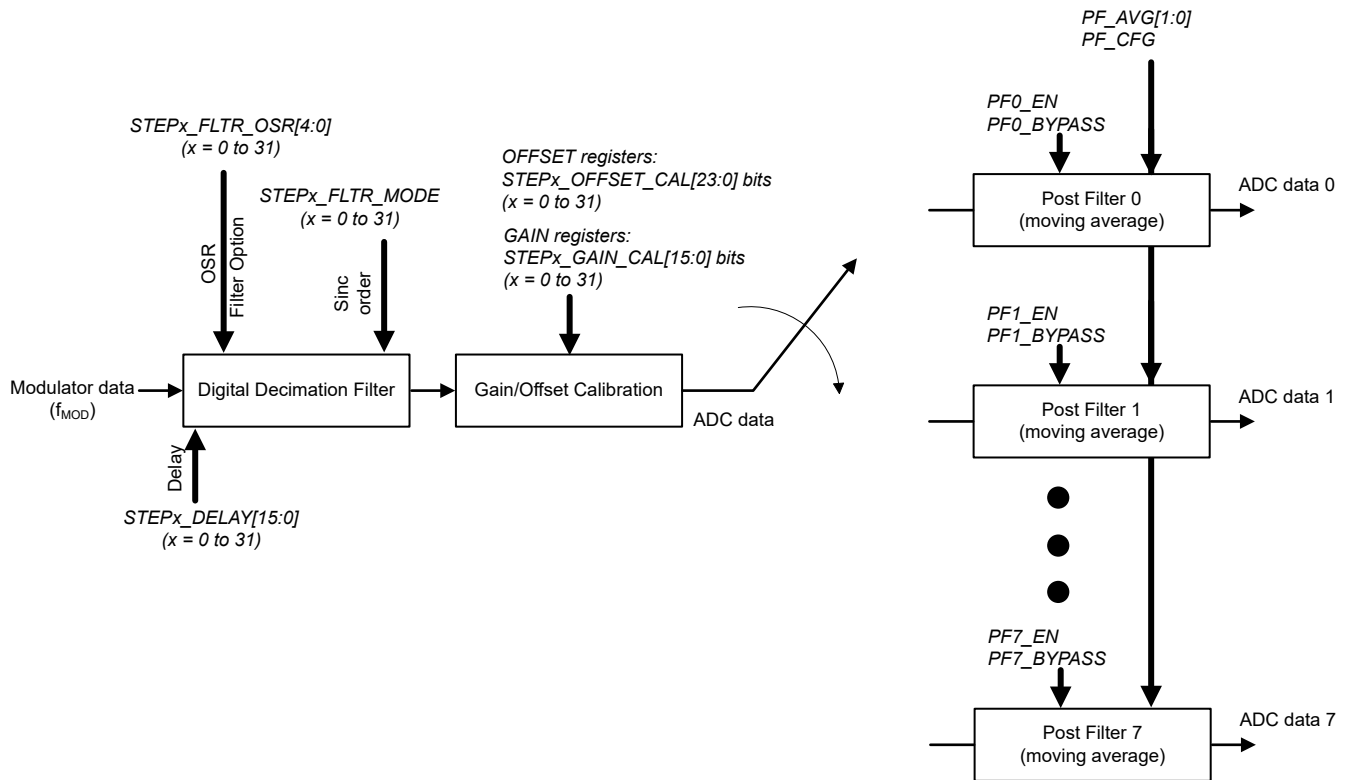


图 7-32. 并行后置滤波器方框图

必须启用序列发生器才能使用后置滤波器。每当序列发生器启动或重新启动时，并行滤波器都会复位。

### 7.3.18.1 配置并行后置滤波器

后置滤波器 0 至 7 被分配到相应的序列步骤 0 至 7。序列中启用的任何其他步骤都不能进行后置过滤并被忽略。在序列步骤上使用后置滤波器时，该步骤的转换次数强制为 1。主滤波器 OSR 和转换启动延迟时间与有效步骤页面中的配置相同：例如，STEP0\_FLTR\_CFG 寄存器设置步骤 0 和后置滤波器 0 的滤波器配置，STEP0\_DELAY\_MSB\_CFG 和 STEP0\_DELAY\_LSB\_CFG 寄存器设置在每个序列步骤的第一次 ADC 转换之前插入的延迟时间。

后置滤波器由 PF<sub>n</sub>\_EN (n = 0 至 7) 寄存器位单独启用。每个使能对应于相应的步骤数。例如，PF3\_EN 会为序列步骤 3 启用后置滤波器。禁用后置滤波器可省电。请注意，必须启用相关的序列发生器步骤才能使用后置滤波器。如果序列发生器被禁用，PF<sub>n</sub>\_EN (n = 0 至 7) 位会被忽略。

图 7-33 展示了已启用全部 8 个后置滤波器的示例的时序，并在数字抽取滤波器中选择了 sinc4 滤波器选项。每个序列步骤对应一个后置滤波器，即一个通道。鉴于强制为 1 的转换数量，每个序列步骤由可编程延迟和只有一个完全趋稳的转换结果组成，然后再切换到下一个步骤/通道。



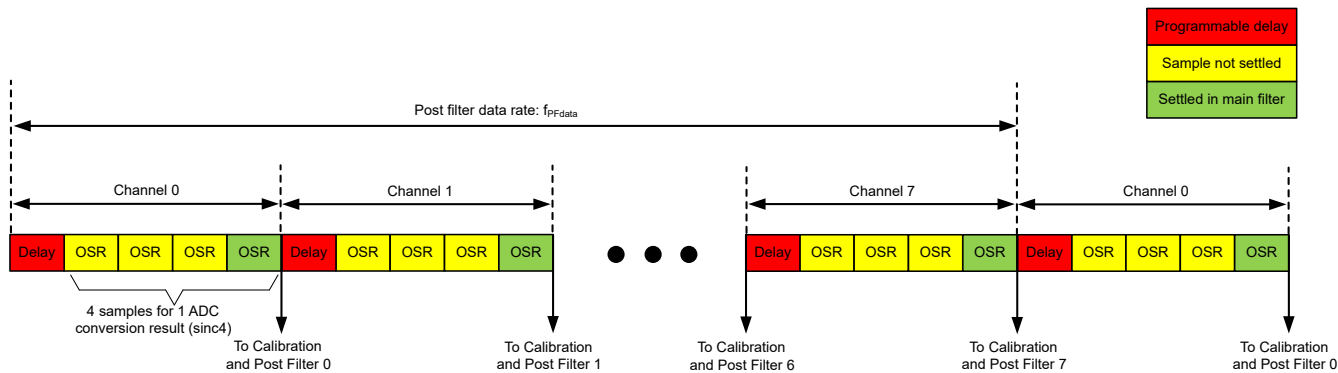


图 7-33. 并行后置滤波器计时示意图

方程式 27 给出了每个后置滤波器的传递函数：

$$H(z) = \left( \frac{1 + z^{-1} + \dots + z^{-(N-1)}}{N_{avr}} \right)^{M_{ord}} \quad (27)$$

其中：

- $N_{avr}$  是由 PF\_AV[1:0] 位设置的平均值数量
- $M_{ord}$  是由 PF\_CFG 位设置的滤波器阶数

后置滤波器内的平均值数量和滤波器阶数设置适用于所有 8 个后置滤波器。表 7-39 展示了平均值数量的可用选项，而表 7-40 展示了滤波器阶数的可用选项。只要更改了 PF\_AV[1:0] 或 PF\_CFG 或者主滤波器复位，后置滤波器就会复位。

表 7-39. 并行后置滤波器平均值控制

PF_AV[1:0]	平均值数量
00	4
01	8
10	16
11	16

表 7-40. 并行后置滤波器阶数控制

PF_CFG	后置滤波器阶数
0	1 (类似于 sinc 1)
1	3 (类似于 sinc 3)

使用 PF<sub>n</sub>\_BYPASS (n = 0 至 7) 位，对每个后置滤波器都存在一个后置滤波器旁路控制。此控件允许用户选择后置滤波器之前或之后的数据。例如，用户可以在后置滤波器正在处理数据时监控更快的主滤波器输出，然后在稍后检索平均值。如果 PF<sub>n</sub>\_BYPASS = 0，则启用相应的后置滤波器。如果 PF<sub>n</sub>\_BYPASS = 1，则会绕过后置滤波器。后置滤波器旁路可随着序列发生器运行而更改，从而允许用户在后置滤波器之前或之后动态读取数据。PF<sub>n</sub>\_BYPASS 不会立即切换输出数据。PF<sub>n</sub>\_BYPASS 仅告知序列发生器在生成新数据（主滤波器数据或后置滤波器数据）时将哪个数据放入输出数据缓冲区。所有序列步骤共享相同的输出数据缓冲器。仅当生成新数据（主滤波器数据或后置滤波器数据，具体取决于有效步骤的 PF<sub>x</sub>\_BYPASS 设置）时，输出数据缓冲器才会更新。如果序列发生器被禁用，PF<sub>n</sub>\_BYPASS (n = 0 至 7) 位会被忽略。

如果禁用所有后置滤波器（不使用后置滤波器时），则当 PF<sub>n</sub>\_EN = 0 (n = 0 至 7) 时，确保所有 PF<sub>n</sub>\_BYPASS (n = 0 至 7) 位都设置为默认值 PF<sub>n</sub>\_BYPASS = 1 (n = 0 至 7)。将任何 PF<sub>n</sub>\_BYPASS (n = 0 至 7) 位设置为 0 都可能无意中启用后置滤波器，即使所有使能位 PF<sub>n</sub>\_EN = 0 (n = 0 至 7) 都设置为 0 也是如此。

### 7.3.18.2 并行后置滤波器的频率响应

后置滤波器的数据速率取决于主滤波器（即图 7-32 中所示的数字抽取滤波器）的数据速率和通道数。假设采用 sinc4 抽取方式，主滤波器的数据速率由方程式 28 定义：

$$f_{\text{ADCdata}} = \frac{f_{\text{MOD}}}{\text{Delay} + 4 \times \text{OSR}} \quad (28)$$

其中：

- $f_{\text{MOD}}$  是调制器频率
- OSR 是由 STEP<sub>x</sub>\_FLTR\_OSR[4:0] 位设置的过采样率
- Delay 是在每个序列步骤的第一次 ADC 转换之前插入的延迟时间，由 STEP<sub>x</sub>\_DELAY[15:0] 位设置

方程式 29 描述了后置滤波器数据速率，也是序列发生器的扫描速率（即序列发生器重复运行的频率）：

$$f_{\text{PFdata}} = \frac{f_{\text{ADCdata}}}{\text{channel\_num}} = \frac{f_{\text{MOD}}}{(\text{Delay} + 4 \times \text{OSR}) \times \text{channel\_num}} \quad (29)$$

其中：

channel\_num 是启用了后置滤波器的通道数（通常为 2、4 或最多 8 个）

通过测量来确认扫描速率的一种直接方法是将  $\overline{\text{DRDY}}$  配置为在每次序列发生器重复时进行切换，这意味着在每个完成的序列结束时进行切换。这样，用户就可以直接测量序列速率。

所有已启用的后置滤波器的频率响应都相同，并由滤波器配置（平均值数量 N 和滤波器阶数 M）和后置滤波器数据速率（即扫描速率）设置。

方程式 30 定义了每个并联后置滤波器的陷波频率：

$$f_{\text{PFnotch}} = \frac{f_{\text{PFdata}}}{\text{Navr}} = \frac{f_{\text{MOD}}}{(\text{Delay} + 4 \times \text{OSR}) \times \text{channel\_num} \times \text{Navr}} \quad (30)$$

其中：

Navr 是由 PF\_AV[1:0] 位设置的平均值数量

例如，假设调制器频率为 12.8MHz，sinc4 OSR 设置为 128，延迟设置为 488，启用 8 个通道，则后置滤波器数据速率/扫描速率为 1.6kHz，Navr = 4 时的陷波频率为 400Hz。图 7-34 展示了此配置中每个后置滤波器的频率响应。

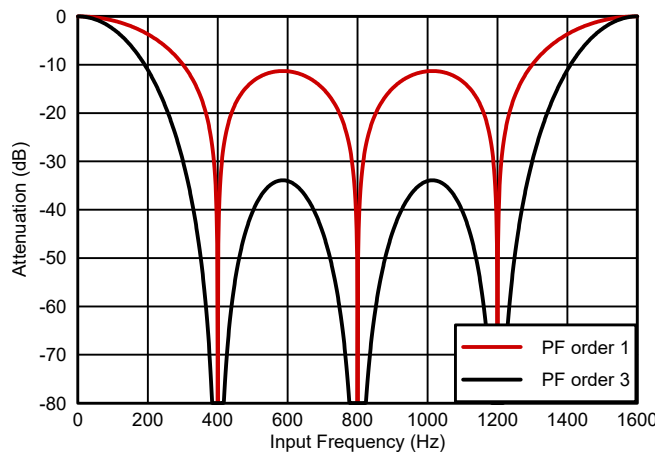


图 7-34. 并行后置滤波器频率响应，4 个平均值和 1.6kHz 扫描速率

在另一个示例中，如果调制器频率为 12.8MHz，sinc4 OSR 为 512，延迟设置为 1285，启用 8 个通道，则后置滤波器数据速率/扫描速率为 480Hz，Navr = 8 时的陷波频率为 60Hz。图 7-35 展示了此配置中每个后置滤波器的频率响应。

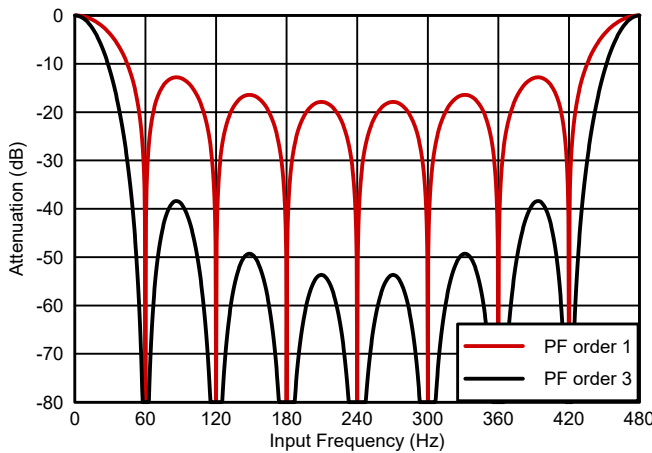


图 7-35. 并行后置滤波器频率响应，8 个平均值和 480Hz 扫描速率

使用滤波器阶 Mord = 3 (类似于 sinc3) 会得到比滤波器阶 Mord = 1 (类似于 sinc1) 更宽的陷波，但代价是延迟更长，请参阅图 7-34 和图 7-35。请注意，使用后置滤波器的给定步骤的总频率响应是主滤波器和后置滤波器响应的组合。

### 7.3.18.3 趋稳时间和使用后置滤波器时的 $\overline{\text{DRDY}}$ 行为

虽然输入和输出数据速率相同 (趋稳时)，但两者之间存在偏斜，因为并联滤波器需要时间来处理输入。表 7-41 显示了由于后置滤波器中的内部处理而导致  $\overline{\text{DRDY}}$  转换的额外延迟，表 7-42 显示了不同后置滤波器配置的趋稳时间。

表 7-41. 并行后置滤波器处理时间 ( $\overline{\text{DRDY}}$  延迟)

平均值数量	MODCLK 中的 $\overline{\text{DRDY}}$ 延迟时间	
	PF 阶数 1	PF 阶数 3
4	5	15
8	9	27
16	17	51

表 7-42. 并行后置滤波器趋稳时间

平均值数量	PF 阶数 1	PF 阶数 3
4	第 4 个数据已趋稳	第 10 个数据已趋稳
8	第 8 个数据已趋稳	第 22 个数据已趋稳
16	第 16 个数据已趋稳	第 46 个数据已趋稳

使用后置滤波器时  $\overline{\text{DRDY}}$  引脚的行为由 DRDY\_CFG[1:0] 位设置，以便在每次完成转换后或在每个序列步骤之后或在序列完成之后进行转换，有关详细信息，请参阅[自动序列发生器和  \$\overline{\text{DRDY}}\$  行为](#) 部分。但是，在序列发生器启动后，当启用并行后置滤波器并选择后置滤波器输出作为数据输出 (PFn\_BYPASS = 0) 时，只有后置滤波器已按照表 7-42 中的定义趋稳时， $\overline{\text{DRDY}}$  才会首次转换。此后， $\overline{\text{DRDY}}$  会按照 DRDY\_CFG[1:0] 位的定义进行转换，但会有表 7-41 中指定的额外延迟。表 7-41 中所示的额外延迟会增加校准引擎的固有延迟，该延迟在主滤波器趋稳后 (即在 sinc4 情况下，每 4 个 ADC 转换结果之后) 插入一次，作为恒定延迟 6.5 个调制器时钟周期。例如，如果是 4 个平均值和后置滤波器阶数 1，则每个  $\overline{\text{DRDY}}$  转换相对于 ADC 稳定转换结果完成的总延迟为  $6.5 + 5 =$



11.5 个调制器时钟周期。图 7-36 展示了平均值数量 = 4、PF 阶数 = 1 且 channel\_num = 8 时的配置行为。在本例中，第一次  $\overline{\text{DRDY}}$  转换发生在第 25 个 ADC 数据之后，请参阅图 7-36。

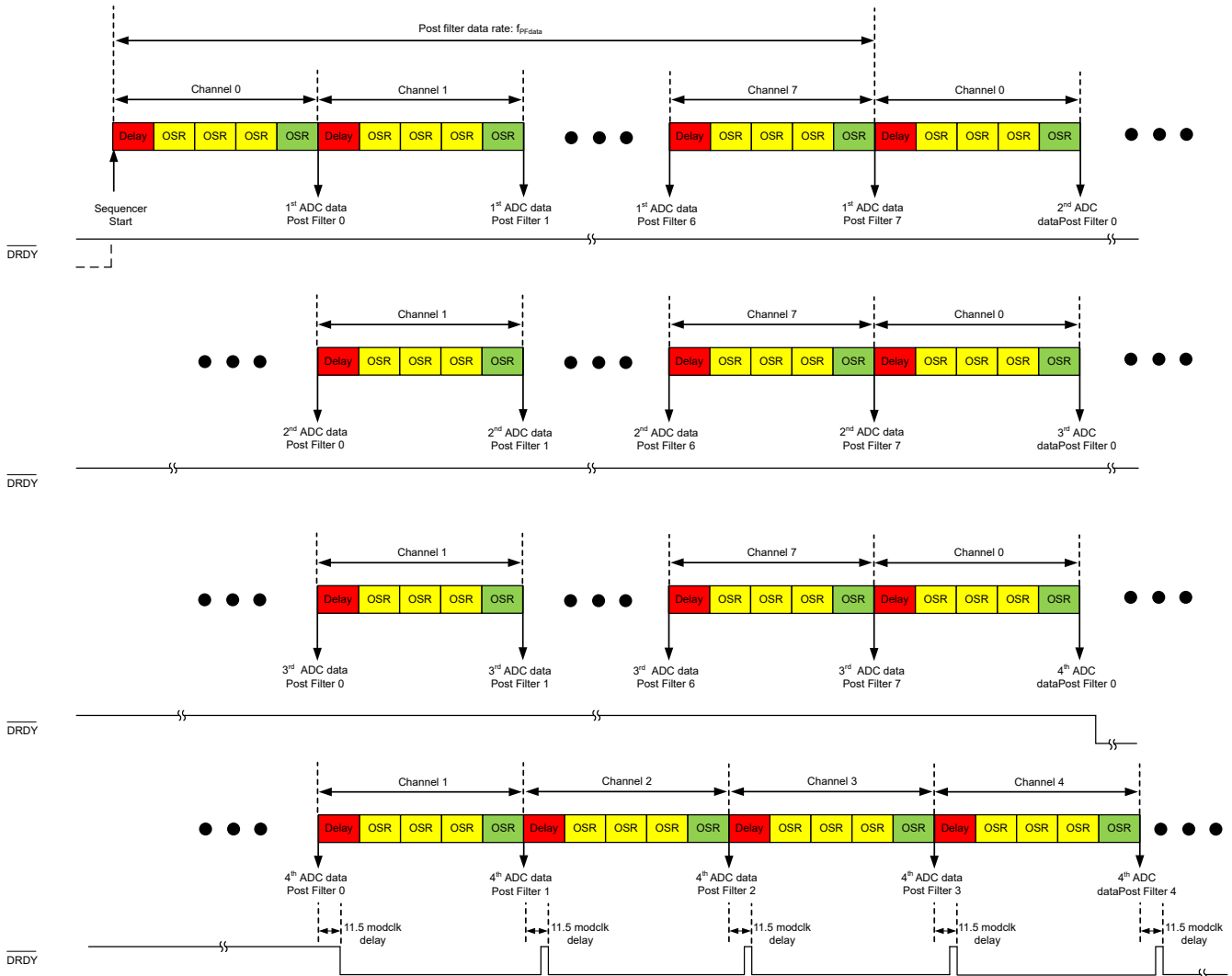


图 7-36. 使用后置滤波器时的  $\overline{\text{DRDY}}$  行为

#### 7.3.18.4 建议后置滤波器设置示例

表 7-43 展示了一些常用陷波频率的示例，以及如何使用特定后置滤波器设置来实现它们。上 5 行展示了后置滤波器的建议配置设置（包括后置滤波器数量，即启用的通道数、平均值数量、OSR 及给定调制器频率下的延迟设置），下 3 行则列出了以 ADC 数据速率、扫描速率和后置滤波器陷波频率为指标的性能计算结果。

表 7-43. 针对常见陷波频率的后置滤波器配置

通道数	8	8	8	8	8	4	4	4	4	4	2	2	2	2	2
Navr	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
SINC4 OSR	128	1024	1024	4000	8000	256	2048	4000	8000	16000	512	4000	8000	16000	32000
延迟	488	2570	3904	7952	8000	976	5141	0	15904	16000	1952	10666	0	31808	32000
f_MOD (MHz)	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8	12.8
ADC 数据速 率 (kHz)	12.800	1.920	1.600	0.534	0.320	6.400	0.960	0.800	0.267	0.160	3.200	0.480	0.400	0.134	0.080
扫描速 率 (kHz)	1.600	0.240	0.200	0.067	0.040	1.600	0.240	0.200	0.067	0.040	1.600	0.240	0.200	0.067	0.040
陷波频 率 f_notch (Hz)	400.0	60.0	50.0	16.7	10.0	400.0	60.0	50.0	16.7	10.0	400.0	60.0	50.0	16.7	10.0

### 7.3.19 芯片选择转发

ADS125H18 提供芯片选择转发 (CS-FWD) 功能，可用于将 SPI 控制传递给其他器件。启用此特性后，会使用经常被称为用户数据报协议 (UDP) 的新命令帧与 ADS125H18 以及其他器件进行通信。CS-FWD 功能允许通过 ADS125H18 控制其他器件的 CS。如果用户未按 [配置 CS 转发功能](#) 部分所述启用 CS-FWD 功能，则 ADS125H18 将承担正常的 SPI 通信。

CS-FWD 特性能够减少系统中隔离通道的数量，并在隔离栅一侧的微控制器与另一侧的多个芯片（包括 ADS125H18）之间实现无缝通信。与菊花链连接的替代方法相比，CS-FWD 功能不会根据目标器件的数量按比例增加 SPI 帧的长度。因此，CS-FWD 的优点是避免了低效的长 SPI 帧。

通常，有三种用户数据报协议 (UDP) 主机控制器运行模式：UDP Phase0-CS、UDP Phase1-CS 和 UDP Secondary-CS。ADS125H18 仅支持 UDP Phase0-CS 模式（使用  $\overline{CS}$  的相同相位，低电平有效）。

图 7-37 中显示了 phase0-CS 模式连接示例。主机器件（表示为 MCU 主机 - 例如微控制器）提供 SDI、SDO、SCLK 和 CS。在此模式下，传输主机器件的 CS。Phase0-CS 模式使用 CS 的相同相位，即低电平有效，将后续 CS 脉冲传输到次级器件（图 7-37 中的 SPI Dest1 到 Dest4）。多用途 GPIO 引脚在该模式下用于将 CS 信号传输到目标器件（有关详细信息，请参阅[配置 CS 转发功能](#)部分）。图 7-37 中的红线表示目标器件 1 被选择为通信的目标器件的情况。

向用于 CS 转发的 GPIO 引脚添加上拉电阻器（如图 7-37 所示）。这不是强制性的，但可以在默认情况下将节点保持为高电平（例如在上电条件下），从而避免与未选择的目标器件进行意外通信。



将 010111b 写入 CS\_FWD\_EN\_CODE[5:0] 寄存器，以启用 CS-FWD 功能。设置 GPIO<sub>n</sub>\_FWD\_EN 位 ( n = 0 至 3 )，以将每个相应的 GPIO 引脚配置为 ADS125H18 上的  $\overline{\text{CS}}$  输出。请注意，对于每个设置了 GPIO<sub>n</sub>\_FWD\_EN 位的引脚，必须将相应 GPIO<sub>n</sub>\_CFG 位编程为数字输出功能 ( 位设置为 10b )。

按照 **CS 转发超时** 部分中的说明配置 TIMEOUT\_SEL[1:0] 位。

寄存器位	说明
CS_FWD_EN_CODE[5:0]	启用 CS 转发功能。 写入 010111b 以启用 CS 转发功能。
TIMEOUT_SEL[1:0]	超时启用和持续时间选择。

表 7-44. CS 转发配置位 ( 续 )

寄存器位	说明
GPIO <sub>n</sub> _FWD_EN	启用位以将 GPIO 引脚配置为 CS 转发输出
GPIO <sub>n</sub> _CFG	GPIO 配置位 - 如果引脚用于 CS-FWD，则设置为 10b ( 数字输出 )

GPIO 引脚的数字输出模式可用于在 CS-FWD 模式未激活时使用任何目标器件的 CS 输入保持为高电平：使用步骤配置页面 ( 当前由 STEP\_INIT 指向 ) 的 STEP<sub>x</sub>\_GPIO<sub>n</sub>\_DAT\_OUT 位将相应的 GPIO 数据输出设置为 1b。

总之，CS-FWD 模式启动操作的建议序列如下 ( n 是用于 CS-FWD 的所有 GPIO 的索引 )：

- 通过将 STEP<sub>x</sub>\_GPIO<sub>n</sub>\_DAT\_OUT 设置为 1b，在 STEP\_INIT 指向的步骤页 x 上将 GPIO<sub>n</sub> 输出状态设置为高电平。
- 使用 GPIO<sub>n</sub>\_CFG 位将 GPIO<sub>n</sub> 配置为数字输出，设置为 10b。
- 使用 GPIO<sub>n</sub>\_FWD\_EN 位将 GPIO 选择为 CS-FWD。
- 发送 CS-FWD 启用寄存器 (010111b) 并设置超时。
- 将第一个标头帧发送到 CS-FWD 控制器。

### 7.3.19.2 CS 转发超时

ADS125H18 提供超时特性。使用 TIMEOUT\_SEL[1:0] 位启用超时功能并选择超时持续时间。

表 7-45 展示了可用于超时持续时间的选项。

表 7-45. 超时启用和持续时间选项

TIMEOUT_SEL[1:0]	说明
00b	禁用超时
01b	启用短超时，256 个 CLKIN 周期
10b	启用中等长度超时，2048 个 CLKIN 周期
11b	启用长超时，16384 个 CLKIN 周期

启用后，超时功能会检查  $\overline{\text{CS}}$  上升沿是否在  $\overline{\text{CS}}$  下降沿后的选定 CLKIN 周期数内发生。如果未检测到上升沿，则发生超时。当超时发生时，SDI 上 SPI 帧的剩余部分在  $\overline{\text{CS}}$  上升沿之前被忽略。新的 SPI 事务在下一个  $\overline{\text{CS}}$  下降沿开始，请参阅图 7-38。

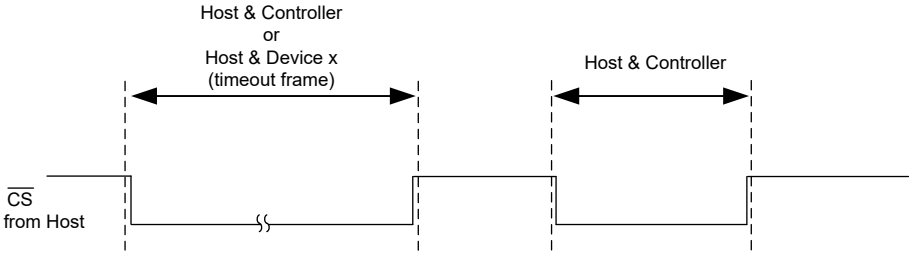


图 7-38. 超时图表

超时特性提高了通信容错度：如果没有超时功能，则可能会在出现通信错误时丢失通信。请注意，超时特性仅在 CS-FWD 模式下可用。

### 7.3.19.3 CS 转发标头、帧和状态图

启用 CS-FWD 模式后，通过发送 CS 转发标头帧来启动 UDP 通信，如表 7-46 所示。SDI 上的第一个字节包含作为 4 个 MSB 的 CS 转发索引或 SPI 索引。这是目标器件选择，0h00 到 0h03，其中 0h00 是目标器件 1，0h01 是目标器件 2，依此类推。SDI 上的第一个字节还包括要作为 4 个 LSB 传输的帧数。如果启用了 CRC，则 SDI

上的第二个字节包括前一个数据的 CRC。始终需要第三个字节（无关）：在 CS-FWD 模式下，标头帧与 CS-FWD 控制器通信始终需要每帧三个字节。

**表 7-46. CS 转发标头帧**

信号	第 1 个字节	第 2 个字节	第 3 个字节
SDI	SPI 索引 (4 个 MSB) 和 帧数位 (4 个 LSB)	CRC (如果启用了 CRC)	不用考虑
SDO	FFh	在 SDI 上接收到第 1 个 字节	CRC 校验结果 (如果启 用了 CRC)

标头中第一个字节的 SPI 索引 (4 个 MSB) 指示所选的目标器件，表 7-47 描述了这些位到特定目标器件的确切映射。

**表 7-47. SPI 索引选择**

SPI 索引	已选择目标器件
0000b	器件 ADS125H18
0001b	目标器件 1，连接至 GPIO0
0010b	目标器件 2，连接至 GPIO1
0011b	目标器件 3，连接至 GPIO2
0100b	目标器件 4，连接至 GPIO3
所有其他代码	保留

从主机发送的表 7-46 标头中第一个字节的帧数位 (4LSB) 指示发送到所选目标器件的帧数，如表 7-48 所示。将指定数量的帧发送到所选目标器件后，CS-FWD 控制器需要另一个具备有关下一个目标器件选择和要发送帧数的新信息的标头帧。CS-FWD 控制器会保持在 CS-FWD 模式，直到用户明确选择退出该模式，有关退出该模式的详细信息，请参阅禁用 CS-FWD 模式部分。

**表 7-48. CS-FWD 帧数指示**

帧数 LSBS	发送的 CS-FWD 帧数
0000b	1
0001b	2
0010b	3
0011b	4
...	...
1110b	15
1111b	16

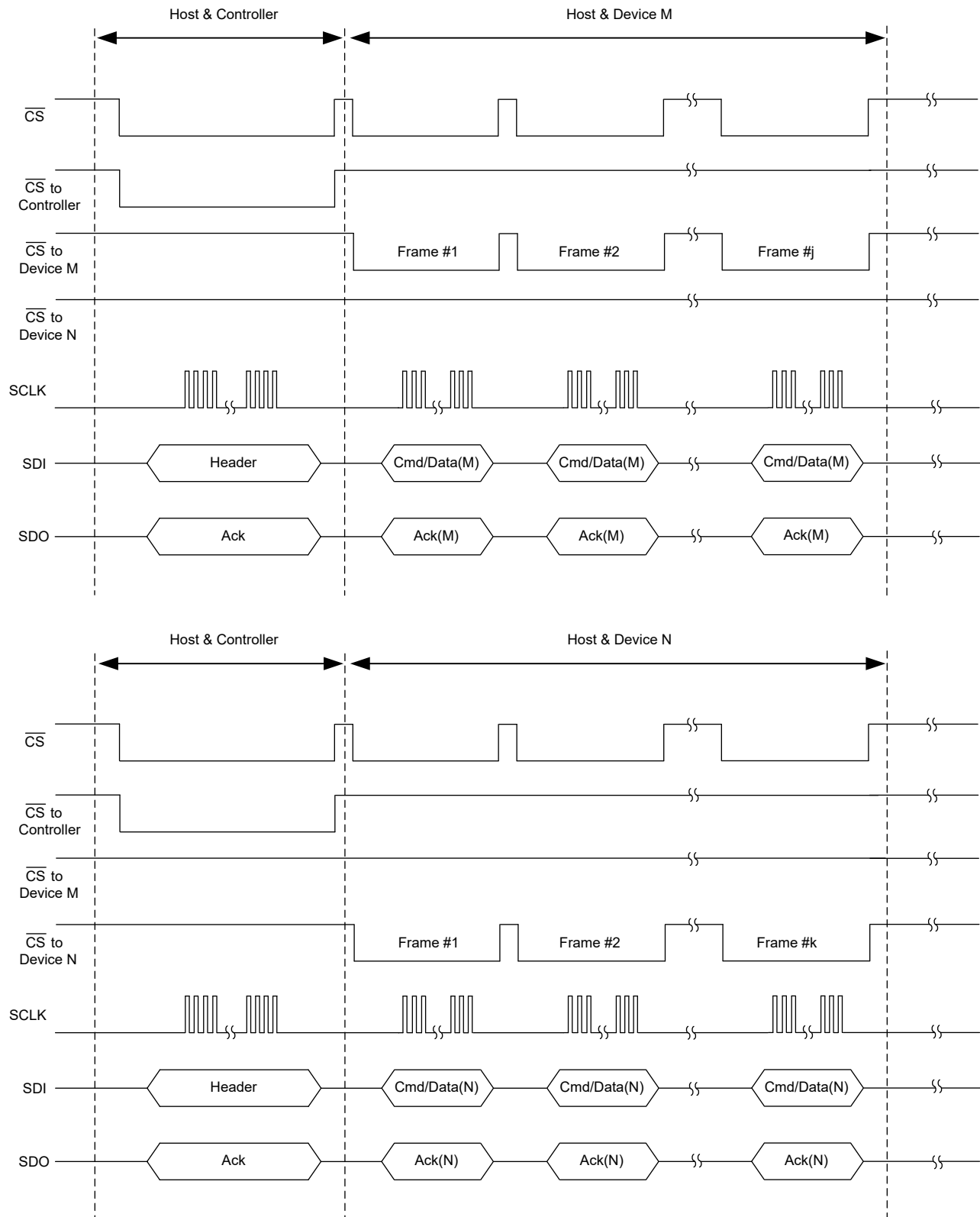
在 UDP 序列期间，从 SDO 上的器件发送标头响应帧如表 7-46 所示，该响应在下文中表示为 Ack，如图 7-39 所示。这包含位 [23:16] = FFh 来表示器件写入主机，位 [15:8] 表示重复发送以启动 UDP (SDI 上的第一个字节) 的数据，位 [7:0] 表示使用多项式  $x^8 + x^2 + x + 1$  的前一个数据的正确 CRC。仅当为 SPI 启用 CRC 时，才需要该 CRC 字节，否则字节为 0hFF。

主机可以根据接收到的 SDO 区分主机是与 CS 转发控制器通信，还是与任何其他目标器件通信。如果与控制器通信，主机会将 SDO 接收为 FFh，并且由控制器接收镜像字节。因此，主机可以检查控制器接收的字节是否正确，然后决定如何响应：如果字节不正确，则保持超时并向控制器重新发送命令。

图 7-39 显示了典型 CS-FWD 通信序列的时序图。在所示的第一个标头帧中，SPI 索引设置为目标器件 M。因此，在后续帧中， $\overline{CS}$  信号仅转发到器件 M (j 是标头帧中指定的与器件 M 通信的帧数)。在第 2 个标头帧中，指定器件 N，并在后续帧中执行与器件 N 的通信 (k 是与器件 N 通信的帧数)。

图 7-39 还指示从目标器件发送到 SDO 的响应。目标器件的 Ack 帧与每个标头帧同时在 SDO 上可见。此后，目标器件根据使用的命令向 SDO 发送命令或数据字节，为简单起见，在图 7-39 中这些字节由 Ack (M) 表示器件 M，Ack (N) 表示器件 N。

当 CSn 为低电平时，合格转发帧的条件是至少有 8 个 SCLK 周期。然而，帧可能长于 8 个 SCLK 周期，并且后续帧的长度可能不同。帧长度没有最大限制。



**图 7-39. CS 转发时序图**

建议进行以下错误处理，以确保启用和未启用 CRC 时的通信稳健性：



- 已启用 CRC：如果主机在从器件接收数据时检测到 CRC 错误，则主机必须对控制器重复该命令，直到主机接收到正确的 CRC。同样，如果标头中的 SPI 控制器器件检测到 CRC 错误，则控制器必须继续从主机接收标头，直到 CRC 校验正确。
- 已禁用 CRC：如果 SDO 上的第 2 个字节与发送到器件的第 1 个字节不匹配，则主机必须在接下来的帧中导致超时而不切换 SCLK。

图 7-40 展示了 CS-FWD 控制器的状态图。一旦启用了 CS 转发，控制器就期望接收到有效的标头帧。接收到有效的标头帧后，与所选目标器件的通信就会开始并持续进行，直到预定义数量的帧完成，或发生超时，或在 SPI 控制器器件中禁用 CS 转发模式。

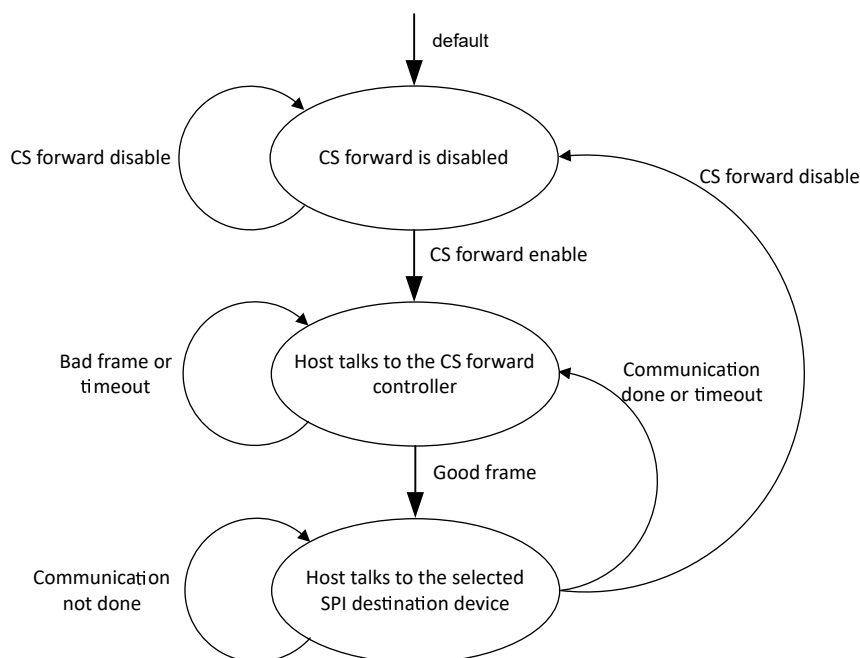


图 7-40. CS 转发状态图

#### 7.3.19.4 禁用 CS-FWD 模式

将 000000b 写入 CS\_FWD\_EN\_CODE[5:0] 寄存器，可以禁用 CS-FWD 控制器并结束 CS\_FWD 模式运行。此 SPI 写入操作必须在 3 字节 CS-FWD 帧中发送，请参阅 [CS 转发标头、帧和状态图](#) 部分，选择目标器件 0 (ADS125H18 器件)。CS-FWD 停用后，GPIO 引脚会自动恢复为通用 GPIO 功能，并忽略 GPIOx\_FWD\_EN 位 (x = 0 至 3)。此后，与 ADS125H18 的 SPI 通信将返回至正常 SPI 模式，如果将 GPIO 位设置为 GPIO 输出模式，其输出数据将按照常规 GPIO 输出模式的预期，再次由当前激活的步骤配置页决定。

结束 CS-FWD 模式运行的另一个选项是切换  $\overline{\text{RESET}}$  引脚。将复位模式发送到器件也会停用 CS\_FWD 模式。但需注意，此复位序列必须在主机通过 SPI 索引 0000b (如 [表 7-47](#) 所示) 与目标器件 0 (ADS125H18 器件) 进行通信的帧内发送。使用  $\overline{\text{RESET}}$  引脚或复位模式退出 CS-FWD 模式不太可取，因为这些操作会复位 ADS125H18 的所有用户寄存器。

## 7.4 器件功能模式

### 7.4.1 功率可扩展速度模式

ADC 提供了四种速度模式，这些模式具有相应的时钟信号频率。模式选择基于所需的数据速率、分辨率和器件功耗。最高速度模式可提供最高的数据速率和信号带宽，而最低速度模式可更大幅度地降低不需要大信号带宽的应用的功耗。不要超过任何速度模式的额定 ADC 时钟频率值。有关时钟频率和时钟分频器选项，请参阅[时钟运行](#)部分。速度模式由 SPEED\_MODE[1:0] 位进行编程。

### 7.4.2 序列发生器功能模式

ADS125H18 提供了由序列发生器控制的多种功能模式，有关详细信息，请参阅[定序器模式](#)部分。

### 7.4.3 空闲模式和待机模式

当用户停止转换时，对 ADC 进行编程，以启用空闲模式或低功耗待机模式。空闲模式（默认）或待机模式通过 STBY\_MODE 位编程。

在空闲模式下，模拟电路完全偏置并运行，包括对信号和电压基准输入的采样。只有数字滤波器才会空闲。当转换开始后，数字滤波器被启用以开始转换过程。

在待机模式下，信号和基准电压的采样会在转换停止时停止，以节省电力。当重新开始转换时，信号和基准电压的采样会恢复。退出待机模式需要添加 24 个时钟周期才能达到正常转换延迟时间。

### 7.4.4 断电模式

通过设置 PWDN 位进入断电模式。在断电模式下，模拟和数字部分断电，除了需要一个小偏置电流来维持 SPI 运行，通过清除寄存器位来退出断电模式。数字 LDO 还保持激活状态以保持用户寄存器设置。在断电模式下，停止信号和电压基准的采样。通过向 PWDN 位写入 0b 或通过复位器件来退出断电模式。

设置 PWDN 位会立即停止转换，并停止正在进行的序列发生器运行。除复位为默认值的模拟 GPIO 设置外，寄存器设置均保持不变。退出断电模式后，序列发生器会继续执行序列运行定义的下一 ADC 转换。

### 7.4.5 复位

ADC 在上电时执行自动复位。可通过 RESET 引脚或 SPI 操作手动复位。控制逻辑、数字滤波器、SPI 和数据端口运行以及用户寄存器将复位为默认值。有关在复位后 ADC 什么时候可用于运行的详细信息，请参阅[图 5-3](#)。

#### 7.4.5.1 RESET 引脚

RESET 引脚为低电平有效输入。通过将 RESET 置为低电平，然后再恢复为高电平，从而复位 ADC。因为 RESET 引脚有一个内部 20kΩ 上拉电阻器，所以 RESET 在不使用时可以保持断开。RESET 引脚是施密特触发输入，旨在降低噪声灵敏度。请参阅[图 5-3](#)，了解 RESET 引脚时序以及在复位后 SPI 通信开始的时间。由于 ADC 在上电时执行自动复位，因此在器件上电后无需复位。

#### 7.4.5.2 通过 SPI 寄存器写入进行复位

可通过 SPI 操作，将 01011010b 写入 RESET\_CODE[7:0] 位来对器件进行复位。向此位字段写入任何其他值都不会导致复位。在 4 线 SPI 模式下，在 CS 置为高电平时，复位在帧末尾生效。在 3 线 SPI 模式中，复位在寄存器写入操作的 SCLK 的最后一个下降沿上生效。3 线 SPI 模式中的复位要求 SPI 与 SPI 主机同步。如果未提供 SPI 同步，可使用[通过 SPI 输入模式进行复位](#)部分中描述的模式来复位器件。可通过检查 STATUS\_MSB 寄存器的 RESETn 来验证复位。

#### 7.4.5.3 通过 SPI 输入模式进行复位

器件也可通过 SPI 操作输入特定位模式来实现复位。这种输入模式不遵循输入命令格式。有两种输入模式可以复位 ADC。模式 1 包含至少 1023 个连续的 1，后跟一个 0。当最终的零移入时，器件在 SCLK 的下降沿复位。此模式用于 3 线或 4 线 SPI 模式。[图 7-41](#)展示了模式 1 复位示例。

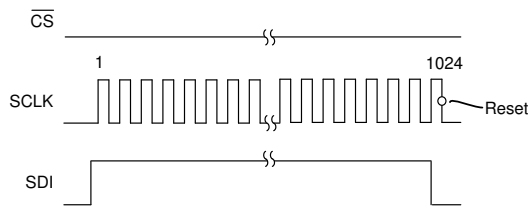


图 7-41. 复位模式 1 ( 3 线或 4 线 SPI 模式 )

复位模式 2 仅与 4 线 SPI 模式搭配使用。若要复位，请输入至少 1,024 个连续的 1 ( 无末尾零值 )，然后将  $\overline{\text{CS}}$  置为高电平，此时即会发生复位。当器件以菊花链模式连接时，请使用模式 2。图 7-42 展示了模式 2 复位示例。

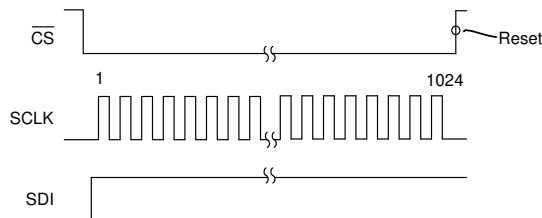


图 7-42. 复位模式 2 ( 4 线 SPI 模式 )

#### 7.4.6 同步

转换由 START 引脚 ( 或可选择通过 SPI 操作 ) 进行同步和控制。如果通过 SPI 操作控制转换，则将 START 引脚保持在低电平，以避免与引脚发生竞争。

向 START 位写入 1b 时，转换就会开始。类似地，向 STOP 位写入 1b 时，转换就会停止。停止行为可使用 STOP\_BEHAVIOR[1:0] 位进行配置。有关停止行为的详细信息，请参阅 [启动和停止序列发生器](#) 部分。同时向 START 位和 STOP 位写入 1b 对转换没有影响。

在序列开始后，Start 位将会清除，因此该位回读 0b。在序列发生器停止后，Stop 位将会清除。如果序列发生器在写入 Stop 位后尚未完成序列，用户可能回读 1b。

可使用 GPIO0\_CFG[1:0] 位将 GPIO0/START 引脚配置为 START 引脚运行模式。START 引脚上的上升沿相当于写入 START 位。START 引脚上的下降沿相当于写入 STOP 位。步骤页由 STEP\_INIT[4:0] 位决定，与 START 和 STOP 位一样。如果 START 引脚在加电时为高电平，则会在加电周期完成后开始进入 START 运行模式。有关详细信息，请参阅 [启动和停止序列发生器](#) 部分。

如果在转换期间发出启动信号，转换将停止并重新启动。如果在停止请求处于挂起状态 ( 根据 STOP\_BEHAVIOR[1:0] ) 时发出启动信号，则会清除停止请求并全新启动。

当从 START 引脚或通过写入 START 位而发生启动事件时，调制器就绪后会立即开始新转换。等待时间取决于 ADC 处于空闲还是待机模式，数据速率、滤波器模式为内部值与用户设置值的组合。

同步 ADC 后，第一次转换是完全稳定的数据，但与正常数据周期相比会产生延迟 ( 延迟时间 )。要确保数字滤波器达到完全稳定，需要考虑该延迟。延迟时间取决于数据速率和滤波器模式 ( 有关滤波器延迟的详细信息，请参阅 [数字滤波器](#) 部分 )。

#### 7.4.7 转换开始延迟时间

系统提供了可编程延迟时间，用于在 START 引脚或 START 位被置为有效后以及在每个序列步骤开始时延迟启动转换循环。该延迟时间让外部元件 ( 例如退出待机模式后的电压基准 ) 能够达到稳定，或在通过外部多路复用器切换信号时留出额外的趋稳时间。在初始延迟时间之后，后续转换不会延迟。该延迟时间的编程值会增加数字滤波器的转换延迟时间值。可使用 STEPx\_DELAY\_MSB[7:0] 和 STEPx\_DELAY\_LSB[7:0] 位 ( x = 0 至 31 ) 来配置每个序列步骤的延迟时间。

## 7.5 编程

### 7.5.1 串行接口 (SPI)

串行接口用于读取转换数据、配置器件寄存器和控制 ADC 转换。

串行接口包含四条线路： $\overline{\text{CS}}$ 、SCLK、SDI 和 SDO/ $\overline{\text{DRDY}}$ 。还提供了一个专用  $\overline{\text{DRDY}}$  引脚。该接口在外设模式下运行（无源），其中 SCLK 由主机驱动。该接口与 SPI 模式 1（CPOL = 0 且 CPHA = 1）兼容。在 SPI 模式 1 下，SCLK 在空闲状态下维持低电平，在 SCLK 上升沿更新数据，在 SCLK 下降沿锁存数据。

该接口支持全双工操作，这意味着可以同时传送输入数据和输出数据。该接口还支持多个 ADC 的菊花链连接，以便简化 SPI 连接。

### 7.5.2 串行接口信号

#### 7.5.2.1 片选 ( $\overline{\text{CS}}$ )

$\overline{\text{CS}}$  是一个低电平有效输入，可实现接口通信。通信帧通过将  $\overline{\text{CS}}$  置为低电平来启动，并通过将  $\overline{\text{CS}}$  置为高电平来结束。当  $\overline{\text{CS}}$  置为高电平时，器件通过解读输入数据的最后 16 位（CRC 模式下为 24 位）来结束帧，而不考虑移入的总位数。当  $\overline{\text{CS}}$  为高电平时，SPI 复位，命令被阻止，SDO/ $\overline{\text{DRDY}}$  进入高阻抗状态。无论  $\overline{\text{CS}}$  的状态如何，专用  $\overline{\text{DRDY}}$  引脚都为有效输出。可将  $\overline{\text{CS}}$  连接至低电平以在 3 线 SPI 模式下运行该接口。

#### 7.5.2.2 串行时钟 (SCLK)

SCLK 是串行时钟输入，用于将数据移入和移出 ADC。输出数据在 SCLK 的上升沿更新，输入数据在 SCLK 的下降沿锁存。SCLK 是一种施密特触发输入，旨在提高抗噪性能。尽管 SCLK 具有抗噪性，但应尽可能使 SCLK 保持无噪声，以避免 SCLK 意外转换。避免 SCLK 输入上出现振铃和过冲。SCLK 驱动器上的串联端接电阻器可以减少振铃。

#### 7.5.2.3 串行数据输入 (SDI)

SDI 是串行接口数据输入。SDI 用于向器件输入数据。输入数据在 SCLK 的下降沿锁存。

#### 7.5.2.4 串行数据输出/数据就绪 (SDO/ $\overline{\text{DRDY}}$ )

SDO/ $\overline{\text{DRDY}}$  是一个双功能输出引脚。可对此引脚进行编程，以便仅提供输出数据，或提供输出数据和数据就绪指示。CLK\_DIGITAL\_CFG 寄存器的 SDO\_MODE 位对模式进行编程。双功能模式可在单个引脚上多路复用输出数据和数据就绪操作。此模式可取代专用  $\overline{\text{DRDY}}$  引脚的功能，以减少连接到主机所需的 SPI I/O 线路数量。

输出数据在 SCLK 的上升沿更新。当  $\overline{\text{CS}}$  为高电平时，SDO/ $\overline{\text{DRDY}}$  引脚处于高阻态。

当编程为双功能模式 (SDO\_MODE bit = 1b) 且  $\overline{\text{CS}}$  处于低电平时，SDO/ $\overline{\text{DRDY}}$  会对  $\overline{\text{DRDY}}$  进行镜像，直至 SCLK 的第一个上升沿，此时该引脚会更改模式以提供数据输出。当数据读取操作完成时（SCLK 的第 24 个下降沿，或者如果包括 CRC 字节和 STATUS 标头，则为第 48 个下降沿），该引脚恢复为镜像  $\overline{\text{DRDY}}$ 。图 7-43 说明了 SDO/ $\overline{\text{DRDY}}$  的运行。

使用 ADS125H18 的双功能模式时，器件在 SCLK 的第一个上升沿从  $\overline{\text{DRDY}}$  切换到 SDO 模式。此切换需时  $t_{p(\text{DRDO})}$ ，必须通过延长首个 SCLK 高电平周期、延长所有 SCLK 高电平周期，或在 SCLK 下降沿之后锁存输出数据这三种方式之一来满足此时序要求。

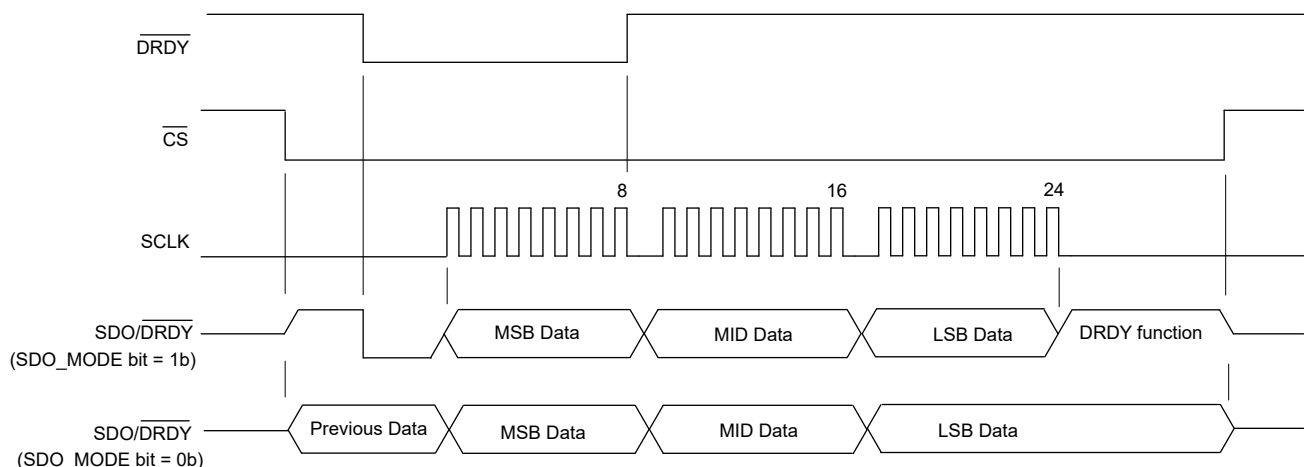


图 7-43. SDO/DRDY 和 DRDY 功能

对于仅输出数据模式  $\text{SDO\_MODE} = 0b$ ，如果在 SDO 上移出最后一个数据后主机没有发送任何额外的 SCLK 脉冲，则 SDO 保持在发送的最后一位的电平，如 图 7-43 所示。如果主机在最后一个数据移出后发送额外的 SCLK 脉冲，则 SDO 会驱动为低电平。图 7-44 展示了具有额外 SCLK 脉冲时 SDO 行为的时序图。

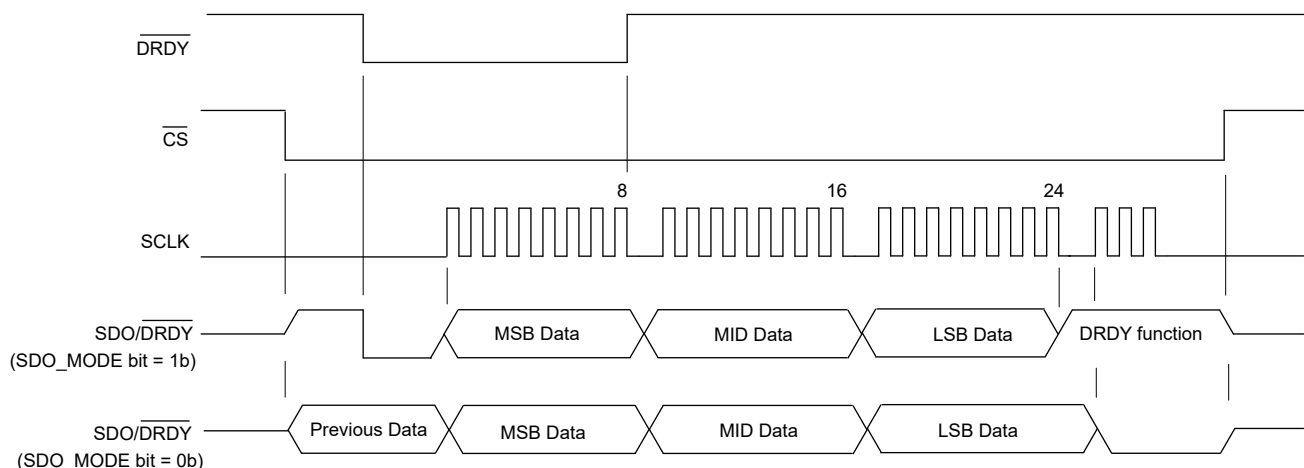


图 7-44. 具有额外 SCLK 脉冲时的 SDO/DRDY 和 DRDY 功能

### 7.5.2.5 数据就绪 (DRDY) 引脚

DRDY 是数据就绪输出信号引脚。在 ADS125H18 上，此引脚是双功能输出引脚，在 功能方框图 和 引脚配置和功能 中表示为 DRDY/GPIO1。该引脚可编程为通用输入/输出，或提供数据就绪指示。默认情况下，该引脚作为 DRDY 信号工作。为简化符号说明，在本文档的其余部分中，该引脚被称为 DRDY 引脚，而不是 DRDY/GPIO1 引脚。

当转换开始或重新同步时，DRDY 驱动为高电平；而当转换数据就绪时，DRDY 驱动为低电平。在转换数据读取期间，DRDY 在 SCLK 的第八个下降沿被驱动回高电平，如 图 7-43 所示。如果未读取转换数据，DRDY 会在下一个下降沿之前产生高脉冲。每当 ADC 编程为进入待机模式 ( $\text{STBY\_MODE} = 1b$ ) 时，DRDY 将在转换为低电平后四个  $f_{\text{CLK}}$  周期驱动回高电平。无论 CS 为高电平还是低电平，DRDY 都是有源输出。

有关 DRDY 操作的更多详细信息，请参阅 DRDY 引脚行为 一节。

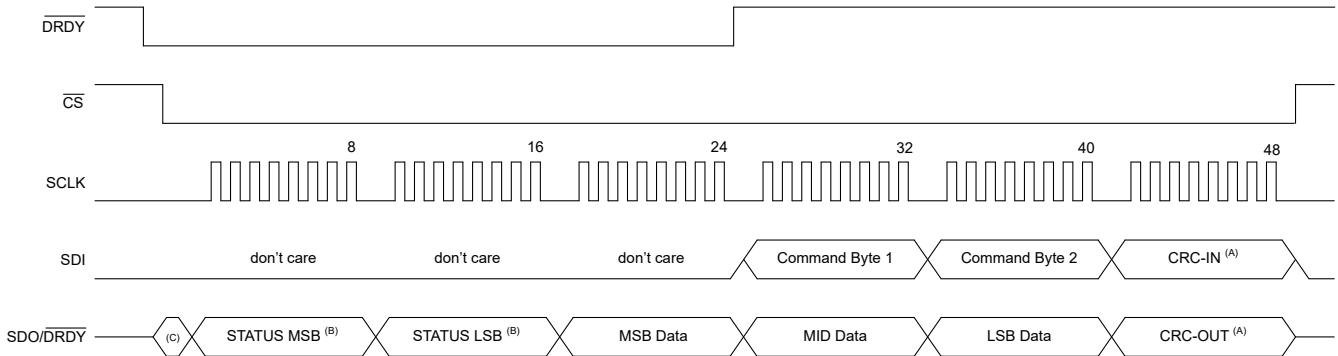
### 7.5.3 串行接口通信结构



### 7.5.3.1 SPI 帧

通过串行接口进行通信基于帧的概念。帧包含移入或移出数据所需的规定数量 **SCLK**。帧通过将  $\overline{\text{CS}}$  置为低电平来启动，并通过将  $\overline{\text{CS}}$  置为高电平来结束。当  $\overline{\text{CS}}$  置为高电平时，器件会对输入数据的最后 16 位（或在 **CRC** 模式下为 24 位）进行解释，而不管移入器件的数据量是多少。

该接口是全双工的，也就是说该接口能够在 **SDO** 上发送数据，同时在 **SDI** 上接收数据。通常，如果需要，可通过用前导零填充帧来调整输入帧的大小，以匹配输出帧。但是，如果在全双工模式下不发送和接收数据，则输入数据帧的最小大小可以是 16 位（或在 **CRC** 模式下为 24 位）。图 7-45 展示了典型的通信帧结构。在此示例中，转换数据通过 **SDO** 引脚移出。



- A. 可选的 **CRC** 字节。如果禁用了 **CRC**，则帧会缩短一个字节。  
B. 可选的 **STATUS** 标头。如果禁用了 **STATUS**，则帧会缩短两个字节。  
C. 如果 **SDO\_MODE** 位 = 0b，则保持 **SDO/DRDY** 的先前状态，直至第一个 **SCLK** 上升沿。否则，**SDO/DRDY** 跟随  $\overline{\text{DRDY}}$ 。

图 7-45. 典型通信帧

表 7-49 中给定的输出帧大小取决于以及可选的 **STATUS** 标头（2 字节）和 **CRC** 字节。ADC 加电或复位后，默认输出帧大小为 24 位。在 3 线 **SPI** 模式下，输入帧必须与输出帧的大小匹配才能使 **SPI** 保持同步。

表 7-49. 输出帧大小

分辨率	<b>STATUS</b> 标头	<b>CRC</b> 字节	帧大小
24 位	否	否	24 位
24 位	否	是	32 位
24 位	是	否	40 位
24 位	是	是	48 位

可以使用连续读取模式，在此模式下可检索任意数量的寄存器数据或 **FIFO** 数据，且无需任何  $\overline{\text{CS}}$  信号切换，数据帧会自动扩展以容纳额外数据。有关详细信息，请参阅 [连续读取模式](#) 部分。在连续读取模式下，输出帧大小不受限制。

### 7.5.3.2 STATUS 接头

**ADS125H18** 会在 **SDO** 上的每个帧中，将可选的 **STATUS** 标头作为前两个字节输出。可通过设置 **DIAG\_MONITOR\_CFG** 寄存器的 **STATUS\_EN** 位来启用 **STATUS** 标头。16 位 **STATUS** 标头由 **STATUS\_MSB[7:0]** 和 **STATUS\_LSB[7:0]** 寄存器位串联而成。故障标志、状态标志、转换计数器和序列步骤指示器都包含在这些位中。有关详细信息，请参阅 [寄存器映射](#) 部分中相应的寄存器位描述。

- 与通信相关的故障标志（如 **SPI\_CRC\_FAULTn** 和 **REG\_WRITE\_FAULTn** 标志）总是表示前一个 **SPI** 帧中发生的故障。这些故障标志会在下一个 **SPI** 帧中自动清除。
- 所有其他与器件相关的故障和状态标志表示器件在当前 **SPI** 帧开始时的状态。

- 某些标志表示其他状态寄存器的标志的逻辑或组合，如 ADC\_REF\_FAULTn、FIFO\_FAULTn 和 INTERNAL\_FAULTn 标志。设置了相应较低级别的状态寄存器的任何位时，这些位就会更新。要清除这些位，必须清除低级状态寄存器中的所有位。
- 除上述与通信相关的故障标志外，所有故障标志都是锁存的。这意味着，这些故障标志在故障条件消除后不会自动复位为 1b，必须由主机手动清除。
- 转换和序列步骤计数器指示当前 SPI 帧中输出数据的计数：转换计数器会随着每次执行新转换而递增，序列步骤计数器指示当前执行的序列步骤。

### 7.5.3.3 SPI CRC

SPI 循环冗余校验 (CRC) 是一种校验码，用于检测与主机控制器之间的传输错误。主机在 SDI 上一起传输一个 CRC-IN 字节与 ADC 输入数据，器件在 SDO 上一起传输一个 CRC-OUT 字节与输出数据。可使用 SPI\_CRC\_EN 位启用 SPI CRC。此外，支持使用 STATUS\_EN 位来传输 STATUS 标头，以获得有关任何 SPI 输入 CRC 故障的通知。

主机通过两个命令字节来计算 CRC-IN 代码。填充到帧开头的任何输入字节都不会纳入 CRC-IN 计算。ADC 根据在两个收到的输入命令字节上计算的内部代码来检查输入命令 CRC-IN 代码。如果 CRC-IN 代码不匹配，则不会执行该命令，并且会将 STATUS\_LSB 字节中的 SPI\_CRC\_FAULTn 位设置为 0b。

SPI\_CRC\_FAULTn 位作为 STATUS 标头的一部分输出，以立即指示前一帧中发生了 CRC 错误。SPI\_CRC\_FAULTn 位会在下一个 SPI 帧中自动清除，前提是当前帧中没有 SPI CRC 错误。

用于计算输出 CRC 代码的字节数取决于 SDO 帧中传输的数据字节量。表 7-50 展示了用于输出 CRC 计算的字节数。

表 7-50. 输出 CRC 涵盖的数据

操作	启用 STATUS 标头	字节计数	位计数和说明
读取转换数据	否	3	24 位转换数据
读取寄存器数据	否	3	8 位寄存器数据 + 8 位地址字节 + 8 位 00h 填充字节
读取转换数据	是	5	16 位 STATUS 标头 + 24 位转换数据
读取寄存器数据	是	5	16 位 STATUS 标头 + 8 位寄存器数据 + 8 位地址字 + 8 位 00h 填充字节

CRC 代码计算值为可变量长度参数与 CRC 多项式进行逐位异或 (XOR) 运算后的 8 位余数。CRC 基于 CRC-8-ATM (HEC) 多项式： $X^8 + X^2 + X^1 + 1$ 。多项式的九个系数为：100000111。CRC 计算值初始化为全 1，以便在 SDI 和 SDO/DRDY 始终处于高电平或低电平时检测错误。

图 7-46 展示了 CRC 计算的直观表示。以下是计算 CRC 值的过程：

- 向 8 位移位寄存器中预加载种子值 FFh，该寄存器在对应 CRC 多项式 (07h) 的位置设有 XOR 模块。
- 从最高有效位 (MSB) 开始逐位移入所有数据位，并在每位移入后重新计算移位寄存器的值。
- 所有数据位移入完成后，移位寄存器中的值即为计算所得的 CRC 值。

可从[此处](#)下载的示例 C 语言代码包含一种可能的 CRC 实现方案。

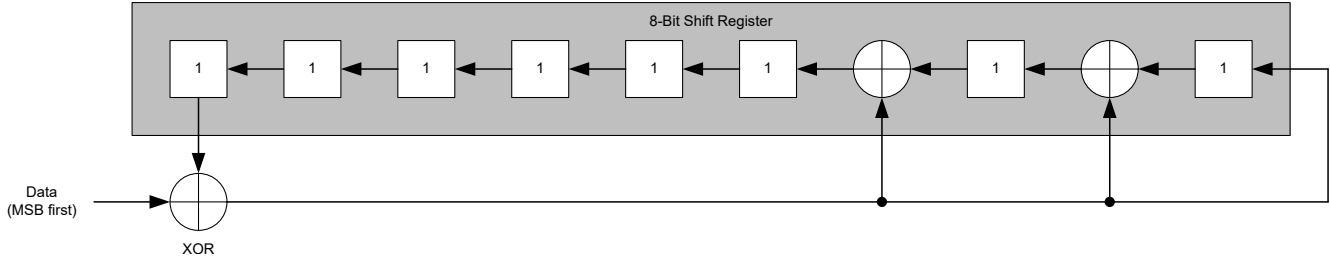


图 7-46. CRC 计算的可视化表示



#### 7.5.4 设备命令

使用命令可读取和写入寄存器数据，或从 FIFO 缓冲器读取数据。寄存器映射包含一系列单字节（8 位）寄存器，可通过读取和写入操作进行访问。输入命令序列的最小帧长度为 16 位（CRC 模式下为 24 位）。如果需要，可以用前导零填充输入命令序列，以便与输出数据帧的长度相匹配。在 CRC 模式下，器件会将帧末尾处 CRC-IN 字节前的两个字节解读为命令字节。表 7-51 显示了 ADS125H18 命令。

表 7-51. SPI 命令

说明	BYTE 1	BYTE 2	字节 3 (可选 CRC-IN 字节)
无操作（读取转换数据）	00h	00h	D7h
读取寄存器命令	40h + 地址 [5:0]	无关	字节 1 和字节 2 的 CRC-IN
写入寄存器命令	80h + 地址 [5:0]	寄存器数据	字节 1 和字节 2 的 CRC-IN
读取 FIFO 缓冲器命令	0Fh	无关	字节 1 和字节 2 的 CRC-IN

器件支持比标准命令长度更长的特殊扩展长度位模式。这些模式用于在 3 线 SPI 模式下复位 ADC 和复位帧。通过 SPI 输入模式进行复位和 3 线 SPI 模式部分介绍了扩展位模式。

##### 7.5.4.1 无操作

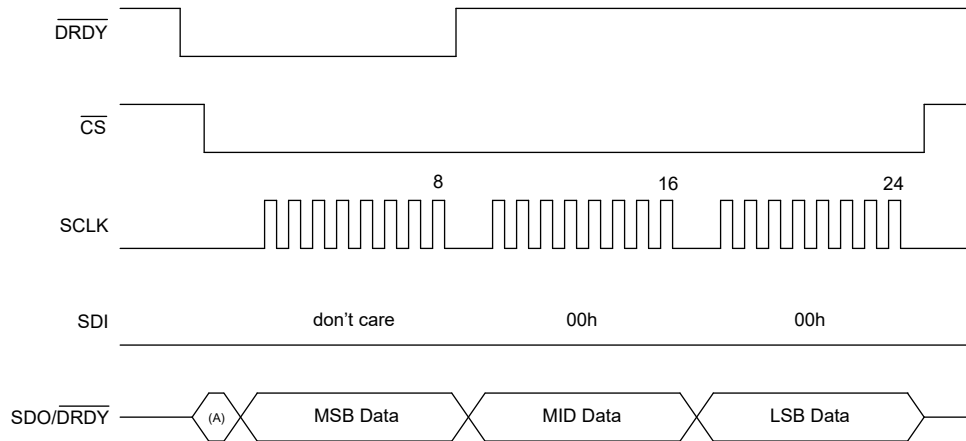
无操作命令字节为 00h 和 00h。如果不需要输入命令，请使用此命令。如果启用了 SPI CRC 校验，则需要 CRC 字节（字节 3），对于字节 00h 和 00h，始终为 D7h。SDI 可在数据回读期间保持低电平，但在 CRC 模式下会将 STATUS\_LSB 标志的 SPI\_CRC\_FAULTn 位设为 0b，在读取转换数据时可以忽略 SPI\_CRC\_FAULTn 标志，并且在每个新的 SPI 帧中自动清除为 1b。

##### 7.5.4.2 读取转换数据

通过将  $\overline{CS}$  置为低电平，并通过应用 SCLK 直接移出数据（不使用命令）来读取转换数据。对转换数据进行缓冲，从而在下一个  $\overline{DRDY}$  下降沿之前的一个  $f_{MOD}$  时钟周期内读取数据。在下一个转换数据准备就绪前，可以多次读取转换数据，绝不会中断。如果在前一帧中发送了寄存器读取命令，则寄存器数据会替换转换数据。

$\overline{DRDY}$  在转换数据读取期间的第 8 个 SCLK 下降沿（即当转换数据 MSB 字节传输完成时）被驱动回高电平。

图 7-47 展示了在禁用 STATUS 和 CRC 字节时读取 24 位转换数据的示例。

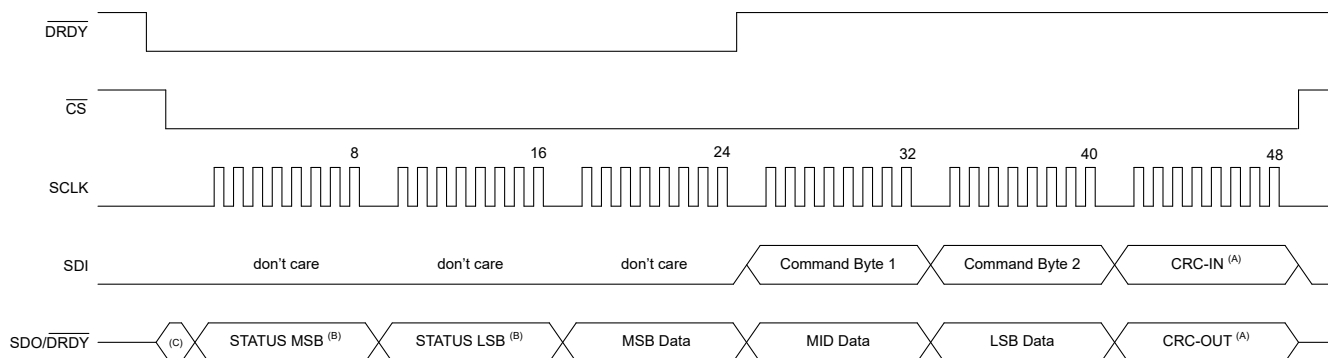


A. 如果 SDO\_MODE 位 = 0b，则保持 SDO/ $\overline{DRDY}$  的先前状态，直至第一个 SCLK 上升沿。否则，SDO/ $\overline{DRDY}$  跟随  $\overline{DRDY}$ 。

图 7-47. 读取转换数据，24 位帧大小

图 7-48 是包含 STATUS 标头和 CRC 字节时读取转换数据操作的示例。此示例还展示了当寄存器命令是输入，同时转换数据是输出时，可选择使用全双工传输。如果不需要输入命令，则输入字节为 00h、00h 和 D7h。输出 CRC (CRC-OUT) 代码的计算包括 STATUS 标头。

当转换数据 MSB 字节传输完成时， $\overline{\text{DRDY}}$  在第 24 个 SCLK 下降沿被驱动回高电平。如果数据未读取完，也是如此。例如、如果读取操作在传输转换数据 MSB 字节之后到帧结束之前的任何时刻停止。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。
- C. 如果 SDO\_MODE 位 = 0b，则保持 SDO/DRDY 的先前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-48. 读取转换数据，48 位帧大小

转换数据可与  $\overline{\text{DRDY}}$  异步读取。但是，当在靠近  $\overline{\text{DRDY}}$  下降沿的位置读取转换数据时，可能会不确定输出的是以前的数据还是新的数据。如果 SCLK 移位操作在  $\overline{\text{DRDY}}$  下降沿之前至少一个  $f_{\text{MOD}}$  时钟周期开始，则提供旧数据。如果移位操作在  $\overline{\text{DRDY}}$  之后至少一个  $f_{\text{MOD}}$  时钟周期开始，则输出新数据。在任一种情况下，数据都不会损坏。STATUS\_MSB 标头的 DRDY 位指示数据是旧数据（先前读取的数据，DRDY = 0b）还是新数据（DRDY = 1b）。

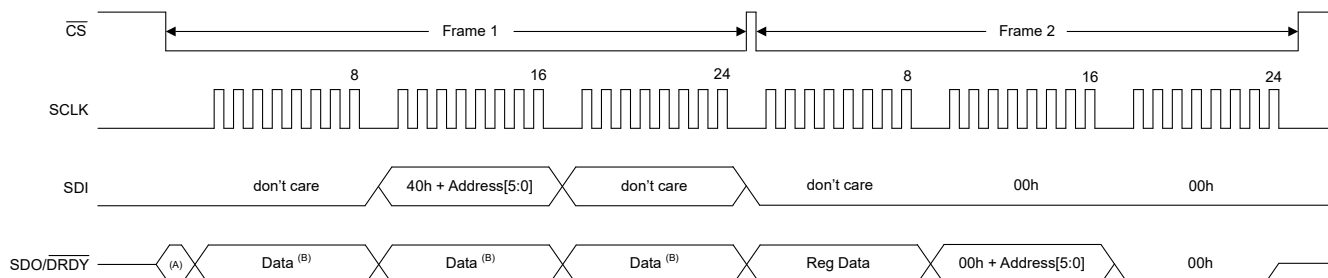
#### 7.5.4.3 读取寄存器命令

读取寄存器命令用于读取寄存器数据。该命令遵循两帧协议，其中读取命令在一帧内发送，而 ADC 在下一帧中以寄存器数据作为响应。命令的第一个字节是添加到 6 位寄存器地址的基本命令值 (40h)。第二个命令字节的值是任意的，但与 CRC 的第一个字节一起使用。当读取有效地址范围之外的寄存器时，器件将输出 00h 作为寄存器数据。寄存器数据格式是最高有效位优先。

图 7-49 展示了使用 24 位输出帧大小的寄存器数据读取示例。帧 1 是命令帧，帧 2 是数据响应帧。通过将  $\overline{\text{CS}}$  置为高电平来分隔帧。数据响应帧返回请求的寄存器数据字节，后跟寄存器地址指示字节，以及一个填充了 00h 的字节以补全 24 位帧。6 位寄存器地址在寄存器地址指示字节内右对齐（在 MSB 位置填充 00b）。如果需要，可通过将  $\overline{\text{CS}}$  置为高电平来缩短数据字节后的数据响应帧。

从有效地址范围之外的寄存器地址读取，会在寄存器地址指示字节中返回地址 FFh，以指示错误。

当读取多个寄存器时，可以选择全双工运行，通过在前一个寄存器的数据响应帧期间输入下一个读取寄存器命令，使读取寄存器操作的吞吐量翻倍。

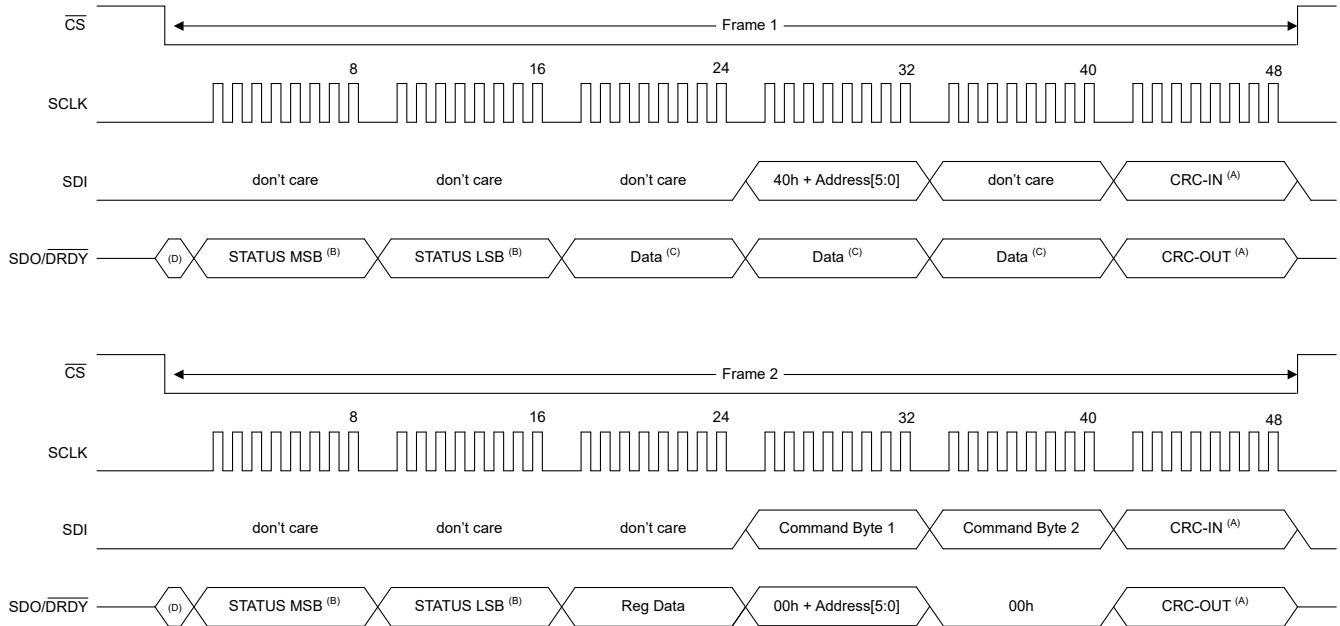


- A. 第一个 SCLK 之前是 SDO/DRDY 的先前状态。

- B. 数据要么是 24 位转换数据，要么如果在前一帧中发送了读取寄存器命令，则数据字段为寄存器数据字节 + 地址指示字节 + 00h 填充字节。

图 7-49. 读取寄存器数据，24 位帧大小

图 7-50 展示了在全双工运行中使用 48 位帧大小的读取寄存器操作示例。在帧 1 中，转换数据的输出与读取寄存器命令的输入同时进行（如果前一帧不是读取寄存器命令）。为了匹配输出数据帧的长度，输入命令中会填充三个无关字节。填充的输入字节不包括在 CRC-IN 代码计算中。帧 2 显示下一个读取寄存器命令的输入与前一个寄存器数据的输出同时进行。CRC-OUT 代码包括数据输出帧内的所有前面的字节。STATUS\_LSB 标头的 SPI\_CRC\_FAULTn 位指示是否发生 SPI CRC 错误以及是否接受读取寄存器命令。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。  
B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。  
C. 根据之前的操作，数据字段为转换数据或寄存器数据 + 地址指示字节 + 00h 填充字节。  
D. 第一个 SCLK 之前 SDO/DRDY 的先前状态。

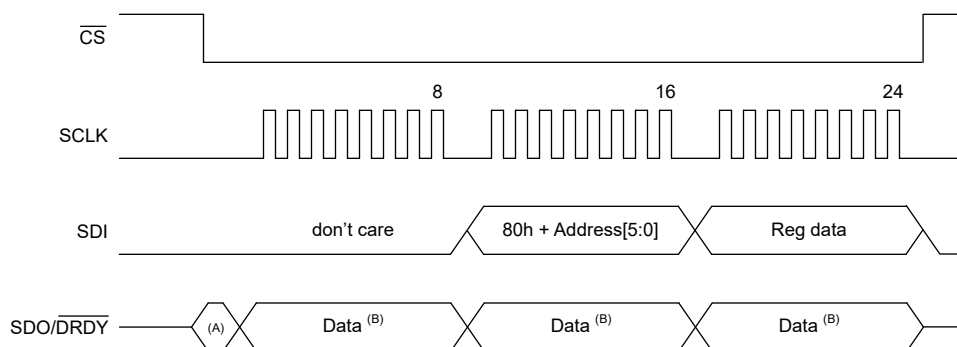
图 7-50. 读取寄存器数据，48 位帧大小

#### 7.5.4.4 写入寄存器命令

写入寄存器命令用于写入寄存器数据。写入寄存器操作在单个帧中执行。命令的第一个字节是添加到 6 位寄存器地址的基本值 (80h)。命令的第二个字节是寄存器数据。

向有效地址范围之外的寄存器的写入操作将被忽略，并且会将 STATUS\_LSB 字节的 REG\_WRITE\_FAULTn 位设置为低电平以指示错误。

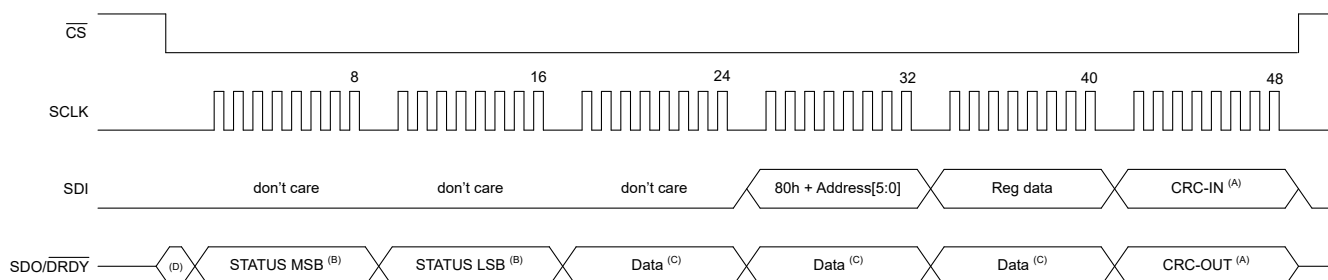
图 7-51 展示了使用 24 位帧大小的寄存器写入操作示例。当配置一系列寄存器（可以忽略转换数据）时，可使用最小的 16 位帧大小来提高吞吐量。



- A. 第一个 SCLK 之前 SDO/DRDY 的先前状态。  
B. 数据要么是转换数据，要么如果在前一帧中发送了读取寄存器命令，则数据字段为寄存器数据字节 + 地址指示字节 + 00h 填充字节。

图 7-51. 写入寄存器数据，24 位帧大小

图 7-52 展示了使用 48 位帧大小的写入寄存器操作示例。图中还展示了全双工操作，以便同时显示命令的输入和转换数据的输出。输入帧以两个无关字节作为前缀，来匹配输出帧，从而传输所有转换数据字节。通过回读寄存器数据或检查 STATUS\_LSB 字节的 SPI\_CRC\_FAULTn 位是否存在输入字节 CRC 错误，可验证写入操作是否成功。如果发生 SPI CRC 输入错误，SPI\_CRC\_FAULTn 将被置为低电平



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。  
B. 可选的 STATUS 标头。如果禁用了 STATUS，则帧会缩短两个字节。  
C. 数据字段要么是转换数据，要么如果在前一帧中发送了读取寄存器命令，则为寄存器数据字节 + 地址指示字节 + 00h 填充字节。  
D. 第一个 SCLK 之前 SDO/DRDY 的先前状态。

图 7-52. 写入寄存器数据，48 位帧大小

#### 7.5.4.5 读取 FIFO 缓冲器命令

读取 FIFO 缓冲器命令用于读取 FIFO 缓冲器数据。该命令遵循双帧协议，其中读取命令在一帧内发送，而 ADC 在下一帧中响应 FIFO 缓冲器数据。命令的第一个字节是 FIFO 缓冲器读取命令值 (0Fh)。第二个命令字节的值是任意的，但与 CRC 的第一个字节一起使用。

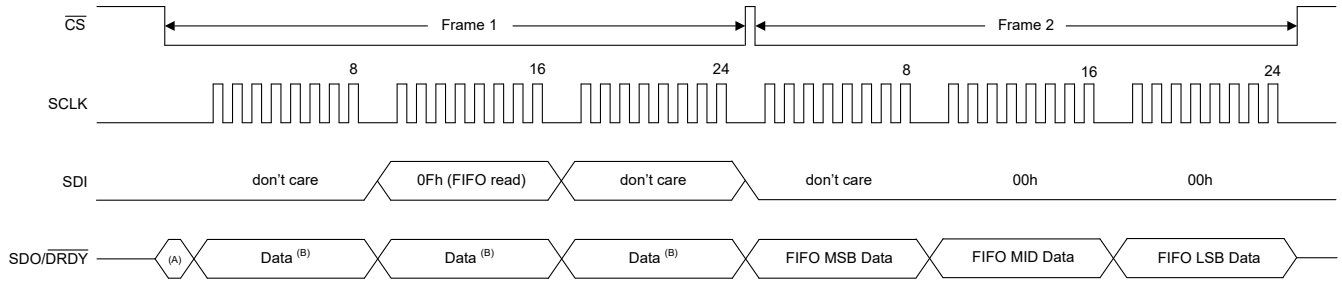
如 [FIFO 缓冲器读取与写入](#) 一节所述，FIFO 缓冲器读取指针定义了 FIFO 内部用于读取数据字的存储器位置。“状态”和“常规配置”页面上的 FIFO\_DEPTH[8:0] 位指示 FIFO 缓冲器的深度，例如存储并可供读取的转换结果数量。有关 FIFO 缓冲器操作的详细说明，请参阅 [FIFO 缓冲器读取与写入](#) 部分。

当 FIFO 被禁用时，从 FIFO 中检索到的每个转换数据字节都读取 00h。

图 7-53 显示了使用 24 位输出帧大小读取 FIFO 数据的示例。帧 1 是命令帧，帧 2 是数据响应帧。通过将 CS 置为高电平来分隔帧。数据响应帧返回 FIFO 数据。

当读取多个 FIFO 缓冲器地址时，可使用全双工操作，通过在前一个读取 FIFO 命令的数据响应帧期间输入下一个读取 FIFO 命令来使读取 FIFO 操作的吞吐量增加一倍。或者，连续读取模式可用于高效读取多个 FIFO 地址。有关详细信息，请参阅 [连续读取模式](#) 部分。

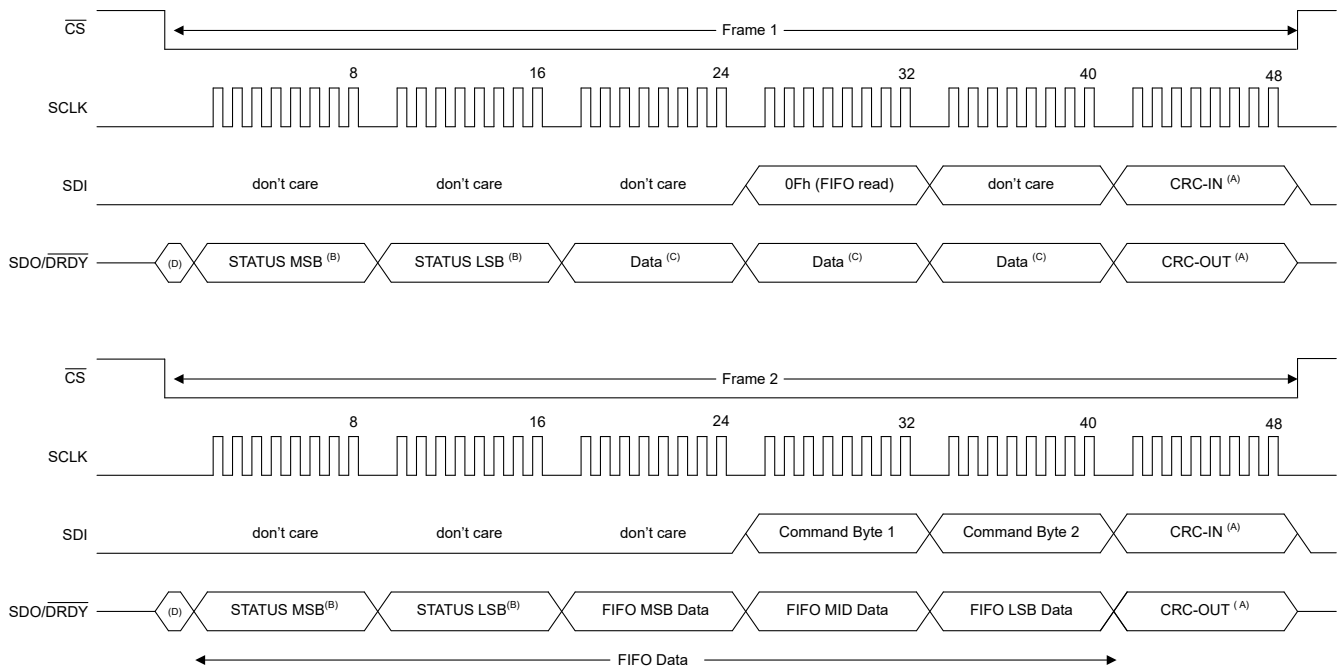
当重复从 FIFO 读取数据时，等待器件准备下一个数据。在执行顺序读取 FIFO 事务或顺序连续读取 FIFO 事务时，事务必须在彼此之后  $t_{d(FIFORD)}$  启动。



- A. 第一个 SCLK 之前 SDO/DRDY 的先前状态。  
B. 数据是转换数据的 24 位，或者如果在前一帧中发送了读取寄存器命令，则数据字段为寄存器数据字节 + 地址字节 + 00h 填充字节。

图 7-53. 读取 FIFO 缓冲区数据，24 位帧大小

图 7-54 展示了在全双工操作中，使用 48 位帧大小的读取 FIFO 缓冲器操作示例。在帧 1 中，转换数据的输出与读取 FIFO 命令的输入同时进行（如果前一帧不是读取寄存器命令）。为了匹配输出数据帧的长度，输入命令用三个无关字节填充。填充的输入字节不包括在 CRC-IN 代码计算中。帧 2 显示与 FIFO 数据的输出同时进行的下一个命令的输入。CRC-OUT 代码包括数据输出帧内的所有前面的字节。STATUS\_LSB 标头的 SPI\_CRC\_FAULTn 位指示是否发生 SPI CRC 错误以及是否接受读取 FIFO 命令。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。  
B. 可选的 STATUS 标头。如果禁用 STATUS，则帧会缩短两个字节。  
C. 根据之前的操作，数据字段为转换数据或寄存器数据字节 + 地址字节 + 00h 填充字节。  
D. 第一个 SCLK 之前 SDO/DRDY 的先前状态。

图 7-54. 读取 FIFO 缓冲区数据，48 位帧大小

FIFO 读取命令期间返回的状态标头是 ADC 转换时存储在 FIFO 中的状态位和 FIFO 读取操作时存储在通用配置页面状态寄存器中的状态位的组合。表 7-52 定义了从 FIFO 检索哪些位字段与从状态和通用配置页面的状态寄存器读取的位字段。

表 7-52. FIFO 读取期间的状态位检索

状态字	状态位 ( 字段 )	读取自
STATUS_MSB	STEP_INDICATOR[4:0]	FIFO
	ADC_REF_FAULTn	FIFO
	RESETn	STATUS 寄存器
	DRDY	STATUS 寄存器
STATUS_LSB	CONV_COUNT[3:0]	FIFO
	FIFO_FAULTn	STATUS 寄存器
	INTERNAL_FAULTn	STATUS 寄存器
	REG_WRITE_FAULTn	STATUS 寄存器
	SPI_CRC_FAULTn	STATUS 寄存器

7.5.5 连续读取模式

ADS125H18 提供连续读取模式。在连续读取模式下，可以在没有任何  $\overline{\text{CS}}$  转换的情况下检索任意数量的寄存器数据或 FIFO 数据,并且帧会扩展以容纳额外的数据。这简化了读取大量数据的过程，并减少了控制  $\overline{\text{CS}}$  线路的微控制器外设的开销。

设置 CLK\_DIGITAL\_CFG 寄存器中的 CONT\_READ\_EN 位可启用连续读取模式。SPI 在 SPI 帧之后的下一个帧中切换到连续读取模式，该帧将 CONT\_READ\_EN 位从 0b 更改为 1b。

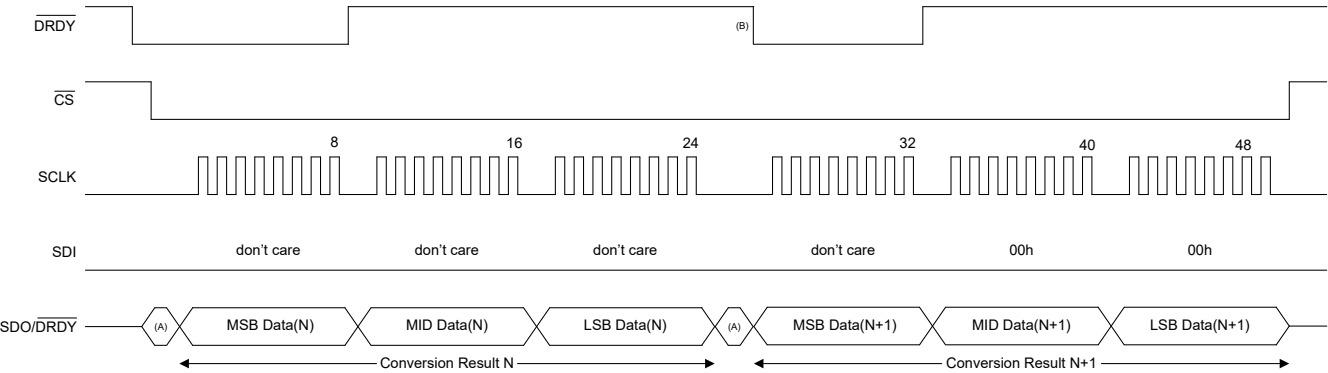
SPI 通过将 CONT\_READ\_EN 位复位为 0b 来返回默认/单读取模式。

7.5.5.1 在连续读取模式下读取转换数据

连续读取模式支持与 读取转换数据 部分中所示的读取转换数据操作相同的命令格式和时钟，但各次转换数据读取之间没有  $\overline{\text{CS}}$  切换，因此转换数据读取操作之间没有等待时间。

图 7-55 显示了在禁用 STATUS 标头和 CRC 字节的情况下读取两个连续转换结果“N”和“N+1”的示例。在此示例中，读取转换结果 N 期间（前 24 SCLK 脉冲），新的转换结果 N+1 已完成，且该新结果已及时就绪，可供下一次读取，这由  $\overline{\text{DRDY}}$  信号在第 25 个时钟周期前变为低电平所指示。因此，第二次读取操作会返回转换结果 N+1。根据 CLKIN 时钟与 SCLK 时钟之间的相对时序，下一次读取操作时可能已有新的转换结果可用。

此示例展示了在连续读取模式下读取两个连续转换结果 N 和 N+1，但在将  $\overline{\text{CS}}$  保持低电平达额外的时钟周期时，可以读取任意数量的转换结果。



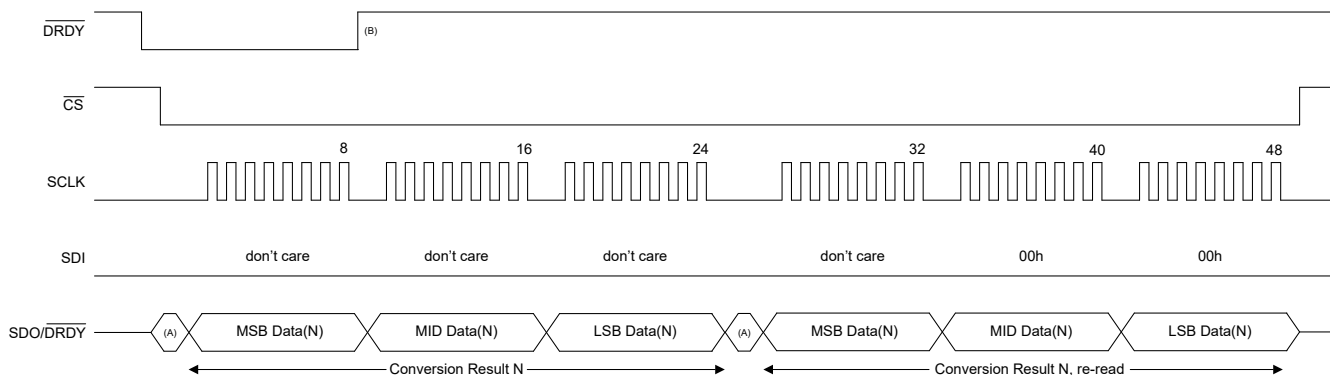
A. 如果 SDO\_MODE 位 = 0b，则保持 SDO/DRDY 的先前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随  $\overline{\text{DRDY}}$ 。



B. 在此示例中，在读取第二个转换数据之前，新的转换结果 N+1 已完成。

图 7-55. 连续读取模式下的转换数据读取，禁用 STATUS 和 CRC — 新转换结果可用

图 7-56 展示了在禁用 STATUS 和 CRC 字节，但没有新的转换数据完成的情况下，在连续读取模式下读取转换数据的示例。在这种情况下，第二个转换数据读取操作返回相同的转换结果“N”。



- A. 如果 SDO\_MODE 位 = 0b，则保持 SDO/DRDY 的先前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。
- B. 在此示例中，在读取第二个转换数据之前，没有已完成的新转换结果。

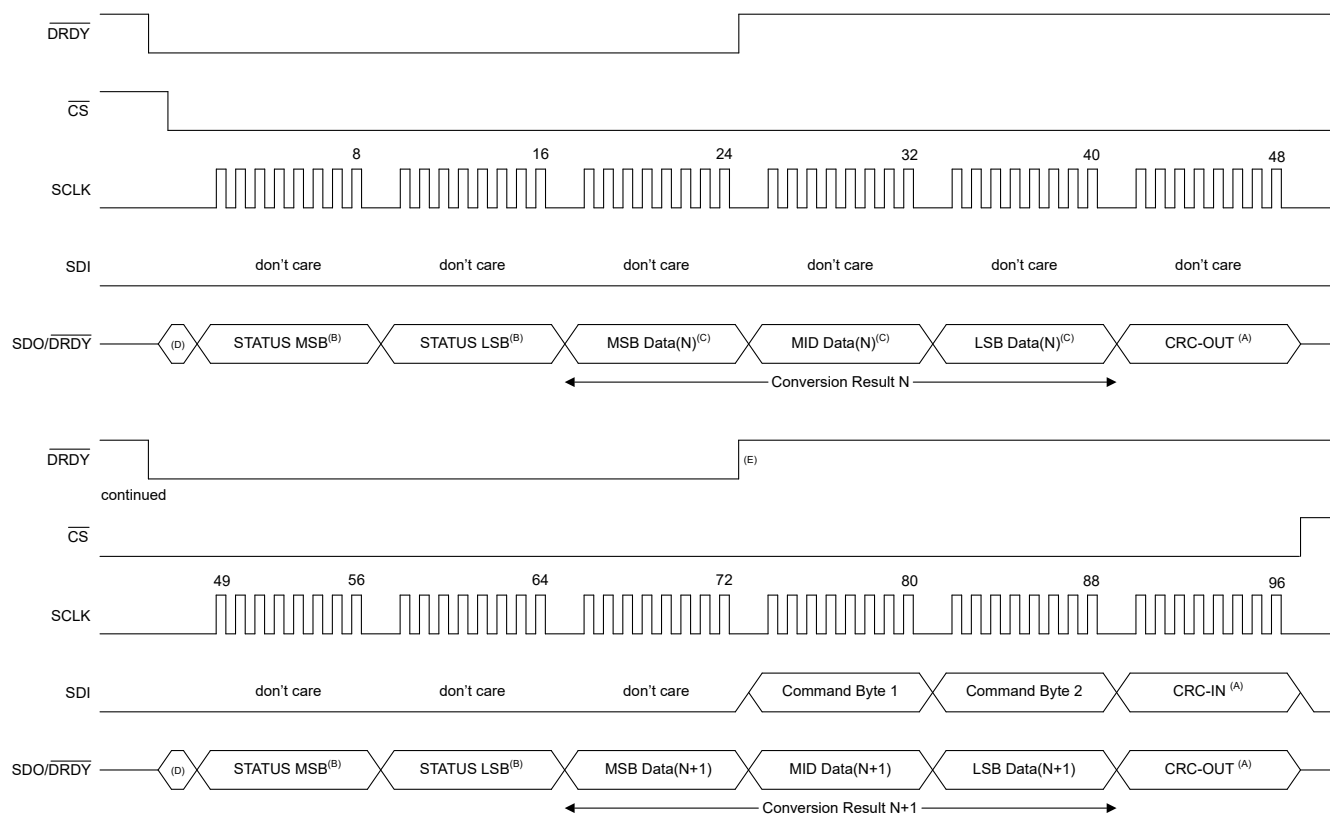
图 7-56. 连续读取模式下的转换数据读取，禁用 STATUS 和 CRC — 无新转换结果可用

图 7-57 展示了连续读取模式下的数据读取操作示例，包括 STATUS 标头和 CRC 字节。此示例还展示了在输出转换数据的同时输入命令时，可选择使用的全双工操作。

在此示例中，读取转换结果“N”期间，新的转换结果“N+1”已完成，且该新结果已及时就绪，可供下一次读取，这由 DRDY 信号在第 49 个时钟周期前变为低电平所指示。因此，第二次读取操作会返回转换结果 N+1。根据 CLKIN 时钟与 SCLK 时钟之间的相对时序，下一次读取操作时可能已有新的转换结果可用。

此示例展示了在连续读取模式下读取两个连续转换结果 N 和 N+1，但在将 CS 保持低电平达额外的时钟周期时，可以读取任意数量的转换结果。

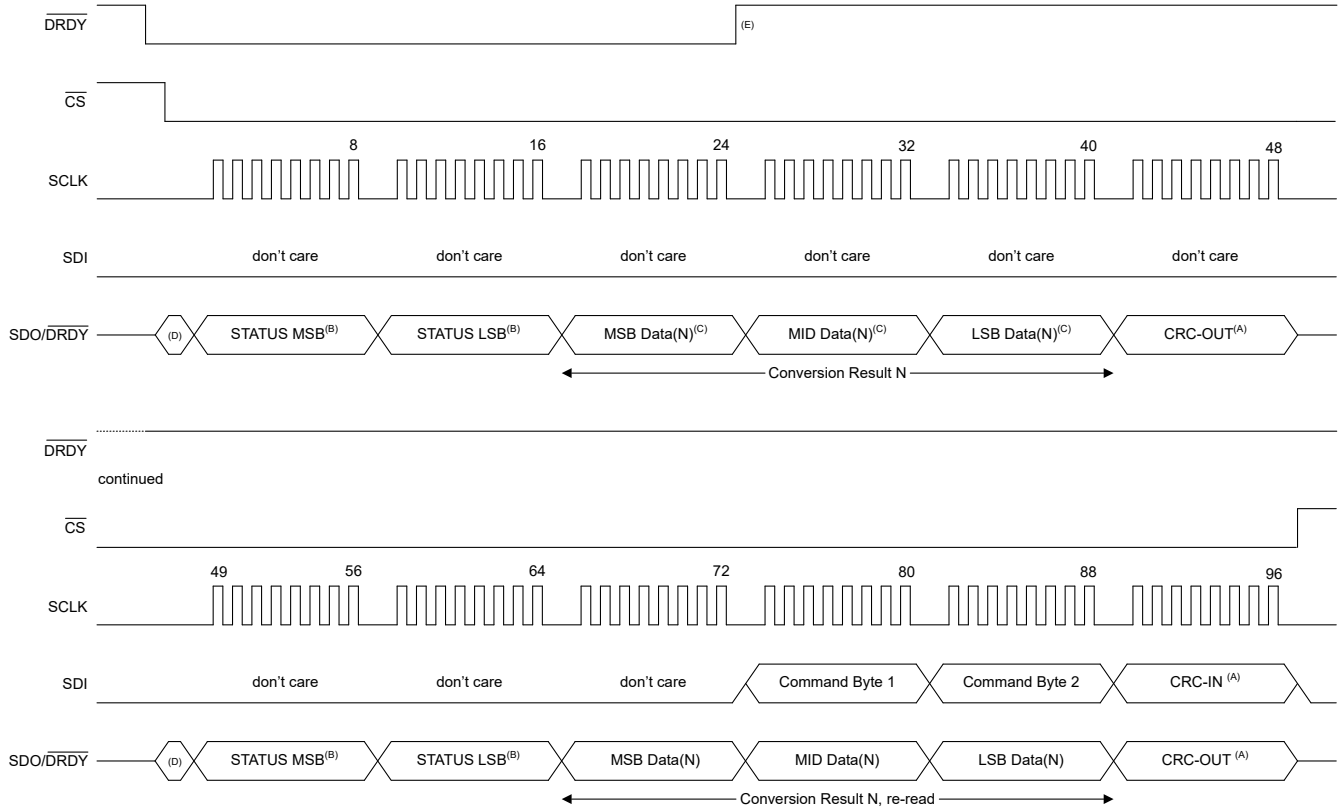




- A. 可选的 CRC 字节。如果禁用了 CRC 字节，则帧会相应地缩短。
- B. 可选的 STATUS 标头。如果禁用了 STATUS 标头，则帧会相应地缩短。
- C. 根据之前的操作，数据字段为转换数据或寄存器数据 + 地址字节 + 00h 填充字节。
- D. 如果 SDO\_MODE 位 = 0b，则保持 SDO/DRDY 的先前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。
- E. 在此示例中，在读取第二个转换数据之前，新的转换结果 N+1 已完成。

**图 7-57. 连续读取模式下的转换数据读取，启用 STATUS 和 CRC — 新转换结果可用**

图 7-58 展示了在启用 STATUS 标头和 CRC 字节，但在第一次读取期间没有新的转换数据完成的情况下，在连续读取模式下读取两个转换结果的示例。在这种情况下，第二个转换数据读取操作返回相同的转换结果“N”。



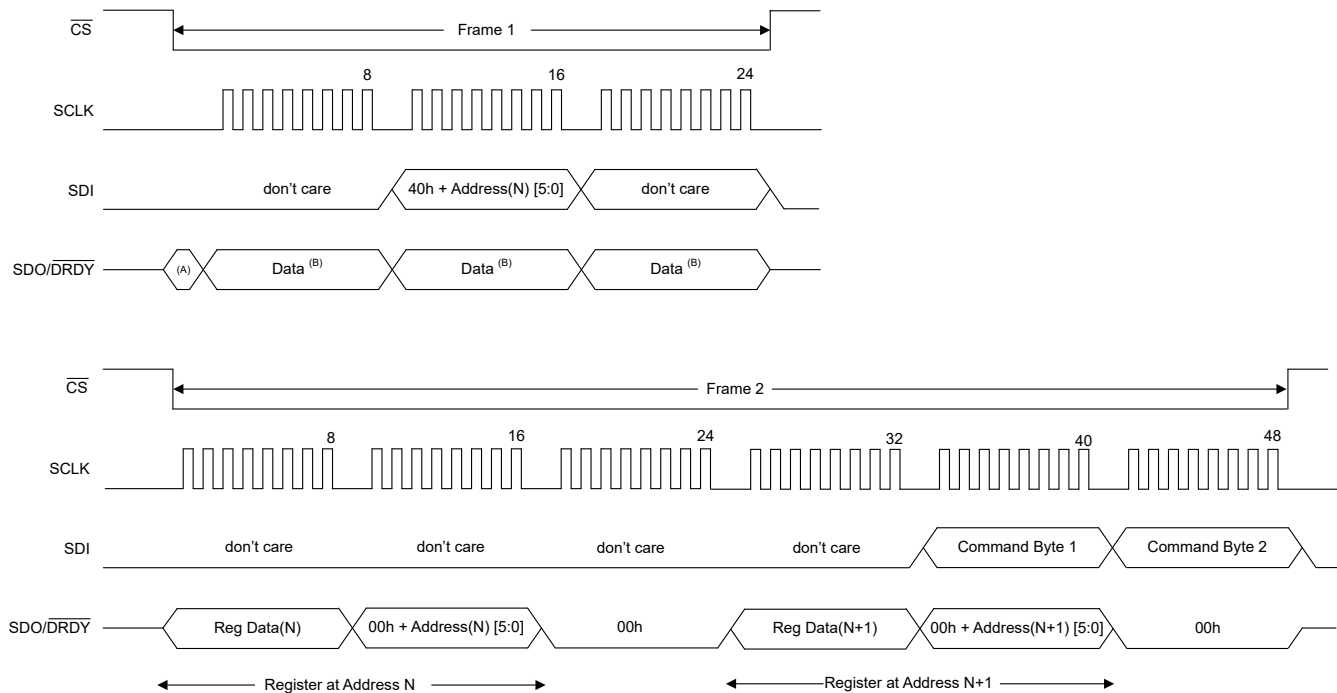
- A. 可选的 CRC 字节。如果禁用了 CRC 字节，则帧会相应地缩短。
- B. 可选的 STATUS 标头。如果禁用了 STATUS 标头，则帧会相应地缩短。
- C. 根据之前的操作，数据字段为转换数据或寄存器数据 + 地址字节 + 00h 填充字节。
- D. 如果 SDO\_MODE 位 = 0b，则保持 SDO/DRDY 的先前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。
- E. 在此示例中，在读取第二个转换数据之前，没有已完成的新转换结果。

**图 7-58. 连续读取模式下的转换数据读取，启用 STATUS 和 CRC — 无新转换结果可用**

#### 7.5.5.2 在连续读取模式下读取寄存器

在连续读取模式下，使用 [读取寄存器命令](#) 一节中所述相同的命令帧来读取寄存器数据。数据响应帧会返回一个或多个寄存器数据字节，具体取决于 CS 驱动回高电平的时间。第一个寄存器数据字节从命令帧中指定的地址读取。然后，每次后续寄存器读取时，寄存器地址都会自动递增 1。即使下一个寄存器地址指向无效的寄存器也是如此。对有效地址范围之外寄存器的响应：数据字节为 00h，地址指示器字节为 FFh。

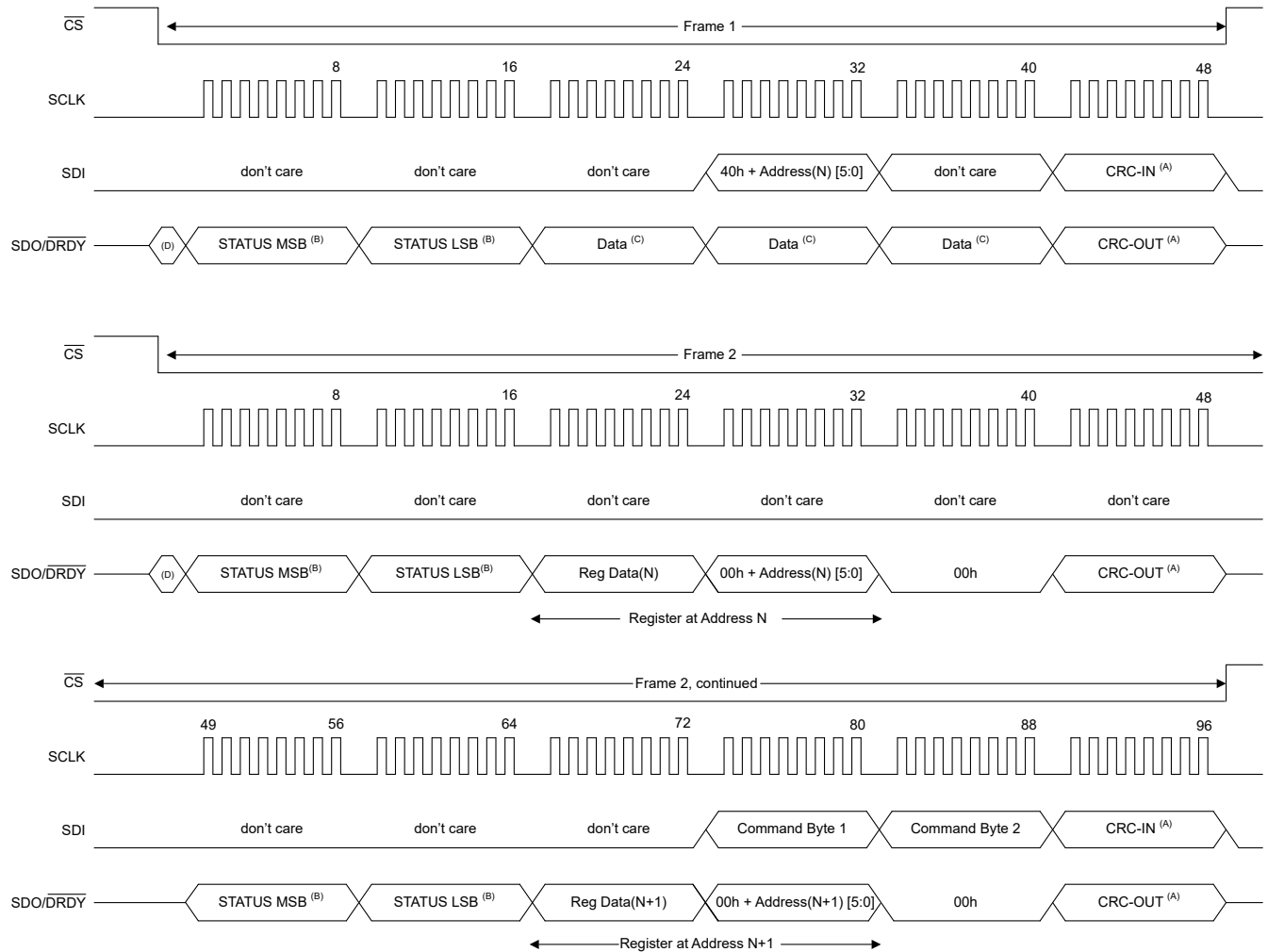
**图 7-59** 显示了禁用 STATUS 和 CRC 字节时，在连续读取模式下读取寄存器数据的示例。此示例显示如何读取两个连续寄存器 N 和 N+1。但在将 CS 保持为低电平以达到额外时钟周期时，可以读取任意数量的寄存器。



- A. 第一个 SCLK 之前 SDO/DRDY 的先前状态。  
B. 根据之前的操作，数据字段为转换数据或寄存器数据字节 + 地址字节 + 00h 填充字节。

图 7-59. 在连续读取模式下读取寄存器数据 (禁用 STATUS 标头和 CRC 字节)

图 7-60 显示了启用 STATUS 标头和 CRC 字节时，在连续读取模式下读取寄存器操作的示例。在输入和输出帧中，使用无关字节和 00h 填充字节匹配数据帧协议，如 [读取寄存器命令](#) 一节所述。此示例显示如何读取两个连续寄存器 N 和 N+1。但在将 CS 保持为低电平以达到额外时钟周期时，可以读取任意数量的寄存器。



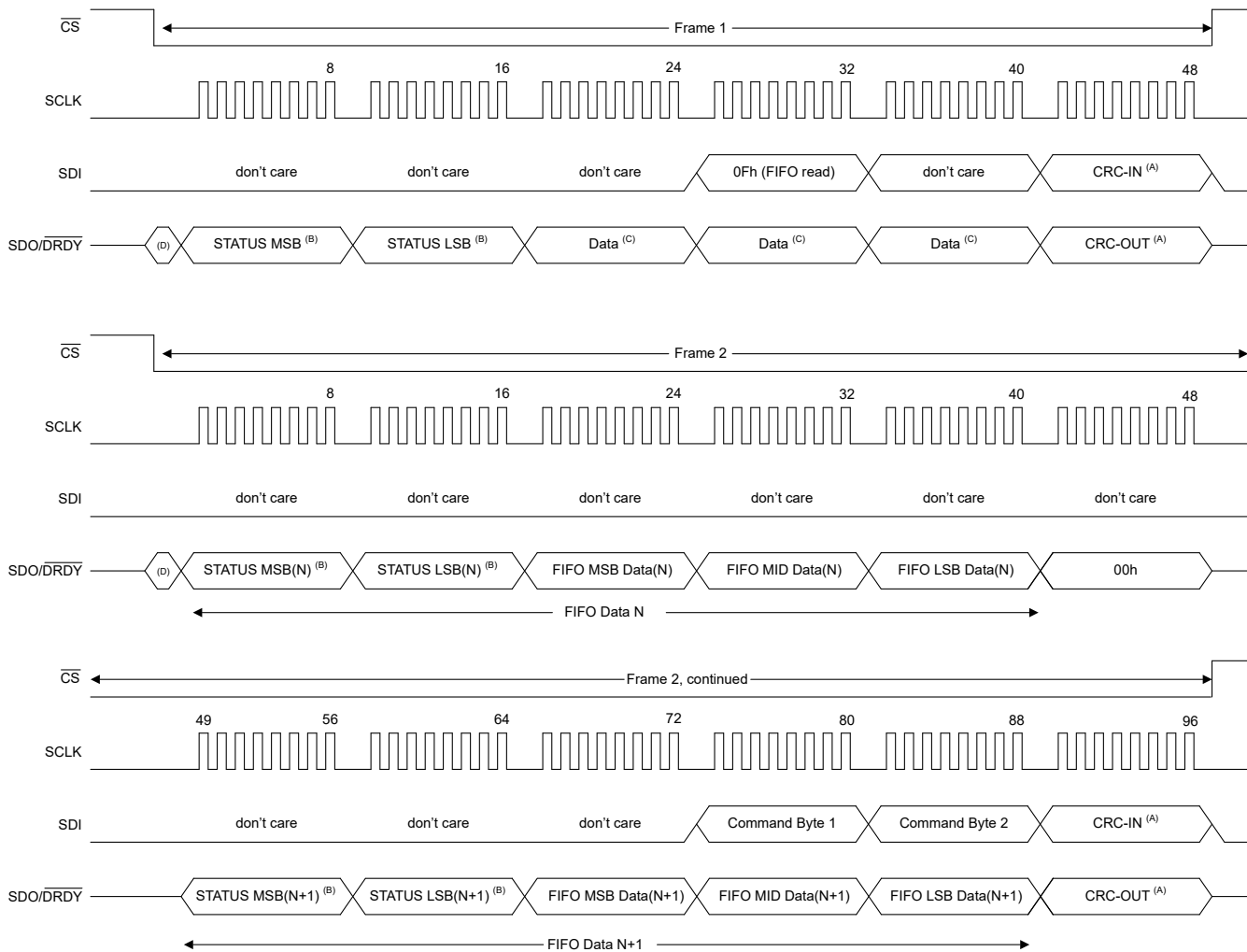
- A. 可选的 CRC 字节。如果禁用 CRC，则帧会缩短一个字节。
- B. 可选的 STATUS 字节。如果禁用 STATUS，则帧会缩短两个字节。
- C. 根据之前的操作，数据字段为转换数据或寄存器数据字节 + 地址字节 + 00h 填充字节。
- D. 第一个 SCLK 之前 SDO/DRDY 的先前状态。

图 7-60. 在连续读取模式下读取寄存器数据 (启用 STATUS 标头和 CRC 字节)

### 7.5.5.3 在连续读取模式下读取 FIFO 缓冲器

在连续读取模式下，可使用 [读取 FIFO 缓冲器命令](#) 部分所述的相同命令帧来读取 FIFO 数据。数据响应帧会返回一个或多个 FIFO 地址的 FIFO 数据，具体取决于  $\overline{\text{CS}}$  驱动回高电平的时序。如 [FIFO 缓冲器读取与写入](#) 部分所述，FIFO 缓冲器读取指针定义了待读取数据字在 FIFO 内部的存储器位置。有关 FIFO 缓冲器操作的详细说明，请参阅 [FIFO 缓冲器读取与写入](#) 部分。在连续读取模式下，对于响应帧内的每次后续 FIFO 缓冲器读取，FIFO 缓冲器读取指针都会自动递增 1。

图 7-61 展示了启用 STATUS 标头和 CRC 字节时，在连续读取模式下读取 FIFO 缓冲器的操作示例。此示例展示了读取两个连续 FIFO 地址 N 和 N+1 的数据，但在将  $\overline{\text{CS}}$  保持低电平达额外的 SCLK 周期时，可以读取任意多个 FIFO 地址位置。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。CRC-OUT 覆盖整个帧。
- B. 可选的 STATUS 标头。如果禁用了 STATUS，则每次读取 FIFO，帧都会缩短两个字节。
- C. 根据之前的操作，数据字段为转换数据或寄存器数据 + 地址字节 + 00h 填充字节。
- D. 第一个 SCLK 之前是 SDO/DRDY 的先前状态。

图 7-61. 在连续读取模式下读取 FIFO 缓冲器数据，启用 STATUS 标头和 CRC 字节

FIFO 读取命令期间返回的 STATUS 标头是在 ADC 转换时存储在 FIFO 中的 STATUS 位与在执行 FIFO 读取操作时存储在通用配置页 STATUS 寄存器中的 STATUS 位的组合。有关更多详细说明，请参阅 [读取 FIFO 缓冲器命令](#) 部分。

### 7.5.6 POR 或复位之后的 SPI 通信

在器件加电期间或器件保持复位状态时，用户寄存器复位为默认值，并且  $\overline{\text{SDO}}/\overline{\text{DRDY}}$  引脚处于高阻态，同时  $\overline{\text{DRDY}}$  引脚驱动为低电平。加电或复位后，只要  $\overline{\text{CS}}$  为高电平， $\overline{\text{SDO}}/\overline{\text{DRDY}}$  引脚就处于仅输出模式 ( $\text{SDO\_MODE} = 0\text{b}$ ) 且处于高阻态，并且  $\overline{\text{DRDY}}/\text{GPIO1}$  引脚处于  $\overline{\text{DRDY}}$  模式。如图 7-62 和图 7-63 所示，在 POR 已释放且器件已为通信做好准备后， $\overline{\text{DRDY}}$  引脚会驱动高电平。加电后经过  $t_{\text{POR}}$  和复位后经过  $t_{\text{REGACQ}}$ ，器件已为 SPI 通信做好准备。

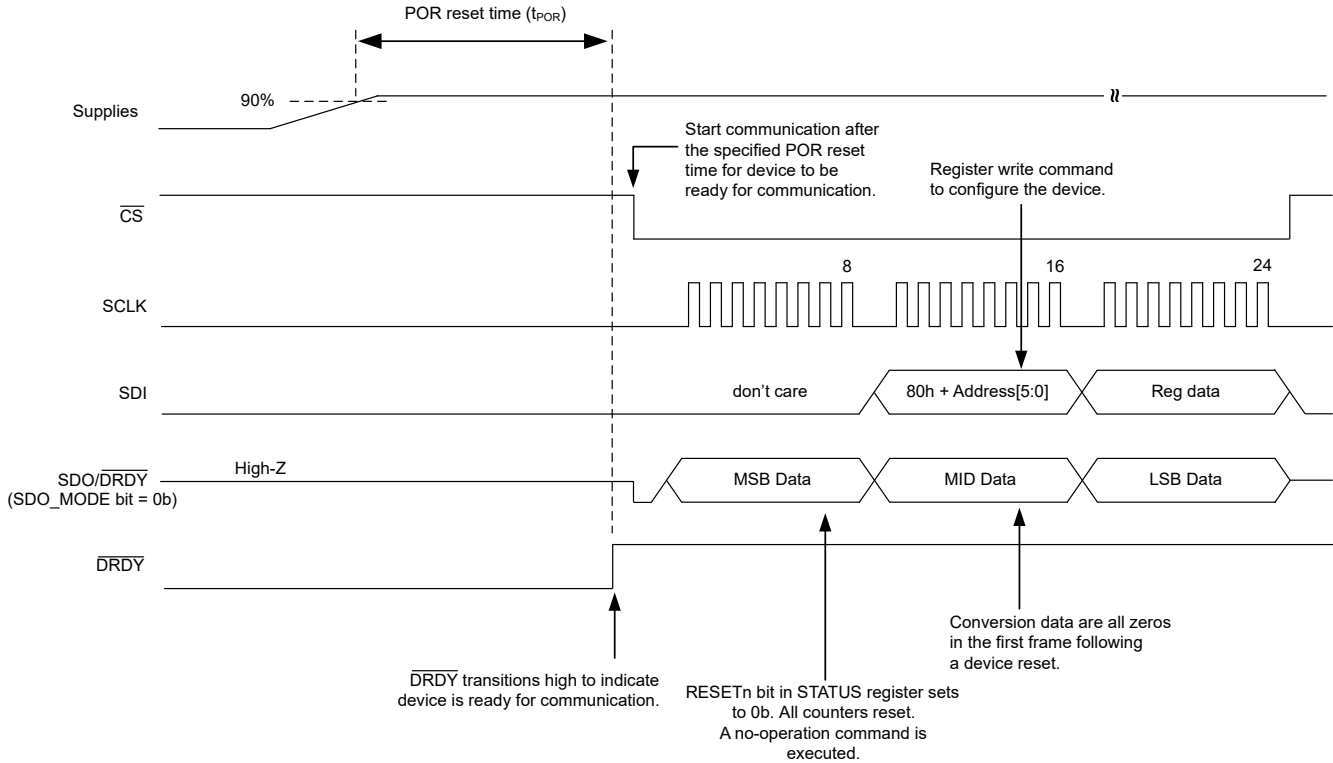


图 7-62. 上电复位后的 SPI 通信

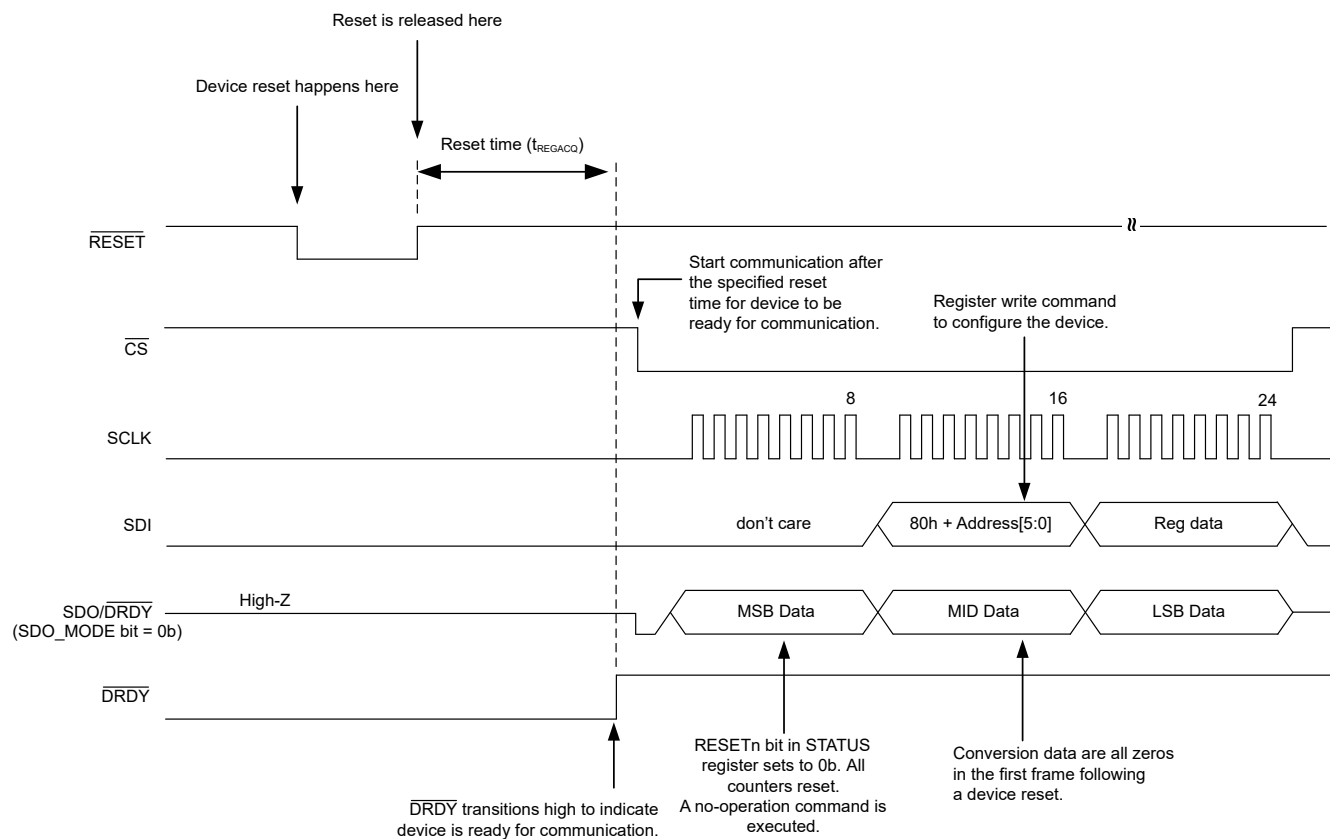


图 7-63. 复位后的 SPI 通信



### 7.5.7 $\overline{\text{DRDY}}$ 引脚行为

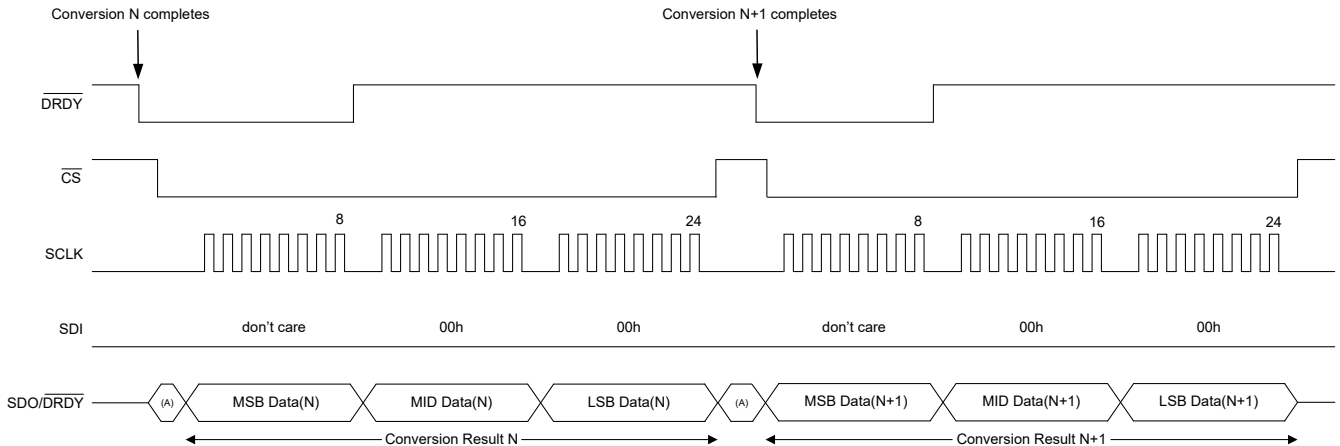
本部分详细介绍各种情况下的  $\overline{\text{DRDY}}$  引脚行为。在所有情况下， $\text{DRDY\_CFG}[1:0]$  位都复位为 00b。每当新转换数据完成时  $\overline{\text{DRDY}}$  转换为低电平。如果在完成新的转换时  $\overline{\text{DRDY}}$  为低电平，则  $\overline{\text{DRDY}}$  在  $\overline{\text{DRDY}}$  下降沿之前会将  $t_{\text{w(DRH)}}$  驱动为高电平（请参阅图 7-65 和图 7-67）。

如果在读取转换数据 N 的同时完成新的转换 N+1，该器件可避免数据损坏。在转换数据 N 读取完成之前，转换数据 N+1 都被保存在内部缓冲器中。在下一帧中，转换数据 N+1 会被加载到 SDO 输出缓冲器中。在这种情况下，读取转换数据 N 后， $\overline{\text{DRDY}}$  不会转换为高电平，以指示新的转换数据 N+1 可供读出（请参阅图 7-67）。

$\overline{\text{DRDY}}$  在转换数据读取期间在第 8 个 SCLK 下降沿转换为高电平（图 7-64），前提是 STATUS 标头已禁用。如果 CS 在第 8 个 SCLK 之前驱动为高电平，则  $\overline{\text{DRDY}}$  保持低电平，表示未读取转换数据（图 7-65 和图 7-66）。

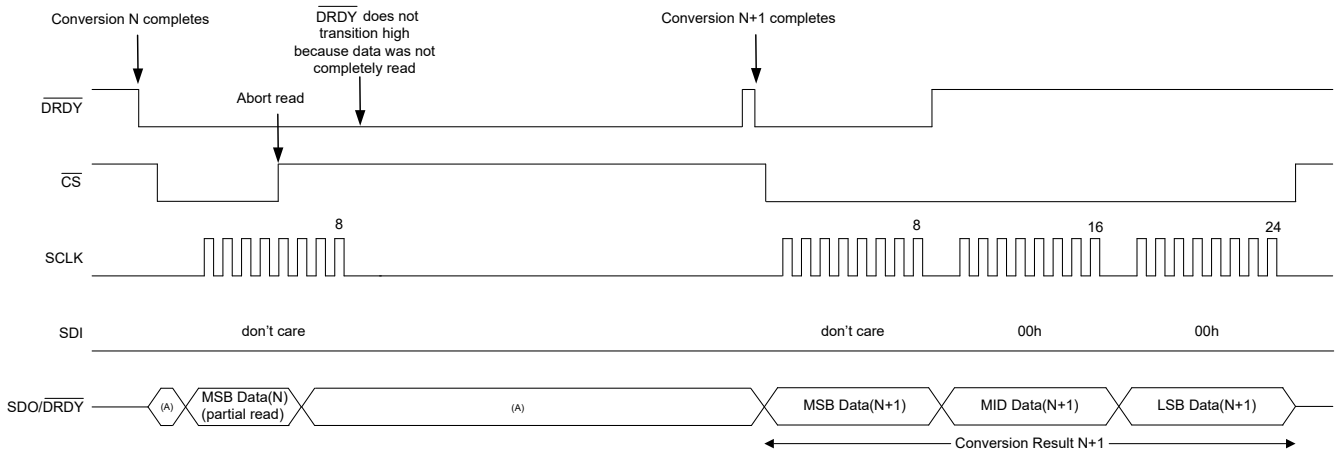
图 7-66 显示了在新转换完成之前，可以多次读取相同的转换数据。转换计数器（STATUS\_LSB 寄存器中的 CONV\_COUNT[3:0] 位）指示是否会再次读取相同的数据或读取新数据。

图 7-68 说明了当主机在转换 N+2 完成之前未读取数据时，转换数据 N+1 会丢失。在这种情况下，转换计数器有助于检测主机是否错过了读取中间转换结果。



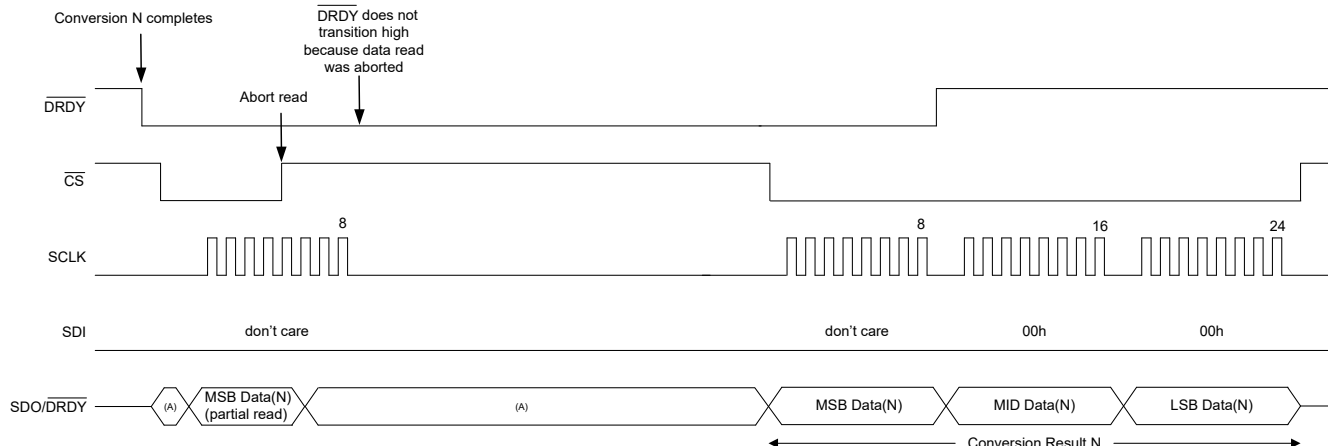
A. 如果 SDO\_MODE 位 = 0b，则保持 SDO/ $\overline{\text{DRDY}}$  的之前状态，直至第一个 SCLK 上升沿。否则，SDO/ $\overline{\text{DRDY}}$  跟随  $\overline{\text{DRDY}}$ 。

图 7-64.  $\overline{\text{DRDY}}$  引脚行为：在新的转换完成之前读取转换数据



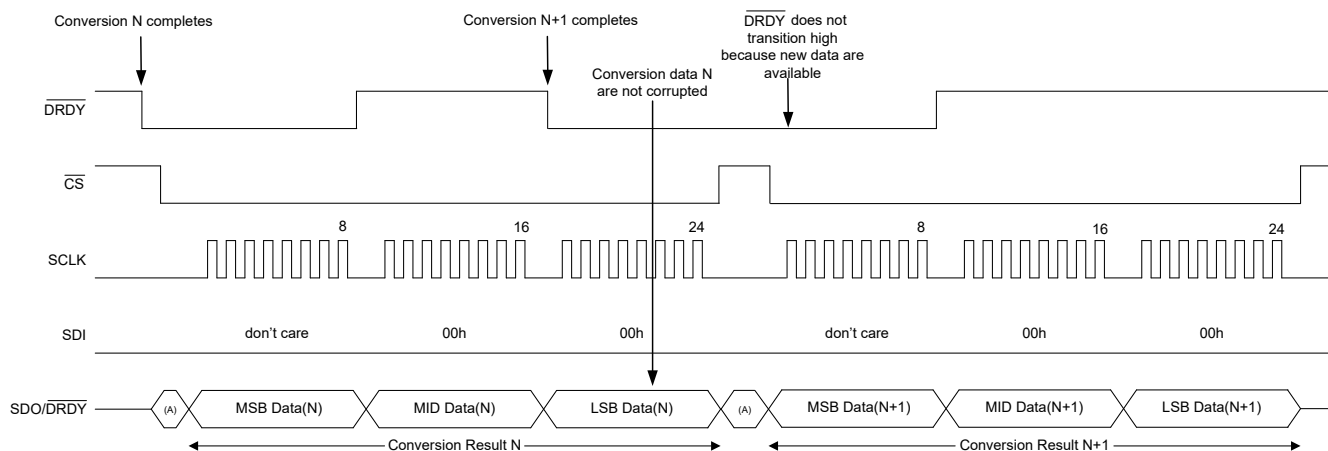
A. 如果 SDO\_MODE 位 = 0b，则保持 SDO/ $\overline{\text{DRDY}}$  的之前状态，直至第一个 SCLK 上升沿。否则，SDO/ $\overline{\text{DRDY}}$  跟随  $\overline{\text{DRDY}}$ 。

图 7-65.  $\overline{\text{DRDY}}$  引脚行为：在新的转换完成之前未完成转换数据的读取



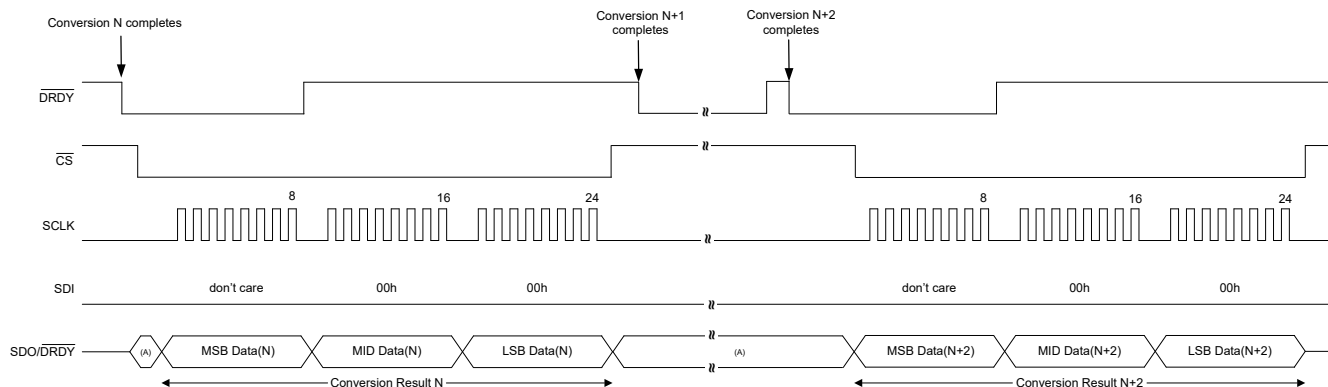
A. 如果 SDO\_MODE 位 = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-66. DRDY 引脚行为：转换数据的未完成读取后跟相同转换数据的完全读取



A. 如果 SDO\_MODE 位 = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

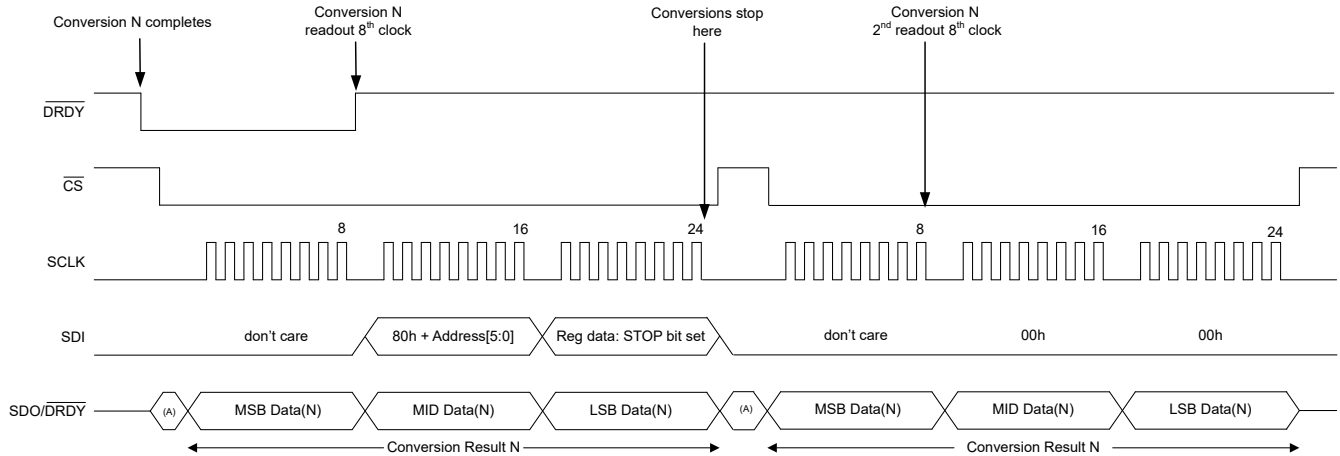
图 7-67. DRDY 引脚行为：在新的转换完成时读取转换数据



A. 如果 SDO\_MODE 位 = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

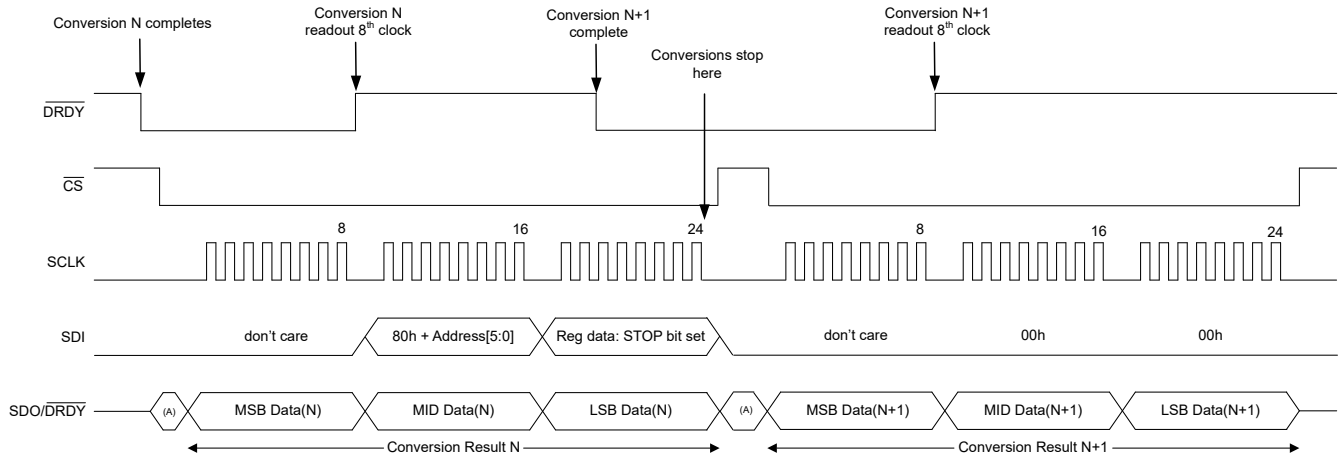
图 7-68. DRDY 引脚行为：错过读取中间转换结果

对于以下示例，假设  $\text{STOP\_BEHAVIOR}[1:0] = 00b$ 。设置  $\text{STOP}$  位会在写入  $\text{CONVERSION\_CTRL}$  寄存器的  $\text{SPI}$  帧内的最后一个  $\text{SCLK}$  下降沿停止转换。但是， $\overline{\text{DRDY}}$  引脚不转换为高电平，仍然可以读取旧转换数据，直到新转换可用为止。图 7-69 显示了设置  $\text{STOP}$  位以在读取转换数据时中止正在进行的转换的器件行为。图 7-70 显示了设置  $\text{STOP}$  位和读取转换数据时新转换完成的场景。



A. 如果  $\text{SDO\_MODE}$  位 =  $0b$ ，则保持  $\text{SDO/DRDY}$  的之前状态，直至第一个  $\text{SCLK}$  上升沿。否则， $\text{SDO/DRDY}$  跟随  $\overline{\text{DRDY}}$ 。

图 7-69.  $\overline{\text{DRDY}}$  引脚行为：在读取转换数据时设置  $\text{STOP}$  位



A. 如果  $\text{SDO\_MODE}$  位 =  $0b$ ，则保持  $\text{SDO/DRDY}$  的之前状态，直至第一个  $\text{SCLK}$  上升沿。否则， $\text{SDO/DRDY}$  跟随  $\overline{\text{DRDY}}$ 。

图 7-70.  $\overline{\text{DRDY}}$  引脚行为：设置  $\text{STOP}$  位并在新转换完成时读取转换数据

### 7.5.8 菊花链运行

在使用多个  $\text{ADC}$  的系统中，可以采用菊花链串连接器件，以减少  $\text{SPI}$  连接的数量。菊花链连接将一个器件的  $\text{SPI}$  输出连接到下一个器件的  $\text{SPI}$  输入，因此链中的器件对主机控制器显示为单个逻辑器件。菊花链运行无需特殊编程，应用额外的移位时钟即可访问链中的所有器件。为了简化操作，对每个器件编程为相同的  $\text{SPI}$  帧大小（例如，当启用所有器件的  $\text{CRC}$  选项时，从而产生 32 位帧大小）。

图 7-71 显示了以菊花链配置连接的四个器件。ADS125H18 (1) 的  $\text{SDI}$  连接到主机  $\text{SPI}$  数据输出，ADS125H18 (4) 的  $\text{SDO/DRDY}$  连接到主机  $\text{SPI}$  数据输入。该链中的所有器件同时进行移位操作。每个  $\text{ADC}$  移出转换数据后， $\text{SDI}$  的数据出现在  $\text{SDO/DRDY}$  中，以驱动链中下一个器件的  $\text{SDI}$ 。移位操作将继续，直至到达链中的最后一个器件。当  $\overline{\text{CS}}$  置为高电平时， $\text{SPI}$  帧结束，此时将解释移入每个器件的数据。对于菊花链运行，请使用  $\text{SDO\_MODE}$  位将  $\text{SDO/DRDY}$  引脚编程为仅数据输出模式。

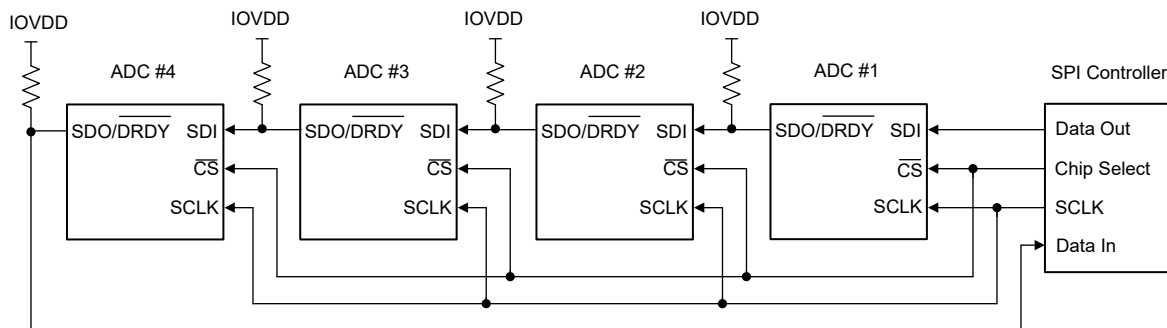


图 7-71. 菊花链连接

图 7-71 显示了每个数据输出引脚处的上拉电阻器。如果在双功能模式下使用 SDO/DRDY 引脚，则使用 10k $\Omega$  上拉电阻器可实现 SPI 帧之间的快速响应（这在使用边沿触发中断时尤其重要）。但是，如果仅将该引脚用作 SDO，则 100k $\Omega$  电阻器等较弱的上拉电阻器就足够了。

图 7-72 显示了在器件加电后的初始通信时使用的每个器件的 24 位帧大小。

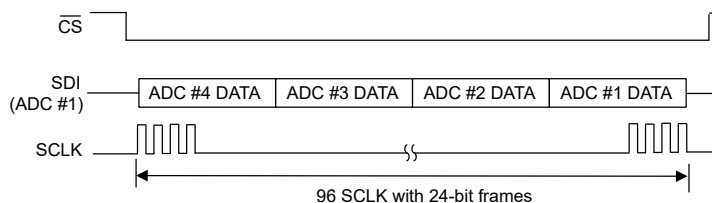
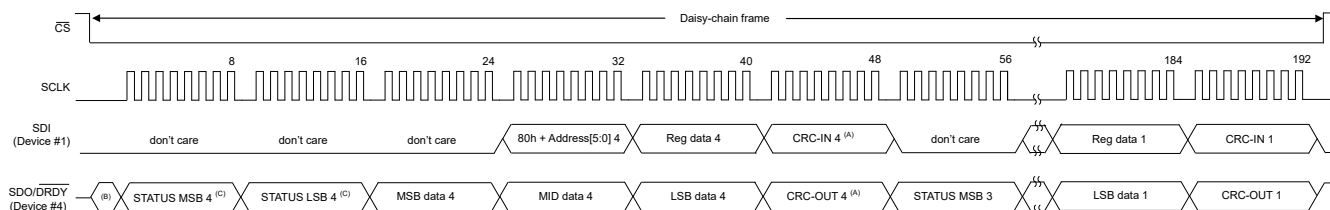


图 7-72. 24 位数据输入序列

为了输入数据，主机首先移入用于链中最后一个器件的数据。每个 ADC 的输入字节数的大小与输出帧大小相匹配。默认帧大小为 24 位，因此最初每个 ADC 需要三个字节，方法是在两个命令字节前添加一个填充字节作为前缀。首先是 ADC #4 的输入数据，然后是 ADC #3 的输入数据，依此类推。

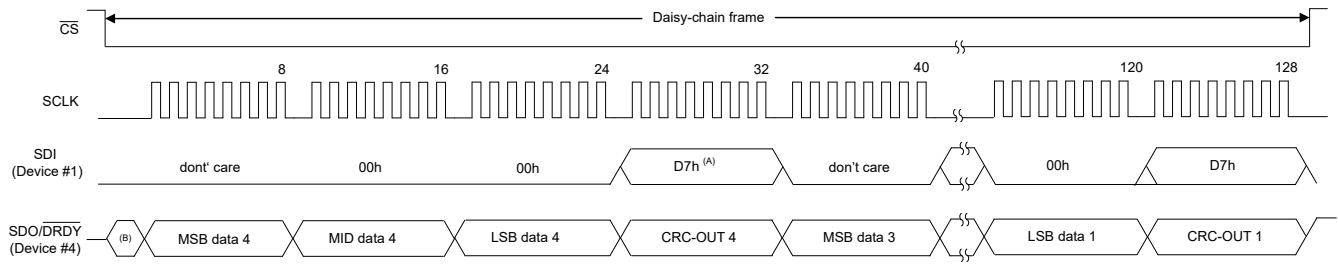
图 7-73 展示了图 7-71 的菊花链写入寄存器操作的详细输入数据序列。显示了每个 ADC 的 48 位帧（24 位数据，启用了 STATUS 标头和 CRC 字节）。每个 ADC 的命令操作可能不同。读取寄存器操作需要第二个帧操作来读取寄存器数据。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。
- B. 在应用 SCLK 之前 SDO/DRDY 的前一状态。
- C. 可选的 STATUS 标头。如果禁用 STATUS，则帧会缩短两个字节。

图 7-73. 菊花链连接中的寄存器数据写入

图 7-74 显示了从图 7-71 中提供的器件连接中读取转换数据的时钟序列。此示例说明了 32 位输出帧（24 位数据，启用了 CRC 字节）。ADC (4) 的输出数据排在第一位，然后是 ADC (3) 的数据，依此类推。移出数据所需的总时钟数由每帧位数  $\times$  链中器件数得出。在此示例中，32 位输出帧  $\times$  四个器件得到 128 个总时钟。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。  
B. 在应用 SCLK 之前 SDO/DRDY 的前一状态。

图 7-74. 菊花链连接中的转换数据读取

如方程式 31 所示，以菊花链配置连接的器件数上限受 SCLK 信号频率、数据速率和每帧位数的限制。

$$\text{Maximum devices in a chain} = \lfloor f_{\text{SCLK}} / (f_{\text{DATA}} \times \text{bits per frame}) \rfloor \quad (31)$$

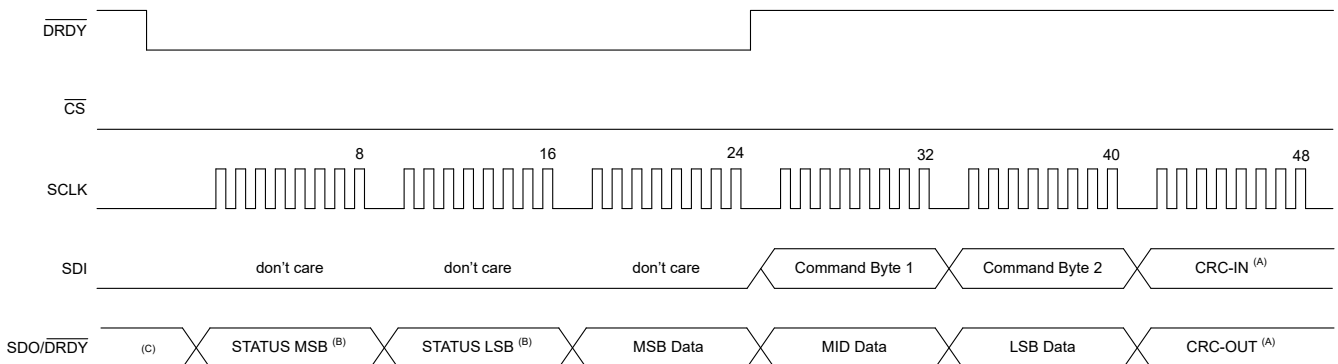
例如，如果  $f_{\text{SCLK}} = 20\text{MHz}$ ， $f_{\text{DATA}} = 100\text{kSPS}$ ，并且使用了 32 位帧，则菊花链连接的器件的数量上限是：  
 $\lfloor 20\text{MHz} / (100\text{kHz} \times 32) \rfloor = 6$ 。

### 7.5.9 3 线 SPI 模式

ADC 可通过将  $\overline{\text{CS}}$  接地来选择 3 线 SPI 操作。如果  $\overline{\text{CS}}$  在上电时或复位后接地，ADC 会检测到 3 线模式。只要  $\overline{\text{CS}}$  置为高电平，器件就会变为 4 线 SPI 模式。

由于  $\overline{\text{CS}}$  不再在 3 线 SPI 模式下控制帧时序，因此 ADC 会对 SCLK 进行计数以确定帧的开始和结束。SCLK 位数必须由主机控制并且必须与输出帧的大小相匹配。每帧的位数取决于器件配置。表 7-49 中列出了输出帧的大小。由于帧时序由 SCLK 的数量决定，因此应避免 SCLK 意外转换，例如可能在上电时发生的转换。

3 线 SPI 模式和 4 线模式支持相同的指令格式和时钟，但 3 线模式没有  $\overline{\text{CS}}$  切换，因此在帧之间没有等待时间。图 7-75 显示了在 3 线 SPI 模式下读取转换数据的示例。



- A. 可选的 CRC 字节。如果禁用了 CRC，则帧会缩短一个字节。  
B. 可选的 STATUS 标头。如果禁用 STATUS，则帧会缩短两个字节。  
C. 如果 SDO\_MODE 位 = 0b，则保持 SDO/DRDY 的之前状态，直至第一个 SCLK 上升沿。否则，SDO/DRDY 跟随 DRDY。

图 7-75. 在 3 线 SPI 模式下读取转换数据

#### 7.5.9.1 3 线 SPI 模式帧重新对齐

在 3 线 SPI 模式下，意外的 SCLK 可导致帧错位，从而导致与主机的帧同步丢失。如图 7-76 所示，通过发送 SPI 重新对齐模式，无需 ADC 复位即可重新同步 SPI。重新对齐模式在第 64 个 SCLK 出现，至少连续 63 个 1，后跟一个 0。第 65 个 SCLK 启动一个新的 SPI 帧。该器件还接受具有超过 63 个连续 1 后跟一个 0 的重新对齐模

式。在这种情况下，新帧从 SCLK 上升沿的 0 之后开始。或者，可以通过切换  $\overline{\text{RESET}}$  或通过 [通过 SPI 输入模式进行复位](#) 一节中所示的复位模式完全复位 ADC。

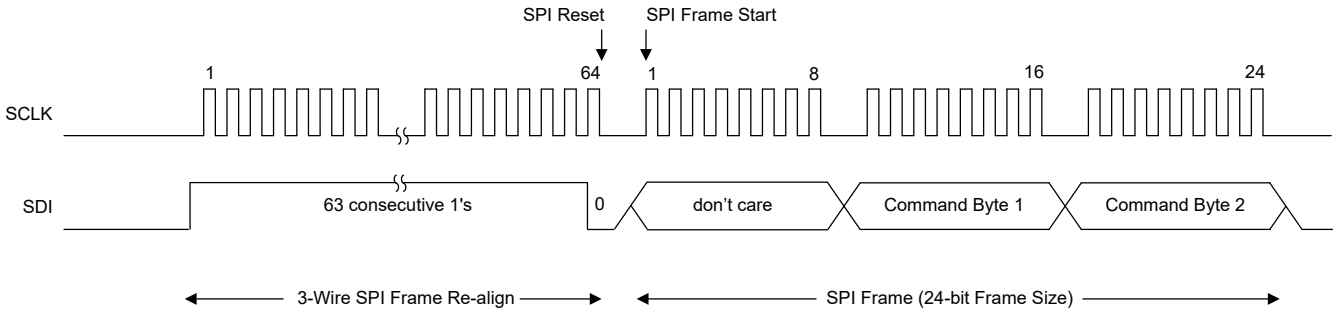


图 7-76. 3 线模式 SPI 重新对齐模式

### 7.5.10 转换数据

转换数据根据 CODING 位进行编码。默认情况下，转换数据以二进制补码格式进行编码，MSB 在最前面（符号位）。将 CODING 位设置为 1b 可实现单极直接二进制格式。表 7-53 显示了输出代码，其取决于所示的格式。在二进制补码格式中，当输入信号超过各自的正负满量程值时，转换数据削平为正负满量程代码值。在单极直接二进制格式中，当输入信号超过满量程值或该值低于零时，转换数据削平为满量程或零代码值。

表 7-53. 理想输出代码与输入信号间的关系

差动输入电压 (V)	理想输出代码 <sup>(1)</sup>	
	二进制补码格式 (CODING = 0b)	单极直接二进制格式 (CODING = 1b)
$\geq \text{FSR} \times (2^{24} - 1) / 2^{24}$	7FFFFFFh	FFFFFFFh
$\geq \text{FSR} \times (2^{23} - 1) / 2^{23}$		FFFFFFEh
$\text{FSR}/2^{23}$	000001h	000002h
0	000000h	000000h
$-\text{FSR}/2^{23}$	FFFFFFFh	
$-\text{FSR} \times (2^{23} - 1) / 2^{23}$	800001h	
$\leq -\text{FSR}$	800000h	

(1) 理想输出数据，不包括偏移、增益、线性和噪声误差。

### 7.5.11 数据就绪

有多种方法可用于确定转换数据何时准备好回读。

1. 硬件：监测  $\overline{\text{DRDY}}$  或  $\text{SDO}/\overline{\text{DRDY}}$  引脚，请参阅 [DRDY 引脚和 SDO/DRDY 引脚](#) 部分了解详细信息。
2. 软件：监测 STATUS 标头的 DRDY 位。有关详细信息，请参阅 [DRDY 位](#) 部分。
3. 时钟计数：计算用于预测数据何时就绪的 ADC 主时钟数。有关详细信息，请参阅 [时钟计数](#) 部分。

#### 7.5.11.1 $\overline{\text{DRDY}}$ 引脚和 $\text{SDO}/\overline{\text{DRDY}}$ 引脚

$\overline{\text{DRDY}}$  是数据就绪输出信号引脚， $\text{SDO}/\overline{\text{DRDY}}$  引脚是双功能输出引脚。有关  $\overline{\text{DRDY}}$  引脚的说明，请参阅 [数据就绪 \( \$\overline{\text{DRDY}}\$ \) 引脚](#) 部分；有关  $\text{SDO}/\overline{\text{DRDY}}$  引脚的说明，请参阅 [串行数据输出/数据就绪 \( \$\text{SDO}/\overline{\text{DRDY}}\$ \)](#) 部分。

#### 7.5.11.2 DRDY 位

确定数据就绪的软件方法是轮询 DRDY 位（STATUS 标头的位 0）。当 DRDY = 1b 时，数据是上一次数据读取操作中的新数据，否则提供的数据是先前的数据。读取数据后，该位将保持清零状态，直到下一个转换数据就绪。为了避免丢失数据，至少像输出数据速率一样轮询该位。

### 7.5.11.3 时钟计数

确定数据何时准备就绪的另一种方法是计算 **ADC** 主时钟周期数。这种方法只有在使用外部时钟时才可行，因为内部时钟振荡器无法观察到。同步或转换开始后，时钟周期数比正常转换数据周期大。如 [数字滤波器](#) 部分中列出的那样，时钟周期的初始数量等于数字滤波器的延迟时间。



## 7.6 寄存器映射

ADS125H18 寄存器空间分为多个寄存器页。有关自动序列发生器和寄存器页结构的详细信息，请参阅 [通道自动序列发生器](#) 部分。

页 0 称为“状态和通用配置页”（或简称“通用配置页”），用于保存状态和通用配置数据。有关状态和通用配置页的寄存器映射，请参阅 [ADS125H18 状态和通用配置页面](#) 部分。

每个序列步骤配置都具有单独的寄存器页（页 1 至 32），称为“步骤配置页”。步骤寄存器由前缀“STEP\_x”标识，其中  $x = 0$  至 31，表示序列步骤编号。有关步骤配置页  $x$  的寄存器映射，请参阅 [ADS125H18 步骤配置页面](#) 部分。

有关页寻址的更多详细信息，以及如何配置自动序列发生器，请参阅 [配置自动序列发生器](#) 部分。

## 7.6.1 ADS125H18 状态和通用配置页面

表 7-54 列出了 ADS125H18 状态和通用配置页面寄存器的存储器映射寄存器。表 7-54 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

**表 7-54. 寄存器映射**

地址	首字母缩写词	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
00h	DEVICE_ID	30h	RESERVED		CH_CNT[1:0]		DEV_ID[3:0]			
01h	REVISION_ID	01h	REV_ID[7:0]							
02h	STATUS_MSB	00h	STEP_INDICATOR[4:0]					ADC_REF_FAU LTn	RESETn	DRDY
03h	STATUS_LSB	FFh	CONV_COUNT[3:0]			FIFO_FAULTn	INTERNAL_FA ULTn	REG_WRITE_F AULTn	SPI_CRC_FAU LTn	
04h	ADC_REF_STATUS	B0h	RESERVED	AVDD_UVn	REF_UVn	MOD_OVR_FA ULTn	RESERVED			
05h	DIGITAL_STATUS	FFh	CRC_FAULT_PAGE[5:0]					MEM_INTERN AL_FAULTn	REG_MAP_CR C_FAULTn	
06h	RESERVED	00h	RESERVED							
07h	GPIO_DATA_INPUT	02h	RESERVED			GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN	
08h	FIFO_SEQ_STATUS	07h	SEQ_ACTIVE	SEQ_COUNT[3:0]			FIFO_OFn	FIFO_UFn	FIFO_CRC_FA ULTn	
09h	FIFO_DEPTH_MSB	00h	RESERVED							FIFO_DEPTH[8 ]
0Ah	FIFO_DEPTH_LSB	00h	FIFO_DEPTH[7:0]							
10h	CONVERSION_CTR L	00h	启动	STEP_INIT[4:0]				RESERVED	STOP	
11h	RESET	00h	RESET_CODE[7:0]							
12h	ADC_CFG	0Ch	RESERVED	FIFO_TEST_E N	RESERVED		SPEED_MODE[1:0]		STBY_MODE	PWDN
13h	REFERENCE_CFG	01h	RESERVED					REF_VAL	REFP_BUF_EN	
14h	CLK_DIGITAL_CFG	04h	RESERVED		CLK_DIV[1:0]		CLK_SEL	OUT_DRV	SDO_MODE	CONT_READ_ EN
15h	RESERVED	00h	RESERVED							RESERVED
16h	RESERVED	00h	RESERVED							RESERVED
17h	GPIO_CFG	0Ch	GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
18h	SPARE_CFG	00h	SPARE7	SPARE6	SPARE5	SPARE4	SPARE3	SPARE2	SPARE1	SPARE0
20h	SEQUENCER_CFG	40h	SEQ_MODE[1:0]		STOP_BEHAVIOR[1:0]		RESERVED		DRDY_CFG[1:0]	
21h	SEQUENCE_STEP_ EN_0	01h	SEQ_STEP_7_ EN	SEQ_STEP_6_ EN	SEQ_STEP_5_ EN	SEQ_STEP_4_ EN	SEQ_STEP_3_ EN	SEQ_STEP_2_ EN	SEQ_STEP_1_ EN	SEQ_STEP_0_ EN
22h	SEQUENCE_STEP_ EN_1	00h	SEQ_STEP_15_ EN	SEQ_STEP_14_ EN	SEQ_STEP_13_ EN	SEQ_STEP_12_ EN	SEQ_STEP_11_ EN	SEQ_STEP_10_ EN	SEQ_STEP_9_ EN	SEQ_STEP_8_ EN
23h	SEQUENCE_STEP_ EN_2	00h	SEQ_STEP_23_ EN	SEQ_STEP_22_ EN	SEQ_STEP_21_ EN	SEQ_STEP_20_ EN	SEQ_STEP_19_ EN	SEQ_STEP_18_ EN	SEQ_STEP_17_ EN	SEQ_STEP_16_ EN
24h	SEQUENCE_STEP_ EN_3	00h	SEQ_STEP_31_ EN	SEQ_STEP_30_ EN	SEQ_STEP_29_ EN	SEQ_STEP_28_ EN	SEQ_STEP_27_ EN	SEQ_STEP_26_ EN	SEQ_STEP_25_ EN	SEQ_STEP_24_ EN
25h	FIFO_CFG	00h	RESERVED							FIFO_EN
26h	FIFO_THRES_A_MS B	00h	RESERVED							FIFO_THRES_ A[8]
27h	FIFO_THRES_A_LS B	00h	FIFO_THRES_A[7:0]							
28h	FIFO_THRES_B_MS B	00h	RESERVED							FIFO_THRES_ B[8]
29h	FIFO_THRES_B_LS B	00h	FIFO_THRES_B[7:0]							
2Ah	DIAG_MONITOR_C FG	20h	RESERVED	TDAC_RANGE	FAULT_PIN_BE HAVIOR	REG_MAP_CR C_EN	RESERVED	REF_UV_EN	STATUS_EN	SPI_CRC_EN
2Bh	POSTFILTER_CFG0	00h	RESERVED					PF_AVG[1:0]		PF_CFG
2Ch	POSTFILTER_CFG1	00h	PF7_EN	PF6_EN	PF5_EN	PF4_EN	PF3_EN	PF2_EN	PF1_EN	PF0_EN
2Dh	POSTFILTER_CFG2	FFh	PF7_BYPASS	PF6_BYPASS	PF5_BYPASS	PF4_BYPASS	PF3_BYPASS	PF2_BYPASS	PF1_BYPASS	PF0_BYPASS
30h	CS_FWD_CFG	00h	CS_FWD_EN_CODE[5:0]					TIMEOUT_SEL[1:0]		
31h	RESERVED	00h	RESERVED							
32h	GPIO_FWD_CFG	00h	RESERVED				GPIO3_FWD_E N	GPIO2_FWD_E N	GPIO1_FWD_ EN	GPIO0_FWD_E N
3Dh	REG_MAP_CRC	00h	GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]							

表 7-54. 寄存器映射 (续)

地址	首字母缩写词	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
3Eh	PAGE_INDICATOR	00h	PAGE_INDICATOR[7:0]							
3Fh	PAGE_POINTER	00h	PAGE_POINTER[7:0]							

复杂的位访问类型经过编码可适应小型表单元。表 7-55 展示了适用于此部分中访问类型的代码。

表 7-55. ADS125H18 状态和通用配置页面访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

### 7.6.1.1 DEVICE\_ID 寄存器 ( 地址 = 00h ) [复位 = 30h]

返回到[汇总表](#)。

图 7-77. DEVICE\_ID 寄存器

7	6	5	4	3	2	1	0
RESERVED		CH_CNT[1:0]		DEV_ID[3:0]			
R-00b		R-11b		R-0000b			

表 7-56. DEVICE\_ID 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	00b	保留 始终读为 00b
5:4	CH_CNT[1:0]	R	11b	通道数 始终读为 11b
3:0	DEV_ID[3:0]	R	0000b	器件 ID 寄存器 值如有变更，恕不另行通知。

7.6.1.2 REVISION\_ID 寄存器 ( 地址 = 01h ) [复位 = 01h]

返回到[汇总表](#)。

图 7-78. REVISION\_ID 寄存器

7	6	5	4	3	2	1	0
REV_ID[7:0]							
R-00000001b							

表 7-57. REVISION\_ID 寄存器字段说明

位	字段	类型	复位	说明
7:0	REV_ID[7:0]	R	00000001b	修订 ID 值如有变更，恕不另行通知。

### 7.6.1.3 STATUS\_MSB 寄存器 ( 地址 = 02h ) [复位 = 00h]

返回到[汇总表](#)。

**图 7-79. STATUS\_MSB 寄存器**

7	6	5	4	3	2	1	0
STEP_INDICATOR[4:0]				ADC_REF_FAULTn		RESETn	DRDY
R-00000b				R-0b		R/W-0b	R-0b

**表 7-58. STATUS\_MSB 寄存器字段描述**

位	字段	类型	复位	说明
7:3	STEP_INDICATOR[4:0]	R	00000b	序列步骤指示器 指示用于最新转换结果的步骤页面配置，该结果当前可读取。在器件复位后、断电模式下或写入 SEQUENCER_CFG 寄存器时，步骤指示器复位为 00h。在转换计数器 (CONV_COUNT[3:0]) 复位为 Fh 的同时，序列计数器 (SEQ_COUNT[3:0]) 复位为 0h 并且转换数据清除。
2	ADC_REF_FAULTn	R	0b	ADC 或基准超出范围故障标志 当设置 ADC_REF_STATUS 中的任何单独位时，该位会更新。要清除该位，必须清除 ADC_REF_STATUS 中的所有位。该位指示轨到轨缓冲器超出范围或调制器超出范围或基准欠压。 0b = 发生了超出范围故障 1b = 未发生超出范围故障
1	RESETn	R/W	0b	复位标志 指示发生了器件复位。写入 1b 以将位清除为 1b。 0b = 发生了复位 1b = 未发生复位
0	DRDY	R	0b	数据就绪标志 DRDY 指示新转换数据何时就绪。DRDY 位是 DRDYn 引脚的反向信号。轮询该位以确定转换数据是新数据还是来自最后一次读取操作的重复数据。 0b = 数据不是新数据 1b = 数据是新数据

#### 7.6.1.4 STATUS\_LSB 寄存器 (地址 = 03h) [复位 = FFh]

返回到[汇总表](#)。

图 7-80. STATUS\_LSB 寄存器

7	6	5	4	3	2	1	0
CONV_COUNT[3:0]				FIFO_FAULTn	INTERNAL_FAULTn	REG_WRITE_FAULTn	SPI_CRC_FAULTn
R-1111b				R-1b	R-1b	R-1b	R-1b

表 7-59. STATUS\_LSB 寄存器字段描述

位	字段	类型	复位	说明
7:4	CONV_COUNT[3:0]	R	1111b	转换计数器 每次新转换完成时，转换计数器都会递增。达到计数器值 Fh 后，计数器会在完成下一次转换时回滚到 0h。仅在断电模式下、器件复位之后或写入 SEQUENCER_CFG 寄存器时，计数器才会复位为 Fh。在序列步骤指示器 (STEP_INDICATOR[4:0]) 复位为 00h 的同时，序列计数器 (SEQ_COUNT[3:0]) 复位为 0h 并且转换数据清除。在复位、断电或写入 SEQUENCER_CFG 寄存器之后完成第一次转换时，计数器读数为 0h。启用序列发生器 (SEQ_MODE[1:0] = 10b 或 11b) 时，计数器在步骤第一次转换时读数始终 0h。禁用序列发生器 (SEQ_MODE[1:0] = 00b 或 01b) 时，如果具有新的步骤页面配置的转换完成，计数器值不会恢复为 0h。如果需要，通过在开始具有新的步骤页面配置的转换之前写入 SEQUENCER_CFG 寄存器将计数器复位为 Fh。
3	FIFO_FAULTn	R	1b	FIFO 故障标志 当设置 FIFO_SEQ_STATUS 寄存器中的任何单独的 FIFO 错误位时，该位会更新。要清除该位，必须清除 FIFO_SEQ_STATUS 中的所有位。 0b = 发生了 FIFO 故障 1b = 未发生 FIFO 故障
2	INTERNAL_FAULTn	R	1b	内部故障标志 当设置 DIGITAL_STATUS 中的任何单独位时，该位会更新。要清除该位，必须清除 DIGITAL_STATUS 中的所有位。 0b = 发生了内部故障 1b = 未发生内部故障
1	REG_WRITE_FAULTn	R	1b	页面或寄存器访问故障标志 指示发生了对无效寄存器地址的写入访问。无效寄存器地址被写入并在下一个 SPI 帧开始处复位时，会立即设置该标志。从无效寄存器地址读取不会设置此标志，但可通过读取命令的 SPI 帧内的地址指示检测到。 0b = 发生了页面或寄存器访问故障 1b = 未发生页面或寄存器访问故障
0	SPI_CRC_FAULTn	R	1b	SPI CRC 故障标志 指示前一个 SPI 帧中发生了 SPI CRC 故障。该位在每个新的 SPI 帧中自动清除为 1b。 0b = 发生了 SPI CRC 故障 1b = 未发生 SPI CRC 故障



### 7.6.1.5 ADC\_REF\_STATUS 寄存器 (地址 = 04h) [复位 = B0h]

返回到[汇总表](#)。

图 7-81. ADC\_REF\_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED	AVDD_UVn	REF_UVn	MOD_OVR_FAULTn	RESERVED			
R-1b	R/W-0b	R/W-1b	R/W-1b	R-0000b			

表 7-60. ADC\_REF\_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	1b	保留 始终读为 1b。
6	AVDD_UVn	R/W	0b	模拟电源电压欠压故障标志 指示 AVDD 电源电压降至电源欠压阈值以下。写入 1b 以将位清除为 1b。 0b = 发生了电源欠压故障 1b = 未发生电源欠压故障
5	REF_UVn	R/W	1b	基准电压欠压故障标志 指示 REF_SEL[1:0] 位选择的基准电压降至基准欠压阈值以下。写入 1b 以将位清除为 1b。 0b = 发生了基准欠压故障 1b = 未发生基准欠压故障
4	MOD_OVR_FAULTn	R/W	1b	调制器超范围故障指示器 写入 1b 以将位清除为 1b。 0b = 发生了调制器超范围故障 1b = 未发生调制器超范围故障
3:0	RESERVED	R	0000b	保留 始终读为 0000b

7.6.1.6 DIGITAL\_STATUS 寄存器 ( 地址 = 05h ) [复位 = FFh]

返回到[汇总表](#)。

图 7-82. DIGITAL\_STATUS 寄存器

7	6	5	4	3	2	1	0
CRC_FAULT_PAGE[5:0]						MEM_INTERNAL_FAULTn	REG_MAP_CRC_FAULTn
R-111111b						R/W-1b	R/W-1b

表 7-61. DIGITAL\_STATUS 寄存器字段描述

位	字段	类型	复位	说明
7:2	CRC_FAULT_PAGE[5:0]	R	111111b	寄存器映射 CRC 故障页面指示器 指示当 REG_MAP_CRC_FAULTn 指示 CRC 故障时哪个寄存器页显示 CRC 错误。如果多个寄存器页面存在 CRC 错误，则该指示器指向存在 CRC 错误的第一个寄存器页面地址。当通过提供正确的寄存器映射 CRC 值纠正了 CRC_FAULT_PAGE[5:0] 位字段指示的页面上的 CRC 错误，并且另一个寄存器页面上存在另一个 CRC 错误时，CRC_FAULT_PAGE[5:0] 位字段不会自动更新。向 REG_MAP_CRC_FAULTn 位字段写入 1b 后，REG_MAP_CRC_FAULTn 再次设置为 0b，并且 CRC_FAULT_PAGE[5:0] 位字段指向下一个存在寄存器映射 CRC 错误的其余第一个页面地址。当 REG_MAP_CRC_FAULTn 标志清除为 1b 时，该位字段清除为 111111b。
1	MEM_INTERNAL_FAULTn	R/W	1b	内部存储器故障标志 指示内部存储器中发生了存储器映射 CRC 故障或在内部选择了错误页面 ( PAGE_INDICATOR 与 PAGE_POINTER 不匹配 )。写入 1b 以将位清除为 1b。 0b = 发生了存储器映射 CRC 故障 1b = 未发生存储器映射 CRC 故障
0	REG_MAP_CRC_FAULTn	R/W	1b	寄存器映射 CRC 故障标志 指示通用配置页面 ( 寄存器地址空间为 12h 到 32h ) 或步骤配置页面中发生了寄存器映射 CRC 故障。写入 1b 以将位清除为 1b。 0b = 发生了寄存器映射 CRC 故障 1b = 未发生寄存器映射 CRC 故障

### 7.6.1.7 GPIO\_DATA\_INPUT 寄存器 ( 地址 = 07h ) [复位 = 02h]

返回到[汇总表](#)。

**图 7-83. GPIO\_DATA\_INPUT 寄存器**

7	6	5	4	3	2	1	0
RESERVED				GPIO3_DAT_IN	GPIO2_DAT_IN	GPIO1_DAT_IN	GPIO0_DAT_IN
R-0000b				R-0b	R-0b	R-1b	R-0b

**表 7-62. GPIO\_DATA\_INPUT 寄存器字段说明**

位	字段	类型	复位	说明
7:4	RESERVED	R	0000b	保留 始终读为 0000b
3	GPIO3_DAT_IN	R	0b	GPIO3 数据 配置为数字输入或输出时 GPIO3 的回读值。当 GPIO3_CFG[1:0] = 00b 时读回 0b。 0b = 低电平 1b = 高电平
2	GPIO2_DAT_IN	R	0b	GPIO2 数据 配置为数字输入或输出时 GPIO2 的回读值。当 GPIO2_CFG[1:0] = 00b 或 11b 时、读回 0b。 0b = 低电平 1b = 高电平
1	GPIO1_DAT_IN	R	1b	GPIO1 数据 配置为数字输入或输出时 GPIO1 的回读值。当 GPIO1_CFG[1:0] = 00b 时读回 0b。 0b = 低电平 1b = 高电平
0	GPIO0_DAT_IN	R	0b	GPIO0 数据 配置为数字输入或输出时 GPIO0 的回读值。当 GPIO0_CFG[1:0] = 00b 时读回 0b。 0b = 低电平 1b = 高电平

7.6.1.8 FIFO\_SEQ\_STATUS 寄存器 ( 地址 = 08h ) [复位 = 07h]

返回到[汇总表](#)。

图 7-84. FIFO\_SEQ\_STATUS 寄存器

7	6	5	4	3	2	1	0
SEQ_ACTIVE	SEQ_COUNT[3:0]				FIFO_OFn	FIFO_UFn	FIFO_CRC_FAULTn
R-0b	R-0000b				R/W-1b	R/W-1b	R-1b

表 7-63. FIFO\_SEQ\_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	SEQ_ACTIVE	R	0b	序列发生器激活标志 指示转换当前是否正在进行还是转换停止且器件处于空闲、待机或断电模式。 0b = 序列发生器未激活 1b = 序列发生器激活
6:3	SEQ_COUNT[3:0]	R	0000b	已完成序列计数器 当 SEQ_MODE[1:0] = 11b 时，序列计数器指示最新转换结果所属的序列运行，该结果当前可读取。在新序列运行的第一次转换完成时序列计数器递增。第一个序列运行的第一次转换完成时，计数器读数为 0h。在第二个序列运行的第一次转换完成时，计数器读数为 1h。达到计数器值 Fh 后，计数器会在下一个序列运行的第一次转换完成时回滚到 0h。将 START 位设置为 1b 后在完成第一次转换时或在 START 引脚的上升沿，计数器复位为 0h。在断电模式下或器件复位后，写入 SEQUENCER_CFG 寄存器时，计数器立即复位为 0h。同时，序列步骤指示器 (STEP_INDICATOR[4:0]) 复位为 00h，转换计数器 (CONV_COUNT[3:0]) 复位为 Fh，并且转换数据清除。当 SEQ_MODE[1:0] = 00b、01b 或 10b 时，序列计数器读数始终为 0h。
2	FIFO_OFn	R/W	1b	FIFO 溢出标志 指示发生了 FIFO 溢出故障。写入 1b 以将位清除为 1b。 0b = 发生了 FIFO 溢出 1b = 未发生 FIFO 溢出
1	FIFO_UFn	R/W	1b	FIFO 下溢标志 指示发生了 FIFO 下溢故障。写入 1b 以将位清除为 1b。 0b = 发生了 FIFO 下溢 1b = 未发生 FIFO 下溢
0	FIFO_CRC_FAULTn	R	1b	FIFO CRC 故障标志 指示发生了 FIFO CRC 故障。写入 1b 以将位清除为 1b。 0b = 发生了 FIFO CRC 故障 1b = 未发生 FIFO CRC 故障

### 7.6.1.9 FIFO\_DEPTH\_MSB 寄存器 ( 地址 = 09h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-85. FIFO\_DEPTH\_MSB 寄存器

7	6	5	4	3	2	1	0
RESERVED							FIFO_DEPTH[8]
R-0000000b							R-0b

表 7-64. FIFO\_DEPTH\_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0000000b	保留 始终读为 00b
0	FIFO_DEPTH[8]	R	0b	FIFO 深度指示器 MSB FIFO 深度指示器的 MSB 位。

7.6.1.10 FIFO\_DEPTH\_LSB 寄存器 ( 地址 = 0Ah ) [复位 = 00h]

返回到[汇总表](#)。

图 7-86. FIFO\_DEPTH\_LSB 寄存器

7	6	5	4	3	2	1	0
FIFO_DEPTH[7:0]							
R-00000000b							

表 7-65. FIFO\_DEPTH\_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	FIFO_DEPTH[7:0]	R	00000000b	FIFO 深度指示器 LSB FIFO 深度指示器的 LSB 位。

### 7.6.1.11 CONVERSION\_CTRL 寄存器 (地址 = 10h) [复位 = 00h]

返回到[汇总表](#)。

图 7-87. CONVERSION\_CTRL 寄存器

7	6	5	4	3	2	1	0
启动	STEP_INIT[4:0]					RESERVED	STOP
R/W-0b	R/W-00000b					R-0b	R/W-0b

表 7-66. CONVERSION\_CTRL 寄存器字段描述

位	字段	类型	复位	说明
7	启动	R/W	0b	启动或重启 ADC 转换 写入 1b 以启动或重启 ADC 的转换。在一次性控制模式下 (SEQ_MODE = 00b)，启动一次转换。在启动/停止控制模式下 (SEQ_MODE=01b)，转换开始并继续，直到被 STOP 位停止。在转换正在进行时向 START 写入 1b 会重新启动转换。在启用序列发生器的模式 (SEQ_MODE = 10b 或 11b) 下，序列以 STEP_INIT[4:0] 指示的步骤启动。向 START 和 STOP 位写入 1b 无效。START 位会自行清除并且始终为 0b。 0b = 无操作 1b = 启动或重启转换
6:2	STEP_INIT[4:0]	R/W	00000b	初始执行步骤选择器 定义了序列启动时首先执行的序列步骤。
1	RESERVED	R	0b	保留 始终读为 0b
0	STOP	R/W	0b	停止 ADC 转换 写入 1b 以在当前转换完成后停止转换。向 START 和 STOP 写入 1b 无效。STOP 位会自行清除并且始终为 0b。在正在进行的序列完成后，或者在正在进行的序列完成之前设置 START 位时，STOP 位会清除为 0b，这样会中止正在进行的序列并重启新的序列。 0b = 无操作 1b = 停止转换



7.6.1.12 RESET 寄存器 ( 地址 = 11h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-88. RESET 寄存器

7	6	5	4	3	2	1	0
RESET_CODE[7:0]							
R/W-00000000b							

表 7-67. RESET 寄存器字段说明

位	字段	类型	复位	说明
7:0	RESET_CODE[7:0]	R/W	00000000b	器件复位寄存器 写入 01011010b 以复位 ADC。这些位始终读取 00000000b。

### 7.6.1.13 ADC\_CFG 寄存器 (地址 = 12h) [复位 = 0Ch]

返回到[汇总表](#)。

图 7-89. ADC\_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED	FIFO_TEST_EN	RESERVED		SPEED_MODE[1:0]		STBY_MODE	PWDN
R-0b	R/W-0b	R-00b		R/W-11b		R/W-0b	R/W-0b

表 7-68. ADC\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留 始终读为 0b
6	FIFO_TEST_EN	R/W	0b	ADC 测试模式启用 (ADC 计数器启用) 当启用此测试模式时, 对于每个数据输出, ADC 数据值都会递增 1。 0b = 禁用 1b = 启用
5:4	RESERVED	R	00b	保留 始终读为 0000b
3:2	SPEED_MODE[1:0]	R/W	11b	电源模式选择 选择电源模式。 00b = 超低速模式: 0.8MHz 调制器时钟模式 01b = 低速模式: 1.6MHz 调制器时钟模式 10b = 中速模式: 6.4MHz 调制器时钟模式 11b = 高速模式: 12.8MHz 调制器时钟模式
1	STBY_MODE	R/W	0b	ADC 待机模式选择 选择转换停止时的 ADC 模式。 0b = 空闲模式; 当转换停止时, ADC 保持全功率; 上一个序列步骤的配置仍旧有效。 1b = 待机模式; 当转换停止时, ADC 断电。转换重新开始时退出待机模式。
0	PWDN	R/W	0b	断电模式选择 除了用于保留全部用户寄存器设置的数字 LDO 外, 将所有电路断电。仍然可以进行 SPI 通信。在断电模式下, 步骤指示器 (STEP_INDICATOR[4:0]) 复位为 00h, 转换计数器 (CONV_COUNT[3:0]) 复位为 Fh、序列计数器 (SEQ_COUNT[3:0]) 复位为 0h, 转换数据清除, FIFO 清除, START 位和 START 引脚被忽略。将 PWDN 位设置为 1b 会立即关闭器件电源; 任何正在进行的转换都会中止。任何配置为 GPIO 数字输出的模拟输入在断电模式下都转换为 Hi-Z 状态。为了在断电期间保持特定逻辑电平, 请考虑在相应 GPIO 引脚上使用外部上拉或下拉电阻器。 0b = 有效运行 1b = 断电模式

7.6.1.14 REFERENCE\_CFG 寄存器 ( 地址 = 13h ) [复位 = 01h]

返回到[汇总表](#)。

图 7-90. REFERENCE\_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED						REF_VAL	REFP_BUF_EN
R-000000b						R/W-0b	R/W-1b

表 7-69. REFERENCE\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R	000000b	保留 始终读为 000000b
1	REF_VAL	R/W	0b	内部基准值选择 选择内部基准值。 0b = 内部 ADC 基准值为 2.5V 1b = 内部 ADC 基准值为 4.096V
0	REFP_BUF_EN	R/W	1b	正基准缓冲器启用 启用正基准缓冲器。 0b = 禁用 1b = 启用

### 7.6.1.15 CLK\_DIGITAL\_CFG 寄存器 ( 地址 = 14h ) [复位 = 04h]

返回到[汇总表](#)。

图 7-91. CLK\_DIGITAL\_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED		CLK_DIV[1:0]		CLK_SEL	OUT_DRV	SDO_MODE	CONT_READ_EN
R-00b		R/W-00b		R/W-0b	R/W-1b	R/W-0b	R/W-0b

表 7-70. CLK\_DIGITAL\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	00b	保留 始终读为 00b
5:4	CLK_DIV[1:0]	R/W	00b	外部时钟分频比选择 选择时钟分频比。 00b = 不分频 01b = 2 分频 10b = 8 分频 11b = 16 分频
3	CLK_SEL	R/W	0b	时钟选择 选择器件的时钟源。 0b = 内部振荡器 1b = 外部时钟
2	OUT_DRV	R/W	1b	数字输出驱动选择 选择数字输出的驱动强度。 0b = 全驱动强度 1b = 半驱动强度
1	SDO_MODE	R/W	0b	SDO 引脚模式选择 该位对 SDO/DRDY 引脚的模式进行编程。 0b = 仅数据输出模式 1b = 双模式：数据输出和数据就绪
0	CONT_READ_EN	R/W	0b	连续读取模式启用 允许在不进行 CS 转换的情况下读取多个字节 ( 转换或寄存器数据 )。 0b = 连续读取模式禁用 1b = 连续读取模式启用 ( 菊花链不可用 )

### 7.6.1.16 GPIO\_CFG 寄存器 ( 地址 = 17h ) [复位 = 0Ch]

返回到[汇总表](#)。

图 7-92. GPIO\_CFG 寄存器

7	6	5	4	3	2	1	0
GPIO3_CFG[1:0]		GPIO2_CFG[1:0]		GPIO1_CFG[1:0]		GPIO0_CFG[1:0]	
R/W-00b		R/W-00b		R/W-11b		R/W-00b	

表 7-71. GPIO\_CFG 寄存器字段描述

位	字段	类型	复位	说明
7:6	GPIO3_CFG[1:0]	R/W	00b	GPIO3 配置 配置 GPIO3 引脚行为。 00b = 禁用 ( 高阻态 ) 01b = 数字输入 10b = 推挽式数字输出 ( 具有读回功能 ) 11b = 引脚作为 FAULTn 输出 ( 具有读回功能 )
5:4	GPIO2_CFG[1:0]	R/W	00b	GPIO2 配置 配置 GPIO2 引脚行为。 00b = 禁用 ( 高阻态 ) 01b = 数字输入 10b = 推挽式数字输出 ( 具有读回功能 ) 11b = 引脚作为外部时钟 (CLK) 输入。设置 CLK_SEL = 1b 以选择用于器件运行的外部时钟。
3:2	GPIO1_CFG[1:0]	R/W	11b	GPIO1 配置 配置 GPIO1 引脚行为。 00b = 禁用 ( 高阻态 ) 01b = 数字输入 10b = 推挽式数字输出 ( 具有读回功能 ) 11b = 引脚作为 DRDYn 输出 ( 具有读回功能 )
1:0	GPIO0_CFG[1:0]	R/W	00b	GPIO0 配置 配置 GPIO0 引脚行为。 00b = 禁用 ( 高阻态 ) 01b = 数字输入 10b = 推挽式数字输出 ( 具有读回功能 ) 11b = 引脚作为 START/SYNC 输入 ( 具有读回功能 )

### 7.6.1.17 SPARE\_CFG 寄存器 (地址 = 18h) [复位 = 00h]

返回到[汇总表](#)。

**图 7-93. SPARE\_CFG 寄存器**

7	6	5	4	3	2	1	0
SPARE7	SPARE6	SPARE5	SPARE4	SPARE3	SPARE2	SPARE1	SPARE0
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

**表 7-72. SPARE\_CFG 寄存器字段说明**

位	字段	类型	复位	说明
7	SPARE7	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
6	SPARE6	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
5	SPARE5	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
4	SPARE4	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
3	SPARE3	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
2	SPARE2	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
1	SPARE1	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
0	SPARE0	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b

### 7.6.1.18 SEQUENCER\_CFG 寄存器 ( 地址 = 20h ) [复位 = 40h]

返回到[汇总表](#)。

图 7-94. SEQUENCER\_CFG 寄存器

7	6	5	4	3	2	1	0
SEQ_MODE[1:0]		STOP_BEHAVIOR[1:0]		RESERVED		DRDY_CFG[1:0]	
R/W-01b		R/W-00b		R-00b		R/W-00b	

表 7-73. SEQUENCER\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:6	SEQ_MODE[1:0]	R/W	01b	序列发生器执行模式选择 选择序列发生器执行模式。 00b = 序列发生器禁用：CONVERSION_CTRL 寄存器中 STEP_INIT[4:0] 指针定义的序列步骤仅执行一次（单次操作）。在此运行模式下会忽略步骤使能位。 STEPx_NUM_CONV[3:0] 位决定该序列步骤的转换次数。 01b = 序列发生器禁用：CONVERSION_CTRL 寄存器中 STEP_INIT[4:0] 指针定义的序列步骤执行并无限重复（连续转换运行）。在此运行模式下会忽略步骤使能位和 STEPx_NUM_CONV[3:0] 位。 10b = 序列发生器启用：从 STEP_INIT[4:0] 指针定义的步骤开始，执行完整的步骤序列一次。如果 STEP_INIT[4:0] 指针定义的步骤未启用，则不会执行序列。 11b = 序列发生器启用：从 STEP_INIT[4:0] 指针定义的步骤开始，执行完整的步骤序列并不断重复。如果 STEP_INIT[4:0] 指针定义的步骤未启用，则不会执行序列。
5:4	STOP_BEHAVIOR[1:0]	R/W	00b	序列停止行为选择 这些位定义停止位和 START 引脚下降沿的操作。 00b = 立即停止。当前转换未完成。 01b = 在当前转换完成后停止。 10b = 在当前序列步骤完成后停止。如果在此模式下 SEQ_MODE = 01b，则在当前转换完成后停止。 11b = 在完整序列完成后停止。如果在此模式下 SEQ_MODE = 00b，则在当前序列步骤完成后停止。如果在此模式下 SEQ_MODE = 01b，则在当前转换完成后停止。
3:2	RESERVED	R	00b	保留 始终读为 00b
1:0	DRDY_CFG[1:0]	R/W	00b	DRDY 运行模式选择 选择 DRDY 运行模式。 00b = 每次完成转换后进行 DRDY 转换。 01b = 每次完成序列步骤后进行 DRDY 转换。 10b = 每次完成序列后进行 DRDY 转换。 11b = DRDY 转换由与 FIFO 缓冲器深度相关并在 FIFO_THRES_HI 和 FIFO_THRES_LO 寄存器中定义的两个阈值定义。



### 7.6.1.19 SEQUENCE\_STEP\_EN\_0 寄存器 (地址 = 21h) [复位 = 01h]

返回到[汇总表](#)。

**图 7-95. SEQUENCE\_STEP\_EN\_0 寄存器**

7	6	5	4	3	2	1	0
SEQ_STEP_7_EN	SEQ_STEP_6_EN	SEQ_STEP_5_EN	SEQ_STEP_4_EN	SEQ_STEP_3_EN	SEQ_STEP_2_EN	SEQ_STEP_1_EN	SEQ_STEP_0_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b

**表 7-74. SEQUENCE\_STEP\_EN\_0 寄存器字段说明**

位	字段	类型	复位	说明
7	SEQ_STEP_7_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 7。 0b = 步骤被禁用。 1b = 步骤被启用。
6	SEQ_STEP_6_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 6。 0b = 步骤被禁用。 1b = 步骤被启用。
5	SEQ_STEP_5_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 5。 0b = 步骤被禁用。 1b = 步骤被启用。
4	SEQ_STEP_4_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 4。 0b = 步骤被禁用。 1b = 步骤被启用。
3	SEQ_STEP_3_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 3。 0b = 步骤被禁用。 1b = 步骤被启用。
2	SEQ_STEP_2_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 2。 0b = 步骤被禁用。 1b = 步骤被启用。
1	SEQ_STEP_1_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 1。 0b = 步骤被禁用。 1b = 步骤被启用。
0	SEQ_STEP_0_EN	R/W	1b	序列发生器步骤启用 启用序列步骤 0。 0b = 步骤被禁用。 1b = 步骤被启用。

### 7.6.1.20 SEQUENCE\_STEP\_EN\_1 寄存器 (地址 = 22h) [复位 = 00h]

返回到[汇总表](#)。

图 7-96. SEQUENCE\_STEP\_EN\_1 寄存器

7	6	5	4	3	2	1	0
SEQ_STEP_15_EN	SEQ_STEP_14_EN	SEQ_STEP_13_EN	SEQ_STEP_12_EN	SEQ_STEP_11_EN	SEQ_STEP_10_EN	SEQ_STEP_9_EN	SEQ_STEP_8_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-75. SEQUENCE\_STEP\_EN\_1 寄存器字段说明

位	字段	类型	复位	说明
7	SEQ_STEP_15_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 15。 0b = 步骤被禁用。 1b = 步骤被启用。
6	SEQ_STEP_14_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 14。 0b = 步骤被禁用。 1b = 步骤被启用。
5	SEQ_STEP_13_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 13。 0b = 步骤被禁用。 1b = 步骤被启用。
4	SEQ_STEP_12_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 12。 0b = 步骤被禁用。 1b = 步骤被启用。
3	SEQ_STEP_11_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 11。 0b = 步骤被禁用。 1b = 步骤被启用。
2	SEQ_STEP_10_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 10。 0b = 步骤被禁用。 1b = 步骤被启用。
1	SEQ_STEP_9_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 9。 0b = 步骤被禁用。 1b = 步骤被启用。
0	SEQ_STEP_8_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 8。 0b = 步骤被禁用。 1b = 步骤被启用。

### 7.6.1.21 SEQUENCE\_STEP\_EN\_2 寄存器 (地址 = 23h) [复位 = 00h]

返回到[汇总表](#)。

**图 7-97. SEQUENCE\_STEP\_EN\_2 寄存器**

7	6	5	4	3	2	1	0
SEQ_STEP_23_EN	SEQ_STEP_22_EN	SEQ_STEP_21_EN	SEQ_STEP_20_EN	SEQ_STEP_19_EN	SEQ_STEP_18_EN	SEQ_STEP_17_EN	SEQ_STEP_16_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

**表 7-76. SEQUENCE\_STEP\_EN\_2 寄存器字段说明**

位	字段	类型	复位	说明
7	SEQ_STEP_23_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 23。 0b = 步骤被禁用。 1b = 步骤被启用。
6	SEQ_STEP_22_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 22。 0b = 步骤被禁用。 1b = 步骤被启用。
5	SEQ_STEP_21_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 21。 0b = 步骤被禁用。 1b = 步骤被启用。
4	SEQ_STEP_20_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 20。 0b = 步骤被禁用。 1b = 步骤被启用。
3	SEQ_STEP_19_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 19。 0b = 步骤被禁用。 1b = 步骤被启用。
2	SEQ_STEP_18_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 18。 0b = 步骤被禁用。 1b = 步骤被启用。
1	SEQ_STEP_17_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 17。 0b = 步骤被禁用。 1b = 步骤被启用。
0	SEQ_STEP_16_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 16。 0b = 步骤被禁用。 1b = 步骤被启用。

### 7.6.1.22 SEQUENCE\_STEP\_EN\_3 寄存器 (地址 = 24h) [复位 = 00h]

返回到[汇总表](#)。

图 7-98. SEQUENCE\_STEP\_EN\_3 寄存器

7	6	5	4	3	2	1	0
SEQ_STEP_31_EN	SEQ_STEP_30_EN	SEQ_STEP_29_EN	SEQ_STEP_28_EN	SEQ_STEP_27_EN	SEQ_STEP_26_EN	SEQ_STEP_25_EN	SEQ_STEP_24_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-77. SEQUENCE\_STEP\_EN\_3 寄存器字段说明

位	字段	类型	复位	说明
7	SEQ_STEP_31_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 31。 0b = 步骤被禁用。 1b = 步骤被启用。
6	SEQ_STEP_30_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 30。 0b = 步骤被禁用。 1b = 步骤被启用。
5	SEQ_STEP_29_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 29。 0b = 步骤被禁用。 1b = 步骤被启用。
4	SEQ_STEP_28_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 28。 0b = 步骤被禁用。 1b = 步骤被启用。
3	SEQ_STEP_27_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 27。 0b = 步骤被禁用。 1b = 步骤被启用。
2	SEQ_STEP_26_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 26。 0b = 步骤被禁用。 1b = 步骤被启用。
1	SEQ_STEP_25_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 25。 0b = 步骤被禁用。 1b = 步骤被启用。
0	SEQ_STEP_24_EN	R/W	0b	序列发生器步骤启用 启用序列步骤 24。 0b = 步骤被禁用。 1b = 步骤被启用。

### 7.6.1.23 FIFO\_CFG 寄存器 ( 地址 = 25h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-99. FIFO\_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED							FIFO_EN
R-0000000b							R/W-0b

表 7-78. FIFO\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0000000b	保留 始终读为 0000000b
0	FIFO_EN	R/W	0b	FIFO 启用 启用 FIFO。 0b = 禁用 FIFO。( 禁用时, FIFO 被刷新并且写入指针和读取指针复位 ) 1b = 启用 FIFO。

7.6.1.24 FIFO\_THRES\_A\_MSB 寄存器 ( 地址 = 26h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-100. FIFO\_THRES\_A\_MSB 寄存器

7	6	5	4	3	2	1	0
RESERVED							FIFO_THRES_A[8]
R-0000000b							R/W-0b

表 7-79. FIFO\_THRES\_A\_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0000000b	保留 始终读为 0000000b
0	FIFO_THRES_A[8]	R/W	0b	DRDY FIFO 阈值 A 配置 MSB FIFO 阈值 A 的 MSB 位。当序列发生器处于 DRDY_CFG = 11b 设置的阈值模式时，DRDY 转换的上限阈值。一旦 FIFO_DEPTH[8:0] 指示器达到上限阈值，DRDY 将转换为低电平。

7.6.1.25 FIFO\_THRES\_A\_LSB 寄存器 ( 地址 = 27h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-101. FIFO\_THRES\_A\_LSB 寄存器

7	6	5	4	3	2	1	0
FIFO_THRES_A[7:0]							
R/W-00000000b							

表 7-80. FIFO\_THRES\_A\_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	FIFO_THRES_A[7:0]	R/W	00000000b	DRDY FIFO 阈值 A 配置 LSB FIFO 阈值 A 的 LSB 位。当序列发生器处于 DRDY_CFG = 11b 设置的阈值模式时，DRDY 转换的上限阈值。一旦 FIFO_DEPTH[8:0] 指示器达到上限阈值，DRDY 将转换为低电平。

7.6.1.26 FIFO\_THRES\_B\_MSB 寄存器 ( 地址 = 28h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-102. FIFO\_THRES\_B\_MSB 寄存器

7	6	5	4	3	2	1	0
RESERVED							FIFO_THRES_B[8]
R-0000000b							R/W-0b

表 7-81. FIFO\_THRES\_B\_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0000000b	保留 始终读为 0000000b
0	FIFO_THRES_B[8]	R/W	0b	DRDY FIFO 阈值 B 配置 MSB FIFO 阈值 B 的 MSB 位。当序列发生器处于 DRDY_CFG = 11b 设置的阈值模式时，DRDY 转换的下限阈值。一旦 FIFO_DEPTH[8:0] 指示器达到下限阈值，DRDY 将转换为高电平。



7.6.1.27 FIFO\_THRES\_B\_LSB 寄存器 ( 地址 = 29h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-103. FIFO\_THRES\_B\_LSB 寄存器

7	6	5	4	3	2	1	0
FIFO_THRES_B[7:0]							
R/W-00000000b							

表 7-82. FIFO\_THRES\_B\_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	FIFO_THRES_B[7:0]	R/W	00000000b	DRDY FIFO 阈值 B 配置 LSB FIFO 阈值 B 的 LSB 位。当序列发生器处于 DRDY_CFG = 11b 设置的阈值模式时，DRDY 转换的下限阈值。一旦 FIFO_DEPTH[8:0] 指示器达到下限阈值，DRDY 将转换为高电平。

### 7.6.1.28 DIAG\_MONITOR\_CFG 寄存器 (地址 = 2Ah) [复位 = 20h]

返回到[汇总表](#)。

图 7-104. DIAG\_MONITOR\_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED	TDAC_RANGE	FAULT_PIN_BEHAVIOR	REG_MAP_CRC_EN	RESERVED	REF_UV_EN	STATUS_EN	SPI_CRC_EN
R-0b	R/W-0b	R/W-1b	R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b

表 7-83. DIAG\_MONITOR\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留 始终读为 0b
6	TDAC_RANGE	R/W	0b	测试 DAC 范围选择 选择测试 DAC 范围。 0b = TDAC 范围为 2.5V 1b = TDAC 范围为 4.096V
5	FAULT_PIN_BEHAVIOR	R/W	1b	FAULT 引脚行为选择 选择 FAULT 引脚行为。 0b = FAULT 引脚输出信号为静态信号：当没有故障时，引脚为高电平。当发生故障时，引脚为低电平。 1b = FAULT 引脚输出信号为动态信号：当没有故障时，引脚在 f#MOD#/256 处为 50/50 占空比信号。发生故障时，引脚处于低电平。
4	REG_MAP_CRC_EN	R/W	0b	寄存器映射 CRC 启用 为通用配置页面 (寄存器地址为 12h 到 32h) 或步骤配置页面 (寄存器地址为 0h 到 10h) 启用寄存器映射 CRC。 0b = 禁用 1b = 启用 (对所有步骤配置页面进行 CRC 校验)
3	RESERVED	R	0b	保留 始终读为 0b
2	REF_UV_EN	R/W	0b	基准监控器启用 启用基准监控器。 0b = 基准监控器禁用 1b = 基准监控器启用
1	STATUS_EN	R/W	0b	STATUS 字节输出启用 在 SDO 上启用 STATUS 字节传输，并作为每个 SPI 帧的前 2 个字节。 0b = 禁用 1b = 启用
0	SPI_CRC_EN	R/W	0b	SPI CRC 启用 在 SDI 和 SDO 上启用 SPI CRC。 0b = 禁用 1b = 启用

## 7.6.1.29 POSTFILTER\_CFG0 寄存器 ( 地址 = 2Bh ) [复位 = 00h]

返回到[汇总表](#)。

图 7-105. POSTFILTER\_CFG0 寄存器

7	6	5	4	3	2	1	0
RESERVED					PF_AVG[1:0]		PF_CFG
R-00000b					R/W-00b		R/W-0b

表 7-84. POSTFILTER\_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:3	RESERVED	R	00000b	保留 始终读为 00000b
2:1	PF_AVG[1:0]	R/W	00b	后置滤波器平均次数选择 数字式每通道后置滤波器的平均次数。如果 SEQ_MODE[1:0] = 00b 或 01b ( 序列发生器禁用 ) , 则会忽略该字段。 00b = 平均 4 次 01b = 平均 8 次 10b = 平均 16 次 11b = 平均 16 次
0	PF_CFG	R/W	0b	后置滤波器级联数量选择 数字式后置滤波器的级联选项。 0b = 滤波器未级联 ( 与 sinc1 类似 ) 1b = 滤波器级联 3 个 ( 与 sinc3 类似 )

### 7.6.1.30 POSTFILTER\_CFG1 寄存器 (地址 = 2Ch) [复位 = 00h]

返回到[汇总表](#)。

图 7-106. POSTFILTER\_CFG1 寄存器

7	6	5	4	3	2	1	0
PF7_EN	PF6_EN	PF5_EN	PF4_EN	PF3_EN	PF2_EN	PF1_EN	PF0_EN
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-85. POSTFILTER\_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	PF7_EN	R/W	0b	每通道后置滤波器启用 针对后置滤波器 7 启用 (与序列发生器步骤 7 相关)。如果 SEQ_MODE[1:0] = 00b 或 01b (序列发生器禁用), 则会忽略该位。如果启用了后置滤波器, 则每个序列发生器步骤的转换次数被强制为 1, 即 STEP_x_NUM_CONV[3:0] = 0。如果有任何后置滤波器处于活动状态, 则只有步骤 0 至步骤 7 有效, 可以使用。将忽略所有其他步骤。 0b = 禁用 1b = 启用
6	PF6_EN	R/W	0b	每通道后置滤波器启用 针对后置滤波器 6 启用 (与序列发生器步骤 6 相关)。如果 SEQ_MODE[1:0] = 00b 或 01b (序列发生器禁用), 则会忽略该位。如果启用了后置滤波器, 则每个序列发生器步骤的转换次数被强制为 1, 即 STEP_x_NUM_CONV[3:0] = 0。如果有任何后置滤波器处于活动状态, 则只有步骤 0 至步骤 7 有效, 可以使用。将忽略所有其他步骤。 0b = 禁用 1b = 启用
5	PF5_EN	R/W	0b	每通道后置滤波器启用 针对后置滤波器 5 启用 (与序列发生器步骤 5 相关)。如果 SEQ_MODE[1:0] = 00b 或 01b (序列发生器禁用), 则会忽略该位。如果启用了后置滤波器, 则每个序列发生器步骤的转换次数被强制为 1, 即 STEP_x_NUM_CONV[3:0] = 0。如果有任何后置滤波器处于活动状态, 则只有步骤 0 至步骤 7 有效, 可以使用。将忽略所有其他步骤。 0b = 禁用 1b = 启用
4	PF4_EN	R/W	0b	每通道后置滤波器启用 针对后置滤波器 4 启用 (与序列发生器步骤 4 相关)。如果 SEQ_MODE[1:0] = 00b 或 01b (序列发生器禁用), 则会忽略该位。如果启用了后置滤波器, 则每个序列发生器步骤的转换次数被强制为 1, 即 STEP_x_NUM_CONV[3:0] = 0。如果有任何后置滤波器处于活动状态, 则只有步骤 0 至步骤 7 有效, 可以使用。将忽略所有其他步骤。 0b = 禁用 1b = 启用
3	PF3_EN	R/W	0b	每通道后置滤波器启用 针对后置滤波器 3 启用 (与序列发生器步骤 3 相关)。如果 SEQ_MODE[1:0] = 00b 或 01b (序列发生器禁用), 则会忽略该位。如果启用了后置滤波器, 则每个序列发生器步骤的转换次数被强制为 1, 即 STEP_x_NUM_CONV[3:0] = 0。如果有任何后置滤波器处于活动状态, 则只有步骤 0 至步骤 7 有效, 可以使用。将忽略所有其他步骤。 0b = 禁用 1b = 启用
2	PF2_EN	R/W	0b	每通道后置滤波器启用 针对后置滤波器 2 启用 (与序列发生器步骤 2 相关)。如果 SEQ_MODE[1:0] = 00b 或 01b (序列发生器禁用), 则会忽略该位。如果启用了后置滤波器, 则每个序列发生器步骤的转换次数被强制为 1, 即 STEP_x_NUM_CONV[3:0] = 0。如果有任何后置滤波器处于活动状态, 则只有步骤 0 至步骤 7 有效, 可以使用。将忽略所有其他步骤。 0b = 禁用 1b = 启用
1	PF1_EN	R/W	0b	每通道后置滤波器启用 针对后置滤波器 1 启用 (与序列发生器步骤 1 相关)。如果 SEQ_MODE[1:0] = 00b 或 01b (序列发生器禁用), 则会忽略该位。如果启用了后置滤波器, 则每个序列发生器步骤的转换次数被强制为 1, 即 STEP_x_NUM_CONV[3:0] = 0。如果有任何后置滤波器处于活动状态, 则只有步骤 0 至步骤 7 有效, 可以使用。将忽略所有其他步骤。 0b = 禁用 1b = 启用
0	PF0_EN	R/W	0b	每通道后置滤波器启用 针对后置滤波器 0 启用 (与序列发生器步骤 0 相关)。如果 SEQ_MODE[1:0] = 00b 或 01b (序列发生器禁用), 则会忽略该位。如果启用了后置滤波器, 则每个序列发生器步骤的转换次数被强制为 1, 即 STEP_x_NUM_CONV[3:0] = 0。如果有任何后置滤波器处于活动状态, 则只有步骤 0 至步骤 7 有效, 可以使用。将忽略所有其他步骤。 0b = 禁用 1b = 启用

### 7.6.1.31 POSTFILTER\_CFG2 寄存器 (地址 = 2Dh) [复位 = FFh]

返回到[汇总表](#)。

图 7-107. POSTFILTER\_CFG2 寄存器

7	6	5	4	3	2	1	0
PF7_BYPASS	PF6_BYPASS	PF5_BYPASS	PF4_BYPASS	PF3_BYPASS	PF2_BYPASS	PF1_BYPASS	PF0_BYPASS
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-1b

表 7-86. POSTFILTER\_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	PF7_BYPASS	R/W	1b	每通道后置滤波器旁路 针对后置滤波器 7 旁通 (与序列发生器步骤 7 相关)。0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供 0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供
6	PF6_BYPASS	R/W	1b	每通道后置滤波器旁路 针对后置滤波器 6 旁通 (与序列发生器步骤 6 相关) 在旁路模式下, 数据直接从 sync4 滤波器提供到输出。 0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供
5	PF5_BYPASS	R/W	1b	每通道后置滤波器旁路 针对后置滤波器 5 旁通 (与序列发生器步骤 5 相关)。0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供 0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供
4	PF4_BYPASS	R/W	1b	每通道后置滤波器旁路 针对后置滤波器 4 旁通 (与序列发生器步骤 4 相关)。0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供 0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供
3	PF3_BYPASS	R/W	1b	每通道后置滤波器旁路 针对后置滤波器 3 旁通 (与序列发生器步骤 3 相关) 在旁路模式下, 数据直接从 sync4 滤波器提供到输出。 0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供
2	PF2_BYPASS	R/W	1b	每通道后置滤波器旁路 针对后置滤波器 2 旁通 (与序列发生器步骤 2 相关)。0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供 0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供
1	PF1_BYPASS	R/W	1b	每通道后置滤波器旁路 针对后置滤波器 1 旁通 (与序列发生器步骤 1 相关)。0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供 0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供
0	PF0_BYPASS	R/W	1b	每通道后置滤波器旁路 针对后置滤波器 0 旁通 (与序列发生器步骤 0 相关)。0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供 0b = 后置滤波后数据提供到输出 1b = 后置滤波器被旁路, 数据直接通过 sync4 滤波器提供

7.6.1.32 CS\_FWD\_CFG 寄存器 ( 地址 = 30h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-108. CS\_FWD\_CFG 寄存器

7	6	5	4	3	2	1	0
CS_FWD_EN_CODE[5:0]						TIMEOUT_SEL[1:0]	
R/W-000000b						R/W-00b	

表 7-87. CS\_FWD\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:2	CS_FWD_EN_CODE[5:0]	R/W	000000b	CS 正向功能启用 写入 010111b 以启用 CS 正向功能。GPIOx_FWD_EN 位选择哪些 GPIO 引脚在 CS 正向模式下运行。这些位始终读取 00000000b。
1:0	TIMEOUT_SEL[1:0]	R/W	00b	超时启用和持续时间选择 启用 SPI 超时并设置超时持续时间。启用后，超时功能会检查 CSn 上升沿是否在 CSn 下降沿后的所选个数 MCLK 周期内发生。当超时发生时，SDI 上 SPI 帧的剩余部分在 CSn 上升沿之前被忽略。新的 SPI 事务在下一个 CSn 下降沿开始。 00b = 超时禁用 01b = 超时启用且为短超时，256 个 MCLK 周期 10b = 超时启用且为中等长度超时，2048 个 MCLK 周期 11b = 超时启用且为长短超时，16384 个 MCLK 周期

### 7.6.1.33 GPIO\_FWD\_CFG 寄存器 ( 地址 = 32h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-109. GPIO\_FWD\_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				GPIO3_FWD_EN	GPIO2_FWD_EN	GPIO1_FWD_EN	GPIO0_FWD_EN
R-0000b				R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-88. GPIO\_FWD\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0000b	保留 始终读为 0000b
3	GPIO3_FWD_EN	R/W	0b	CS 正向引脚启用 GPIO3 CS 正向配置。将 GPIO3 引脚配置为 CS 正向/输出引脚。如果该位为高电平，则会忽略 GPIO_CFG 寄存器中的 GPIO3_CFG[1:0] 位。 0b = GPIO3 未配置为 CS 正向。 1b = GPIO3 配置为 CS 正向。
2	GPIO2_FWD_EN	R/W	0b	CS 正向引脚启用 GPIO2 CS 正向配置。将 GPIO2 引脚配置为 CS 正向/输出引脚。如果该位为高电平，则会忽略 GPIO_CFG 寄存器中的 GPIO2_CFG[1:0] 位。 0b = GPIO2 未配置为 CS 正向。 1b = GPIO2 配置为 CS 正向。
1	GPIO1_FWD_EN	R/W	0b	CS 正向引脚启用 GPIO1 CS 正向配置。将 GPIO1 引脚配置为 CS 正向/输出引脚。如果该位为高电平，则会忽略 GPIO_CFG 寄存器中的 GPIO1_CFG[1:0] 位。 0b = GPIO1 未配置为 CS 正向。 1b = GPIO1 配置为 CS 正向。
0	GPIO0_FWD_EN	R/W	0b	CS 正向引脚启用 GPIO0 CS 正向配置。将 GPIO0 引脚配置为 CS 正向/输出引脚。如果该位为高电平，则会忽略 GPIO_CFG 寄存器中的 GPIO0_CFG[1:0] 位。 0b = GPIO0 未配置为 CS 正向。 1b = GPIO0 配置为 CS 正向。

7.6.1.34 REG\_MAP\_CRC 寄存器 ( 地址 = 3Dh ) [复位 = 00h]

返回到[汇总表](#)。

图 7-110. REG\_MAP\_CRC 寄存器

7	6	5	4	3	2	1	0
GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]							
R/W-00000000b							

表 7-89. REG\_MAP\_CRC 寄存器字段说明

位	字段	类型	复位	说明
7:0	GENERAL_CFG_REG_MAP_CRC_VALUE[7:0]	R/W	00000000b	通用配置页面的寄存器映射 CRC 寄存器映射 CRC 值 寄存器映射 CRC 值是用户计算得出的通用配置页面中寄存器 0x12 至 0x32 的 CRC 值。写入该寄存器的 CRC 值会与内部 CRC 计算值进行比较。如果这些值不匹配，则设置 REG_MAP_CRC_FAULTn 位。使用 REG_MAP_CRC_EN 位启用寄存器映射 CRC。



**7.6.1.35 PAGE\_INDICATOR 寄存器 ( 地址 = 3Eh ) [复位 = 00h]**

返回到[汇总表](#)。

**图 7-111. PAGE\_INDICATOR 寄存器**

7	6	5	4	3	2	1	0
PAGE_INDICATOR[7:0]							
R-00000000b							

**表 7-90. PAGE\_INDICATOR 寄存器字段说明**

位	字段	类型	复位	说明
7:0	PAGE_INDICATOR[7:0]	R	00000000b	寄存器页面指示器 指示有效寄存器页面。

7.6.1.36 PAGE\_POINTER 寄存器 ( 地址 = 3Fh ) [复位 = 00h]

返回到[汇总表](#)。

图 7-112. PAGE\_POINTER 寄存器

7	6	5	4	3	2	1	0
PAGE_POINTER[7:0]							
R/W-00000000b							

表 7-91. PAGE\_POINTER 寄存器字段说明

位	字段	类型	复位	说明
7:0	PAGE_POINTER[7:0]	R/W	00000000b	寄存器页面指针 选择有效寄存器页面。

## 7.6.2 ADS125H18 步骤配置页面

表 7-92 列出了 ADS125H18 步骤配置页面寄存器的存储器映射寄存器。表 7-92 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

**表 7-92. 寄存器映射**

地址	首字母缩写词	复位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	
00h	STEPx_AIN_CFG	00h	RESERVED			STEPx_AIN[4:0]					
01h	RESERVED	00h	RESERVED							RESERVED	
02h	STEPx_ADC_REF_CFG	00h	STEPx_GAIN_BIN[1:0]		STEPx_CODIN G	STEPx_REF_S EL	STEPx_NUM_CONV[3:0]				
03h	STEPx_FLTR1_CFG	01h	RESERVED		STEPx_FLTR_ MODE	STEPx_FLTR_OSR[4:0]					
04h	STEPx_DELAY_MS B_CFG	00h	STEPx_DELAY_MSB[7:0]								
05h	STEPx_DELAY_LSB _CFG	00h	STEPx_DELAY_LSB[7:0]								
06h	STEPx_OFFSET_CA L_MSB	00h	STEPx_OFFSET_CAL[23:16]								
07h	STEPx_OFFSET_CA L_LSB	00h	STEPx_OFFSET_CAL[15:8]								
08h	STEPx_OFFSET_CA L_LSB	00h	STEPx_OFFSET_CAL[7:0]								
09h	STEPx_GAIN_CAL_ MSB	40h	STEPx_GAIN_CAL[15:8]								
0Ah	STEPx_GAIN_CAL_ LSB	00h	STEPx_GAIN_CAL[7:0]								
0Bh	STEPx_OW_SYSMO N_CFG	00h	RESERVED	STEPx_OWCS_ _EN	RESERVED		STEPx_SYS_MON[3:0]				
0Ch	STEPx_TDAC_CFG 0	00h	RESERVED			STEPx_TDAC_VAL[4:0]					
0Dh	STEPx_TDAC_CFG 1	00h	RESERVED			STEPx_TDAC_SEL[4:0]					
0Eh	STEPx_SPARE_CF G	00h	STEPx_SPARE 7	STEPx_SPARE 6	STEPx_SPARE 5	STEPx_SPARE 4	STEPx_SPARE 3	STEPx_SPARE 2	STEPx_SPARE 1	STEPx_SPARE 0	
0Fh	RESERVED	00h	RESERVED								RESERVED
10h	STEPx_GPIO_DATA _OUT	00h	RESERVED				STEPx_GPIO3 _DAT_OUT	STEPx_GPIO2 _DAT_OUT	STEPx_GPIO1 _DAT_OUT	STEPx_GPIO0 _DAT_OUT	
3Dh	STEPx_REG_MAP_ CRC	00h	STEPx_REG_MAP_CRC_VALUE[7:0]								
3Eh	STEPx_PAGE_INDI CATOR	00h	STEPx_PAGE_INDICATOR[7:0]								
3Fh	STEPx_PAGE_POIN TER	00h	STEPx_PAGE_POINTER[7:0]								

复杂的位访问类型经过编码可适应小型表单元。表 7-93 展示了适用于此部分中访问类型的代码。

**表 7-93. ADS125H18 步骤配置页面访问类型代码**

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

### 7.6.2.1 STEP<sub>x</sub>\_AIN\_CFG 寄存器 (地址 = 00h) [复位 = 00h]

返回到[汇总表](#)。

图 7-113. STEP<sub>x</sub>\_AIN\_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED				STEP <sub>x</sub> _AIN[4:0]			
R-000b				R/W-00000b			

表 7-94. STEP<sub>x</sub>\_AIN\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	000b	保留 始终读为 000b
4:0	STEP <sub>x</sub> _AIN[4:0]	R/W	00000b	<p>多路复用器输入选择 选择 ADC 的模拟输入。如果系统监测器处于运行状态，则忽略该寄存器。</p> <p>00000b = (AIN0-RESN)  00001b = (AIN1-RESN)  00010b = (AIN2-RESN)  00011b = (AIN3-RESN)  00100b = (AIN4-RESN)  00101b = (AIN5-RESN)  00110b = (AIN6-RESN)  00111b = (AIN7-RESN)  01000b = (AIN8-RESN)  01001b = (AIN9-RESN)  01010b = (AIN10-RESN)  01011b = (AIN11-RESN)  01100b = (AIN12-RESN)  01101b = (AIN13-RESN)  01110b = (AIN14-RESN)  01111b = (AIN15-RESN)  10000b = (AIN0-AIN1)  10001b = (AIN2-AIN3)  10010b = (AIN4-AIN5)  10011b = (AIN6-AIN7)  10100b = (AIN8-AIN9)  10101b = (AIN10-AIN11)  10110b = (AIN12-AIN13)  10111b = (AIN14-AIN15)  11000b = 开路  11001b = 开路  11010b = 开路  11011b = 开路  11100b = 开路  11101b = 开路  11110b = 开路  11111b = 开路</p>

## 7.6.2.2 STEP<sub>x</sub>\_ADC\_REF\_CFG 寄存器 ( 地址 = 02h ) [复位 = 00h]

返回到[汇总表](#)。

**图 7-114. STEP<sub>x</sub>\_ADC\_REF\_CFG 寄存器**

7	6	5	4	3	2	1	0
STEP <sub>x</sub> _GAIN_BIN[1:0]		STEP <sub>x</sub> _CODING	STEP <sub>x</sub> _REF_SEL	STEP <sub>x</sub> _NUM_CONV[3:0]			
R/W-00b		R/W-0b	R/W-0b	R/W-0000b			

**表 7-95. STEP<sub>x</sub>\_ADC\_REF\_CFG 寄存器字段说明**

位	字段	类型	复位	说明
7:6	STEP <sub>x</sub> _GAIN_BIN[1:0]	R/W	00b	增益选择 为此序列步骤选择数字 ( 二进制 ) 增益。 00b = 增益 1 01b = 增益 2 10b = 增益 4 11b = 增益 8
5	STEP <sub>x</sub> _CODING	R/W	0b	转换数据编码选择 选择转换数据的编码。 0b = 双极, 二进制补码格式 1b = 单极, 直接二进制格式
4	STEP <sub>x</sub> _REF_SEL	R/W	0b	基准电压源选择 0b = 外部电压基准 ( REFP、REFN ) 1b = 内部电压基准
3:0	STEP <sub>x</sub> _NUM_CONV[3:0]	R/W	0000b	该序列步骤的 ADC 转换次数 最多可以为每个序列步骤生成 512 次 ADC 转换。该数字可以为每个步骤单独编程。 0000b = 1 次转换 0001b = 2 次转换 0010b = 3 次转换 0011b = 4 次转换 0100b = 6 次转换 0101b = 8 次转换 0110b = 10 次转换 0111b = 12 次转换 1000b = 14 次转换 1001b = 16 次转换 1010b = 24 次转换 1011b = 32 次转换 1100b = 64 次转换 1101b = 128 次转换 1110b = 256 次转换 1111b = 512 次转换

### 7.6.2.3 STEP<sub>x</sub>\_FLTR1\_CFG 寄存器 (地址 = 03h) [复位 = 01h]

返回到[汇总表](#)。

图 7-115. STEP<sub>x</sub>\_FLTR1\_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED		STEP <sub>x</sub> _FLTR_MODE	STEP <sub>x</sub> _FLTR_OSR[4:0]				
R-00b		R/W-0b	R/W-00001b				

表 7-96. STEP<sub>x</sub>\_FLTR1\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	00b	保留 始终读为 00b
5	STEP <sub>x</sub> _FLTR_MODE	R/W	0b	数字滤波器模式选择 选择 sinc3 或 sinc4 第一级滤波器。 0b = sinc4 第一级滤波器 1b = sinc3 第一级滤波器
4:0	STEP <sub>x</sub> _FLTR_OSR[4:0]	R/W	00001b	数字滤波器过采样选择 这些位选择过采样率和 sinc 滤波器操作的组合。Sincx = 由 STEP <sub>x</sub> _FLTR_MODE 位选择的 sinc3 或 sinc4 滤波器。输出数据速率等于 $f_{CLK}/2/OSR$ 。 00000b = SINCx, OSR = 12 00001b = SINCx, OSR = 16 00010b = SINCx, OSR = 24 00011b = SINCx, OSR = 32 00100b = SINCx, OSR = 64 00101b = SINCx, OSR = 128 00110b = SINCx, OSR = 256 00111b = SINCx, OSR = 512 01000b = SINCx, OSR = 1024 01001b = SINCx, OSR = 2048 01010b = SINCx, OSR = 4000 01011b = SINCx, OSR = 8000 01100b = SINCx, OSR = 16000 01101b = SINCx, OSR = 26667 01110b = SINCx, OSR = 32000 01111b = SINCx, OSR = 96000 10000b = SINCx, OSR = 160000 10001b = SINC4, OSR = 32 + SINC1, OSR = 2 10010b = SINC4, OSR = 32 + SINC1, OSR = 4 10011b = SINC4, OSR = 32 + SINC1, OSR = 8 10100b = SINC4, OSR = 32 + SINC1, OSR = 16 10101b = SINC4, OSR = 32 + SINC1, OSR = 32 10110b = SINC4, OSR = 32 + SINC1, OSR = 64 10111b = SINC4, OSR = 32 + SINC1, OSR = 125 11000b = SINC4, OSR = 32 + SINC1, OSR = 250 11001b = SINC4, OSR = 32 + SINC1, OSR = 500 11010b = SINC4, OSR = 32 + SINC1, OSR = 833 11011b = SINC4, OSR = 32 + SINC1, OSR = 1000 11100b = SINC4, OSR = 32 + SINC1, OSR = 3000 11101b = SINC4, OSR = 32 + SINC1, OSR = 5000 11110b = SINC4, OSR = 32 + SINC1, OSR = 20 + 99 抽头 FIR, 25SPS 11111b = SINC4, OSR = 32 + SINC1, OSR = 20 + 124 抽头 FIR, 20SPS

7.6.2.4 STEPx\_DELAY\_MSB\_CFG 寄存器 ( 地址 = 04h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-116. STEPx\_DELAY\_MSB\_CFG 寄存器

7	6	5	4	3	2	1	0
STEPx_DELAY_MSB[7:0]							
R/W-00000000b							

表 7-97. STEPx\_DELAY\_MSB\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_DELAY_MSB[7:0]	R/W	00000000b	转换启动延迟时间选择, MSB 当应用 <b>START</b> 或序列步骤启动时, 第一次转换启动之前的可编程延迟时间 ( <b>MSB</b> 字节 ) 。 延迟时间用 $f_{MOD}$ 时钟周期数 ( $f_{MOD} = f_{CLK} / 2$ ) 表示。总起来说, 这是一个 16 位寄存器。

7.6.2.5 STEPx\_DELAY\_LSB\_CFG 寄存器 ( 地址 = 05h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-117. STEPx\_DELAY\_LSB\_CFG 寄存器

7	6	5	4	3	2	1	0
STEPx_DELAY_LSB[7:0]							
R/W-00000000b							

表 7-98. STEPx\_DELAY\_LSB\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_DELAY_LSB[7:0]	R/W	00000000b	转换启动延迟时间选择, LSB 当应用 <b>START</b> 或序列步骤启动时, 第一次转换启动之前的可编程延迟时间 ( <b>LSB</b> 字节 ) 。 延迟时间用 $f_{MOD}$ 时钟周期数 ( $f_{MOD} = f_{CLK} / 2$ ) 表示。总起来说, 这是一个 16 位寄存器。



7.6.2.6 STEPx\_OFFSET\_CAL\_MSB 寄存器 ( 地址 = 06h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-118. STEPx\_OFFSET\_CAL\_MSB 寄存器

7	6	5	4	3	2	1	0
STEPx_OFFSET_CAL[23:16]							
R/W-00000000b							

表 7-99. STEPx\_OFFSET\_CAL\_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_OFFSET_CAL[23:16]	R/W	00000000b	失调电压校准系数，MSB 设置失调电压校准系数。

7.6.2.7 STEP<sub>x</sub>\_OFFSET\_CAL\_ISB 寄存器 ( 地址 = 07h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-119. STEP<sub>x</sub>\_OFFSET\_CAL\_ISB 寄存器

7	6	5	4	3	2	1	0
STEP <sub>x</sub> _OFFSET_CAL[15:8]							
R/W-00000000b							

表 7-100. STEP<sub>x</sub>\_OFFSET\_CAL\_ISB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEP <sub>x</sub> _OFFSET_CAL[15:8]	R/W	00000000b	失调电压校准系数，ISB 设置失调电压校准系数。

7.6.2.8 STEPx\_OFFSET\_CAL\_LSB 寄存器 ( 地址 = 08h ) [复位 = 00h]

返回到[汇总表](#)。

图 7-120. STEPx\_OFFSET\_CAL\_LSB 寄存器

7	6	5	4	3	2	1	0
STEPx_OFFSET_CAL[7:0]							
R/W-00000000b							

表 7-101. STEPx\_OFFSET\_CAL\_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_OFFSET_CAL[7:0]	R/W	00000000b	失调电压校准系数，LSB 设置失调电压校准系数。

7.6.2.9 STEPx\_GAIN\_CAL\_MSB 寄存器 ( 地址 = 09h ) [复位 = 40h]

返回到[汇总表](#)。

图 7-121. STEPx\_GAIN\_CAL\_MSB 寄存器

7	6	5	4	3	2	1	0
STEPx_GAIN_CAL[15:8]							
R/W-01000000b							

表 7-102. STEPx\_GAIN\_CAL\_MSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_GAIN_CAL[15:8]	R/W	01000000b	增益校准系数，MSB 设置增益校准系数。

7.6.2.10 STEPx\_GAIN\_CAL\_LSB 寄存器 ( 地址 = 0Ah ) [复位 = 00h]

返回到[汇总表](#)。

图 7-122. STEPx\_GAIN\_CAL\_LSB 寄存器

7	6	5	4	3	2	1	0
STEPx_GAIN_CAL[7:0]							
R/W-00000000b							

表 7-103. STEPx\_GAIN\_CAL\_LSB 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_GAIN_CAL[7:0]	R/W	00000000b	增益校准系数，LSB 设置增益校准系数。

### 7.6.2.11 STEP<sub>x</sub>\_OW\_SYSMON\_CFG 寄存器 (地址 = 0Bh) [复位 = 00h]

返回到[汇总表](#)。

图 7-123. STEP<sub>x</sub>\_OW\_SYSMON\_CFG 寄存器

7	6	5	4	3	2	1	0
RESERVED	STEP <sub>x</sub> _OWCS_EN	RESERVED					STEP <sub>x</sub> _SYS_MON[3:0]
R-0b	R/W-0b	R-00b					R/W-0000b

表 7-104. STEP<sub>x</sub>\_OW\_SYSMON\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留 始终读为 0b
6	STEP <sub>x</sub> _OWCS_EN	R/W	0b	开路/烧毁电流源启用 启用开路检测电流源。 0b = 禁用 1b = 启用
5:4	RESERVED	R	00b	保留 始终读为 00b
3:0	STEP <sub>x</sub> _SYS_MON[3:0]	R/W	0000b	系统监测器输入选择 选择 ADC 的系统监测器输入。选择其中一个系统监测器后，AIN[4:0] 位无效。选择系统监测器后，模拟输入以及 TDAC 多路复用信号会与缓冲器断开。所有设置均使用内部 2.5V 诊断基准电压。 0000b = 关闭 (未选择监测器) 0001b = 内部短路：正负输入端对 AVSS 短路 0010b = 温度传感器 0011b = (AVDD-AVSS)/3 0100b = (CAPA-AVSS)/1 0101b = (IOVDD-DGND)/3 0110b = (CAPD-DGND)/1 0111b = (REFP-REFN)/3 1000b = (RESP-RESN)/3 1001b = 关闭 (未选择监测器) 1010b = 关闭 (未选择监测器) 1011b = 关闭 (未选择监测器) 1100b = 关闭 (未选择监测器) 1101b = 关闭 (未选择监测器) 1110b = 关闭 (未选择监测器) 1111b = 关闭 (未选择监测器)

## 7.6.2.12 STEPx\_TDAC\_CFG0 寄存器 ( 地址 = 0Ch ) [复位 = 00h]

返回到[汇总表](#)。

图 7-124. STEPx\_TDAC\_CFG0 寄存器

7	6	5	4	3	2	1	0
RESERVED				STEPx_TDAC_VAL[4:0]			
R-000b				R/W-00000b			

表 7-105. STEPx\_TDAC\_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	000b	保留 始终读为 000b
4:0	STEPx_TDAC_VAL[4:0]	R/W	00000b	测试 DAC 输出值选择 这是一个具有直接二进制编码 ( 等距测试点 ) 的 5 位 DAC。基准值与全局页面上选择的值相同，但使用诊断/冗余基准用。

**7.6.2.13 STEP<sub>x</sub>\_TDAC\_CFG1 寄存器 ( 地址 = 0Dh ) [复位 = 00h]**

返回到[汇总表](#)。

**图 7-125. STEP<sub>x</sub>\_TDAC\_CFG1 寄存器**

7	6	5	4	3	2	1	0
RESERVED			STEP <sub>x</sub> _TDAC_SEL[4:0]				
R-000b			R/W-00000b				

**表 7-106. STEP<sub>x</sub>\_TDAC\_CFG1 寄存器字段说明**

位	字段	类型	复位	说明
7:5	RESERVED	R	000b	保留 始终读为 000b
4:0	STEP <sub>x</sub> _TDAC_SEL[4:0]	R/W	00000b	测试 DAC 多路复用器输入选择 如果系统监测器处于运行状态，则忽略该寄存器。选择用于注入测试 DAC 输出信号的多路复用器通道。 00000b = 开路 00001b = TDAC 未缓冲至正输入端；负输入端连接到 AVSS 00010b = TDAC 未缓冲至负输入端；正输入端连接到 AVSS 00011b = AIN0 00100b = AIN1 00101b = AIN2 00110b = AIN3 00111b = AIN4 01000b = AIN5 01001b = AIN6 01010b = AIN7 01011b = AIN8 01100b = AIN9 01101b = AIN10 01110b = AIN11 01111b = AIN12 10000b = AIN13 10001b = AIN14 10010b = AIN15 10011b = REFP/TDAC 引脚 10100b = 开路 10101b = 开路 10110b = 开路 10111b = 开路 11000b = 开路 11001b = 开路 11010b = 开路 11011b = 开路 11100b = 开路 11101b = 开路 11110b = 开路 11111b = 开路



## 7.6.2.14 STEPx\_SPARE\_CFG 寄存器 (地址 = 0Eh) [复位 = 00h]

返回到[汇总表](#)。

图 7-126. STEPx\_SPARE\_CFG 寄存器

7	6	5	4	3	2	1	0
STEPx_SPARE7	STEPx_SPARE6	STEPx_SPARE5	STEPx_SPARE4	STEPx_SPARE3	STEPx_SPARE2	STEPx_SPARE1	STEPx_SPARE0
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-107. STEPx\_SPARE\_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	STEPx_SPARE7	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
6	STEPx_SPARE6	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
5	STEPx_SPARE5	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
4	STEPx_SPARE4	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
3	STEPx_SPARE3	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
2	STEPx_SPARE2	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
1	STEPx_SPARE1	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b
0	STEPx_SPARE0	R/W	0b	备用寄存器位 用于用户功能或 CRC 校验。 0b = 备用编程为 0b 1b = 备用编程为 1b

7.6.2.15 STEPx\_GPIO\_DATA\_OUT 寄存器 (地址 = 10h) [复位 = 00h]

返回到[汇总表](#)。

图 7-127. STEPx\_GPIO\_DATA\_OUT 寄存器

7	6	5	4	3	2	1	0
RESERVED				STEPx_GPIO3_DAT_OUT	STEPx_GPIO2_DAT_OUT	STEPx_GPIO1_DAT_OUT	STEPx_GPIO0_DAT_OUT
R-0000b				R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-108. STEPx\_GPIO\_DATA\_OUT 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0000b	保留 始终读为 0000b
3	STEPx_GPIO3_DAT_OUT	R/W	0b	GPIO3 数据 配置为输出时 GPIO3 的写入值。当 GPIO3 配置为输入时，位设置无效。 0b = 低电平 1b = 高电平
2	STEPx_GPIO2_DAT_OUT	R/W	0b	GPIO2 数据 配置为输出时 GPIO2 的写入值。当 GPIO2 配置为输入时，位设置无效。 0b = 低电平 1b = 高电平
1	STEPx_GPIO1_DAT_OUT	R/W	0b	GPIO1 数据 配置为输出时 GPIO1 的写入值。当 GPIO1 配置为输入时，位设置无效。 0b = 低电平 1b = 高电平
0	STEPx_GPIO0_DAT_OUT	R/W	0b	GPIO0 数据 配置为输出时 GPIO0 的写入值。当 GPIO0 配置为输入时，位设置无效。 0b = 低电平 1b = 高电平

### 7.6.2.16 STEPx\_REG\_MAP\_CRC 寄存器 ( 地址 = 3Dh ) [复位 = 00h]

返回到[汇总表](#)。

图 7-128. STEPx\_REG\_MAP\_CRC 寄存器

7	6	5	4	3	2	1	0
STEPx_REG_MAP_CRC_VALUE[7:0]							
R/W-00000000b							

表 7-109. STEPx\_REG\_MAP\_CRC 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_REG_MAP_CRC_VALUE[7:0]	R/W	00000000b	步骤配置页面的寄存器映射 CRC 寄存器映射 CRC 值 寄存器映射 CRC 值是用户计算得出的步骤页面中寄存器 0x00 至 0x10 的 CRC 值。写入该寄存器的 CRC 值会与内部 CRC 计算值进行比较。如果这些值不匹配，则设置 REG_MAP_CRC_FAULTn 位。使用 REG_MAP_CRC_EN 位启用寄存器映射 CRC。

7.6.2.17 STEPx\_PAGE\_INDICATOR 寄存器 ( 地址 = 3Eh ) [复位 = 00h]

返回到[汇总表](#)。

图 7-129. STEPx\_PAGE\_INDICATOR 寄存器

7	6	5	4	3	2	1	0
STEPx_PAGE_INDICATOR[7:0]							
R-00000000b							

表 7-110. STEPx\_PAGE\_INDICATOR 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_PAGE_INDICATOR[7:0]	R	00000000b	寄存器页面指示器 指示有效寄存器页面。

### 7.6.2.18 STEPx\_PAGE\_POINTER 寄存器 ( 地址 = 3Fh ) [复位 = 00h]

返回到[汇总表](#)。

图 7-130. STEPx\_PAGE\_POINTER 寄存器

7	6	5	4	3	2	1	0
STEPx_PAGE_POINTER[7:0]							
R/W-00000000b							

表 7-111. STEPx\_PAGE\_POINTER 寄存器字段说明

位	字段	类型	复位	说明
7:0	STEPx_PAGE_POINTER[7:0]	R/W	00000000b	寄存器页面指针 选择有效寄存器页面。

## 8 应用和实施

### 备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

### 8.1 应用信息

#### 8.1.1 串行接口连接

图 8-1 显示 ADS125H18 的基本接口连接。

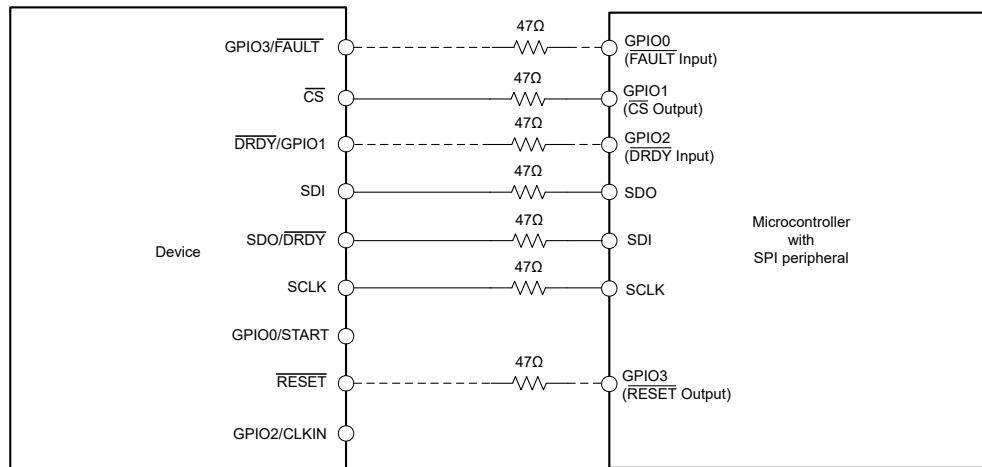


图 8-1. 串行接口连接

大多数微控制器 SPI 外设都可以与器件接口。该接口在 SPI 模式 1 下工作，其中 CPOL = 0 且 CPHA = 1。在 SPI 模式 1 下，SCLK 在空闲状态下保持低电平，并且数据仅在 SCLK 上升沿进行传输或更改；数据在 SCLK 下降沿进行锁存或读取。

（可选）如果需要通过中断指示新数据已就绪，可将专用  $\overline{\text{DRDY}}$  引脚路由到主机控制器下降沿触发的、支持中断的 GPIO。默认情况下， $\overline{\text{DRDY}}/\text{GPIO1}$  引脚已配置为  $\overline{\text{DRDY}}$  输出 (GPIO1\_CFG[1:0] = 11b)。或者，可以通过将 GPIO1\_CFG[1:0] 位设置为 00b 来禁用  $\overline{\text{DRDY}}/\text{GPIO1}$  引脚，从而减少需要隔离的连接数量。

如果除了通过故障标志指示故障之外，还希望通过引脚指示故障，则可以将  $\overline{\text{FAULT}}$  引脚连接到主机控制器。为此，请将 GPIO3/ $\overline{\text{FAULT}}$  引脚配置为  $\overline{\text{FAULT}}$  输出 (GPIO3\_CFG[1:0] = 11b)。

或者，将 47Ω 电阻器与所有数字输入和输出引脚串联。该电阻可使急剧变化的信号转换变得平滑，抑制过冲，并提供一定的过压保护。必须注意满足所有 SPI 时序要求，因为额外的电阻器与数字信号线上的总线电容相互作用。

如果在器件或微控制器加电期间需要驱动特定信号电平，可以将上拉或下拉电阻置于数字输入和输出信号线上。

#### 8.1.2 与多个器件接口

ADS125H18 提供三种方法在单个 SPI 总线上操作多个器件：

- 为所有器件使用一个  $\overline{\text{CS}}$  信号进行菊花链连接，如 [菊花链运行](#) 一节所述。主机连接到链中第一个器件的 SDI 以传输数据。链中第一个器件的 SDO 信号连接到下一个器件的 SDI 信号，依此类推。主机控制器从链中最后一个器件的 SDO 信号接收数据。所有器件共享同一个 SCLK 信号。这种方法允许主机同时与链中的所有器件通信。但是，根据链中连接的器件数量，SPI 帧能会很长。

- 为每个设备使用专用的  $\overline{\text{CS}}$  信号，如图 8-2 所示。在这种情况下，所有器件共享 SCLK，SDI 和 SDO/ $\overline{\text{DRDY}}$  信号。只有  $\overline{\text{CS}}$  为低电平的器件才会驱动 SDO/ $\overline{\text{DRDY}}$  引脚。 $\overline{\text{CS}}$  为高电平的所有其他器件的 SDO/ $\overline{\text{DRDY}}$  输出均处于高阻态，以避免 SDO 线路上发生争用。主机控制器与每个器件连接，一次一个。
- 使用芯片选择正向模式 (CS-FWD 模式)，如 [芯片选择转发](#) 一节所述。

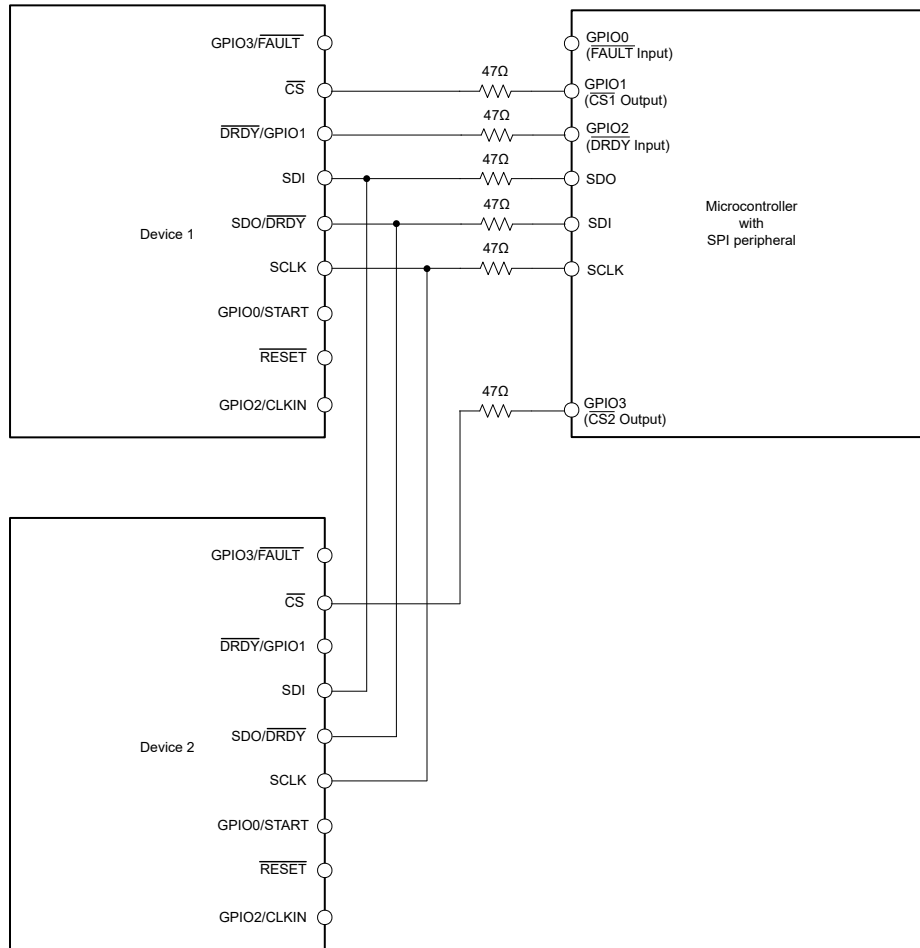


图 8-2. 使用单独的  $\overline{\text{CS}}$  信号连接多个器件串行接口

### 8.1.3 未使用的输入和输出

对于未使用的器件引脚连接，请遵循以下指南：

- 将任何未使用的模拟输入保持悬空或将未使用的模拟输入连接到 GND。
- 当不使用 REFP、REFN、GPIO0、GPIO1、GPIO2、GPIO3、 $\overline{\text{FAULT}}$ 、 $\overline{\text{DRDY}}$  或 CLK 功能，将相应的引脚配置为禁用/高阻抗引脚 (GPIOx\_CFG[1:0] = 00b)，并遵循上述未使用模拟输入的指南。
- 当不使用 RESET 引脚时，将该引脚悬空（由于内部上拉电阻）或选择连接到外部上拉电阻。

### 8.1.4 器件初始化

图 8-3 展示了初始化 ADS125H18 以及在连续序列模式下启动转换所需的序列步骤。在此示例中，该器件使用专用的  $\overline{\text{DRDY}}$  引脚来指示主机控制器是否可以使用新转换数据。

将主机控制器的 SPI 配置为通过  $\text{CPOL} = 0$ 、 $\text{CPHA} = 1$  定义的 SPI 模式，并将连接到器件  $\overline{\text{DRDY}}$  引脚的主机控制器 GPIO 配置为下降沿触发的中断输入。

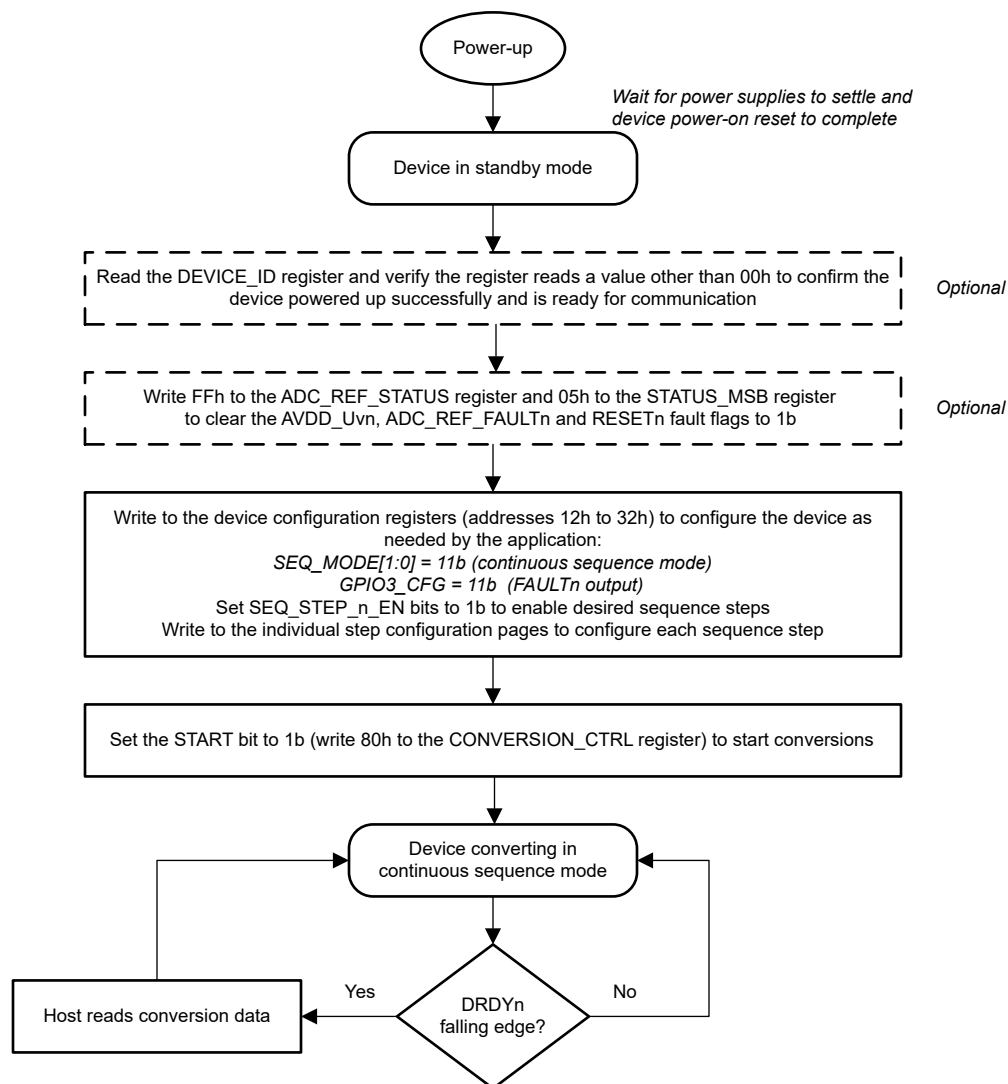


图 8-3. 器件初始化流程图



## 8.2 典型应用

ADS125H18 集成了所有必要的特性（例如电阻分压器、输入多路复用器、缓冲外部基准输入和高阻抗缓冲器），可为 PLC（可编程逻辑控制器）应用实现电压和电流 (V/I) 测量输入模块。本节展示了各种模拟输入模块 (AIM) 拓扑的示例。

表 8-1 概述了不同的拓扑，以及 ADS125H18 器件可以为每种架构支持多少个 AIM 输入通道（差分或单端）。

**表 8-1. 模拟输入模块 (AIM) 型号**

AIM 拓扑	每个通道都需要 ADC 输入	使用一个 ADS125H18 对齐通道	详细信息所在章节
2 端子 V/I 差分输入 继电器或低导通电阻开关	2	8	<a href="#">节 8.2.1</a>
3 端子 V/I 差分输入 继电器或低导通电阻开关	2	8	<a href="#">节 8.2.2</a>
2 端子 V/I 差分输入 固态开关	3	4	<a href="#">节 8.2.3</a>
2 端子 V/I 单端输入 继电器或低导通电阻开关	1	16	<a href="#">节 8.2.4</a>
仅限 2 端子 I 差分输入	2	8	<a href="#">节 8.2.5</a>

如表 8-1 所示，一个 ADS125H18 器件可支持四个、八个或十六个输入通道，具体取决于 AIM 架构。AIM 通道的数量取决于每次电压/电流输入测量需要多少个 ADC 输入引脚。

### 8.2.1 2 端子 V/I PLC 模拟输入模块

图 8-4 显示了 2 端子差分模拟输入模块 (AIM) 的实现示例，该实现使用分立式负载电阻器进行 4-20mA 测量，并使用低电阻开关元件（继电器或低  $R_{on}$  开关）在电流和电压测量模式之间切换。

每个 V/I 差动输入通道使用两路 ADC 输入。因此，可以使用一个 ADS125H18 器件实现最多 8 路差分模拟输入。

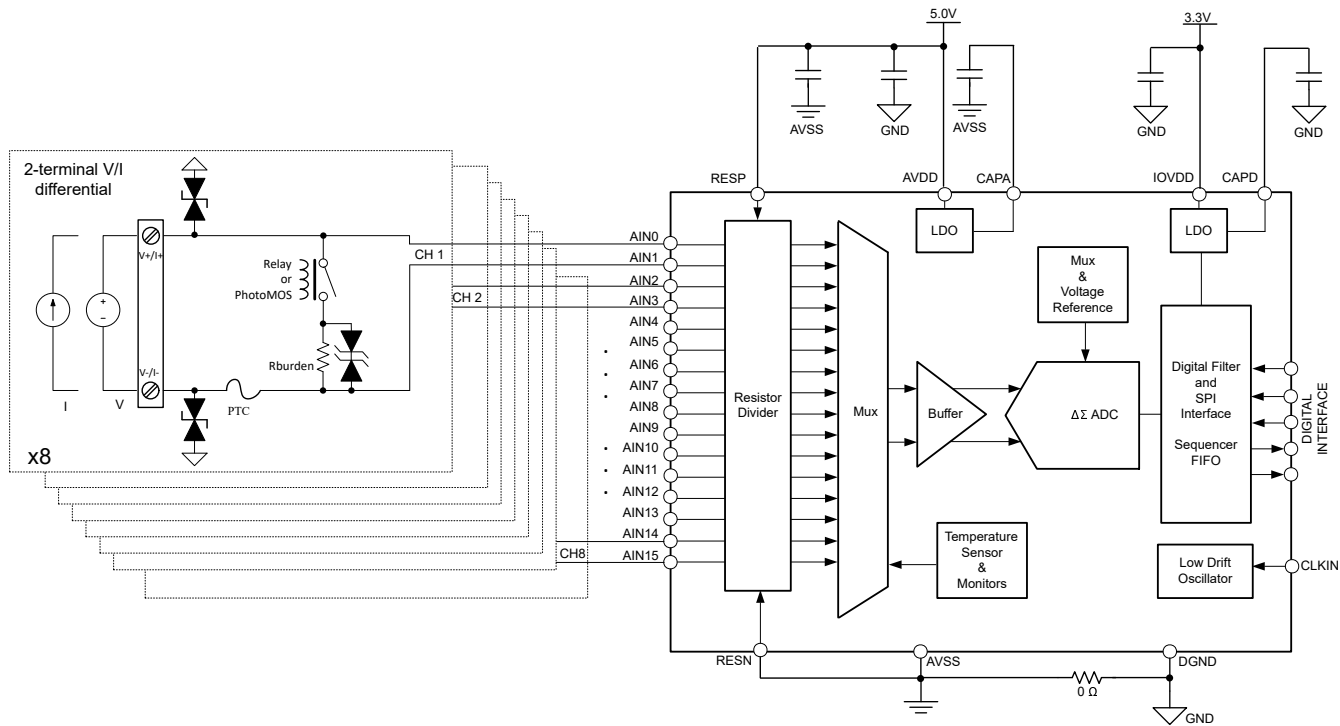


图 8-4.2 端子 V/I PLC 模拟输入模块

设计要求部分总结了典型 V/I 输入模块的目标规格，而 详细设计过程 部分说明了此 AIM 架构的性能权衡。

### 8.2.1.1 设计要求

表 8-2.2 端子 V/I PLC AIM 目标规格

设计参数	值
模拟输入通道数量	8 路差动输入
电源电压	5.0V ( 模拟 )、3.3V ( 数字 )
电压输入信号范围	±5V、±10V、0 - 5V、0 - 10V
最大/最小绝对输入电压与 GND 间的关系 ( 电压测量模式 )	+15V/-15V
电压测量精度 $T_A = 25^{\circ}\text{C}$ 时	±0.1% FSR
电压测量精度 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	±0.2% FSR
电流输入信号范围	4 - 20mA、0 - 20mA、0 - 24mA、±20mA、±24mA
最大/最小绝对输入电压与 GND 间的关系 ( 电流测量模式 )	+15V/-15V
电流测量精度 $T_A = 25^{\circ}\text{C}$ 时	±0.2% FSR
电流测量精度 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	±0.35% FSR
误接线保护、允许的最大输入电压	±36V 或更高

### 8.2.1.2 详细设计过程

图 8-4 中的电路支持对每个通道进行 2 端子电压/电流测量，这意味着每对螺丝端子均可根据分流电阻器选通开关的状态，用于测量电压输入信号或电流输入信号。进行电压测量时，开关断开，负载电阻器（分流器）不工作。进行电流测量时，开关闭合，负载电阻器吸收 4mA 至 20mA 输入电流；ADC 测量负载电阻器两端的压降以计算电流。

如图 8-4 所示，电压和电流测量的输入通道配置均为差分模式，这意味着该设计支持测量处于不同共模电压下的电压或电流输入。但任何输入引脚上的绝对电压均不得超过 规格 部分规定的限值。

该电路在两个输入端与地之间均设有 TVS（瞬态电压抑制）二极管。这些二极管可限制进入 ADC 的瞬态电压，防止 ADC 受到任何不必要的过压快速瞬变的损害。这些二极管的击穿电压必须低于 ADC 输入端的最大允许输入电压（±75V）。此外，TVS 二极管的钳位电压必须高于持续存在的最高端子电压，因为 TVS 二极管并非设计用于无限期分流。例如，如果预期最大持续输入电压为 30V（24V 模块电源接线错误时容差可能达 30V），则钳位电压必须高于 30V。例如，TVS3301（±37.5V 击穿电压）是该元件的绝佳选择。

在持续过压事件发生时，分流端子两端背对背的两个齐纳二极管可引导电流通过负载电阻器。例如，当使用 250 Ω 负载电阻器时，建议选用约 11V 的击穿电压（具体取决于分流器的额定功率——如果分流器能承受该功率，则无需保护元件或可放宽要求）。此外，PTC 保险丝可在持续过压事件中限制通过分流器的电流：PTC 保险丝是一种在过流事件期间急剧增加电阻的元件，能有效限制电流，随后在事件冷却时自动复位，恢复正常运行。

在电压测量模式下，图 8-4 电路支持 -10V 至 +10V 的过程级电压输入。来自传感器发送器或其他连接至输入端的器件的电压信号可能出现共模电压偏移，因此需要具备 ±15V（相对于 GND）的绝对输入电压能力，详见表 8-2。ADS125H18-V20 满足此绝对输入范围要求，参见表 7-3。该 ±10V 输入电压及共模电压可由 ADS125H18 直接测量，无需外部衰减。

假设所有保护元件（TVS 二极管、齐纳二极管、PTC）的泄漏电流可忽略不计，则电压测量的误差完全取决于 ADS125H18 的 TUE（总体未调整误差）。根据 规格 部分，ADS125H18 的最大（3σ）TUE 小于表 8-2 规定的精度目标，详见方程式 32 和方程式 33。

$$\text{Err}_V(25^\circ\text{C}) = \text{TUE}_{\text{H18}}(25^\circ\text{C}) = 0.06\% \text{ FSR max} < 0.1\% \text{ FSR} \quad (32)$$

$$\text{Err}_V(-40^\circ\text{C to } 125^\circ\text{C}) = \text{TUE}_{\text{H18}}(-40^\circ\text{C to } 125^\circ\text{C}) = 0.13\% \text{ FSR max} < 0.2\% \text{ FSR} \quad (33)$$

在电流测量模式下，负载电阻器  $R_{\text{burden}}$  和开关  $R_{\text{sw}}$  的组合电阻将输入电流  $I_{\text{in}}$  转换为 ADC  $V_{\text{ADCin}}$  测得的电压：

$$V_{\text{ADCin}} = I_{\text{in}} \times (R_{\text{burden}} + R_{\text{sw}}) \quad (34)$$

负载电阻器的阻值是根据功耗（散热）和动态范围之间的权衡来选择的。对于 24mA 最大电流和典型电阻  $R_{\text{burden}} + R_{\text{sw}} = 250\Omega$ ，ADC 输入 AIN1-AIN0 的最大差分电压为  $250\Omega \times 0.024\text{A} = 6\text{V}$ ，完全在 ADS125H18 的绝对输入电压范围内。

要估算电流模式下的测量误差，需要考虑负载电阻  $R_{\text{burden}}$  产生的误差以及用于选通分流电阻器的开关的导通电阻  $R_{\text{switch}}$ 。

总电流测量误差是外部分流电阻（包括负载电阻和开关电阻）误差与 ADC 电压测量误差（假设增益为 1）的组合，由方程式 35 给出。

$$\text{Err}_I(1\sigma) = \sqrt{(\text{Err}_{R_{\text{burden}}})^2 + (\text{Err}_{R_{\text{sw}}})^2 + (\text{Err}_V)^2} \quad (35)$$

有关如何执行 ADC 误差分析的详细信息，请参阅 [ADC 系统误差分析背后的统计数据视频](#)。

为电阻器选通开关选择导通电阻较低的继电器或 photoMOS。表 8-3 展示了两个不同的 photoMOS 示例。下文更详细地分析了电阻变化对系统精度的影响。1σ 变化指数据手册中的“典型”规格，而 3σ 变化指导致器件数据手册中的“最大”规格的变化。

表 8-3. PhotoMOS 规格

参数	CPC1002N	AQY232G3HS
导通电阻 (25°C)	0.35Ω	0.07Ω
导通电阻变化 (25°C、3σ)	0.2Ω	0.05Ω
整个温度范围内的导通电阻变化 (-40°C 至 +125°C、1σ)	0.2Ω	0.1Ω

假设 250 Ω 负载电阻器在室温下的典型 (1σ) 误差为 0.033% (最大容差 0.1%)，并假设开关电阻为 0.35Ω ± 0.2Ω (3σ) (CPC1002N)。缩放后的开关电阻误差约为 (0.2Ω/3/250Ω) = 0.026% (1σ)。假设根据 [规格](#) 部分，ADC 的典型 (1σ) 电压测量误差为 0.03%，则在室温下，由分流器和 ADC 共同产生的总电流测量误差为 (典型 1σ 和最大 3σ)：

$$\text{Err}_I(25^\circ\text{C}, 1\sigma) = \sqrt{(0.033\%)^2 + (0.026\%)^2 + (0.03\%)^2} = 0.052\% \text{ FSR} \quad (36)$$

$$\text{Err}_I(25^\circ\text{C}, 3\sigma) = 3 \times \text{Err}_I(25^\circ\text{C}, 1\sigma) = 0.155\% \text{ FSR} \quad (37)$$

因此，电流测量误差小于 [表 8-2](#) 中规定的目标值：

$$\text{Err}_I(25^\circ\text{C}, 3\sigma) = 0.155\% \text{ FSR} < 0.2\% \text{ FSR} \quad (38)$$

通过使用 ADS125H18 的增益和偏移校准寄存器进行单点温度系统校准，可显著降低此误差，但整个温度范围内的误差仍然存在。

在整个温度范围内，还必须考虑电阻 (负载电阻器和开关) 的漂移。考虑 [表 8-2](#) 规定的温度范围 -40°C 至 +125°C ( $\Delta \text{drift} = \max(125^\circ\text{C}-25^\circ\text{C}, 25^\circ\text{C}-(-40^\circ\text{C})) = 100^\circ\text{C}$ )。假设负载电阻器的典型漂移为 5ppm/°C，则负载电阻器的额外误差为 100°C × 5ppm/°C = 0.05%。假设开关导通电阻 (CPC1002N) 在整个温度范围内的典型变化为 0.2Ω，则开关电阻在整个温度范围内的误差 (1σ) 约为 0.2Ω/250Ω = 0.08%。

假设 ADC 在 -40°C 至 +125°C 温度范围内产生的典型 (1σ) 附加电压测量漂移误差为 0.04%，则由分流器和 ADC 温漂产生的附加电流测量误差为 (典型值 1σ、最大值 3σ)：

$$\text{Err}_I(-40^\circ\text{C to } +125^\circ\text{C}, 1\sigma) = \sqrt{(0.05\%)^2 + (0.08\%)^2 + (0.04\%)^2} = 0.10\% \text{ FSR} \quad (39)$$

$$\text{Err}_I(-40^\circ\text{C to } +125^\circ\text{C}, 3\sigma) = 3 \times \text{Err}_I(-40^\circ\text{C to } +125^\circ\text{C}, 1\sigma) = 0.30\% \text{ FSR} \quad (40)$$

在未经校准的系统中，[方程式 40](#) 给出的温漂误差会与 [方程式 38](#) 给出的室温误差相叠加。假设已执行室温校准以最小化 [方程式 37](#) 中的误差，则 [方程式 40](#) 所示的温漂误差占主导地位，且电流测量误差小于 [表 8-2](#) 规定的目标值：

$$\text{Err}_I(-40^\circ\text{C to } +125^\circ\text{C}, 3\sigma) = 0.30\% \text{ FSR} < 0.35\% \text{ FSR} \quad (41)$$

如 [方程式 36](#) 和 [方程式 39](#) 所示，选通开关的导通电阻为 4mA 至 20mA 电流测量带来了显著误差，并且在此分析中，导通电阻是整体温漂误差的最大贡献因素 ([方程式 39](#) 中的 0.08% 项)。应尽可能降低开关电阻及其变化。当选择 AQY232G3HS 而非 CPC1002N 时，[方程式 36](#) 和 [方程式 39](#) 计算出的误差将进一步减小，如 [表 8-4](#) 所示。或者，可选择能消除开关误差贡献的不同架构，例如 [3 端子 V/I PLC 模拟输入模块](#) 部分所示的电路。

表 8-4. 使用两种不同的 PhotoMOS 且无开关时的电流测量误差

电流测量误差	目标规格	选择设计中使用的开关：		
		CPC1002N	AQY232G3HS	无开关 (2)
室温 25°C, 3σ	±0.2% FSR	0.16% FSR	0.13% FSR	0.13% FSR

表 8-4. 使用两种不同的 PhotoMOS 且无开关时的电流测量误差 (续)

电流测量误差	目标规格	选择设计中使用的开关：		
		CPC1002N	AQY232G3HS	无开关 <sup>(2)</sup>
在整个温度范围内 <sup>(1)</sup> - 40°C 至 +125°C、3 $\sigma$	$\pm 0.35\%$ FSR	0.30% FSR	0.23% FSR	0.19% FSR

- (1) 假设执行了室温系统校准  
(2) 请参阅 节 8.2.2 或 节 8.2.3。

总而言之，该电路满足了 [设计要求](#) 部分概述的电压测量精度设计目标：室温下为  $\pm 0.1\%$  FSR，整个温度范围内为  $\pm 0.2\%$  FSR。假设已执行室温系统校准以最小化室温误差，该电路也满足了 [设计要求](#) 部分概述的电流测量设计目标：室温下为  $\pm 0.2\%$  FSR，整个温度范围内为  $\pm 0.35\%$  FSR。

### 8.2.1.3 应用性能曲线图 - 串扰

图 8-5 展示了常见通道间串扰测试程序的设置。每个偶数输入通道 (示例：AIN0、AIN2、AIN4 等) 由单独的电压源驱动。所有奇数通道 (示例：AIN1、AIN3、AIN5 等) 一起短接至接地。

测试程序如下定义：向被测试输入通道 (例如：AIN0) 施加 3V 恒定信号，并将图 8-6 中显示的“干扰”模式应用于所有其余的偶数通道 (示例：AIN2、AIN4、... AIN14) 测量被测试通道的 ADC 输出 (例如：AIN0)，以确定与恒定输出代码之间的瞬态偏差。对每个偶数通道重复此过程。通常，输出代码的变化在 16 位级别需要为  $\pm 1$  LSB 或更小。

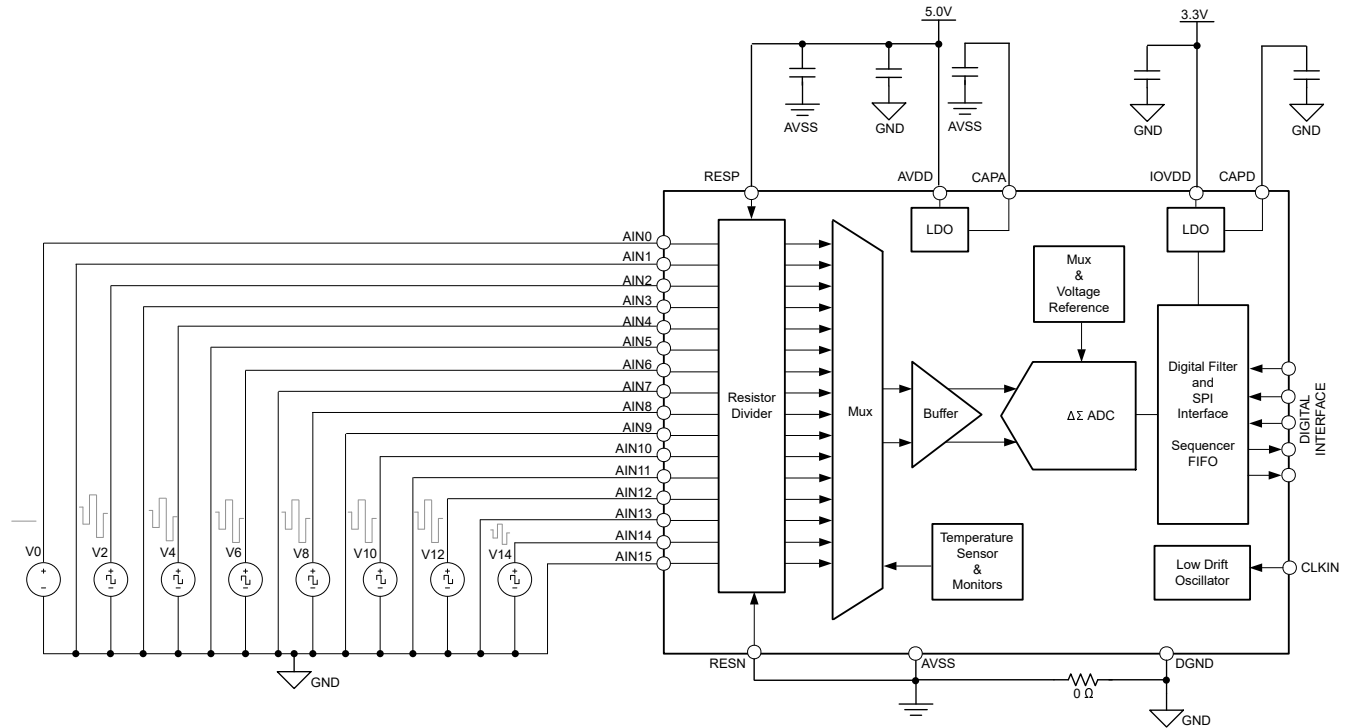


图 8-5. 串扰测试设置

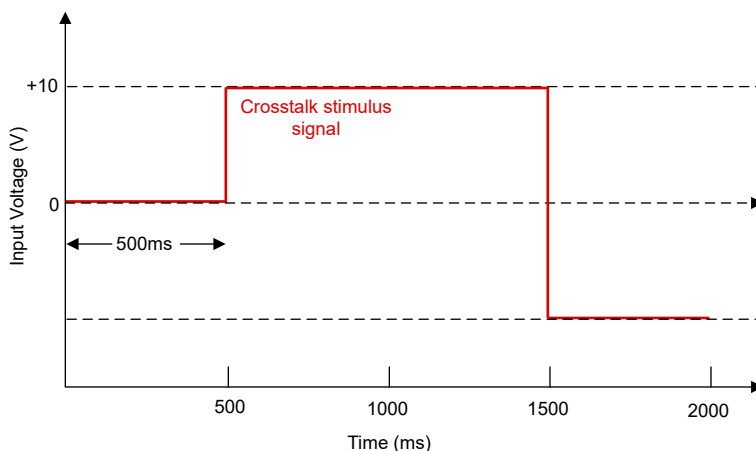


图 8-6. 串扰激励输入信号

图 8-7 和图 8-8 描述了使用图 8-5 中的设置进行串扰测试的测量结果。

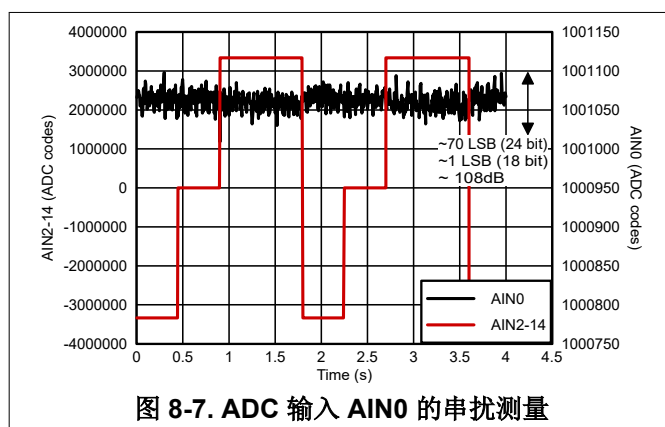


图 8-7. ADC 输入 AIN0 的串扰测量

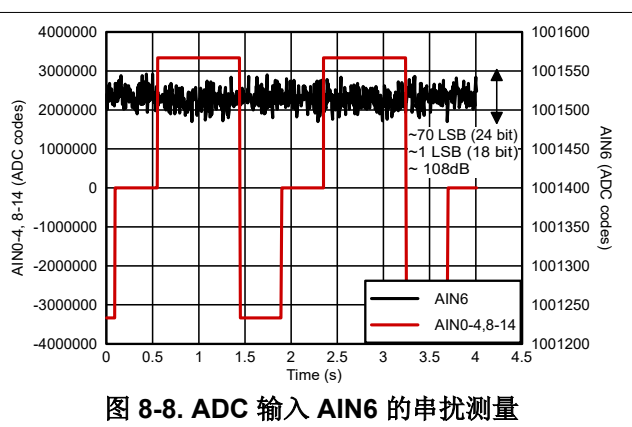


图 8-8. ADC 输入 AIN6 的串扰测量

除“被测试”输入通道之外，所有输入都出现了上述测试程序所述的大瞬态电压阶跃。对被测试通道（例如图 8-7 中的 AIN0）的影响显示在 AIN0 输出代码的放大图中（请参阅次级 y 轴）。在所有情况下，在 24 位或更低级别，与理想输出的偏差约为 70 个代码 (LSB)，对应于 18 位级别的 1LSB。

当进行相同的测试时，所有其他通道的性能与 AIN0 类似。作为另一个示例，并且为了演示通道之间的相似性，串扰对通道 AIN6 的影响也如图 8-8 所示。所有其他通道 (AIN2、AIN4、AIN8、AIN10、AIN12、AIN14) 使用相同程序进行测试，并确认了 18 位或更低量级的串扰。

### 8.2.2.3 端子 V/I PLC 模拟输入模块

图 8-9 展示了一个使用分立式负载电阻器进行 4-20mA 测量的 3 端子差分模拟输入模块 (AIM)。在典型的 3 端子输入模块中，每个电压和电流输入都有一个单独的螺纹接线端子。在安装模块期间，用户在 V+ (电压) 和 I+ (电流) 螺纹接线端子之间施加外部短路，无需使用开关来选择或取消选择分流电阻器。因此，与包含选择开关的电路相比，电流输入的总测量误差有所减少，如表 8-4 所示。

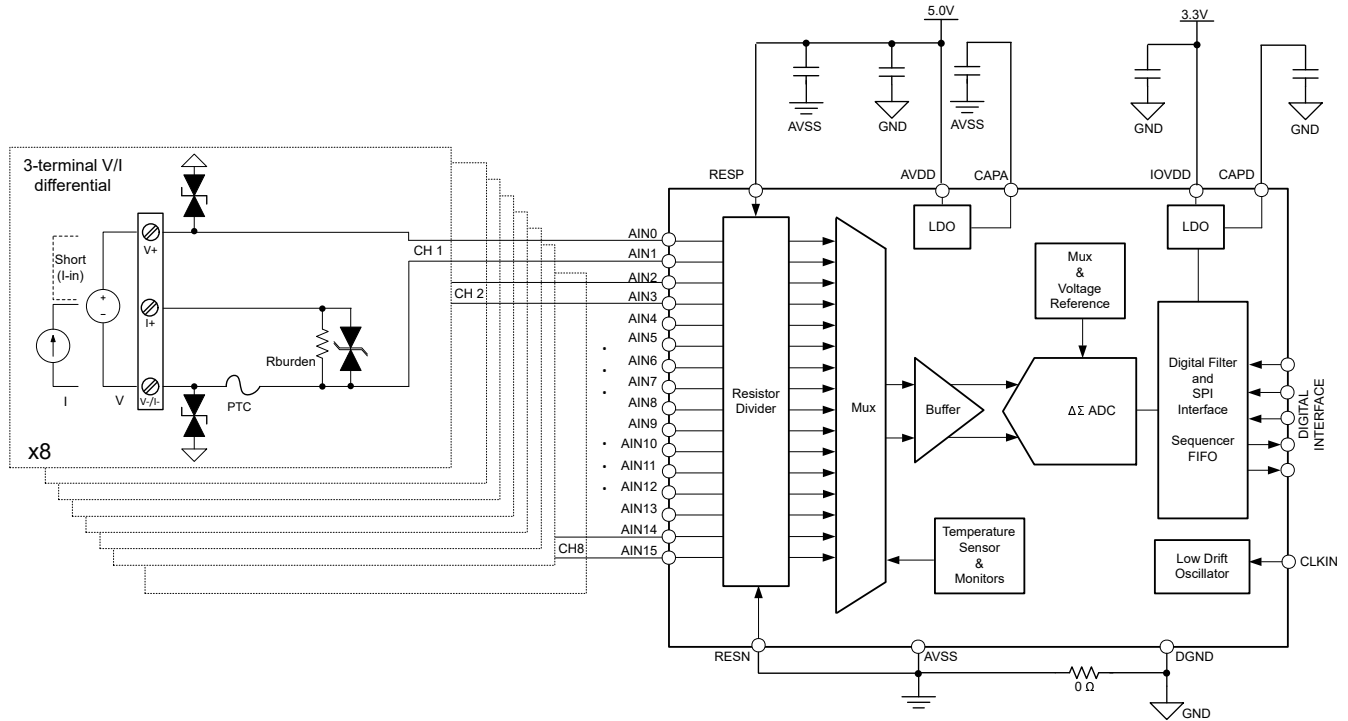


图 8-9.3 端子 V/I PLC 模拟输入模块

每个 V/I 差分输入通道使用两个 ADC 输入。因此，可以使用一个 ADS125H18 器件实现最多 8 个差分模拟输入。

### 8.2.3 具有固态开关的 2 端子 V/I PLC 模拟输入模块

图 8-10 展示了一个双端子差分模拟输入模块 (AIM)，该模块使用分立式负载电阻进行 4 - 20mA 测量，并使用高电阻开关元件（固态或半导体）在电流和电压测量模式之间切换。



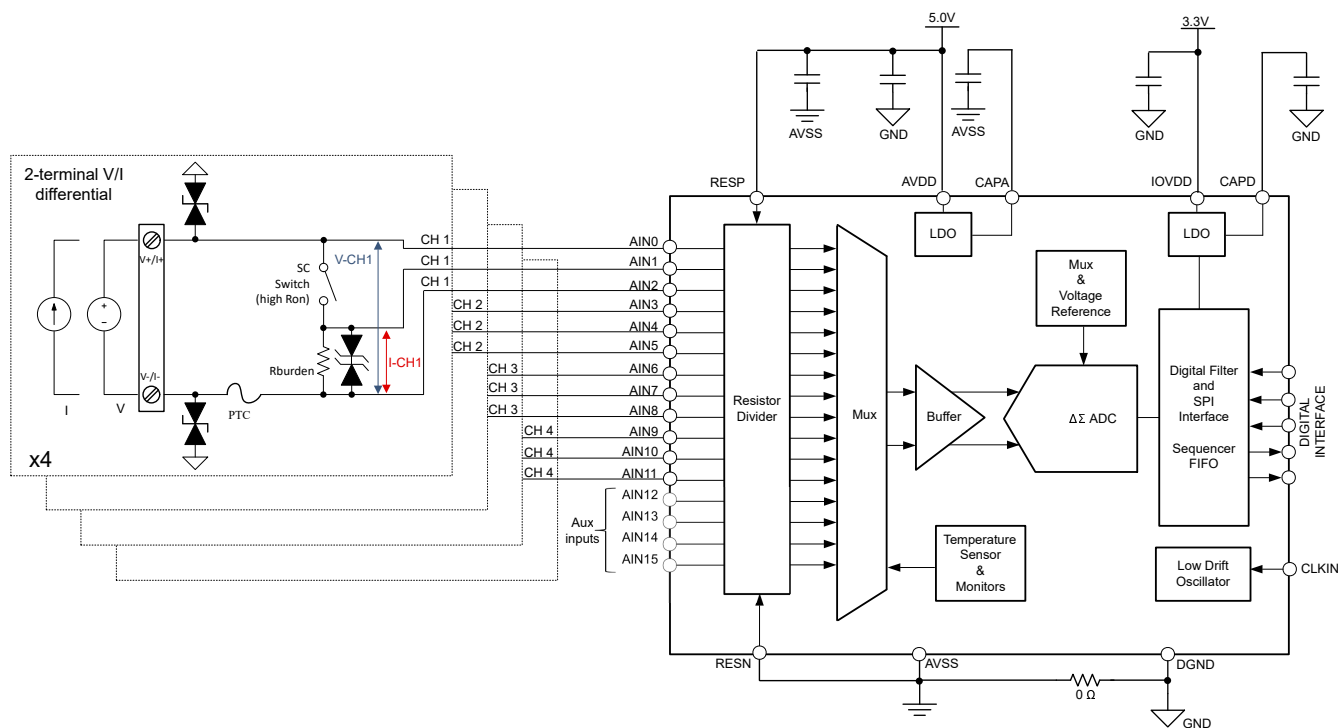


图 8-10. 具有固态开关的 2 端子 V/I PLC 模拟输入模块

为了消除所选开关导通电阻产生的误差，使用第三个 ADC 输入来测量每个通道的负载电阻器的正极端子（即负载与开关之间的节点）。例如，在通道 1 上，通过对 AIN0 和 AIN2 之间的差分电压进行采样来测量电压，通过对 AIN1 和 AIN2 之间的差分电压进行采样来测量电流，如图 8-10 所示。

在该电路中，ADC 测量的电压与开关电阻无关。现在使用以下公式，而不是方程式 34：

$$V_{ADCin} = I_{in} \times R_{burden} \quad (42)$$

因此，与包含选择开关的电路相比，电流输入的总测量误差有所减少，请参阅表 8-4。

在此架构中，每个 V/I 差分输入通道使用三个 ADC 输入。因此，可以使用一个 ADS125H18 器件实现最多 4 个差分模拟输入。

#### 8.2.4 双端子、单端 V/I PLC 模拟输入模块

图 8-11 展示一个双端子、单端模拟输入模块 (AIM)，该模块使用分立式负载电阻器进行 4-20mA 测量，并使用低电阻开关元件（继电器或低  $R_{on}$  开关）在电流与电压测量模式之间切换。



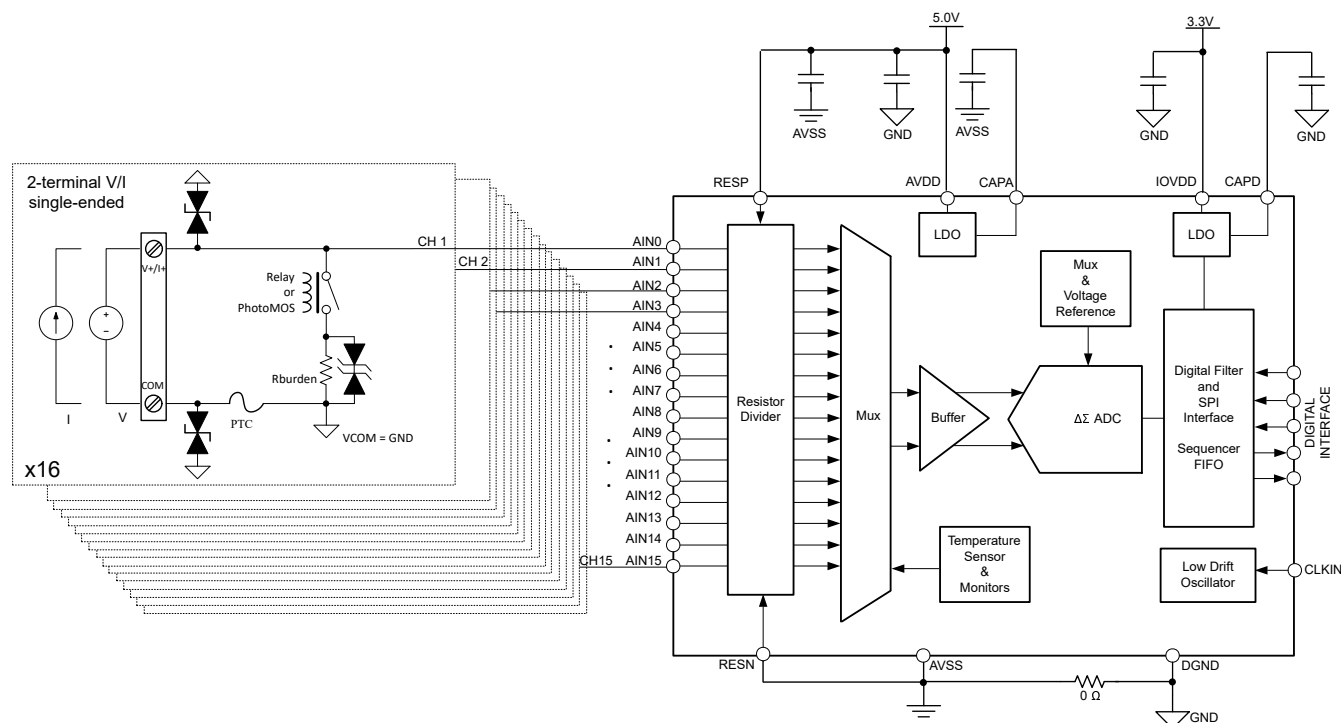


图 8-11. 双端子、单端 V/I PLC 模拟输入模块

在此架构中，每条 V/I 输入通道仅使用一个 ADC 输入。因此，可以使用一个 ADS125H18 器件实现最多 16 个差分模拟输入。

### 8.2.5.2 端子、I 输入 PLC 模拟输入模块

图 8-12 展示了一个采用分立式负载电阻器进行 4-20mA 测量的 2 端子差分电流输入模块。由于不进行电压测量，因此无需使用开关来选通分流电阻器。因此，与包含选通开关的电路相比，电流输入的总测量误差有所减少，如表 8-4 所示。

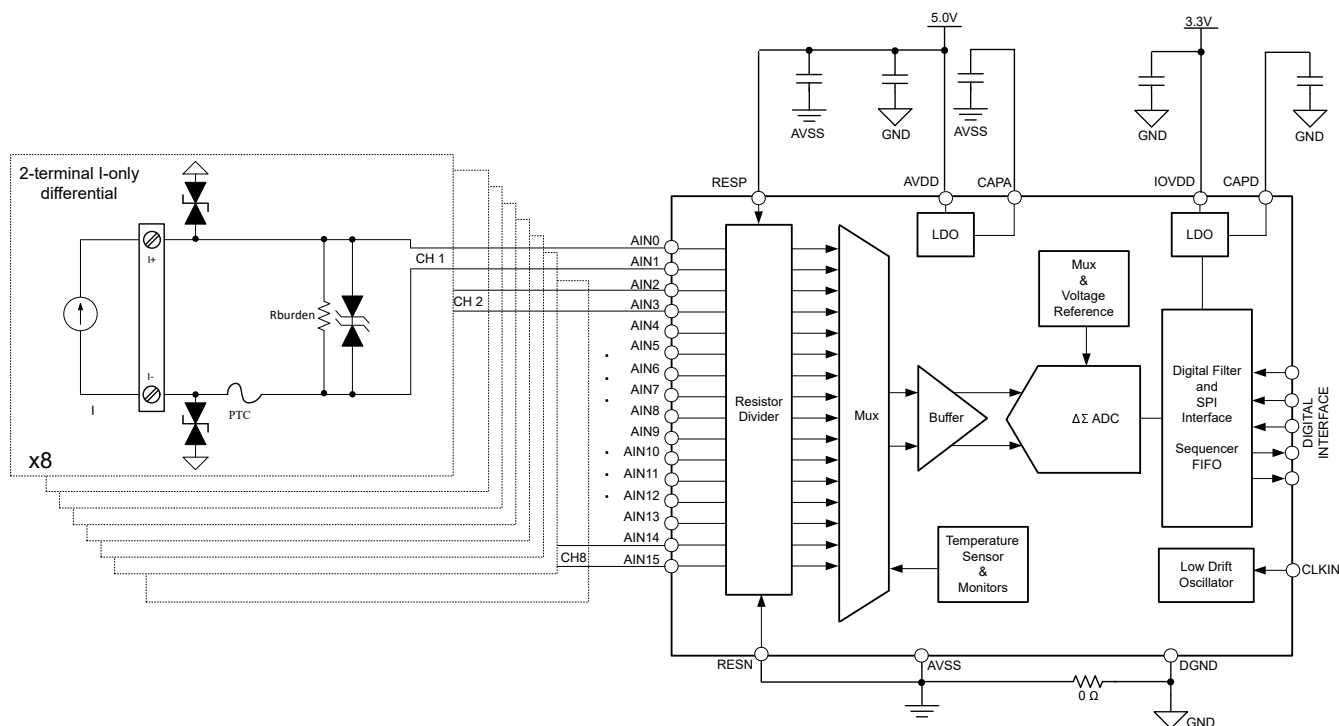


图 8-12. 2 端子、I 输入 PLC 模拟输入模块

每个差分电流输入通道使用两路 ADC 输入。因此，可以使用一个 ADS125H18 器件实现最多 8 路差分电流输入。

### 8.3 电源相关建议

#### 8.3.1 电源

该器件需要两个电源：模拟 (AVDD) 和数字 (IOVDD)。模拟电源可以独立于数字电源进行选择。IOVDD 电源设置串行接口引脚 ( $\overline{CS}$ 、SCLK、SDI、SDO/ $\overline{DRDY}$ ) 和其他数字 I/O 引脚的逻辑电平。

#### 8.3.2 电源排序

电源可以按任何顺序排序，但任何情况下模拟或数字输入都不得超过各自的模拟或数字电源电压和电流限制。

#### 8.3.3 电源去耦

良好的电源去耦对于实现卓越器件性能至关重要。如图 8-13 所示，必须使用连接到 GND 且至少为  $1\mu\text{F}$  的电容器对 AVDD、IOVDD 和 CAPD 进行去耦。此外，必须使用连接到 AVSS 的  $1\mu\text{F}$  电容器将 AVDD、CAPA、REFOUT 和 REFP 旁路掉。使用低阻抗接头将电源旁路电容器放置在尽可能靠近器件电源引脚的位置。使用多层陶瓷贴片电容 (MLCC) 提供等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度较高或在恶劣噪声环境中使用的系统，避免使用过孔将电容与器件引脚相连，以获得出色的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层相连。

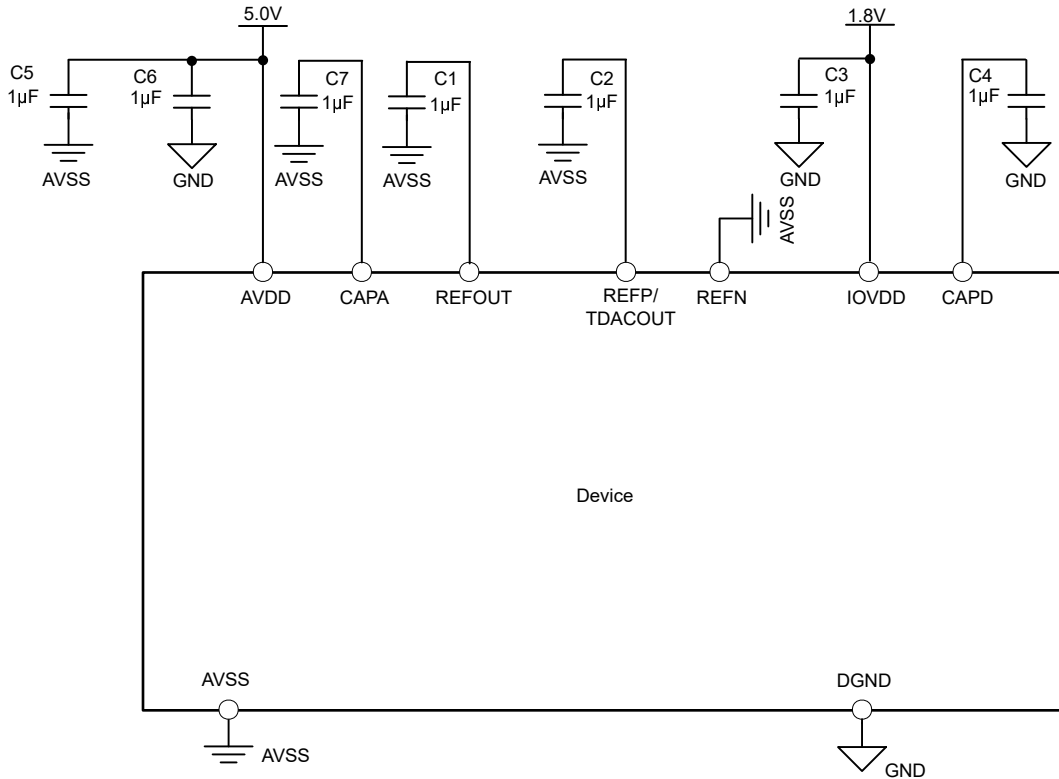


图 8-13. 电源去耦

## 8.4 布局

### 8.4.1 布局指南

以下针对 ADS125H18 布局的一些基本建议有助于实现 ADC 的出色性能。

- 为了获得最佳性能，请将一个完整的 PCB 层专用于接地平面，在该层上不要进行任何其他信号布线。但是，根据特定终端设备施加的限制，专用接地平面并不总是可行。如果必须分离接地平面，请在器件处直接连接这些平面。请勿在多个位置连接单个接地平面，以避免产生意外的接地环路。
- 对电源去耦电容器使用陶瓷电容器（例如 X7R 级）。不建议使用高 K 电容器（Y5V）。使用短而直接的引线将所需的电容器放置在尽可能靠近器件引脚的位置。将旁路电容器放置在尽可能靠近器件的同一层上可产生最佳结果。
- 使数字引线远离所有模拟输入和相关元件，以尽可能地减少干扰。
- 提供良好的接地返回路径。信号返回电流在阻抗最小的路径上流动。如果接地平面被切割或有其他引线阻止电流在信号引线旁边流动，则必须找到另一条路径以返回到源并完成电路。如果强制进入更大的路径，信号辐射的可能性会增加。敏感信号更容易受到 EMI 干扰的影响。
- 考虑布线的电阻和电感。通常，输入端的引线具有电阻，这些电阻会与输入偏置电流发生反应，从而导致额外的误差电压。减小源信号和返回电流所包围的环路面积可减小路径中的电感。减小电感会降低 EMI 拾取，并减小器件输入端的高频阻抗。
- 注意布局中的寄生热电偶。从每个模拟输入到传感器的不同金属可能会形成寄生热电偶，从而增加测量的失调电压。对于测量源的两个输入，差分输入必须相匹配。
- 用接地填充物填充信号层上的空白区域。
- 应用外部时钟时，确保时钟没有过冲和毛刺。放置在时钟缓冲器上的拉电流终端电阻器通常有助于减少过冲。时钟输入上的干扰可能会导致转换数据中出现噪声。

### 8.4.2 布局示例

图 8-14 显示了 ADS125H18 的基本布局示例：

- C1 是 REFOUT 引脚到 AVSS 之间的所需电容器。
- C2 是 REFP 引脚到 AVSS 之间的所需电容器。
- C3、C4、C5、C6 和 C7 是电源去耦电容器。
- 显示了 SPI 和数字线路的可选串联电阻器 (R1 至 R8)。串联电阻器有助于通过平滑信号边沿来减少数字线路上的过冲和振铃。

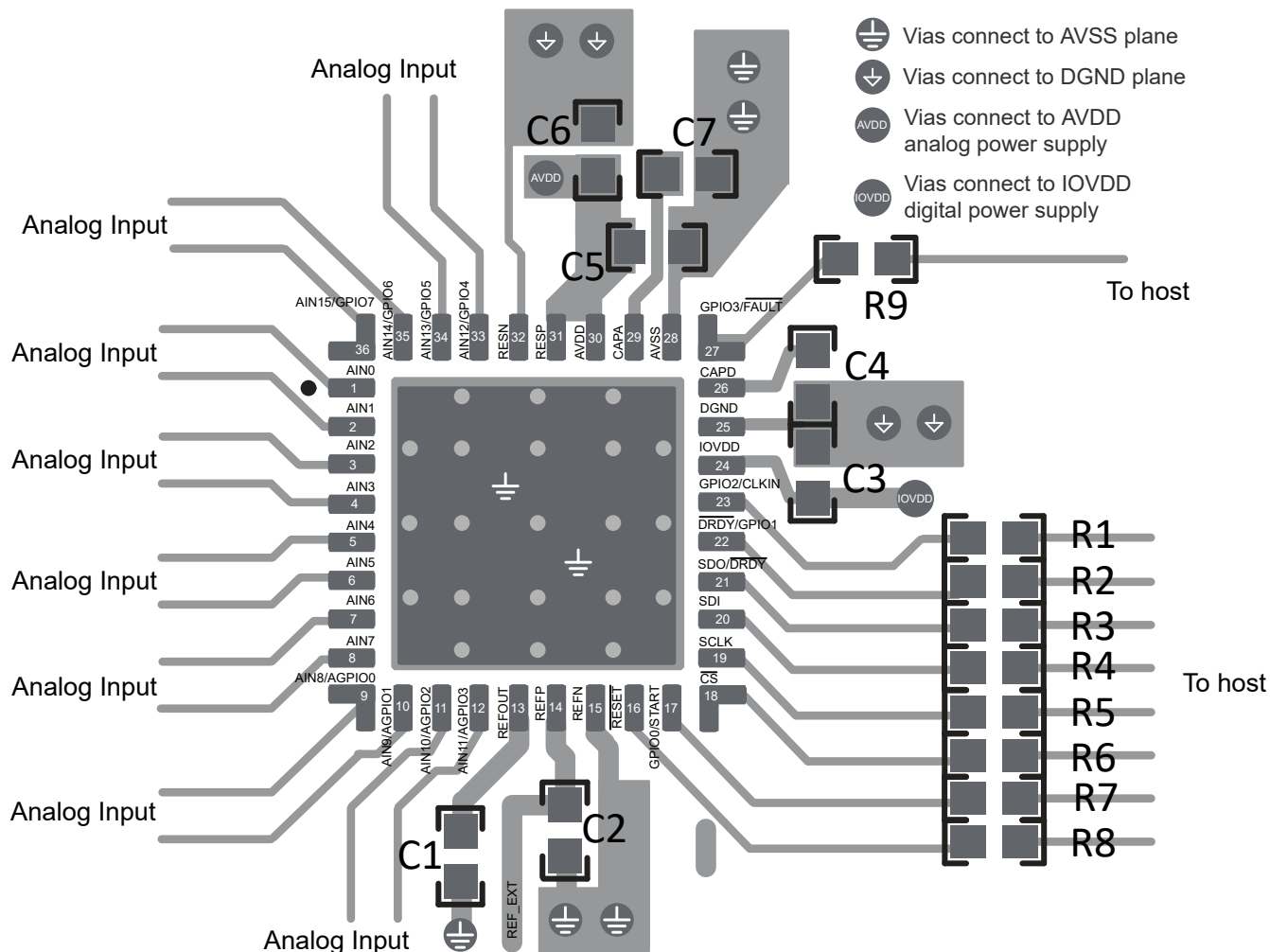


图 8-14. 布局示例

## 9 器件和文档支持

### 9.1 文档支持

#### 9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[REF60xx 具有集成 ADC 驱动器缓冲器的高精度电压基准 数据表](#)
- 德州仪器 (TI)，[ADC 接口应用中 MFB 滤波器的设计方法 应用手册](#)
- 德州仪器 (TI)，[QFN 和 SON PCB 附件应用手册](#)

### 9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

### 9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

## 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS125H18V20IRHBR	Active	Production	VQFN (RHB)   36	3000   LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS125 H18V20

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

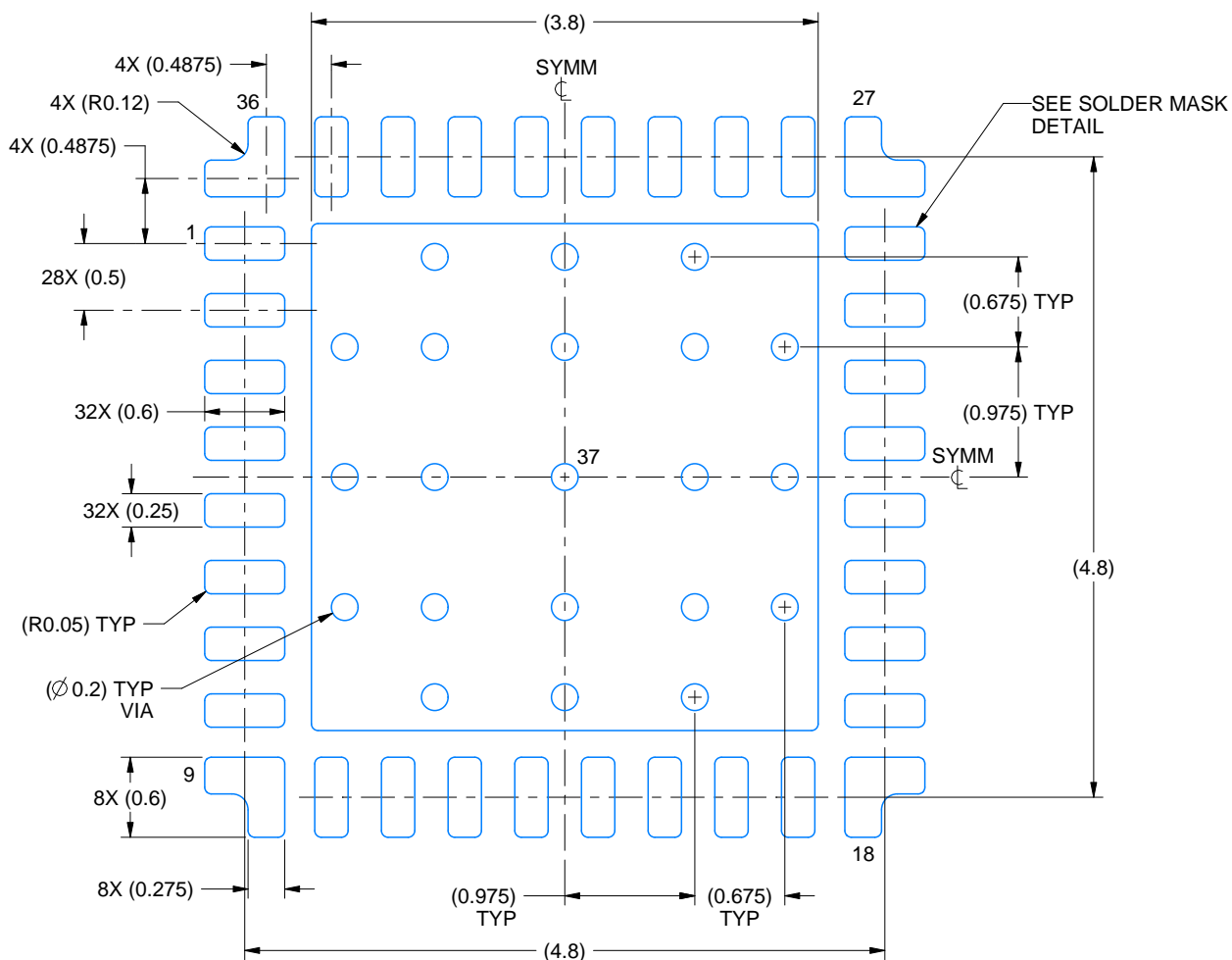
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

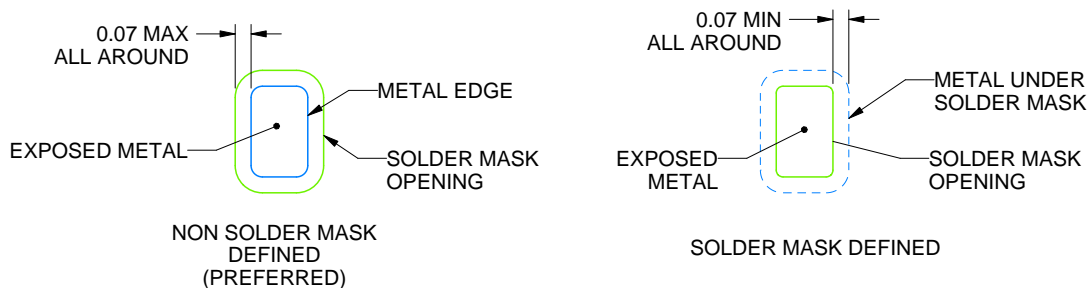
RHB0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 18X



SOLDER MASK DETAILS

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slue271](http://www.ti.com/lit/slue271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

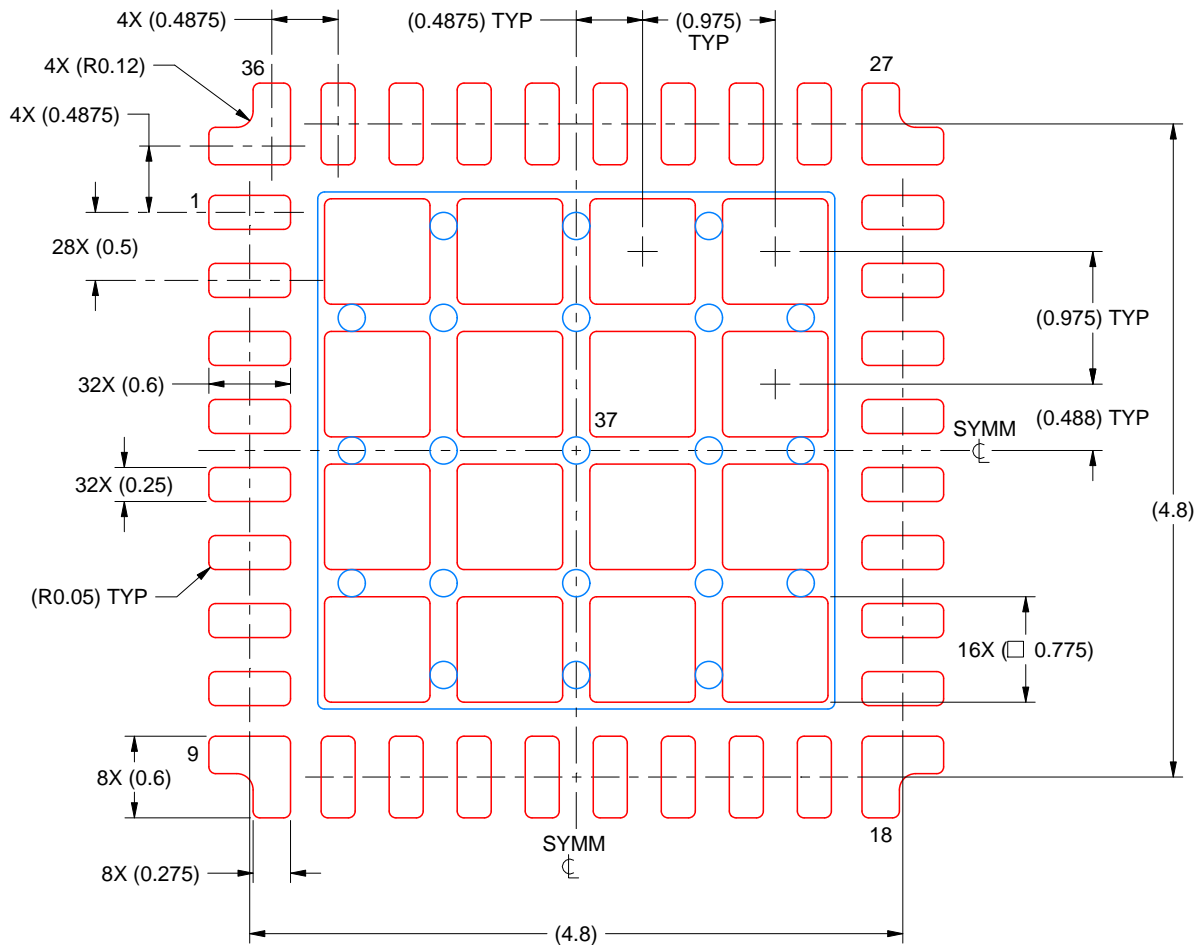


# EXAMPLE STENCIL DESIGN

RHB0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 18X

EXPOSED PAD 33  
67% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229874/A 08/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月