

ADS61Bx9 具有集成模拟缓冲器的 14 位/12 位、250MSPS ADC

1 特性

- 集成式高阻抗模拟输入缓冲器
- 最大采样率：250MSPS
- 14 位分辨率 — ADS61B49
- 12 位分辨率 — ADS61B29
- 250MSPS 时的总功率耗散为 790mW
- 双倍数据速率 (DDR) LVDS 和并行 CMOS 输出选项
- 高达 6dB 的可编程精细增益支持 SNR/SFDR 权衡和 1V_{pp} 满量程运行
- 直流偏移校正
- 支持低至 400mV_{pp} 差分的输入时钟幅度
- 48-QFN 封装 (7mm × 7mm)
- 引脚与 ADS6149 系列兼容

2 应用

- 多载波、高带宽通信
- 无线多载波通信基础设施
- 软件定义无线电
- 功率放大器线性化反馈 ADC
- 802.16d/e
- 测试和测量仪表
- 高清视频
- 医疗成像
- 雷达系统

3 说明

ADS61B49 (ADS61B29) 是采样速率高达 250MSPS 的 14 位 (12 位) 模数转换器。它在紧凑的 48-QFN 封装中实现了高动态性能与低功耗的结合。集成式模拟缓冲器使其非常适合多载波、大带宽通信应用。缓冲器可在宽频率范围内保持恒定的性能和输入阻抗。

ADS61B49 (ADS61B29) 具有精细增益选项，可用于在较低满量程输入范围时提升 SFDR 性能。它包含一个可用于消除 ADC 偏移的直流偏移校正环路。可提供双倍数据速率 (DDR) LVDS 和并行 CMOS 数字输出接口。在较低的采样速率下，ADC 会自动以按比例降低的功率运行，而不会影响性能。

它包括内部基准，同时省去了传统基准引脚及相关去耦电容器。该器件在额定工业温度范围 (- 40°C 至 85°C) 内符合规格要求。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
ADS61B49	RGZ (QFN-48)	7.0mm × 7.0mm
ADS61B29	RGZ (QFN-48)	7.0mm × 7.0mm

(1) 有关最新的封装和订购信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

器件信息

	模拟缓冲器	250MSPS	210 MSPS
ADS614x 14 位系列	否	ADS6149	ADS6148
	是	ADS61B49	
ADS612Xx 12 位系列	否	ADS6129	ADS6128
	是	ADS61B29	

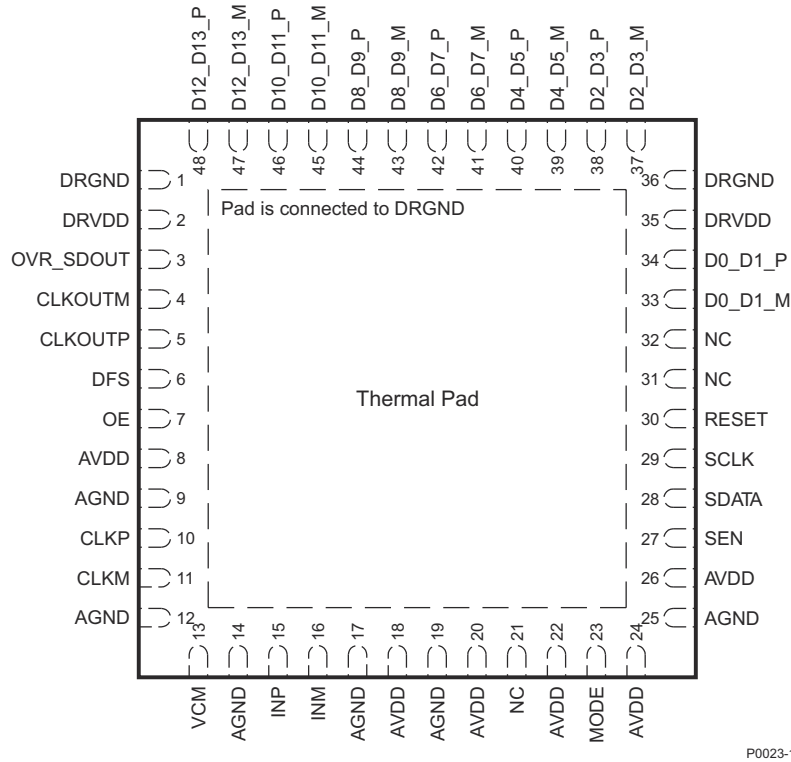


内容

1 特性	1	5.11 等值线图 — ADS61B49/ADS61B29.....	26
2 应用	1	5.12 等值线图 — ADS61B49.....	27
3 说明	1	5.13 等值线图 — ADS61B29.....	28
4 引脚配置和功能	3	6 详细说明	29
4.1 引脚配置和功能 (LVDS 模式) — ADS61B49 和 ADS61B29.....	3	6.1 功能方框图.....	29
4.2 引脚配置和功能 (CMOS 模式) — ADS61B49 和 ADS61B29.....	6	6.2 特性说明.....	30
5 规格	8	6.3 串行寄存器映射.....	36
5.1 绝对最大额定值.....	8	7 应用和实施	42
5.2 建议运行条件.....	8	7.1 应用信息.....	42
5.3 电气特性 — ADS61B49 和 ADS61B29.....	9	8 器件和文档支持	56
5.4 电气特性 — ADS61B49 和 ADS61B29.....	10	8.1 第三方产品免责声明.....	56
5.5 电气特性 — ADS61B49 和 ADS61B29.....	11	8.2 接收文档更新通知.....	56
5.6 数字特性 — ADS61B49 和 ADS61B29.....	12	8.3 支持资源.....	56
5.7 时序要求 — LVDS 和 CMOS 模式.....	13	8.4 商标.....	56
5.8 典型特性 - ADS61B49.....	17	8.5 静电放电警告.....	56
5.9 典型特性 - ADS61B29.....	21	8.6 术语表.....	56
5.10 典型特性 — 通用图 (ADS61B49/61B29 均适 用)	25	9 修订历史记录	57
		10 机械、封装和可订购信息	58

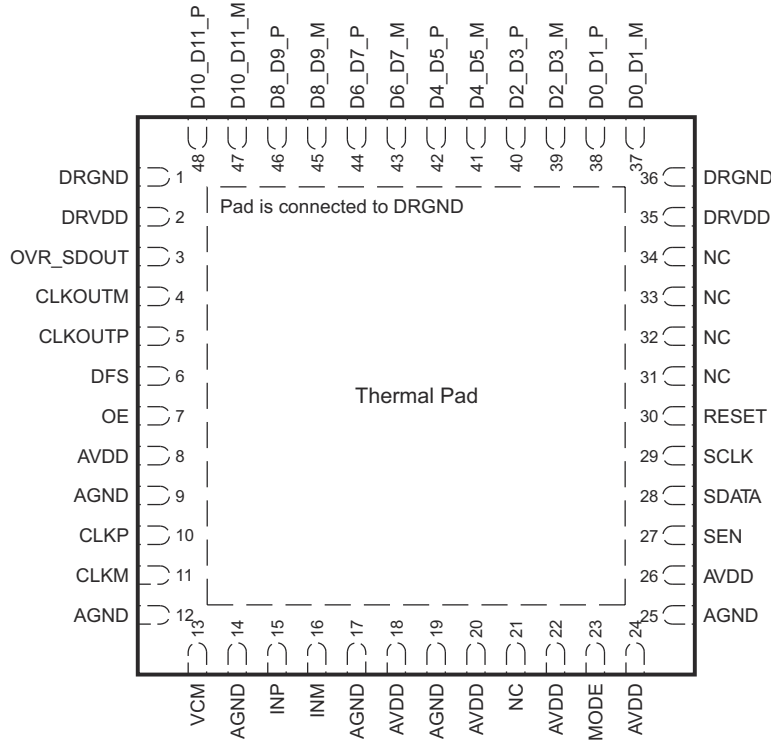
4 引脚配置和功能

4.1 引脚配置和功能 (LVDS 模式) — ADS61B49 和 ADS61B29



P0023-12

图 4-1. 引脚配置 (LVDS 模式) — ADS61B49



P0023-13

图 4-2. 引脚配置 (LVDS 模式) — ADS61B29

表 4-1. 引脚功能

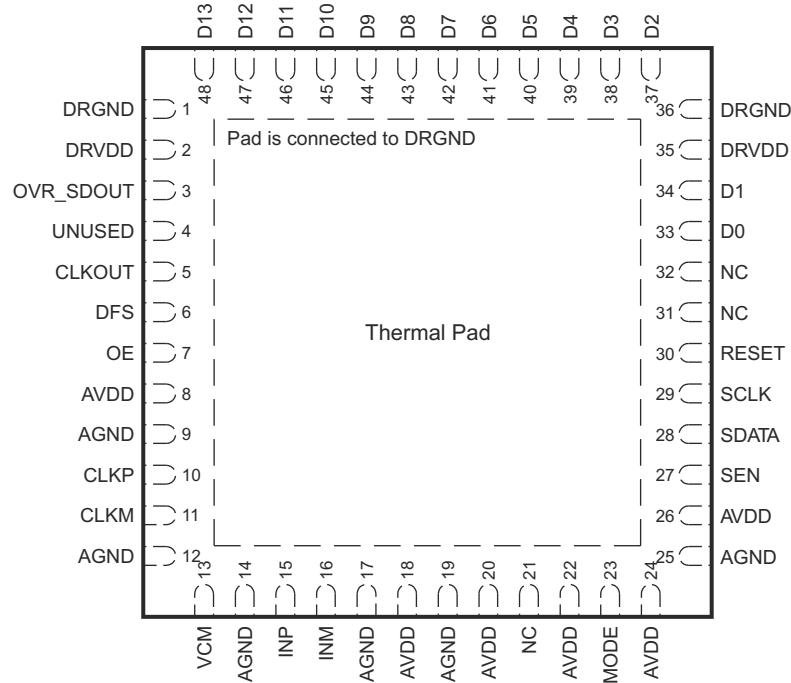
引脚		I/O	引脚编号	说明
名称	编号			
AVDD	8、18、20、22、24、26	I	6	3.3V 模拟电源
AGND	9、12、14、17、19、25	I	6	模拟接地
CLKP、CLKM	10、11	I	2	差分时钟输入
INP、INM	15、16	I	2	差分模拟输入
VCM	13	IO	1	内部基准模式 — 共模电压输出。 外部基准模式 — 基准输入。强制施加在该引脚上的电压可设置内部基准。
复位	30	I	1	串行接口 RESET 输入。 使用串行接口模式时，用户必须通过在该引脚上施加高电平脉冲或使用软件复位选项进行硬件复位来初始化内部寄存器。请参阅 <i>串行接口</i> 部分。 在并行接口模式下，用户必须将 RESET 引脚永久连接至高电平。（在此模式下，SDATA 和 SEN 用作并行引脚控制。） 该引脚具有内部 100kΩ 下拉电阻器。
SCLK	29	I	1	串行接口时钟输入。该引脚具有内部 100kΩ 下拉电阻器。
SDATA	28	I	1	当 RESET 为低电平时，此引脚用作串行接口数据输入。当 RESET 连接到高电平时，其用作断电控制引脚。有关详细信息，请参阅表 6-3。 该引脚具有内部 100kΩ 下拉电阻器。
SEN	27	I	1	当 RESET 为低电平时，此引脚用作串行接口使能输入。 当 RESET 连接至高电平时，其用作输出时钟边沿控制。有关详细信息，请参阅表 6-4。 该引脚具有连接到 AVDD 的内部 100kΩ 下拉电阻器。
OE	7	I	1	输出缓冲器使能输入，高电平有效。该引脚具有连接到 DRVDD 的内部 100kΩ 下拉电阻器

表 4-1. 引脚功能 (续)

引脚		I/O	引脚编号	说明	
名称	编号				
DFS	6	I	1	数据格式选择输入。该引脚设置数据格式 (二进制补码或偏移二进制) 和 LVDS/CMOS 输出接口类型。有关详细信息, 请参阅表 6-5。	
模式 ⁽¹⁾	23	I	1	未使用。有关详细信息, 请参阅下面的表 6-6 和说明。	
CLKOUTP	5	O	1	差分输出时钟 (真)	
CLKOUTM	4	O	1	差分输出时钟 (补码)	
D0_D1_P	请参阅图 4-1 和图 4-2	O	1	差分输出数据 D0 和 D1 多路复用 (真)	
D0_D1_M		O	1	差分输出数据 D0 和 D1 多路复用 (补码)	
D2_D3_P		O	1	差分输出数据 D2 和 D3 多路复用 (真)	
D2_D3_M		O	1	差分输出数据 D2 和 D3 多路复用 (补码)	
D4_D5_P		O	1	差分输出数据 D4 和 D5 多路复用 (真)	
D4_D5_M		O	1	差分输出数据 D4 和 D5 多路复用 (补码)	
D6_D7_P		O	1	差分输出数据 D6 和 D7 多路复用 (真)	
D6_D7_M		O	1	差分输出数据 D6 和 D7 多路复用 (补码)	
D8_D9_P		O	1	差分输出数据 D8 和 D9 多路复用 (真)	
D8_D9_M		O	1	差分输出数据 D8 和 D9 多路复用 (补码)	
D10_D11_P		O	1	差分输出数据 D10 和 D11 多路复用 (真)	
D10_D11_M		O	1	差分输出数据 D10 和 D11 多路复用 (补码)	
D12_D13_P		O	1	差分输出数据 D12 和 D13 多路复用 (真)	
D12_D13_M		O	1	差分输出数据 D12 和 D13 多路复用 (补码)	
OVR_SDOUT		3	O	1	该引脚是一个 CMOS 输出, 其逻辑电平由 DRVDD 电源决定。当寄存器位 <SERIAL READOUT> = 0 时, 该引脚在复位后用作超出范围指示器。当寄存器位 <SERIAL READOUT> = 1 时, 该引脚用作串行寄存器读取引脚。
DRVDD		2、35	I	2	1.8V 数字和输出缓冲器电源
DRGND	1、36、PAD	I	2	数字和输出缓冲器接地	
NC	请参阅图 4-1 和图 4-2			不连接	

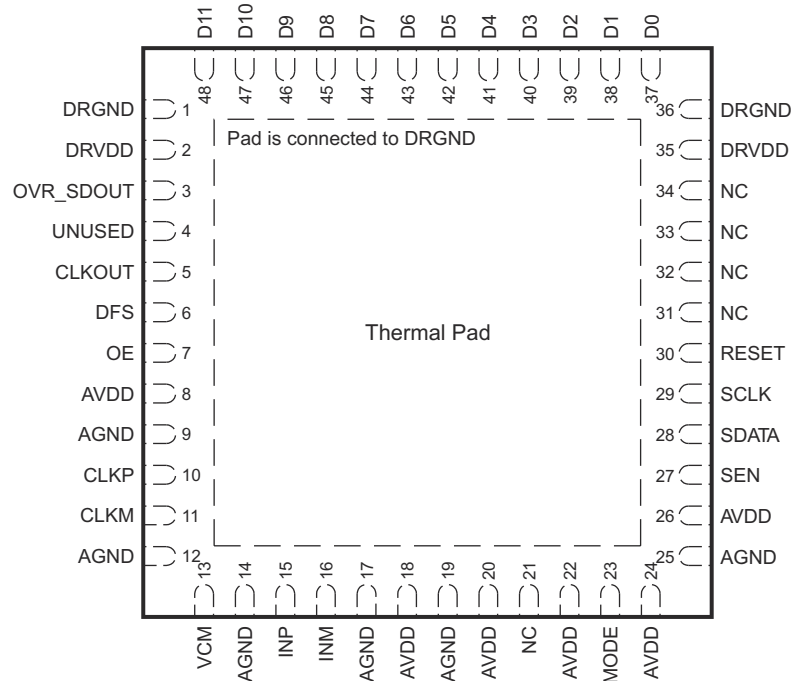
- (1) 在下一代引脚兼容的 ADC 系列中, MODE 转换为数字控制引脚以实现某些保留功能。因此, 使用 MODE 可支持选择内部或外部基准以及低速功能。在使用 ADS61x9/x8 的系统板中, MODE 引脚可以布线至数字控制器。这样可以避免在迁移到下一代 ADC 时修改电路板。

4.2 引脚配置和功能 (CMOS 模式) — ADS61B49 和 ADS61B29



P0023-14

图 4-3. 引脚配置 (CMOS 模式) — ADS61B49



P0023-15

图 4-4. 引脚配置 (CMOS 模式) — ADS61B29

表 4-2. 引脚功能

引脚		I/O	引脚编号	说明
名称	编号			
AVDD	8、18、20、22、24、26	I	6	3.3V 模拟电源
AGND	9、12、14、17、19、25	I	6	模拟接地
CLKP、CLKM	10、11	I	2	差分时钟输入
INP、INM	15、16	I	2	差分模拟输入
VCM	13	IO	1	内部基准模式 — 共模电压输出。 外部基准模式 — 基准输入。强制施加在该引脚上的电压可设置内部基准。
复位	30	I	1	串行接口 RESET 输入。 使用串行接口模式时，用户必须通过在该引脚上施加高电平脉冲或使用软件复位选项进行硬件复位来初始化内部寄存器。请参阅 串行接口 部分。 在并行接口模式下，用户必须将 RESET 引脚永久连接至高电平。（在此模式下，SDATA 和 SEN 用作并行引脚控制。） 该引脚具有内部 100kΩ 下拉电阻器。
SCLK	29	I	1	串行接口时钟输入。该引脚具有内部 100kΩ 下拉电阻器。
SDATA	28	I	1	当 RESET 为低电平时，此引脚用作串行接口数据输入。当 RESET 连接到高电平时，其用作断电控制引脚。 有关详细信息，请参阅 表 6-3 。 该引脚具有内部 100kΩ 下拉电阻器。
SEN	27	I	1	当 RESET 为低电平时，此引脚用作串行接口使能输入。 当 RESET 连接至高电平时，其用作输出时钟边沿控制。有关详细信息，请参阅 表 6-4 。 该引脚具有连接到 DVDD 的内部 100kΩ 下拉电阻器。
DFS	6	I	1	数据格式选择输入。该引脚设置数据格式（二进制补码或偏移二进制）和 LVDS/CMOS 输出接口类型。 有关详细信息，请参阅 表 6-5 。
模式 ⁽¹⁾	23	I	1	未使用。有关详细信息，请参阅下面的 表 6-6 和说明。
CLKOUT	5	O	1	CMOS 输出时钟
OE	7	I	1	输出缓冲器使能输入，高电平有效。该引脚具有连接到 DRVDD 的内部 100kΩ 下拉电阻器
D0 - D13	请参阅 图 4-3 和 图 4-4	O	14/12	14 位/12 位 CMOS 输出数据
OVR_SDOOUT	3	O	1	该引脚是一个 CMOS 输出，其逻辑电平由 DRVDD 电源决定。当寄存器位 <SERIAL READOUT> = 0 时，该引脚在复位后用作超出范围指示器。当 <SERIAL READOUT> = 1 时，该引脚用作串行寄存器读取引脚。
DRVDD	2、35	I	2	1.8V 数字和输出缓冲器电源
DRGND	1、36、PAD	I	2	数字和输出缓冲器接地
未使用	4		1	CMOS 模式下未使用的引脚
NC	请参阅 图 4-3 和 图 4-4			不连接

(1) 在下一代引脚兼容的 ADC 系列中，MODE 转换为数字控制引脚以实现某些保留功能。因此，使用 MODE 可支持选择内部或外部基准以及低速功能。在使用 ADS61x9/x8 的系统板中，MODE 引脚可以布线至数字控制器。这样可以避免在迁移到下一代 ADC 时修改电路板。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

	值	单位
电源电压 (AVDD)	-0.3 至 3.9	V
电源电压 (DRVDD)	-0.3 至 2.2	V
AGND 和 DRGND 之间的电压	-0.3 至 0.3	V
AVDD 与 DRVDD 之间的电压 (当 AVDD 先于 DRVDD 上电时)	0 至 3.3	V
DRVDD 与 AVDD 之间的电压 (当 DRVDD 先于 AVDD 上电时)	-1.5 至 1.8	V
施加到模拟输入引脚 (INP、INM) 的电压	-0.3 至最小值 (3.6, AVDD + 0.3)	V
施加到以下输入引脚的电压: CLKP、CLKM ⁽²⁾ 、RESET、SCLK、SDATA、SEN、DFS 和 MODE	-0.3 至 (AVDD + 0.3)	V
T _A 自然通风条件下的工作温度范围	-40 至 85	°C
T _J 最大工作结温	125	°C
T _{stg} 贮存温度范围	-65 至 150	°C

- (1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值, 对于在应力额定值下或者在任一其他超过建议运行条件中所标出的额定值的器件的功能运行情况, 在此并未说明。长时间处于最大绝对额定值情况下会影响器件的可靠性。
- (2) AVDD 关闭时, 建议关闭输入时钟 (或确保 CLKP、CLKM 上的电压小于 0.3V)。这可以防止时钟输入引脚上的 ESD 保护二极管导通。

5.2 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
电源					
AVDD	模拟电源电压	3	3.3	3.6	V
DRVDD	数字电源电压	1.7	1.8	1.9	V
模拟输入					
差分输入电压范围		2			V _{pp}
输入共模电压 (与 ADS6149 系列不同)		2.3 ± 0.1			V
2V _{pp} 输入幅度下的最大模拟输入频率 ⁽¹⁾		500			MHz
1V _{pp} 输入幅度下的最大模拟输入频率 ⁽¹⁾		800			MHz
时钟输入					
输入时钟采样速率		1		250	MSPS
输入时钟幅度差分 (V _{CLKP} - V _{CLKM})		正弦波, 交流耦合		0.3	1.5
		LVPECL, 交流耦合		1.6	
		LVDS, 交流耦合		0.7	
		LVCMOS, 单端, 交流耦合		3.3	
输入时钟占空比		40%	50%	60%	
数字输出					
C _L	每个输出引脚到 DRGND 的最大外部负载电容	5			pF
R _L	LVDS 输出对之间的差分负载电阻 (LVDS 模式)	100			Ω
T _A	自然通风条件下的工作温度	-40		85	°C

- (1) 请参阅应用部分中的工作原理。

5.3 电气特性 — ADS61B49 和 ADS61B29

典型值测量条件为：25°C，AVDD = 3.3V，DRVDD = 1.8V，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式（除非另有说明）。

最小值和最大值对应整个温度范围 T_{MIN} = -40°C 至 T_{MAX} = 85°C，AVDD = 3.3V，DRVDD = 1.8V

参数	ADS61B49/ADS61B29 250MSPS			单位
	最小值	典型值	最大值	
模拟输入				
差分输入电压范围	2			V _{PP}
差分输入电阻（直流时），请参阅图 7-2	10			kΩ
差分输入电容，请参阅图 7-3	2			pF
模拟输入带宽	750			MHz
模拟输入共模电流（每个输入引脚）	2			μA
VCM 共模输出电压（与 ADS6149 系列不同）	2.3			V
VCM 输出电流能力	±4			mA
直流精度				
偏移误差	-15	±2	+15	mV
偏移误差的温度系数	0.005			mV/°C
偏移误差随电源的变化	0.3			mV/V
E _{GREF} 仅因内部基准不准确性导致的增益误差	-2.5	±0.2	+2.5	%FS
E _{GCHAN} 仅通道增益误差	0.2			%FS
EGCHAN 的温度系数	.001			Δ%/°C
电源				
I _{AVDD} 模拟电源电流	200			mA
I _{DRVDD} 输出缓冲器电源电流，具有 100Ω 外部端接电阻的 LVDS 接口	70			mA
	输出缓冲器电源电流，CMOS 接口 F _{in} = 3MHz，10pF 外部负载电容			56
模拟电源	660	730		mW
数字电源 LVDS 接口	130	160		mW
数字电源 CMOS 接口，F _{in} = 3MHz，10pF 外部负载电容	101			mW
全局断电	20	75		mW
待机	120			mW

5.4 电气特性 — ADS61B49 和 ADS61B29

典型值测量条件为：25°C，AVDD = 3.3V，DRVDD = 1.8V，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式（除非另有说明）。

最小值和最大值对应整个温度范围 $T_{MIN} = -40^{\circ}\text{C}$ 至 $T_{MAX} = 85^{\circ}\text{C}$ ，AVDD = 3.3V，DRVDD = 1.8V

参数		ADS61B49 250MSPS			ADS61B29 250MSPS			单位	
		最小值	典型值	最大值	最小值	典型值	最大值		
SNR 信噪比，LVDS	$F_{in} = 20\text{MHz}$	72.3			70.1			dBFS	
	$F_{in} = 80\text{MHz}$	72			69.8				
	$F_{in} = 100\text{MHz}$	71.6			69.6				
	$F_{in} = 170\text{MHz}$	68.5	70.7		66.5	69			
	$F_{in} = 300\text{MHz}$	69			67.8				
SINAD 信噪比和失真比，LVDS	$F_{in} = 20\text{MHz}$	72.5			70.3			dBFS	
	$F_{in} = 80\text{MHz}$	71.8			69.7				
	$F_{in} = 100\text{MHz}$	71.6			69.5				
	$F_{in} = 170\text{MHz}$	67.5	70		65.7	68.4			
	$F_{in} = 300\text{MHz}$	67.1			66.3				
ENOB 有效位数	$F_{in} = 170\text{MHz}$ (使用 SINAD，以 dBFS 为单位)		11.3			11.1			LSB
DNL 差分非线性		-0.95	± 0.4	1	-0.5	± 0.2	1	LSB	
INL 积分非线性		-5	± 2	5	-2.5	± 1	2.5	LSB	

5.5 电气特性 — ADS61B49 和 ADS61B29

典型值测量条件为：25°C，AVDD = 3.3V，DRVDD = 1.8V，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式（除非另有说明）。

最小值和最大值对应整个温度范围 $T_{MIN} = -40^{\circ}C$ 至 $T_{MAX} = 85^{\circ}C$ ，AVDD = 3.3V，DRVDD = 1.8V

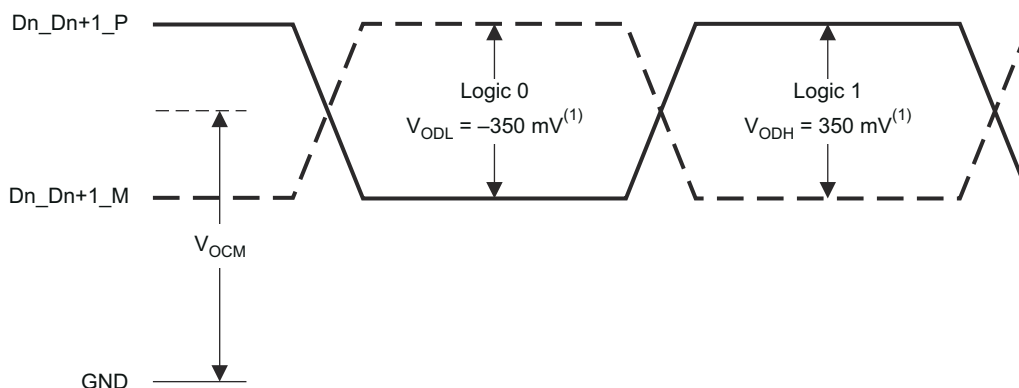
参数		ADS61B49/ADS61B29 250MSPS		单位
		最小值	典型值	
SFDR 无杂散动态范围	$F_{in} = 20MHz$	92		dBc
	$F_{in} = 80MHz$	86		
	$F_{in} = 100MHz$	86		
	$F_{in} = 170MHz$ (所有杂散/谐波)	74	84	
	$F_{in} = 170MHz$ (不包括二次谐波)	77	87	
	$F_{in} = 300MHz$	76		
THD 总谐波失真	$F_{in} = 20MHz$	89		dBc
	$F_{in} = 80MHz$	83		
	$F_{in} = 100MHz$	82		
	$F_{in} = 170MHz$	72	79	
	$F_{in} = 300MHz$	73		
HD2 ， 二阶谐波失真	$F_{in} = 20MHz$	94		dBc
	$F_{in} = 80MHz$	90		
	$F_{in} = 100MHz$	88		
	$F_{in} = 170MHz$	74	84	
	$F_{in} = 300MHz$	76		
HD3 三阶谐波失真	$F_{in} = 20MHz$	93		dBc
	$F_{in} = 80MHz$	86		
	$F_{in} = 100MHz$	85		
	$F_{in} = 170MHz$	77	87	
	$F_{in} = 300MHz$	76		
最差杂散 二次、三次谐波除外	$F_{in} = 20MHz$	96		dBc
	$F_{in} = 80MHz$	94		
	$F_{in} = 100MHz$	94		
	$F_{in} = 170MHz$	80	92	
	$F_{in} = 300MHz$	90		
IMD 双音互调失真	$F1 = 46MHz$ ， $F2 = 50MHz$ ， 每个单音幅度为 -7dBFS	94		dBFS
	$F1 = 185MHz$ ， $F2 = 190MHz$ ， 每个单音幅度为 -7dBFS	90		
输入过载恢复	对于 6dB 过载，正弦波输入时恢复至（最终值的 1%）以内	1		时钟周期
PSRR 交流电源抑制比	对于 AVDD 电源上的 100mV _{pp} 信号	25		dB

5.6 数字特性 — ADS61B49 和 ADS61B29

直流规格是指数字输出不进行切换，而始终处于有效逻辑电平 0 或 1 的条件。AVDD = 3.3V，DRVDD = 1.8V

参数	测试条件	ADS61B49/ADS61B29			单位
		最小值	典型值	最大值	
数字输入 — RESET、SCLK、SDATA、SEN⁽¹⁾					
高电平输入电压	所有数字输入均支持 1.8V 和 3.3V CMOS 逻辑电平	1.3			V
低电平输入电压		0.4			V
高电平输入电流	SDATA、SCLK ⁽²⁾	$V_{High} = 3.3V$	16		μA
	SEN ⁽³⁾	$V_{High} = 3.3V$	10		
低电平输入电流	SDATA、SCLK	$V_{Low} = 0V$	0		μA
	SEN	$V_{Low} = 0V$	-20		
输入电容		4			pF
数字输出 — CMOS 接口 (引脚 D0 至 D13 和 OVR_SDOUT)					
高电平输出电压	($I_{OH} = 1mA$)	DRVDD -0.1	DRVDD	V	
低电平输出电压	($I_{OL} = 1mA$)	0		0.1	V
输出电容 (器件内部)		2			pF
数字输出 — LVDS 接口 (引脚 D0_D1_P/M 至 D12_D13_P/M)⁽⁵⁾					
V_{ODH} , 高电平输出电压 ⁽⁴⁾		275	350	425	mV
V_{ODL} , 低电平输出电压 ⁽⁴⁾		-425	-350	-275	mV
V_{OCM} , 共模输出电压	器件内部的输入电容 (从任一输出端到接地)	1	1.2	1.3	V
输出电容		2			pF

- (1) 在串行配置模式下，SCLK、SDATA、SEN 用作数字输入引脚。
- (2) SDATA、SCLK 具有内部 200k Ω 下拉电阻器。
- (3) SEN 具有内部 100k Ω 下拉电阻器至 AVDD。
- (4) 外部 100 Ω 端接
- (5) OVR_SDOUT 具有 CMOS 输出逻辑电平，具体由 DRVDD 电压决定。



T0399-01

图 5-1. LVDS 电压电平

5.7 时序要求 — LVDS 和 CMOS 模式

典型值测量条件为：25°C，AVDD = 3.3V，DRVDD = 1.8V，采样频率 = 250MSPS，正弦波输入时钟， $C_{LOAD} = 5\text{pF}^{(2)}$ ， $R_{LOAD} = 100\Omega^{(3)}$ ，低速模式禁用（除非另有说明）。

最小值和最大值对应整个温度范围 $T_{MIN} = -40^{\circ}\text{C}$ 至 $T_{MAX} = 85^{\circ}\text{C}$ ，AVDD = 3.3V，DRVDD = 1.7V 至 1.9V。⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
t_a 孔径延迟		0.7	1.2	1.7	ns
t_j 孔径抖动			170		fs rms
唤醒时间	从退出待机模式到数据有效的时间		0.3	1	μs
	从退出 PDN GLOBAL 模式后到数据有效的时间		25	100	
	从停止并重新启动输入时钟到数据有效的时间		10		时钟周期
ADC 延迟 ⁽⁸⁾	默认值（复位后）		18		时钟周期
DDR LVDS 模式⁽⁴⁾					
t_{su} 数据设置时间	数据有效 ⁽⁵⁾ 到 CLKOUTP 过零	0.8	1.2		ns
t_h 数据保持时间	CLKOUT 过零到数据变为无效 ⁽⁵⁾	0.25	0.6		ns
t_{PDI} 时钟传播延迟	输入时钟上升沿交叉点至输出时钟上升沿交叉点	$0.2 \times t_s + t_{delay}$			ns
t_{delay}	$80\text{MSPS} \leq \text{采样频率} \leq 250\text{MSPS}$	5	6.2	7.5	ns
LVDS 位时钟占空比	差分时钟的占空比 (CLKOUTP - CLKOUTM) $80\text{MSPS} \leq \text{采样频率} \leq 250\text{MSPS}$	52%			
t_{RISE} 、 t_{FALL} 数据上升时间、数据下降时间	上升时间在 -100mV 至 100mV 测得 下降时间在 100mV 至 -100mV 测得 $1\text{MSPS} \leq \text{采样频率} \leq 250\text{MSPS}$	0.08	0.14	0.2	ns
$t_{CLKRISE}$ 、 $t_{CLKFALL}$ 输出时钟上升时间、输出时钟下降时间	上升时间在 -100mV 至 100mV 测得 下降时间在 100mV 至 -100mV 测得 $1\text{MSPS} \leq \text{采样频率} \leq 250\text{MSPS}$	0.08	0.14	0.2	ns
t_{OE} 输出使能 (OE) 到数据延迟	OE 变为有效后到数据有效的时间	40			ns
并行 CMOS 模式⁽⁷⁾					
t_{START} 输入时钟到数据延迟	输入时钟上升沿交叉点至数据有效起点 ⁽⁶⁾	3.2			ns
t_{DV} 数据有效时间	有效数据的时间间隔 ⁽⁶⁾	0.7	1.5		ns
t_{PDI} 时钟传播延迟	输入时钟上升沿交叉点至输出时钟上升沿交叉点	$0.78 \times t_s + t_{delay}$			ns
t_{delay}	$80\text{MSPS} \leq \text{采样频率} \leq 150\text{MSPS}$	5	6.5	8	ns
输出时钟占空比	差分时钟的占空比 (CLKOUT) $80\text{MSPS} \leq \text{采样频率} \leq 150\text{MSPS}$	50%			
t_{RISE} 、 t_{FALL} 数据上升时间、数据下降时间	上升时间在 DRVDD 的 20% 至 80% 测得 下降时间在 DRVDD 的 80% 至 20% 测得 $1\text{MSPS} \leq \text{采样频率} \leq 250\text{MSPS}$	0.7	1.2	2	ns
$t_{CLKRISE}$ 、 $t_{CLKFALL}$ 输出时钟上升时间、输出时钟下降时间	上升时间在 DRVDD 的 20% 至 80% 测得 下降时间在 DRVDD 的 80% 至 20% 测得 $1\text{MSPS} \leq \text{采样频率} \leq 150\text{MSPS}$	0.5	1	1.5	ns
t_{OE} 输出使能 (OE) 到数据延迟	OE 变为有效后到数据有效的时间	20			ns

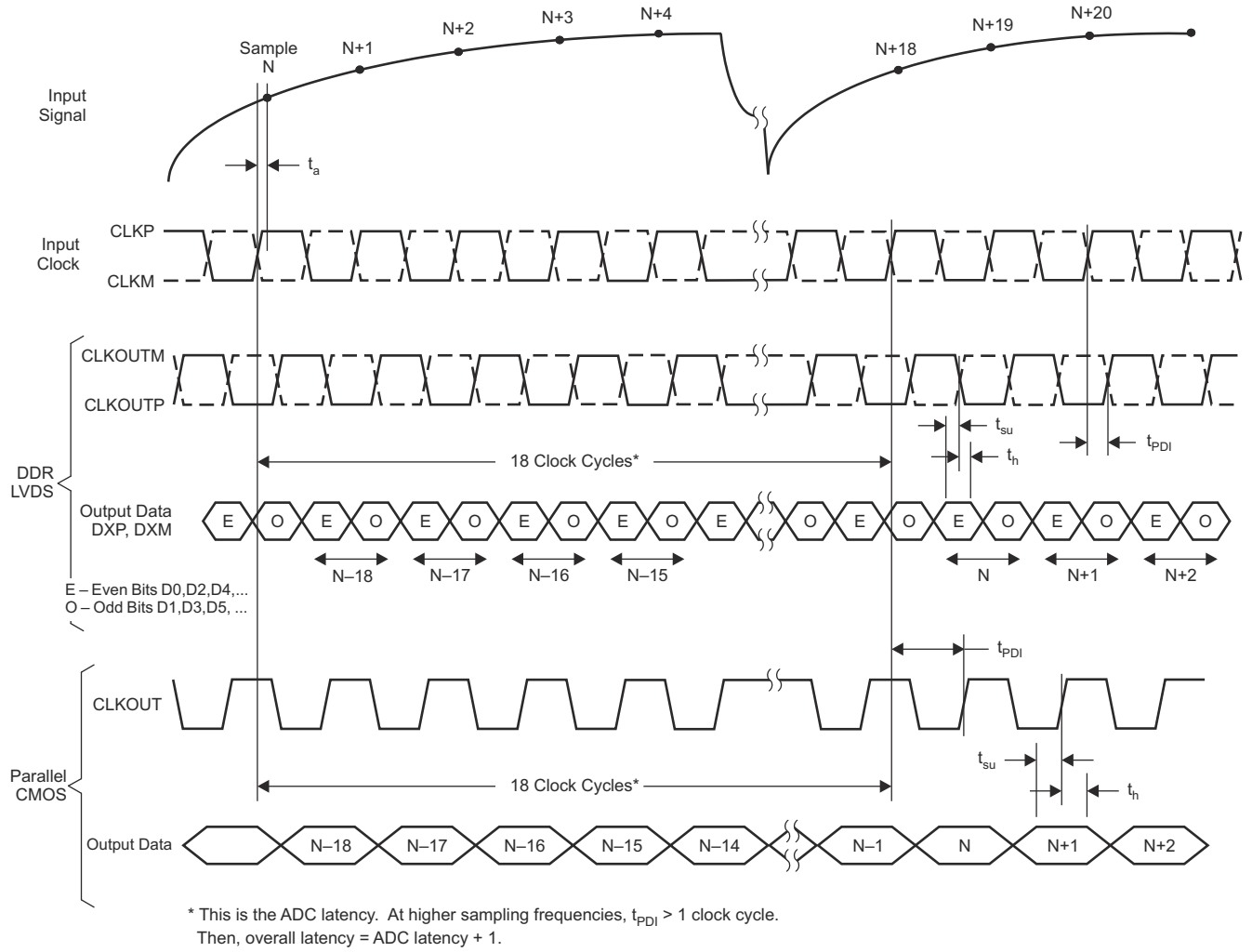
- (1) 时序参数根据设计和特性指定，而未经生产测试。
- (2) C_{LOAD} 是每个输出引脚和接地之间的有效外部单端负载电容
- (3) R_{LOAD} 是 LVDS 输出对之间的差分负载电阻。
- (4) 测量通过器件和负载之间 100Ω 特性阻抗的传输线路完成。建立和保持时间规格考虑了抖动对输出数据和时钟的影响。
- (5) 数据有效是指 +100mV 的逻辑高电平和 -100mV 的逻辑低电平。
- (6) 数据有效是指 1.26V 的逻辑高电平和 0.54V 的逻辑低电平。
- (7) 对于 $F_s > 150\text{MSPS}$ 的情况，建议使用外部时钟进行数据采集，而不是使用器件输出时钟信号 (CLKOUT)。
- (8) 在较高频率下， t_{PDI} 大于一个时钟周期，总体延迟 = ADC 延迟 + 1。

表 5-1. 较低采样频率下的 LVDS 时序

采样频率 (MSPS)	建立时间 (ns)			保持时间 (ns)		
	最小值	典型值	最大值	最小值	典型值	最大值
210	1.0	1.4		0.4	0.8	
190	1.1	1.5		0.5	0.9	
170	1.3	1.7		0.7	1.1	
150	1.6	1.9		0.9	1.2	
125	1.9	2.2		1.1	1.4	
<80 启用低速模式	2.5			2.0		
				t_{PDI} (ns)		
				最小值	典型值	最大值
1 ≤ F _s ≤ 80 , 启用低速模式					8.2	

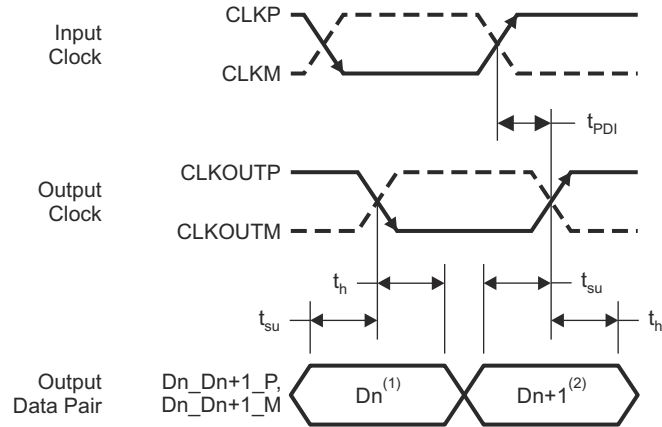
表 5-2. 较低采样频率下的 CMOS 时序

采样频率 (MSPS)	以输入时钟为基准指定的时序					
	t _{START} (ns)			数据有效时间 (ns)		
	最小值	典型值	最大值	最小值	典型值	最大值
210			1.7	1.6	2.4	
190			0.4	2.2	3.0	
170			5.1	2.4	3.6	
150			4.8	3.0	4.3	
采样频率 (MSPS)	以 CLKOUT 为基准指定的时序					
	建立时间 (ns)			保持时间 (ns)		
	最小值	典型值	最大值	最小值	典型值	最大值
150	2.0	3.2		1.5	2.2	
125	2.9	4		2.2	2.7	
<80 启用低速模式	5.0			3.8		
				t_{PDI} (ns)		
				最小值	典型值	最大值
1 ≤ F _s ≤ 80 , 启用低速模式					14	



T0105-10

图 5-2. 延迟图

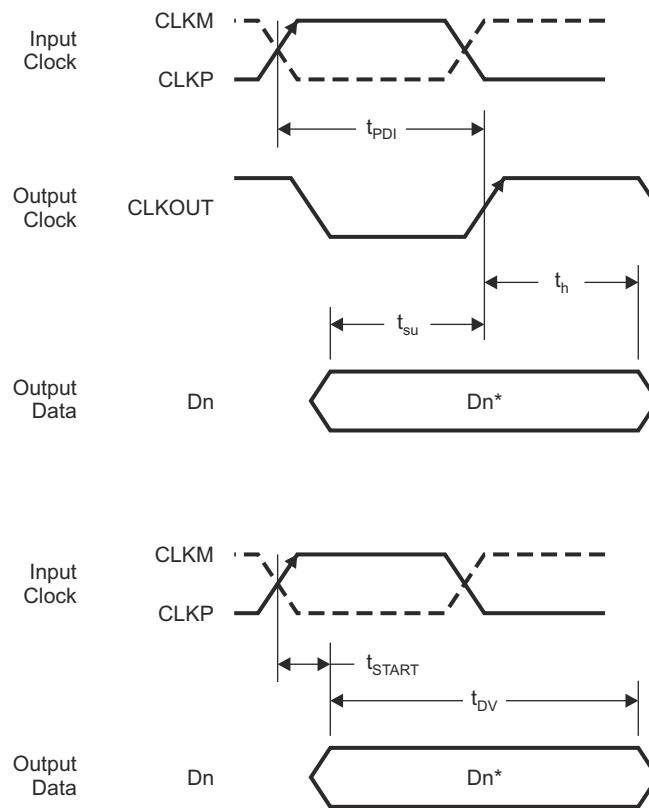


⁽¹⁾Dn – Bits D0, D2, D4,...

⁽²⁾Dn+1 – Bits D1, D3, D5, ...

T0106-07

图 5-3. LVDS 模式时序



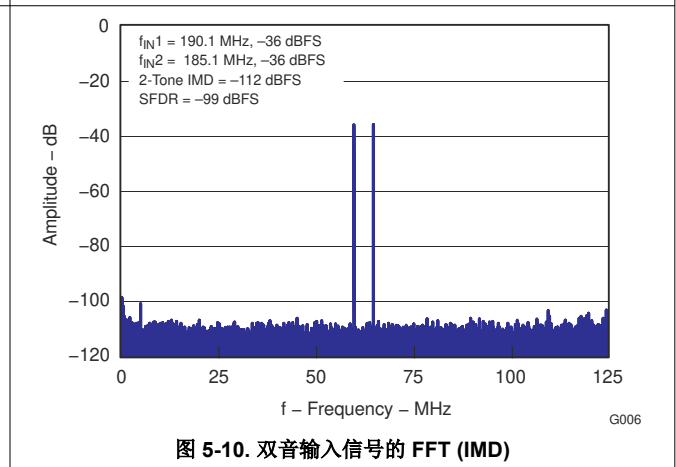
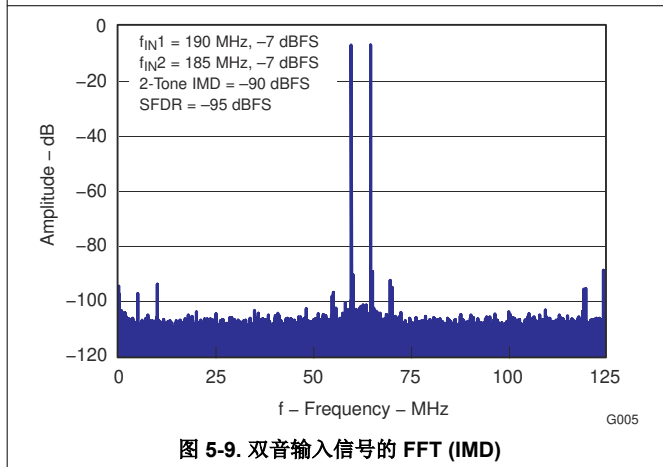
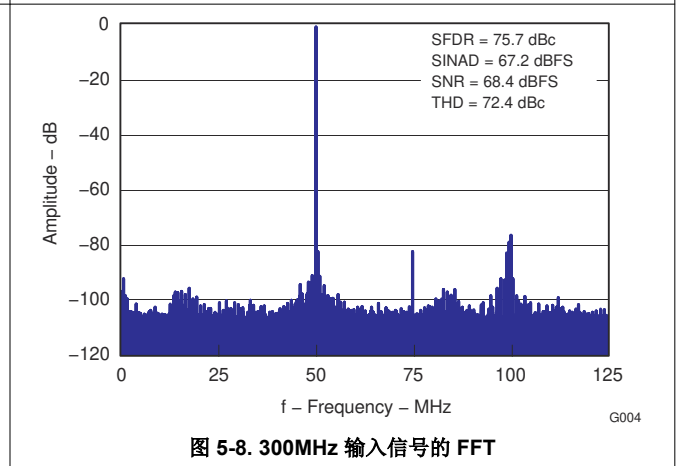
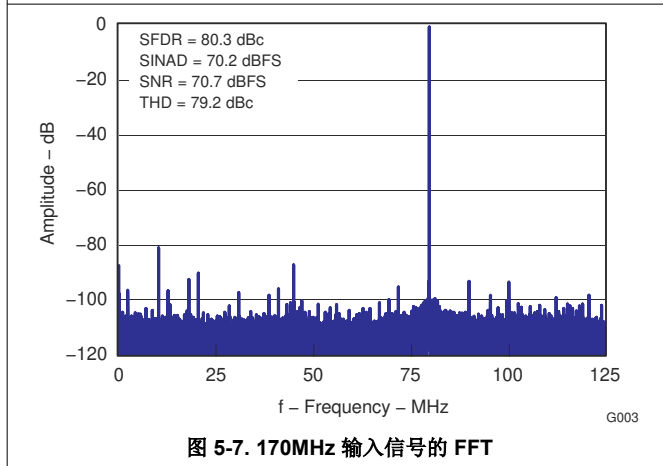
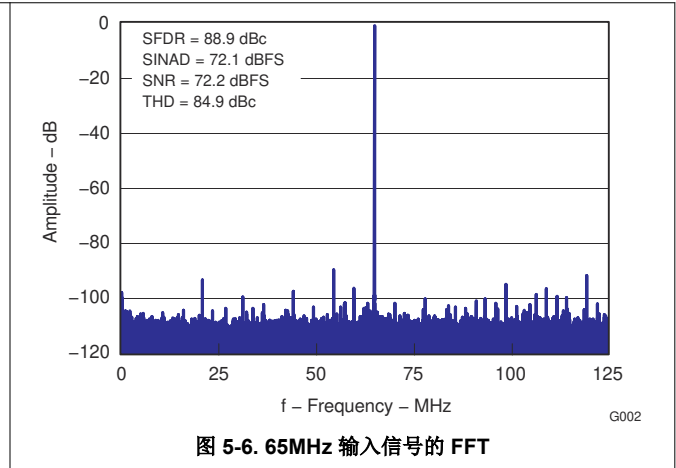
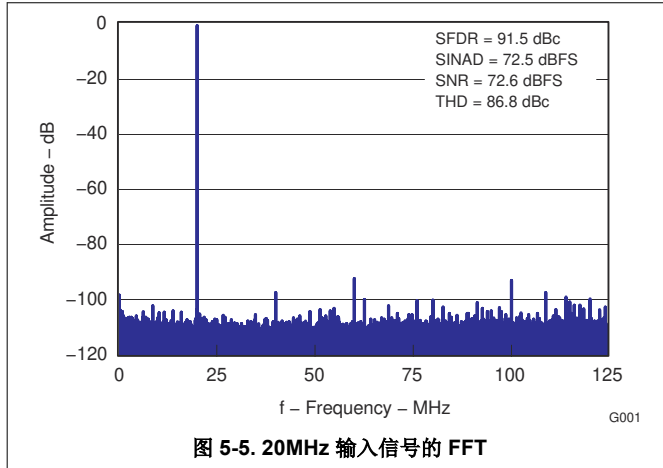
*Dn – Bits D0, D1, D2, ...

T0107-05

图 5-4. CMOS 模式时序

5.8 典型特性 - ADS61B49

所有图均为以下测量条件：25°C，AVDD = 3.3V，DRVDD = 1.8V，最大额定采样频率，正弦波输入时钟。1.5V_{pp} 差分时钟振幅，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）



5.8 典型特性 - ADS61B49 (续)

所有图均为以下测量条件：25°C，AVDD = 3.3V，DRVDD = 1.8V，最大额定采样频率，正弦波输入时钟。1.5V_{PP} 差分时钟振幅，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口 (除非另有说明)

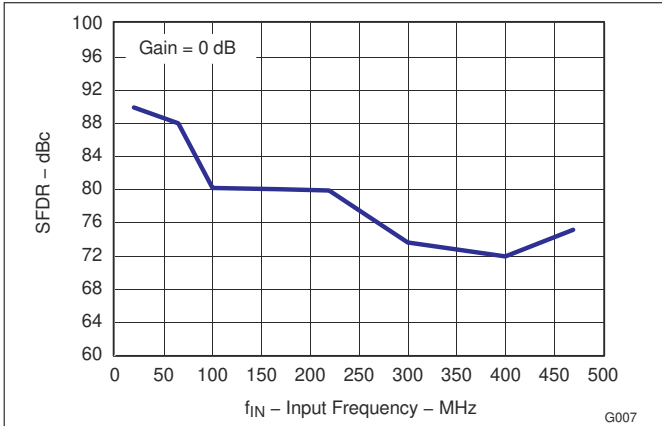


图 5-11. SFDR 与输入频率间的关系

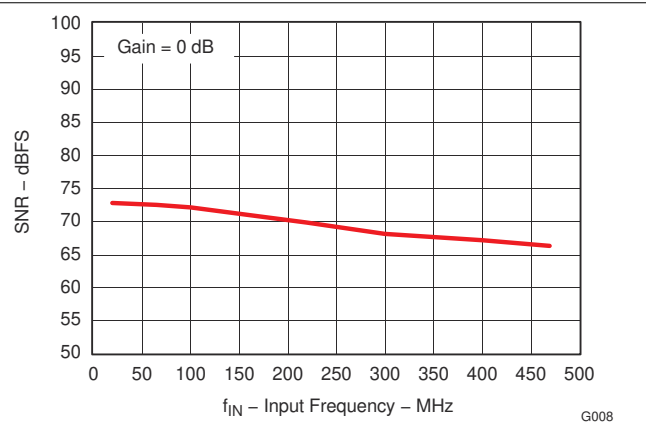


图 5-12. SNR 与输入频率间的关系

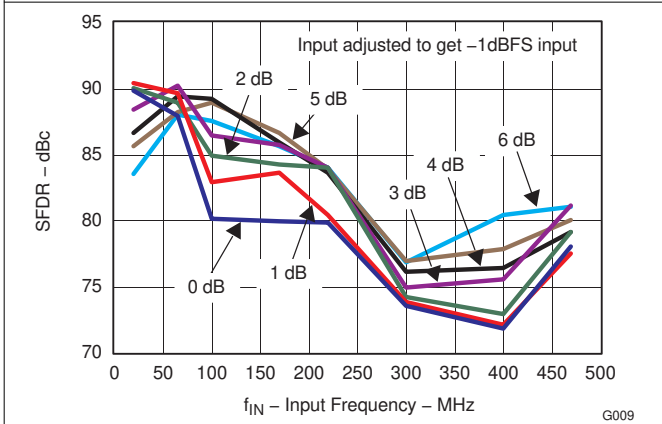


图 5-13. SFDR 与输入频率和内部增益间的关系

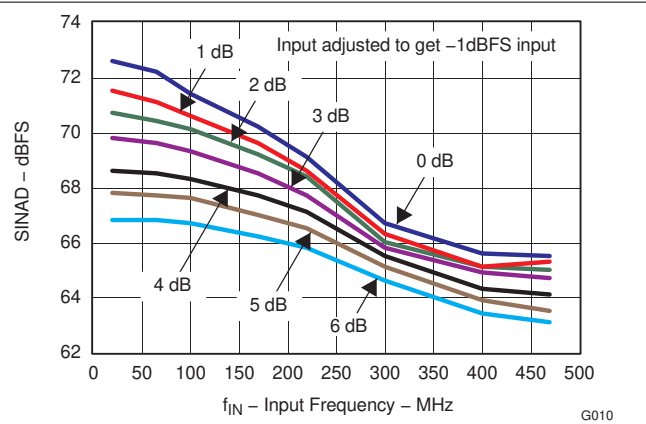


图 5-14. SINAD 与输入频率和内部增益间的关系

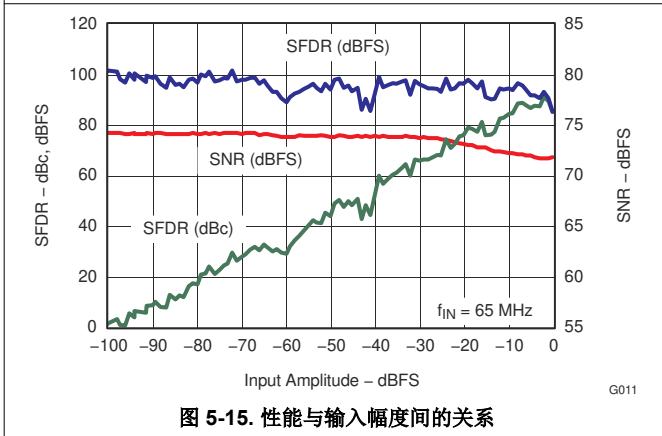


图 5-15. 性能与输入幅度间的关系

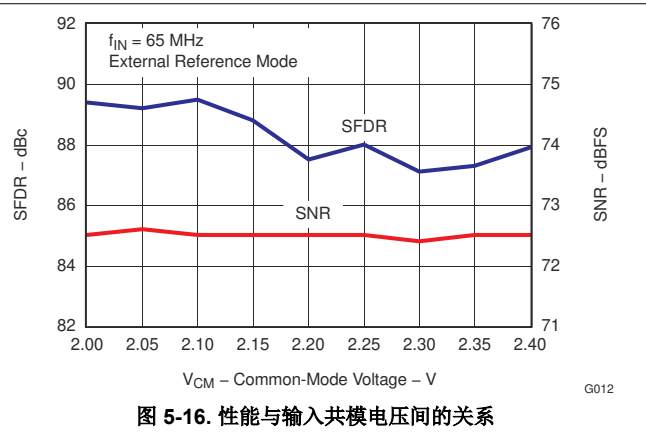


图 5-16. 性能与输入共模电压间的关系

5.8 典型特性 - ADS61B49 (续)

所有图均为以下测量条件：25°C，AVDD = 3.3V，DRVDD = 1.8V，最大额定采样频率，正弦波输入时钟。1.5V_{pp} 差分时钟振幅，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）

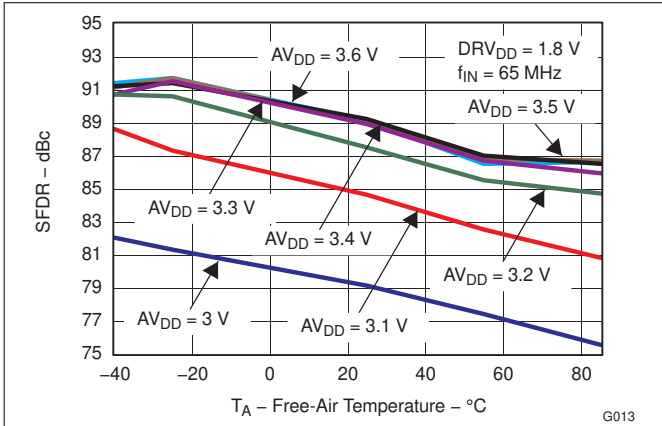


图 5-17. SFDR 与温度和 AVDD 间的关系

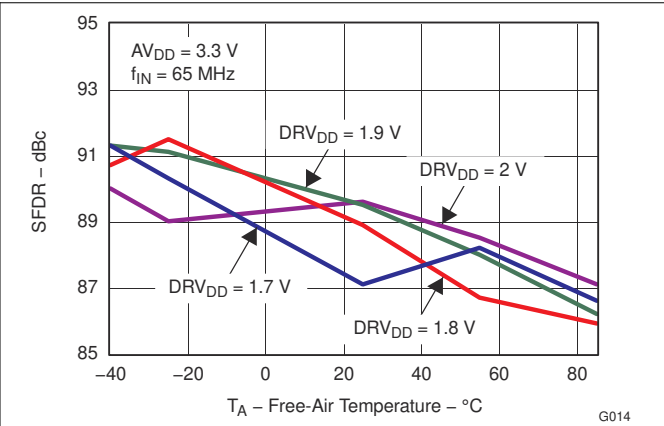


图 5-18. SFDR 与温度和 DRVDD 间的关系

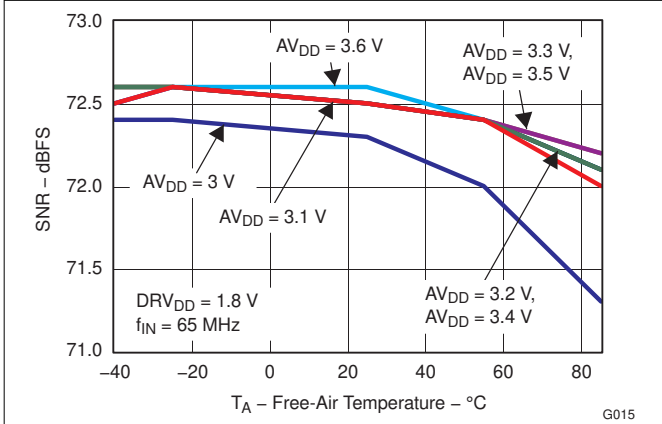


图 5-19. SNR 与温度和 AVDD 间的关系

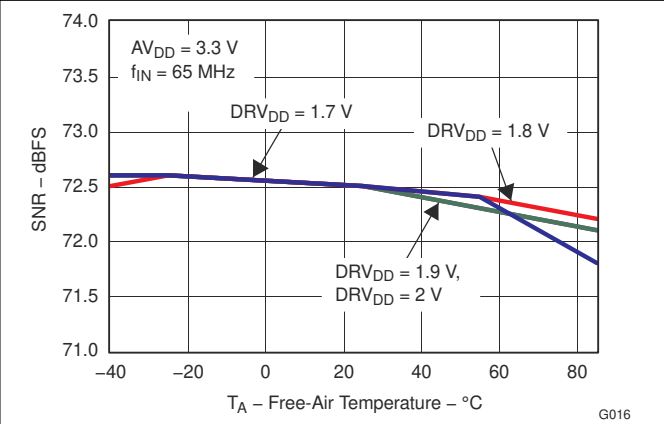


图 5-20. SNR 与温度和 DRVDD 间的关系

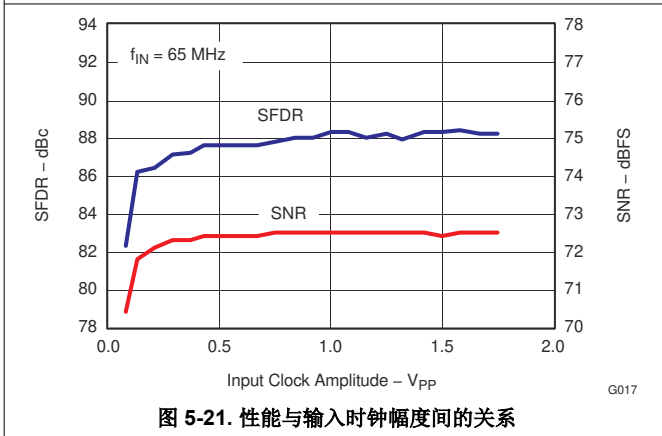


图 5-21. 性能与输入时钟幅度间的关系

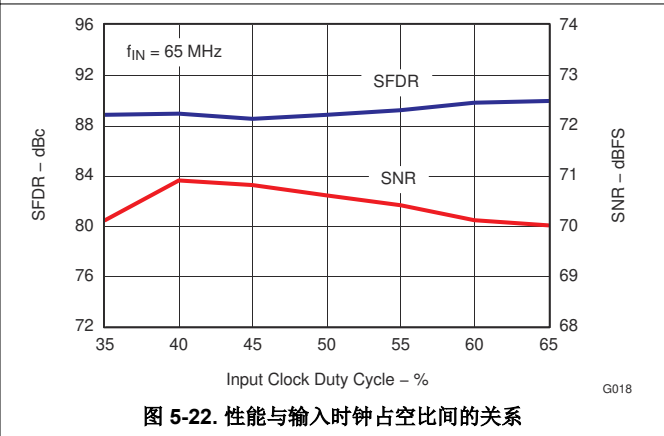


图 5-22. 性能与输入时钟占空比间的关系

5.8 典型特性 - ADS61B49 (续)

所有图均为以下测量条件：25°C，AVDD = 3.3V，DRVDD = 1.8V，最大额定采样频率，正弦波输入时钟。1.5V_{PP} 差分时钟振幅，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）

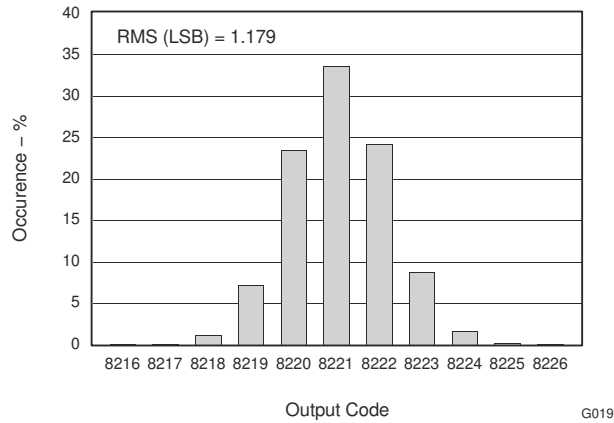
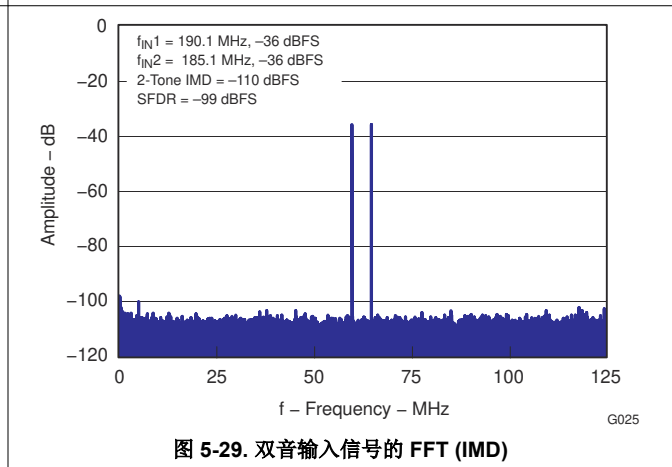
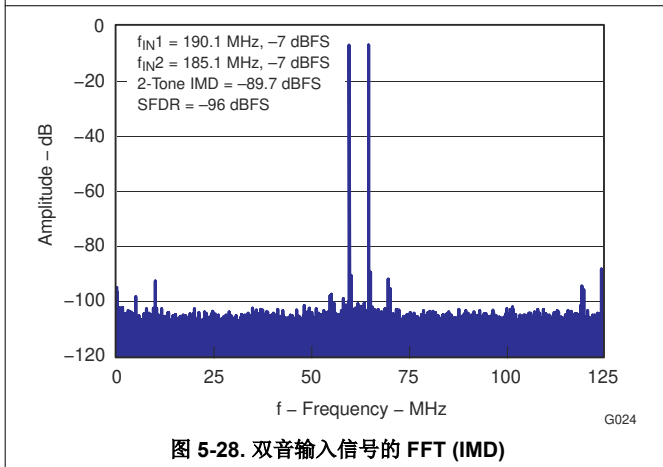
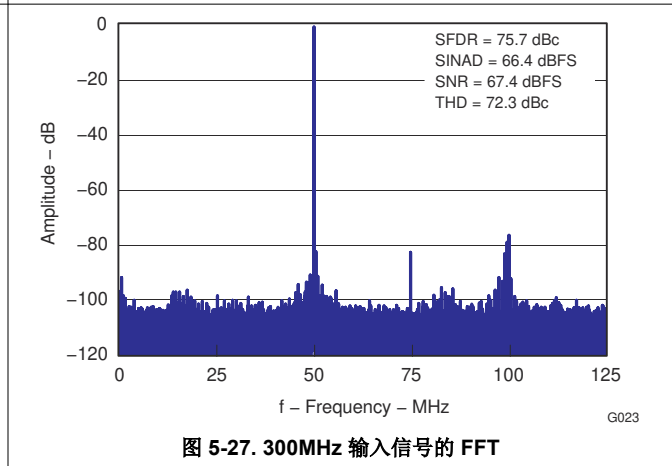
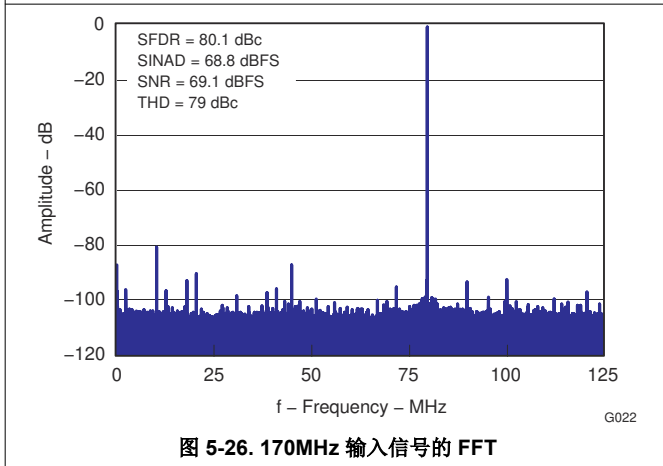
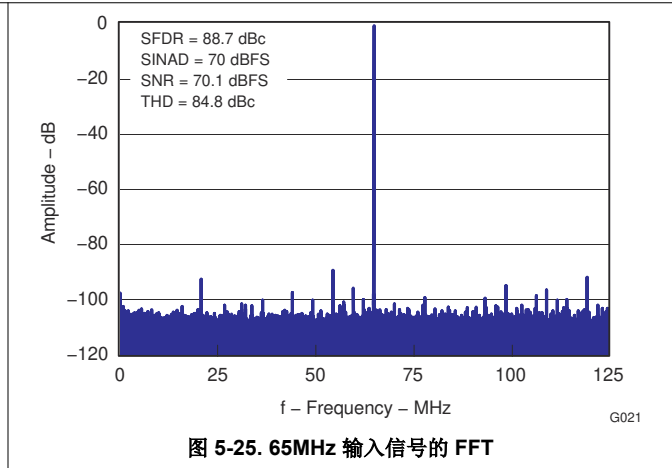
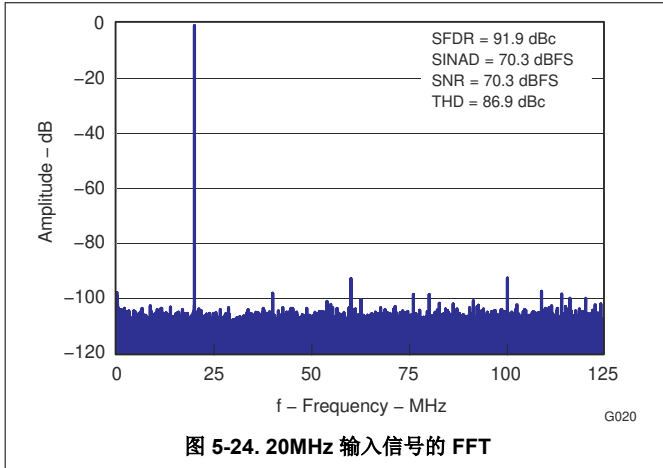


图 5-23. 输出噪声柱状图

5.9 典型特性 - ADS61B29

所有图均为以下测量条件：25°C，AVDD = 3.3V，DRVDD = 1.8V，最大额定采样频率，正弦波输入时钟。1.5V_{PP} 差分时钟振幅，50% 时钟占空比，-1DBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）



5.9 典型特性 - ADS61B29 (续)

所有图均为以下测量条件：25°C，AVDD = 3.3V，DRVDD = 1.8V，最大额定采样频率，正弦波输入时钟。1.5V_{PP} 差分时钟振幅，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）

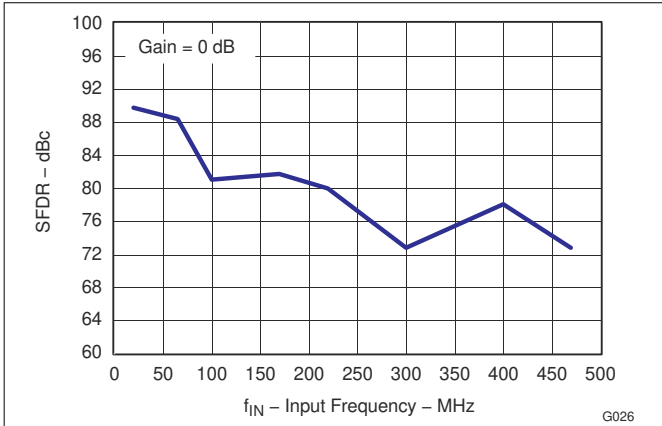


图 5-30. SFDR 与输入频率间的关系

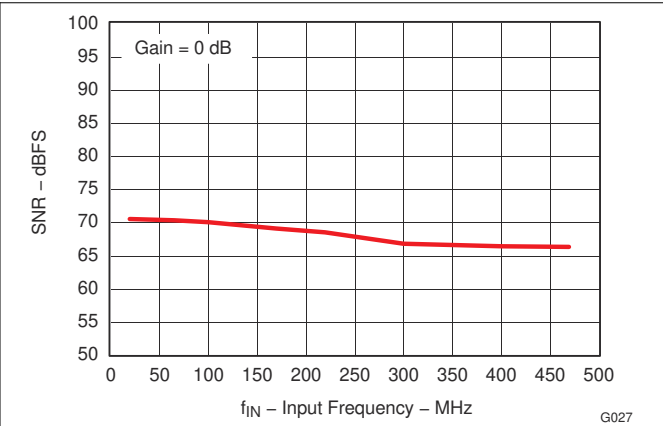


图 5-31. SNR 与输入频率间的关系

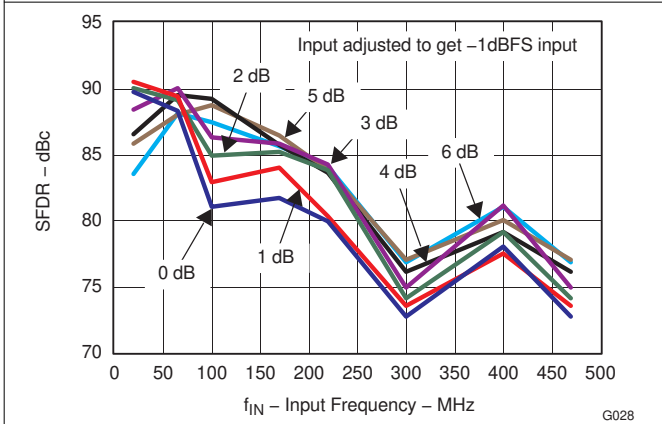


图 5-32. SFDR 与输入频率和内部增益间的关系

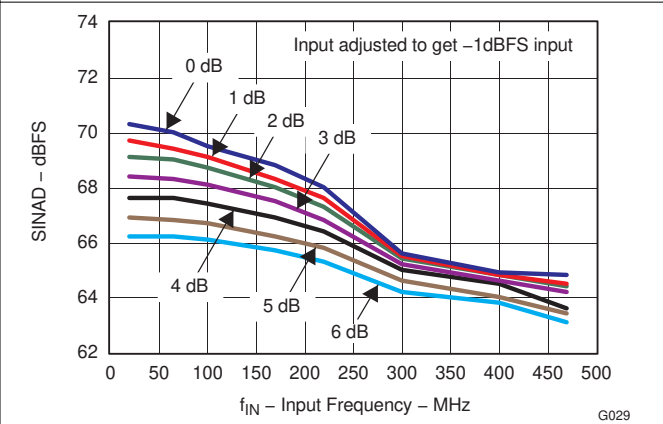


图 5-33. SINAD 与输入频率和内部增益间的关系

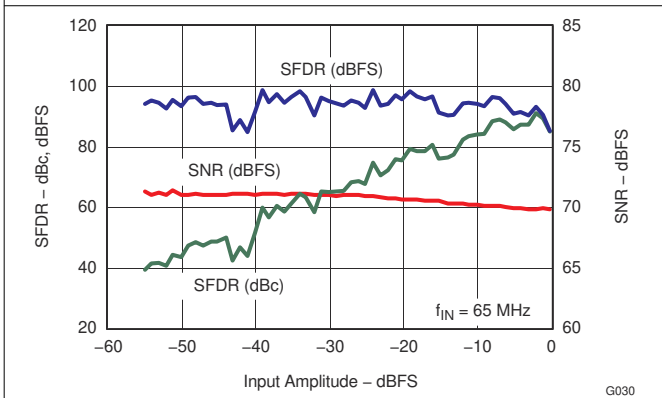


图 5-34. 性能与输入幅度间的关系

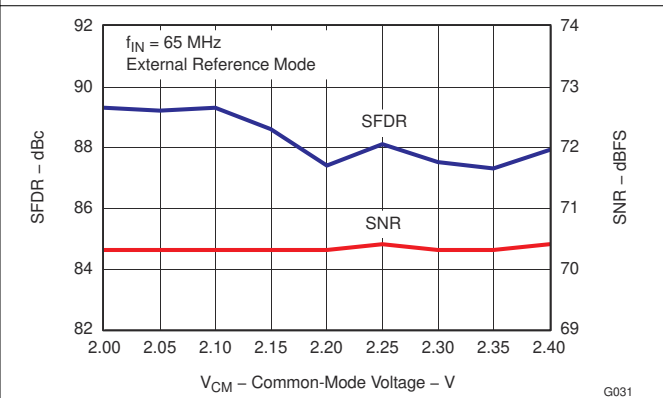


图 5-35. 性能与输入共模电压间的关系

5.9 典型特性 - ADS61B29 (续)

所有图均为以下测量条件：25°C，AVDD = 3.3V，DRVDD = 1.8V，最大额定采样频率，正弦波输入时钟。1.5V_{PP} 差分时钟振幅，50% 时钟占空比，-1DBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）

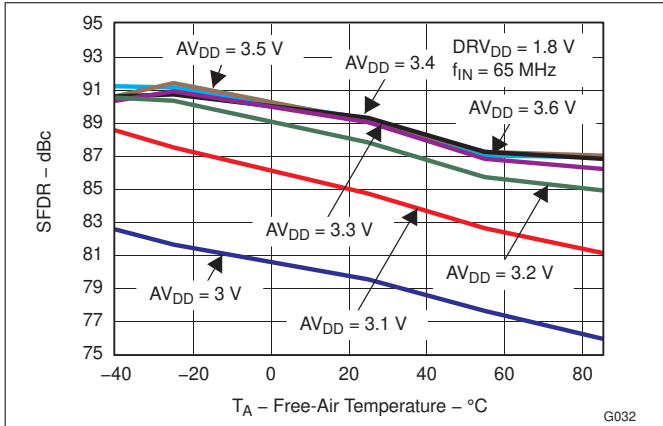


图 5-36. SFDR 与温度和 AVDD 间的关系

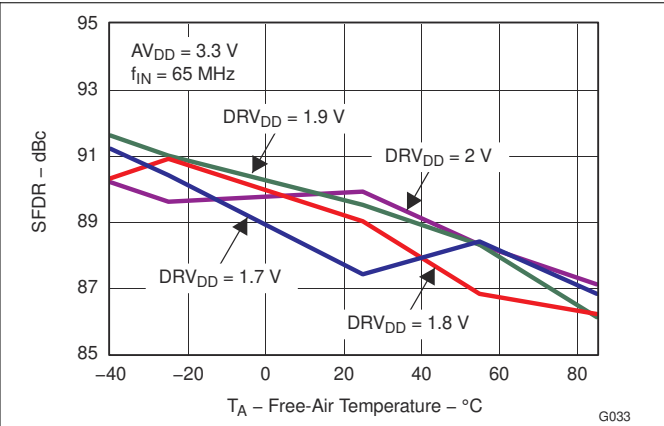


图 5-37. SFDR 与温度和 DRVDD 间的关系

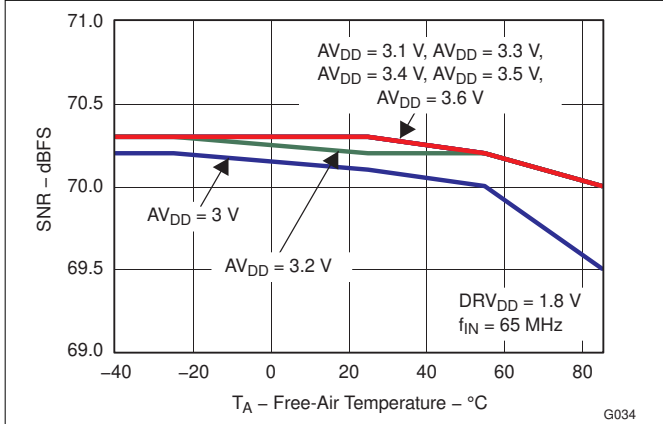


图 5-38. SNR 与温度和 AVDD 间的关系

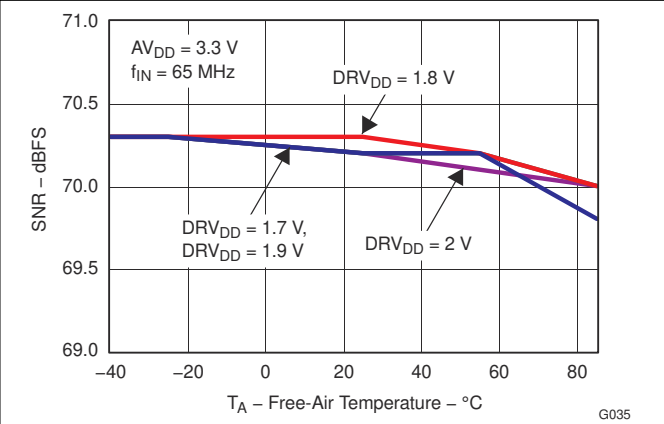


图 5-39. SNR 与温度和 DRVDD 间的关系

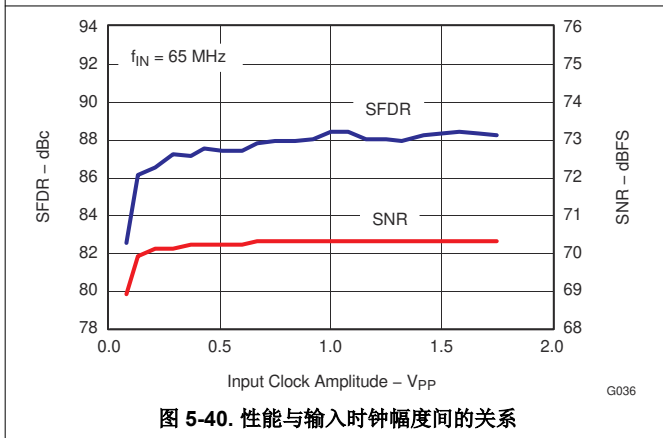


图 5-40. 性能与输入时钟幅度间的关系

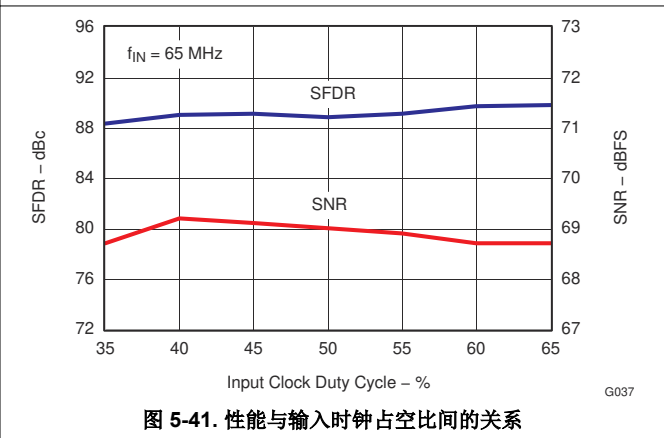


图 5-41. 性能与输入时钟占空比间的关系

5.9 典型特性 - ADS61B29 (续)

所有图均为以下测量条件：25°C，AVDD = 3.3V，DRVDD = 1.8V，最大额定采样频率，正弦波输入时钟。1.5V_{PP} 差分时钟振幅，50% 时钟占空比，-1DBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）

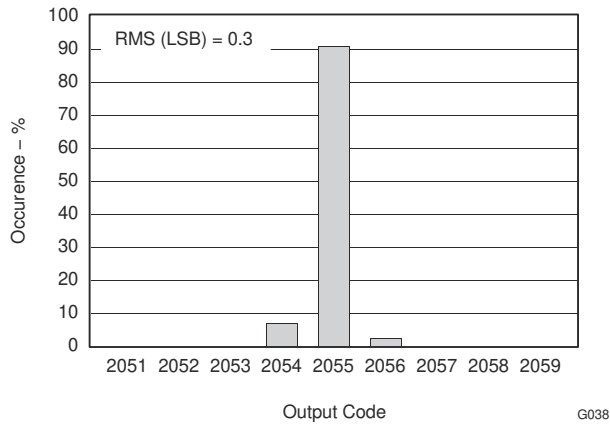
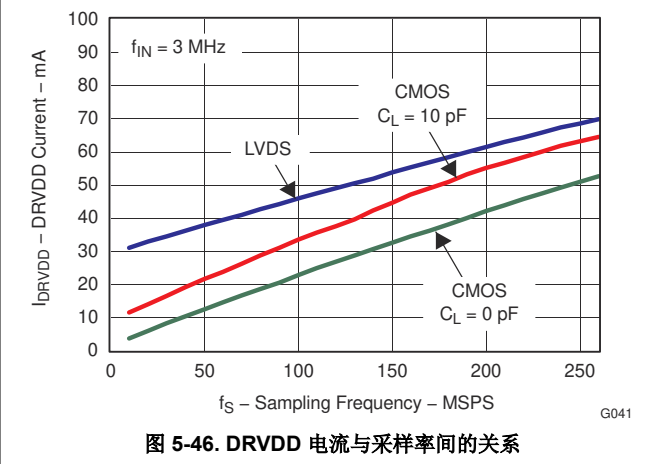
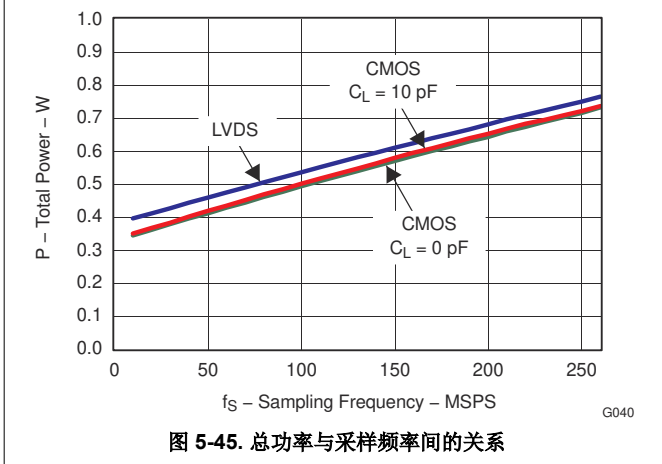
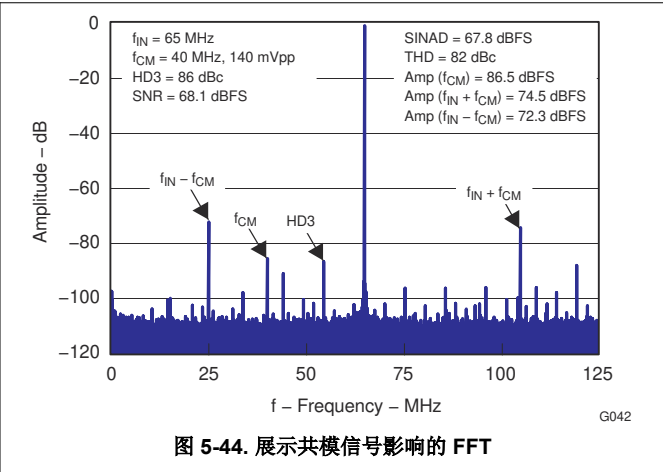
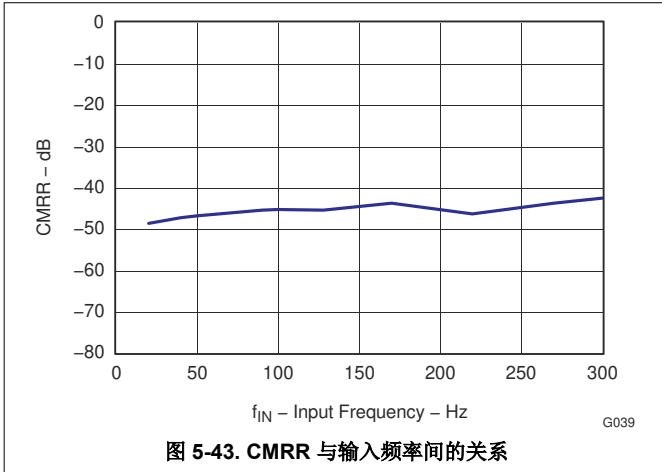


图 5-42. 输出噪声柱状图

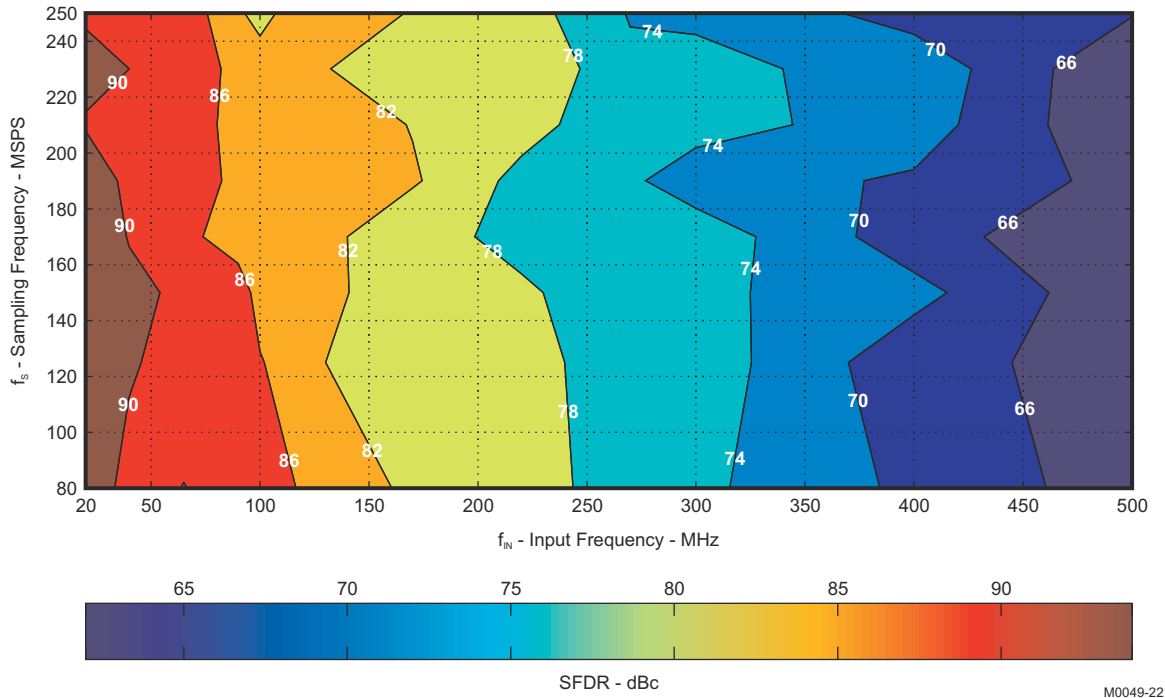
5.10 典型特性 — 通用图 (ADS61B49/61B29 均适用)

所有图均为以下测量条件：25°C，AVDD = 3.3V，DRVDD = 1.8V，最大额定采样频率，正弦波输入时钟。1.5V_{pp} 差分时钟振幅，50% 时钟占空比，-1DBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口 (除非另有说明)



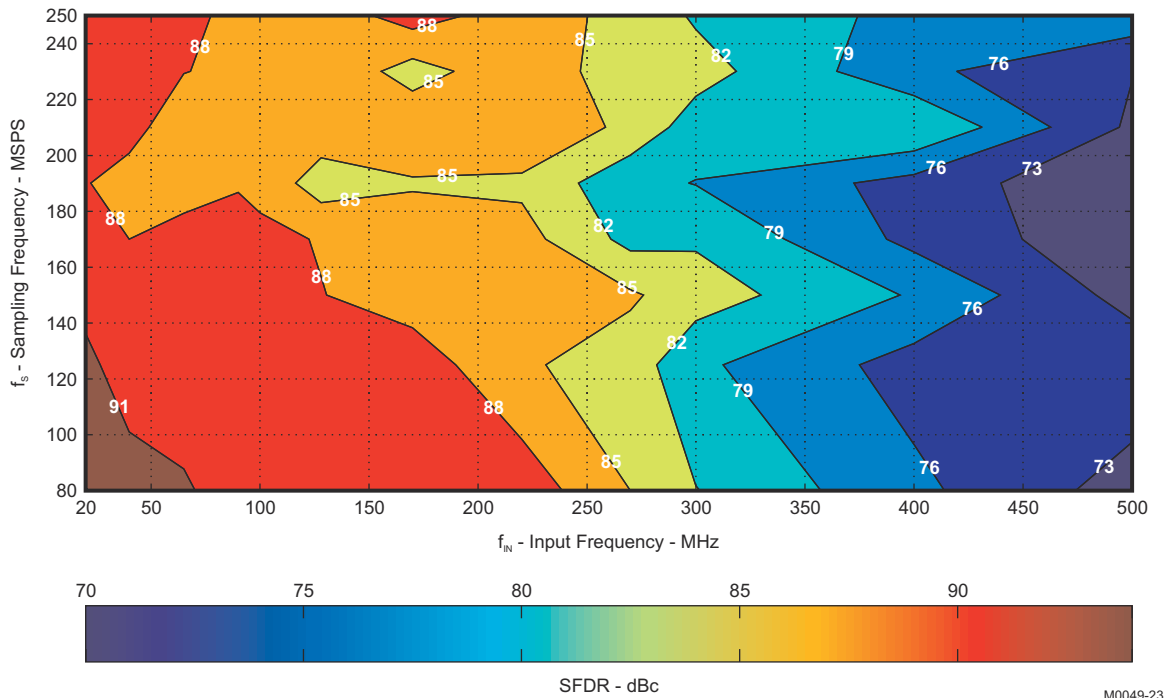
5.11 等值线图 — ADS61B49/ADS61B29

图中测量条件为：25°C，AVDD = 3.3V，DRVDD = 1.8V，正弦波输入时钟，1.5V_{PP} 差分时钟振幅，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）



M0049-22

图 5-47. SFDR 等值线图 (0dB 增益)



M0049-23

图 5-48. SFDR 等值线图 (6dB 增益)

5.12 等值线图 — ADS61B49

图中测量条件为：25°C，AVDD = 3.3V，DRVDD = 1.8V，正弦波输入时钟，1.5V_{pp} 差分时钟振幅，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）

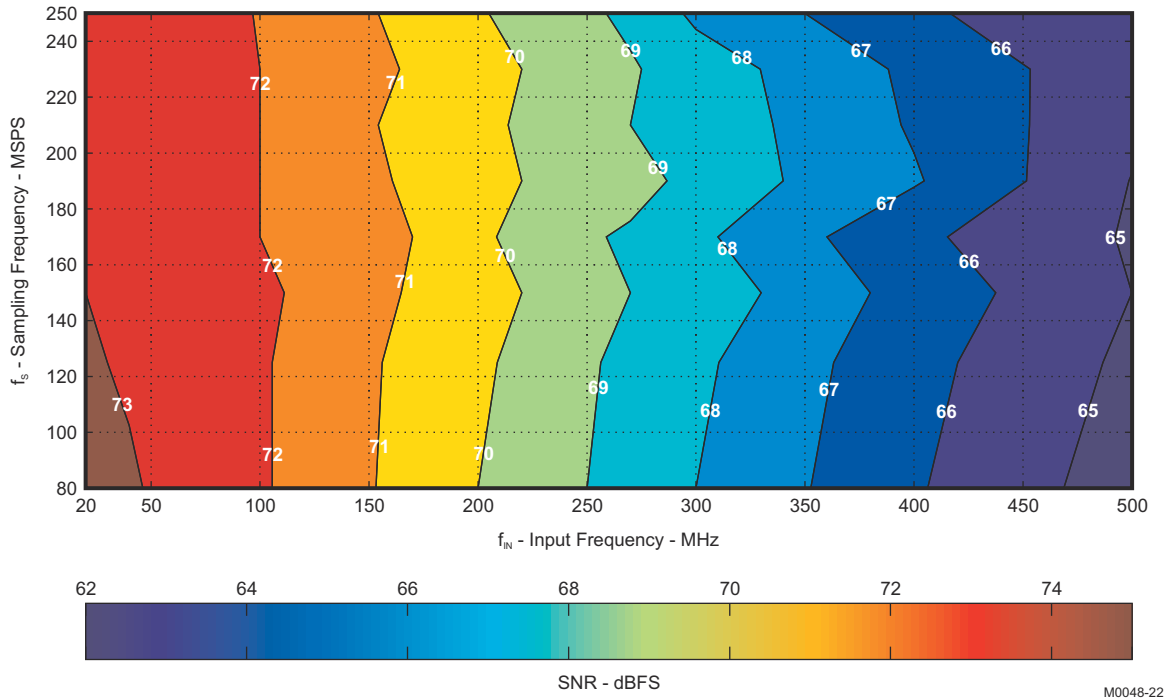


图 5-49. SNR 等值线图 (0dB 增益)

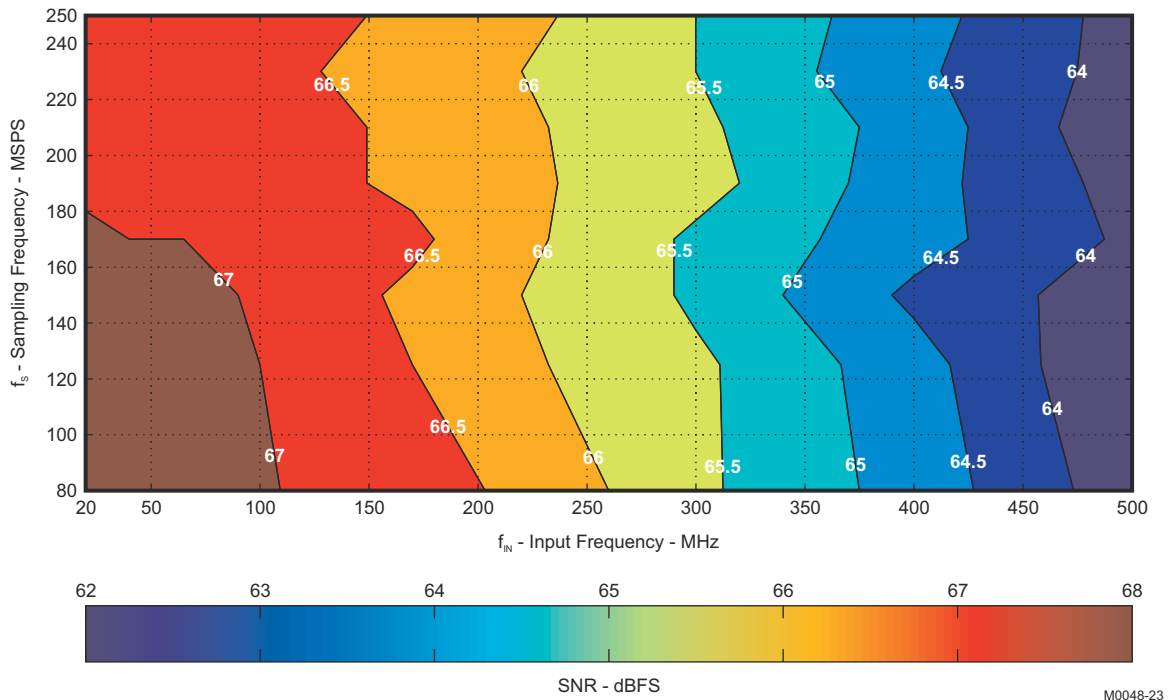
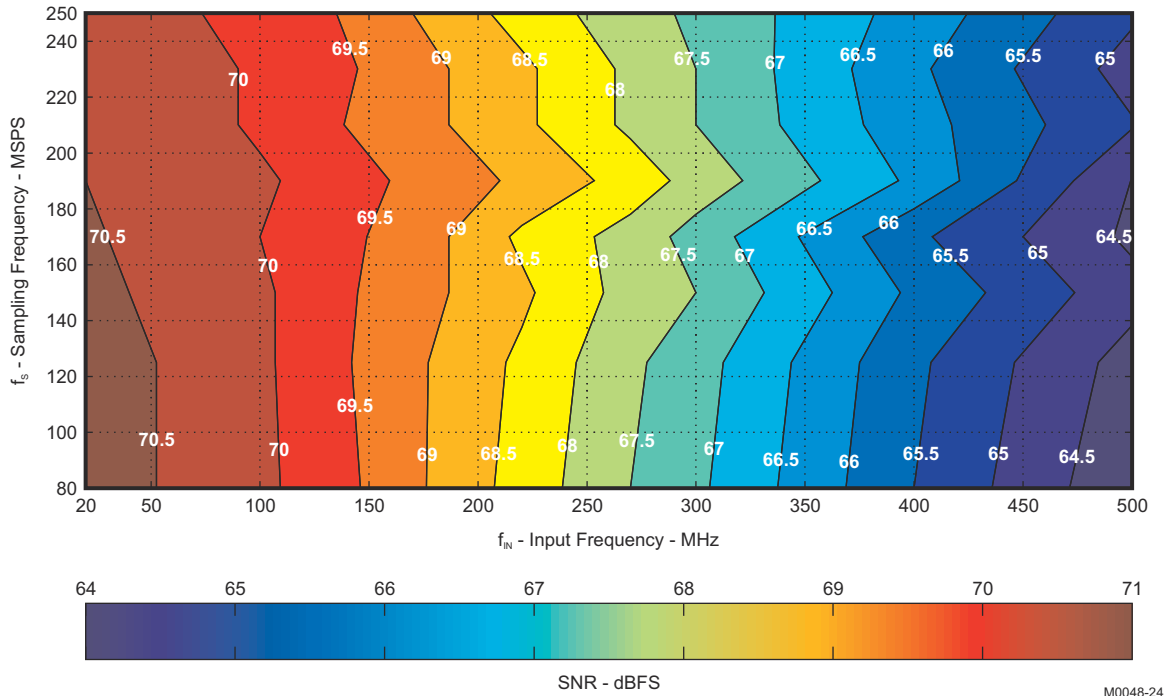


图 5-50. SNR 等值线图 (6dB 增益)

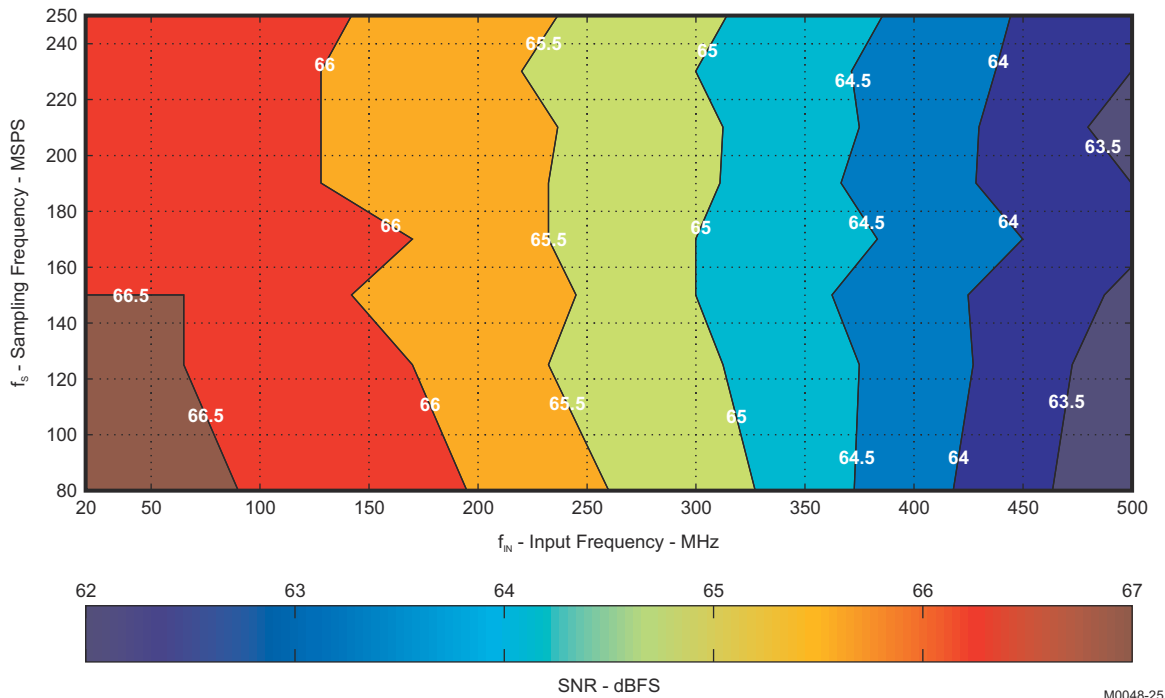
5.13 等值线图 — ADS61B29

图中测量条件为：25°C，AVDD = 3.3V，DRVDD = 1.8V，正弦波输入时钟，1.5V_{pp} 差分时钟振幅，50% 时钟占空比，-1dBFS 差分模拟输入，内部基准模式，0dB 增益，LVDS 输出接口（除非另有说明）



M0048-24

图 5-51. SNR 等值线图 (0dB 增益)



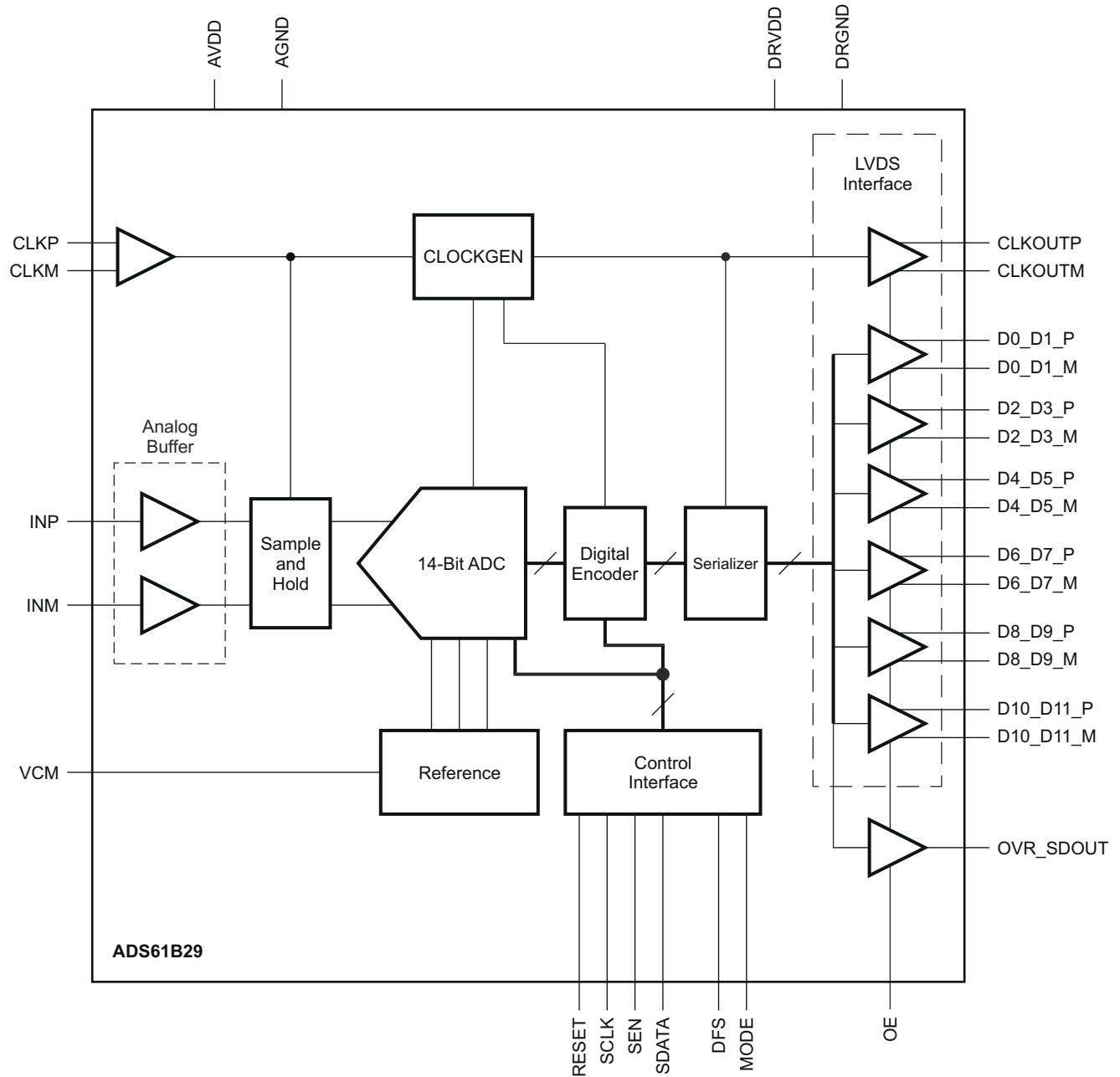
M0048-25

图 5-52. SNR 等值线图 (6dB 增益)

6 详细说明

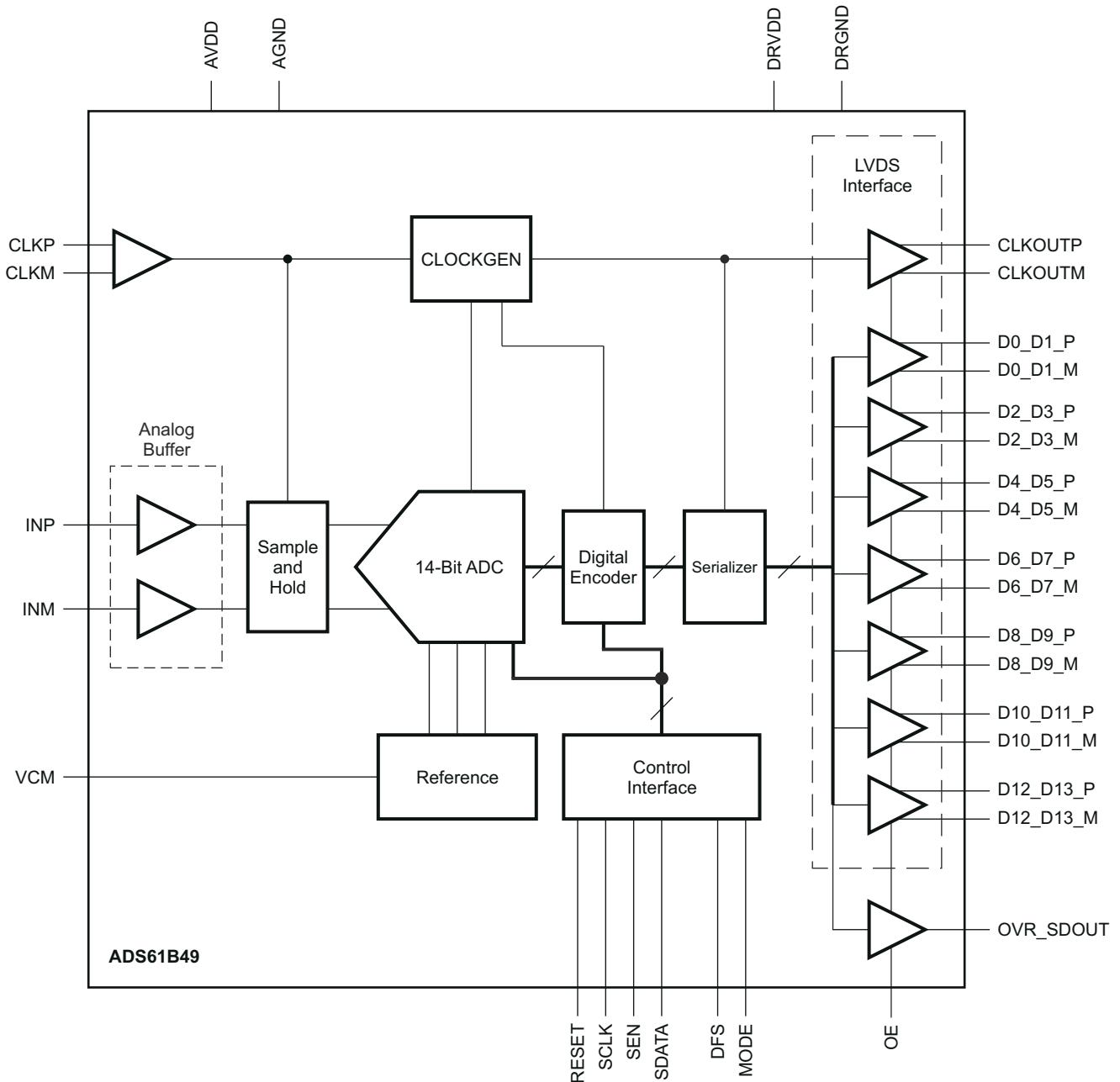
6.1 功能方框图

6.1.1 ADS61B29 方框图



B0095-09

6.1.2 ADS61B49 方框图



B0095-08

6.2 特性说明

6.2.1 器件配置

使用并行接口控制或串行接口编程可以独立配置 ADS61B49/29。

6.2.2 仅限并行配置

要将器件置于并行配置模式，请将 RESET 保持连接至高电平 (DRVDD)。

现在，引脚 DFS、MODE、SEN 和 SDATA 可用于直接控制 ADC 的某些模式。通过将并行引脚连接到正确的电压电平（如表 6-3 至表 6-6 所述），可以轻松配置该器件。无需应用复位。

在该模式下，SEN 和 SDATA 用作并行接口控制引脚。在该模式下可以控制常用功能：待机、LVDS/CMOS 输出格式选择、二进制补码/直接二进制输出格式，以及输出时钟边沿的位置。

表 6-1 简要介绍了并行引脚控制的模式。

表 6-1. 并行引脚功能

引脚	控制类型	控制模式
DFS	模拟	数据格式和 LVDS/CMOS 输出接口。
模式	模拟	在 ADS61B49/B29 中，不支持外部基准。因此，在 ADS6149/29 系列中 MODE 引脚之前的用途与 ADS61B49/B29 系列不同。在下一代引脚兼容的 ADC 系列中，MODE 转换为数字控制引脚以实现某些保留功能。MODE 引脚可布线到数字控制器，以便将来可迁移到下一代 ADC。
SEN	模拟	CLKOUT 边沿可编程性。
SDATA	数字	全局断电 (ADC、内部基准和输出缓冲器均断电)

6.2.3 仅串行接口配置

要使用此模式，首先必须将串行寄存器复位为其默认值，并且 RESET 引脚必须保持低电平。

SEN、SDATA 和 SCLK 在此模式下用作串行接口引脚，可用于访问 ADC 的内部寄存器。

可以通过在 RESET 引脚上施加脉冲或通过 <RESET> 位 (寄存器 0x00 中的 D7) 置为高电平来复位该寄存器。串行接口部分更详细地介绍了寄存器编程和寄存器复位。

由于在此模式下不使用并行引脚 DFS，因此必须将其接地。

6.2.4 同时使用串行接口和并行控制的配置

为了提高灵活性，还支持一种额外的配置模式。在该模式下，可以使用串行接口寄存器和并行引脚控制 (DFS) 的组合来配置器件。

要使用此模式，必须将串行寄存器复位为其默认值，并且 RESET 引脚必须保持低电平。

SEN、SDATA 和 SCLK 在此模式下用作串行接口引脚，可用于访问 ADC 的内部寄存器。可以通过在 RESET 引脚上施加脉冲或通过 <RESET> 位 (寄存器 0x00 中的 D7) 置为高电平来复位该寄存器。串行接口部分更详细地介绍了寄存器编程和寄存器复位。

可以使用并行接口控制引脚 DFS，其功能由表 6-3 中所述的相应电压电平确定。通过使用电阻器串可以轻松得出电压电平，如图 6-1 显示的示例所示。

由于某些功能可以同时使用并行引脚和串行寄存器进行控制，因此两者之间的优先级由表 6-2 中列出的优先级表确定。

表 6-2. 并行引脚与串行寄存器之间的优先级

功能	优先级
内部/外部基准 (未使用)	此器件中不使用 MODE (ADS6149 的旧版本, 未来系列可能会重新定义此引脚)
数据格式选择	仅当寄存器位 <DATA FORMAT> = 00 时, DFS 引脚才会控制该选择, 否则 <DATA FORMAT> 控制该选择
LVDS 或 CMOS 接口选择	仅当寄存器位 <LVDS CMOS> = 00 时, DFS 引脚才会控制该选择, 否则 <LVDS CMOS> 控制该选择

6.2.5 并行引脚说明

表 6-3. SDATA — 数字控制引脚

SDATA	说明
0	正常运行 (默认)
AVDD	全局断电。ADC、内部基准和输出缓冲器均断电。

表 6-4. SEN — 模拟控制引脚

SEN	说明 — 输出时钟边沿可编程性 ⁽¹⁾
0	LVDS: 数据和输出时钟转换对齐 CMOS: 建立时间增加 (6xT _s /26), 保持时间减少 (6xT _s /26)
(3/8)AVDD	LVDS: 建立时间减少 (4xT _s /26), 保持时间增加 (4xT _s /26) CMOS: 建立时间增加 (9xT _s /26), 保持时间减少 (9xT _s /26)
(5/8)AVDD	LVDS: 建立时间增加 (4xT _s /26), 保持时间减少 (4xT _s /26) CMOS: 建立时间增加 (3xT _s /26), 保持时间减少 (3xT _s /26)
AVDD	默认输出时钟位置 (时序特性表中指定了输出数据相对于该时钟位置的建立/保持时序)。

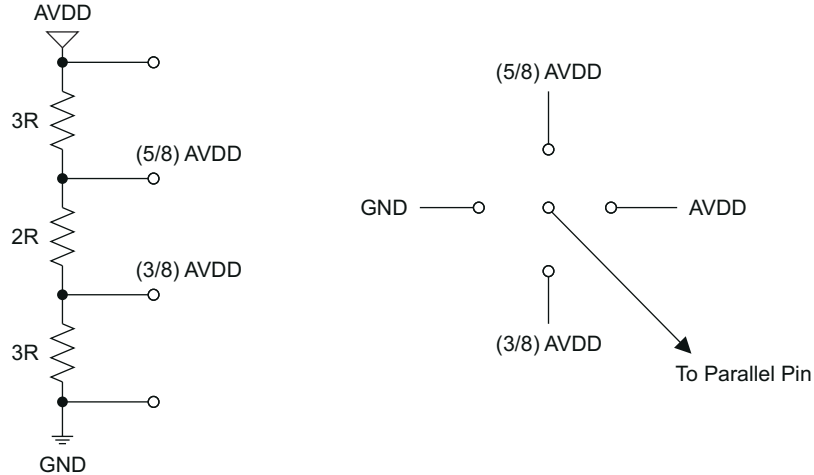
(1) T_s = 1/采样频率

表 6-5. DFS — 模拟控制引脚

DFS	说明
0	二进制补码数据和 DDR LVDS 输出
(3/8)AVDD	二进制补码数据和并行 CMOS 输出
(5/8)AVDD	偏移二进制数据和并行 CMOS 输出
AVDD	偏移二进制数据和 DDR LVDS 输出

表 6-6. MODE — 模拟控制引脚

模式	说明
未使用	在 ADS61B49/B29 中, 不支持外部基准。因此, 在 ADS6149/29 系列中 MODE 引脚之前的用途与 ADS61B49/B29 系列不同。在下一代引脚兼容的 ADC 系列中, MODE 转换可能成为数字控制引脚以实现某些保留功能。MODE 引脚可布线到数字控制器, 以便将来可迁移到下一代 ADC。



S0321-01

图 6-1. 配置并行引脚 SEN 和 SCLK 的简单方案

6.2.6 串行接口

该 ADC 具有一组内部寄存器, 这些寄存器可以通过引脚 SEN (串行接口使能)、SCLK (串行接口时钟) 和 SDATA (串行接口数据) 构成的串行接口进行访问。

当 SEN 为低电平时, 支持将位串行移入器件中。当 SEN 处于有效 (低电平) 状态时, 串行数据 SDATA 在每个 SCLK 上升沿锁存。当 SEN 为低电平时, 串行数据在每 16 个 SCLK 下降沿加载到寄存器中。如果字长超过 16 位的倍数, 超出的位会被忽略。数据可以在单个有效 SEN 脉冲内, 以 16 位字的整数倍加载。

前 8 位组成寄存器地址, 其余 8 位是寄存器数据。该接口可以在从 20MHz 到极低速 (几赫兹) 的 SCLK 频率下工作, 并且还可以在非 50% 的 SCLK 占空比下工作。

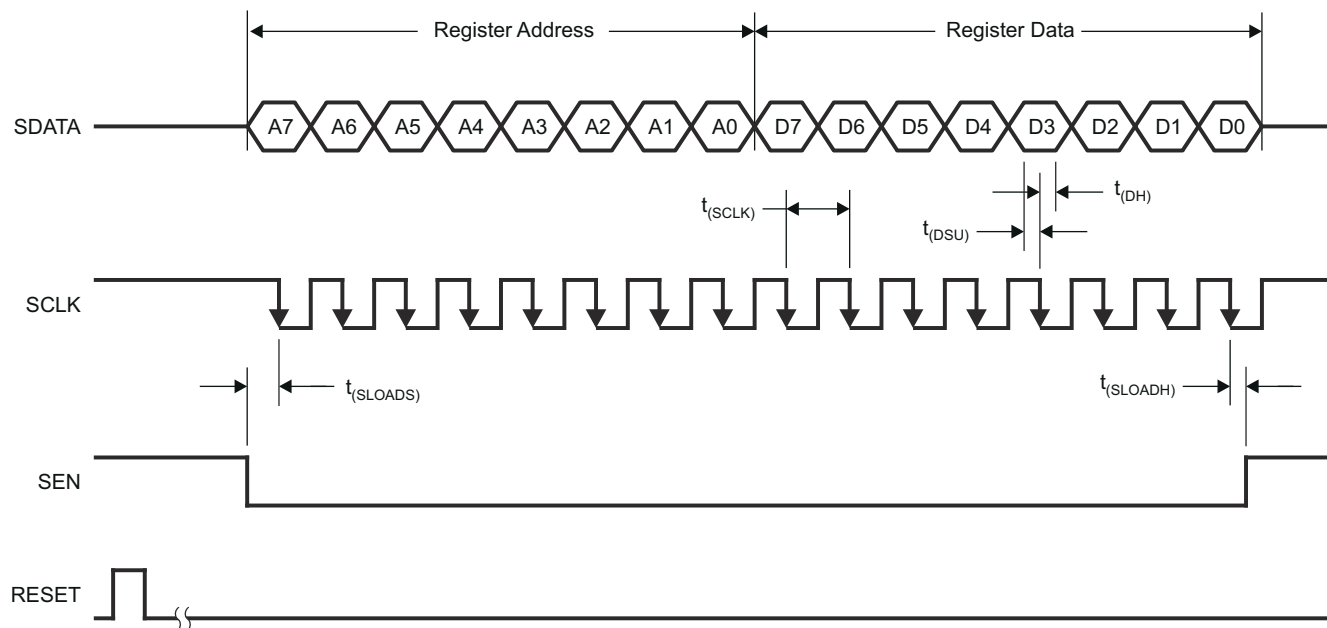
6.2.6.1 寄存器初始化

上电后, 内部寄存器必须初始化为其默认值。此功能可以通过两种方法之一完成:

1. 通过硬件复位, 即通过在 RESET 引脚 (宽度大于 10ns) 上施加一个高电平脉冲, 如图 6-2 所示。

或

2. 应用软件复位。使用串行接口时, 将 <RESET> 位 (寄存器 0x00 中的 D7) 置为高电平。这会将内部寄存器初始化为默认值, 然后将 <RESET> 位自行复位为低电平。在这种情况下, RESET 引脚会保持低电平。



T0109-01

图 6-2. 串行接口时序

6.2.7 串行接口时序特性

典型值测量条件为：25°C，最小值和最大值对应整个温度范围

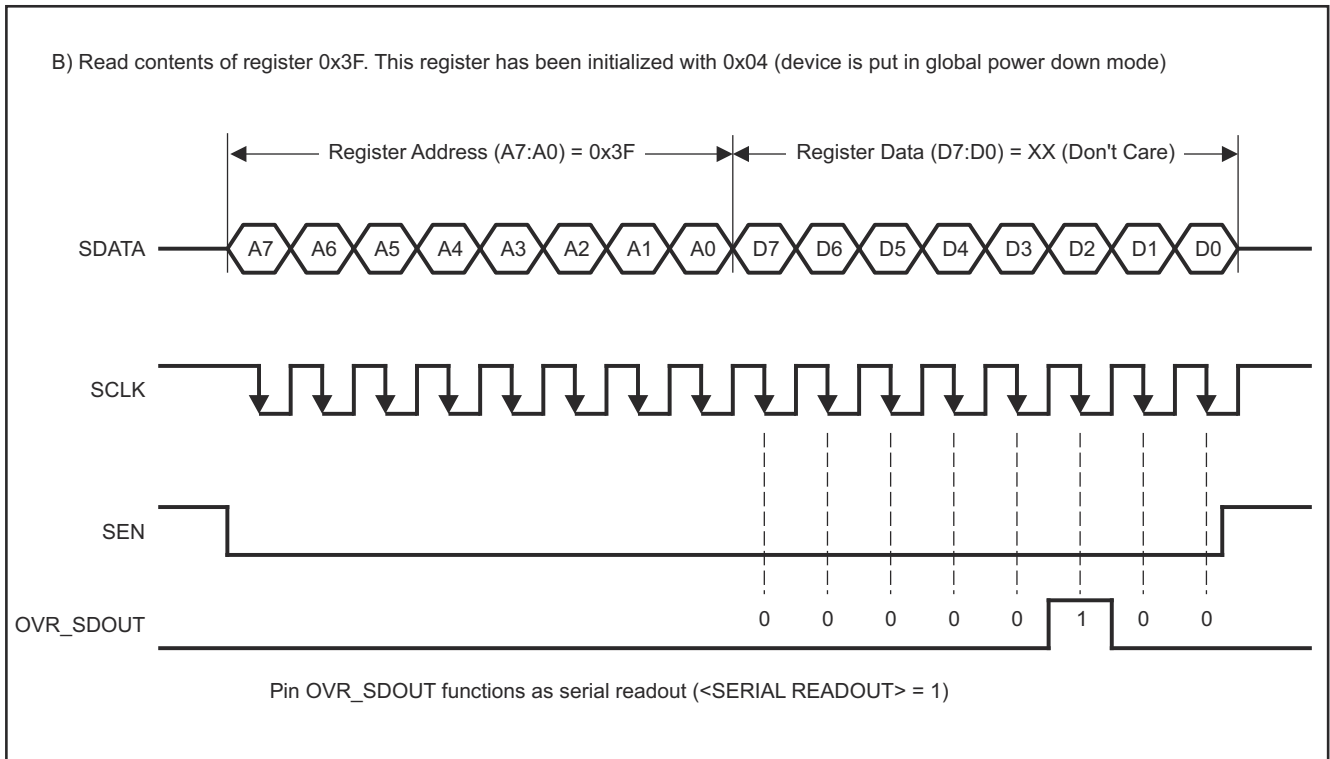
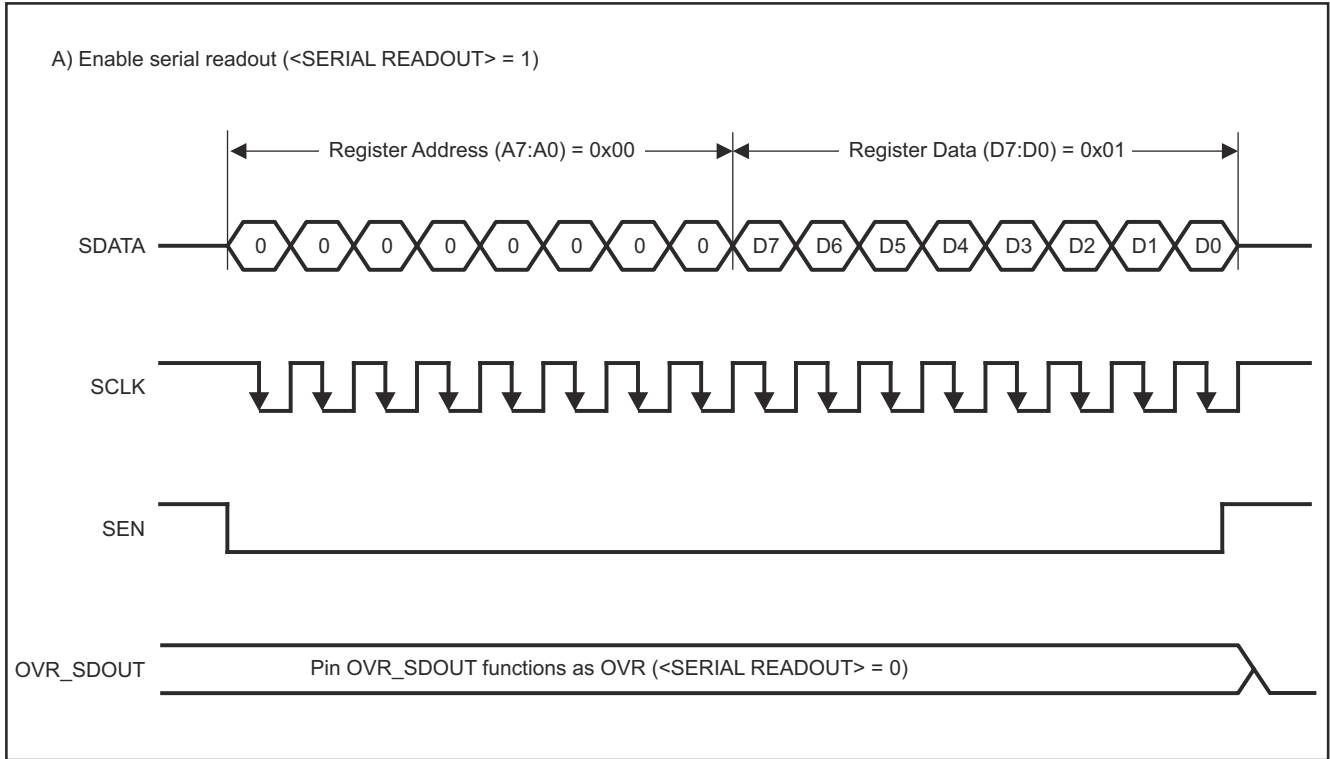
$T_{MIN} = -40^{\circ}C$ 至 $T_{MAX} = 85^{\circ}C$ ， $AVDD = 3.3V$ ， $DRVDD = 1.8V$ (除非另有说明)。

参数		最小值	典型值	最大值	单位
f_{SCLK}	SCLK 频率 (= $1/t_{SCLK}$)	> dc		20	MHz
t_{SLOADS}	SEN 至 SCLK 设置时间	25			ns
t_{SLOADH}	SCLK 至 SEN 保持时间	25			ns
t_{DS}	SDATA 设置时间	25			ns
t_{DH}	SDATA 保持时间	25			ns

6.2.8 串行寄存器读数

该器件包含可回读内部寄存器内容的选项。此模式可用作诊断检查，以验证外部控制器和 ADC 之间的串行接口通信。

1. 首先，将寄存器位 <SERIAL READOUT> 置为 1。这还会禁用对该寄存器的任何进一步写入 (寄存器位 <SERIAL READOUT> 本身除外)。
2. 启动串行接口周期，指定必须读取其内容的寄存器的地址 (A7-A0)。
3. 器件在 OVR_SDOUT 引脚上输出所选寄存器的内容 (D7-D0)。
4. 外部控制器可以在 SCLK 的下降沿锁存内容。
5. 要启用寄存器写入，请将寄存器位 <SERIAL READOUT> 置为 0。



T0386-01

图 6-3. 串行读数

6.2.9 复位时序

典型值测量条件为：25°C，最小值和最大值对应整个温度范围

T_{MIN} = -40°C 至 T_{MAX} = 85°C (除非另有说明)。

参数	测试条件	最小值	典型值	最大值	单位
t ₁ 上电延迟时间	从 AVDD 和 DRVDD 上电到 RESET 脉冲有效的延迟		1		ms
t ₂ 复位脉冲宽度	复位串行寄存器的有效 RESET 信号的脉冲宽度	10			ns
				1	μs
t ₃ 延迟时间	从 RESET 禁用到 SEN 有效的延迟	100			ns

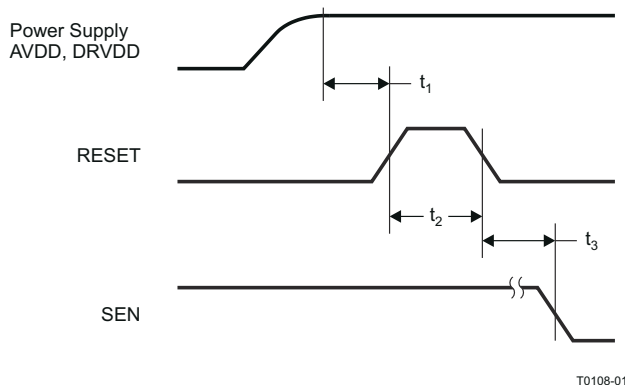


图 6-4. 复位时序图

6.3 串行寄存器映射

表 6-7. 串行接口支持的功能汇总

寄存器地址	寄存器功能 ⁽¹⁾								
	D7	D6	D5	D4	D3	D2	D1	D0	
A7 - A0 (十六进制)									
00	<RESET> 软件复位	0	0	0	0	0	0	<SERIAL READOUT>	
20	0	0	0	0	0	<ENABLE LOW SPEED MODE>	0	0	
3F	0	<REF> (保留)			0	0	<PDN GLOBAL>	<STANDBY>	<PDN OBUF>
41	<LVDS CMOS> 输出接口			0	0	0	0	0	
44	<CLKOUT POSN> 输出时钟位置控制						0	0	
50	0	0	0	0	0	<DATA FORMAT> 二进制补码或偏移二进制		0	
51	<CUSTOM PATTERN LOW>								
52	0	0	<CUSTOM PATTERN HIGH>						
53	0	<ENABLE OFFSET CORR>	0	0	0	0	0	0	
55	<FINE GAIN >				<OFFSET CORR TIME CONSTANT> 偏移校正时间常数				
62	0	0	0	0	0	<TEST PATTERNS>			
63	0	0	<PROGRAM OFFSET PEDESTAL >						

(1) 在一次写入操作中，可以对寄存器中的多个功能进行编程。

6.3.1 串行寄存器说明

A)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
00	<RESET> 软件复位	0	0	0	0	0	0	<SERIAL READOUT>

- D7 <RESET>**
1 已应用软件复位：复位所有内部寄存器并自行清除为 0。
- D0 <SERIAL READOUT>**
0 禁用串行读取
1 使能串行读取，引脚 OVR_SDOOUT 用作串行数据读取。

B)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
20	0	0	0	0	0	<ENABLE LOW SPEED MODE>	0	0

- D2 <ENABLE LOW SPEED MODE>**
0 低速模式已禁用。用于采样频率大于 80MSPS
1 采样频率 ≤ 80MSPS 时，使能低速模式。

C)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
3F	0	<REF> (保留)		0	0	<PDN GLOBAL>	<STANDBY>	<PDN OBUF>

- D6、D5 <REF> 保留 (未使用)**
在 ADS61B49/61B29 中，不支持外部基准模式。如果需要外部基准，请参阅 ADS6149/6129 不带缓冲器的 ADC。该寄存器控制这些器件中的基准模式。
- D2 <PDN GLOBAL>**
0 正常运行
1 总断电 — ADC、内部基准和输出缓冲器均断电。唤醒时间较长。
- D1 <STANDBY>**
0 正常运行
1 仅 ADC 断电。内部基准，输出缓冲器处于活动状态。唤醒时间较短
- D0 <PDN OBUF> 断电输出缓冲器**
0 输出缓冲器已使能
1 输出缓冲器已断电

D)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
41	<LVDS CMOS>		0	0	0	0	0	0

- D7、D6 <LVDS CMOS>**

ADS61B29, ADS61B49

ZHDS251C - OCTOBER 2008 - REVISED MAY 2026

- 00 DFS 引脚控制 LVDS 或 CMOS 接口选择
- 10 DDR LVDS 接口
- 11 并行 CMOS 接口

E)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
44	<CLKOUT POSN> 输出时钟位置控制						0	0

LVDS 接口
D7-D5 <CLKOUT POSN> 输出时钟上升沿位置

- 000 默认输出时钟位置 (请参阅时序规格表)
- 100 默认输出时钟位置 (请参阅时序规格表)
- 101 上升沿移位 + (4/26) T_s
- 110 上升沿与数据转换对齐
- 111 上升沿移位 - (4/26) T_s

D4-D2 <CLKOUT POSN> 输出时钟下降沿位置

- 000 默认输出时钟位置 (请参阅时序规格表)
- 100 默认输出时钟位置 (请参阅时序规格表)
- 101 下降沿移位 + (4/26) T_s
- 110 下降沿与数据转换对齐
- 111 下降沿移位 - (4/26) T_s

CMOS 接口
D7-D5 <CLKOUT POSN> 输出时钟上升沿位置

- 000 默认输出时钟位置 (请参阅时序规格表)
- 100 默认输出时钟位置 (请参阅时序规格表)
- 101 上升沿移位 + (4/26) T_s
- 110 上升沿移位 + (6/26) T_s
- 111 上升沿与数据转换对齐

D4-D2 <CLKOUT POSN> 输出时钟下降沿位置

- 000 默认输出时钟位置 (请参阅时序规格表)
- 100 默认输出时钟位置 (请参阅时序规格表)
- 101 下降沿移位 + (4/26) T_s
- 110 下降沿移位 + (6/26) T_s
- 111 下降沿与数据转换对齐

F)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
50	0	0	0	0	0	<DATA FORMAT> 二进制补码 或偏移二进制		0

D2、D1 <DATA FORMAT>

- 00 DFS 引脚控制数据格式选择
- 10 二进制补码

11 偏移二进制

G)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
51	<Custom LOW>							
52	<Custom HIGH>							

D7 - D0 <CUSTOM LOW>

输出端提供自定义图案低 8 位，而不是 ADC 数据。

D5 - D0 <CUSTOM HIGH>

输出端提供自定义图案高 6 位，而不是 ADC 数据

H)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
53	0	<ENABLE OFFSET CORR> 偏移校正使能	0	0	0	0	0	0

D6 <ENABLE OFFSET CORR>

- 0 禁用偏移校正
- 1 使能偏移校正

I)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
55	<FINE GAIN>				<OFFSET CORR TC> 偏移校正时间常数			

D7 - D4 <FINE GAIN> 增益可编程性 (步长为 0.5dB)

- 0000 0dB 增益 (复位后默认值)
- 0001 0.5dB 增益
- 0010 1.0dB 增益
- 0011 1.5dB 增益
- 0100 2.0dB 增益
- 0101 2.5dB 增益
- 0110 3.0dB 增益
- 0111 3.5dB 增益
- 1000 4.0dB 增益
- 1001 4.5dB 增益
- 1010 5.0dB 增益
- 1011 5.5dB 增益
- 1100 6.0dB 增益

D3 - D0 <OFFSET CORR TC> 校正环路的时间常数 (以时钟周期数表示)。请参阅应用部分中的 偏移校正。

- 0000 256 k
- 0001 512 k
- 0010 1 M
- 0011 2M
- 0100 4 M

ADS61B29, ADS61B49ZHDS251C - OCTOBER 2008 - REVISED MAY 2026

0101	8 M
0110	16 M
0111	32 M
1000	64 M
1001	128 M
1010	256 M
1011	512 M
1100 至 1111	保留

J)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
62	0	0	0	0	0	<TEST PATTERNS>		

D2 - D0 <TEST PATTERNS> 用于验证数据采集的测试图案

- 000 正常运行
- 001 输出全部为零
- 010 输出全部为一
- 011 输出交替图案
- 100 输出数字斜坡
- 101 输出自定义图案
- 110 未使用
- 111 未使用

K)

A7 - A0 (十六进制)	D7	D6	D5	D4	D3	D2	D1	D0
63	0	0	<OFFSET PEDESTAL>					

D5 - D0 <OFFSET PEDESTAL> 使能偏移校正后，偏移校正后的最终收敛值为 ADC 中间码值。

通过对这些位进行编程，可以为最终收敛值添加一个基准值。例如，请参阅应用部分中的 *偏移校正*。

- 011111 中间码 + 31LSB
- 011110 中间码 + 30LSB
- 011101 中间码 + 29LSB
-
- 000000 中间码
- 111111 中间码 - 1LSB
- 111110 中间码 - 2LSB
-
- 100000 中间码 - 32LSB

7 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 工作原理

ADS61B49/29 是高性能、低功耗 14 位和 12 位模数转换器，最大采样率高达 250MSPS。与 ADS6149/29 的主要区别在于增加了集成式模拟缓冲器（因此器件名称中包含 B）。

转换过程由外部输入时钟的上升沿启动，并对模拟输入信号进行采样。采样信号由一系列小分辨率级按顺序转换，输出合并在一个数字校正逻辑块中。在每个时钟边沿，样本通过流水线传播，产生的数据延迟为 18 个时钟周期。该输出可作为 14 位/12 位数据（在 DDR LVDS 或 CMOS 中）提供，并以直接偏移二进制或二进制补码格式编码。

在性能表现不佳之前，第一级子 ADC 的动态偏移会将最大模拟输入频率限制在约 500MHz（振幅为 2Vpp）和约 800MHz（振幅为 1Vpp）。此功能独立于 750MHz 的全功率模拟带宽，后者只是信号振幅与频率间关系的指标。

7.1.2 模拟输入

模拟输入由一个集成式输入缓冲器，后跟一个基于开关电容器的差分采样保持架构组成。通过添加缓冲器，可以隔离开关电容器电路的非线性阻抗和开关瞬态。在输入阻抗恒定的情况下，ADC 更易于驱动和重现数据表测量值。对于功率放大器线性化等宽带应用，信号增益在整个频率范围内更加一致。频率范围内的频谱性能差异也会减少。

这种差分拓扑即使在高采样速率下具有高输入频率时，也能实现非常好的交流性能。INP 和 INM 引脚必须围绕 VCM 引脚上提供的 2.3V 共模电压从外部偏置。对于满量程差分输入，每个输入引脚 INP、INM 必须在 VCM + 0.5V 和 VCM - 0.5V 之间对称摆动，从而产生 2V_{pp} 差分输入摆幅。

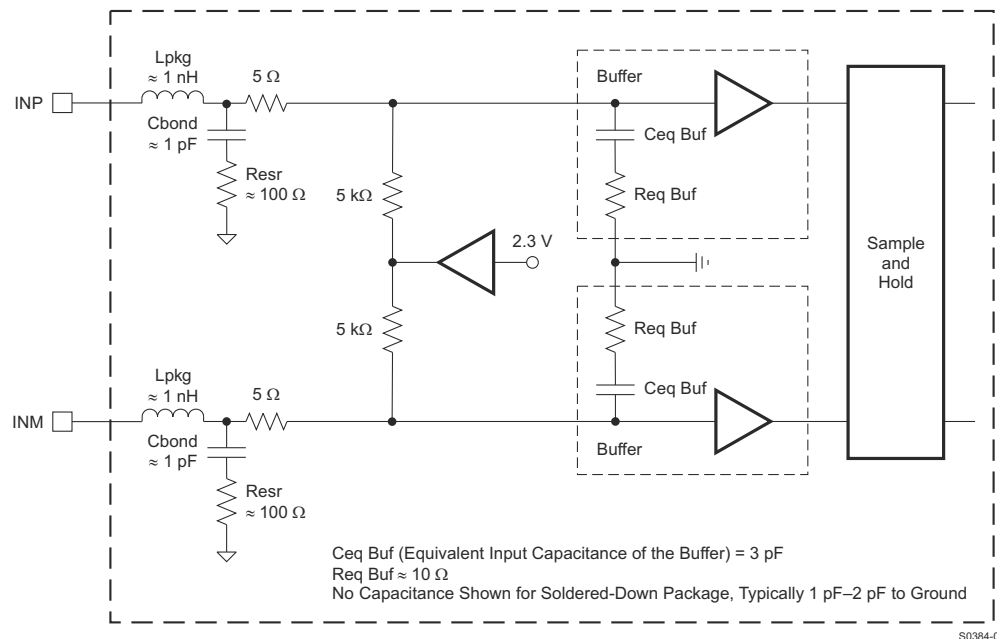


图 7-1. 模拟输入等效电路

输入采样电路具有扩展至高达 750MHz 的 3dB 高带宽（从输入引脚到采样电压测得）。

7.1.2.1 驱动电路要求

为获得出色性能，必须以差分方式驱动模拟输入。这可以提高共模噪声抗扰度并增强偶次谐波抑制能力。建议在每个输入引脚上串联一个 $5\ \Omega$ 电阻器来抑制由封装寄生效应引起的振铃。

由于 ADS61B49/29 系列中集成了高阻抗缓冲器，因此无需使用建议用于 ADS6149/29 系列的外部 R-C-R 滤波器滤除干扰。驱动电路可能必须设计为在所需频率范围内提供低插入损耗，并使阻抗与源端匹配。在此过程中，必须考虑 ADC 输入阻抗。图 7-2 和图 7-3 显示了从 ADC 输入引脚观察到的阻抗 ($Z_{IN} = R_{IN} \parallel C_{IN}$)。这些图比较了带缓冲器的 ADS61B49 与不带缓冲器的 ADS6149。

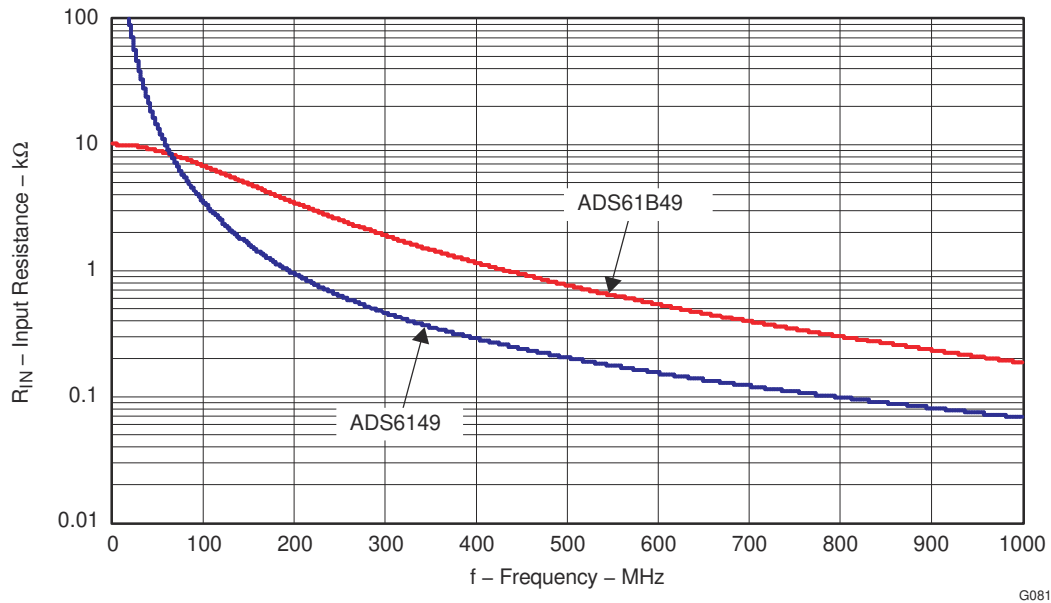


图 7-2. 不同频率的 ADC 模拟输入电阻

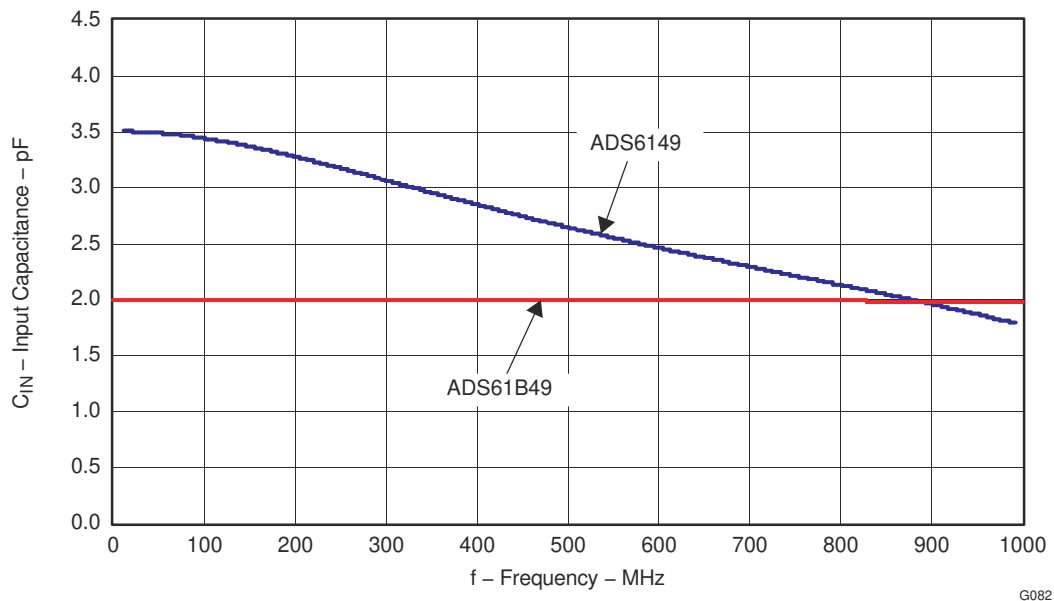


图 7-3. 不同频率的 ADC 模拟输入电容

7.1.2.2 驱动电路

图 7-4 和图 7-5 展示了两种驱动电路配置示例：一种针对低输入频率进行优化，另一种针对高输入频率进行优化。请注意，与非缓冲 ADS6149 相比，这两种情况下的电路板电路均已简化。在图 7-4 中，使用了单变压器，适用于低输入频率，也适用于某些高频应用。为了优化高输入频率（大于第二奈奎斯特频率）下的偶谐波性能，建议使用背对背变压器（请参阅图 7-5）。

请注意，两个驱动电路都在 ADC 侧附近端接 $50\ \Omega$ 电阻。交流耦合电容器允许模拟输入在所需的共模电压附近进行自偏置。

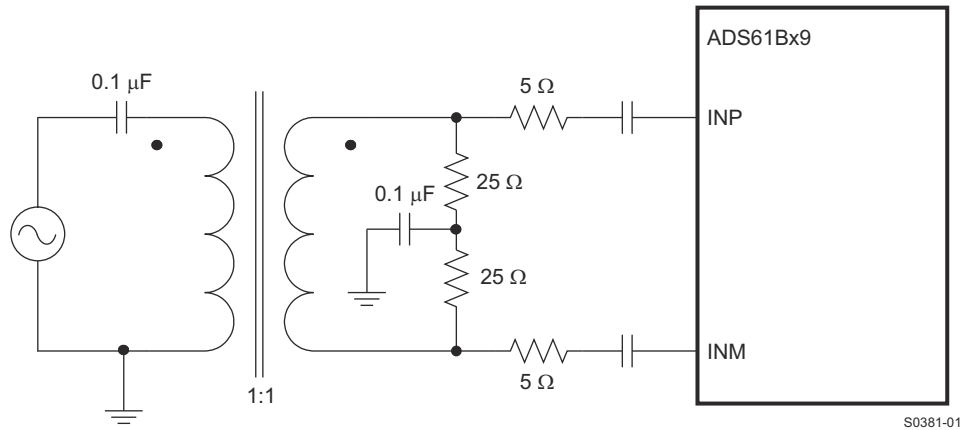


图 7-4. 低频驱动电路

变压器寄生电容（绕组之间）的不匹配会导致偶次谐波性能降低。背对背连接两个完全相同的射频变压器有助于更大限度地减少这种不匹配，并为高频输入信号提供良好的性能。如图所示，两个变压器之间可能需要一个额外的端接电阻对。该端接电阻的中心点接地，以改善 P 侧和 M 侧之间的平衡。必须选择变压器之间和次级侧的端接电阻值，以实现有效的 $50\ \Omega$ 阻抗（如果源阻抗为 $50\ \Omega$ ）。

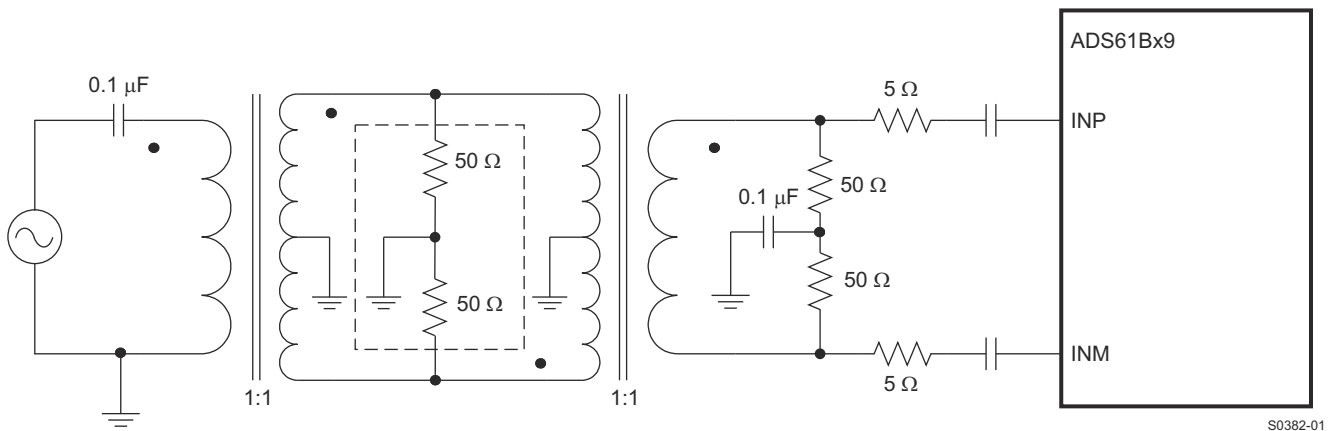


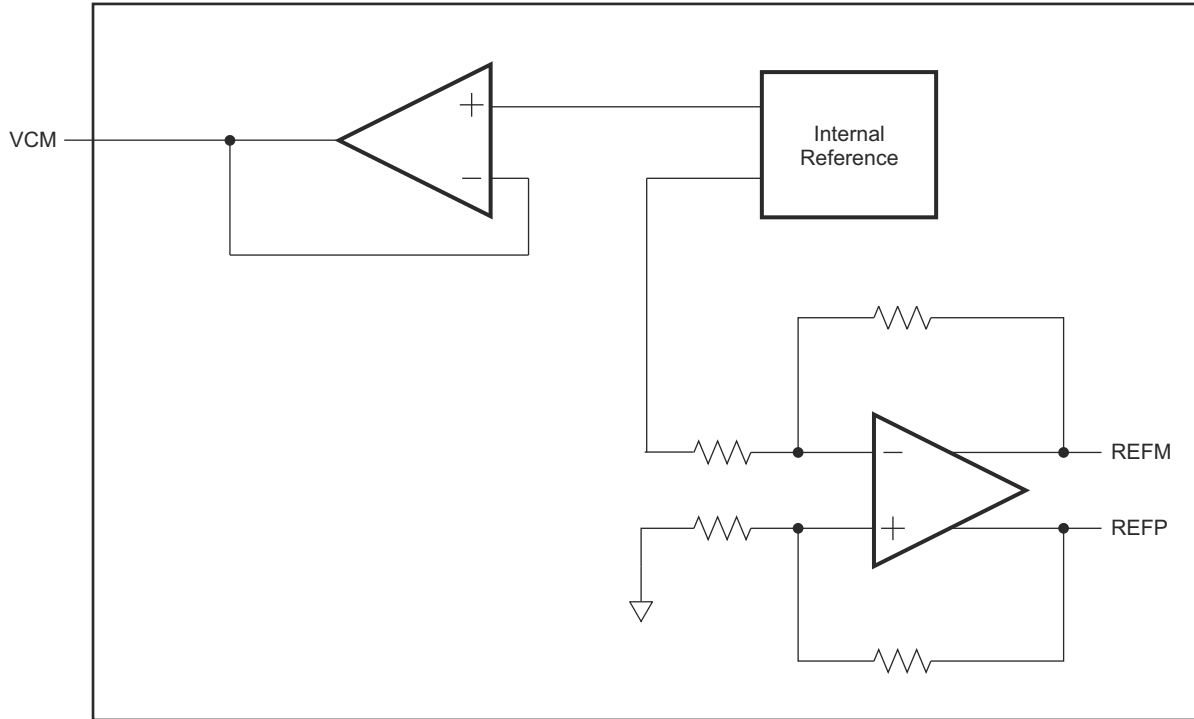
图 7-5. 高频驱动电路

7.1.2.3 输入共模

为了确保实现低噪声共模基准，VCM 引脚由接地的 $0.1\ \mu\text{F}$ 低电感电容器进行滤波。输入共模电压的标称值为 2.3V ，ADS6149 的标称值为 1.5V 。

7.1.3 参考

ADS61B49/29 具有内置的内部基准 REFP 和 REFM，无需外部元件。设计方案用于线性化对基准显示的转换器负载；该设计与必要基准电容器的片上集成一起作用，消除了对外部去耦的需求。不支持外部基准模式。该基准生成 VCM 输出 (2.3V)。



S0165-10

图 7-6. 基准部分

7.1.4 时钟输入

ADS61B49/29 时钟输入可以是差分驱动 (正弦、LVPECL 或 LVDS)，也可以是单端驱动 (LVCMOS)，二者的性能几乎没有差异。使用内部 $5k\Omega$ 电阻器将时钟输入的共模电压设置为 VCM。这样，就可以为正弦波时钟使用变压器耦合驱动电路或为 LVPECL、LVDS 时钟源使用交流耦合。

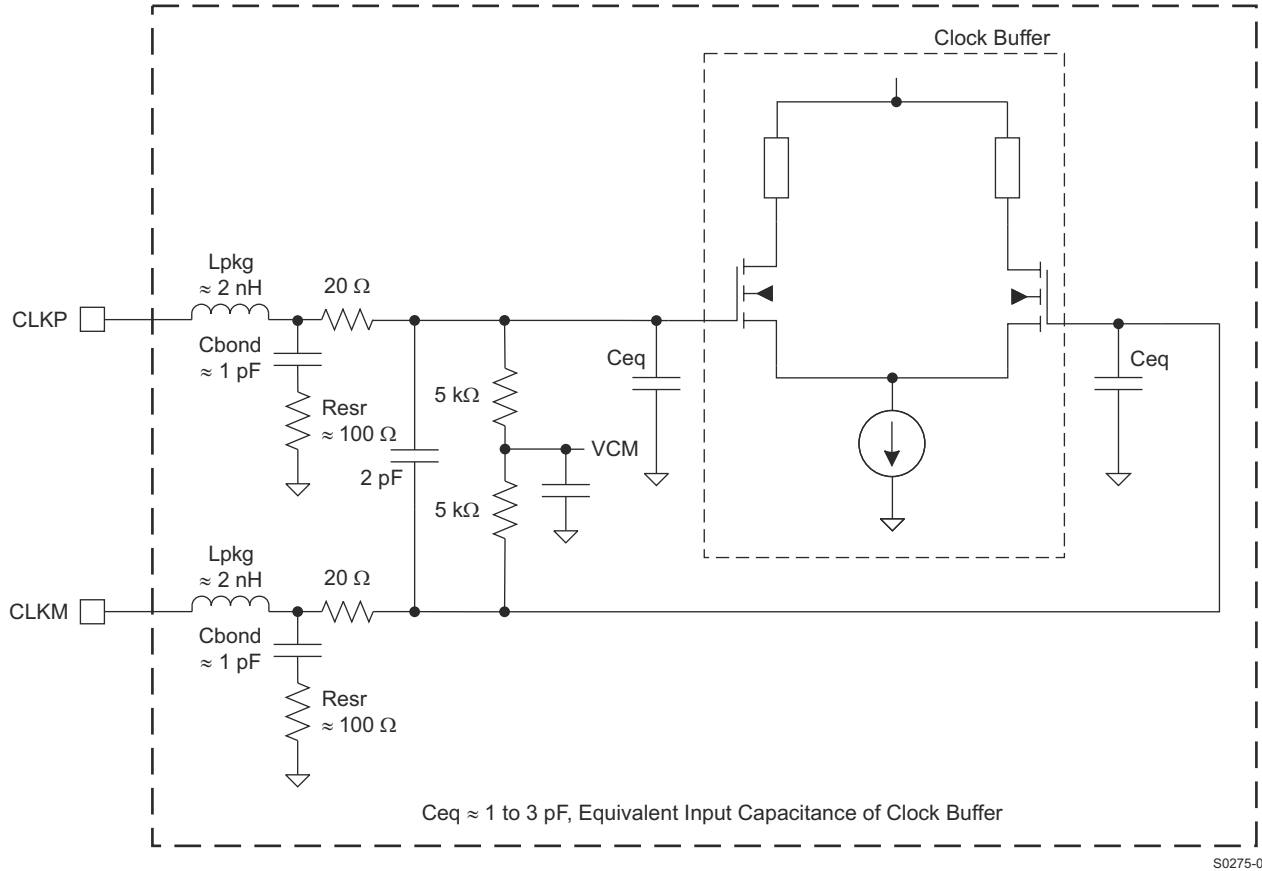


图 7-7. 内部时钟缓冲器

单端 CMOS 时钟可以交流耦合到 CLKP 输入端，此时 CLKM 通过 0.1 μF 电容器接地，如图 7-9 所示。为了获得出色性能，必须以差分方式驱动时钟输入，从而降低对共模噪声的易感性。对于高输入频率采样，建议使用抖动极低的时钟源。时钟源的带通滤波有助于降低抖动的影响。使用非 50% 占空比时钟输入时，性能没有变化。

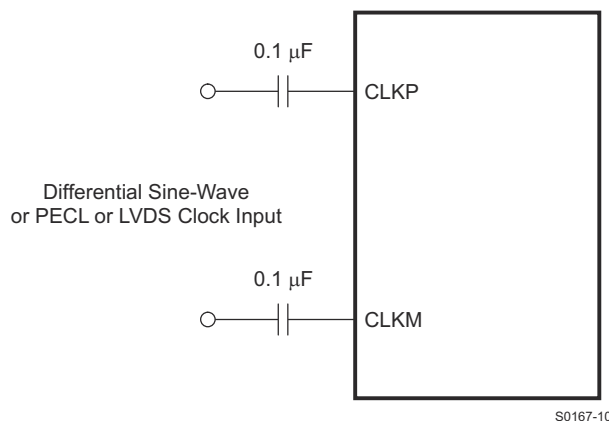


图 7-8. 差分时钟驱动电路

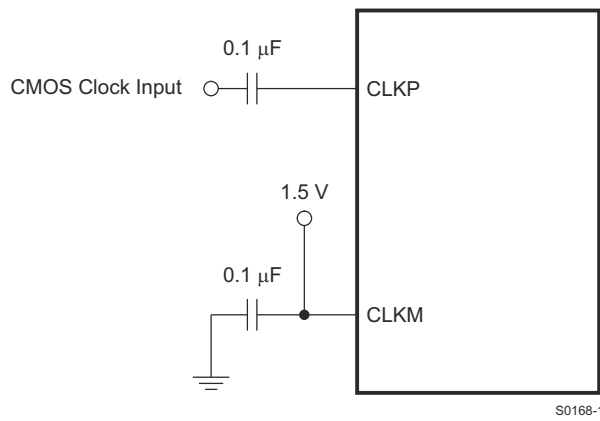


图 7-9. 单端时钟驱动电路

7.1.5 精细增益控制

ADS61B49/29 包含增益设置，可用于获得更高的 SFDR 性能（与无增益相比）或降低所需的满量程输入电压。该增益在 0dB 至 6dB 范围内可编程（步长为 0.5dB）。对于每个增益设置，模拟输入满量程范围按比例缩放，如表 7-1 所示。

SFDR 的提升是以牺牲 SNR 为代价实现的；对于每个增益设置，SNR 会降低约 0.5 - 1dB。高输入频率下的 SNR 下降较小。因此，精细增益在高输入频率下非常有用，因为 SFDR 得到显著改善，而 SNR 仅略有下降。

因此，可以使用精细增益在 SFDR 和 SNR 之间进行权衡。请注意，复位后的默认增益为 0dB。

表 7-1. 不同增益下的满量程范围

增益 (dB)	类型	满量程 (V _{PP})
0	复位后的默认值	2V
1	精细、可编程	1.78
2		1.59
3		1.42
4		1.26
5		1.12
6		1.00

7.1.6 偏移校正

ADS61B49/29 具有内部偏移校正算法，可估算和校正高达 ±10mV 的直流偏移。可以使用串行寄存器位 <ENABLE OFFSET CORR> 使能校正。使能后，该算法会估算通道偏移并在每个时钟周期应用校正。校正环路的时间常数是采样时钟频率的函数。时间常数可以使用寄存器位 <OFFSET CORR TIME CONSTANT> 进行控制，如表 7-2 所述。

估算偏移后，可以通过设置 <OFFSET CORR TIME CONSTANT> = 0 来锁定校正。锁定后，使用上次估算值在每个时钟周期进行偏移校正。请注意，复位后默认会禁用偏移校正。

图 7-10 显示了偏移校正算法使能后的时间响应。

表 7-2. 偏移校正算法的时间常数

<OFFSET CORR TIME CONSTANT> D3-D0	时间常数 (T _{CCLK})，时钟周期数	时间常数，秒 (T _{CCLK} × 1/F _s) ⁽¹⁾
0000	256 k	1ms
0001	512 k	2ms
0010	1 M	4ms
0011	2M	8ms
0100	4 M	17ms
0101	8 M	33ms
0110	16 M	67ms
0111	32 M	134ms
1000	64 M	268ms
1001	128 M	536ms
1010	256 M	1.1s
1011	512 M	2.2s
1100	保留	-
1101	保留	-
1110	保留	-

表 7-2. 偏移校正算法的时间常数 (续)

<OFFSET CORR TIME CONSTANT> D3-D0	时间常数 (T _{CCLK}), 时钟周期数	时间常数, 秒 (T _{CCLK} × 1/F _s) ⁽¹⁾
1111	保留	-

(1) 采样频率, F_s = 250MSPS

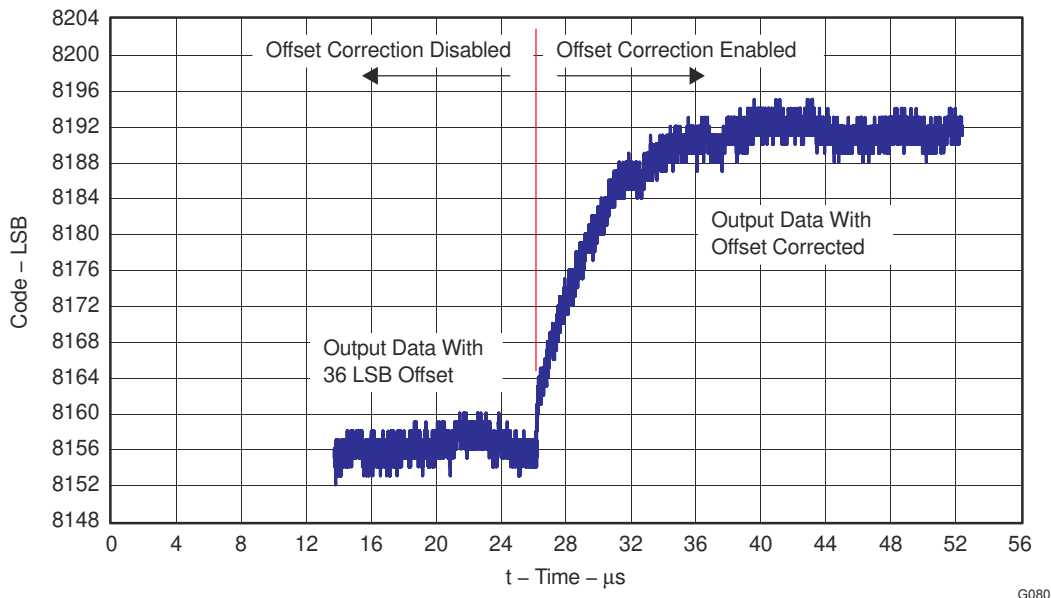


图 7-10. 使能偏移校正时的输出代码时间响应

7.1.7 断电

ADS61B49/29 有三种断电模式：全局断电模式、待机模式和输出缓冲器禁用模式。

7.1.7.1 全局断电

在此模式下，包括模数转换器、内部基准和输出缓冲器在内的整个芯片都处于断电状态，从而将总功率耗散降低约 20mW。输出缓冲器处于高阻抗状态。在正常模式下，从全局断电到数据变为有效的唤醒时间通常为 25 μs。

这可使用寄存器位 <PDN GLOBAL> 或使用 SDATA 引脚（在并行配置模式下）进行控制。

7.1.7.2 待机

在此模式下，只有模数转换器断电，内部基准处于活动状态，从而实现 300ns 的快速唤醒时间。待机模式下的总功率耗散约为 120mW。

该功能可通过使用寄存器位 <STANDBY> 进行控制。

7.1.7.3 输出缓冲器禁用

可以禁用输出缓冲器并将其置于高阻抗状态 — 该模式的唤醒时间极短，约为 40ns。该功能可通过使用寄存器位 <PDN OBUF> 进行控制。

7.1.7.4 输入时钟停止

除此之外，当输入时钟频率降至 1MSPS 以下时，转换器会进入低功耗模式。功率耗散约为 120mW。

7.1.8 电源序列

在上电期间，AVDD 和 DRVDD 电源可以按任何顺序上电。器件中的两个电源是分离的。

7.1.9 数字输出信息

ADS61B49/29 提供 14 位/12 位数据以及与该数据同步的输出时钟。

7.1.9.1 输出接口

提供两个输出接口选项：双倍数据速率 (DDR) LVDS 和并行 CMOS。可以使用串行接口寄存器位 **<ODI>** 或在并行配置模式下使用 DFS 引脚进行选择。

7.1.9.2 DDR LVDS 输出

在此模式下，数据位和时钟使用低压差分信号 (LVDS) 电平输出。两个数据位在每个 LVDS 差分对上多路复用和输出。

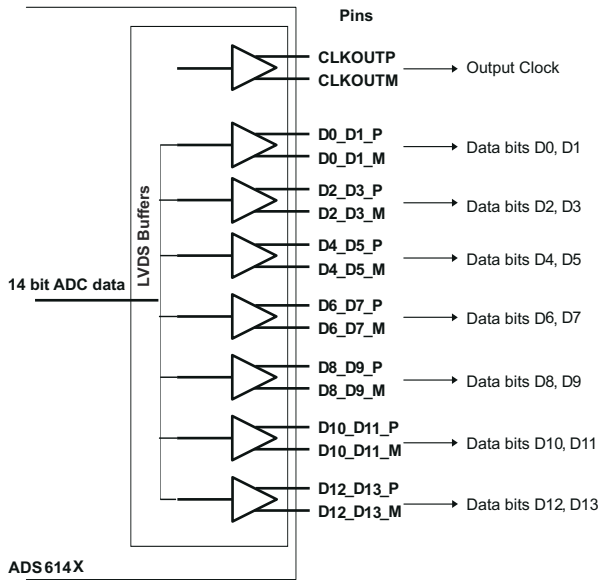


图 7-11. 14 位 ADC LVDS 输出

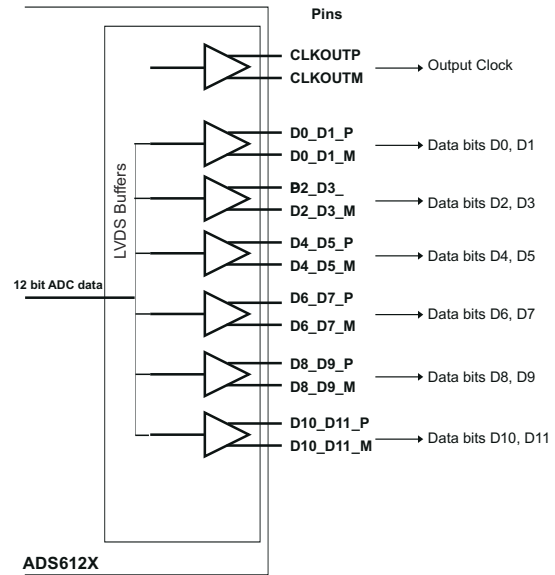


图 7-12. 12 位 ADC LVDS 输出

偶数数据位 D0、D2、D4... 在 CLKOUTP 的下降沿输出，奇数数据位 D1、D3、D5... 在 CLKOUTP 的上升沿输出。必须同时使用 CLKOUTP 的上升沿和下降沿才能采集所有数据位（请参阅图 7-13）。

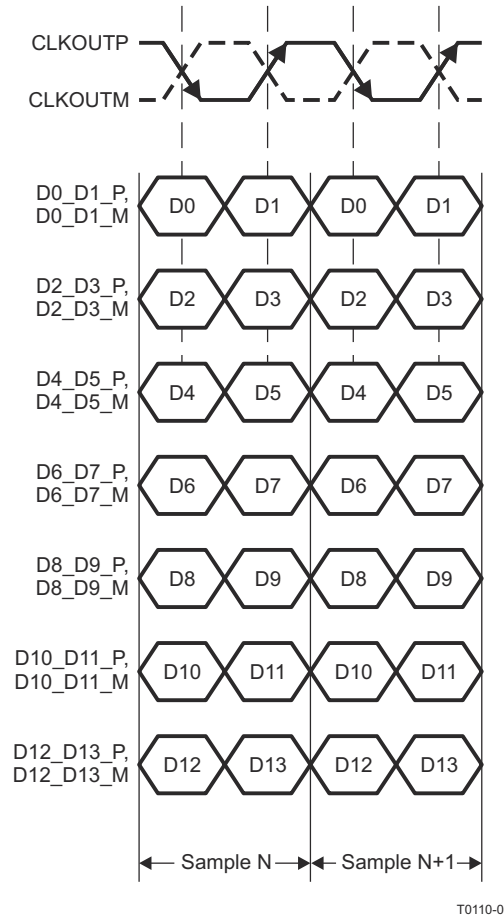
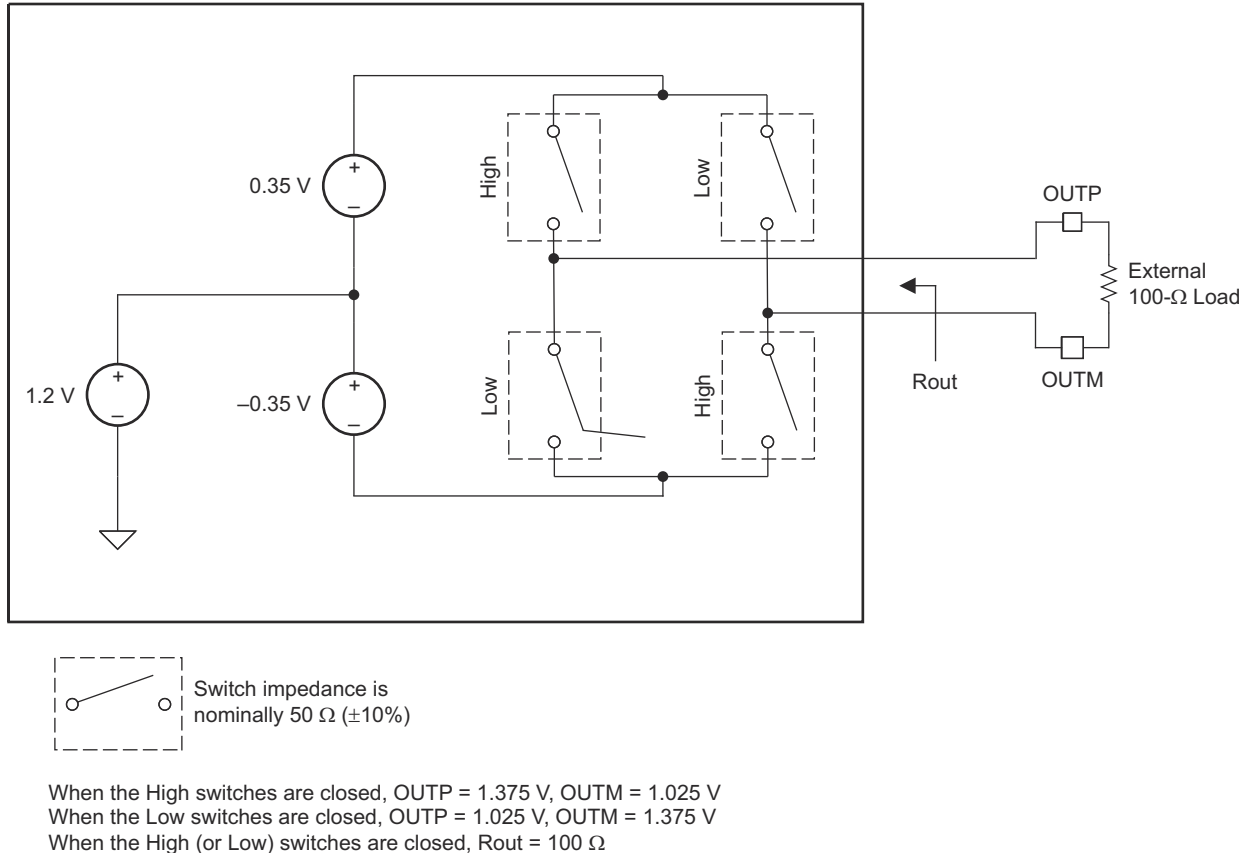


图 7-13. DDR LVDS 接口

7.1.9.3 LVDS 缓冲器

图 7-14 展示了每个 LVDS 输出缓冲器的等效电路。该缓冲器旨在提供 $100\ \Omega$ (R_{out}) 的输出阻抗。差分输出可在接收端通过 $100\ \Omega$ 端接电阻进行端接。缓冲器输出阻抗的行为类似于供电端串联端接电阻。其通过吸收来自接收器端的反射帮助提高信号完整性。请注意，此内部端接电阻无法禁用，且其值无法更改。



S0374-02

图 7-14. LVDS 缓冲器等效电路

7.1.9.4 并行 CMOS 接口

在 CMOS 模式下，每个数据位在每个时钟周期作为 CMOS 电压电平在单独的引脚上输出。输出时钟 CLKOUT 的上升沿可用于在接收器中锁存数据（用于高达约 150MSPS 的采样频率）。

高达 150MSPS，指定了以 CLKOUT 为基准的输出数据建立时间和保持时间。建议通过对接收器使用短布线，尽可能减小数据和时钟输出引脚上观察到的负载电容。此外，匹配输出数据和时钟布线，以尽可能减少它们之间的偏斜。

对于 CMOS 模式下大于 150MSPS 的采样频率，建议使用外部时钟采集数据。对于较高的采样频率，指定输入时钟到输出数据的延迟和数据有效时间。这些时序可用于适当地延迟输入时钟并使用其来采集数据（请参阅图 5-4）。由于 CMOS 模式产生的器件和电路板噪声，建议考虑在高采样速率时使用 LVDS 输出模式。

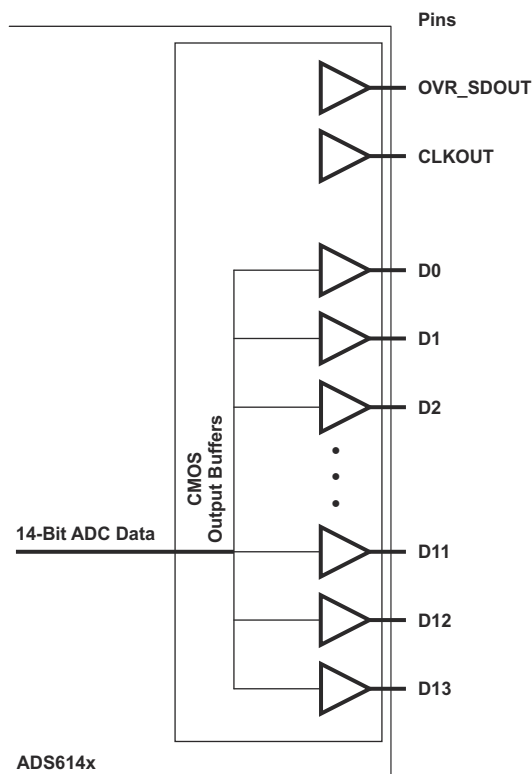


图 7-15. CMOS 输出接口

7.1.9.5 输出缓冲器强度可编程性

开关噪声 (由 CMOS 输出数据转换引起) 可能会在采样瞬间耦合到模拟输入中并降低 SNR。随着输出缓冲器驱动强度的增加，耦合和 SNR 下降也会加剧。为了尽可能减少这种影响，CMOS 输出缓冲器设计为具有受控的驱动强度，以实现理想的 SNR。默认驱动强度还可确保负载电容高达 5pF 的宽数据稳定窗口。

7.1.9.6 CMOS 接口功率耗散

使用 CMOS 输出时，DRVDD 电流随采样频率和每个输出引脚上的负载电容而变化。每个输出位在每个时钟周期内均在 0 和 1 之间切换时，会产生最大 DRVDD 电流。在实际应用中，DRVDD 电流将由输出位切换平均数量决定，该数量是采样频率和模拟输入信号性质的函数。

$$\text{CMOS 输出切换产生的数字电流} = C_L \times \text{DRVDD} \times (N \times F_{\text{AVG}}),$$

其中

C_L = 负载电容，

$N \times F_{\text{AVG}}$ = 平均输出位切换数。

图 5-46 显示了采用 3MHz 模拟输入频率时整个采样频率范围内的电流。

7.1.9.7 输出数据格式

支持两种输出数据格式：二进制补码和偏移二进制。可以使用串行接口寄存器位 <DATA FORMAT> 或在并行配置模式下控制 DFS 引脚进行选择。

如果输入电压过驱，数字输出转为相应的满量程电平。对于正过驱，偏移二进制输出格式的输出代码为 0x3FFF，二进制补码输出格式为 0x1FFF。对于负输入过驱，偏移二进制输出格式的输出代码为 0x0000，二进制补码输出格式为 0x2000。

7.1.10 电路板设计注意事项

7.1.10.1 接地

如果电路板的模拟、数字和时钟部分经过干净地分区，那么单个接地层便足以实现良好的性能。有关布局和接地的详细信息，请参阅 EVM 用户指南。

7.1.10.2 电源去耦

由于 ADS61B49/29 已经包含内部去耦，因此可以使用极少的外部去耦而不会影响性能。请注意，去耦电容器有助于滤除外部电源噪声，因此合适的电容器数量取决于实际应用。去耦电容器应极靠近转换器电源引脚放置。

7.1.10.3 外露焊盘

除了提供散热路径外，焊盘还在内部电气连接至数字接地。因此，需要将外露焊盘焊接到接地平面，以获得出色的散热和电气性能。

有关详细信息，请参阅应用手册 QFN 布局指南 (SLOA122) 和 QFN/SON PCB 连接 (SLUA271)。

7.1.11 规范的定义

模拟带宽 — 基频功率相对于低频值而降低 3dB 时的模拟输入频率。

孔径延迟 — 输入采样时钟的上升沿到发生采样的实际时间之间的时间延迟。该延迟将因通道而异。最大变化规定为孔径延迟变化 (通道间)。

孔径延迟 (抖动) — 孔径延迟的样本间变化。

时钟脉冲宽度/占空比 — 时钟信号的占空比是时钟信号保持逻辑高电平的时间 (时钟脉冲宽度) 与时钟信号的周期之比。占空比通常以百分比表示。理想的差分正弦波时钟会产生 50% 的占空比。

最大转换率 — 提供认证操作的最大采样率。除非另有说明, 否则所有参数测试均以该采样率执行。

最小转换率 — ADC 正常工作时的最小采样率。

微分非线性 (DNL) — 理想的 ADC 在模拟输入值相隔恰好 1LSB 时表现出代码转换。DNL 是任何单个步进相对于此理想值的偏差, 以 LSB 为单位测得。

积分非线性 (INL) — INL 是 ADC 传递函数相对于通过该传递函数的最小二乘曲线拟合确定的理想拟合线的偏差, 以 LSB 为单位测得。

增益误差 — 增益误差是 ADC 实际输入满量程范围与其理想值的偏差。增益误差以理想输入满量程范围的百分比表示。增益误差有两个组成部分: 基准不准确性导致的误差和通道导致的误差。这两个误差被单独指定为 E_{GREF} 和 E_{GCHAN} 。

对于一阶近似, 总增益误差为 $E_{TOTAL} \sim E_{GREF} + E_{GCHAN}$ 。

例如, 如果 $E_{TOTAL} = \pm 0.5\%$, 则满量程输入会在 $(1 - 0.5/100) \times FS_{ideal}$ 到 $(1 + 0.5/100) \times FS_{ideal}$ 之间变化。

偏移误差 — 偏移误差是实际平均空闲通道输出码与 ADC 理想平均空闲通道输出码之间的差值 (以 LSB 数量表示)。此数量通常映射为 mV。

温漂 — 温漂系数 (相对于增益误差和偏移误差) 指定参数从 T_{MIN} 到 T_{MAX} 的每摄氏度变化。计算方法是: 将 T_{MIN} 到 T_{MAX} 范围内参数的最大偏差除以 $T_{MAX} - T_{MIN}$ 差值。

信噪比 — SNR 是基频功率 (P_S) 与噪底功率 (P_N) 的比值, 不包括直流和前九次谐波的功率。

$$SNR = 10 \log_{10} \frac{P_S}{P_N} \quad (1)$$

当基频的绝对功率用作基准时, SNR 以 dBc (相对于载波的分贝数) 为单位; 当基频功率被外推至转换器满量程范围时, 则以 dBFS (相对于满量程的分贝数) 为单位。

信噪比和失真比 (SINAD) — SINAD 是指基频功率 (P_S) 与所有其他频谱分量 (包括噪声 (P_N) 和失真 (P_D), 但不包括 dc) 的功率的比值。

$$SINAD = 10 \log_{10} \frac{P_S}{P_N + P_D} \quad (2)$$

当基频的绝对功率用作基准时, SINAD 以 dBc (相对于载波的分贝数) 为单位; 当基频功率被外推至转换器满量程范围时, 则以 dBFS (相对于满量程的分贝数) 为单位。

有效位数 (ENOB) — ENOB 用于衡量转换器相对于理论限值 (基于量化噪声) 的性能。

$$ENOB = \frac{SINAD - 1.76}{6.02} \quad (3)$$

总谐波失真 (THD) — THD 是指基频功率 (P_S) 与前九次谐波的功率 (P_D) 的比值。

$$\text{THD} = 10\text{Log}^{10} \frac{P_S}{P_N} \quad (4)$$

THD 通常以 dBc (相对于载波的分贝数) 为单位。

无杂散动态范围 (SFDR) — 基频功率与最高其他频谱分量 (杂散或谐波) 的功率的比值。SFDR 通常以 dBc (相对于载波的分贝数) 为单位。

双音互调失真 — IMD3 是基频功率 (在频率 f_1 和 f_2 上) 与频率 $2f_1 - f_2$ 或 $2f_2 - f_1$ 上最差频谱分量的功率的比值。当基频的绝对功率用作基准时, IMD3 以 dBc (相对于载波的分贝数) 为单位; 当基频功率被外推至转换器满量程范围时, IMD3 以 dBFS (相对于满量程的分贝数) 为单位。

直流电源抑制比 (DC PSRR) — 直流 PSRR 是偏移误差变化与模拟电源电压变化之比。直流 PSRR 通常以 mV/V 为单位。

交流电源抑制比 (AC PSRR) — 交流 PSRR 是 ADC 抑制电源电压变化的量度。如果 ΔV_{SUP} 是电源电压的变化, 而 ΔV_{OUT} 是 ADC 输出代码的结果变化 (以输入为基准), 则

$$\text{PSRR} = 20\text{Log}^{10} \frac{\Delta V_{\text{OUT}}}{\Delta V_{\text{SUP}}} \quad (\text{Expressed in dBc}) \quad (5)$$

电压过载恢复 — 在模拟输入过载后恢复到小于 1% 误差所需的时钟周期数。尝试方法是: 分别施加具有 6dB 正负过载的正弦波信号。记下过载后前几个样本 (与其预期值) 的偏差。

共模抑制比 (CMRR) — CMRR 是对 ADC 抑制模拟输入共模变化的度量。如果 $\Delta V_{\text{CM_IN}}$ 是输入引脚共模电压的变化, 而 ΔV_{OUT} 是 ADC 输出代码的结果变化 (以输入为基准), 则

$$\text{CMRR} = 20\text{Log}^{10} \frac{\Delta V_{\text{OUT}}}{\Delta V_{\text{CM}}} \quad (\text{Expressed in dBc}) \quad (6)$$

串扰 (仅适用于多通道 ADC) — 这是来自相邻通道的信号内部耦合到目标通道的量度。它分别指定用于与紧邻通道 (近通道) 耦合, 以及与跨封装通道 (远通道) 耦合。测量方法通常是在相邻通道中施加满量程信号。串扰是耦合信号的功率 (在目标通道的输出端测得) 与施加在相邻通道输入端的信号功率的比值。通常以 dBc 表示。

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (May 2009) to Revision C (May 2026)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了“目录”、“引脚配置和功能”部分、“规格”部分、“详细说明”部分、“功能方框图”部分、“应用和实施”部分、“器件和文档支持”部分、“修订历史记录”部分以及“机械、封装和可订购信息”部分..	1
• 向“说明”添加了“封装信息”表.....	1
• 将时序要求表以及表 5-1 和表 5-2 中的采样频率从 100MSPS 更改为 80MSPS.....	13
• 将节 6.3.1 中使能低速模式的 100MSPS 更改为 80MSPS.....	37

Changes from Revision A (December 2008) to Revision B (May 2009)	Page
• 在节 4.1 中，将 DFS 引脚编号从 8 更改为 6.....	3
• 在节 4.2 中，将 DFS 引脚编号从 8 更改为 6.....	6
• 向 ADS61B29 方框图中添加了 OE 输入.....	29
• 向 ADS61B49 方框图中添加了 OE 输入.....	30

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS61B29IRGZR	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ61B29
ADS61B29IRGZR.A	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ61B29
ADS61B29IRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ61B29
ADS61B29IRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ61B29
ADS61B49IRGZR	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ61B49
ADS61B49IRGZR.A	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ61B49
ADS61B49IRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ61B49
ADS61B49IRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ61B49

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

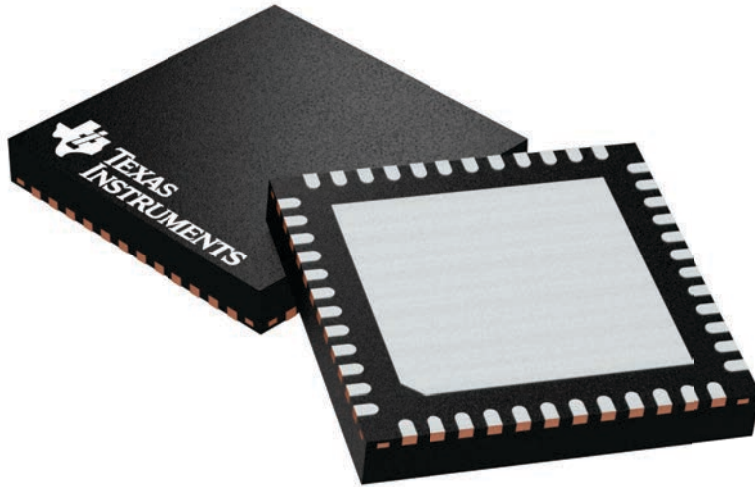
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

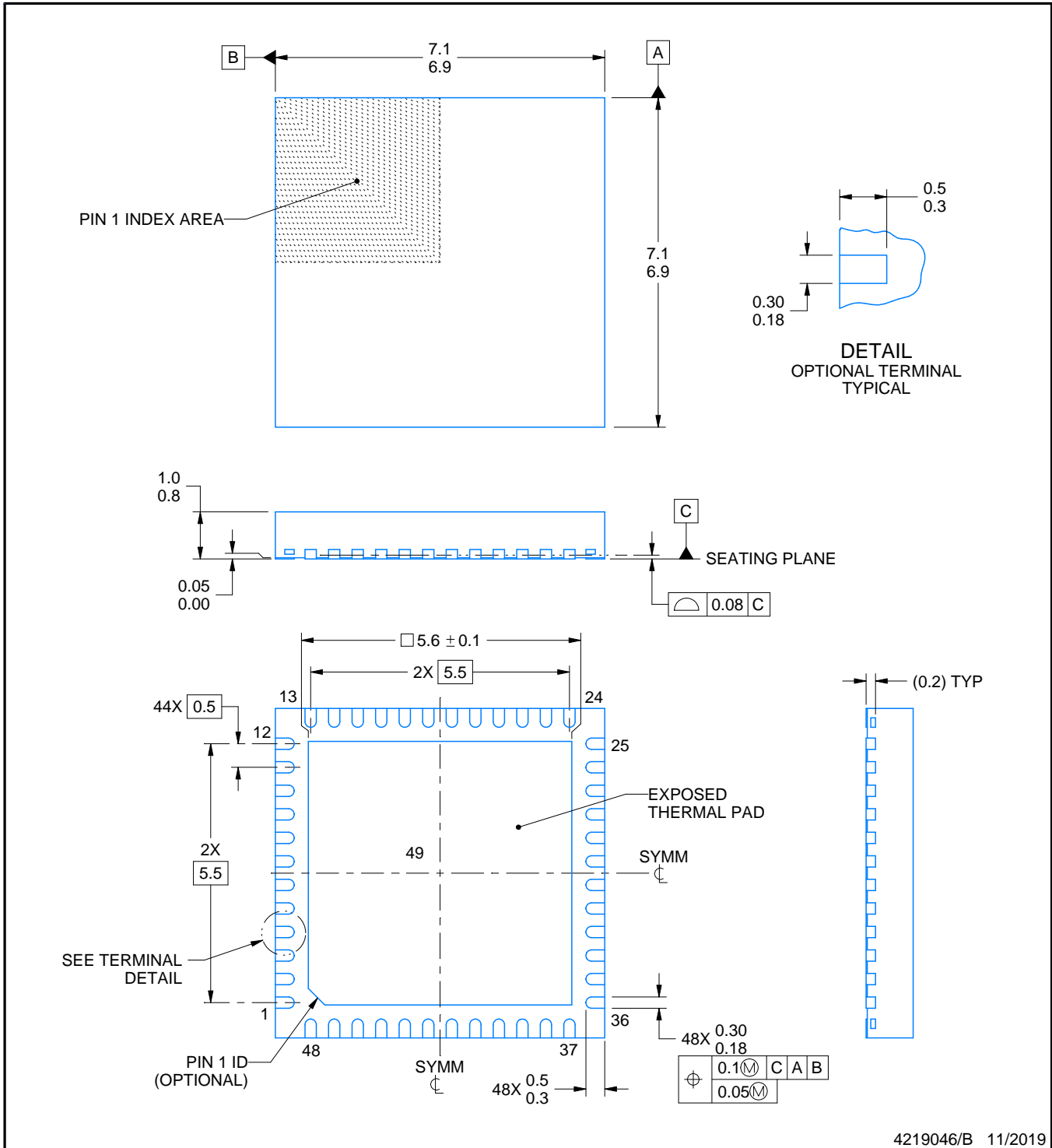
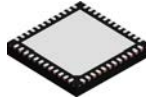
7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A



4219046/B 11/2019

NOTES:

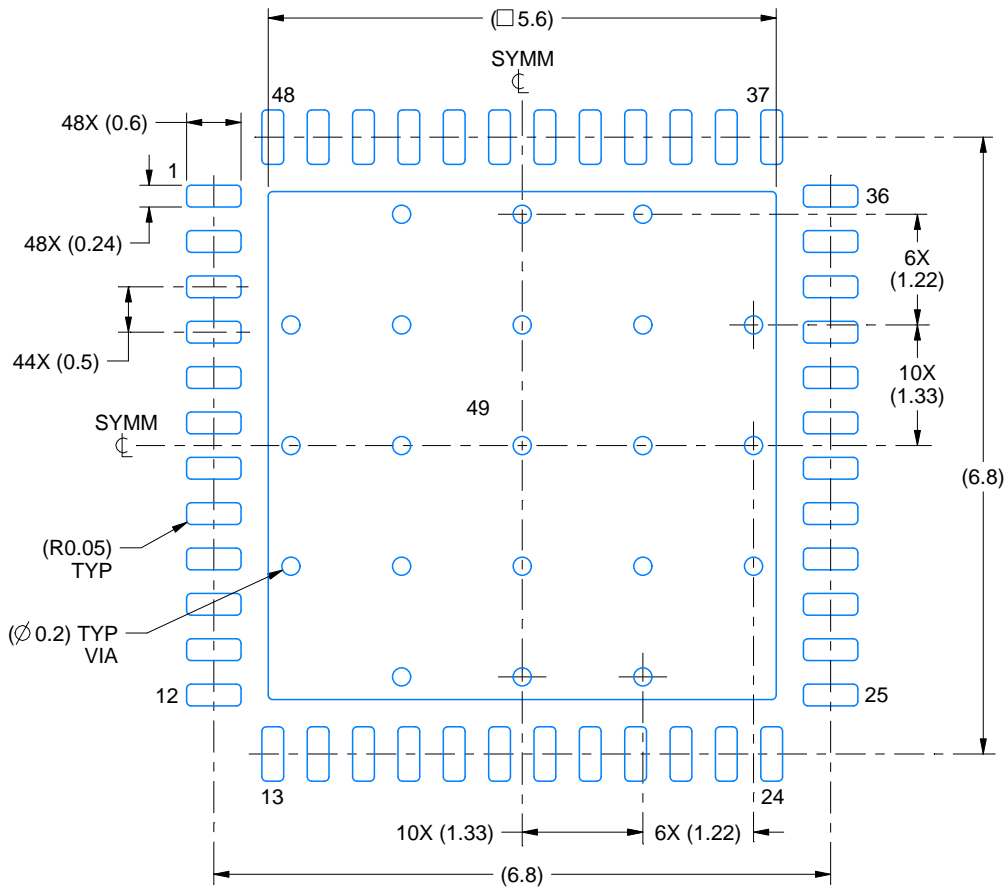
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

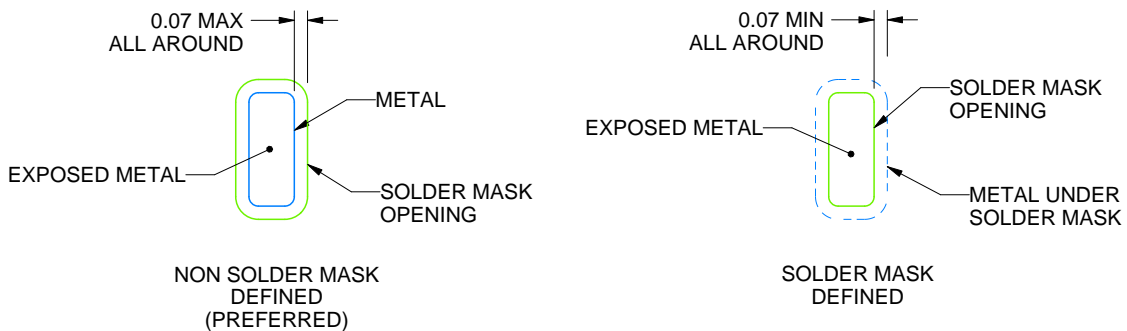
RGZ0048D

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4219046/B 11/2019

NOTES: (continued)

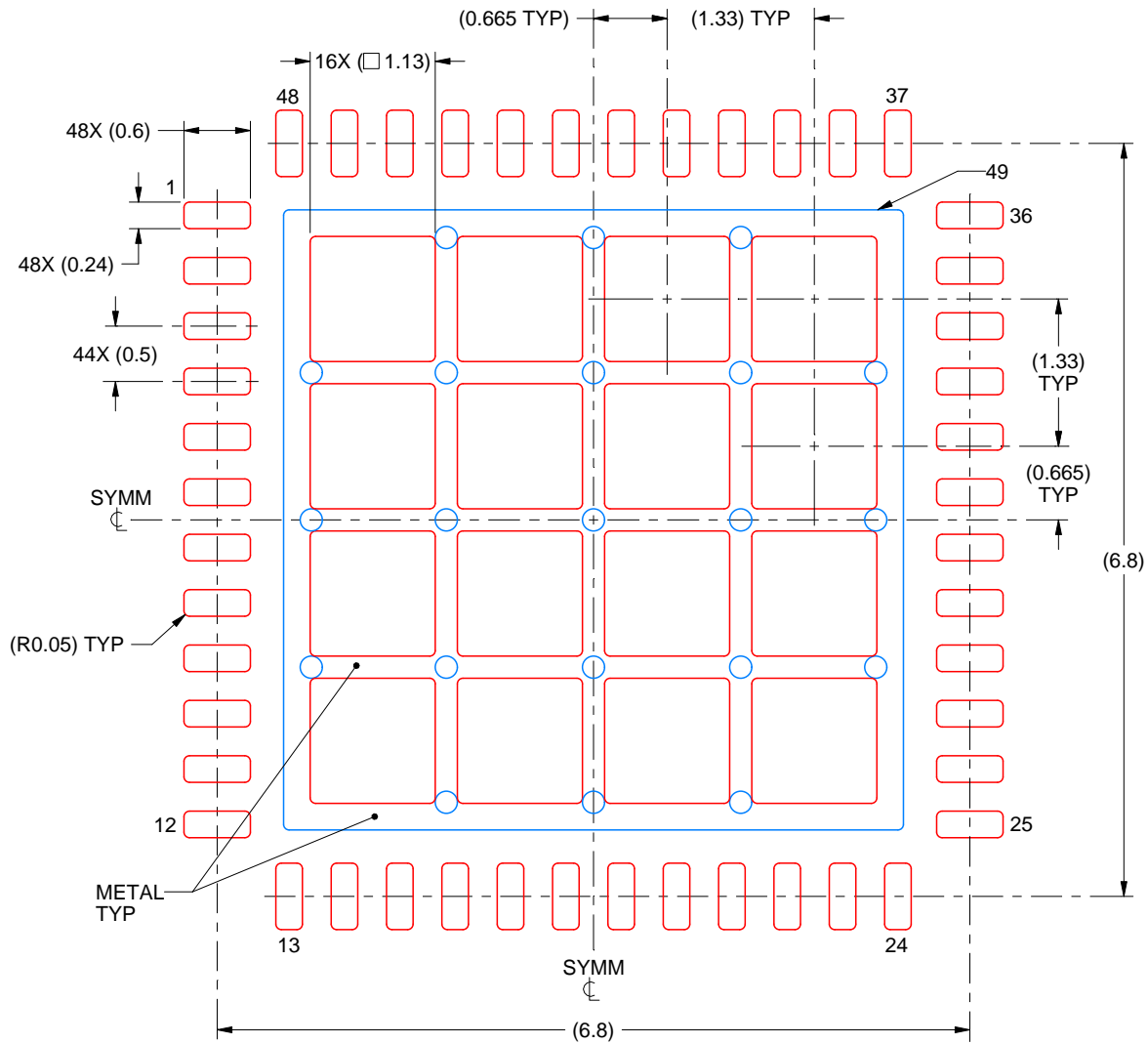
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048D

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
 66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:15X

4219046/B 11/2019

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月