

AFEx32A3W 具有 I²C 或 SPI 的 10 位和 8 位、三通道电压输出、电流输出和 ADC 输入智能 AFE

1 特性

- 电流源 DAC :
 - 1LSB DNL
 - 两个范围：300mA 和 220mA
 - 770mV 余量
- 双路电压输出 DAC :
 - 1LSB DNL
 - 1x、1.5x、2x、3x 和 4x 增益
- 通道 1 上的 ADC 输入
- 通道 1 上的可编程比较器模式
- 当 VDD 关闭时提供高阻抗输出
- 高阻抗和电阻下拉断电模式
- 50MHz SPI 兼容型接口
- 自动检测 I²C 或 SPI
 - 1.62V V_{IH} (V_{DD} = 5.5V)
- 可配置为多种功能的通用输入/输出 (GPIO)
- 生成预定义的波形：正弦波、余弦波、三角形波、锯齿波
- 用户可编程的非易失性存储器 (NVM)
- 采用内部基准或电源作为基准
- 宽工作电压范围：
 - 电源：3V 至 5.5V
 - 温度：-40°C 至 +125°C

2 应用

- 光学模块
- 激光

3 说明

10 位 AFE532A3W 和 8 位 AFE432A3W (AFEx32A3W) 是三通道、缓冲电压输出、电流输出和 ADC 输入智能模拟前端 (AFE)。AFEx32A3W 器件支持电流源，可用于对激光二极管和微型电机进行线性控制。这些器件支持高阻态省电模式，并在断电情况下支持高阻态输出，适用于电压输出。可将通道 1 配置为 ADC、电压输出 DAC 或比较器。电压输出 DAC 提供强制检测选项，可用于可编程比较器和灌电流。得益于多功能 GPIO、函数生成和可编程的非易失性存储器 (NVM)，此类智能 AFE 可用于 *无处理器的* 应用和设计复用。这些器件自动检测 SPI 或 I²C 接口，并包含内部基准。

凭借这组 AFEx32A3W 特性以及微型封装和低功耗特点，这些智能 AFE 非常适合于无源光纤网络 (PON) 中激光二极管功率控制和电吸收调制激光器 (EML) 控制等应用以及其他工业激光应用。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
AFE532A3W	YBH (DSBGA, 16)	1.72mm × 1.72mm
AFE432A3W	YBH (DSBGA, 16)	1.72mm × 1.72mm

(1) 有关详细信息，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

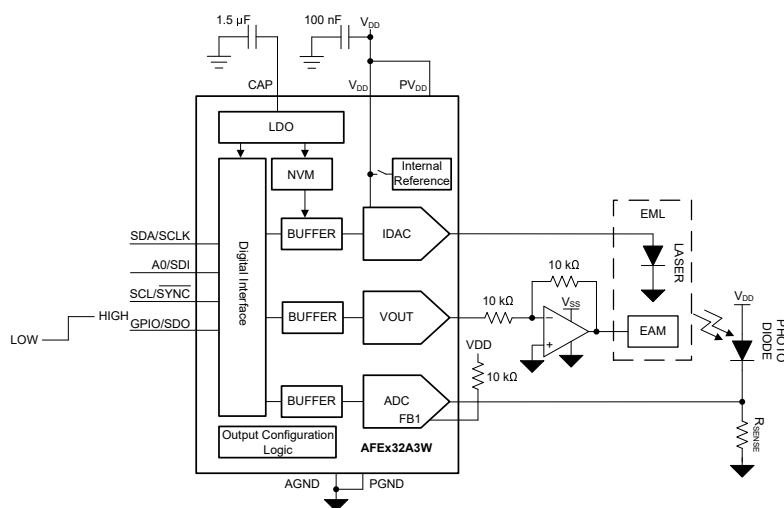


图 3-1. 使用 AFEx32A3W 的电吸收调制激光器 (EML) 控制



内容

1 特性	1	7.11 DAC-1-CMP-MODE-CONFIG 寄存器 (地址 = 17h) [复位 = 0000h].....	67
2 应用	1	7.12 DAC-0-FUNC-CONFIG 寄存器 (地址 = 12h) [复位 = 0000h].....	68
3 说明	1	7.13 DAC-1-FUNC-CONFIG 寄存器 (地址 = 18h) [复位 = 0000h].....	70
4 引脚配置和功能	4	7.14 DAC-2-FUNC-CONFIG 寄存器 (地址 = 06h) [复位 = 0000h].....	72
5 规格	5	7.15 DAC-0-DATA 寄存器 (地址 = 1Bh) [复位 = 0000h].....	74
5.1 绝对最大额定值.....	5	7.16 DAC-1-DATA 寄存器 (地址 = 1Ch) [复位 = 0000h].....	74
5.2 ESD 等级.....	5	7.17 DAC-2-DATA 寄存器 (地址 = 19h) [复位 = 0000h].....	74
5.3 建议运行条件.....	5	7.18 ADC-CONFIG-TRIG 寄存器 (地址 = 1Dh) [复位 = 0000h].....	75
5.4 热性能信息.....	5	7.19 ADC-DATA 寄存器 (地址 = 1Eh) [复位 = 0001h]..	75
5.5 电气特性：电压输出.....	7	7.20 COMMON-CONFIG 寄存器 (地址 = 1Fh) [复位 = 0FFFh].....	76
5.6 电气特性：电流输出.....	9	7.21 COMMON-TRIGGER 寄存器 (地址 = 20h) [复位 = 0000h].....	77
5.7 电气特性：比较器模式.....	11	7.22 COMMON-DAC-TRIG 寄存器 (地址 = 21h) [复位 = 0000h].....	78
5.8 电气特性：ADC 输入.....	11	7.23 GENERAL-STATUS 寄存器 (地址 = 22h) [复位 = 20h、DEVICE-ID、VERSION-ID].....	79
5.9 电气特性：通用.....	12	7.24 CMP-STATUS 寄存器 (地址 = 23h) [复位 = 000Ch].....	80
5.10 时序要求：I ² C 标准模式.....	13	7.25 GPIO-CONFIG 寄存器 (地址 = 24h) [复位 = 0000h].....	80
5.11 时序要求：I ² C 快速模式.....	13	7.26 DEVICE-MODE-CONFIG 寄存器 (地址 = 25h) [复位 = 0000h].....	82
5.12 时序要求：I ² C 超快速模式.....	13	7.27 INTERFACE-CONFIG 寄存器 (地址 = 26h) [复位 = 0000h].....	82
5.13 时序要求：SPI 写入操作.....	14	7.28 SRAM-CONFIG 寄存器 (地址 = 2Bh) [复位 = 0000h].....	83
5.14 时序要求：SPI 读取和菊花链操作 (FSDO = 0).....	14	7.29 SRAM-DATA 寄存器 (地址 = 2Ch) [复位 = 0000h].....	83
5.15 时序要求：SPI 读取和菊花链操作 (FSDO = 1).....	14	7.30 BRDCAST-DATA 寄存器 (地址 = 50h) [复位 = 0000h].....	83
5.16 时序要求：GPIO.....	16	8 应用和实施	84
5.17 时序图.....	16	8.1 应用信息.....	84
5.18 典型特性：电压输出.....	18	8.2 典型应用.....	84
5.19 典型特性：电流输出.....	24	8.3 电源相关建议.....	87
5.20 典型特性：比较器.....	28	8.4 布局.....	88
5.21 典型特性：ADC.....	29	9 器件和文档支持	89
5.22 典型特性：通用.....	30	9.1 文档支持.....	89
6 详细说明	31	9.2 接收文档更新通知.....	89
6.1 概述.....	31	9.3 支持资源.....	89
6.2 功能方框图.....	32	9.4 商标.....	89
6.3 特性说明.....	33	9.5 静电放电警告.....	89
6.4 器件功能模式.....	35	9.6 术语表.....	89
6.5 编程.....	52	10 修订历史记录	89
7 寄存器映射	59	11 机械、封装和可订购信息	89
7.1 NOP 寄存器 (地址 = 00h) [复位 = 0000h].....	63		
7.2 DAC-0-MARGIN-HIGH 寄存器 (地址 = 0Dh) [复位 = 0000h].....	63		
7.3 DAC-1-MARGIN-HIGH 寄存器 (地址 = 13h) [复位 = 0000h].....	63		
7.4 DAC-2-MARGIN-HIGH 寄存器 (地址 = 01h) [复位 = 0000h].....	64		
7.5 DAC-0-MARGIN-LOW 寄存器 (地址 = 0Eh) [复位 = 0000h].....	64		
7.6 DAC-1-MARGIN-LOW 寄存器 (地址 = 14h) [复位 = 0000h].....	64		
7.7 DAC-2-MARGIN-LOW 寄存器 (地址 = 02h) [复位 = 0000h].....	65		
7.8 DAC-0-GAIN-CONFIG 寄存器 (地址 = 0Fh) [复位 = 0000h].....	65		
7.9 DAC-1-GAIN-CMP-CONFIG 寄存器 (地址 = 15h) [复位 = 0000h].....	66		
7.10 DAC-2-GAIN-CONFIG 寄存器 (地址 = 03h) [复位 = 0000h].....	66		

4 引脚配置和功能

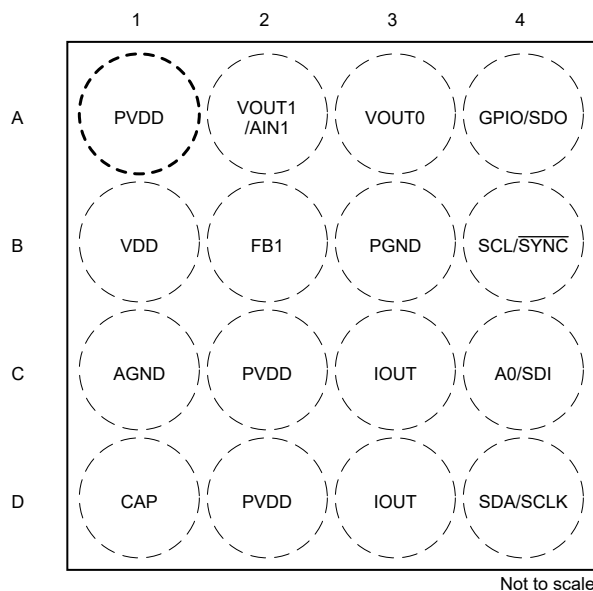


图 4-1. YBH (16 引脚 DSBGA) 封装，顶视图

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
A1	PVDD	电源	电流源的电源。以低布线阻抗将该引脚连接至 VDD
A2	VOUT1/AIN1	输入/输出	DAC 通道 1 上的电压输出或模拟输入。
A3	VOUT0	输出	DAC 通道 0 上的电压输出。
A4	GPIO/SDO	输入/输出	通用输入/输出可配置为 LDAC、PD、PROTECT、RESET、SDO 和 STATUS。对于 STATUS 和 SDO，需使用外部上拉电阻器将引脚连接到 I/O 电压。如果未使用，需使用外部电阻器将 GPIO 引脚连接到 VDD 或 AGND。此引脚可以在 VDD 之前斜升。
B1	VDD	电源	电源电压。
B2	FB1	输入	通道 1 的电压反馈引脚。在电压输出模式下，连接至 VOUT1/AIN1 以实现闭环放大器输出。在 ADC 输入模式下，使用电阻器将此引脚上拉至 VDD。在比较器模式下使用该引脚作为模拟输入。
B3	PGND	地	电流源的接地返回路径。将该引脚连接到 AGND。
B4	SCL/SYNC	输出	I ² C 串行接口时钟或 SPI 芯片选择输入。此引脚必须使用外部上拉电阻器连接到 I/O 电压。此引脚可以在 VDD 之前斜升。
C1	模拟接地 (AGND)	接地	此器件上用于所有电路的接地参考点。
C2	PVDD	电源	电流源的电源。将该引脚连接到 VDD。
C3	IOUT	输出	通道 2 上的电流输出。
C4	A0/SDI	输入	用于 I ² C 的地址配置引脚或用于 SPI 的串行数据输入。 对于 A0，将此引脚连接到 VDD、AGND、SDA 或 SCL 进行地址配置（请参阅地址字节部分）。 对于 SDI，无需上拉或下拉此引脚。此引脚可以在 VDD 之前斜升。
D1	CAP	电源	用于内部 LDO 的外部旁路电容器。在 CAP 和 AGND 间连接一个电容器（约 1.5 μF）。
D2	PVDD	电源	电流源的电源。将该引脚连接到 VDD。
D3	IOUT	输出	通道 2 上的电流输出。
D4	SDA/SCLK	输入/输出	双向 I ² C 串行数据总线或 SPI 时钟输入。在 I ² C 模式下，必须使用外部上拉电阻器将此引脚连接到 I/O 电压。此引脚可以在 VDD 之前斜升。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{DD}	电源电压, V _{DD} 至 AGND	-0.3	6	V
PV _{DD}	电源电压, PV _{DD} 至 V _{DD}	-0.3	0.3	V
	数字输入至 AGND	-0.3	V _{DD} + 0.3	V
	V _{FB1} 至 AGND	-0.3	V _{DD} + 0.3	V
	V _{OUTX} 至 AGND	-0.3	V _{DD} + 0.3	V
	I _{OUT} 至 AGND	-0.3	V _{DD} + 0.3	V
	流入除 I _{OUT} 、V _{OUTX} 、V _{DD} 、PV _{DD} 、PGND 和 AGND 引脚以外的任何引脚的电流	-10	10	mA
T _J	结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准, 所有引脚 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V _{DD}	提供给接地端 (AGND)、电阻或二极管负载的正电源电压	3		5.5	V
	提供给接地端 (AGND) 的正电源电压, 电感负载	3		4.5	
PV _{DD}	提供给接地端 (PGND) 的正电源电压		V _{DD}		V
V _{IH}	数字输入高电压, 3V < V _{DD} ≤ 5.5V	1.62			V
V _{IL}	数字输入低电压			0.4	V
C _{CAP}	CAP 引脚上的外部电容器	0.5		15	μF
T _A	环境温度	-40		125	°C

5.4 热性能信息

热指标 ⁽¹⁾		AFE532A3W、AFE432A3W		单位
		YBH (DSBGA)		
		16 引脚		
R _{θJA}	结至环境热阻	81.2		°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	0.3		°C/W
R _{θJB}	结至电路板热阻	20.3		°C/W
Ψ _{JT}	结至顶部特征参数	0.2		°C/W

热指标 ⁽¹⁾		AFE532A3W、AFE432A3W	单位
		YBH (DSBGA)	
		16 引脚	
Ψ_{JB}	结至电路板特征参数	20.3	°C/W

(1) 有关新旧热指标的信息，请参阅 [半导体和 IC 封装热指标应用报告](#)。

5.5 电气特性：电压输出

所有最小和最大规格的条件为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，以 V_{DD} 为基准，增益 = $1 \times$ ，电压输出 DAC 引脚 (V_{OUTx}) 具有阻性负载 ($R_L = 5\text{k}\Omega$ 至 AGND) 和容性负载 ($C_L = 200\text{pF}$ 至 AGND)，且数字输入处于 VDD 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
静态性能						
	分辨率	AFE532A3W	10			位
		AFE432A3W	8			
INL	积分非线性 ⁽¹⁾	AFE532A3W	-1.25		1.25	LSB
		AFE432A3W	-1		1	
DNL	微分非线性 ⁽¹⁾		-1		1	LSB
	零代码误差 ⁽²⁾	将 0d 编码至 DAC, $V_{\text{DD}} = 5.5\text{V}$		6	12	mV
		将 0d 编码到 DAC 中, 内部 V_{REF} , 增益 = $4 \times$, $V_{\text{DD}} = 5.5\text{V}$		6	15	
	零代码误差温度系数 ⁽²⁾			± 10		$\mu\text{V}/^{\circ}\text{C}$
	偏移误差 ⁽²⁾	$3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$, V_{FB} 引脚短接至 V_{OUT} , DAC 代码: 10 位分辨率为 8d, 8 位分辨率为 2d	-0.5	0.25	0.5	%FSR
	偏移误差温度系数 ⁽²⁾	V_{FB} 引脚短接至 V_{OUT} , DAC 代码: 10 位分辨率为 8d, 8 位分辨率为 2d		± 0.0003		%FSR/ $^{\circ}\text{C}$
	增益误差 ⁽²⁾	端点代码之间: 10 位分辨率为 8d 至 1016d, 8 位分辨率为 2d 至 254d	-0.5	0.25	0.5	%FSR
	增益误差温度系数 ⁽²⁾	端点代码之间: 10 位分辨率为 8d 至 1016d, 8 位分辨率为 2d 至 254d		± 0.0008		%FSR/ $^{\circ}\text{C}$
	满量程误差 ⁽²⁾	$3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$, DAC (满量程)	-0.5		0.5	%FSR
	满量程误差温度系数 ⁽²⁾	DAC 处于满量程		± 0.0008		%FSR/ $^{\circ}\text{C}$
输出						
	输出电压		0		V_{DD}	V
C_L	容性负载 ⁽³⁾	$R_L =$ 无限, 相位裕度 = 30°			200	pF
		相位裕度 = 30°			1000	
	短路电流	$V_{\text{DD}} = 3\text{V}$, 满量程输出短接至 AGND 或零标度输出短接至 V_{DD}		50		mA
		$V_{\text{DD}} = 5.5\text{V}$, 满量程输出短接至 AGND 或零标度输出短接至 V_{DD}		60		
	输出电压余量 ⁽³⁾	至 V_{DD} , DAC 输出空载, 内部基准 = 1.21V , $V_{\text{DD}} \geq 1.21\text{V} \times$ 增益 + 0.2V	0.2			V
		至 V_{DD} 和至 AGND, DAC 输出空载	0.8			
		至 V_{DD} 和至 AGND, $I_{\text{LOAD}} = 10\text{mA}$ ($V_{\text{DD}} = 5.5\text{V}$ 时), $I_{\text{LOAD}} = 3\text{mA}$ ($V_{\text{DD}} = 3\text{V}$ 时)	10			
Z_O	V_{FB} 直流输出阻抗 ⁽⁴⁾	DAC 输出启用, 内部基准 (增益 = $1.5 \times$ 或 $2 \times$) 或以 V_{DD} 为基准 (增益 = $1 \times$)	400	500	600	$\text{k}\Omega$
		DAC 输出已启用, 内部 V_{REF} , 增益 = $3 \times$ 或 $4 \times$	325	400	485	
	电源抑制比 (直流)	内部 V_{REF} , 增益 = $2 \times$, DAC 处于中标度, $V_{\text{DD}} = 5\text{V} \pm 10\%$		0.25		mV/V

所有最小和最大规格的条件为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，以 V_{DD} 为基准，增益 = $1 \times$ ，电压输出 DAC 引脚 (V_{OUTx}) 具有阻性负载 ($R_L = 5\text{k}\Omega$ 至 AGND) 和容性负载 ($C_L = 200\text{pF}$ 至 AGND)，且数字输入处于 V_{DD} 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
动态性能						
t_{sett}	输出电压建立时间	1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 10%FSR， $V_{\text{DD}} = 5.5\text{V}$		20		μs
		1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 10%FSR， $V_{\text{DD}} = 5.5\text{V}$ ，内部 V_{REF} ，增益 = $4 \times$		25		
	压摆率	$V_{\text{DD}} = 5.5\text{V}$		0.3		$\text{V}/\mu\text{s}$
	上电干扰幅度	启动时，DAC 输出被禁用		75		mV
		启动时，DAC 输出被禁用， $R_L = 100\text{k}\Omega$		200		
	输出使能干扰幅度	DAC 输出从禁用至启用，DAC 寄存器处于零标度， $R_L = 100\text{k}\Omega$		250		mV
V_n	输出噪声电压 (峰峰值)	$f = 0.1\text{Hz}$ 至 10Hz ，DAC 位于中标度， $V_{\text{DD}} = 5.5\text{V}$		50		μV_{PP}
		内部 V_{REF} ，增益 = $4 \times$ ， $f = 0.1\text{Hz}$ 至 10Hz ，DAC 处于中标度， $V_{\text{DD}} = 5.5\text{V}$		90		
	输出噪声密度	$f = 1\text{kHz}$ ，DAC 位于中标度， $V_{\text{DD}} = 5.5\text{V}$		0.35		$\mu\text{V}/\sqrt{\text{Hz}}$
		内部 V_{REF} ，增益 = $4 \times$ ， $f = 1\text{kHz}$ ，DAC 处于中标度， $V_{\text{DD}} = 5.5\text{V}$		0.9		
	电源抑制比 (交流) (4)	内部 V_{REF} ，增益 = $4 \times$ ， 200mV 50Hz 或 60Hz 正弦波叠加在电源电压上，DAC 处于中标度		-68		dB
	代码变化干扰脉冲	围绕中标度的 $\pm 1\text{LSB}$ 变化 (包括馈通)		10		$\text{nV}\cdot\text{s}$
	代码变化干扰脉冲幅度	围绕中标度的 $\pm 1\text{LSB}$ 变化 (包括馈通)		15		mV
电源						
I_{DD}	流入 V_{DD} 的电流(2) (5)	正常工作，DAC 满量程，数字引脚静态		150		$\mu\text{A}/\text{ch}$

- (1) 在 DAC 输出空载的情况下测量。对于内部基准 $V_{\text{DD}} \geq 1.21 \times \text{增益} + 0.2\text{V}$ ，介于终点代码之间：10 位分辨率为 8d 至 1016d，8 位分辨率为 2d 至 254d。
- (2) 在 DAC 输出空载的情况下测量。
- (3) 根据设计和特征确定；未经生产测试。
- (4) 当使用内部基准时，相对于基准值以 200mV 余量指定。
- (5) 总功耗的计算方式为 $I_{\text{DD}} \times (\text{上电通道总数}) + (\text{睡眠模式电流})$ 。

5.6 电气特性：电流输出

所有最小和最大规格的条件为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $3\text{V} \leq V_{DD} \leq 4.5\text{V}$ ，且数字输入处于 VDD 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
静态性能						
	分辨率	AFE532A3W	10			位
		AFE432A3W	8			
INL	积分非线性	在最小输出电压余量下，AFE532A3W	-1.25	1.25		LSB
		在最小输出电压余量下，AFE432A3W	-1	1		
DNL	微分非线性		-1	1		LSB
	偏移误差		6			mA
	增益误差		16.6			%FSR
输出						
	输出范围 ⁽¹⁾	IOUT-GAIN = 000b	300			mA
		IOUT-GAIN = 001b	220			
	输出电压净空 ⁽²⁾	300mA 时的拉电流	770	1500		mV
		100mA 时的拉电流	300	1500		
	输出端关断漏电流	DAC 通道被禁用，内部下拉电阻器上的电压			3	mV
	电源抑制比 (直流)	DAC 位于中标度， V_{DD} 从 3.5V 更改为 4.5V	0.5			LSB/V

所有最小和最大规格的条件为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $3\text{V} \leq V_{\text{DD}} \leq 4.5\text{V}$ ，且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
动态性能						
t_{sett}	输出电流稳定时间	1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 1LSB, $V_{\text{DD}} = 3\text{V}$, 二极管负载		60		μs
		1/8 至 3/8 标度和 3/8 至 1/8 标度趋稳至 1LSB, $V_{\text{DD}} = 4\text{V}$, 电感负载, $C_L = 470\text{nF}$		260		
过冲		DAC 代码从 1/4 标度更改为 3/4 标度, 二极管负载		0.7		%
		DAC 断电, 满量程电流编程为 MARGIN-HIGH、压摆率设置为 32LSB 和 4 μs 阶跃, DAC 上电, 然后立即命令裕度启动, 二极管负载		1		
		DAC 断电, 中量程电流编程为 MARGIN-HIGH、压摆率设置为 32LSB 和 4 μs 阶跃, DAC 上电, 然后立即命令裕度启动, 电感负载		1		
		DAC 处于零标度, 满量程电流编程为 MARGIN-HIGH, 压摆率设置为 32LSB 和 4 μs 阶跃, 然后命令裕度启动, 二极管负载		1		
		DAC 处于零标度, 中量程电流编程为 MARGIN-HIGH, 压摆率设置为 32LSB 和 4 μs 阶跃, 然后命令裕度启动, 电感负载, $C_L = 470\text{nF}$		1		
		DAC 处于满量程, 零标度电流编程为 MARGIN-LOW, 压摆率设置为 32LSB 和 4 μs 阶跃, 然后命令裕度启动, 二极管负载		-1		
		DAC 处于中标度, 零标度电流编程为 MARGIN-LOW, 压摆率设置为 32LSB 和 4 μs 阶跃, 然后命令裕度启动, 电感负载, $C_L = 470\text{nF}$		-1		
V_n	输出噪声电流 (峰峰值)	0.1Hz 至 10Hz, DAC 处于 1/4 标度, 电感负载, $C_L = 470\text{nF}$		50		μA_{pp}
	输出噪声密度	$f = 1\text{kHz}$, DAC 为 1/4 标度, 电感负载, $C_L = 470\text{nF}$		159		$\text{nA}/\sqrt{\text{Hz}}$
	电源抑制比 (交流)	200mV 50Hz 或 60Hz 正弦波叠加在电源电压上, DAC 处于 1/4 标度, 电感负载, $C_L = 470\text{nF}$		1.7		LSB/V
电源						
I_{DD}	流入 VDD 的电流 ⁽³⁾	正常运行, DAC 处于中标度		172		μA

- (1) 在最小电流范围内使用器件, 以符合电气规格。
- (2) 这些器件不具有自动热关断功能。外部电路必须将结温保持在指定限值内。
- (3) 流入 V_{DD} 的电流不考虑 IOUT 引脚上拉取或灌入的负载电流。

5.7 电气特性：比较器模式

所有最小和最大规格的条件为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，以 V_{DD} 为基准，增益 = $1 \times$ ，电压输出 DAC 输出引脚 (VOUTx) 具有阻性负载 ($R_L = 5\text{k}\Omega$ 至 AGND) 和容性负载 ($C_L = 200\text{pF}$ 至 AGND)，且数字输入处于 VDD 或 AGND (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
静态性能					
偏移误差 ^{(1) (2)}	$3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ；DAC 处于中标度，比较器输入处于高阻态	-6	0	6	mV
偏移误差时间漂移 ⁽¹⁾	$V_{\text{DD}} = 5.5\text{V}$ ， $T_A = 125^{\circ}\text{C}$ ，FB1 处于高阻态模式，DAC 处于满量程， V_{FB} 为 0V 或 DAC 处于零标度， V_{F1B} 为 1.84V，10 年连续运行的额定漂移		4		mV
输出					
输入电压	V_{FB1} 电阻网络接地	0		V_{DD}	V
	V_{FB1} 电阻器网络与接地断开	0		$V_{\text{DD}} \times (1/3 - 1/100)$	
V_{OL}	逻辑低输出电压 $I_{\text{LOAD}} = 100 \mu\text{A}$ ，输出处于开漏模式		0.1		V
动态性能					
t_{resp}	输出响应时间 DAC 处于中标度且具有 10 位分辨率，FB1 输入处于高阻态，FB1 节点处的转换步长为 ($V_{\text{DAC}} - 2\text{LSB}$) 至 ($V_{\text{DAC}} + 2\text{LSB}$)，转换时间在输出的 10% 至 90% 之间测得，输出电流为 $100 \mu\text{A}$ ，比较器输出配置为推挽模式，DAC 输出的负载电容器为 25pF		10		μs

- (1) 根据设计和特征确定；未经生产测试。
(2) 此规格不包括 DAC 的总体未调误差 (TUE)。

5.8 电气特性：ADC 输入

所有最小和最大规格的条件为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，以 V_{DD} 为基准，增益 = $1 \times$ ，且数字输入处于 VDD 或 AGND (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
静态性能					
分辨率		10			位
INL	积分非线性 ⁽¹⁾	-2		2	LSB
DNL	微分非线性 ⁽¹⁾	-1		1	LSB
偏移误差 ^{(1) (2)}		-5	0	5	mV
增益误差 ^{(1) (2)}		-1		1	%FSR
输入					
输入电压范围		0		$V_{\text{DD}} / 3$	V
动态性能					
数据速率 ⁽¹⁾	ADC 平均设置为 4 个样本	1406		2008	SPS
采样电容器			10		pF

- (1) 根据设计和特征确定；未经生产测试。
(2) 在 DAC 处于中标度、比较器输入处于高阻态时测得。

5.9 电气特性：通用

所有最小和最大规格的条件为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ，

$3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，以 V_{DD} 为基准，增益 = 1 ×，电压输出 DAC 输出引脚 (V_{OUTx}) 具有阻性负载 ($R_L = 5\text{k}\Omega$ 至 AGND) (在电压输出模式下) 和容性负载 ($C_L = 200\text{pF}$ 至 AGND)，且数字输入处于 VDD 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
内部基准						
	初始精度		1.1979	1.212	1.224	V
	基准输出温度系数 ^{(1) (2)}				73	ppm/°C
EEPROM						
	寿命 ⁽¹⁾	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$		20000		周期
		$T_A = 125^{\circ}\text{C}$		1000		年
	数据保留 ⁽¹⁾			50		年
	EEPROM 编程写入周期时间 ⁽¹⁾				200	ms
	器件启动时间 ⁽¹⁾	从电源有效 ($V_{\text{DD}} \geq 3\text{V}$) 到输出有效状态 (EEPROM 中编程的输出状态) 所用的时间，CAP 引脚上具有 $0.5\mu\text{F}$ 电容器		5		ms
数字输入						
	数字馈通	电压输出模式，中标度 DAC 输出静态，超快速模式，SCL 切换		20		nV-s
	引脚电容	每引脚		10		pF
断电模式						
I_{DD}	流入 VDD 的电流	DAC 处于睡眠模式，内部基准关断			28	μA
I_{DD}	流入 VDD 的电流 ⁽¹⁾	DAC 处于睡眠模式，内部基准已启用，通过内部基准的额外电流		10		μA
		DAC 通道已启用，内部基准已启用，在电压输出模式下每个 DAC 通道通过内部基准的额外电流		12.5		
高阻抗输出						
I_{LEAK}	流入 V_{OUT} 和 V_{FB} 的电流	DAC 处于高阻态输出模式， $3\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$		10		nA
		$V_{\text{DD}} = 0\text{V}$ ， $V_{\text{OUT}} \leq 1.5\text{V}$ ， V_{DD} 和 AGND 之间的去耦电容 = $0.1\mu\text{F}$		200		
		$V_{\text{DD}} = 0\text{V}$ ， $1.5\text{V} < V_{\text{OUT}} \leq 5.5\text{V}$ ， V_{DD} 和 AGND 之间的去耦电容 = $0.1\mu\text{F}$		500		
		V_{DD} 和 AGND 之间的电阻为 $100\text{k}\Omega$ ， $V_{\text{OUT}} \leq 1.25\text{V}$ ，OUT 引脚上具有 $10\text{k}\Omega$ 串联电阻		± 2		μA

(1) 根据设计和特征确定；未经生产测试。

(2) 在 -40°C 和 $+125^{\circ}\text{C}$ 条件下测得，并计算了斜率。

5.10 时序要求：I²C 标准模式

所有输入信号的时间都是从 V_{IL} 计时到 V_{pull-up} 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，-40°C ≤ T_A ≤ +125°C，且 3V ≤ V_{pull-up} ≤ V_{DD}

		最小值	标称值	最大值	单位
f _{SCL}	SCL 频率			100	kHz
t _{BUF}	停止条件和启动条件之间的总线空闲时间	4.7			μs
t _{HDSTA}	重复启动后的保持时间	4			μs
t _{SUSTA}	重复启动设置时间	4.7			μs
t _{SUSTO}	停止条件设置时间	4			μs
t _{HDDAT}	数据保持时间	0			ns
t _{SUDAT}	数据设置时间	250			ns
t _{LOW}	SCL 时钟低电平周期	4700			ns
t _{HIGH}	SCL 时钟高电平周期	4000			ns
t _F	时钟和数据下降时间			300	ns
t _R	时钟和数据上升时间			1000	ns
t _{VDDAT}	数据有效时间，R = 360 Ω，C _{trace} = 23pF，C _{probe} = 10pF			3.45	μs
t _{VDAACK}	数据有效确认时间，R = 360 Ω，C _{trace} = 23pF，C _{probe} = 10pF			3.45	μs

5.11 时序要求：I²C 快速模式

所有输入信号的时间都是从 V_{IL} 计时到 V_{pull-up} 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，-40°C ≤ T_A ≤ +125°C，且 3V ≤ V_{pull-up} ≤ V_{DD}

		最小值	标称值	最大值	单位
f _{SCL}	SCL 频率			400	kHz
t _{BUF}	停止条件和启动条件之间的总线空闲时间	1.3			μs
t _{HDSTA}	重复启动后的保持时间	0.6			μs
t _{SUSTA}	重复启动设置时间	0.6			μs
t _{SUSTO}	停止条件设置时间	0.6			μs
t _{HDDAT}	数据保持时间	0			ns
t _{SUDAT}	数据设置时间	100			ns
t _{LOW}	SCL 时钟低电平周期	1300			ns
t _{HIGH}	SCL 时钟高电平周期	600			ns
t _F	时钟和数据下降时间			300	ns
t _R	时钟和数据上升时间			300	ns
t _{VDDAT}	数据有效时间，R = 360 Ω，C _{trace} = 23pF，C _{probe} = 10pF			0.9	μs
t _{VDAACK}	数据有效确认时间，R = 360 Ω，C _{trace} = 23pF，C _{probe} = 10pF			0.9	μs

5.12 时序要求：I²C 超快速模式

所有输入信号的时间都是从 V_{IL} 计时到 V_{pull-up} 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，-40°C ≤ T_A ≤ +125°C，且 3V ≤ V_{pull-up} ≤ V_{DD}

		最小值	标称值	最大值	单位
f _{SCL}	SCL 频率			1	MHz
t _{BUF}	停止条件和启动条件之间的总线空闲时间	0.5			μs
t _{HDSTA}	重复启动后的保持时间	0.26			μs
t _{SUSTA}	重复启动设置时间	0.26			μs
t _{SUSTO}	停止条件设置时间	0.26			μs
t _{HDDAT}	数据保持时间	0			ns
t _{SUDAT}	数据设置时间	50			ns
t _{LOW}	SCL 时钟低电平周期	0.5			μs
t _{HIGH}	SCL 时钟高电平周期	0.26			μs
t _F	时钟和数据下降时间			120	ns
t _R	时钟和数据上升时间			120	ns

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ ，且 $3V \leq V_{pull-up} \leq V_{DD}$

		最小值	标称值	最大值	单位
t _{VDDAT}	数据有效时间，R = 360 Ω，C _{trace} = 23pF，C _{probe} = 10pF			0.45	μs
t _{VDACK}	数据有效确认时间，R = 360 Ω，C _{trace} = 23pF，C _{probe} = 10pF			0.45	μs

5.13 时序要求：SPI 写入操作

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定，而且从 $(V_{IL} + V_{IH})/2$ 的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $3V \leq V_{DD} \leq 5.5V$ 且 $-40^{\circ}C \leq T_A \leq +125^{\circ}C$

		最小值	标称值	最大值	单位
f _{SCL}	串行时钟频率			50	MHz
t _{SCLKHIGH}	SCLK 高电平时间	9			ns
t _{SCLLOW}	SCLK 低电平时间	9			ns
t _{SDIS}	SDI 建立时间	8			ns
t _{SDIH}	SDI 保持时间	8			ns
t _{CSS}	\overline{CS} 到 SCLK 下降沿建立时间	18			ns
t _{CSH}	SCLK 下降沿到 \overline{CS} 上升沿	10			ns
t _{CSHIGH}	\overline{CS} 高电平时间	50			ns
t _{DACWAIT}	同一通道的顺序 DAC 更新等待时间 (后续 LDAC 下降沿之间的时间)	2			μs
t _{BCASTWAIT}	广播 DAC 更新等待时间 (后续 LDAC 下降沿之间的时间)	2			μs

5.14 时序要求：SPI 读取和菊花链操作 (FSDO = 0)

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定，而且从 $(V_{IL} + V_{IH})/2$ 的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $3V \leq V_{DD} \leq 5.5V$ ， $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ 且 FSDO = 0

		最小值	标称值	最大值	单位
f _{SCL}	串行时钟频率			1.25	MHz
t _{SCLKHIGH}	SCLK 高电平时间	350			ns
t _{SCLLOW}	SCLK 低电平时间	350			ns
t _{SDIS}	SDI 建立时间	8			ns
t _{SDIH}	SDI 保持时间	8			ns
t _{CSS}	\overline{SYNC} 到 SCLK 下降沿建立时间	400			ns
t _{CSH}	SCLK 下降边沿到 \overline{SYNC} 上升边沿	400			ns
t _{CSHIGH}	\overline{SYNC} 高电平时间	1			μs
t _{SDODLY}	SCLK 上升沿到 SDO 下降沿， $I_{OL} \leq 5mA$ ， $C_L = 20pF$ 。			300	ns

5.15 时序要求：SPI 读取和菊花链操作 (FSDO = 1)

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定，而且从 $(V_{IL} + V_{IH})/2$ 的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $3V \leq V_{DD} \leq 5.5V$ ， $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ 且 FSDO = 1

		最小值	标称值	最大值	单位
f _{SCL}	串行时钟频率			2.5	MHz
t _{SCLKHIGH}	SCLK 高电平时间	175			ns
t _{SCLLOW}	SCLK 低电平时间	175			ns
t _{SDIS}	SDI 建立时间	8			ns
t _{SDIH}	SDI 保持时间	8			ns
t _{CSS}	\overline{SYNC} 到 SCLK 下降沿建立时间	300			ns
t _{CSH}	SCLK 下降边沿到 \overline{SYNC} 上升边沿	300			ns

所有输入信号都在 $t_r = t_f = 1\text{V/ns}$ (V_{IO} 的 10% 至 90%) 时指定, 而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始, $1.7\text{V} \leq V_{IO} \leq 5.5\text{V}$, $3\text{V} \leq V_{DD} \leq 5.5\text{V}$, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 且 $F_{SDO} = 1$

		最小值	标称值	最大值	单位
t_{CSHIGH}	SYNC 高电平时间	1			μs
t_{SDODLY}	SCLK 上升沿到 SDO 下降沿, $I_{OL} \leq 5\text{mA}$, $C_L = 20\text{pF}$ 。	300			ns

5.16 时序要求 : GPIO

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定, 而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始, $1.7V \leq V_{IO} \leq 5.5V$, $3V \leq V_{DD} \leq 5.5V$ 且 $-40^\circ C \leq T_A \leq +125^\circ C$

		最小值	标称值	最大值	单位
$t_{GPIHIGH}$	GPI 高电平时间	2			μs
t_{GPILOW}	GPI 低电平时间	2			μs
t_{GPAWGD}	\overline{LDAC} 下降沿至 DAC 更新延迟 ⁽¹⁾			2	μs
$t_{CS2LDAC}$	\overline{SYNC} 上升沿到 \overline{LDAC} 下降沿	1			μs
$t_{STP2LDAC}$	I^2C 停止位上升沿到 \overline{LDAC} 下降沿	1			μs
t_{LDACW}	\overline{LDAC} 低电平时间	2			μs

(1) GPIO 可配置为特定于通道的或全局的 \overline{LDAC} 功能。

5.17 时序图

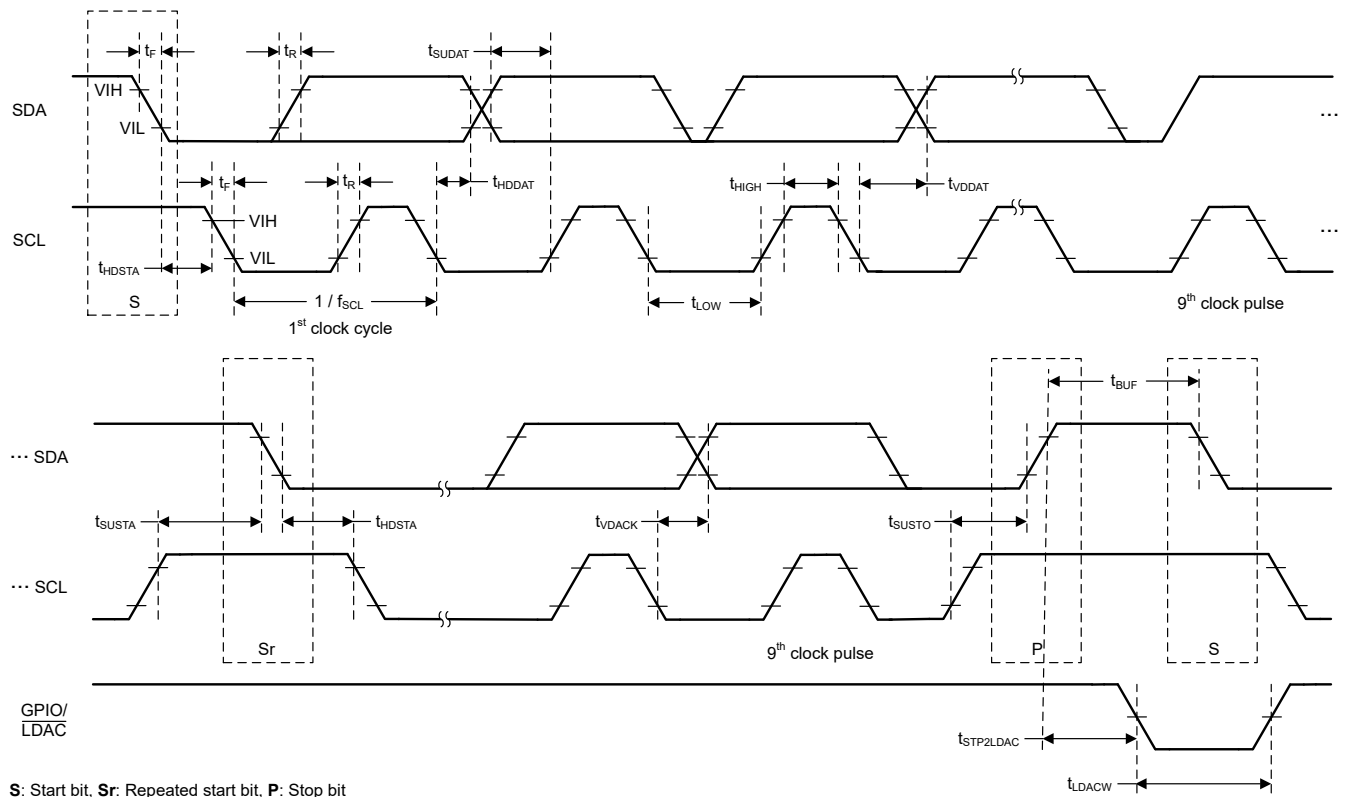


图 5-1. I²C 时序图

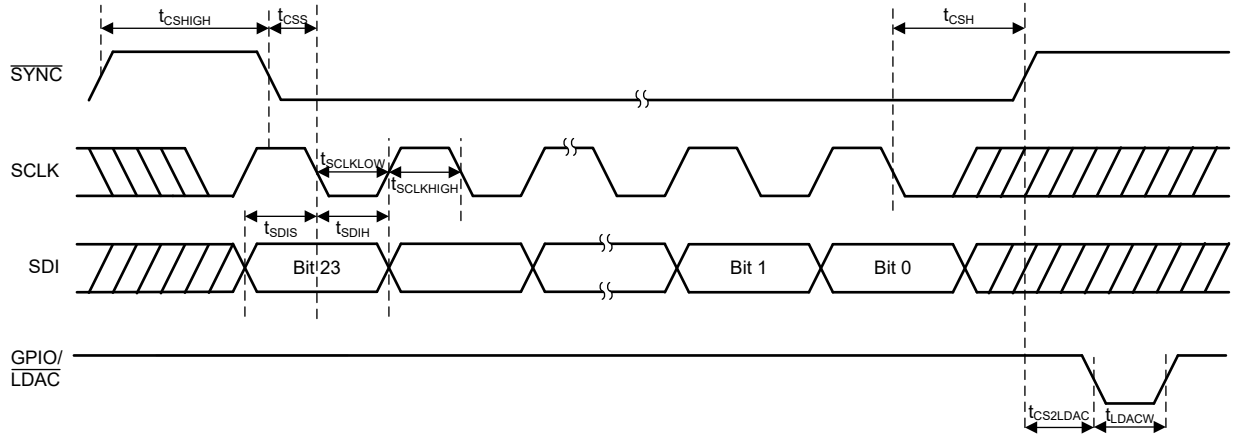


图 5-2. SPI 写入时序图

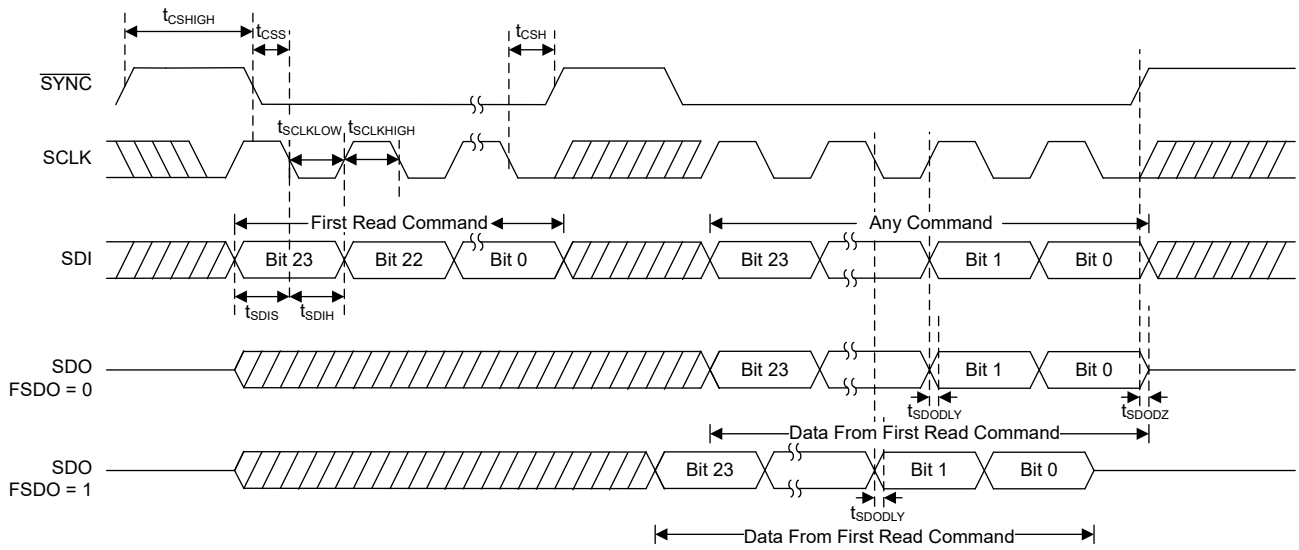


图 5-3. SPI 读取时序图

5.18 典型特性：电压输出

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 以 V_{DD} 为基准, 增益 = $1 \times$, 10 位分辨率, 且 DAC 输出为空载 (除非另有说明)

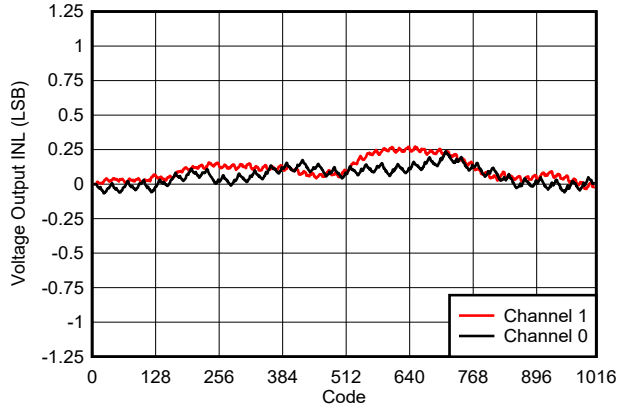


图 5-4. 电压输出 INL 与数字输入代码间的关系

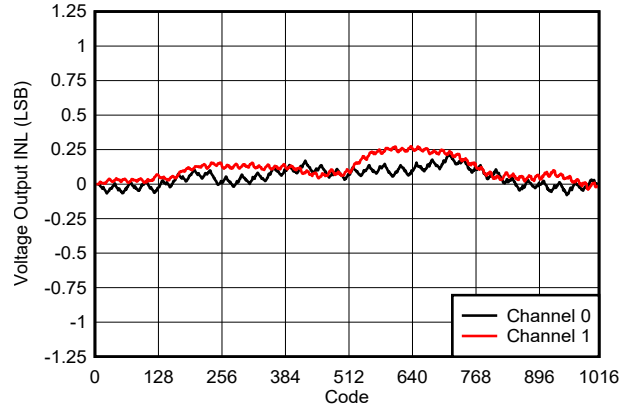


图 5-5. 电压输出 INL 与数字输入代码间的关系

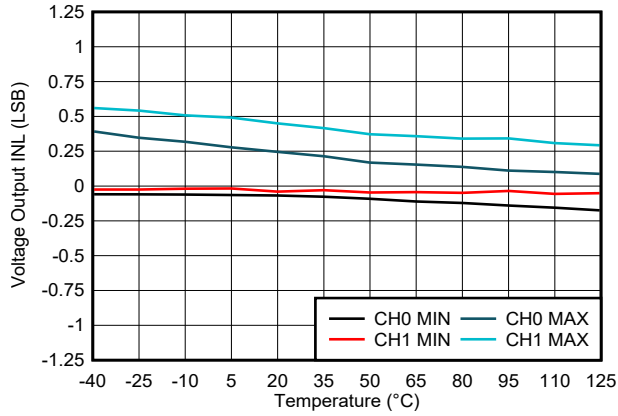


图 5-6. 电压输出 INL 与温度间的关系

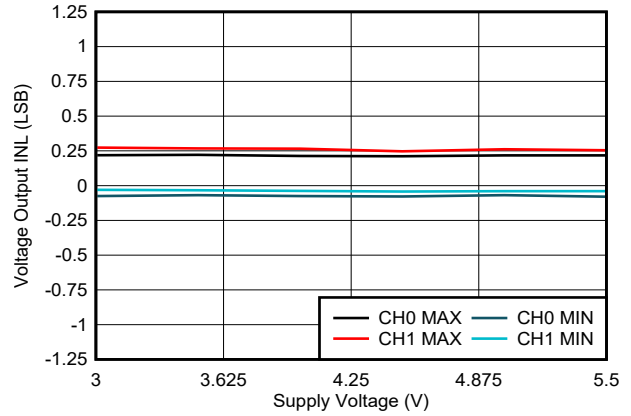


图 5-7. 电压输出 INL 与电源电压间的关系

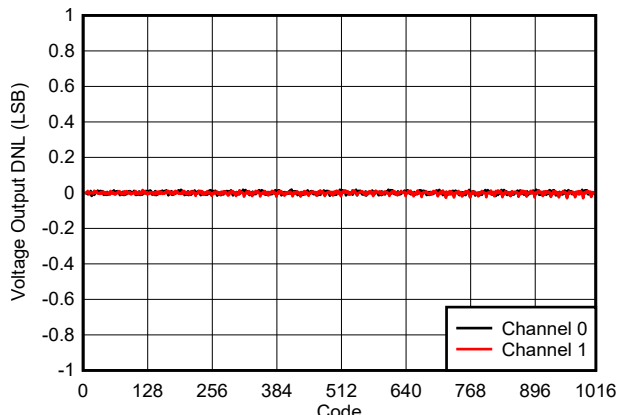


图 5-8. 电压输出 DNL 与数字输入代码间的关系

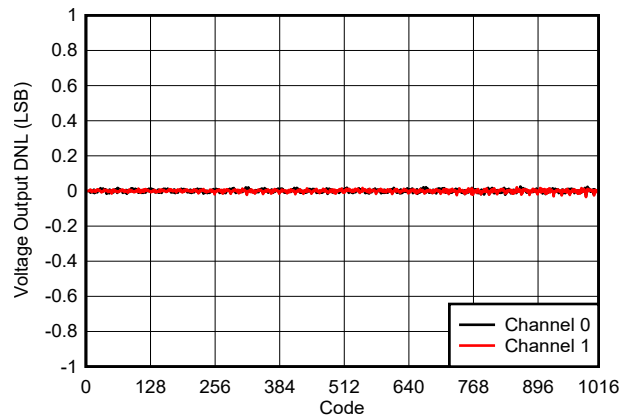


图 5-9. 电压输出 DNL 与数字输入代码间的关系

5.18 典型特性：电压输出（续）

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 以 V_{DD} 为基准, 增益 = $1 \times$, 10 位分辨率, 且 DAC 输出为空载 (除非另有说明)

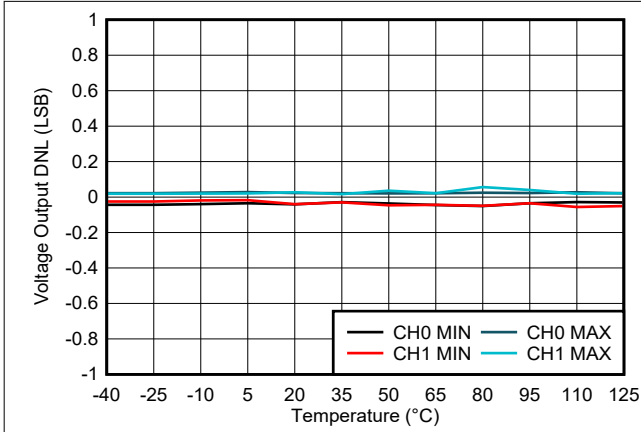


图 5-10. 电压输出 DNL 与温度间的关系

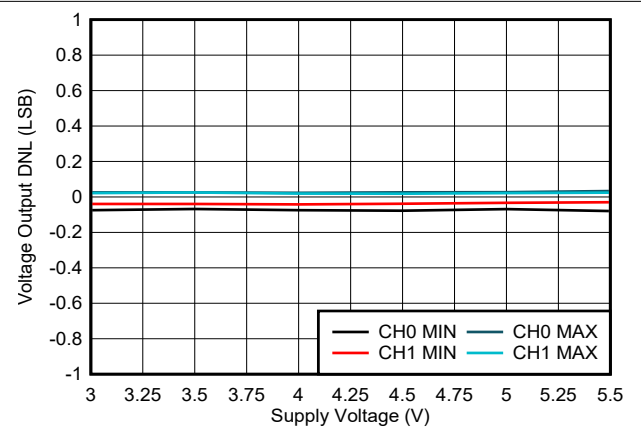


图 5-11. 电压输出 DNL 与电源电压间的关系

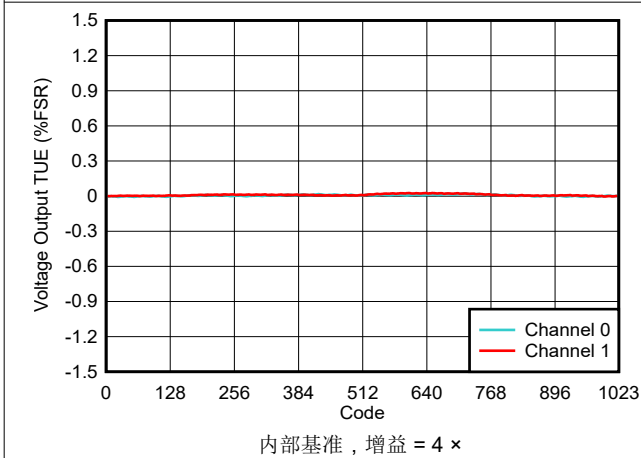


图 5-12. 电压输出 TUE 与数字输入代码间的关系

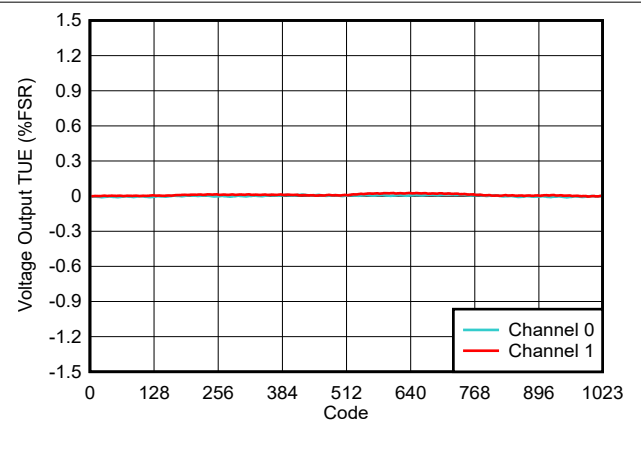


图 5-13. 电压输出 TUE 与数字输入代码间的关系

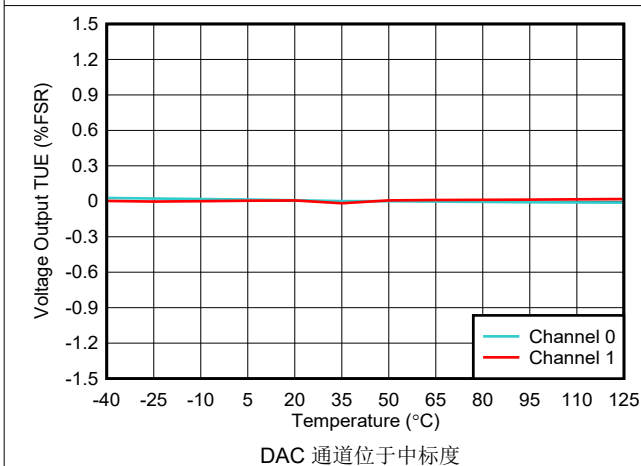


图 5-14. 电压输出 TUE 与温度间的关系

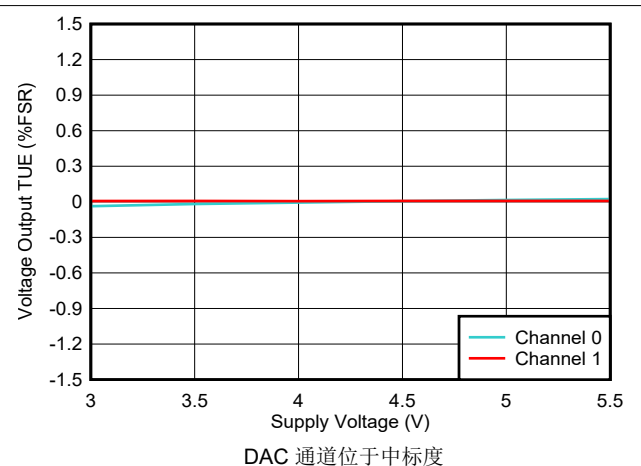


图 5-15. 电压输出 TUE 与电源电压间的关系

5.18 典型特性：电压输出（续）

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 以 V_{DD} 为基准, 增益 = $1 \times$, 10 位分辨率, 且 DAC 输出为空载 (除非另有说明)

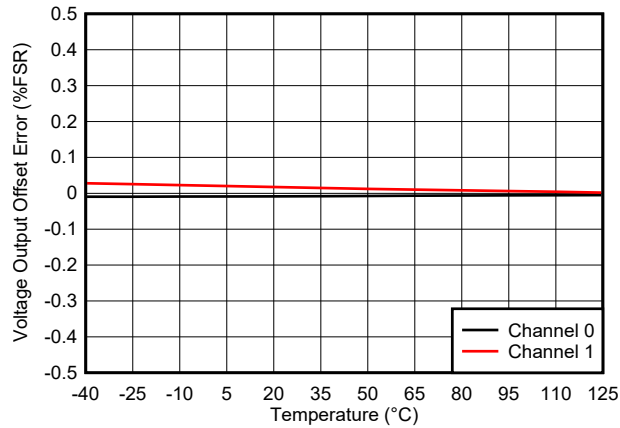


图 5-16. 电压输出偏移误差与温度间的关系

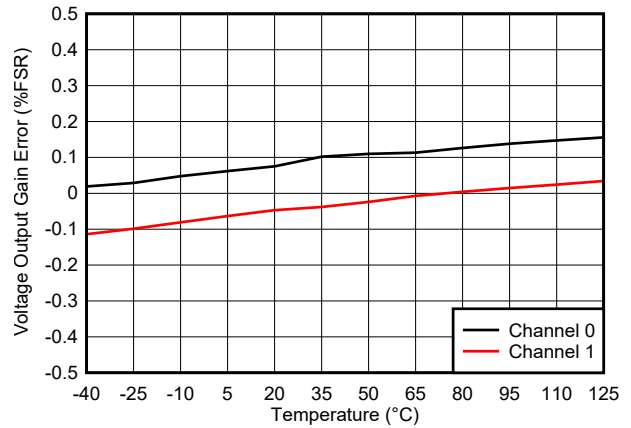


图 5-17. 电压输出增益误差与温度间的关系

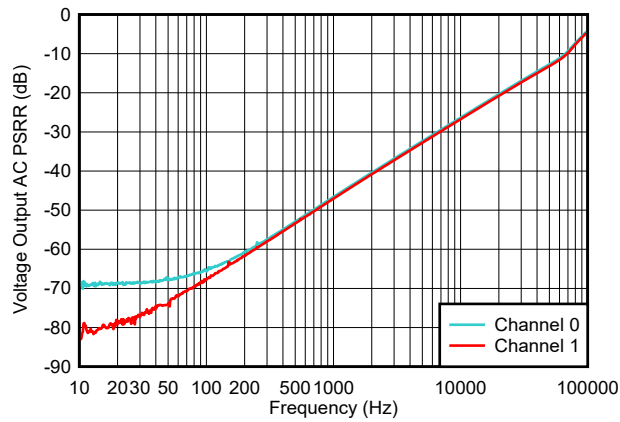


图 5-18. 电压输出交流 PSRR 与频率间的关系

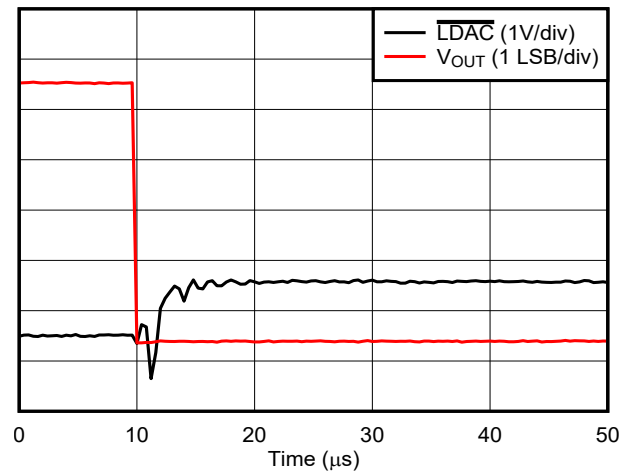


图 5-19. 电压输出代码对代码干扰 - 上升沿

5.18 典型特性：电压输出（续）

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 以 V_{DD} 为基准, 增益 = $1 \times$, 10 位分辨率, 且 DAC 输出为空载 (除非另有说明)

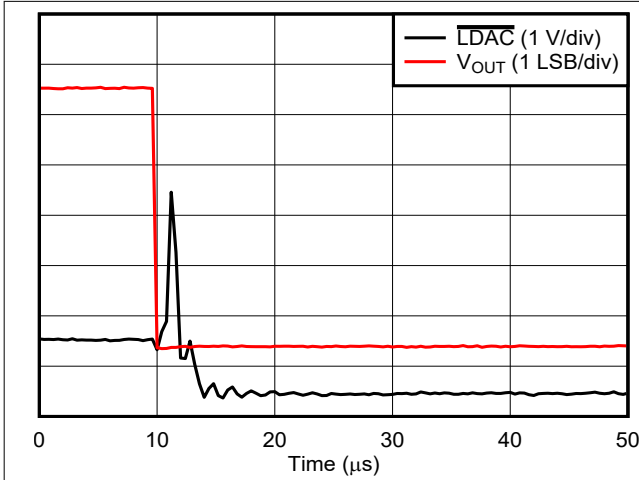
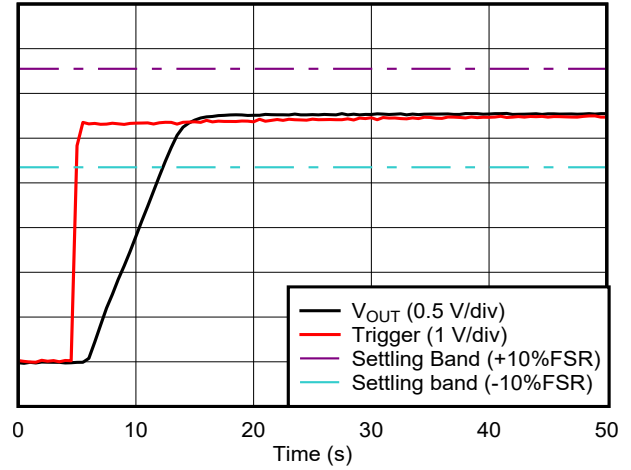
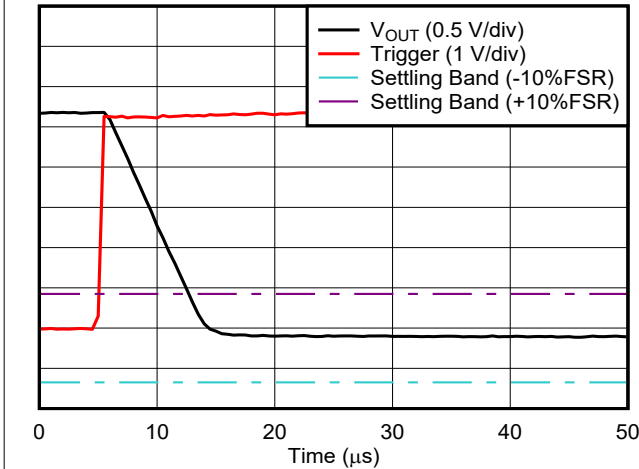


图 5-20. 电压输出代码对代码干扰 - 下降沿



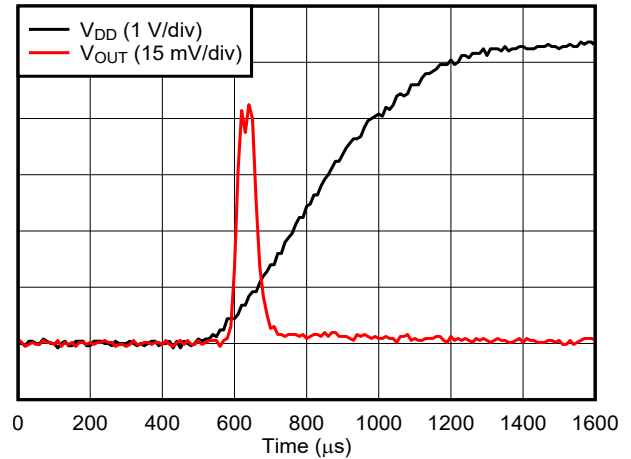
零标度到满量程摆幅

图 5-21. 电压输出建立时间 - 上升沿



满量程到零标度摆幅

图 5-22. 电压输出建立时间 - 下降沿

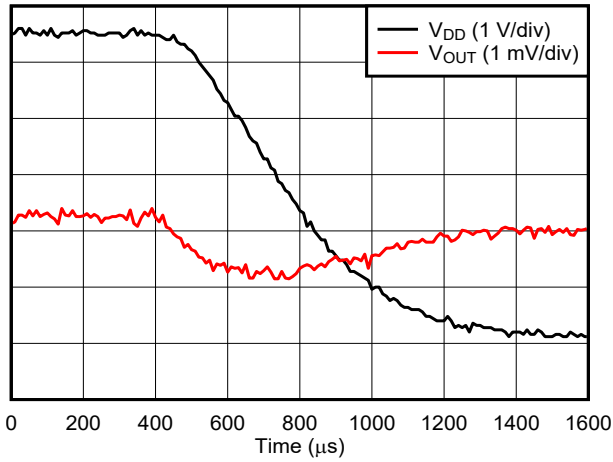


DAC 处于高阻态断电模式

图 5-23. 电压输出上电干扰

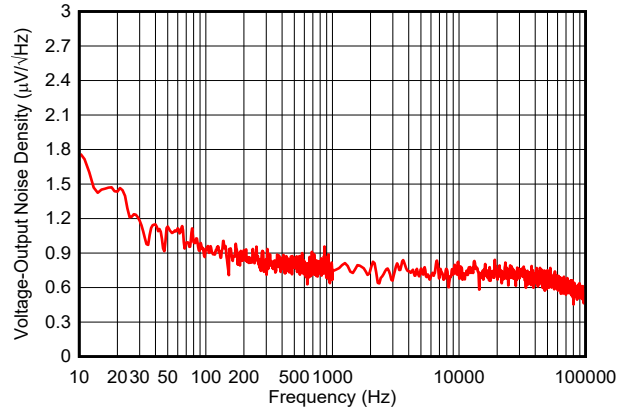
5.18 典型特性：电压输出（续）

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 以 V_{DD} 为基准, 增益 = $1 \times$, 10 位分辨率, 且 DAC 输出为空载 (除非另有说明)



DAC 处于零标度

图 5-24. 电压输出断电干扰



内部基准, 增益 = $4 \times$

图 5-25. 电压输出噪声密度

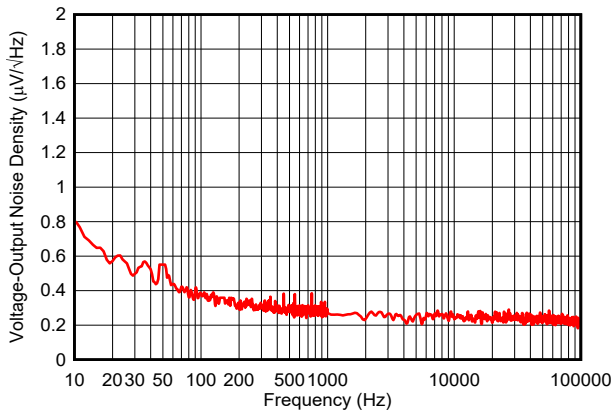
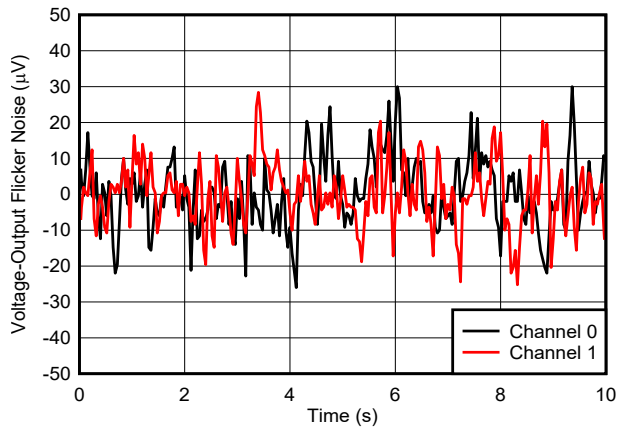


图 5-26. 电压输出噪声密度



内部基准, 增益 = $4 \times$, $f = 0.1\text{Hz}$ 至 10Hz

图 5-27. 电压输出闪烁噪声

5.18 典型特性：电压输出（续）

$T_A = 25^\circ\text{C}$ ， $V_{DD} = 5.5\text{V}$ ，以 V_{DD} 为基准，增益 = $1 \times$ ，10 位分辨率，且 DAC 输出为空载（除非另有说明）

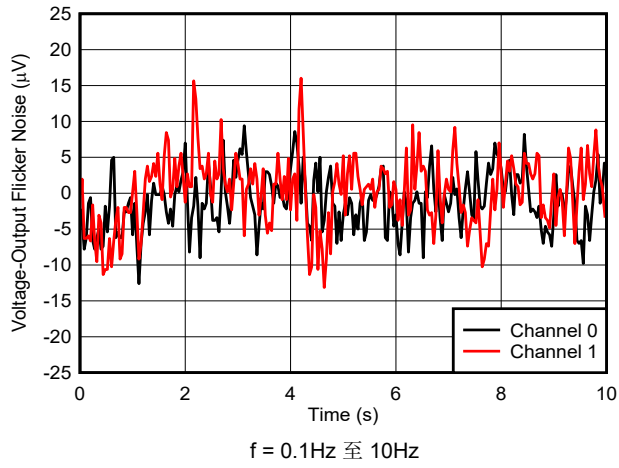


图 5-28. 电压输出闪烁噪声

5.19 典型特性：电流输出

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, $\text{IOOUT-GAIN} = 2/3$, 二极管负载 (除非另有说明)

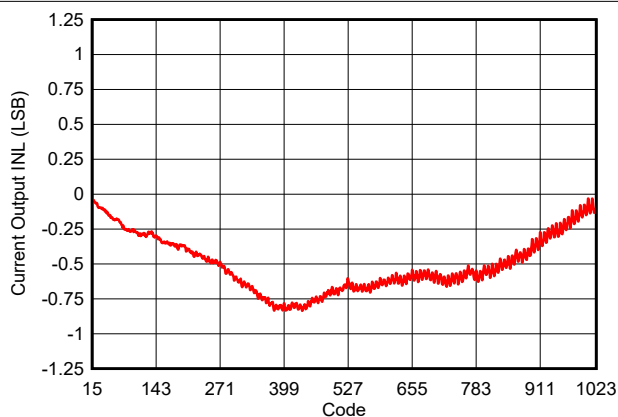


图 5-29. 电流输出 INL 与数字输入代码间的关系

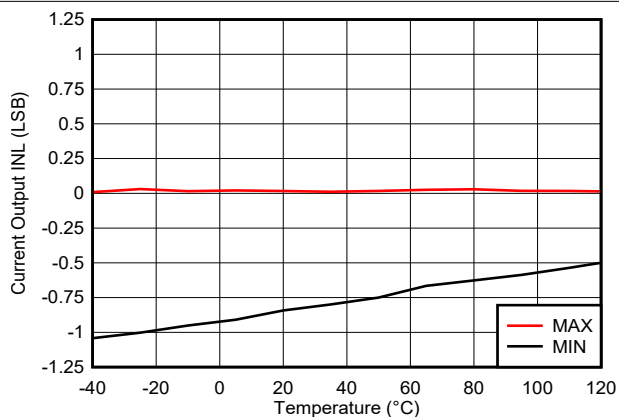


图 5-30. 电流输出 INL 与温度间的关系

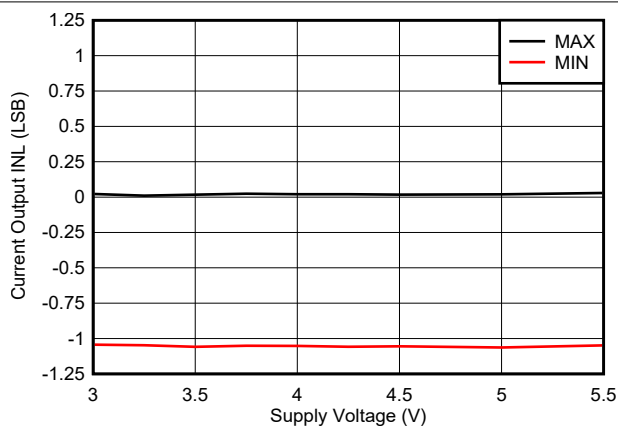


图 5-31. 电流输出 INL 与电源电压间的关系

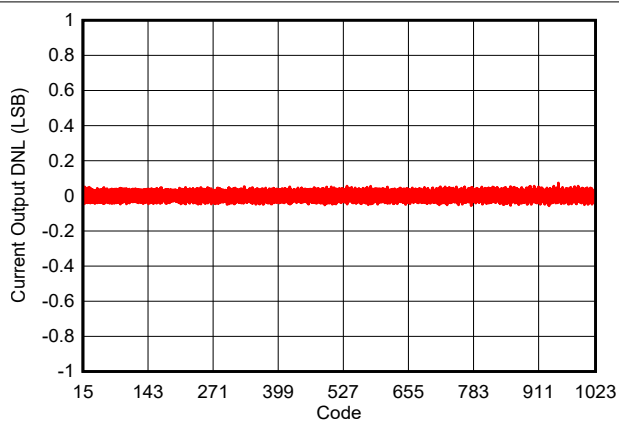


图 5-32. 电流输出 DNL 与数字输入代码间的关系

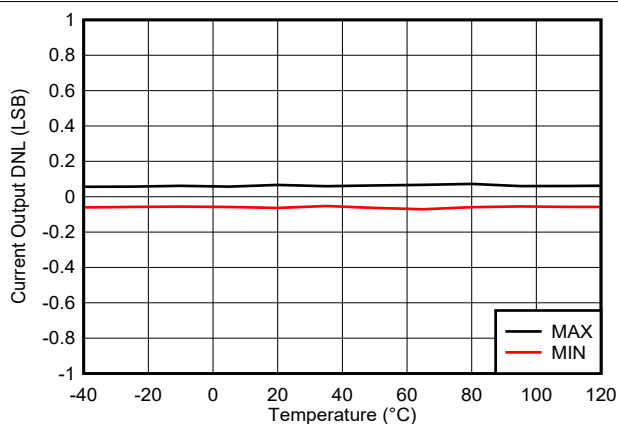


图 5-33. 电流输出 DNL 与温度间的关系

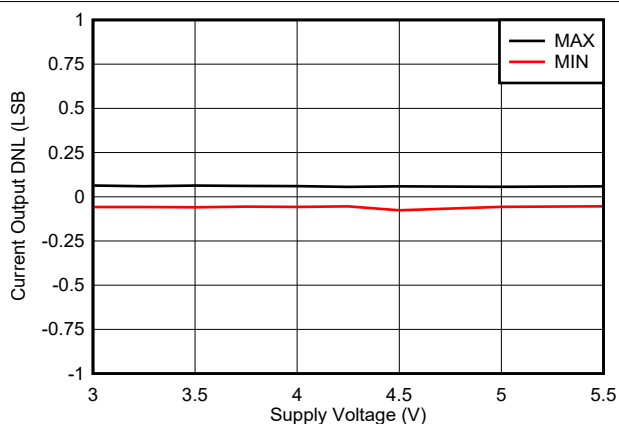


图 5-34. 电流输出 DNL 与电源电压间的关系

5.19 典型特性：电流输出（续）

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, $I_{OUT-GAIN} = 2/3$, 二极管负载 (除非另有说明)

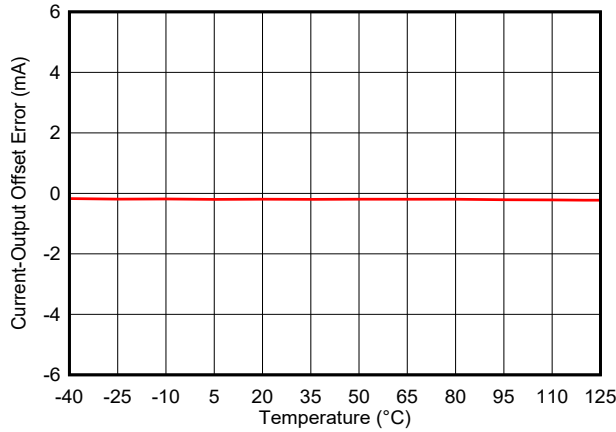


图 5-35. 电流输出偏移误差与温度间的关系

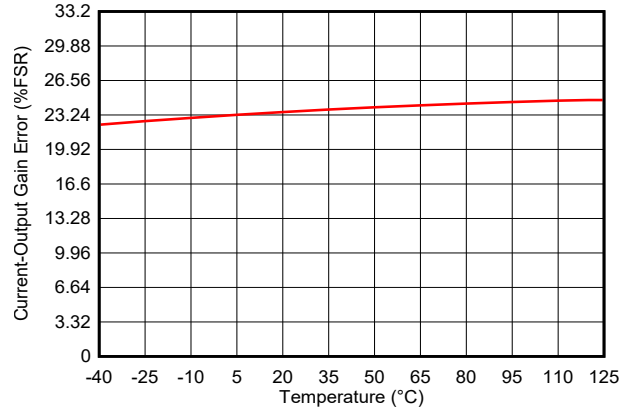


图 5-36. 电流输出增益误差与温度间的关系

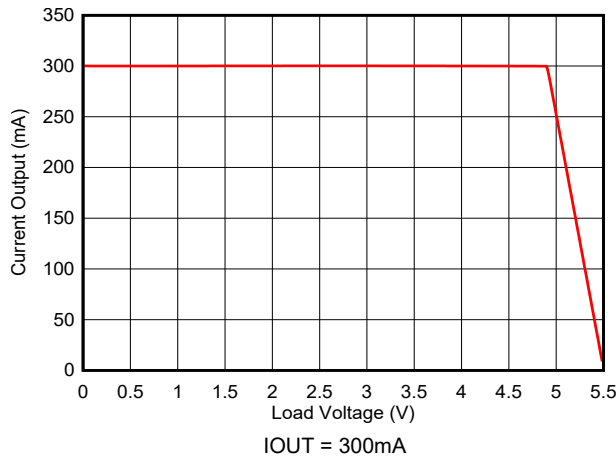


图 5-37. 电流输出与负载电压间的关系

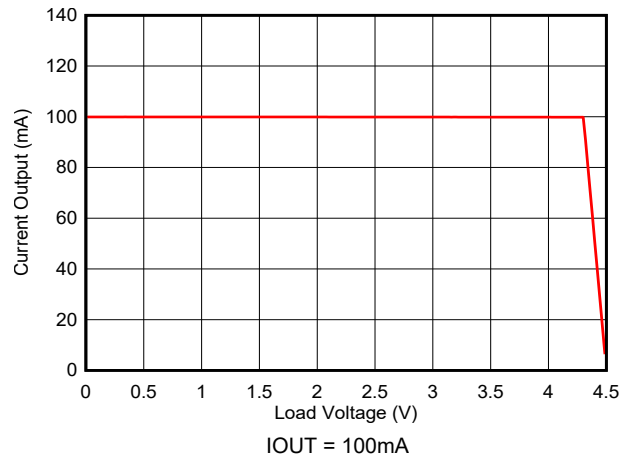


图 5-38. 电流输出与负载电压间的关系

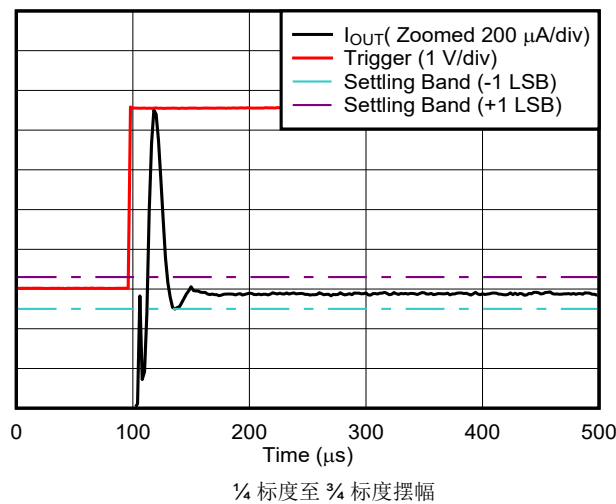


图 5-39. 电流输出建立时间 (上升沿)

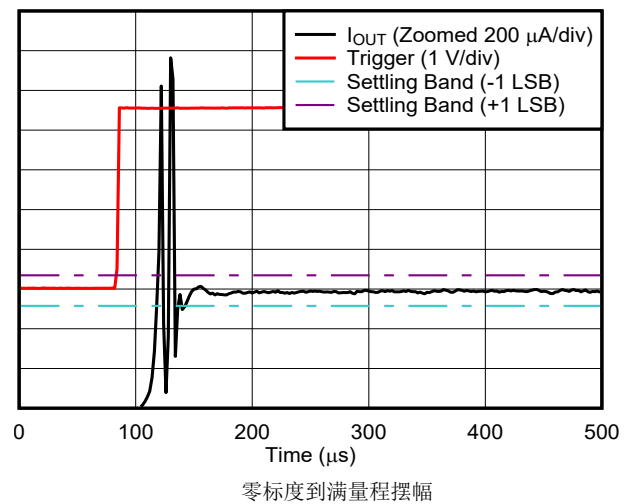


图 5-40. 电流输出建立时间 (上升沿)

5.19 典型特性：电流输出（续）

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, $I_{OUT-GAIN} = 2/3$, 二极管负载（除非另有说明）

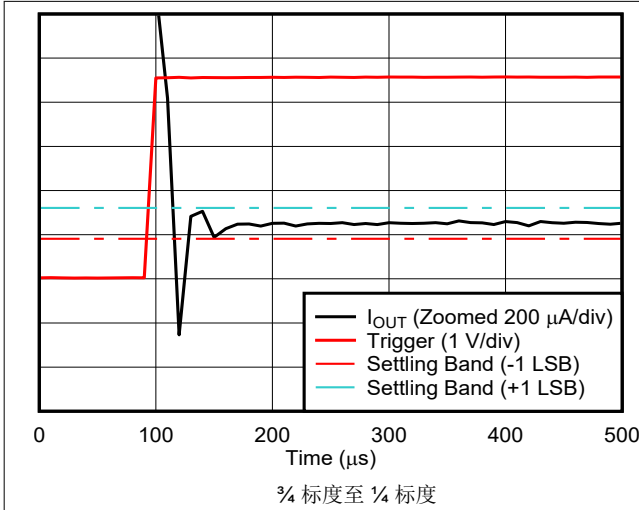


图 5-41. 电流输出建立时间（下降沿）

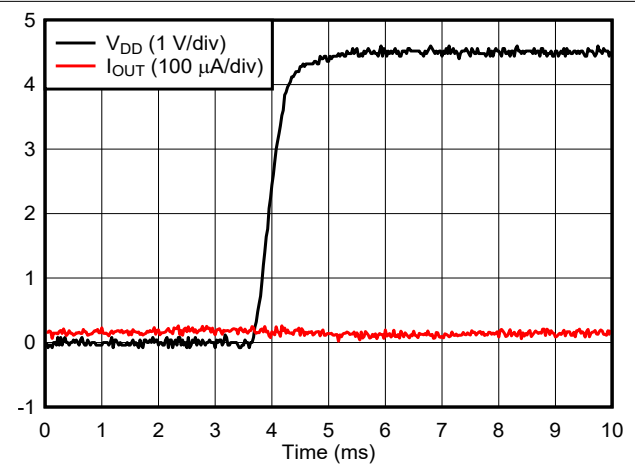


图 5-42. 电流输出上电干扰

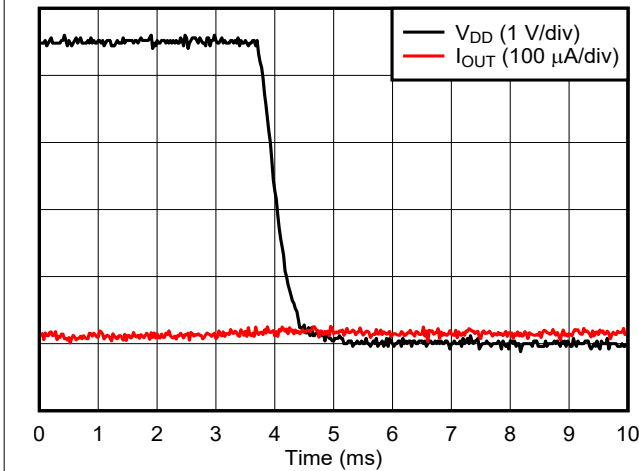


图 5-43. 电流输出断电干扰

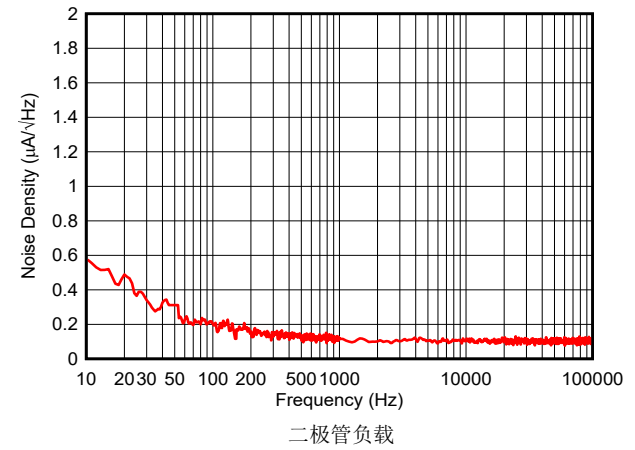


图 5-44. 电流输出噪声密度

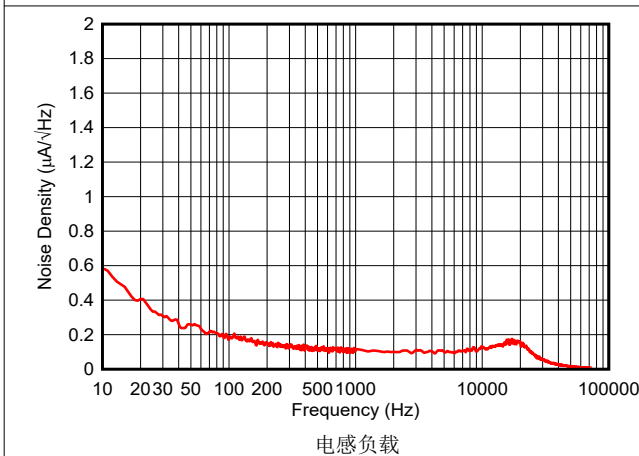


图 5-45. 电流输出噪声密度

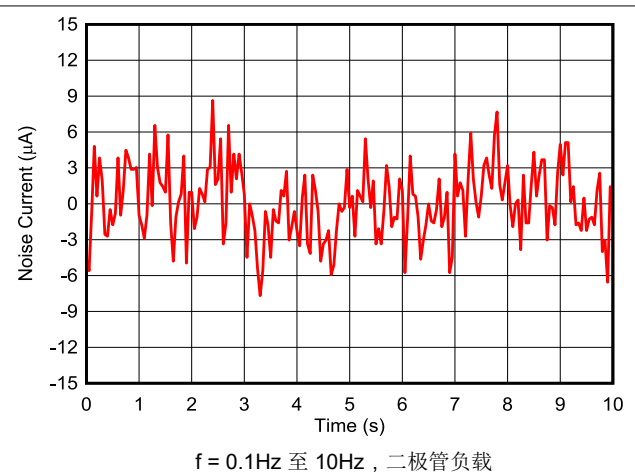
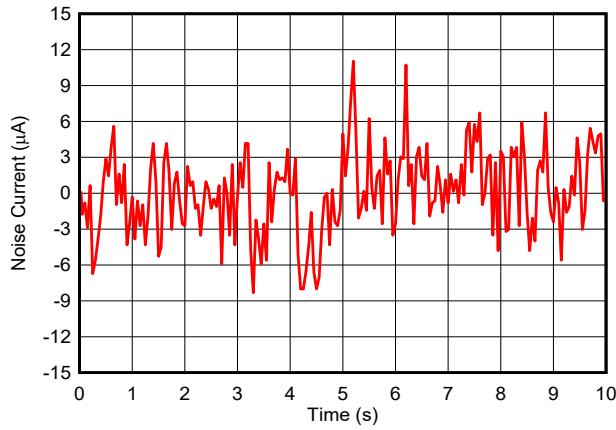


图 5-46. 电流输出闪烁噪声

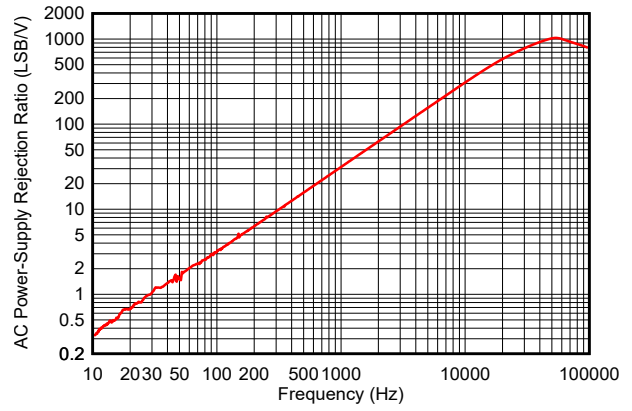
5.19 典型特性：电流输出（续）

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, $I_{OUT-GAIN} = 2/3$, 二极管负载（除非另有说明）



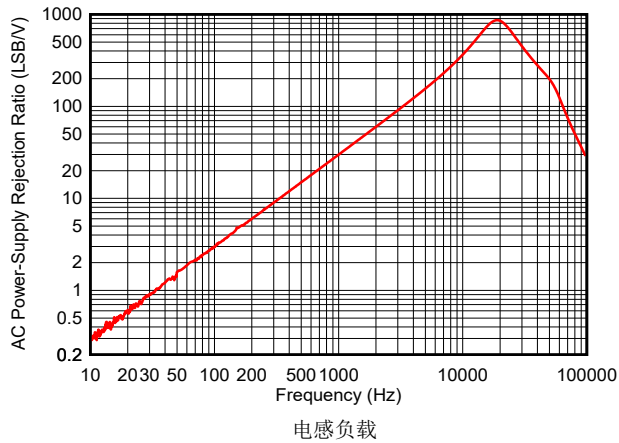
$f = 0.1\text{Hz}$ 至 10Hz , 电感负载

图 5-47. 电流输出闪烁噪声



二极管负载

图 5-48. 电流输出交流 PSRR 与频率间的关系



电感负载

图 5-49. 电流输出交流 PSRR 与频率间的关系

5.20 典型特性：比较器

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 以 V_{DD} 为基准, 增益 = $1 \times$, 10 位分辨率, FB1 引脚处于高阻态模式, 且 DAC 输出为空载 (除非另有说明)

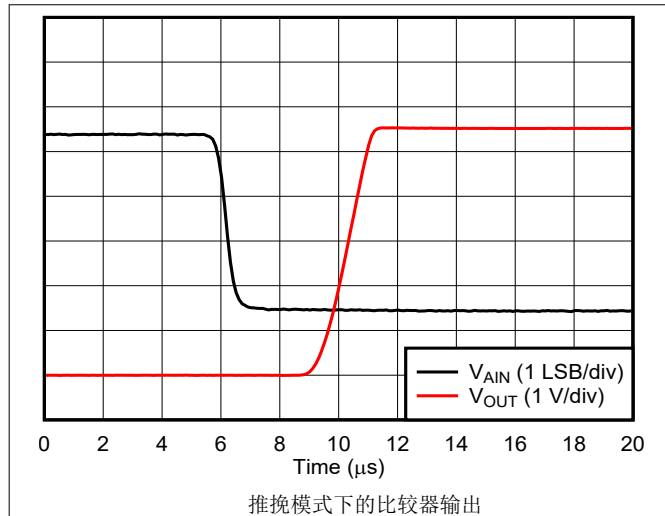


图 5-50. 比较器响应时间：低电平到高电平转换

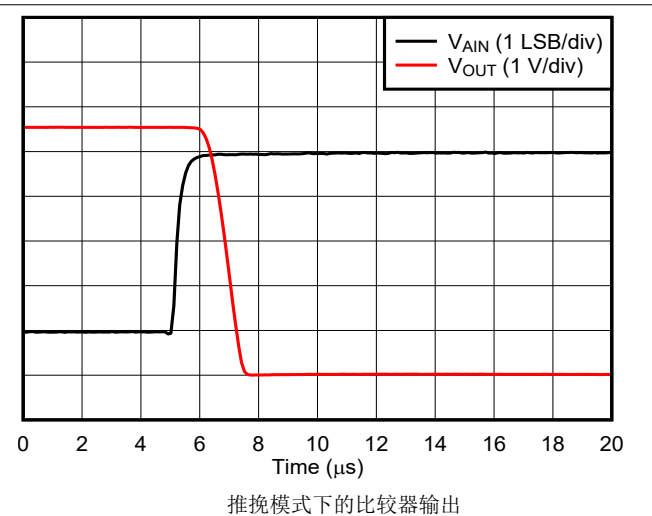


图 5-51. 比较器响应时间：高电平到低电平转换

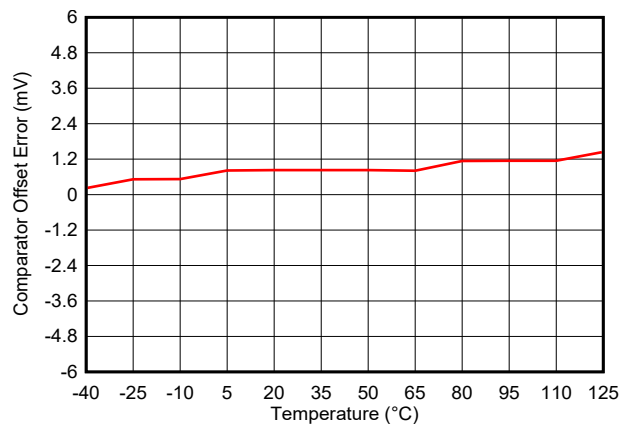
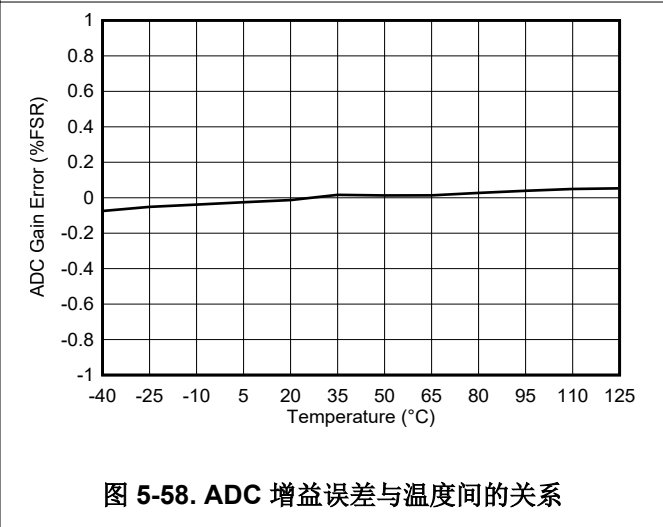
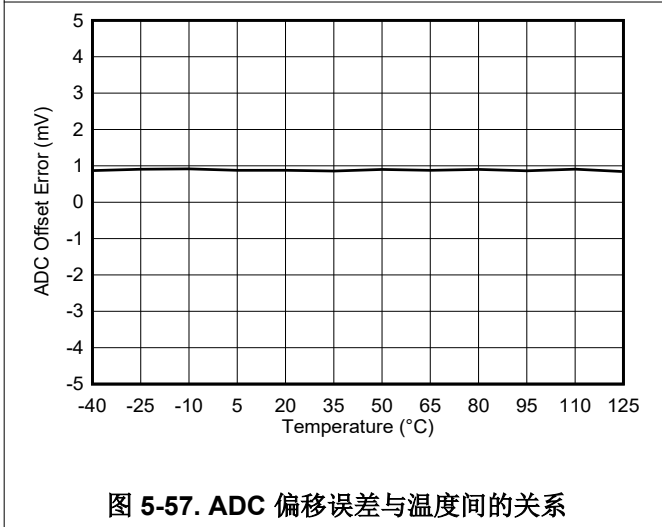
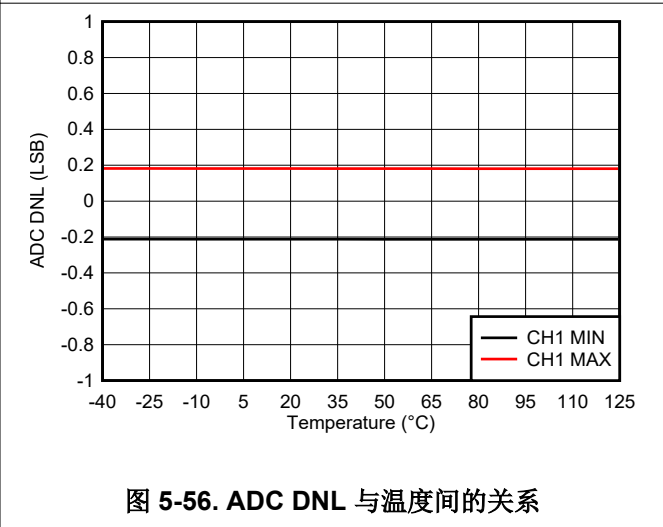
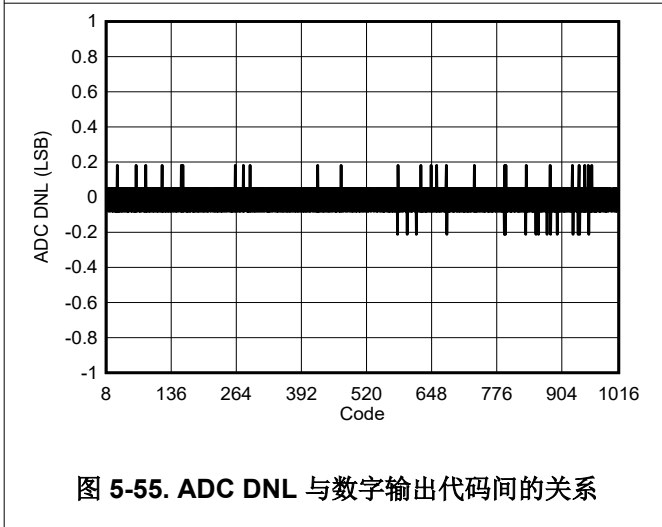
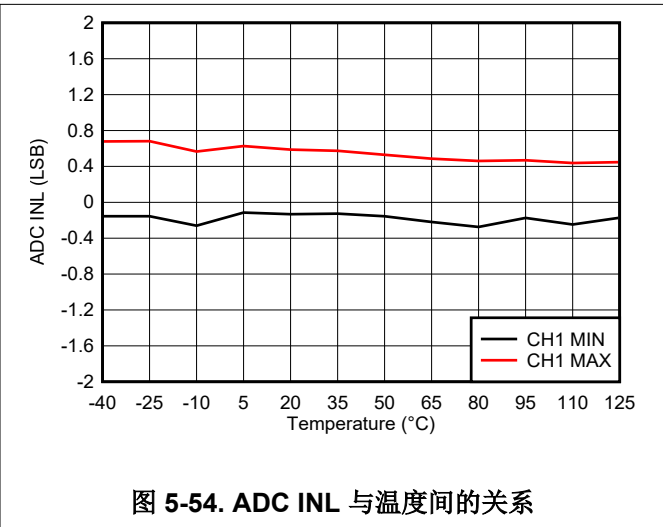
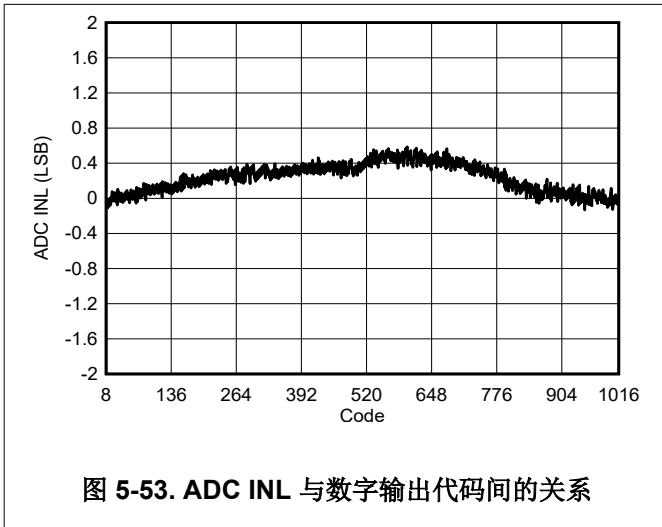


图 5-52. 比较器偏移误差与温度间的关系

5.21 典型特性：ADC

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 以 VDD 为基准, 增益 = $1 \times$, 10 位分辨率, 且高阻态输入 (除非另有说明)



5.22 典型特性：通用

$T_A = 25^\circ\text{C}$ ， $V_{DD} = 5.5\text{V}$ ，且 DAC 输出为空载（除非另有说明）

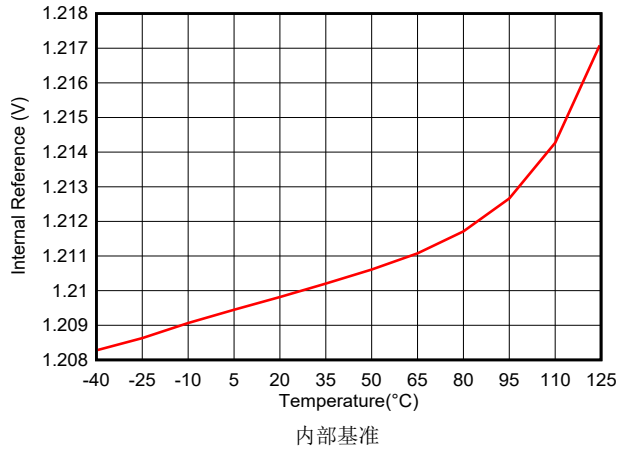


图 5-59. 内部基准与温度间的关系

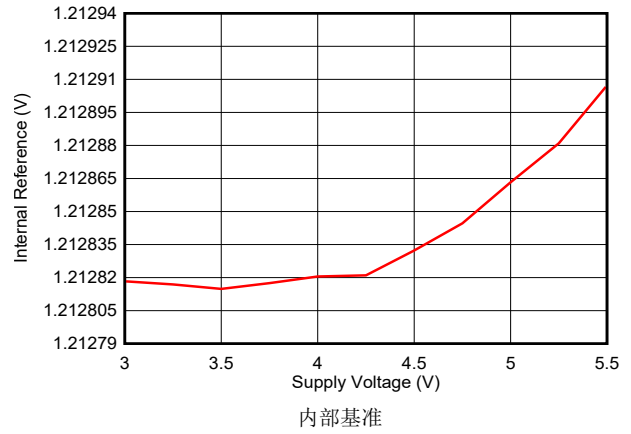


图 5-60. 内部基准与电源电压间的关系

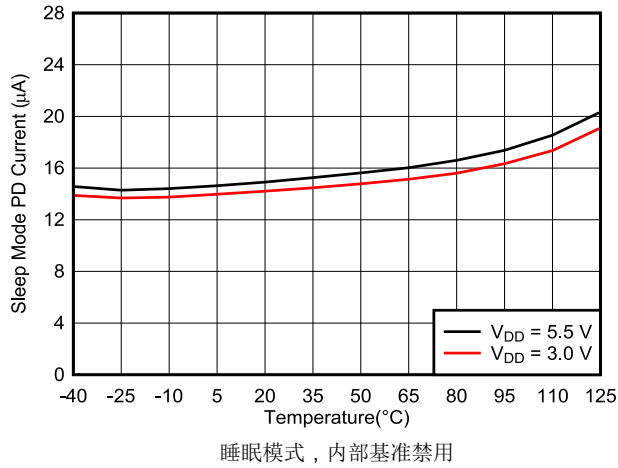


图 5-61. 断电电流与温度间的关系

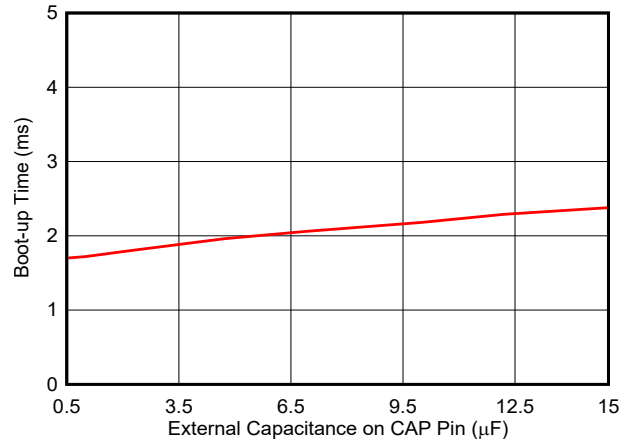


图 5-62. 启动时间与 CAP 引脚上电容间的关系

6 详细说明

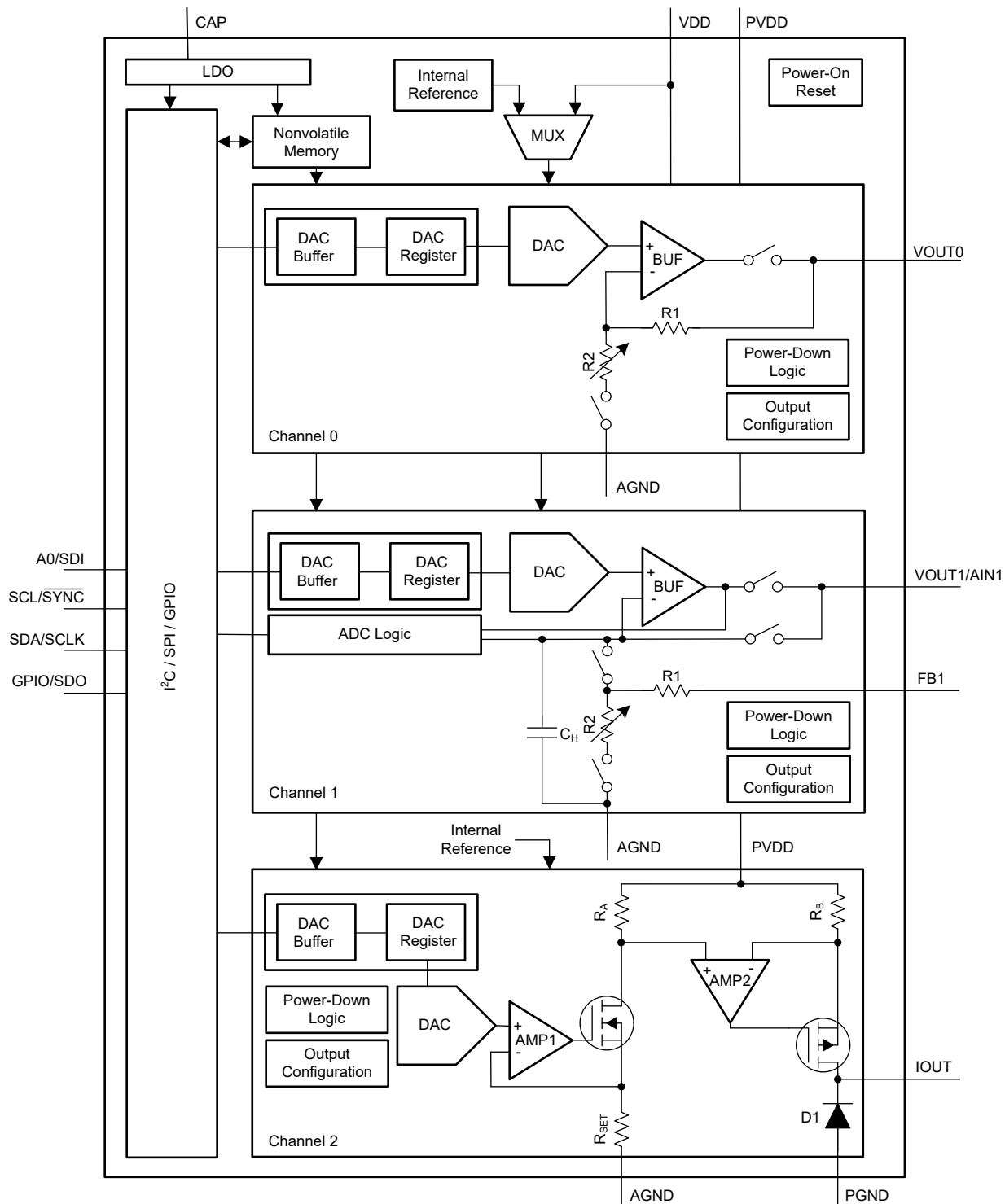
6.1 概述

10 位 AFE532A3W 和 8 位 AFE432A3W (AFEx32A3W) 是一款是三通道缓冲电压输出、电流输出和 ADC 输入智能 AFE。DAC 通道 2 用作电流源。DAC 通道 1 可配置为电压输出、比较器输入或 ADC 输入。当 VDD 关闭时，DAC 输出更改为高阻态；这一特性在电压裕量应用中非常有用。该智能 AFE 包含 NVM、内部基准、自动可检测的 I²C 或 SPI、强制检测输出和通用输入。此器件默认支持高阻态省电模式，可使用 NVM 将其配置为电压输出通道的 10k Ω 至 GND 或 100k Ω 至 GND。AFEx32A3W 具有上电复位 (POR) 电路，可确保所有寄存器以默认设置或使用 NVM 的用户编程设置启动。AFEx32A3W 采用内部基准或以电源作为基准运行。

AFEx32A3W 支持 I²C 标准模式 (100kbps)、快速模式 (400kbps) 和超快速模式 (1Mbps)。I²C 接口可使用 A0 引脚配置四个目标地址。SPI 模式默认支持 3 线接口，具有高达 50MHz 的 SCLK 输入。GPIO/SDO 输入可在 NVM 中配置为 SDO 以实现 SPI 读取功能。GPIO/SDO 输入也可配置为 LDAC、PD、STATUS、FAULT-DUMP、RESET 和 PROTECT 功能。

AFEx32A3W 还包括数字压摆率控制，并支持标准波形生成，例如正弦、余弦、三角和锯齿波形。该器件可通过三角或锯齿波形和 FB1 引脚的组合生成脉宽调制 (PWM) 输出。通道 1 的强制检测输出可用作可编程比较器。比较器模式支持可编程迟滞、锁存比较器、窗口比较器和故障转储到 NVM。这些特性使 AFEx32A3W 超越了传统 DAC 的限制，而传统 DAC 依赖于处理器才能正常工作。由于无需处理器即可工作并具有智能功能集，AFEx32A3W 称为智能 AFE。

6.2 功能方框图



6.3 特性说明

6.3.1 智能模拟前端 (AFE) 架构

AFEx32A3W 器件的电压输出 DAC 通道采用通道 1 上具有一个电压输出放大器和一个外部反馈引脚的串式架构。节 6.2 展示了方框图中的 DAC 架构，该架构采用 3V 至 5.5V 电源供电。DAC 的内部电压基准为 1.21V。或者，使用电源作为基准。电压输出模式支持多个可编程输出范围。

AFEx32A3W 器件在 VDD 关闭时支持高阻态输出，能够在强制电压高达 1.25V 的条件下在输出引脚上保持极低的泄漏电流。默认情况下，DAC 输出引脚也以高阻抗模式启动，这使得这些器件非常适合电压裕量和调节应用。要将加电模式更改为 10k Ω GND 或 100k Ω GND，需对 COMMON-CONFIG 寄存器中相应的 DAC-PDN-x 字段进行编程，并将这些位加载到器件 NVM 中。

AFEx32A3W 器件支持通道 1 上的比较器模式。FB1 引脚用作比较器的输入。DAC 架构支持使用寄存器设置反转比较器输出。比较器输出可以是推挽式或开漏式。比较器模式支持使用裕度高和裕度低寄存器字段的可编程迟滞、锁存比较器和窗口比较器。比较器输出可由器件在内部访问。

AFEx32A3W 支持通道 1 上的 ADC 输入。在此模式下将 FB1 拉至 VDD，并使用 VOUT1/AIN1 引脚作为模拟输入。要启用 ADC 模式，必须将该通道配置为比较器。通道 0 充当闭环缓冲电压输出 DAC。

通道 2 用作电流源，在 300mA 输出时具有最小 770mV 余量。在使用电流输出时，请确保器件的结温保持在建议的限值范围内。

AFEx32A3W 器件包括一个智能功能集，可实现无处理器运行和高度集成。NVM 支持可预测的启动。当没有处理器或处理器或软件出现故障时，GPIO 会在没有 SPI 或 I²C 接口的情况下触发 DAC 输出。集成功能和 FB1 引脚可为控制应用启用 PWM 输出。

6.3.2 数字输入/输出

AFEx32A3W 有四个数字 I/O 引脚，其中包括 I²C、SPI 和 GPIO 接口。这些器件会在加电后首次成功通信时自动检测 I²C 和 SPI 协议，然后连接到检测到的接口。连接接口协议后，协议中的任何更改都将被忽略。I²C 接口使用 A0 引脚从四个地址选项中进行选择。SPI 接口默认为三线制接口。此模式下没有回读功能。GPIO/SDO 引脚可在寄存器映射中配置，然后作为 SDO 功能编程到 NVM 中。SPI 回读模式比写入模式慢。编程接口引脚为：

- I²C : SCL、SDA、A0
- SPI : SCLK、SDI、 $\overline{\text{SYNC}}$ 、SDO/GPIO

GPIO/SDO 可配置为 SDO 以外的多种功能。这些是 $\overline{\text{LDAC}}$ 、 $\overline{\text{PD}}$ 、 $\overline{\text{STATUS}}$ 、 $\overline{\text{PROTECT}}$ 、 $\overline{\text{FAULT-DUMP}}$ 和 $\overline{\text{RESET}}$ 。当用作输出时，所有数字引脚都是开漏。因此，必须使用外部电阻将所有输出引脚上拉至所需的 I/O 电压。

6.3.3 非易失性存储器 (NVM)

AFEx32A3W 包含 NVM 位。这些存储器位是用户可编程和可擦除的，并且会断电的情况下保留设定的值。所有寄存器位（如节 7 中灰色单元格高亮显示）都可以通过 COMMON-TRIGGER 寄存器中设置 NVM-PROG = 1 来存储在 NVM 中。NVM-PROG 位会自动复位。一旦发生 POR 事件，AFEx32A3W 中所有寄存器的默认值都将立即从 NVM 加载。

AFEx32A3W 还在 COMMON-TRIGGER 寄存器中实现了 NVM-RELOAD 位。将该位设置为 1，器件启动 NVM 重新加载操作。完成后，器件将 NVM-RELOAD 位自动复位为 0。在 NVM 写入或重新加载操作期间，对器件的所有读/写操作都会被阻止。*电气特征：常规* 部分提供了 NVM 写入周期的时序规格。处理器必须等待指定的持续时间，然后才能在 SPI 或 I²C 接口上恢复任何读取或写入操作。

6.4 器件功能模式

6.4.1 电压输出模式

通过分别在 COMMON-CONFIG 寄存器的 DAC-PDN-0 和 DAC-PDN-1 字段中选择上电选项，可以进入每个 DAC 通道 0 和 DAC 通道 1 的电压输出模式。将通道 1 的 VOUT1/AIN1 和 FB1 引脚从外部短接可以实现闭环放大器输出。FB1 引脚开路会使通道 1 上的放大器输出饱和。要获得所需的电压输出，请选择正确的基准选项，为所需的输出范围选择放大器增益，并分别在相道 0 和通道 1 的 DAC-0-DATA 和 DAC-1-DATA 寄存器中对 DAC 代码进行编程。

6.4.1.1 电压基准和 DAC 传递函数

图 6-1 显示 AFEx32A3W 可以支持两种电压基准选项：内部基准和以电源作为基准。电压输出和比较器模式下的 DAC 传递函数会根据电压基准选择而变化。

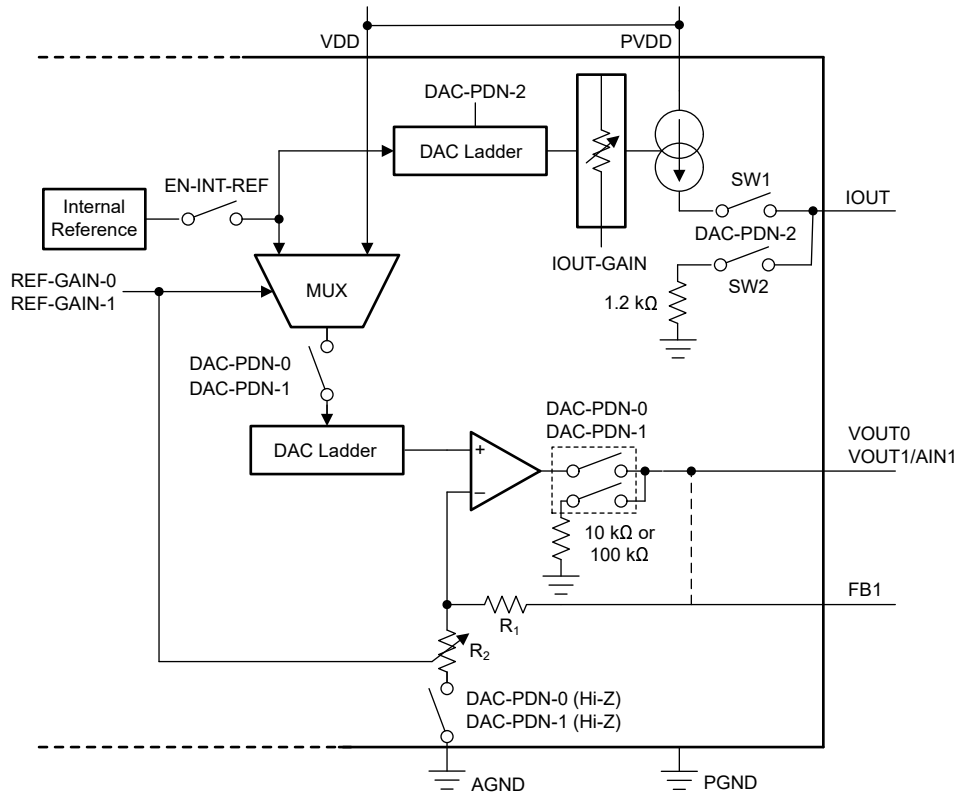


图 6-1. 电压基准选择与断电逻辑

6.4.1.1.1 内部基准

AFEx32A3W 包含默认禁用的内部基准。要启用内部基准，需将 1 写入 COMMON-CONFIG 寄存器中的位 EN-INT-REF。内部基准生成固定的 1.21V 电压 (典型值)。在通道 0 上，使用 DAC-0-GAIN-CONFIG 寄存器中的 REF-GAIN-0 位来实现 DAC 输出电压 (V_{OUT}) 的 $1.5 \times$ 、 $2 \times$ 、 $3 \times$ 或 $4 \times$ 增益。同样，在通道 1 上，使用 DAC-1-GAIN-CMP-CONFIG 寄存器中的 REF-GAIN-1 位。方程式 1 展示了使用内部基准时的 DAC 传递函数 (以伏特为单位)。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{REF} \times GAIN \quad (1)$$

其中：

- N 是以位为单位的分辨率，AFE532A3W 为 10 位，AFE432A3W 为 8 位。
- DAC_DATA 是加载到 DAC-x-DATA 寄存器的 DAC-x-DATA 位的二进制代码的十进制等效值。DAC_DATA 范围为 0 至 $2^N - 1$ 。
- V_{REF} 为内部基准电压，等于 1.21V (典型值)
- $GAIN = 1.5 \times$ 、 $2 \times$ 、 $3 \times$ 或 $4 \times$ ，根据 REF-GAIN-x 位而定。

6.4.1.1.2 电源作为基准

AFEx32A3W 可以采用电源引脚 (VDD) 作为基准工作。方程式 2 展示了电源引脚用作基准时的 DAC 传递函数 (以伏特为单位)。输出级的增益始终为 $1 \times$ 。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{DD} \quad (2)$$

其中：

- N 是以位为单位的分辨率，AFE532A3W 为 10 位，AFE432A3W 为 8 位。
- DAC_DATA 是加载到 DAC-x-DATA 寄存器的 DAC-x-DATA 位的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N - 1$ 。
- V_{DD} 用作 DAC 基准电压。

6.4.2 电流输出模式

要启用 DAC 通道 2 (IOUT) 上的电流输出，请将 00b 写入 COMMON-CONFIG 寄存器中的 DAC-PDN-2 位。通过写入 DAC-2-GAIN-CONFIG 寄存器中的 IOUT-GAIN 位，可以选择所需的电流输出范围。方程式 3 展示了输出电流的传递函数，以安培为单位。

$$I_{OUT} = \frac{DAC_DATA}{2^N} \times GAIN \times K \quad (3)$$

其中：

- N 是以位为单位的分辨率，AFE532A3W 为 10 位，AFE432A3W 为 8 位。
- DAC_DATA 是加载到 DAC-2-DATA 寄存器的 DAC-2-DATA 位的二进制代码的十进制等效值。
- GAIN 是 DAC-2-GAIN-CONFIG 寄存器中指定的 IOUT-GAIN 设置值。
- K 是传递函数常量，0.5241 (典型值)。

6.4.3 比较器模式

在电压输出模式下，DAC 通道 1 可配置为可编程比较器。要进入通道 1 的比较器模式，请将 1 写入 DAC-1-GAIN-CMP-CONFIG 寄存器中的 CMP-1-EN 位。可使用 CMP-1-OD-EN 位将比较器输出配置为推挽或开漏输出。要启用输出引脚上的比较器输出，需向 CMP-1-OUT-EN 位写入 1。要反转比较器输出，需向 CMP-1-INV-EN 位写入 1。FB1 引脚具有有限阻抗。默认情况下，FB1 引脚处于高阻抗模式。要禁用 FB1 引脚上的高阻抗，需向 CMP-1-HIZ-IN-DIS 位写入 1。表 6-1 展示了不同位设置条件下该引脚上的比较器输出。比较器的输出由 CMP-STATUS 寄存器中的 CMP-FLAG-1 位表示。

备注

在高阻态输入模式下，比较器输入范围限制为：

- 对于增益 = 1 ×、1.5 × 或 2 × : $V_{FB1} \leq (V_{REF} \times GAIN) / 3$
- 对于 GAIN = 3 × 或 4 × : $V_{FB1} \leq (V_{REF} \times GAIN) / 6$

任何较高的输入电压都会被削波。

表 6-1. 比较器输出配置

CMP-1-EN	CMP-1-OUT-EN	CMP-1-OD-EN	CMP-1-INV-EN	CMPX-OUT PIN
0	X	X	X	比较器未启用
1	0	X	X	无输出
1	1	0	0	推挽式输出
1	1	0	1	推挽和反相输出
1	1	1	0	开漏输出
1	1	1	1	开漏和反相输出

图 6-2 展示了 DAC 通道 1 配置为比较器时的接口电路。可编程比较器操作如图 6-3 所示。在无迟滞、带迟滞和窗口比较器模式下，可以使用相应 DAC-1-CMP-MODE-CONFIG 寄存器中的 CMP-1-MODE 位来配置比较器，如表 6-2 所示。

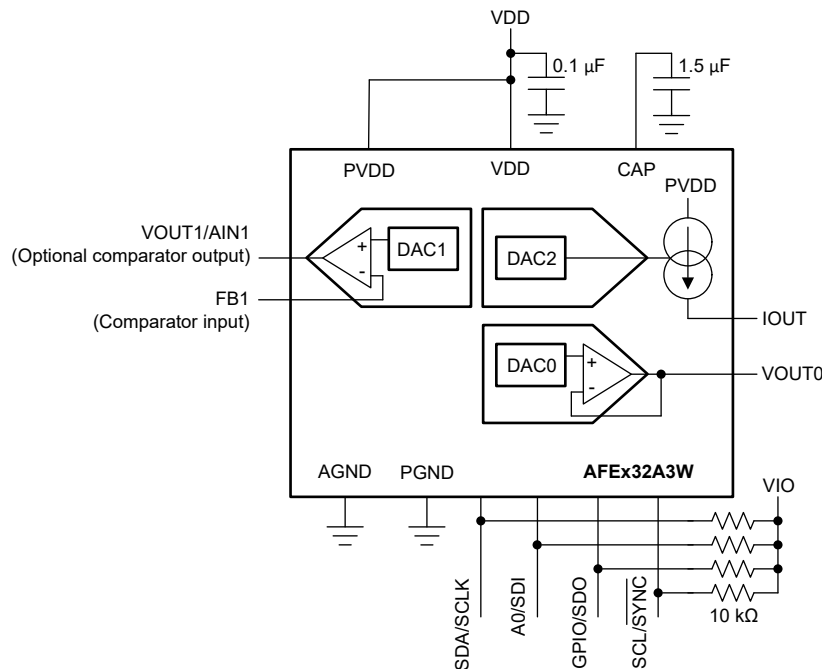


图 6-2. 比较器接口

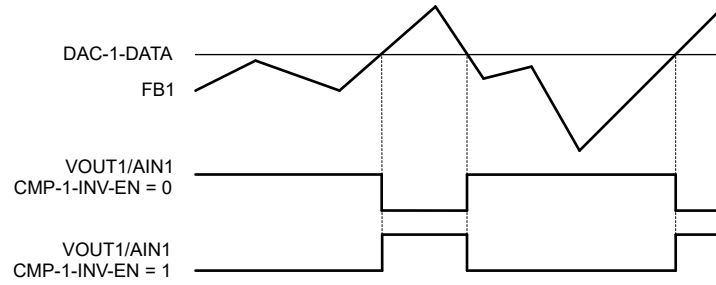


图 6-3. 可编程比较器操作

表 6-2. 比较器模式选择

CMP-1-MODE 位字段	比较器配置
00	正常比较器模式。无迟滞或窗口操作。
01	迟滞比较器模式。DAC-1-MARGIN-HIGH 和 DAC-1-MARGIN-LOW 寄存器可设置迟滞。
10	窗口比较器模式。DAC-1-MARGIN-HIGH 和 DAC-1-MARGIN-LOW 寄存器设置窗口边界。
11	无效设置

6.4.3.1 可编程迟滞比较器

表 6-2 展示了当 CMP-1-MODE 位设置为 01b 时，比较器模式提供迟滞。图 6-4 展示了迟滞由 DAC-1-MARGIN-HIGH 和 DAC-1-MARGIN-LOW 寄存器提供。

当 DAC-1-MARGIN-HIGH 设置为全代码或 DAC-1-MARGIN-LOW 设置为零代码时，比较器用作锁存比较器，即在超过阈值后锁存输出。通过写入 COMMON-DAC-TRIG 寄存器中相应的 RESET-CMP-FLAG-1 位，可以复位锁存输出。图 6-5 展示了具有低电平有效输出的锁存比较器的行为，而图 6-6 展示了具有高电平有效输出的锁存比较器的行为。

备注

DAC-1-MARGIN-HIGH 寄存器的值必须大于 DAC-1-MARGIN-LOW 寄存器的值。迟滞模式下的比较器输出只能是同相的；即 DAC-1-GAIN-CMP-CONFIG 寄存器中的 CMP-1-INV-EN 位必须设置为 0。为了使复位在锁存模式下生效，输入电压必须在 DAC-1-MARGIN-HIGH 和 DAC-1-MARGIN-LOW 范围内。

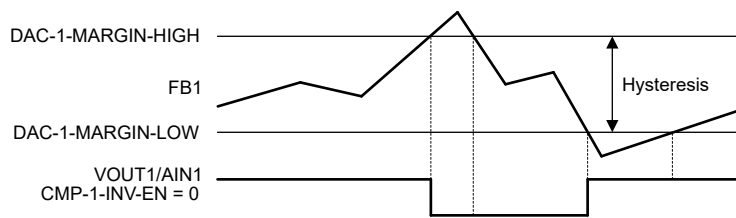


图 6-4. 不带锁存输出的可编程迟滞

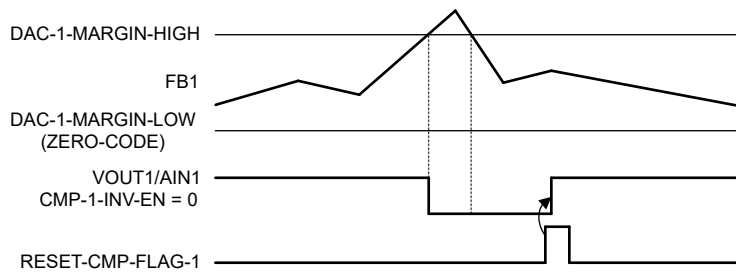


图 6-5. 具有低电平有效输出的闭锁比较器

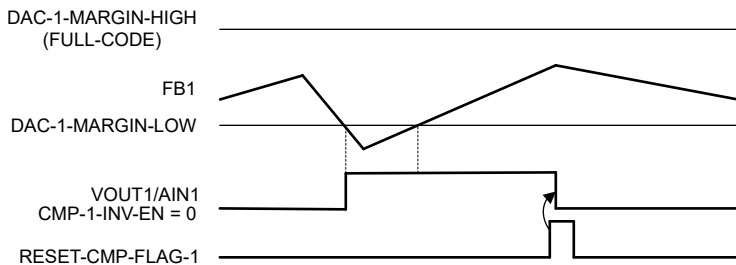


图 6-6. 具有高电平有效输出的锁存比较器

6.4.3.2 可编程窗口比较器

通过将 **CMP-1-MODE** 位设置为 10b 可以启用通道 1 上的窗口比较器模式 (另请参阅表 6-2)。图 6-7 展示了窗口边界由 **DAC-1-MARGIN-HIGH** 和 **DAC-1-MARGIN-LOW** 寄存器设置。窗口比较器的输出由 **WIN-STATUS** 寄存器中的 **CMP-CMP-1** 位表示。比较器输出 (**WIN-CMP-1**) 可通过向 **COMMON-CONFIG** 寄存器中的 **WIN-LATCH-EN** 位写入 1 来锁定。锁存后, 比较器输出可以使用 **COMMON-DAC-TRIG** 寄存器中相应的 **RESET-CMP-FLAG-1** 位复位。要使复位生效, 输入必须在窗口边界范围内。

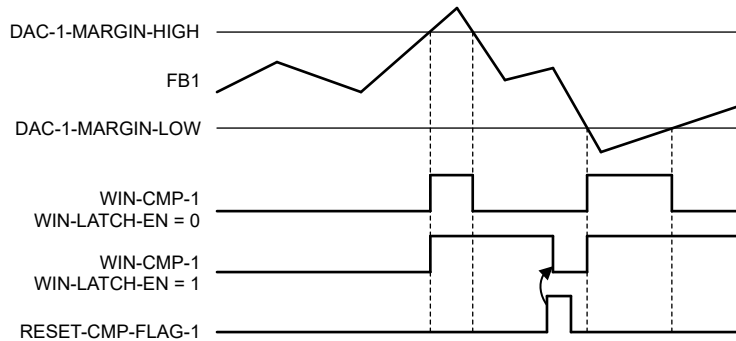


图 6-7. 窗口比较器操作

每个通道使用单个比较器来检查窗口的裕度高限制和裕度低限制。因此, 窗口比较器函数具有有限响应时间 (另请参阅电气特性: 比较器模式部分)。WIN-CMP-1 位的静态行为不会在输出引脚上反映出来。将 **CMP-1-OUT-EN** 位设置为 0。必须使用通信接口对 WIN-CMP-1 位进行数字读取。此位也可以映射到 GPIO/SDO 引脚 (另请参阅表 6-10)。

备注

- **DAC-1-MARGIN-HIGH** 寄存器的值必须大于 **DAC-1-MARGIN-LOW** 寄存器的值。
- 将 **DAC-1-FUNC-CONFIG** 寄存器中的 **SLEW-RATE-1** 位设置为 0000b (无转换) , 并将 **LOG-SLEW-EN-1** 位设置为 0b , 以便从窗口比较器获得最佳响应时间。
- **DAC-1-GAIN-CMP-CONFIG** 寄存器中的 **CMP-1-OUT-EN** 位可以设置为 0b , 以消除 **VOUT1/AIN1** 引脚的意外切换。

6.4.4 模数转换器 (ADC) 模式

AFEx32A3W 支持通道 1 上的集成 ADC。使用上拉电阻将 FB1 连接到 VDD。必须将通道 1 配置为比较器。方程式 4 中提供了 ADC 的传递函数。

$$\text{ADC_DATA} = \left(\text{INTEGER} \right) \left(\frac{V_{\text{IN}}}{V_{\text{FS}}} \right) \times 2^N \quad (4)$$

其中

- ADC_DATA 是 ADC-DATA 寄存器的输出。
- V_{IN} 是 VOUT1/AIN1 引脚处的输入电压。
- V_{FS} 是表 6-3 中提供的满量程输入电压。
- N 是 ADC 位数，为 10。
- (INTEGER) 表示整数除法。

表 6-3. 满量程模拟输入 (V_{FS})

基准 (VREF)	增益	V_{FS}
电源	1 ×	VDD/3
内部	1.5 ×	(VREF × GAIN)/3
	2 ×	(VREF × GAIN)/3
	3 ×	(VREF × GAIN)/6
	4 ×	(VREF × GAIN)/6

按照以下步骤配置通道 1 上的 ADC 并从中读取数据：

1. 使用 DAC-1-GAIN-CMP-CONFIG 寄存器中的 REF-GAIN-1 位配置增益。
2. 通过向 DAC-1-GAIN-CMP-CONFIG 寄存器中的 CMP-1-EN 位写入 1，将 DAC 通道 1 配置为比较器。
3. 启用 ADC (ADC-EN 位) 并在 ADC-CONFIG-TRIG 寄存器中选择平均值数量 (ADC-AVG)。
4. 通过向 ADC-CONFIG-TRIG 寄存器中的 TRIG-ADC 位写入 1 来启动 ADC 转换。
5. 使用 ADC-DATA 寄存器读取 ADC 数据。当 ADC-DRDY 位为 1 时数据有效。对每个 ADC 读回重复步骤 4 和 5。

图 6-8 展示了通道 1 上 ADC 的接口示例。

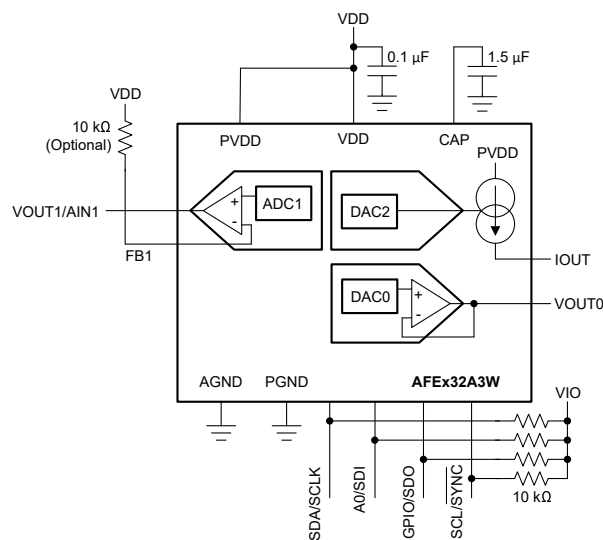


图 6-8. ADC 接口

6.4.5 故障转储模式

AFEx32A3W 提供了一项功能，可在 FAULT-DUMP 位触发时或映射到故障转储的 GPIO 触发时（另请参阅表 6-9）将几个寄存器内容保存到 NVM 中。此功能在系统级故障管理中非常有用，可用于捕获就在故障触发之前的器件或系统状态，以便在故障发生后进行诊断。故障转储触发时保存的寄存器为：

- CMP-STATUS[7:0]
- DAC-0-DATA[15:8]
- DAC-1-DATA[15:8]
- DAC-2-DATA[15:8]
- ADC-DATA [15:0]

备注

在故障转储期间，数据中的任何更改都会破坏最终结果。确保比较器和 DAC 代码在 NVM 写入周期期间保持稳定。

表 6-4 展示了 NVM 中寄存器的存储格式。

表 6-4. 故障转储 NVM 存储格式

NVM 行	B31-B24	B23-B16	B15-B8	B7-B0
行 1	CMP-STATUS[7:0]	ADC-DATA[15:0]		不用考虑
行 2	DAC-2-DATA[15:8]	不用考虑	DAC-0-DATA[15:8]	DAC-1-DATA[15:8]

故障转储后在 NVM 中捕获的数据可按特定顺序读取：

1. 将 COMMON-CONFIG 寄存器中的 EE-READ-ADDR 位设置为 0b，以选择 NVM 的行 1。
2. 通过向 COMMON-TRIGGER 寄存器中的 READ-ONE-TRIG 写入 1 来触发所选 NVM 行的读取；该位会自动复位。此操作会将数据从选定的 NVM 行复制到 SRAM 地址 0x9D（LSB 16 位来自 NVM）和 0x9E（MSB 16 位来自 NVM）。
3. 要读取 SRAM 数据，需按照以下步骤操作：
 - a. 将 0x009D 写入 SRAM-CONFIG 寄存器。
 - b. 从 SRAM-DATA 寄存器中读取数据以获得 LSB 16 位。
 - c. 将 0x009E 写入 SRAM-CONFIG 寄存器。
 - d. 再次从 SRAM-DATA 寄存器读取数据以获得 MSB 位。
4. 将 COMMON-CONFIG 寄存器中的 EE-READ-ADDR 位设置为 1b，以选择 NVM 的行 2。重复步骤 2 和 3。

6.4.6 应用特定模式

本节详细介绍了 AFE_x32A3W 中提供的各个应用特定功能模式。

6.4.6.1 电压裕量和调节

电压裕量和调节是 AFE_x32A3W 的一种主要应用。本节介绍了可用于此类应用的具体功能，例如高阻态输出、压摆率控制和 $\overline{\text{PROTECT}}$ 输入。

6.4.6.1.1 高阻抗输出和 $\overline{\text{PROTECT}}$ 输入

当 VDD 关闭时，所有 DAC 输出通道都保持高阻抗状态。图 6-9 展示了在电压裕量调节应用中使用 AFE_x32A3W 的简化原理图。几乎所有线性稳压器和直流/直流转换器都具有 $\leq 1.25\text{V}$ 的反馈电压。对于 $V_{\text{FB}} \leq 1.25\text{V}$ ，输出端保持低泄漏电流。因此，对于所有实际用途，当 DAC 的 VDD 在电压裕量和调节应用中处于关闭时，DAC 输出显示为高阻态。此功能允许将 AFE_x32A3W 无缝集成到系统中，而无需为 DAC 进行额外的电源时序控制。

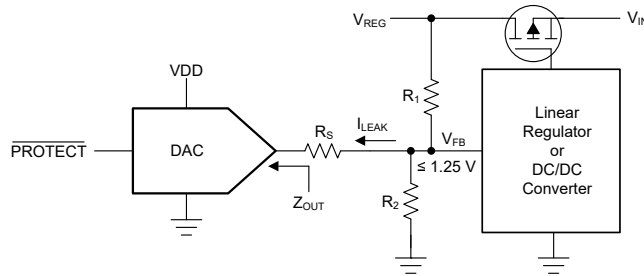


图 6-9. 高阻抗 (高阻态) 输出和 $\overline{\text{PROTECT}}$ 输入

DAC 通道在启动时断电至高阻态。输出可以使用与直流/直流转换器或线性稳压器的标称输出相对应的预编程代码加电。此功能可实现 DAC 的平稳加电和断电，而不影响直流/直流转换器或线性稳压器的反馈环路。

表 6-9 展示了如何将 AFE_x32A3W 的 GPIO/SDO 引脚配置为 $\overline{\text{PROTECT}}$ 功能。 $\overline{\text{PROTECT}}$ 通过转换或直接转换将 DAC 输出变为可预测状态。在故障条件（如欠压）、子系统故障或软件崩溃要求 DAC 输出达到预定义状态而不涉及处理器的系统中，此功能非常有用。检测到的事件可以馈送到配置为 $\overline{\text{PROTECT}}$ 输入的 GPIO/SDO 引脚。 $\overline{\text{PROTECT}}$ 功能可以使用 COMMON-TRIGGER 寄存器中的 PROTECT 位来触发。表 6-5 展示了如何在 DEVICE-MODE-CONFIG 寄存器的 PROTECT-CONFIG 字段中配置 $\overline{\text{PROTECT}}$ 功能的行为。

备注

- 在 $\overline{\text{PROTECT}}$ 功能触发后，通信接口上的写入功能会被禁用，直到该功能完成。
- 当 $\overline{\text{PROTECT}}$ 功能触发时，CMP-STATUS 寄存器中的 PROTECT-FLAG 位会设置为 1。该位可以通过读取 CMP-STATUS 寄存器来轮询。在 $\overline{\text{PROTECT}}$ 功能完成后，CMP-STATUS 寄存器上的读取命令会将 PROTECT-FLAG 位复位。

表 6-5. $\overline{\text{PROTECT}}$ 功能配置

PROTECT-CONFIG 字段	功能
00	切换至高阻态断电模式 (无转换)。
01	切换到存储在 NVM 中的 DAC 代码 (无转换)，然后切换至高阻态断电模式。
10	转换为裕度低代码，然后切换至高阻态断电模式。
11	转换为裕度高代码，然后切换至高阻态断电模式。

6.4.6.1.2 可编程压摆率控制

当写入 DAC 数据寄存器时，DAC 输出上的电压 (V_{OUTX}) 或电流 (I_{OUT}) 会在电气特性中指定的压摆率和稳定时间之后立即转换到新代码。

压摆率控制功能允许用户控制输出电压 (V_{OUT}) 变化的速率。启用此功能 (使用 SLEW-RATE-x[3:0] 位) 时, DAC 输出将从当前代码更改为 DAC-x-MARGIN-HIGH 或 DAC-x-MARGIN-LOW 寄存器中的代码 (当向 DAC 发出裕度高或低命令时), 其中步进和每个步进的时间周期由 DAC-x-FUNC-CONFIG 寄存器的 CODE-STEP-x 和 SLEW-RATE-x 位中设置:

- SLEW-RATE-x 定义数字转换更新的每步时间周期。
- CODE-STEP-x 定义相应通道的 LSB 数量, 每次更新时输出值将根据该数量而变化。

表 6-6 和表 6-7 展示了可用于 CODE-STEP-x 和 SLEW-RATE-x 的不同设置。在采用无转换的默认压摆率控制设置时, 输出会立即以由输出驱动电路和所连负载限制的速率变化。

使用压摆率控制功能时, 输出会以设定的压摆率发生变化。图 6-10 显示此配置会导致输出形成梯形。在输出转换操作期间, 请勿写入 CODE-STEP-x、SLEW-RATE-x 或 DAC-x-DATA。方程式 5 提供了计算转换时间 (t_{SLEW}) 的公式。

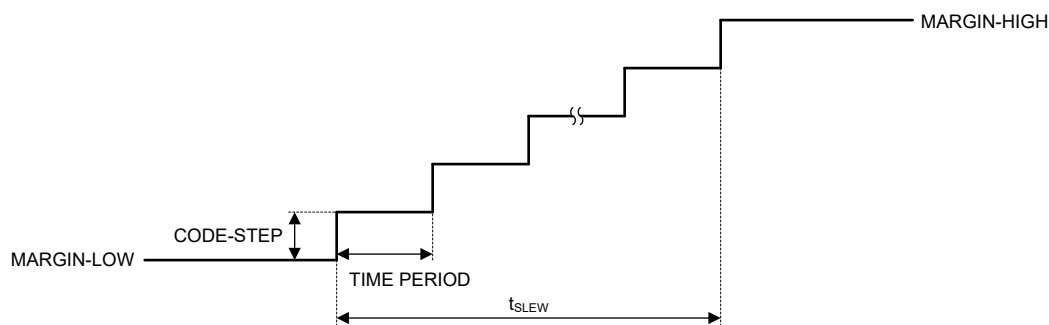


图 6-10. 可编程压摆率控制

$$t_{SLEW} = SLEW_RATE \times CEILING\left(\frac{MARGIN_HIGH - MARGIN_LOW}{CODE_STEP} + 1\right) \quad (5)$$

其中:

- SLEW_RATE 是表 6-7 中指定的 SLEW-RATE-x 设置。
- CODE_STEP 是表 6-6 中指定的 CODE-STEP-x 设置。
- MARGIN_HIGH 是 DAC-x-MARGIN-HIGH 寄存器中的 DAC-x-MARGIN-HIGH 位的十进制值。
- MARGIN_LOW 是 DAC-x-MARGIN-LOW 寄存器中的 DAC-x-MARGIN-LOW 位的十进制值。

表 6-6. 代码步进

寄存器	CODE-STEP-x[2]	CODE-STEP-x[1]	CODE-STEP-x[0]	代码步长
DAC-x-FUNC-CONFIG	0	0	0	1 LSB (默认值)
	0	0	1	2 LSB
	0	1	0	3 LSB
	0	1	1	4 LSB
	1	0	0	6 LSB
	1	0	1	8 LSB
	1	1	0	16 LSB
	1	1	1	32 LSB

表 6-7. 压摆率

寄存器	SLEW-RATE-x[3]	SLEW-RATE-x[2]	SLEW-RATE-x[1]	SLEW-RATE-x[0]	时间周期 (每个步进)
DAC-x-FUNC-CONFIG	0	0	0	0	无转换 (默认值)
	0	0	0	1	4 μ s
	0	0	1	0	8 μ s
	0	0	1	1	12 μ s
	0	1	0	0	18 μ s
	0	1	0	1	27 μ s
	0	1	1	0	40.5 μ s
	0	1	1	1	60.75 μ s
	1	0	0	0	91.13 μ s
	1	0	0	1	136.69 μ s
	1	0	1	0	239.2 μ s
	1	0	1	1	418.61 μ s
	1	1	0	0	732.56 μ s
	1	1	0	1	1281.98 μ s
	1	1	1	0	2563.96 μ s
	1	1	1	1	5127.92 μ s

6.4.6.2 函数生成

AFEx32A3W 实施了连续函数或波形生成功能。这些器件可以为每个通道独立生成三角波、锯齿波和正弦波。

6.4.6.2.1 三角波形生成

图 6-11 显示的三角波形分别使用 DAC-x-MARGIN-LOW (FUNCTION-MIN) 和 DAC-x-MARGIN-HIGH (FUNCTION-MAX) 寄存器来实现最小和最大电平。波形的频率取决于最小和最大电平、CODE-STEP 和 SLEW-RATE 设置，如方程式 6 所示。时间常数大于压摆率设置的外部 RC 负载可在内部频率计算中占主导地位。DAC-x-FUNC-CONFIG 寄存器中提供了 CODE-STEP-x 和 SLEW-RATE-x 设置。将 0b000 写入 DAC-x-FUNC-CONFIG 寄存器中的 FUNC-CONFIG-x 位字段将选择三角波形。

$$f_{\text{TRIANGLE}} = \frac{1}{2 \times \text{TIME_STEP} \times \text{CEILING}\left(\frac{\text{FUNCTION_MAX} - \text{FUNCTION_MIN}}{\text{CODE_STEP}}\right)} \quad (6)$$

其中

- TIME_STEP 是表 6-7 中指定的 SLEW-RATE-x 设置。
- CODE_STEP 是表 6-6 中指定的 CODE-STEP-x 设置。
- FUNCTION_MAX 是 DAC-x-MARGIN-HIGH 寄存器中的 DAC-x-MARGIN-HIGH 位的十进制值。
- FUNCTION_MIN 是 DAC-x-MARGIN-LOW 寄存器中的 DAC-x-MARGIN-LOW 位的十进制值。

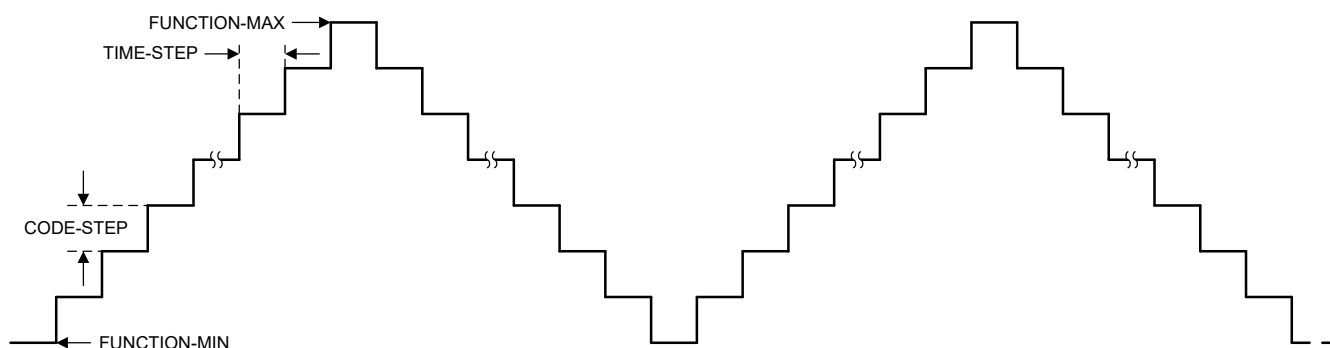


图 6-11. 三角波形

6.4.6.2.2 锯齿波形生成

图 6-12 显示的锯齿和反锯齿波形分别使用 DAC-x-MARGIN-LOW (FUNCTION-MIN) 和 DAC-x-MARGIN-HIGH (FUNCTION-MAX) 寄存器来实现最小和最大电平。波形的频率取决于最小和最大电平、CODE-STEP 和 SLEW-RATE 设置，如方程式 7 所示。时间常数大于压摆率设置的外部 RC 负载可在内部频率计算中占主导地位。DAC-x-FUNC-CONFIG 寄存器中提供了 CODE-STEP-x 和 SLEW-RATE-x 设置。向 DAC-x-FUNC-CONFIG 寄存器的 FUNC-CONFIG-x 位字段中写入 0b001 可以选择锯齿波形，而写入 0b010 可以选择反锯齿波形。

$$f_{\text{SAWTOOTH}} = \frac{1}{\text{TIME_STEP} \times \text{CEILING}\left(\frac{\text{FUNCTION_MAX} - \text{FUNCTION_MIN}}{\text{CODE_STEP}} + 1\right)} \quad (7)$$

其中

- TIME_STEP 是表 6-7 中指定的 SLEW-RATE-x 设置。
- CODE_STEP 是表 6-6 中指定的 CODE-STEP-x 设置。
- FUNCTION_MAX 是 DAC-x-MARGIN-HIGH 寄存器中的 DAC-x-MARGIN-HIGH 位的十进制值。
- FUNCTION_MIN 是 DAC-x-MARGIN-LOW 寄存器中的 DAC-x-MARGIN-LOW 位的十进制值。

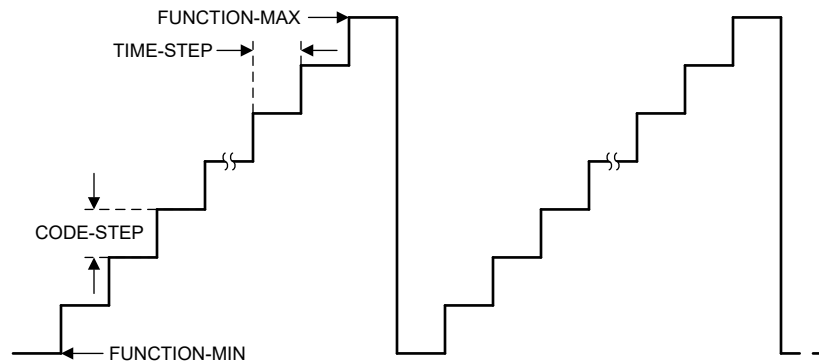


图 6-12. 锯齿波形

6.4.6.2.3 正弦波形生成

正弦波功能在每个周期使用 24 个预编程点。正弦波的频率取决于 SLEW-RATE 设置，如方程式 8 所示：

$$f_{\text{SINE_WAVE}} = \frac{1}{24 \times \text{SLEW_RATE}} \quad (8)$$

其中，SLEW_RATE 是表 6-7 中指定的 SLEW-RATE-x 设置。

时间常数大于压摆率设置的外部 RC 负载可在内部频率计算中占主导地位。DAC-x-FUNC-CONFIG 寄存器中提供了 SLEW-RATE-x 设置。将 0b100 写入 DAC-x-FUNC-CONFIG 寄存器中的 FUNC-CONFIG-x 位字段将选择正弦波。正弦波的代码是固定的。利用输出放大器上的增益设置可以通过内部基准选项更改满量程输出。增益设置可分别通过 DAC-0-GAIN-CONFIG、DAC-1-GAIN-CMP-CONFIG 和 DAC-2-GAIN-CONFIG 寄存器中的 DAC-GAIN-0、DAC-GAIN-1 和 IOOUT-GAIN 位进行访问。表 6-8 展示了 12 位分辨率下正弦波的硬编码离散点列表，而图 6-13 展示了正弦波的图形表示。正弦波存在四个相位设置，这些设置可使用 DAC-x-FUNC-CONFIG 寄存器中的 PHASE-SEL-x 位进行选择。

表 6-8. 正弦波数据点

序列	12 位值	序列	12 位值
0 (0° 相位开始)	0x800	12	0x800
1	0x9A8	13	0x658
2	0xB33	14	0x4CD
3	0xC87	15	0x379
4	0xD8B	16 (240° 相位开始)	0x275
5	0xE2F	17	0x1D1
6 (90° 相位开始)	0xE66	18	0x19A
7	0xE2F	19	0x1D1
8 (120° 相位开始)	0xD8B	20	0x275
9	0xC87	21	0x379
10	0xB33	22	0x4CD
11	0x9A8	23	0x658

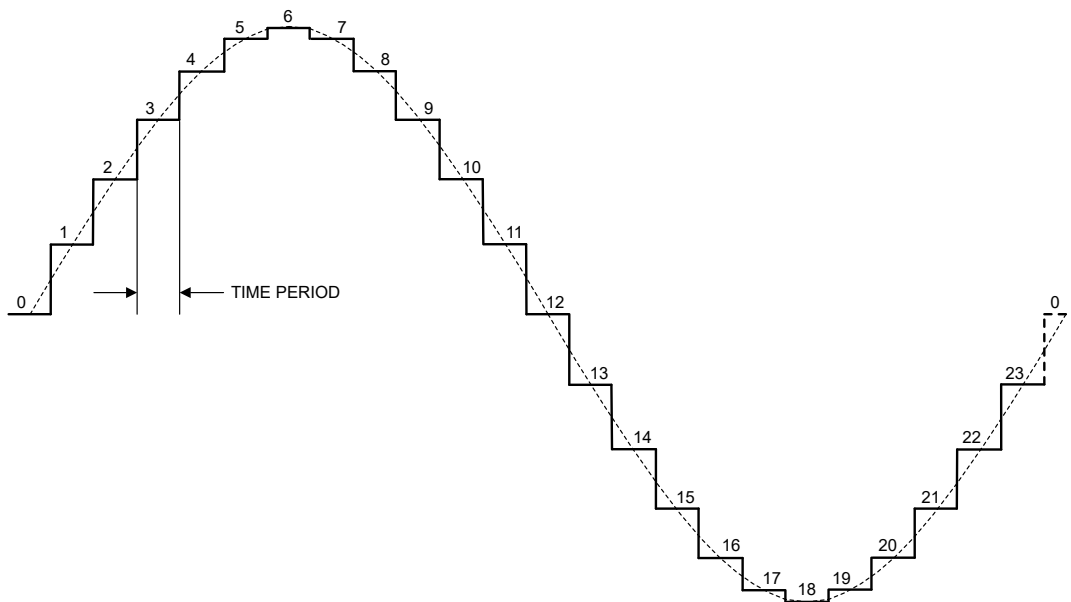


图 6-13. 正弦波生成

6.4.7 器件复位和故障管理

本节详细介绍了 AFE_x32A3W 的上电复位 (POR)、软件复位以及其他诊断和故障管理功能。

6.4.7.1 上电复位 (POR)

AFE_x32A3W 系列器件包含上电复位 (POR) 功能, 可在加电时控制输出电压。在建立 V_{DD} 电源后, 便会发出 POR 事件。POR 使所有寄存器初始化为默认值, 只有在 POR (启动) 延迟之后, 与该器件的通信才有效。一旦发生 POR 事件, AFE_x32A3W 中所有寄存器的默认值都将立即从 NVM 加载。

该器件加电时, POR 电路将器件设置为默认模式。如图 6-14 所示, POR 电路需要特定的 V_{DD} 电平才能确保内部电容器在加电时放电并使器件复位。为了确保发生 POR, V_{DD} 小于 0.7V 的时间必须至少为 1ms。当 V_{DD} 降至低于 1.65V 但仍高于 0.7V (显示为未定义区域) 时, 该器件在所有指定的温度和电源条件下可能会也可能不会复位。在这种情况下, 需启动 POR。当 V_{DD} 保持为大于 1.65V 时, 不会发生 POR。

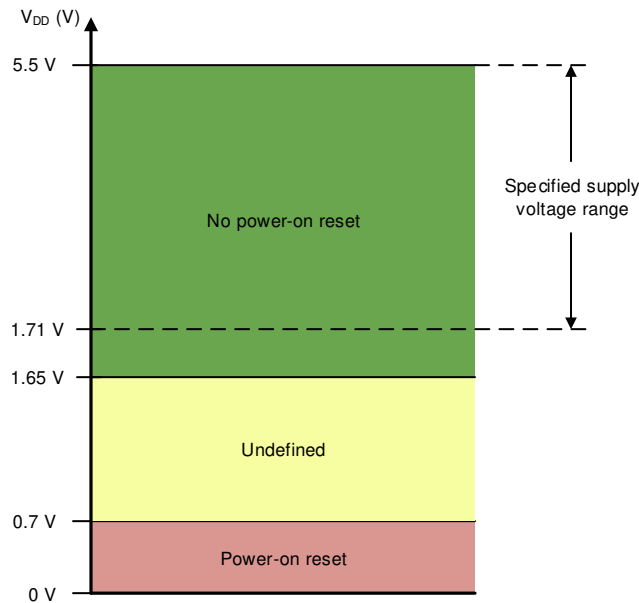


图 6-14. V_{DD} POR 电路的阈值电平

6.4.7.2 外部复位

可通过 GPIO/SDO 引脚或寄存器映射触发器件的外部复位。要启动器件软件复位事件, 应将保留代码 1010b 写入 COMMON-TRIGGER 寄存器的 RESET 字段。软件复位启动 POR 事件。表 6-9 展示了如何将 GPIO/SDO 引脚配置为 RESET 引脚。必须将此配置编程到 NVM 中, 以便在器件复位后不会清除该设置。RESET 输入必须为低电平脉冲。器件在 RESET 输入的下沿之后开始启动序列。RESET 输入的上升沿没有任何效果。

6.4.7.3 寄存器映射锁定

AFE_x32A3W 实现了寄存器映射锁定功能, 可防止意外或无意中写入 DAC 寄存器。当 COMMON-CONFIG 寄存器中的 DEV-LOCK 位设置为 1 时, 器件会锁定所有寄存器。但是, 使用 I²C 接口时, 通过 COMMON-TRIGGER 寄存器的软件复位功能不会被阻止。要绕过 DEV-LOCK 设置, 需将 0101b 写入 COMMON-TRIGGER 寄存器中的 DEV-UNLOCK 位。

6.4.7.4 NVM 循环冗余校验 (CRC)

AFE_x32A3W 为 NVM 实施循环冗余校验 (CRC) 功能, 以确保存储在 NVM 中的数据不被损坏。AFE_x32A3W 中实现了两种类型的 CRC 报警位:

- NVM-CRC-FAIL-USER

- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER 位指示用户可编程 NVM 位的状态，而 NVM-CRC-FAIL-INT 位指示内部 NVM 位的状态。CRC 功能通过在每次执行 NVM 程序操作（写入或重新加载）时以及在器件启动期间，存储 16 位 CRC (CRC-16-CCITT) 以及 NVM 数据来实现。器件会读取 NVM 数据并使用存储的 CRC 来验证数据。CRC 报警位（GENERAL-STATUS 寄存器中的 NVM-CRC-FAIL-USER 和 NVM-CRC-FAIL-INT）报告从器件 NVM 读取数据后的任何错误。报警位仅在启动时设置。

6.4.7.4.1 NVM-CRC-FAIL-USER 位

NVM-CRC-FAIL-USER 位为逻辑 1 表示用户可编程的 NVM 上数据已损坏。在这种情况下，DAC 中的所有寄存器都会使用出厂复位值进行初始化，并且任何 DAC 寄存器都可以写入或读取。要将报警位复位为 0，需发出软件复位（另请参阅 [节 6.4.7.2](#)）命令或对 DAC 执行循环通电。软件复位或执行下电上电也会重新加载用户可编程的 NVM 位。如果故障仍然存在，需重新对 NVM 进行编程。

6.4.7.4.2 NVM-CRC-FAIL-INT 位

NVM-CRC-FAIL-INT 位为逻辑 1 表示内部 NVM 数据已损坏。在这种情况下，DAC 中的所有寄存器都会使用出厂复位值进行初始化，并且任何 DAC 寄存器都可以写入或读取。在发生临时故障时，要将报警位复位为 0，需发出软件复位（另请参阅 [节 6.4.7.2](#)）命令或对 DAC 执行循环通电。NVM 中的永久故障会导致器件无法使用。

6.4.8 通用输入/输出 (GPIO) 模式

借助 I²C 和 SPI，AFE_x32A3W 还支持一个可在 NVM 中配置来提供多种功能的 GPIO。此引脚允许在不使用编程接口的情况下更新 DAC 输出通道和读取状态位，从而实现 *无处理器* 运行。在 GPIO-CONFIG 寄存器中，向 GPI-EN 位写入 1 以将 GPIO/SDO 引脚设置为输入，或向 GPO-EN 位写入 1 以将该引脚设置为输出。GPIO/SDO 引脚上映射了全局功能和特定于通道的功能。对于特定于通道的功能，需使用 GPIO-CONFIG 寄存器中的 GPI-CHSEL 字段选择通道。[表 6-9](#) 列出了 GPIO 作为输入的可用功能选项，而 [表 6-10](#) 列出了 GPIO 作为输出的功能选项。一些 GP 输入操作在器件启动后由边沿触发。电源上升后，器件会寄存 GPI 电平并执行相关命令。此功能让用户可以配置加电时的初始输出状态。默认情况下，GPIO/SDO 引脚不映射到任何操作。当 GPIO/SDO 引脚映射到特定的输入功能时，相应的软件位功能会被禁用，以避免出现竞态条件。当用作 $\overline{\text{RESET}}$ 输入时，GPIO/SDO 引脚必须发送低电平有效脉冲来触发器件复位。这些功能的所有其他限制都应用于基于 GPIO 的触发器。

备注

未使用时，将 GPIO/SDO 引脚拉至高电平或低电平。当 GPIO/SDO 引脚用作 $\overline{\text{RESET}}$ 时，必须将配置编程到 NVM 中。否则，该设置会在器件复位后被清除。

表 6-9. 通用输入功能映射

寄存器	位字段	值	通道	GPIO 边沿/电平	功能
GPIO-CONFIG	GPI-CONFIG	0010	全部	下降沿	触发 FAULT-DUMP
				上升沿	没有影响
		0100	依据 GPI-CH-SEL 标准	下降沿	通道断电。根据 DAC-PDN-x 设置的下拉电阻器
				上升沿	通道上电
		0101	全部	下降沿	触发 $\overline{\text{PROTECT}}$ 功能
				上升沿	没有影响
		0111	全部	下降沿	触发 $\overline{\text{CLR}}$ 功能
				上升沿	没有影响
		1000	根据 GPI-CH-SEL，必须为每个通道配置 SYNC-CONFIG-x 和 GPI-CH-SEL。	下降沿	触发 $\overline{\text{LDAC}}$ 功能
				上升沿	没有影响
		1001	依据 GPI-CH-SEL 标准	下降沿	停止函数生成
				上升沿	开始函数生成
		1010	依据 GPI-CH-SEL 标准	下降沿	触发裕度低
				上升沿	触发裕度高
		1011	全部	低电平脉冲	触发器件 $\overline{\text{RESET}}$ 。 $\overline{\text{RESET}}$ 配置必须编程到 NVM 中。
				上升沿	没有影响
1100	全部	下降沿	允许 NVM 编程		
		上升沿	阻止 NVM 编程		
1101	全部	下降沿	允许更新寄存器映射		
		上升沿	阻止寄存器映射写入，但通过 I ² C 或 SPI 写入 DEV-UNLOCK 字段和通过 I ² C 写入 RESET 字段除外		
其他	不适用	不适用	不可用		

表 6-10. 通用输出 (STATUS) 功能映射

寄存器	位字段	值	功能
GPIO-CONFIG	GPO-CONFIG	0000	ADC-DRDY
		0001	NVM-BUSY
		0100	DAC-2-BUSY
		0110	DAC-0-BUSY
		0111	DAC-1-BUSY
		1011	WIN-CMP-1
		其他	不可用

6.5 编程

AFEx32A3W 通过 3 线 SPI 或 2 线 I²C 接口进行编程。4 线 SPI 模式通过将 GPIO/SDO 引脚映射为 SDO 来启用。SPI 回读操作的 SCLK 低于标准 SPI 写入操作。接口类型根据器件加电后的第一个通信协议来确定。在确定接口类型后，器件会在器件开启时忽略类型的任何更改。接口类型可以在下电上电后更改。

6.5.1 SPI 编程模式

通过将 $\overline{\text{SYNC}}$ 引脚置于低电平，可以启动 AFEx32A3W 的 SPI 访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据在 SCLK 下降沿上传输。AFEx32A3W 的 SPI 帧长度为 24 位。因此， $\overline{\text{SYNC}}$ 引脚必须保持低电平至少 24 个 SCLK 下降沿。当 $\overline{\text{SYNC}}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。默认情况下，SDO 功能未启用（三线 SPI）。在三线 SPI 模式下，如果访问周期包含的时钟边沿大于最小值，则器件仅使用前 24 位。当 $\overline{\text{SYNC}}$ 为高电平时，SCLK 和 SDI 信号会被阻止，同时 SDO 变为高阻态，以允许从总线上连接的其他器件回读数据。

表 6-11 和图 6-15 介绍了 24 位 SPI 访问周期的格式。SDI 的第一个字节输入是指令周期。指令周期将请求标识为读或写命令以及要访问的 7 位地址。周期中的最后 16 位构成数据周期。

表 6-11. SPI 读/写访问周期

位	字段	说明
23	R/ $\overline{\text{W}}$	将通信标识为地址寄存器的读或写命令：R/ $\overline{\text{W}}$ = 0 设置写入操作。R/ $\overline{\text{W}}$ = 1 设置读取操作
22-16	A[6:0]	寄存器地址：指定在读取或写入操作期间要访问的寄存器
15-0	D[15:0]	数据周期位：如果是写入命令，则数据周期位是要写入地址为 A[6:0] 的寄存器的值。如果是读取命令，则数据周期位为不用考虑值。

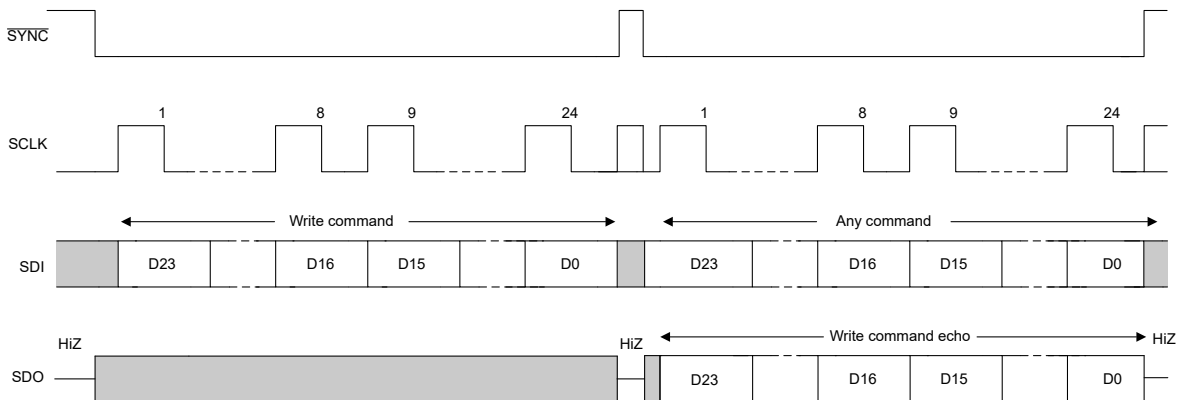


图 6-15. SPI 写入周期

读取操作要求首先通过设置 INTERFACE-CONFIG 寄存器中的 SDO-EN 位来启用 SDO 功能。此配置称为四线 SPI。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据。表 6-12 和图 6-16 展示了输出数据格式。根据 FSDO 位，数据通过 SDO 引脚在 SCLK 的下降沿或上升沿输出（另请参阅图 5-3）。

表 6-12. SDO 输出访问周期

位	字段	说明
23	R/ $\overline{\text{W}}$	来自上一访问周期的回波 R/ $\overline{\text{W}}$
22-16	A[6:0]	来自上一访问周期的回波寄存器地址
15-0	D[15:0]	上一访问周期中请求的回读数据

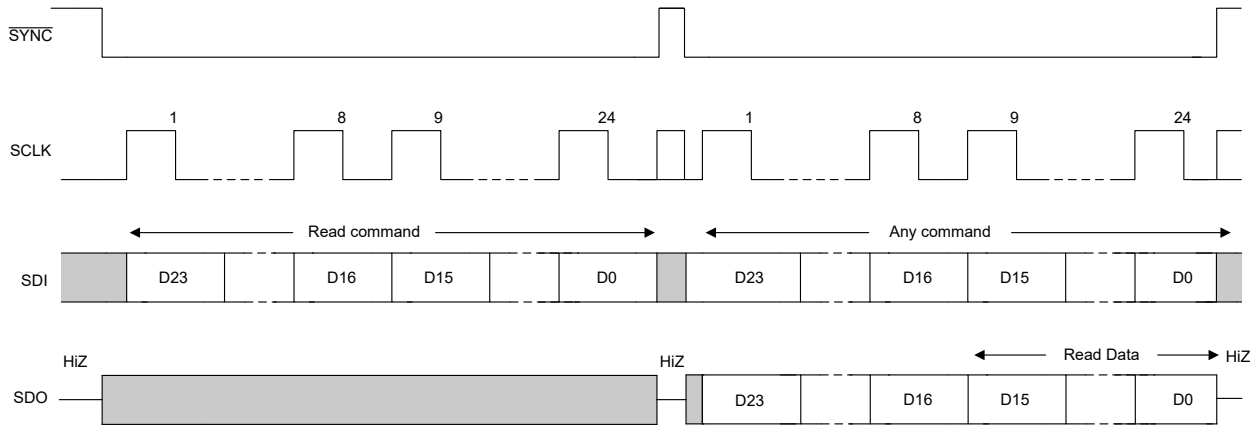


图 6-16. SPI 读取周期

菊花链操作也通过 SDO 引脚启用。图 6-17 显示，在菊花链模式下，多个器件采用链式连接，其中一个器件的 SDO 引脚连接到以下器件的 SDI 引脚。SPI 主机驱动链中第一个器件的 SDI 引脚。链中最后一个器件的 SDO 引脚连接到 SPI 主机的 POCI 引脚。在四线 SPI 模式下，如果访问周期包含 24 个时钟边沿的倍数，则链中的第一个器件仅使用最后 24 个位。如果访问周期包含的时钟边沿不是 24 的倍数，则器件会忽略 SPI 数据包。图 6-18 介绍了菊花链写入周期的数据包格式。

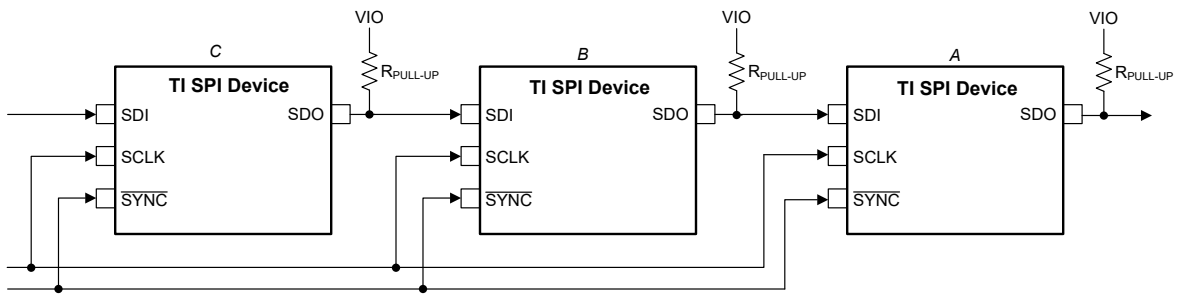


图 6-17. SPI 菊花链连接

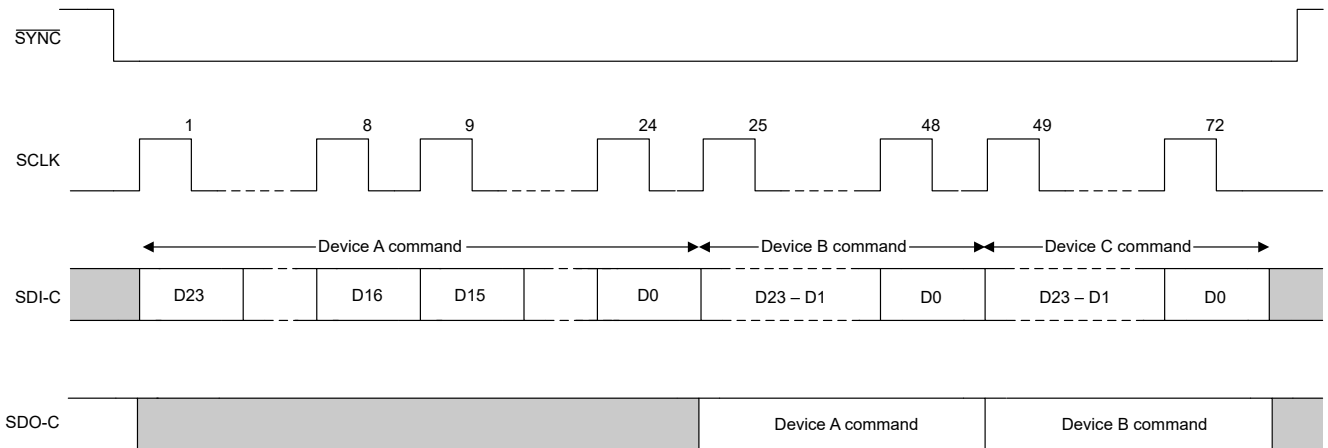


图 6-18. SPI 菊花链写入周期

6.5.2 I²C 编程模式

AFEx32A3W 器件具有两线制串行接口 (SCL 和 SDA) 和一个地址引脚 (A0) ; 另请参阅 *引脚配置和功能* 部分的引脚图所示。I²C 总线由数据线 (SDA) 和带上拉结构的时钟线 (SCL) 组成。当总线空闲时, SDA 和 SCL 线都被拉高。所有与 I²C 兼容的器件通过开漏 I/O 引脚、SDA 和 SCL 连接到 I²C 总线。

I²C 规范规定控制通信的器件称为 *控制器*, 而由控制器控制的器件称为 *目标器件*。控制器产生 SCL 信号。控制器还在总线上生成特殊的时序条件 (启动条件、重复启动条件和停止条件) 来指示数据传输的开始或停止。器件寻址由控制器完成。I²C 总线上的控制器通常是微控制器或数字信号处理器 (DSP)。AFEx32A3W 系列作为目标器件在 I²C 总线上运行。目标器件确认控制器命令, 并在控制器控制时接收或传输数据。

通常, AFEx32A3W 系列充当目标接收器。控制器向 AFEx32A3W (目标接收器) 写入数据。但是, 如果控制器需要 AFEx32A3W 内部寄存器数据, 则 AFEx32A3W 充当目标发送器。在这种情况下, 控制器从 AFEx32A3W 读取数据。根据 I²C 术语, 读写是指控制器。

AFEx32A3W 系列支持以下数据传输模式 :

- 标准模式 (100kbps)
- 快速模式 (400kbps)
- 超快速模式 (1.0Mbps)

标准模式和快速模式的数据传输协议完全相同; 因此, 本文档中将这两种模式称为 *F/S 模式*。超快速模式协议在数据传输速度方面受支持, 但在输出电流方面不受支持。与标准和快速模式的情况类似, 低电平输出电流为 3mA。AFEx32A3W 系列支持 7 位寻址。不支持 10 位寻址模式。该器件支持通用呼叫复位功能。发送以下序列会启动器件内的软件复位: 启动或重复启动、0x00、0x06、停止。在 ACK 位的上升沿 (在第二个字节之后) 在器件内进行复位位置。

除了特定的时序信号外, I²C 接口还使用串行字节。在每个字节结束时, 第九个时钟周期产生并检测确认信号。确认是指 SDA 线在第九个时钟周期的高电平期间被拉低。图 6-19 所示为非确认, 是指 SDA 线在第九个时钟周期的高电平期间保持高电平。

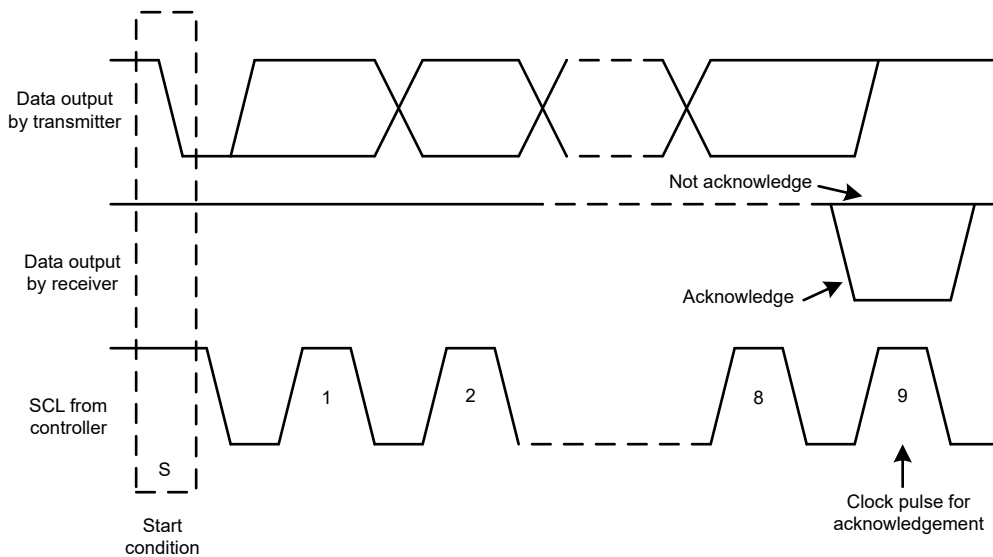


图 6-19. I²C 总线上的确认和非确认

6.5.2.1 F/S 模式协议

以下步骤说明了 F/S 模式下的完整事务。

1. 控制器通过产生启动条件来启动数据传输。图 6-20 显示, 启动条件是当 SCL 为高电平时在 SDA 线上发生从高到低的转换。所有与 I²C 兼容的器件都会识别启动条件。

2. 控制器随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取/写入方向位 ($R\bar{W}$)。在所有传输期间，控制器确保数据有效。图 6-21 显示，有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定。所有器件都识别控制器发送的地址，并将其与相应内部固定地址进行比较。只有具有匹配地址的目标器件才会通过在第 9 个 SCL 周期的整个高电平期间拉低 SDA 线来生成确认 (另请参阅图 6-19)。当控制器检测到此确认时，则表示与目标的通信链路已建立。
3. 控制器产生更多的 SCL 周期，以便向目标器件发送 ($R\bar{W}$ 位为 0) 数据或接收 ($R\bar{W}$ 位为 1) 数据。在任一情况下，接收器都必须确认发送器发送的数据。因此，确认信号可由控制器或目标器件生成，具体取决于哪一方是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，并可根据需要继续。
4. 图 6-20 显示，为指示数据传输结束，控制器通过在 SCL 线处于高电平期间将 SDA 线从低电平拉至高电平来产生停止条件。此操作将释放总线并停止与寻址的目标器件之间的通信链路。所有与 I²C 兼容的器件都会识别停止条件。在收到停止条件后，将释放总线，然后所有目标器件等待启动条件，接着是匹配的地址。

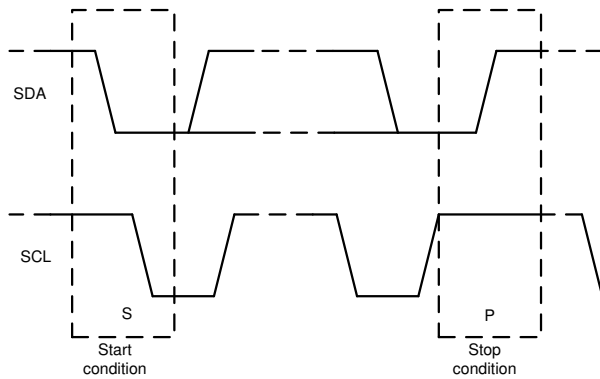


图 6-20. 启动和停止条件

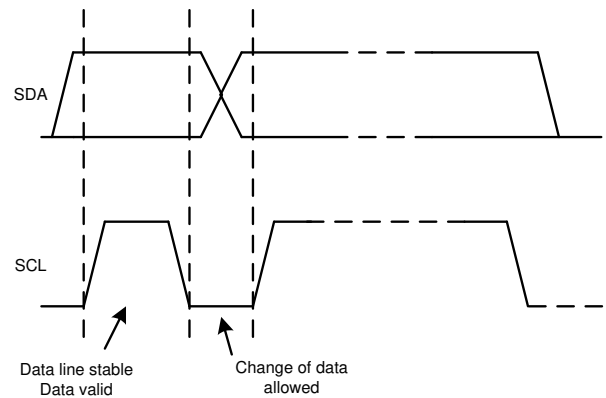


图 6-21. 在 I²C 总线上的位传输

6.5.2.2 I²C 更新序列

表 6-13 显示对于单次更新，AFEx32A3W 需要一个启动条件、一个有效的 I²C 地址字节、一个命令字节和两个数据字节。

表 6-13. 更新序列

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
地址 (A) 字节 节 6.5.2.2.1				命令字节 节 6.5.2.2.2				数据字节 - MSDB				数据字节 - LSDB			
DB [31:24]				DB [23:16]				DB [15:8]				DB [7:0]			

图 6-22 显示在收到每个字节后，AFEx32A3W 系列通过在单个时钟脉冲的高电平期间拉低 SDA 线来确认该字节。这四个字节和确认周期构成了单次更新所需的 36 个时钟周期。一个有效的 I²C 地址字节选择 AFEx32A3W。

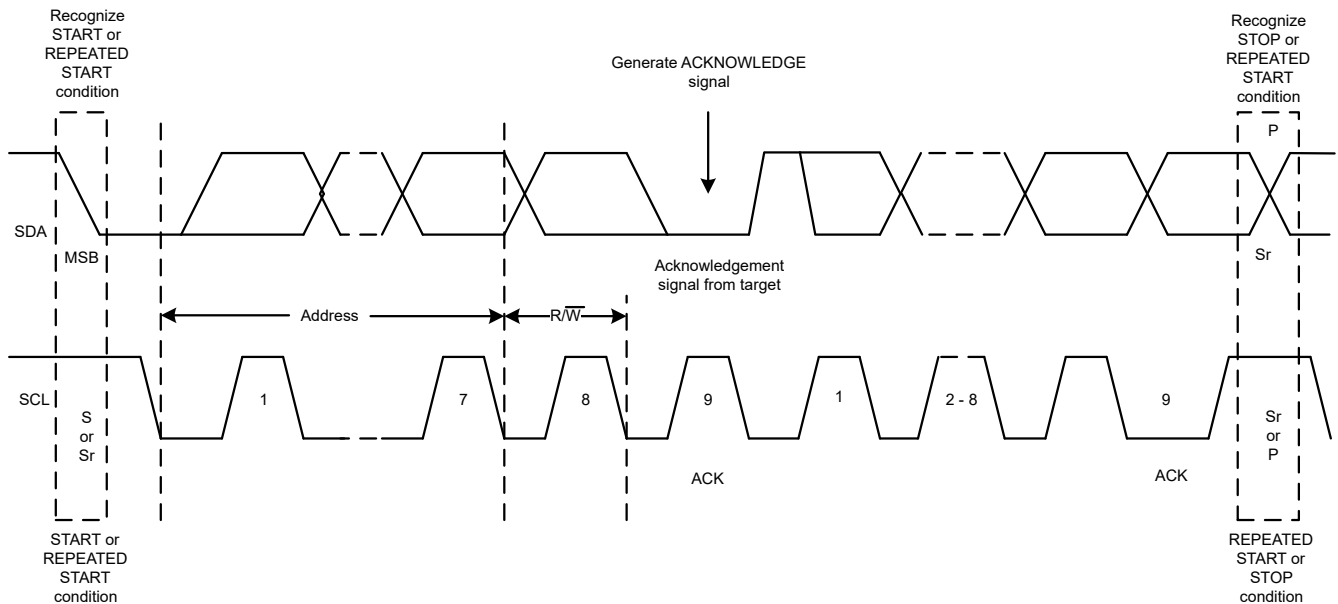


图 6-22. I²C 总线协议

命令字节设置所选 AFEx32A3W 器件的工作模式。如果要在通过该字节选择工作模式时进行数据更新，AFEx32A3W 器件必须接收两个数据字节：最高有效数据字节 (MSDB) 和最低有效数据字节 (LSDB)。AFEx32A3W 器件在 LSDB 之后的确认信号下降沿执行更新。

使用快速模式 (时钟 = 400kHz) 时，最大 DAC 更新速率限制为 10kSPS。使用快速+ 模式 (时钟 = 1MHz) 时，最大 DAC 更新速率限制为 25kSPS。收到停止条件后，AFEx32A3W 器件将释放 I²C 总线并等待新的启动条件。

6.5.2.2.1 地址字节

表 6-14 描述了地址字节，即在启动条件之后从控制器器件接收的第一个字节。地址的前四位 (MSB) 出厂预设为 1001b。地址的接下来三位由 A0 引脚控制。A0 引脚输入可以连接到 VDD、AGND、SCL 或 SDA。在每个数据帧的第一个字节期间对 A0 引脚进行采样以确定地址。该器件会锁存地址引脚的值，因此会根据表 6-15 响应该特定地址。

表 6-14. 地址字节

注释	MSB							LSB
	AD6	AD5	AD4	AD3	AD2	AD1	AD0	R/W
—								
一般地址	1	0	0	1	请参阅表 6-15 (目标地址列)			0 或 1
广播地址	1	0	0	0	1	1	1	0

表 6-15. 地址格式

目标地址	A0 引脚
000	AGND
001	VDD
010	SDA
011	SCL

AFEx32A3W 支持使用广播地址来同步更新或关闭多个 AFEx32A3W 器件。使用广播地址时，无论地址引脚状态如何，AFEx32A3W 都会进行响应。仅在写入模式下支持广播。

6.5.2.2.2 命令字节

寄存器映射部分中的寄存器名称表列出了 ADDRESS 列中的命令字节。

6.5.2.3 I²C 读取序列

要读取任何寄存器，必须使用以下命令序列：

1. 发送启动或重复启动命令（使用目标器件地址并将 $\overline{R/\overline{W}}$ 位设置为 0 以进行写入）。该器件将确认此事件。
2. 针对要读取的寄存器发送一个命令字节。该器件将再次确认此事件。
3. 发送重复启动命令（使用目标器件地址并将 $\overline{R/\overline{W}}$ 位设置为 1 以进行读取）。该器件将确认此事件。
4. 该器件将写入寻址到的寄存器的 MSDB 字节。控制器必须确认此字节。
5. 最后，该器件将写出寄存器的 LSDB。

广播地址不能用于读取。

表 6-16. 读取序列

S	MSB	...	R/ \overline{W} (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/ \overline{W} (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
	地址字节 节 6.5.2.2.1				命令字节 节 6.5.2.2.2				Sr	地址字节 节 6.5.2.2.1				MSDB				LSDB			
	来自控制器			目标	来自控制器			目标		来自控制器			目标	来自目标器件			控制器	来自目标器件			控制器

7 寄存器映射

表 7-1. 寄存器映射：通道特定寄存器

寄存器 ^{(1) (2)}	最高有效数据字节 (MSDB)								最低有效数据字节 (LSDB)								
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
NOP	NOP																
DAC-0-MARGIN-HIGH	DAC-0-MARGIN-HIGH								X								
DAC-1-MARGIN-HIGH	DAC-1-MARGIN-HIGH								X								
DAC-2-MARGIN-HIGH	DAC-2-MARGIN-HIGH								X								
DAC-0-MARGIN-LOW	DAC-0-MARGIN-LOW								X								
DAC-1-MARGIN-LOW	DAC-1-MARGIN-LOW								X								
DAC-2-MARGIN-LOW	DAC-2-MARGIN-LOW								X								
DAC-0-GAIN-CONFIG	X		REF-GAIN				X										
DAC-1-GAIN-CMP-CONFIG	X		REF-GAIN				X				CMP-1-OD-EN	CMP-1-OUT-EN	CMP-1-HIZ-IN-DIS	CMP-1-INV-EN	CMP-1-EN		
DAC-2-GAIN-CONFIG	X		IOUT-GAIN				X										
DAC-1-CMP-MODE-CONFIG	X				CMP-1-MODE				X								
DAC-0-FUNC-CONFIG	CLR-SEL-0	SYNC-CONFIG-0	BRD-CONFIG-0	FUNC-GEN-CONFIG-BLOCK-0													
DAC-1-FUNC-CONFIG	CLR-SEL-1	SYNC-CONFIG-1	BRD-CONFIG-1	FUNC-GEN-CONFIG-BLOCK-1													
DAC-2-FUNC-CONFIG	CLR-SEL-2	SYNC-CONFIG-2	BRD-CONFIG-2	FUNC-GEN-CONFIG-BLOCK-1													
DAC-0-DATA	DAC-0-DATA								X								
DAC-1-DATA	DAC-1-DATA								X								
DAC-2-DATA	DAC-2-DATA								X								
ADC-CONFIG-TRIG	RESERVED		ADC-EN	ADC-AVG				RESERVED						TRIG-ADC			
ADC-DATA	ADC-DATA								X								ADC-DRDY

表 7-2. 寄存器映射：公共寄存器

寄存器 ⁽¹⁾ (2)	最高有效数据字节 (MSDB)								最低有效数据字节 (LSDB)							
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
COMMON-CONFIG	WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	DAC-PDN-1		RESERVED	DAC-PDN-0		RESERVED				DAC-PDN-2		RESERVED
COMMON-TRIGGER	DEV-UNLOCK			重置				LDAC	CLR	X	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD	
COMMON-DAC-TRIG	X	TRIG-MAR-LO-2	TRIG-MAR-HI-2	START-FUNC-2	X				TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0	RESET-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1	
GENERAL-STATUS	NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	ADC-DRDY	DAC-BUSY-1	DAC-BUSY-0	X	DAC-BUSY-2	NVM-BUSY	DEVICE-ID				VERSION-ID			
CMP-STATUS	X						PROTECT-FLAG	WIN-CMP-1	X		CMP-FLAG-1	X				
GPIO-CONFIG	GF-EN	X	GPO-EN	GPO-CONFIG				GPI-CH-SEL			GPI-CONFIG			GPI-EN		
DEVICE-MODE-CONFIG	保留					PROTECT-CONFIG		保留			X					
INTERFACE-CONFIG	X		TIMEOUT-EN	X			RESERVED	X				FSDO-EN	X	SDO-EN		
SRAM-CONFIG	X							SRAM-ADDR								
SRAM-DATA	SRAM-DATA															
BRDCAST-DATA	BRDCAST-DATA										X					

- (1) 突出显示的灰色单元格表示存储在 NVM 中的寄存器位或字段。
 (2) X = 不用考虑。

表 7-3. 寄存器名称

I ² C/SPI 地址	寄存器名称	章节
00h	NOP	节 7.1
01h	DAC-2-MARGIN-HIGH	节 7.4
02h	DAC-2-MARGIN-LOW	节 7.7
03h	DAC-2-GAIN-CONFIG	节 7.10
06h	DAC-2-FUNC-CONFIG	节 7.14
0Dh	DAC-0-MARGIN-HIGH	节 7.2
0Eh	DAC-0-MARGIN-LOW	节 7.6
0Fh	DAC-0-GAIN-CONFIG	节 7.8
12h	DAC-0-FUNC-CONFIG	节 7.12
13h	DAC-1-MARGIN-HIGH	节 7.3
14h	DAC-1-MARGIN-LOW	节 7.6
15h	DAC-1-GAIN-CMP-CONFIG	节 7.9
17h	DAC-1-CMP-MODE-CONFIG	节 7.11
18h	DAC-1-FUNC-CONFIG	节 7.13
19h	DAC-2-DATA	节 7.17
1Bh	DAC-0-DATA	节 7.15
1Ch	DAC-1-DATA	节 7.16
1Dh	ADC-CONFIG-TRIG	节 7.18
1Eh	ADC-DATA	节 7.19
1Fh	COMMON-CONFIG	节 7.20
20h	COMMON-TRIGGER	节 7.21
21h	COMMON-DAC-TRIG	节 7.22
22h	GENERAL-STATUS	节 7.23
23h	CMP-STATUS	节 7.24
24h	GPIO-CONFIG	节 7.25
25h	DEVICE-MODE-CONFIG	节 7.26
26h	INTERFACE-CONFIG	节 7.27
2Bh	SRAM-CONFIG	节 7.28
2Ch	SRAM-DATA	节 7.29
50h	BRDCAST-DATA	节 7.30

表 7-4. 访问类型代码

访问类型	代码	说明
X	X	不用考虑
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.1 NOP 寄存器 (地址 = 00h) [复位 = 0000h]

图 7-1. NOP 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
R-0h															

表 7-5. NOP 寄存器字段说明

位	字段	类型	复位	说明
15-0	NOP	R	0000h	无操作

7.2 DAC-0-MARGIN-HIGH 寄存器 (地址 = 0Dh) [复位 = 0000h]

图 7-2. DAC-0-MARGIN-HIGH 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-0-MARGIN-HIGH[9:0] DAC-0-MARGIN-HIGH[7:0]												X			
R/W-000h												X-0h			

表 7-6. DAC-0-MARGIN-HIGH 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-0-MARGIN-HIGH[9:0] DAC-0-MARGIN-HIGH[7:0]	读/写	000h	DAC 通道 0 输出的裕度高代码。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐： AFE532A3W : {DAC-0-MARGIN-HIGH[9:0], X, X} AFE432A3W : {DAC-0-MARGIN-HIGH[7:0], X, X, X, X} X = 不用考虑位。
3-0	X	X	0h	不用考虑

7.3 DAC-1-MARGIN-HIGH 寄存器 (地址 = 13h) [复位 = 0000h]

图 7-3. DAC-1-MARGIN-HIGH 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-1-MARGIN-HIGH[9:0] DAC-1-MARGIN-HIGH[7:0]												X			
R/W-000h												X-0h			

表 7-7. DAC-1-MARGIN-HIGH 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-1-MARGIN-HIGH[9:0] DAC-1-MARGIN-HIGH[7:0]	读/写	000h	DAC 通道 1 输出的裕度高代码。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐： AFE532A3W : {DAC-1-MARGIN-HIGH[9:0], X, X} AFE432A3W : {DAC-1-MARGIN-HIGH[7:0], X, X, X, X} X = 不用考虑位。
3-0	X	X	0h	不用考虑

7.4 DAC-2-MARGIN-HIGH 寄存器 (地址 = 01h) [复位 = 0000h]

图 7-4. DAC-2-MARGIN-HIGH 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-2-MARGIN-HIGH[9:0] DAC-2-MARGIN-HIGH[7:0]												X			
R/W-000h												X-0h			

表 7-8. DAC-2-MARGIN-HIGH 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-2-MARGIN-HIGH[9:0] DAC-2-MARGIN-HIGH[7:0]	读/写	000h	DAC 通道 2 输出的裕度高代码。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐： AFE532A3W : {DAC-2-MARGIN-HIGH[9:0], X, X} AFE432A3W : {DAC-2-MARGIN-HIGH[7:0], X, X, X, X} X = 不用考虑位。
3-0	X	X	0h	不用考虑

7.5 DAC-0-MARGIN-LOW 寄存器 (地址 = 0Eh) [复位 = 0000h]

图 7-5. DAC-0-MARGIN-LOW 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-0-MARGIN-LOW[9:0] DAC-0-MARGIN-LOW[7:0]												X			
R/W-000h												X-0h			

表 7-9. DAC-0-MARGIN-LOW 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-0-MARGIN-LOW[9:0] DAC-0-MARGIN-LOW[7:0]	读/写	000h	DAC 通道输出的裕度低代码。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐方式： {DAC-0-MARGIN-LOW[9:0], X, X} {DAC-0-MARGIN-LOW[7:0], X, X, X, X} X = 不用考虑位。
3-0	X	X	0	不用考虑

7.6 DAC-1-MARGIN-LOW 寄存器 (地址 = 14h) [复位 = 0000h]

图 7-6. DAC-1-MARGIN-LOW 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-1-MARGIN-LOW[9:0] DAC-1-MARGIN-LOW[7:0]												X			
R/W-000h												X-0h			

表 7-10. DAC-1-MARGIN-LOW 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-0-MARGIN-LOW[9:0] DAC-0-MARGIN-LOW[7:0]	读/写	000h	DAC 通道 1 输出的裕度低代码。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐方式： {DAC-1-MARGIN-LOW[9:0], X, X} {DAC-1-MARGIN-LOW[7:0], X, X, X, X} X = 不用考虑位。
3-0	X	X	0	不用考虑

7.7 DAC-2-MARGIN-LOW 寄存器 (地址 = 02h) [复位 = 0000h]

图 7-7. DAC-2-MARGIN-LOW 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-2-MARGIN-LOW[9:0] DAC-2-MARGIN-LOW[7:0]												X			
R/W-000h												X-0h			

表 7-11. DAC-2-MARGIN-LOW 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-2-MARGIN-LOW[9:0] DAC-2-MARGIN-LOW[7:0]	读/写	000h	DAC 通道 2 输出的裕度低代码。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐方式： {DAC-2-MARGIN-LOW[9:0], X, X} {DAC-2-MARGIN-LOW[7:0], X, X, X, X} X = 不用考虑位。
3-0	X	X	0	不用考虑

7.8 DAC-0-GAIN-CONFIG 寄存器 (地址 = 0Fh) [复位 = 0000h]

图 7-8. DAC-0-GAIN-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		REF-GAIN-0				X									
X-0h		R/W-0h				X-000h									

表 7-12. DAC-0-GAIN-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑
12-10	REF-GAIN-0	R/W	0h	001 : 增益 = 1 × , VDD 作为基准。 010 : 增益 = 1.5 × , 内部基准。 011 : 增益 = 2 × , 内部基准。 100 : 增益 = 3 × , 内部基准。 101 : 增益 = 4 × , 内部基准。 其他 : 无效。
9-0	X	X	000h	不用考虑

7.9 DAC-1-GAIN-CMP-CONFIG 寄存器 (地址 = 15h) [复位 = 0000h]

图 7-9. DAC-1-GAIN-CMP-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		REF-GAIN-1				X			CMP-1-OD-EN	CMP-1-OUT-EN	CMP-1-HIZ-IN-DIS	CMP-1-INV-EN	CMP-1-EN		
X-0h		R/W-0h				X-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		

表 7-13. DAC-1-GAIN-CMP-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑
12-10	REF-GAIN-1	R/W	0h	001: 增益 = 1 ×, VDD 作为基准。 010: 增益 = 1.5 ×, 内部基准。 011: 增益 = 2 ×, 内部基准。 100: 增益 = 3 ×, 内部基准。 101: 增益 = 4 ×, 内部基准。 其他: 无效。
9-5	X	X	0h	不用考虑
4	CMP-1-OD-EN	R/W	0h	0: 将 VOUT1/AIN1 引脚设置为推挽输出。 1: 将 VOUT1/AIN1 引脚设置为比较器模式下的开漏输出。 (CMP-1-EN = 1 和 CMP-1-OUT-EN = 1)。
3	CMP-1-OUT-EN	R/W	0h	0: 生成比较器输出, 但内部消耗。 1: 将比较器输出连接到相应的 VOUT1/AIN1 引脚。
2	CMP-1-HIZ-IN-DIS	R/W	0h	0: FB1 输入具有高阻抗。 1: 根据电气特性: 电压输出部分, FB1 输入具有有限阻抗。 在 ADC 模式下将此位设置为 0。
1	CMP-1-INV-EN	R/W	0h	0: 请勿反转比较器输出。 1: 反转比较器输出
0	CMP-1-EN	R/W	0h	0: 禁用比较器模式。 1: 启用比较器模式。必须启用 DAC 通道 1。

7.10 DAC-2-GAIN-CONFIG 寄存器 (地址 = 03h) [复位 = 0000h]

图 7-10. DAC-2-GAIN-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		IOUT-GAIN				X			X						
X-0h		R/W-0h				X-000h									

表 7-14. DAC-2-GAIN-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑
12-10	IOUT-GAIN	R/W	0h	000: GAIN = 2/3。 001: GAIN = 1/2。 其他: 无效。
9-0	X	X	000h	不用考虑

7.11 DAC-1-CMP-MODE-CONFIG 寄存器 (地址 = 17h) [复位 = 0000h]

图 7-11. DAC-1-CMP-MODE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X				CMP-1-MODE		X									
X-0h				R/W-0h		X-000h									

表 7-15. DAC-1-CMP-MODE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-12	X	X	0h	不用考虑
11-10	CMP-1-MODE	R/W	0h	00：无迟滞或窗口功能。 01：使用 DAC-1-MARGIN-HIGH 和 DAC-1-MARGIN-LOW 寄存器提供的迟滞。 10：由 DAC-1-MARGIN-HIGH 和 DAC-1-MARGIN-LOW 寄存器设置窗口边界的窗口比较器模式。 11：无效。
9-0	X	X	000h	不用考虑

7.12 DAC-0-FUNC-CONFIG 寄存器 (地址 = 12h) [复位 = 0000h]

图 7-12. DAC-0-FUNC-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLR-SEL-0	SYNC-CONFIG-0	BRD-CONFIG-0	FUNC-GEN-CONFIG-BLOCK-0												
R/W-0h	R/W-0h	R/W-0h	R/W-000h												

表 7-16. DAC-0-FUNC-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	CLR-SEL-0	R/W	0h	0 : 将 DAC 通道 0 清除为零标度。 1 : 将 DAC 通道 0 清除至中标度。
14	SYNC-CONFIG-0	R/W	0h	0 : DAC 通道 0 输出在写命令后立即更新。 1 : DAC 通道 0 输出在 LDAC 引脚下降沿或 COMMON-TRIGGER 寄存器中的 LDAC 位设置为 1 时更新。
13	BRD-CONFIG-0	R/W	0h	0 : 不使用广播命令更新 DAC 通道 0。 1 : 使用广播命令更新 DAC 通道 0。

表 7-17. 线性转换模式 : FUNC-GEN-CONFIG-BLOCK-0 字段说明

位	字段	类型	复位	说明
12-11	PHASE-SEL-0	R/W	0h	00 : 0° 01 : 120° 10 : 240° 11 : 90°
10-8	FUNC-CONFIG-0	R/W	0h	000 : 三角波 001 : 锯齿波 010 : 反锯齿波 100 : 正弦波 111 : 禁用函数生成 其他 : 无效
7	LOG-SLEW-EN-0	R/W	0h	0 : 启用线性转换
6-4	CODE-STEP-0	R/W	0h	用于线性转换模式的 CODE-STEP : 000 : 1-LSB 001 : 2-LSB 010 : 3-LSB 011 : 4-LSB 100 : 6-LSB 101 : 8-LSB 110 : 16-LSB 111 : 32-LSB
3-0	SLEW-RATE-0	R/W	0h	用于线性转换模式的 SLEW-RATE : 0000 : 对于裕度高和裕度低, 无转换。波形生成无效。 0001 : 4μs/步进 0010 : 8μs/步进 0011 : 12μs/步进 0100 : 18μs/步进 0101 : 27.04μs/步进 0110 : 40.48μs/步进 0111 : 60.72μs/步进 1000 : 91.12μs/步进 1001 : 136.72μs/步进 1010 : 239.2μs/步进 1011 : 418.64μs/步进 1100 : 732.56μs/步进 1101 : 1282μs/步进 1110 : 2563.96μs/步进 1111 : 5127.92μs/步进

表 7-18. 对数转换模式：FUNC-GEN-CONFIG-BLOCK-0 字段说明

位	字段	类型	复位	说明
12-11	PHASE-SEL-0	R/W	0h	00 : 0° 01 : 120° 10 : 240° 11 : 90°
10-8	FUNC-CONFIG-0	R/W	0h	000 : 三角波 001 : 锯齿波 010 : 反锯齿波 100 : 正弦波 111 : 禁用函数生成 其他 : 无效
7	LOG-SLEW-EN-0	R/W	0h	1 : 启用对数转换。 在对数转换模式下，DAC 输出以 3.125% 步进从 DAC-0-MARGIN-LOW 代码移至 DAC-0-MARGIN-HIGH 代码，反之亦然。 在正向转换时，下一步是 (1 + 0.03125) 乘以当前步进。 在反向转换时，下一步是 (1 - 0.03125) 乘以当前步进。 当 DAC-0-MARGIN-LOW 为 0 时，转换从代码 1 开始。 每个步进的时间间隔由 RISE-SLEW-0 和 FALL-SLEW-0 定义。
6-4	RISE-SLEW-0	R/W	0h	对数转换模式的 SLEW-RATE (DAC-0-MARGIN-LOW 至 DAC-0-MARGIN-HIGH) : 000 : 4μs/步进 001 : 12μs/步进 010 : 27.04μs/步进 011 : 60.72μs/步进 100 : 136.72μs/步进 101 : 418.64μs/步进 110 : 1282μs/步进 111 : 5127.92μs/步进
3-1	FALL-SLEW-0	R/W	0h	对数转换模式的 SLEW-RATE (DAC-0-MARGIN-HIGH 至 DAC-0-MARGIN-LOW) : 000 : 4μs/步进 001 : 12μs/步进 010 : 27.04μs/步进 011 : 60.72μs/步进 100 : 136.72μs/步进 101 : 418.64μs/步进 110 : 1282μs/步进 111 : 5127.92μs/步进
0	X	X	0h	不用考虑

7.13 DAC-1-FUNC-CONFIG 寄存器 (地址 = 18h) [复位 = 0000h]

图 7-13. DAC-1-FUNC-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLR-SEL-1	SYNC-CONFIG-1	BRD-CONFIG-1	FUNC-GEN-CONFIG-BLOCK-1												
R/W-0h	R/W-0h	R/W-0h	R/W-000h												

表 7-19. DAC-1-FUNC-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	CLR-SEL-1	R/W	0h	0 : 将 DAC 通道 1 清除为零标度。 1 : 将 DAC 通道 1 清除至中标度。
14	SYNC-CONFIG-1	R/W	0h	0 : DAC 通道 1 输出在写命令后立即更新。 1 : DAC 通道 1 输出在 LDAC 引脚下降沿或 COMMON-TRIGGER 寄存器中的 LDAC 位设置为 1 时更新。
13	BRD-CONFIG-1	R/W	0h	0 : 不使用广播命令更新 DAC 通道 1。 1 : 使用广播命令更新 DAC 通道 1。

表 7-20. 线性转换模式 : FUNC-GEN-CONFIG-BLOCK-1 字段说明

位	字段	类型	复位	说明
12-11	PHASE-SEL-1	R/W	0h	00 : 0° 01 : 120° 10 : 240° 11 : 90°
10-8	FUNC-CONFIG-1	R/W	0h	000 : 三角波 001 : 锯齿波 010 : 反锯齿波 100 : 正弦波 111 : 禁用函数生成 其他 : 无效
7	LOG-SLEW-EN-1	R/W	0h	0 : 启用线性转换
6-4	CODE-STEP-1	R/W	0h	用于线性转换模式的 CODE-STEP : 000 : 1-LSB 001 : 2-LSB 010 : 3-LSB 011 : 4-LSB 100 : 6-LSB 101 : 8-LSB 110 : 16-LSB 111 : 32-LSB
3-0	SLEW-RATE-1	R/W	0h	用于线性转换模式的 SLEW-RATE : 0000 : 对于裕度高和裕度低, 无转换。波形生成无效。 0001 : 4μs/步进 0010 : 8μs/步进 0011 : 12μs/步进 0100 : 18μs/步进 0101 : 27.04μs/步进 0110 : 40.48μs/步进 0111 : 60.72μs/步进 1000 : 91.12μs/步进 1001 : 136.72μs/步进 1010 : 239.2μs/步进 1011 : 418.64μs/步进 1100 : 732.56μs/步进 1101 : 1282μs/步进 1110 : 2563.96μs/步进 1111 : 5127.92μs/步进

表 7-21. 对数转换模式：FUNC-GEN-CONFIG-BLOCK-1 字段说明

位	字段	类型	复位	说明
12-11	PHASE-SEL-1	R/W	0h	00 : 0° 01 : 120° 10 : 240° 11 : 90°
10-8	FUNC-CONFIG-1	R/W	0h	000 : 三角波 001 : 锯齿波 010 : 反锯齿波 100 : 正弦波 111 : 禁用函数生成 其他 : 无效
7	LOG-SLEW-EN-1	R/W	0h	1 : 启用对数转换。 在对数转换模式下，DAC 输出以 3.125% 步进从 DAC-1-MARGIN-LOW 代码移至 DAC-1-MARGIN-HIGH 代码，反之亦然。 在正向转换时，下一步是 $(1 + 0.03125)$ 乘以当前步进。 在反向转换时，下一步是 $(1 - 0.03125)$ 乘以当前步进。 当 DAC-1-MARGIN-LOW 为 0 时，转换从代码 1 开始。 每个步进的时间间隔由 RISE-SLEW-0 和 FALL-SLEW-0 定义。
6-4	RISE-SLEW-1	R/W	0h	对数转换模式的 SLEW-RATE (DAC-1-MARGIN-LOW 至 DAC-1-MARGIN-HIGH) : 000 : 4 μ s/步进 001 : 12 μ s/步进 010 : 27.04 μ s/步进 011 : 60.72 μ s/步进 100 : 136.72 μ s/步进 101 : 418.64 μ s/步进 110 : 1282 μ s/步进 111 : 5127.92 μ s/步进
3-1	FALL-SLEW-1	R/W	0h	对数转换模式的 SLEW-RATE (DAC-1-MARGIN-HIGH 至 DAC-1-MARGIN-LOW) : 000 : 4 μ s/步进 001 : 12 μ s/步进 010 : 27.04 μ s/步进 011 : 60.72 μ s/步进 100 : 136.72 μ s/步进 101 : 418.64 μ s/步进 110 : 1282 μ s/步进 111 : 5127.92 μ s/步进
0	X	X	0h	不用考虑

7.14 DAC-2-FUNC-CONFIG 寄存器 (地址 = 06h) [复位 = 0000h]

图 7-14. DAC-2-FUNC-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLR-SEL-2	SYNC-CONFIG-2	BRD-CONFIG-2	FUNC-GEN-CONFIG-BLOCK-2												
R/W-0h	R/W-0h	R/W-0h	R/W-000h												

表 7-22. DAC-2-FUNC-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	CLR-SEL-2	R/W	0h	0 : 将 DAC 通道 2 清除为零标度。 1 : 将 DAC 通道 2 清除至中标度。
14	SYNC-CONFIG-2	R/W	0h	0 : DAC 通道 2 输出在写命令后立即更新。 1 : DAC 通道 2 输出在 LDAC 引脚下降沿或 COMMON-TRIGGER 寄存器中的 LDAC 位设置为 1 时更新。
13	BRD-CONFIG-2	R/W	0h	0 : 不使用广播命令更新 DAC 通道 2。 1 : 使用广播命令更新 DAC 通道 2。

表 7-23. 线性转换模式 : FUNC-GEN-CONFIG-BLOCK-2 字段说明

位	字段	类型	复位	说明
12-11	PHASE-SEL-2	R/W	0h	00 : 0° 01 : 120° 10 : 240° 11 : 90°
10-8	FUNC-CONFIG-2	R/W	0h	000 : 三角波 001 : 锯齿波 010 : 反锯齿波 100 : 正弦波 111 : 禁用函数生成 其他 : 无效
7	LOG-SLEW-EN-2	R/W	0h	0 : 启用线性转换
6-4	CODE-STEP-2	R/W	0h	用于线性转换模式的 CODE-STEP : 000 : 1-LSB 001 : 2-LSB 010 : 3-LSB 011 : 4-LSB 100 : 6-LSB 101 : 8-LSB 110 : 16-LSB 111 : 32-LSB
3-0	SLEW-RATE-2	R/W	0h	用于线性转换模式的 SLEW-RATE : 0000 : 对于裕度高和裕度低, 无转换。波形生成无效。 0001 : 4μs/步进 0010 : 8μs/步进 0011 : 12μs/步进 0100 : 18μs/步进 0101 : 27.04μs/步进 0110 : 40.48μs/步进 0111 : 60.72μs/步进 1000 : 91.12μs/步进 1001 : 136.72μs/步进 1010 : 239.2μs/步进 1011 : 418.64μs/步进 1100 : 732.56μs/步进 1101 : 1282μs/步进 1110 : 2563.96μs/步进 1111 : 5127.92μs/步进

表 7-24. 对数转换模式：FUNC-GEN-CONFIG-BLOCK-2 字段说明

位	字段	类型	复位	说明
12-11	PHASE-SEL-2	R/W	0h	00 : 0° 01 : 120° 10 : 240° 11 : 90°
10-8	FUNC-CONFIG-2	R/W	0h	000 : 三角波 001 : 锯齿波 010 : 反锯齿波 100 : 正弦波 111 : 禁用函数生成 其他 : 无效
7	LOG-SLEW-EN-2	R/W	0h	1 : 启用对数转换。 在对数转换模式下，DAC 输出以 3.125% 步进从 DAC-2-MARGIN-LOW 代码移至 DAC-2-MARGIN-HIGH 代码，反之亦然。 在正向转换时，下一步是 $(1 + 0.03125)$ 乘以当前步进。 在反向转换时，下一步是 $(1 - 0.03125)$ 乘以当前步进。 当 DAC-2-MARGIN-LOW 为 0 时，转换从代码 1 开始。 每个步进的时间间隔由 RISE-SLEW-0 和 FALL-SLEW-0 定义。
6-4	RISE-SLEW-2	R/W	0h	对数转换模式的 SLEW-RATE (DAC-2-MARGIN-LOW 至 DAC-2-MARGIN-HIGH) : 000 : 4 μ s/步进 001 : 12 μ s/步进 010 : 27.04 μ s/步进 011 : 60.72 μ s/步进 100 : 136.72 μ s/步进 101 : 418.64 μ s/步进 110 : 1282 μ s/步进 111 : 5127.92 μ s/步进
3-1	FALL-SLEW-2	R/W	0h	对数转换模式的 SLEW-RATE (DAC-2-MARGIN-HIGH 至 DAC-2-MARGIN-LOW) : 000 : 4 μ s/步进 001 : 12 μ s/步进 010 : 27.04 μ s/步进 011 : 60.72 μ s/步进 100 : 136.72 μ s/步进 101 : 418.64 μ s/步进 110 : 1282 μ s/步进 111 : 5127.92 μ s/步进
0	X	X	0h	不用考虑

7.15 DAC-0-DATA 寄存器 (地址 = 1Bh) [复位 = 0000h]

图 7-15. DAC-0-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-0-DATA[9:0] DAC-0-DATA[7:0]												X			
R/W-000h												X-0h			

表 7-25. DAC-0-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-0-DATA[9:0] DAC-0-DATA[7:0]	读/写	000h	DAC 输出的数据。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐： AFE532A3W : {DAC-0-DATA[9:0], X, X} AFE432A3W : {DAC-0-DATA[7:0], X, X, X, X} X = 不用考虑位。
3-0	X	X	0h	不用考虑

7.16 DAC-1-DATA 寄存器 (地址 = 1Ch) [复位 = 0000h]

图 7-16. DAC-1-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-1-DATA[9:0] DAC-1-DATA[7:0]												X			
R/W-000h												X-0h			

表 7-26. DAC-1-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-1-DATA[9:0] DAC-1-DATA[7:0]	读/写	000h	DAC 输出的数据。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐： AFE532A3W : {DAC-1-DATA[9:0], X, X} AFE432A3W : {DAC-1-DATA[7:0], X, X, X, X} X = 不用考虑位。
3-0	X	X	0h	不用考虑

7.17 DAC-2-DATA 寄存器 (地址 = 19h) [复位 = 0000h]

图 7-17. DAC-2-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-2-DATA[9:0] DAC-2-DATA[7:0]												X			
R/W-000h												X-0h			

表 7-27. DAC-2-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-2-DATA[9:0] DAC-2-DATA[7:0]	读/写	000h	DAC 输出的数据。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐： AFE532A3W : {DAC-2-DATA[9:0], X, X} AFE432A3W : {DAC-2-DATA[7:0], X, X, X, X} X = 不用考虑位。
3-0	X	X	0h	不用考虑

7.18 ADC-CONFIG-TRIG 寄存器 (地址 = 1Dh) [复位 = 0000h]

图 7-18. ADC-CONFIG-TRIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED		ADC-EN	ADC-AVG		RESERVED										TRIG-ADC
R/W-0h		R/W-0h	R/W-0h		R/W-000h										W-0h

表 7-28. ADC-CONFIG-TRIG 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R/W	0h	始终写入 0h。
13	ADC-EN	R/W	0h	0 : ADC 禁用。 1 : 在通道 1 上启用 ADC。在设置该位之前, 必须在通道 1 上启用比较器模式。使用上拉电阻将 FB1 连接到 VDD。
12-11	ADC-AVG	R/W	0h	00 : 对 4 个样本取平均值。 01 : 对 8 个样本取平均值。 10 : 对 16 个样本取平均值。 11 : 对 32 个采样进行平均值计算。
10-1	RESERVED	R/W	000h	始终写入 0b01 1110 0000 (1E0h)。
0	TRIG-ADC	W	0h	写入 1 启动 ADC 转换。此位会自动复位。检查 GENERAL-STATUS 或 ADC-DATA 寄存器中的 ADC-DRDY 位以了解 ADC 数据的有效性。

7.19 ADC-DATA 寄存器 (地址 = 1Eh) [复位 = 0001h]

图 7-19. ADC-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC-DATA												X	ADC-DRDY		
R/W-000h												X-0h	R-1h		

表 7-29. ADC-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-4	ADC-DATA[9:0]	读/写	000h	ADC 数据。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐方式回读： {ADC-DATA[9:0], X, X} X = 不用考虑位。
3-1	X	X	0h	不用考虑
0	ADC-DRDY	R	1h	0 : ADC 触发后的默认状态。ADC 数据无效。 1 : ADC 未触发时的默认状态。值为 1 表示 ADC 触发后 ADC 数据有效。

7.20 COMMON-CONFIG 寄存器 (地址 = 1Fh) [复位 = 0FFFh]

图 7-20. COMMON-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	DAC-PDN-1	RESERVED	DAC-PDN-0	RESERVED			DAC-PDN-2	RESERVED				
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-3h	R/W-1h	R/W-3h	R/W-Fh			R/W-3h	R/W-1h				

表 7-30. COMMON-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	WIN-LATCH-EN	R/W	0h	0: 非锁存窗口比较器输出。 1: 锁存窗口比较器输出。
14	DEV-LOCK	R/W	0h	0: 器件未锁定 1: 器件锁定, 器件会锁定所有寄存器。要将此位置为 0 (解锁器件), 需先将解锁代码写入 COMMON-TRIGGER 寄存器的 DEV-UNLOCK 字段, 然后向 DEV-LOCK 位写入 0。
13	EE-READ-ADDR	R/W	0h	0: 故障转储读取使能位于地址 0x00 处。 1: 故障转储读取使能位于地址 0x01 处。
12	EN-INT-REF	R/W	0h	0: 禁用内部基准。 1: 启用内部基准。在使用内部基准增益设置之前, 必须设置此位。
11-10	DAC-PDN-1	R/W	3h	00: 为 DAC 通道 1 上电。 01: 通过 10kΩ 连接至 AGND, 将 DAC 通道 1 断电。 10: 通过 100kΩ 连接至 AGND, 将 DAC 通道 1 断电。 11: 通过高阻态连接至 AGND, 将 DAC 通道 1 断电。
9	保留	R/W	1h	始终写入 1h。
8-7	DAC-PDN-0	R/W	3h	00: 为 DAC 通道 0 上电。 01: 通过 10kΩ 连接至 AGND, 将 DAC 通道 0 断电。 10: 通过 100kΩ 连接至 AGND, 将 DAC 通道 0 断电。 11: 通过高阻态连接至 AGND, 将 DAC 通道 0 断电。
6-3	RESERVED	R/W	Fh	始终写入 Fh。
2-1	DAC-PDN-2	R/W	3h	00: 为 DAC 通道 2 上电。 其他: 通过 1.2kΩ 连接至 AGND, 将 DAC 通道 2 断电。
0	RESERVED	R/W	1h	始终写入 1h。

7.21 COMMON-TRIGGER 寄存器 (地址 = 20h) [复位 = 0000h]

图 7-21. COMMON-TRIGGER 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV-UNLOCK				重置				LDAC	CLR	X	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD
R/W-0h				R/W-0h				R/W-0h	R/W-0h	X-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-31. COMMON-TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-12	DEV-UNLOCK	R/W	0h	0101：器件解锁密码 其他：不用考虑
11-8	RESET	W	0h	1010：触发 POR 复位。此位会自行复位。 其他：不用考虑
7	LDAC	R/W	0h	0：不触发 LDAC 操作。 1：如果 DAC-x-FUNC-CONFIG 寄存器中相应的 SYNC-CONFIG-x 位为 1，则触发 LDAC 操作。此位会自行复位。
6	CLR	R/W	0h	0：DAC 寄存器和输出不受影响 1：DAC 寄存器和输出根据 DAC-x-FUNC-CONFIG 寄存器中相应的 CLR-SEL-x 位设置为零代码或中间代码。此位会自行复位。
5	X	X	0h	不用考虑
4	FAULT-DUMP	R/W	0h	0：不触发故障转储 1：触发故障转储序列。此位会自行复位。
3	PROTECT	R/W	0h	0：不触发 PROTECT 功能 1：触发 PROTECT 功能。此位会自行复位。
2	READ-ONE-TRIG	R/W	0h	0：不触发故障转储读取 1：读取 NVM 的一行进行故障转储。此位会自行复位。
1	NVM-PROG	R/W	0h	0：不触发 NVM 写入 1：触发 NVM 写入。此位会自行复位。
0	NVM-RELOAD	R/W	0h	0：不触发 NVM 重新加载 1：将数据从 NVM 重新加载到寄存器映射。此位会自行复位。

7.22 COMMON-DAC-TRIG 寄存器 (地址 = 21h) [复位 = 0000h]

图 7-22. COMMON-DAC-TRIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
X	TRIG-MAR-LO-2	TRIG-MAR-HI-2	START-FUNC-2	X				TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0	RESET-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1		
X-0h	W-0h	W-0h	R/W-0h	X-00h				W-0h	W-0h	R/W-0h	W-0h	W-0h	W-0h	W-0h		R/W-0h

表 7-32. COMMON-DAC-TRIG 寄存器字段说明

位	字段	类型	复位	说明
14、6、2	TRIG-MAR-LO-x	W	0h	0：不用考虑 1：触发低裕度命令。此位会自行复位。
13、5、1	TRIG-MAR-HI-x	W	0h	0：不用考虑 1：触发高裕度命令。此位会自行复位。
12、4、0	START-FUNC-x	R/W	0h	0：停止函数生成 1：根据 DAC-x-FUNC-CONFIG 寄存器中的 FUNC-GEN-CONFIG-x 开始函数生成。
15、11-7	X	X	00h	不用考虑
3	RESET-CMP-FLAG-1	W	0h	0：锁存比较器输出不受影响 1：复位锁存比较器和窗口比较器输出。此位会自行复位。

7.23 GENERAL-STATUS 寄存器 (地址 = 22h) [复位 = 20h、DEVICE-ID、VERSION-ID]

图 7-23. GENERAL-STATUS 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	ADC-DRDY	DAC-1-BUSY	DAC-0-BUSY	X	DAC-2-BUSY	NVM-BUSY	DEVICE-ID						VERSION-ID	
R-0h	R-0h	R-1h	R-0h	R-0h	X-0h	R-0h	R-0h	R-[DEVICE-ID]						R-0h	

表 7-33. GENERAL-STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	NVM-CRC-FAIL-INT	R	0h	0 : OTP 中无 CRC 错误。 1 : 表示 OTP 加载失败。软件复位或下电上电可在发生临时故障时使器件脱离此状态。
14	NVM-CRC-FAIL-USER	R	0h	0 : NVM 加载中无 CRC 错误 1 : 表示 NVM 加载失败。寄存器设置已损坏。该器件允许在该错误条件下执行所有操作。重新对 NVM 进行编程以获得原始状态。软件复位可使器件摆脱此临时错误状态。
13	ADC-DRDY	R	1h	0 : ADC 触发后的默认状态。ADC 数据无效。 1 : ADC 未触发时的默认状态。值为 1 表示 ADC 触发后 ADC 数据有效。
12	DAC-1-BUSY	R	0h	0 : DAC 通道 1 可接受命令。 1 : DAC 通道 1 不接受命令。
11	DAC-0-BUSY	R	0h	0 : DAC 通道 0 可接受命令。 1 : DAC 通道 0 不接受命令。
10	X	X	0h	不用考虑
9	DAC-2-BUSY	R	0h	0 : DAC 通道 2 可接受命令。 1 : DAC 通道 2 不接受命令。
8	NVM-BUSY	R	0h	0 : NVM 可用于读取和写入。 1 : NVM 不可用于读取或写入。
7-2	DEVICE-ID	R	AFE532A3W : 01h AFE432A3W : 02h	器件标识符。
1-0	VERSION-ID	R	00h	版本标识符。

7.24 CMP-STATUS 寄存器 (地址 = 23h) [复位 = 000Ch]

图 7-24. CMP-STATUS 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X							PROTECT-FLAG	WIN-CMP-1	X			CMP-FLAG-1	X		
X-0h							R-0h	R-0h	X-0h			R-1h	X-4h		

表 7-34. CMP-STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-9	X	X	0h	不用考虑
8	PROTECT-FLAG	R	0h	0 : PROTECT 操作不会触发。 1 : PROTECT 功能已完成或正在进行中。读取时该位复位为 0。
7	WIN-CMP-1	R	0h	来自通道 1 的窗口比较器输出。输出根据 COMMON-CONFIG 寄存器中的 WINDOW-LATCH-EN 设置来锁存或取消锁存。
6-4	X	X	0h	不用考虑
3	CMP-FLAG-1	R	1h	来自通道 1 的同步比较器输出。
2-0	X	X	4h	不用考虑

7.25 GPIO-CONFIG 寄存器 (地址 = 24h) [复位 = 0000h]

图 7-25. GPIO-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GF-EN	X	GPO-EN	GPO-CONFIG			GPI-CH-SEL			GPI-CONFIG			GPI-EN			
R/W-0h	X-0h	R/W-0h	R/W-0h			R/W-0h			R/W-0h			R/W-0h			

表 7-35. GPIO-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	GF-EN	R/W	0h	0: 为 GP 输入禁用干扰滤波器。此设置可提供更快的响应。 1: 为 GPI 启用干扰滤波器。此设置会引入额外的传播延迟, 但提供了稳健性。
14	X	X	0h	不用考虑。
13	GPO-EN	R/W	0h	0: 禁用 GPIO/SDO 引脚的输出模式。 1: 启用 GPIO/SDO 引脚的输出模式。
12-9	GPO-CONFIG	R/W	0h	STATUS 功能状态。GPIO 引脚映射到以下寄存器位作为输出: 0000: ADC-DRDY 0001: NVM-BUSY 0100: DAC-2-BUSY 0110: DAC-0-BUSY 0111: DAC-1-BUSY 1011: WIN-CMP-1 其他: 不适用
8-5	GPI-CH-SEL	R/W	0h	两个位对应两个 DAC 通道。0b 表示已禁用, 而 1b 表示已启用。 GPI-CH-SEL[0]: 通道 2 GPI-CH-SEL[1]: 不用考虑 GPI-CH-SEL[2]: 通道 0 GPI-CH-SEL[3]: 通道 1 示例: 当 GPI-CH-SEL 为 1001 时, 通道 2 和通道 1 均被启用, 通道 0 被禁用。
4-1	GPI-CONFIG	R/W	0h	GPIO/SDO 引脚输入配置。全局设置在整个器件上运行。特定于通道的设置取决于 GPI-CH-SEL 位的通道选择: 0010: FAULT-DUMP (全局)。GPIO 下降沿触发故障转储, GPIO = 1 没有任何影响。 0100: 通道上电下电 (特定于通道)。输出负载根据 OUT-PDN-x 设置进行设置。GPIO 下降沿触发断电, GPIO 上升沿触发上电。 0101: PROTECT 输入 (全局)。GPIO 下降沿使 PROTECT 功能生效, GPIO = 1 没有任何影响。 0111: CLR 输入 (全局)。GPIO = 0 使 CLR 功能生效, GPIO = 1 没有任何影响。 1000: LDAC 输入 (特定于通道)。GPIO 下降沿使 LDAC 功能生效, GPIO = 1 没有任何影响。必须为每个通道配置 SYNC-CONFIG-x 和 GPI-CH-SEL。 1001: 启动和停止函数生成 (特定于通道)。GPIO 下降沿停止函数生成。GPIO 上升沿开始函数生成。 1010: 触发裕度高/低 (特定于通道)。GPIO 下降沿触发裕度低。GPIO 上升沿触发裕度高。 1011: RESET 输入 (全局)。GPIO 引脚的下降沿使 RESET 功能生效。RESET 输入必须是一个脉冲。GPIO 上升沿使器件退出复位。RESET 配置必须编程到 NVM 中。否则, 该设置会在器件复位后被清除。 1100: NVM 写保护 (全局)。GPIO 下降沿允许 NVM 编程。GPIO 上升沿阻止 NVM 编程。 1101: 寄存器映射锁定 (全局)。GPIO 下降沿允许更新寄存器映射。GPIO 上升沿阻止任何寄存器映射更新, 但通过 I ² C 或 SPI 写入 DEV-UNLOCK 字段和通过 I ² C 写入 RESET 字段除外。 其他: 无效
0	GPI-EN	R/W	0h	0: 禁用 GPIO/SDO 引脚的输入模式。 1: 启用 GPIO/SDO 引脚的输入模式。

7.26 DEVICE-MODE-CONFIG 寄存器 (地址 = 25h) [复位 = 0000h]

图 7-26. DEVICE-MODE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED						PROTECT-CONFIG		保留				X			
R/W-00h						R/W-0h		R/W-0h				X-00h			

表 7-36. DEVICE-MODE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-10	保留	R/W	00h	始终写入 00h。
9-8	PROTECT-CONFIG	R/W	0h	00：切换到高阻态断电模式（无转换） 01：切换到存储在 NVM 中的 DAC 代码（无转换），然后切换到高阻态断电模式 10：转换为裕度低代码，然后切换到高阻态断电模式 11：转换为裕度高代码，然后切换到高阻态断电模式
7-5	RESERVED	R/W	0h	始终写入 0h。
4-0	X	X	00h	不用考虑

7.27 INTERFACE-CONFIG 寄存器 (地址 = 26h) [复位 = 0000h]

图 7-27. INTERFACE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		TIMEOUT-EN		X		RESERVE D		X				FSDO-EN		X	SDO-EN
X-0h		R/W-0h		X-0h		R/W-0h		X-00h				R/W-0h		X-0h	R/W-0h

表 7-37. INTERFACE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑
12	TIMEOUT-EN	R/W	0h	0：禁用 I ² C 超时 1：启用 I ² C 超时
11-9	X	X	0h	不用考虑
8	保留	R/W	0h	始终写入 0。
7-3	X	X	00h	不用考虑
2	FSDO-EN	R/W	0h	0：禁用快速 SDO 1：启用快速 SDO
1	X	X	0h	不用考虑
0	SDO-EN	R/W	0h	0：禁用 SDO 1：在 GPIO/SDO 引脚上启用 SDO

7.28 SRAM-CONFIG 寄存器 (地址 = 2Bh) [复位 = 0000h]

图 7-28. SRAM-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X										SRAM-ADDR					
X-00h										R/W-00h					

表 7-38. SRAM-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-8	X	X	00h	不用考虑
7-0	SRAM-ADDR	R/W	00h	8 位 SRAM 地址。写入此寄存器字段将配置接下来要访问的 SRAM 地址。此地址会在写入 SRAM 后自动递增。

7.29 SRAM-DATA 寄存器 (地址 = 2Ch) [复位 = 0000h]

图 7-29. SRAM-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAM-DATA															
R/W-0000h															

表 7-39. SRAM-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-0	SRAM-DATA	R/W	0000h	16 位 SRAM 数据。此数据会写入 SRAM-CONFIG 寄存器中配置的地址或从该地址读取。

7.30 BRDCAST-DATA 寄存器 (地址 = 50h) [复位 = 0000h]

图 7-30. BRDCAST-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRDCAST-DATA[9:0] BRDCAST-DATA[7:0]												X			
R/W-000h												X-0h			

表 7-40. BRDCAST-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-4	BRDCAST-DATA[9:0] BRDCAST-DATA[7:0]	读/写	000h	所有 DAC 通道的广播代码。 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐： AFE532A3W : {BROADCAST-DATA[9:0], X, X} AFE432A3W : {BROADCAST-DATA[7:0], X, X, X, X} X = 不用考虑位。 必须针对相应通道使能 DAC-x-FUNC-CONFIG 寄存器中的 BRD-CONFIG-X 位。
3-0	X	X	0h	不用考虑。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

AFEx32A3W 是一款三通道、缓冲、电压输出、电流输出和 ADC 输入智能 AFE，包含 NVM 和内部基准，并采用 1.72mm × 1.72mm (标称) 封装。AFE 具有两个专用 DAC 通道和一个可配置为 DAC 或 ADC 的通道。电流输出 DAC (IDAC) 可在低余量的情况下提供高达 300mA 的电流。电压输出 DAC (VDAC) 具有可配置的基准和增益选项。AFEx32A3W 支持高阻态省电模式，并在断电情况下支持高阻态输出。多功能 GPIO、函数生成和 NVM 使这些智能 AFE 可以使用，而无需运行时软件。

8.2 典型应用

AFEx32A3W 可用于采用电吸收调制激光器 (EML) 的光学网络应用。EML 由激光器和集成电吸收调制器 (EAM) 组成。AFEx32A3W IDAC 输出具有低余量，这对于需要低功率耗散的应用而言是一项出色的特性。此示例电路使用 300mA IDAC 输出来偏置激光器。EAM 通常需要负电压偏置来控制通过 EML 的光的强度。AFEx32A3W VDAC 输出可以使用运算放大器反相，以实现这项负偏置要求。集成 ADC 用于使用外部光电二极管和检测电阻 (R_{SENSE}) 监控 EML 的输出。

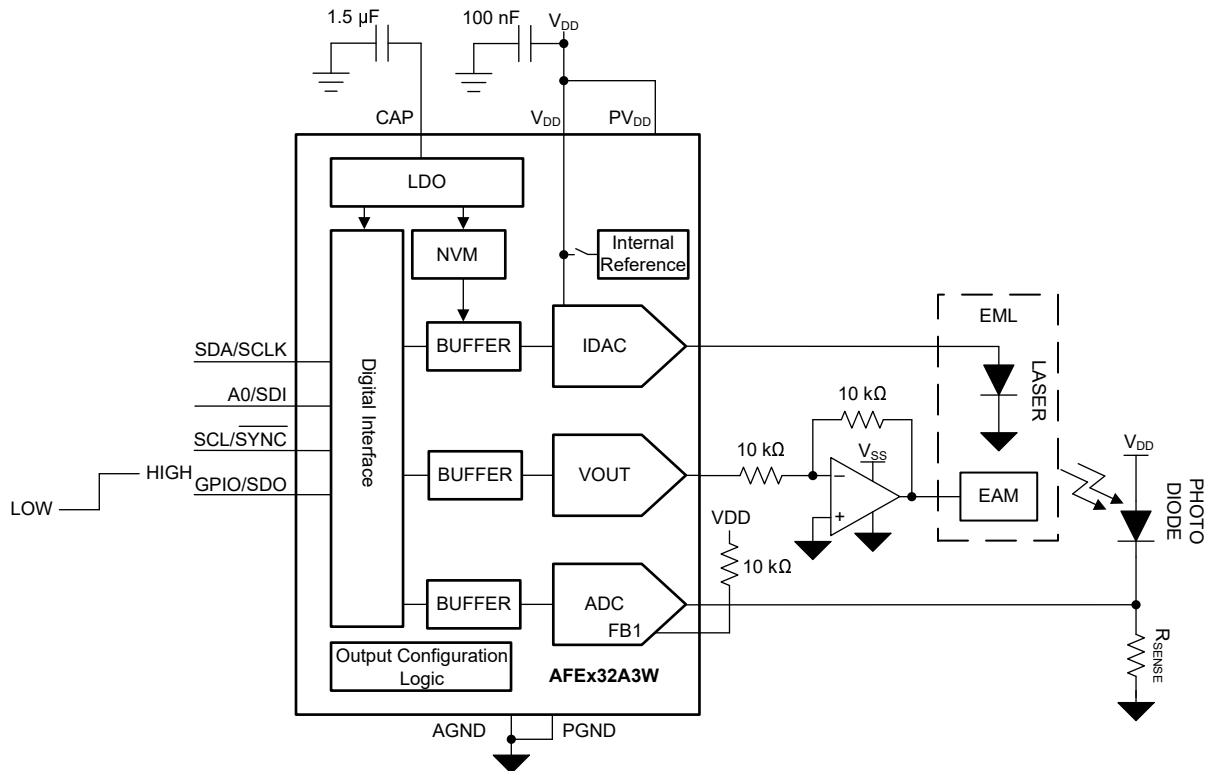


图 8-1. 电吸收调制激光器偏置

8.2.1 设计要求

表 8-1. 设计参数

参数	值
V_{DD}	3.3V

表 8-1. 设计参数 (续)

参数	值
PV _{DD}	3.3V
IDAC 标称输出	200mA
VDAC 输出范围	0V 至 3.3V
ADC 输入范围	0V 至 3.3V
V _{SS}	-5V
负 EAM 偏置输出范围	-3.3V 至 0V

8.2.2 详细设计过程

- 此应用的标称 IDAC 输出为 200mA。将 IDAC 输出设置为 200mA 所需的 IDAC 代码通过 [方程式 9](#) 计算得出。

$$DAC_2_DATA = \frac{200mA}{\frac{2}{3} \times 0.5241} \times 2^{10} = 586d \quad (9)$$

- IDAC 通道使用内部基准。在启用 IDAC 输出之前，启用 COMMON-CONFIG 寄存器中的内部基准。
- IDAC 通道的功率耗散是 PV_{DD} 电源电压、电流输出和 IDAC 引脚电压 (V_{IDAC}) 的函数。余量电压 (V_{HEADROOM}) 计算为 PV_{DD} 和 V_{IDAC} 之间的差值。更大幅度地降低 V_{HEADROOM} 以降低器件的功率耗散，同时满足最低 V_{HEADROOM} 要求。如果 V_{HEADROOM} 低于指定的电压，则 IDAC 输出无法提供满量程电流输出。[图 8-2](#) 展示了输出电流方向和影响功率耗散的主要电压。IDAC 输出对功率耗散的影响与输出电流乘以 V_{HEADROOM} 电压成正比。

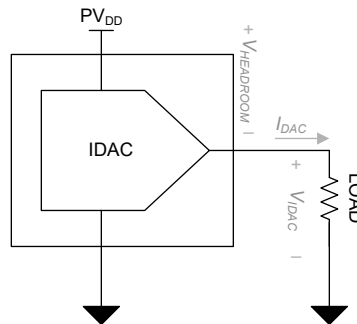


图 8-2. IDAC 功率耗散

- VDAC 满量程输出范围在 DAC-0-GAIN-CONFIG 寄存器中设置。此应用示例使用 3.3V VDD 作为基准，增益为 1x。[方程式 10](#) 计算 2V 输出的 DAC 代码。

$$DAC_0_DATA = \frac{2V}{3.3V} \times 2^{10} = 621d \quad (10)$$

- 此应用中的反相运算放大器电路具有 -1V/V 的增益。如果电路的负输出范围需要大于 AFE_x32A3W V_{DD} 电源电压，则可以增加反相运算放大器电路的增益。负运算放大器电源 (V_{SS}) 必须足够大，以支持所选运算放大器在应用选定增益的情况下对于 AFE_x32A3W 满量程输出的余量要求。选择支持 EAM 所需输出电压范围和输出电流驱动的运算放大器。

- 当使用 ADC 输入监控光电二极管时， R_{SENSE} 的值取决于光电二极管的预期电流 (I_{PD})。选择 R_{SENSE} ，使最大 I_{PD} 产生的电压等于满量程 ADC 输入电压。方程式 11 展示了如何根据最大 ADC 输入电压和最大 I_{PD} 计算 R_{SENSE} 。

$$R_{SENSE} = \frac{ADC_{max}}{I_{PDmax}} \quad (11)$$

- ADC 满量程输入范围在 DAC-1-GAIN-CMP-CONFIG 寄存器中设置。此应用示例使用 3.3V V_{DD} 作为基准，增益为 1 \times 。如果预期最大 I_{PD} 为 10mA，则根据方程式 12 计算出的 R_{SENSE} 为 330 Ω 。

$$R_{SENSE} = \frac{3.3V}{10mA} = 330\Omega \quad (12)$$

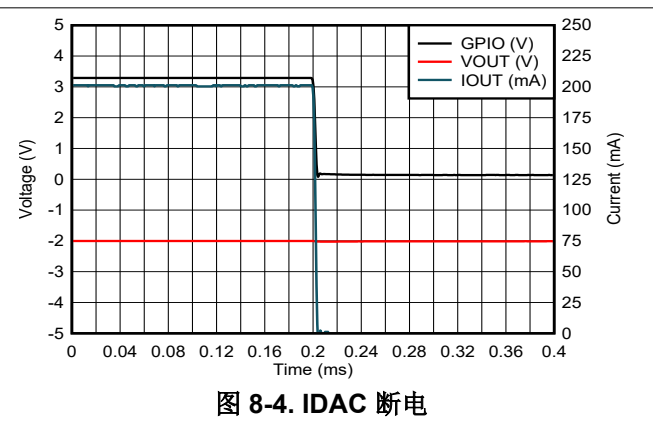
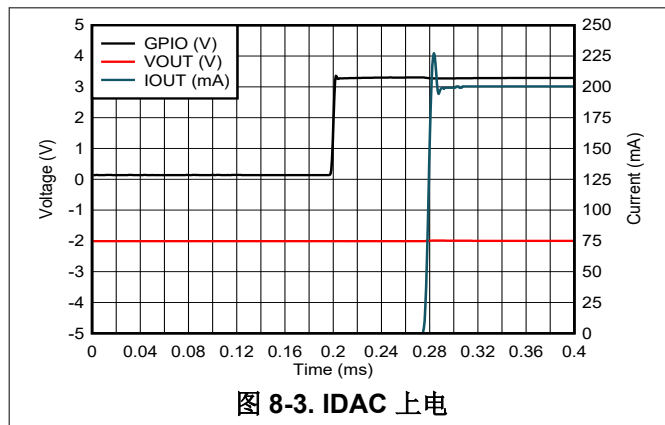
- 此应用使用 GPIO/SDO 引脚来打开和关闭 IDAC 输出。在 GPIO-CONFIG 寄存器中配置 GPIO/SDO 引脚的功能。GPI-EN 位使能 GPIO/SDO 引脚作为输入。GPI-CH-SEL 字段选择由 GPI 控制的通道。GPI-CONFIG 字段选择 GPI 功能。表 6-9 定义了 GPI-CONFIG 字段的函数。

EML 偏置应用的伪代码如下：

```
//SYNTAX: WRITE <REGISTER NAME (Hex code)>, <MSB DATA>, <LSB DATA>
//Write DAC code for nominal IDAC output
//Set IOUT gain setting to 2/3
WRITE DAC-2-GAIN-CONFIG(0x03), 0x00, 0x00
//The 10-bit hex code for 200 mA is 0x24A. with 16-bit left alignment, this becomes 0x9280
WRITE DAC-2-DATA(0x19), 0x92, 0x80
//Set VOUT0 gain setting to 1x VDD (3.3 V)
WRITE DAC-0-GAIN-CONFIG(0x0F), 0x04, 0x00
//For a 3.3-V output range, the 10-bit hex code for 2 V is 0x26D. with 16-bit left alignment, this
becomes 0x9B40
WRITE DAC-0-DATA(0x1B), 0x9B, 0x40
//Set ADC gain setting to 1x VDD (3.3 V), enable comparator mode for ADC
WRITE DAC-1-GAIN-CMP-CONFIG(0x15), 0x04, 0x01
//Power-up output on VDAC and ADC channels, enables internal reference
WRITE COMMON-CONFIG(0x1F), 0x12, 0x5F
//Configure GPI for Power-Up, Down trigger for IDAC channel
WRITE GPIO-CONFIG(0x24), 0x00, 0x29
//Enable the ADC and configure the averaging setting and channel select
WRITE ADC-CONFIG-TRIG(0x1D), 0x23, 0xC0
//Save settings to NVM
WRITE COMMON-TRIGGER(0x20), 0x00, 0x02

//Use GPIO pin to power on/off IDAC
//ADC trigger
WRITE ADC-CONFIG-TRIG(0x1D), 0x23, 0xC1
//ADC readback
READ ADC-DATA(0x1E)
```

8.2.3 应用曲线



8.3 电源相关建议

AFEx32A3W 不需要特定的电源时序。这些器件需要单个电源 V_{DD} 和 PV_{DD} 。使用低阻抗 PCB 布线将 V_{DD} 和 PV_{DD} 短接。为了更大限度地减少电源噪声，请连接 $1\ \mu\text{F}$ 至 $10\ \mu\text{F}$ 电容器和 100nF 旁路电容器。CAP 引脚应使用约 $1.5\ \mu\text{F}$ 的旁路电容器。

备注

AFEx32A3W 不提供自动热关断功能。因此，外部电路设计必须将结温维持在指定的限制范围内。

8.4 布局

8.4.1 布局指南

AFEx32A3W 引脚配置将模拟、数字和电源引脚分开以实现优化布局。为了保证信号完整性，需将数字和模拟走线分开，并将去耦电容器放置在器件引脚附近。

8.4.2 布局示例

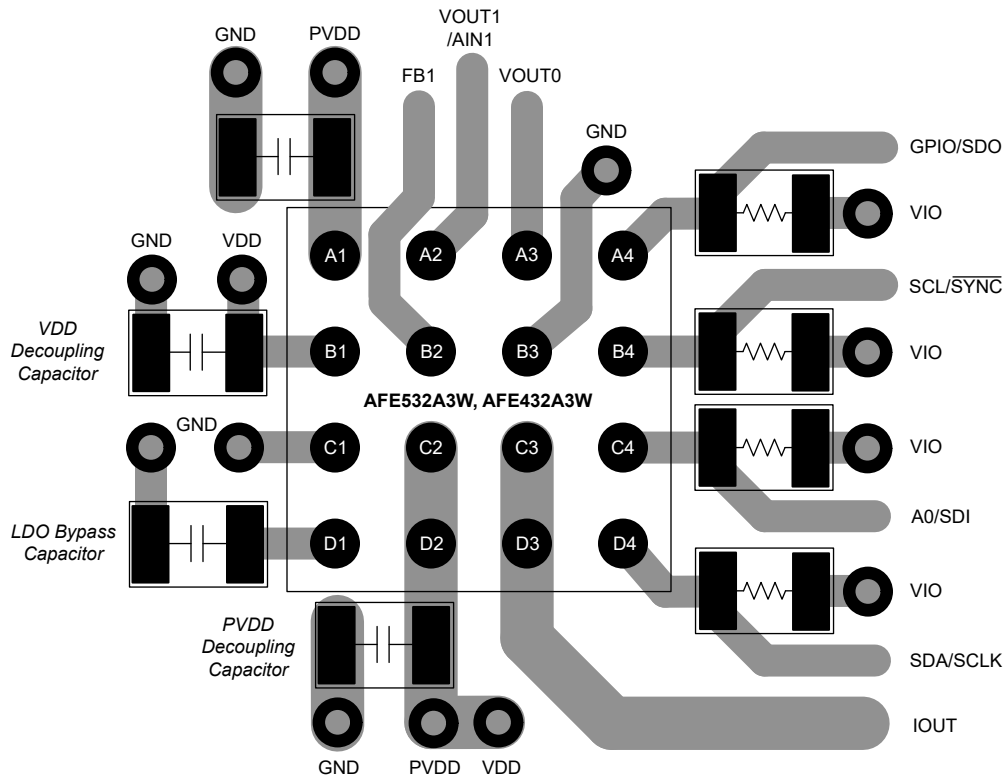


图 8-5. 布局示例

注意：为了清晰起见，这里忽略了接地平面和电源平面。

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

可用的 EVM 用户指南如下：[AFE532A3W 评估模块](#) 用户指南

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
November 2023	*	初始发行版

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
AFE432A3YBHR	ACTIVE	DSBGA	YBH	16	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 125	AFE 432A3	Samples
AFE532A3YBHR	ACTIVE	DSBGA	YBH	16	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 125	AFE 532A3	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

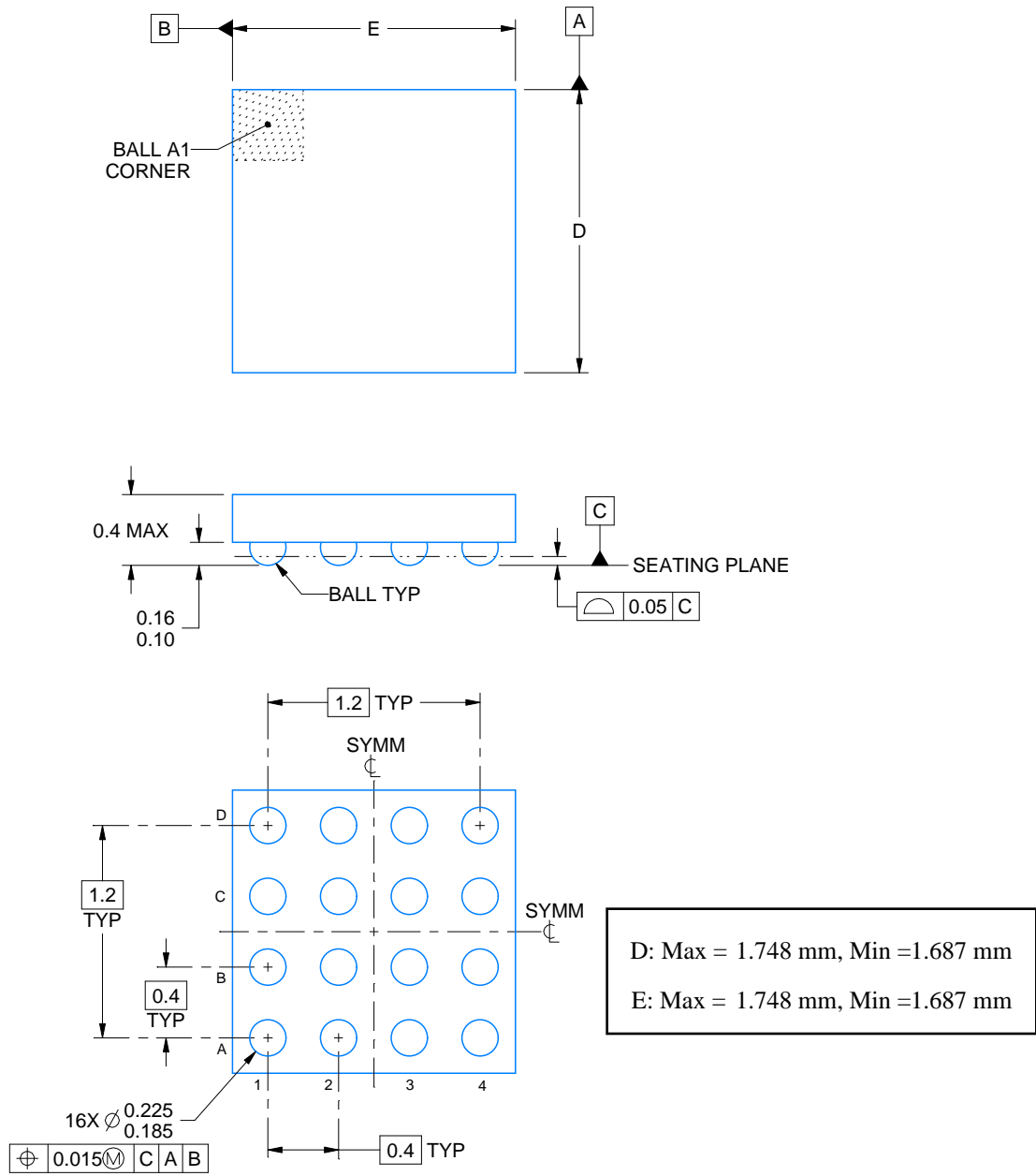
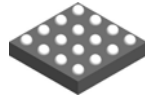
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4225022/A 06/2019

NOTES:

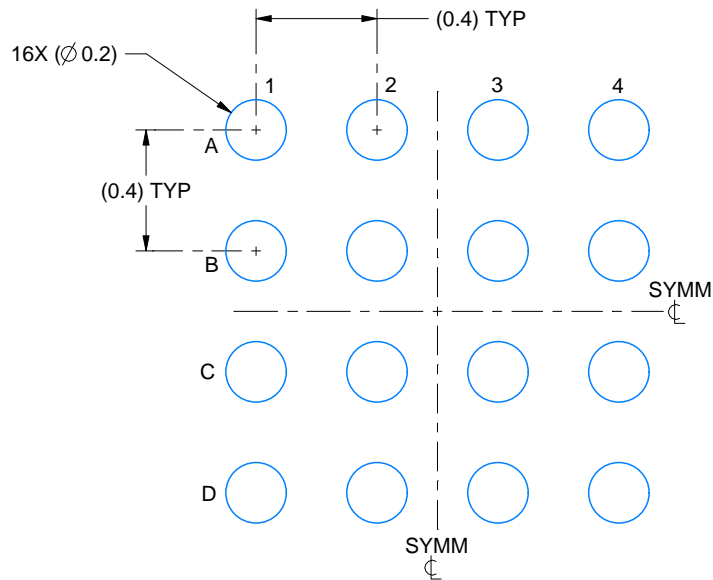
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

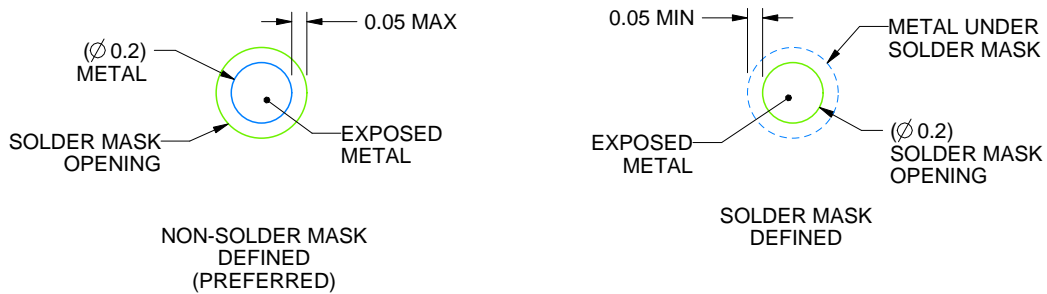
YBH0016

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS
NOT TO SCALE

4225022/A 06/2019

NOTES: (continued)

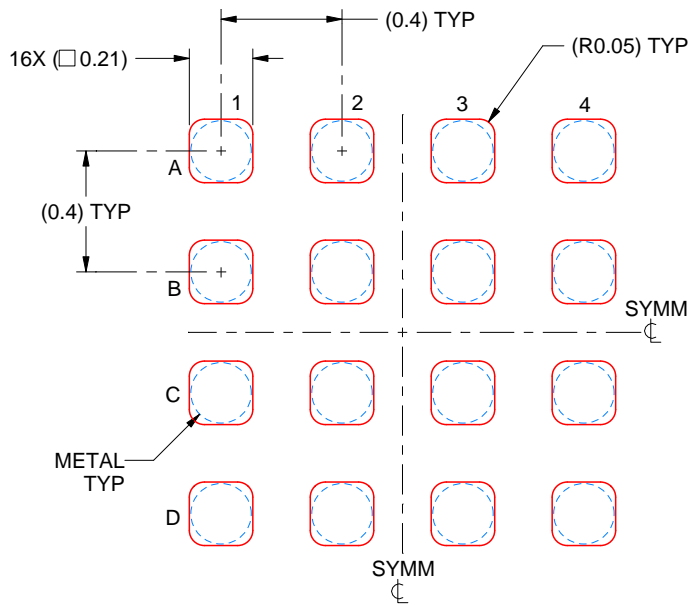
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBH0016

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 40X

4225022/A 06/2019

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司