

AM62Lx Sitara™ 处理器

1 特性

处理器内核：

- 双核 64 位 Arm® Cortex®-A53 微处理器子系统，性能高达 1.25GHz
 - 具有 256KB L2 高速缓存的双核 Cortex-A53
 - 每个 A53 内核具有 32KB L1 数据缓存和 32KB L1 指令缓存

存储器子系统：

- 160KB 共享片上 SRAM (OCSRAM)
- DDR 子系统 (DDRSS)
 - 支持 LPDDR4、DDR4 存储器类型
 - 16 位数据总线
 - 支持高达 1600MT/s 的速度
 - 最大 DDR4 寻址范围为 4GB
 - 最大 LPDDR4 寻址范围为 2GB

多媒体：

- 显示子系统
 - 实现单显示器支持
 - 高达 1920x1080 (60fps)
 - 受独立 PLL 支持
 - MIPI® DSI (4 通道 DPHY) 或 DPI (24 位 RGB LVCMOS)

安全性：

- 支持安全启动
 - 硬件强制可信根 (RoT)
 - 支持通过备用密钥转换 RoT
 - 支持接管保护、IP 保护和防回滚保护
- 支持可信执行环境 (TEE)
 - 基于 Arm TrustZone® 的 TEE
 - 可实现隔离的广泛防火墙支持
 - 安全看门狗/计时器/IPC
 - 安全存储支持
 - 支持回放保护内存块 (RPMB)
- 的专用安全控制器以及用于隔离式处理的专用安全 DMA 和 IPC 子系统
- 支持加密加速
 - 会话感知型加密引擎可基于输入数据流自动切换密钥材料
 - 支持加密内核
 - AES - 128-/192-/256 位密钥大小
 - SHA2 - 224-/256-/384-/512 位密钥大小
 - 具有真随机数生成器的 DRBG
 - 可在 RSA/ECC 处理中提供帮助的 PKA (公钥加速器)，支持安全启动

- 调试安全性
 - 受安全软件控制的调试访问
 - 安全感知调试

高速接口

- 支持集成以太网交换机 (总共 2 个外部端口)
 - RMII (10/100) 或 RGMII (10/100/1000)
 - IEEE1588 (附件 D、E 和 F，及 802.1AS PTP)
 - 第 45 条 MDIO PHY 管理规范
 - 基于优先级的流量控制
 - 基于 ALE 引擎的数据包分类器，具有 64 个分类器
 - 时间敏感型网络 (TSN) 支持
 - 硬件中断节奏
 - 硬件中的 IP/UDP/TCP 校验和卸载
- 2 个 USB 2.0 双角色设备 (DRD) 子系统 (USBSS)
 - 端口可配置为 USB 主机或 USB 设备
 - USB 器件：高速 (480Mbps) 和全速 (12Mbps)
 - USB 主机：高速 (480Mbps)、全速 (12Mbps) 和低速 (1.5Mbps)
 - 兼容 xHCI 1.1

通用连接：

- 8 个通用异步接收器/发送器 (UART)
 - 所有实例均支持 RTS 和 CTS 流量控制
 - 支持 RS-485 外部收发器自动流量控制
- 支持 4 个串行外设接口 (SPI) 控制器
- 支持 5 个内部集成电路 (I2C) 端口
- 3 个多通道音频串行端口 (McASP)
 - 高达 50MHz 的发送和接收时钟
 - 3 个 McASP 上具有多达 4/6/16 个串行数据引脚并具有独立的 TX 和 RX 时钟
 - 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式
 - 支持数字音频接口传输 (SPDIF、IEC60958-1 和 AES-3 格式)
 - 用于发送和接收的 FIFO 缓冲器 (256 字节)
 - 支持音频基准输出时钟
- 3 个增强型 PWM 模块 (ePWM)
- 3 个增强型正交编码器脉冲模块 (eQEP)
- 3 个增强型捕捉模块 (eCAP)
- 通用 I/O (GPIO)，大多数 LVCMOS I/O 均可配置为 GPIO
 - 4 个组支持双电压 (1.8V/3.3V) 和其余单电压 (1.8V) LVCMOS I/O 组
- 3 个可选地支持 CAN-FD 的控制器局域网 (CAN)
 - 符合 CAN 协议 2.0 A、B 和 ISO 11898-1 标准



- 完全支持 CAN-FD (多达 64 个数据字节)
- 速度高达 8Mbps
- 1 个 12 位模数转换器 (ADC)
 - 10 位有效分辨率 (ENOB \approx 10)
 - 最高 2MSPS
 - 4 个模拟输入 (时分多路复用)

媒体和数据存储：

- 3 个多媒体卡/安全数字® (MMC/SD®) 接口
 - 1 个 8 位 eMMC 接口，速度高达 HS200
 - 2 个高达 UHS-I 的 4 位 SD/SDIO 接口
 - 与 eMMC 5.1、SD 3.01 和 SDIO 3.0 版兼容
- 1 个高达 133MHz 的通用存储器控制器 (GPMC)
 - 灵活的 8 位和 16 位同步或异步存储器接口，具有多达四个片选
 - 支持 16 位多路复用地址/数据方案 (AD、AAD)
 - 使用 BCH 码来支持 4 位、8 位或 16 位 ECC
 - 使用海明码来支持 1 位 ECC
 - 错误定位器模块 (ELM)
- 具有 DDR/SDR 支持的 OSPI/QSPI
 - 支持串行 NAND 和串行 NOR 闪存器件
 - 支持 4GB 存储器地址

电源管理：

- 主动电源管理特性，例如自动时钟门控、电源门控和的动态频率调节
- 几项支持低功耗特性
- 低功耗模式
 - 仅 RTC
 - RTC + IO + DDR
 - DeepSleep
 - 待机

引导选项：

- UART
- OSPI/QSPI 闪存
- GPMC NAND 闪存
- SD 卡
- eMMC
- USB (主机) 大容量存储
- 从外部主机进行 USB (设备) 引导 (DFU 模式)

技术/封装：

- 16nm 技术
- 11.9mm × 11.9mm，0.5mm VCA，373 引脚 FCCSP BGA 封装 (ANB)

2 应用

- [人机界面 \(HMI\)](#)
- [医疗 - 患者监护](#)
- [楼宇自动化](#)
- [电动汽车充电站](#)
- [太阳能](#)
- [能源基础设施 \(智能仪表和太阳能网关\)](#)
- [移动/工业打印机](#)

3 说明

低成本并且性能经过优化的 AM62L 系列应用处理器专为 Linux® 应用开发而构建。具有可扩展的 Arm® Cortex®-A53 内核性能和嵌入式特性，例如：多媒体 DSI/DPI 支持、片上集成 ADC、高级低功耗管理模式，以及用于 IP 保护和内置安全功能的广泛安全选项。

AM62Lx 器件包含大量外设，是非常适合各种工业应用的通用器件，同时还提供智能功能和优化的电源架构。此外，AM62Lx 中包含大量外设，可实现系统级连接，例如：USB、MMC/SD、OSPI、CAN-FD 和 ADC。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
AM62Lx	ANB (FCCSP BGA , 373)	11.9mm × 11.9mm

- (1) 如需更多信息，请参阅[机械、封装和可订购信息](#)部分。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

3.1 功能方框图

图 3-1 是超集器件的功能方框图。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请访问 [AM62L-Processor-SDK](#)，搜索位于“Downloads”选项卡选项中的 *AM62L Software Build Sheet*。

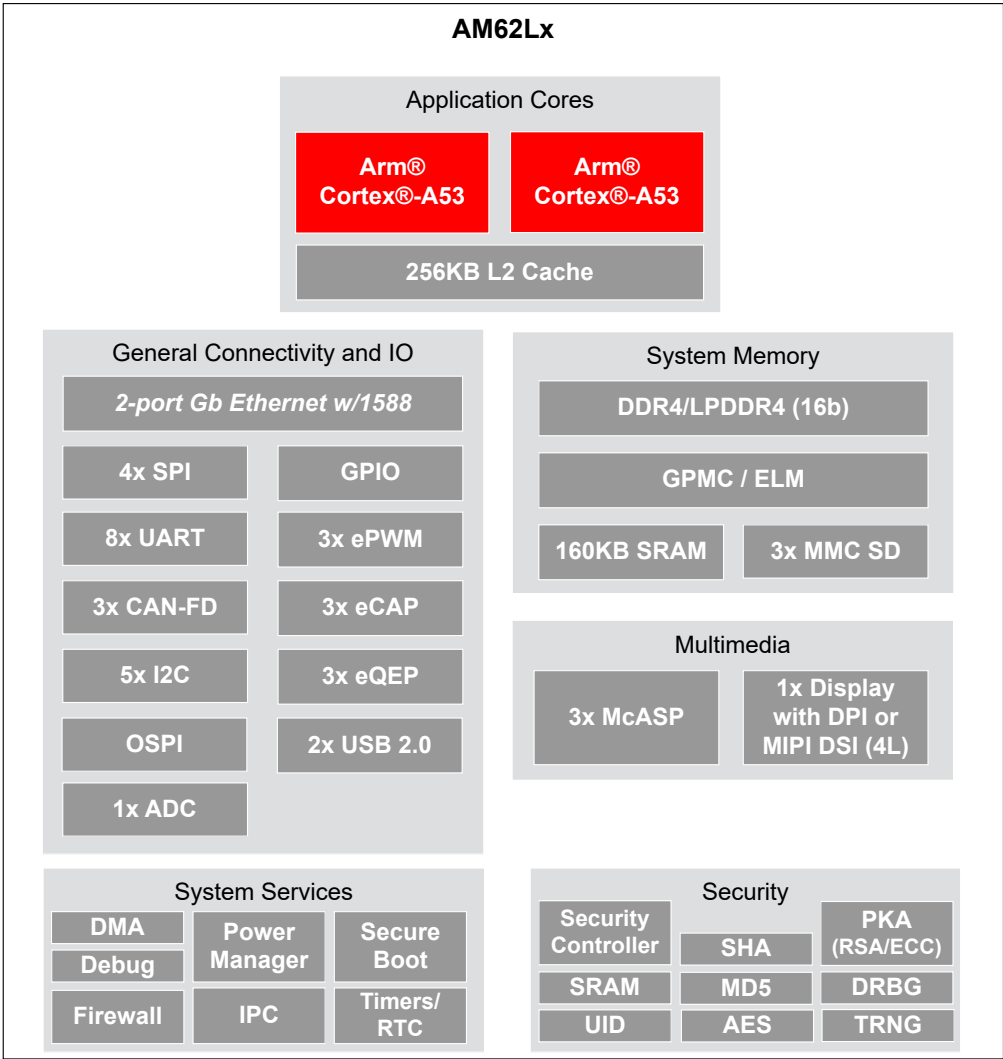


图 3-1. 功能方框图

内容

1 特性	1	6.11 时序和开关特性.....	86
2 应用	3	7 详细说明	202
3 说明	3	7.1 概述.....	202
3.1 功能方框图.....	4	7.2 处理器子系统.....	202
4 器件比较	6	7.3 其他子系统.....	203
4.1 相关产品.....	7	7.4 外设.....	204
5 端子配置和功能	8	8 应用、实施和布局	209
5.1 引脚图.....	8	8.1 器件连接和布局基本准则.....	209
5.2 引脚属性.....	9	8.2 外设和接口的相关设计信息.....	210
5.3 信号说明.....	42	8.3 时钟布线指南.....	215
5.4 引脚连接要求.....	67	9 器件和文档支持	216
6 规格	70	9.1 器件命名规则.....	216
6.1 绝对最大额定值.....	70	9.2 工具与软件.....	219
6.2 ESD 等级.....	71	9.3 文档支持.....	219
6.3 上电小时数 (POH).....	72	9.4 支持资源.....	219
6.4 建议运行条件.....	73	9.5 商标.....	219
6.5 运行性能点.....	74	9.6 静电放电警告.....	220
6.6 功耗摘要.....	74	9.7 术语表.....	220
6.7 电气特性.....	75	修订历史记录	221
6.8 一次性可编程 (OTP) 电子保险丝的 VPP 规格.....	83	10 机械、封装和可订购信息	222
6.9 热阻特性.....	84	10.1 封装信息.....	222
6.10 温度传感器特性.....	85		

4 器件比较

表 4-1 展示了超集器件的特性。

备注

此表中所列特性的可用性是共享 IO 引脚的函数，在函数中，与许多特性相关的 IO 信号会多路复用到有限数量的引脚。应使用 **SysConfig** 工具为引脚分配信号功能。这将帮助您更好地理解与引脚多路复用相关的限制。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请访问 [AM62L-Processor-SDK](#)，搜索位于“Downloads”选项卡选项中的 *AM62L Software Build Sheet*。

表 4-1. 器件比较

特性	参考名称	AM62L32	AM62L31
WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] ⁽¹⁾			
按器件“特性”代码的寄存位值（有关器件特性的更多信息，请参阅 命名规则说明 ）			
G：		0x391A7	0x39187
处理器和加速器			
速度等级		请参阅 器件速度等级表	
Arm Cortex-A53 微处理器子系统	A53SS	双核	单核
安全控制器	安全控制器	是	
加密加速器	安全性	是	
程序和数据存储			
片上共享存储器 (RAM)	MAIN 域中的 OCSRAM	96KB	
	WKUP 域中的 OCSRAM	64KB	
DDR 子系统	DDR4 提供 DDRSS	16 位数据；高达 4GB	
	LPDDR4 提供 DDRSS	16 位数据；高达 2GB	
通用存储器控制器	GPMC	16 位 (GPMC、原始 NAND、多路复用 NOR)	
外设			
显示子系统	DSS	1x DPI	
		1x DSI	
模块化控制器区域网，具有完整 CAN-FD 支持	MCAN	3	
通用 I/O	GPIO	133	
内部集成电路接口	I2C	5	
模数转换器	ADC	是	
多通道音频串行端口	MCASP	3 (4/6/16 位)	
多通道串行外设接口	MCSPI	4	
多媒体卡/安全数字接口	MMC/SD	1x eMMC (8 位)	
		2x SD/SDIO (4 位)	
闪存子系统 (FSS) ⁽²⁾	OSPI/QSPI	是	
千兆位以太网接口	CPSW3G	是	
通用计时器	计时器	6	
全局计时器计数器	GTC	1	
实时时钟	RTC	是	
增强型脉宽调制器模块	EPWM	3	

表 4-1. 器件比较 (续)

特性	参考名称	AM62L32	AM62L31
增强型捕获模块	ECAP		3
增强型正交编码器脉冲模块	EQEP		3
通用异步接收器/发送器	UART		8
具有 PHY 的 USB2.0 控制器	USB 2.0		2

- (1) 有关 WKUP_CTRL_MMR_CFG0_JTAG_USER_ID 寄存器和 DEVICE_ID 位字段的更多信息，请参阅器件 TRM。
(2) 1 个闪存接口，配置为 OSPI0 或 QSPI0。

4.1 相关产品

Sitara™ 处理器是一系列基于 Arm® Cortex®-A 内核的可扩展处理器，具有灵活的加速器、外设、连接和统一的软件支持，尤其适合从传感器到服务器的各种应用。Sitara 处理器具有工业和汽车应用所需的可靠性和功能安全支持。

Sitara™ 微控制器是出色的基于 Arm® 的 32 位微控制器 (MCU)，可提供可扩展的高性能和高能效器件产品系列，以帮助满足您的系统需求。为您的设计提供功能安全、电源效率、实时控制、高级组网、分析和安全等功能。

AM64x Sitara™ 处理器面向工业应用，如工厂自动化与控制 (FAC) 和电机控制，这些应用利用 Linux 应用处理内核 (Cortex®-A53)，实时处理内核 (Cortex®-R5F) 和工业通信子系统 (PRU_ICSSGs) 来支持 EtherCAT®、Profinet 或 EtherNet/IP 等协议。AM64x 采用一个 CPSW3G 和两个 PRU_ICSSG，最多可支持五个千兆位以太网端口。该器件还支持多种外设，包括 PCIe® 第 2 代或 USB 超高速第 1 代单通道，功能安全选项，安全启动和运行时安全。

AM623 Sitara™ 处理器是具有基于 Arm® Cortex®-A53 的对象和手势识别功能的物联网 (IoT) 和网关 SoC。低成本 AM623 Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。AM623 器件具有可扩展的 Arm® Cortex®-A53 性能、双显示支持等嵌入式特性以及一组广泛的外设，非常适合各种工业和汽车应用。

AM625 Sitara™ 处理器是一款具有 Arm® Cortex®-A53 和全高清双显示的人机交互 SoC。低成本 AM625 Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。AM625 器件具有可扩展的 Arm® Cortex®-A53 性能、双显示支持等嵌入式特性、3D 图形加速以及一组广泛的外设，非常适合各种工业和汽车应用。

AM62A3 Sitara™ 和 **AM62A7 Sitara™** 处理器是一款嵌入式视觉 SoC，利用 1-4 个 Cortex A-53 ARM 内核以及 1TOPS 或 2TOPS 分析硬件加速器。这个可扩展的高性能 AM62Ax Sitara MPU 系列应用处理器专为 Linux 应用开发而构建。AM62Ax 非常适合具有嵌入式功能 (例如 h.264/h.265 编码/解码、安全启动、图像信号处理和深度学习加速器) 的各种工业和汽车应用。

帮助您完成设计的产品：

- [以太网 PHY](#)
- [电源管理/PMIC](#)
- [时钟和计时](#)
- [电源开关](#)
- [CAN 收发器](#)
- [ESD 保护](#)

有关如何在系统设计中实现这些器件以及特定器件型号建议的物料清单的详细信息，请参阅 AM62Lx EVM 原理图。

5 端子配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

图 5-1 展示了 373 焊球倒装芯片芯片级封装球栅阵列 (FCCSP BGA) 的焊球位置，HTML 版本会在光标悬停在某个焊球上时提供额外信息。该图应与表 5-1 至表 5-66 (引脚属性表和所有信号说明表，包括连接要求表) 配合使用。

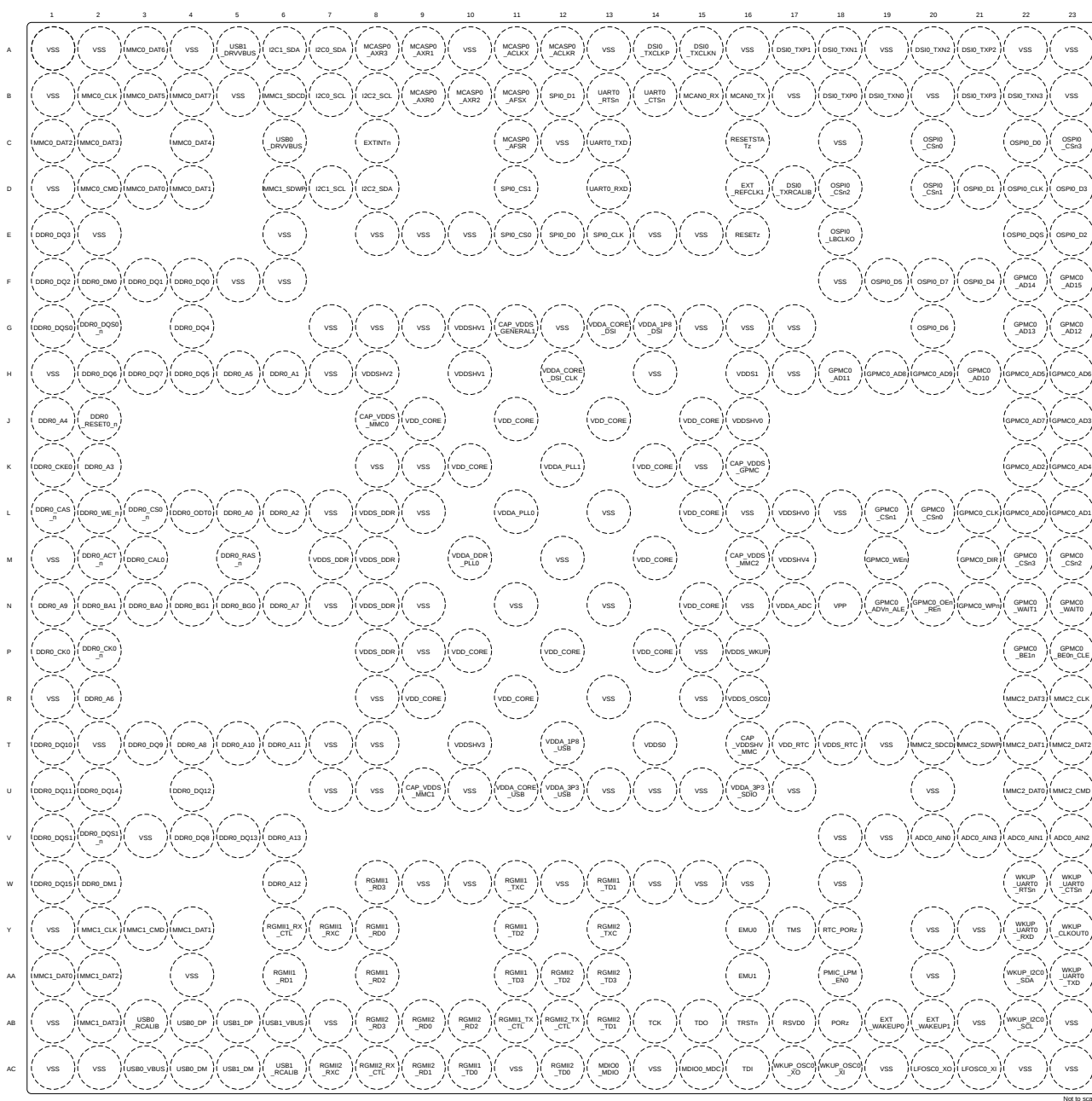


图 5-1. ANB FCCSP BGA 封装 (顶视图)

5.2 引脚属性

下表介绍了表 5-1 引脚属性 (ANB 封装) 中每一列的内容：

1. **焊球编号**：分配给 Ball Grid Array 封装每个端子的焊球编号。
2. **焊球名称**：分配给 Ball Grid Array 封装每个端子的焊球名称 (该名称通常取自主 MUXMODE 0 信号功能)。
3. **信号名称**：与焊球相关的所有专用和引脚多路复用信号功能的信号名称。

备注

许多器件引脚支持多种信号功能。一些信号功能是通过与引脚关联的单层多路复用器来选择的。其他信号功能通过两层或多层多路复用器进行选择，其中一层与引脚相关联，其他层与外围逻辑功能相关联。

表 5-1 引脚属性 (ANB 封装) 仅定义了引脚上的信号多路复用。有关引脚信号多路复用的更多信息，请参阅器件 TRM 的器件配置一章中的焊盘配置寄存器一节。有关与外设信号多路复用相关的信息，请参阅器件 TRM 中相应的外设章节。

4. **多路复用模式**：与每个引脚多路复用信号功能相关的 MUXMODE 值：
 - a. MUXMODE 0 是主要引脚多路复用信号功能。然而，主要引脚多路复用信号功能不一定是默认引脚多路复用信号功能。

备注

“复位之后的多路复用模式”列中的值定义了 PORz 置为无效时选择的默认引脚多路复用信号功能。

- a. MUXMODE 值 1 至 15 可用于引脚多路复用信号功能。然而，并非所有 MUXMODE 值都已实现。仅有的有效 MUXMODE 值是引脚属性表中定义为引脚多路复用信号功能的值。只应使用 MUXMODE 的有效值。
- b. 自举定义了 SOC 配置引脚，其中应用于每个引脚的逻辑状态在 PORz 的上升沿被锁存。这些输入信号功能固定到各自的引脚，不能通过 MUXMODE 进行编程。
- c. 空框表示不适用。

备注

为了使器件正常运行，必须避免以下 MUXMODE 配置。

- 不支持将多个引脚配置为同一引脚多路复用信号功能的输入，因为这可能会产生意外结果。
 - 将引脚配置为未定义的引脚多路复用模式将导致引脚行为未定义。
-

5. **类型**：信号类型和方向：
- I = 输入
 - O = 输出
 - OD = 输出，具有开漏输出功能
 - IO = 输入、输出或同时输入和输出
 - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
 - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
 - OZ = 具有三态输出功能的输出
 - A = 模拟
 - PWR = 电源
 - GND = 接地
 - CAP = LDO 电容器。
6. **DSIS**：未选择的输入状态 (DSIS) 指示当 MUXMODE 未选择引脚多路复用信号功能时驱动到子系统输入的状态 (逻辑“0”、逻辑“1”或“焊盘”电平)。
- 0：逻辑 0 被驱动至子系统输入。
 - 1：逻辑 1 被驱动至子系统输入。
 - 焊盘：焊盘的逻辑状态被驱动至子系统输入。
 - 空框表示不适用。
7. **复位期间的焊球状态 (RX/TX/拉动)**：PORz 置为有效时的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉电阻器的状态：
- **RX (输入缓冲器)**
 - 关闭：输入缓冲器被禁用。
 - 亮：输入缓冲器被启用。
 - **BMD**：根据所选的引导模式来启用/禁用输入缓冲器。
 - 不适用：不适用。
 - **TX (输出缓冲器)**
 - 关闭：输出缓冲器被禁用。
 - 低电平：输出缓冲器被启用并驱动 V_{OL} 。
 - 不适用：不适用。
 - **拉动 (内部拉电阻器)**
 - 关闭：内部拉动电阻器被关闭。
 - 上拉：内部上拉电阻器被开启。
 - 下拉：内部下拉电阻器被开启。
 - 不适用：不适用。
 - 空框表示不适用。

8. **复位之后的焊球状态 (RX/TX/拉动) :** PORz 置为无效后的端子状态, 其中 RX 定义输入缓冲器的状态, TX 定义输出缓冲器的状态, “拉动”定义内部拉电阻器的状态:
- **RX (输入缓冲器)**
 - 关闭: 输入缓冲器被禁用。
 - 亮: 输入缓冲器被启用。
 - **BMD**: 根据所选的引导模式来启用/禁用输入缓冲器。
 - 不适用: 不适用。
 - **TX (输出缓冲器)**
 - 关闭: 输出缓冲器被禁用。
 - **SS**: 使用 **MUXMODE** 选择的子系统决定输出缓冲器状态。
 - 不适用: 不适用。
 - **拉动 (内部拉电阻器)**
 - 关闭: 内部拉动电阻器被关闭。
 - 上拉: 内部上拉电阻器被开启。
 - 下拉: 内部下拉电阻器被开启。
 - 不适用: 不适用。
 - 空框表示不适用。
9. **复位之后的多路复用模式:** 该列中的值定义了 PORz 置为无效后的默认引脚多路复用信号功能。
空框表示不适用。
10. **I/O 工作电压:** 该列介绍了相应电源的 I/O 工作电压选项 (如果适用)。
空框表示不适用。
有关更多信息, 请参阅节 6.4 建议运行条件 中为每个电源定义的有效工作电压范围。
11. **电源:** 相关 I/O 的电源 (如果适用)。
空框表示不适用。
12. **HYS:** 指示与该 I/O 关联的输入缓冲器是否具有迟滞:
- 是: 具有迟滞
 - 否: 不具有迟滞
 - 空框表示不适用。
- 有关更多信息, 请参阅节 6.7 电气特性 中的迟滞值。
13. **缓冲器类型:** 该列定义与端子关联的缓冲器类型。该信息可用于确定适用的电气特性表。
空框表示不适用。
有关电气特性, 请参阅节 6.7 电气特性 中相应的缓冲器类型表。
14. **上拉/下拉类型:** 指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
- **PU**: 内部上拉
 - **PD**: 内部下拉
 - **PU/PD**: 内部上拉和下拉
 - 空框表示无内部拉动。
15. **PADCONFIG 寄存器:** 与焊球关联的 IO 焊盘配置寄存器的名称。
16. **PADCONFIG 地址:** 与焊球关联的 IO 焊盘配置寄存器的物理地址。

表 5-1. 引脚属性 (ANB 封装)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
V20	ADC0_AIN0	ADC0_AIN0		A					1.8V	VDDA_ADC		ADC	
V22	ADC0_AIN1	ADC0_AIN1		A					1.8V	VDDA_ADC		ADC	
V23	ADC0_AIN2	ADC0_AIN2		A					1.8V	VDDA_ADC		ADC	
V21	ADC0_AIN3	ADC0_AIN3		A					1.8V	VDDA_ADC		ADC	
T16	CAP_VDDSHV_MMC	CAP_VDDSHV_MMC		CAP									
G11	CAP_VDDS_GENERAL1	CAP_VDDS_GENERAL1		CAP									
K16	CAP_VDDS_GPMC	CAP_VDDS_GPMC		CAP									
J8	CAP_VDDS_MMC0	CAP_VDDS_MMC0		CAP									
U9	CAP_VDDS_MMC1	CAP_VDDS_MMC1		CAP									
M16	CAP_VDDS_MMC2	CAP_VDDS_MMC2		CAP									
M2	DDR0_ACT_n	DDR0_ACT_n		O					1.1V/1.2V	VDDS_DDR		DDR	
L1	DDR0_CAS_n	DDR0_CAS_n		O					1.1V/1.2V	VDDS_DDR		DDR	
M5	DDR0_RAS_n	DDR0_RAS_n		O					1.1V/1.2V	VDDS_DDR		DDR	
L2	DDR0_WE_n	DDR0_WE_n		O					1.1V/1.2V	VDDS_DDR		DDR	
L5	DDR0_A0	DDR0_A0		O					1.1V/1.2V	VDDS_DDR		DDR	
H6	DDR0_A1	DDR0_A1		O					1.1V/1.2V	VDDS_DDR		DDR	
L6	DDR0_A2	DDR0_A2		O					1.1V/1.2V	VDDS_DDR		DDR	
K2	DDR0_A3	DDR0_A3		O					1.1V/1.2V	VDDS_DDR		DDR	
J1	DDR0_A4	DDR0_A4		O					1.1V/1.2V	VDDS_DDR		DDR	
H5	DDR0_A5	DDR0_A5		O					1.1V/1.2V	VDDS_DDR		DDR	
R2	DDR0_A6	DDR0_A6		O					1.1V/1.2V	VDDS_DDR		DDR	
N6	DDR0_A7	DDR0_A7		O					1.1V/1.2V	VDDS_DDR		DDR	
T4	DDR0_A8	DDR0_A8		O					1.1V/1.2V	VDDS_DDR		DDR	
N1	DDR0_A9	DDR0_A9		O					1.1V/1.2V	VDDS_DDR		DDR	
T5	DDR0_A10	DDR0_A10		O					1.1V/1.2V	VDDS_DDR		DDR	
T6	DDR0_A11	DDR0_A11		O					1.1V/1.2V	VDDS_DDR		DDR	
W6	DDR0_A12	DDR0_A12		O					1.1V/1.2V	VDDS_DDR		DDR	
V6	DDR0_A13	DDR0_A13		O					1.1V/1.2V	VDDS_DDR		DDR	
N3	DDR0_BA0	DDR0_BA0		O					1.1V/1.2V	VDDS_DDR		DDR	
N2	DDR0_BA1	DDR0_BA1		O					1.1V/1.2V	VDDS_DDR		DDR	
N5	DDR0_BG0	DDR0_BG0		O					1.1V/1.2V	VDDS_DDR		DDR	
N4	DDR0_BG1	DDR0_BG1		O					1.1V/1.2V	VDDS_DDR		DDR	
M3	DDR0_CAL0	DDR0_CAL0		A					1.1V/1.2V	VDDS_DDR		DDR	
P1	DDR0_CK0	DDR0_CK0		O					1.1V/1.2V	VDDS_DDR		DDR	
P2	DDR0_CK0_n	DDR0_CK0_n		O					1.1V/1.2V	VDDS_DDR		DDR	
K1	DDR0_CKE0	DDR0_CKE0		O					1.1V/1.2V	VDDS_DDR		DDR	

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
L3	DDR0_CS0_n	DDR0_CS0_n		O					1.1V/1.2V	VDDS_DDR		DDR	
F2	DDR0_DM0	DDR0_DM0		IO					1.1V/1.2V	VDDS_DDR		DDR	
W2	DDR0_DM1	DDR0_DM1		IO					1.1V/1.2V	VDDS_DDR		DDR	
F4	DDR0_DQ0	DDR0_DQ0		IO					1.1V/1.2V	VDDS_DDR		DDR	
F3	DDR0_DQ1	DDR0_DQ1		IO					1.1V/1.2V	VDDS_DDR		DDR	
F1	DDR0_DQ2	DDR0_DQ2		IO					1.1V/1.2V	VDDS_DDR		DDR	
E1	DDR0_DQ3	DDR0_DQ3		IO					1.1V/1.2V	VDDS_DDR		DDR	
G4	DDR0_DQ4	DDR0_DQ4		IO					1.1V/1.2V	VDDS_DDR		DDR	
H4	DDR0_DQ5	DDR0_DQ5		IO					1.1V/1.2V	VDDS_DDR		DDR	
H2	DDR0_DQ6	DDR0_DQ6		IO					1.1V/1.2V	VDDS_DDR		DDR	
H3	DDR0_DQ7	DDR0_DQ7		IO					1.1V/1.2V	VDDS_DDR		DDR	
V4	DDR0_DQ8	DDR0_DQ8		IO					1.1V/1.2V	VDDS_DDR		DDR	
T3	DDR0_DQ9	DDR0_DQ9		IO					1.1V/1.2V	VDDS_DDR		DDR	
T1	DDR0_DQ10	DDR0_DQ10		IO					1.1V/1.2V	VDDS_DDR		DDR	
U1	DDR0_DQ11	DDR0_DQ11		IO					1.1V/1.2V	VDDS_DDR		DDR	
U4	DDR0_DQ12	DDR0_DQ12		IO					1.1V/1.2V	VDDS_DDR		DDR	
V5	DDR0_DQ13	DDR0_DQ13		IO					1.1V/1.2V	VDDS_DDR		DDR	
U2	DDR0_DQ14	DDR0_DQ14		IO					1.1V/1.2V	VDDS_DDR		DDR	
W1	DDR0_DQ15	DDR0_DQ15		IO					1.1V/1.2V	VDDS_DDR		DDR	
G1	DDR0_DQS0	DDR0_DQS0		IO					1.1V/1.2V	VDDS_DDR		DDR	
G2	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1V/1.2V	VDDS_DDR		DDR	
V1	DDR0_DQS1	DDR0_DQS1		IO					1.1V/1.2V	VDDS_DDR		DDR	
V2	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1V/1.2V	VDDS_DDR		DDR	
L4	DDR0_ODT0	DDR0_ODT0		O					1.1V/1.2V	VDDS_DDR		DDR	
J2	DDR0_RESET0_n	DDR0_RESET0_n		O					1.1V/1.2V	VDDS_DDR		DDR	
A15	DSIO_TXCLKN	DSIO_TXCLKN		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A14	DSIO_TXCLKP	DSIO_TXCLKP		IO					1.8V	VDDA_1P8_DSI		D-PHY	
D17	DSIO_TXRCALIB	DSIO_TXRCALIB		A					1.8V	VDDA_1P8_DSI		D-PHY	
B19	DSIO_TXN0	DSIO_TXN0		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A18	DSIO_TXN1	DSIO_TXN1		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A20	DSIO_TXN2	DSIO_TXN2		IO					1.8V	VDDA_1P8_DSI		D-PHY	
B22	DSIO_TXN3	DSIO_TXN3		IO					1.8V	VDDA_1P8_DSI		D-PHY	
B18	DSIO_TXP0	DSIO_TXP0		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A17	DSIO_TXP1	DSIO_TXP1		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A21	DSIO_TXP2	DSIO_TXP2		IO					1.8V	VDDA_1P8_DSI		D-PHY	
B21	DSIO_TXP3	DSIO_TXP3		IO					1.8V	VDDA_1P8_DSI		D-PHY	

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
Y16	EMU0 PADCONFIG : PADCONFIG13 0x04084034	EMU0	0	IO	0	开启/关闭/上拉	开启/关闭/上拉	0	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
AA16	EMU1 PADCONFIG : PADCONFIG14 0x04084038	EMU1	0	IO	0	开启/关闭/上拉	开启/关闭/上拉	0	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
C8	EXTINTn PADCONFIG : PADCONFIG122 0x040841E8	EXTINTn	0	I	1	关闭/关闭/不适用	关闭/关闭/不适用	7	1.8V/3.3V	VDDSHV1	是	I2C OD FS	
		GPIO0_105	7	IO	焊盘								
D16	EXT_REFCLK1 PADCONFIG : PADCONFIG121 0x040841E4	EXT_REFCLK1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SYNC1_OUT	1	O									
		SPI2_CS3	2	IO	1								
		TIMER_IO0	4	IO	0								
		CLKOUT0	5	O									
		CP_GEMAC_CPTS0_RFT_CLK	6	I	0								
		GPIO0_104	7	IO	焊盘								
		ECAP0_IN_APWM_OUT	8	IO	0								
		ADC_EXT_TRIGGER0	9	I	0								
AB19	EXT_WAKEUP0	EXT_WAKEUP0		I		开启/不适用/不适用	开启/不适用/不适用		1.8V	VDDSD_RTC	是	RTC-LVCMOS	
AB20	EXT_WAKEUP1	EXT_WAKEUP1		I		开启/不适用/不适用	开启/不适用/不适用		1.8V	VDDSD_RTC	是	RTC-LVCMOS	
N19	GPMC0_ADVn_ALE PADCONFIG : PADCONFIG48 0x040840C0	GPMC0_ADVn_ALE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA17	1	O									
		MCASP1_AXR2	2	IO	0								
		EHRPWM_TZn_IN1	4	I	0								
		SPI3_CS3	5	IO	1								
		TRC_DATA7	6	O									
		GPIO0_32	7	IO	焊盘								
L21	GPMC0_CLK PADCONFIG : PADCONFIG46 0x040840B8	GPMC0_CLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA16	1	O									
		MCASP1_AXR3	2	IO	0								
		GPMC0_FCLK_MUX	3	O									
		EHRPWM1_B	4	IO	0								
		TRC_DATA6	6	O									
		GPIO0_31	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
M21	GPMC0_DIR PADCONFIG : PADCONFIG56 0x040840E0	GPMC0_DIR	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DE	1	O									
		SPI2_D0	2	IO	0								
		MCASP2_AXR13	3	IO	0								
		EQEP1_B	4	I	0								
		TRC_DATA14	6	O									
		GPIO0_40	7	IO	焊盘								
		EQEP2_S	8	IO	0								
N20	GPMC0_OEn_REn PADCONFIG : PADCONFIG49 0x040840C4	MCAN1_TX	9	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPMC0_OEn_REn	0	O									
		VOUT0_DATA18	1	O									
		MCASP1_AXR1	2	IO	0								
		EHRPWM2_A	4	IO	0								
		SPI3_CS2	5	IO	1								
M19	GPMC0_WEn PADCONFIG : PADCONFIG50 0x040840C8	TRC_DATA8	6	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO0_33	7	IO	焊盘								
		GPMC0_WEn	0	O									
		VOUT0_DATA19	1	O									
		MCASP1_AXR0	2	IO	0								
		EHRPWM2_B	4	IO	0								
N21	GPMC0_WPn PADCONFIG : PADCONFIG55 0x040840DC	SPI3_CS1	5	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		TRC_DATA9	6	O									
		GPIO0_34	7	IO	焊盘								
		GPMC0_WPn	0	O									
		VOUT0_HSYNC	1	O									
		SPI2_CLK	2	IO	0								
		UART6_TXD	3	O									
		EQEP1_A	4	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK1	5	IO	0								
		TRC_DATA13	6	O									
		GPIO0_39	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
L22	GPMC0_AD0 PADCONFIG : PADCONFIG30 0x04084078	GPMC0_AD0	0	IO	0	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA0	1	O									
		UART6_RXD	2	I	1								
		MCASP2_AXR4	3	IO	0								
		I2C3_SCL	4	IOD	1								
		ECAP0_IN_APWM_OUT	5	IO	0								
		TRC_CLK	6	O									
		GPIO0_15	7	IO	焊盘								
L23	GPMC0_AD1 PADCONFIG : PADCONFIG31 0x0408407C	BOOTMODE00	自举	I		BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPMC0_AD1	0	IO	0								
		VOUT0_DATA1	1	O									
		UART6_TXD	2	O									
		MCASP2_AXR5	3	IO	0								
		I2C3_SDA	4	IOD	1								
		ECAP1_IN_APWM_OUT	5	IO	0								
		TRC_CTL	6	O									
K22	GPMC0_AD2 PADCONFIG : PADCONFIG32 0x04084080	GPIO0_16	7	IO	焊盘	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		BOOTMODE01	自举	I									
		GPMC0_AD2	0	IO	0								
		VOUT0_DATA2	1	O									
		UART6_RTSn	2	O									
		MCASP2_AXR6	3	IO	0								
		SPI1_D0	4	IO	0								
		TRC_DATA0	6	O									
J23	GPMC0_AD3 PADCONFIG : PADCONFIG33 0x04084084	GPIO0_17	7	IO	焊盘	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		BOOTMODE02	自举	I									
		GPMC0_AD3	0	IO	0								
		VOUT0_DATA3	1	O									
		UART6_CTSn	2	I	1								
		MCASP2_AXR7	3	IO	0								
		SPI1_D1	4	IO	0								
		TRC_DATA1	6	O									
		GPIO0_18	7	IO	焊盘	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		BOOTMODE03	自举	I									

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
K23	GPMC0_AD4 PADCONFIG : PADCONFIG34 0x04084088	GPMC0_AD4	0	IO	0	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA4	1	O									
		UART5_RTSn	2	O									
		MCASP2_AXR8	3	IO	0								
		SPI1_CS0	4	IO	1								
		TRC_DATA2	6	O									
		GPIO0_19	7	IO	焊盘								
		BOOTMODE04	自举	I									
H22	GPMC0_AD5 PADCONFIG : PADCONFIG35 0x0408408C	GPMC0_AD5	0	IO	0	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA5	1	O									
		UART5_CTSn	2	I	1								
		MCASP2_AXR9	3	IO	0								
		SPI1_CLK	4	IO	0								
		TRC_DATA3	6	O									
		GPIO0_20	7	IO	焊盘								
		BOOTMODE05	自举	I									
H23	GPMC0_AD6 PADCONFIG : PADCONFIG36 0x04084090	GPMC0_AD6	0	IO	0	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA6	1	O									
		UART4_RTSn	2	O									
		MCASP2_AXR10	3	IO	0								
		SPI1_CS3	4	IO	1								
		TRC_DATA4	6	O									
		GPIO0_21	7	IO	焊盘								
		BOOTMODE06	自举	I									
J22	GPMC0_AD7 PADCONFIG : PADCONFIG37 0x04084094	GPMC0_AD7	0	IO	0	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA7	1	O									
		UART4_CTSn	2	I	1								
		MCASP2_AXR11	3	IO	0								
		SPI1_CS1	4	IO	1								
		MCASP1_AXR5	5	IO	0								
		TRC_DATA5	6	O									
		GPIO0_22	7	IO	焊盘								
		BOOTMODE07	自举	I									

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
H19	GPMC0_AD8 PADCONFIG : PADCONFIG38 0x04084098	GPMC0_AD8	0	IO	0	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA8	1	O									
		UART2_RXD	2	I	1								
		MCASP2_AXR0	3	IO	0								
		SPI1_CS2	4	IO	1								
		MCASP1_AXR4	5	IO	0								
		GPIO0_23	7	IO	焊盘								
		BOOTMODE08	自举	I									
H20	GPMC0_AD9 PADCONFIG : PADCONFIG39 0x0408409C	GPMC0_AD9	0	IO	0	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA9	1	O									
		UART2_TXD	2	O									
		MCASP2_AXR1	3	IO	0								
		TIMER_IO2	4	IO	0								
		ECAP2_IN_APWM_OUT	5	IO	0								
		GPIO0_24	7	IO	焊盘								
		BOOTMODE09	自举	I									
H21	GPMC0_AD10 PADCONFIG : PADCONFIG40 0x040840A0	GPMC0_AD10	0	IO	0	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA10	1	O									
		UART3_RXD	2	I	1								
		MCASP2_AXR2	3	IO	0								
		EHRPWM0_SYNCI	4	I	0								
		GPIO0_25	7	IO	焊盘								
		OBSCLK0	8	O									
		BOOTMODE10	自举	I									
H18	GPMC0_AD11 PADCONFIG : PADCONFIG41 0x040840A4	GPMC0_AD11	0	IO	0	BMD/关闭/关闭	BDM/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA11	1	O									
		UART3_TXD	2	O									
		MCASP2_AXR3	3	IO	0								
		EHRPWM0_SYNCO	4	O									
		TRC_DATA23	6	O									
		GPIO0_26	7	IO	焊盘								
		BOOTMODE11	自举	I									

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
G23	GPMC0_AD12 PADCONFIG : PADCONFIG42 0x040840A8	GPMC0_AD12	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA12	1	O									
		UART4_RXD	2	I	1								
		MCASP2_AFSX	3	IO	0								
		EHRPWM_TZn_IN2	4	I	0								
		TRC_DATA22	6	O									
		GPIO0_27	7	IO	焊盘								
		BOOTMODE12	自举	I									
G22	GPMC0_AD13 PADCONFIG : PADCONFIG43 0x040840AC	GPMC0_AD13	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA13	1	O									
		UART4_TXD	2	O									
		MCASP2_ACLKX	3	IO	0								
		EHRPWM0_A	4	IO	0								
		TRC_DATA21	6	O									
		GPIO0_28	7	IO	焊盘								
		BOOTMODE13	自举	I									
F22	GPMC0_AD14 PADCONFIG : PADCONFIG44 0x040840B0	GPMC0_AD14	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA14	1	O									
		UART5_RXD	2	I	1								
		MCASP2_AFSR	3	IO	0								
		EHRPWM0_B	4	IO	0								
		TRC_DATA20	6	O									
		GPIO0_29	7	IO	焊盘								
		UART2_CTSn	8	I	1								
		BOOTMODE14	自举	I									
F23	GPMC0_AD15 PADCONFIG : PADCONFIG45 0x040840B4	GPMC0_AD15	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA15	1	O									
		UART5_TXD	2	O									
		MCASP2_ACLKR	3	IO	0								
		EHRPWM1_A	4	IO	0								
		TRC_DATA19	6	O									
		GPIO0_30	7	IO	焊盘								
		UART2_RTSn	8	O									
		BOOTMODE15	自举	I									

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
P23	GPMC0_BE0n_CLE PADCONFIG : PADCONFIG51 0x040840CC	GPMC0_BE0n_CLE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA20	1	O									
		MCASP1_ACLKX	2	IO	0								
		EQEP0_A	4	I	0								
		SPI3_CS0	5	IO	1								
		TRC_DATA10	6	O									
		GPIO0_35	7	IO	焊盘								
P22	GPMC0_BE1n PADCONFIG : PADCONFIG52 0x040840D0	GPMC0_BE1n	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_DATA21	1	O									
		MCASP2_AXR12	3	IO	0								
		EQEP0_B	4	I	0								
		SPI3_CLK	5	IO	0								
		TRC_DATA11	6	O									
		GPIO0_36	7	IO	焊盘								
L20	GPMC0_CS0 PADCONFIG : PADCONFIG57 0x040840E4	GPMC0_CS0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_VSYNC	1	O									
		SPI2_D1	2	IO	0								
		MCASP2_AXR14	3	IO	0								
		EQEP1_S	4	IO	0								
		TRC_DATA15	6	O									
		GPIO0_41	7	IO	焊盘								
L19	GPMC0_CS1 PADCONFIG : PADCONFIG58 0x040840E8	GPMC0_CS1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		VOUT0_PCLK	1	O									
		SPI2_CS0	2	IO	1								
		MCASP2_AXR15	3	IO	0								
		EQEP1_I	4	IO	0								
		TRC_DATA16	6	O									
		GPIO0_42	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
M23	GPMC0_CSn2 PADCONFIG : PADCONFIG59 0x040840EC	GPMC0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		MCASP1_AXR4	2	IO	0								
		UART4_RXD	3	I	1								
		ADC_EXT_TRIGGER0	4	I	0								
		VOUT0_EXTPLCKIN	5	I	0								
		TRC_DATA17	6	O									
		GPIO0_43	7	IO	焊盘								
M22	GPMC0_CSn3 PADCONFIG : PADCONFIG60 0x040840F0	MCASP1_AFSR	8	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPMC0_CSn3	0	O									
		I2C2_SDA	1	IOD	1								
		WKUP_CLKOUT0	2	O									
		UART4_TXD	3	O									
		MCASP1_AXR5	4	IO	0								
		ADC_EXT_TRIGGER1	5	I	0								
		TRC_DATA18	6	O									
N23	GPMC0_WAIT0 PADCONFIG : PADCONFIG53 0x040840D4	GPIO0_44	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		MCASP1_ACLKR	8	IO	0								
		GPMC0_WAIT0	0	I	1								
		VOUT0_DATA22	1	O									
		MCASP1_AFSX	2	IO	0								
		EQEP0_S	4	IO	0								
N22	GPMC0_WAIT1 PADCONFIG : PADCONFIG54 0x040840D8	SPI3_D0	5	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		TRC_DATA12	6	O									
		GPIO0_37	7	IO	焊盘								
		GPMC0_WAIT1	0	I	1								
		VOUT0_DATA23	1	O									
		SPI2_CS1	2	IO	1								
		UART6_RXD	3	I	1								
		EQEP0_I	4	IO	0								
		SPI3_D1	5	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO0_38	7	IO	焊盘								
		EQEP2_I	8	IO	0								
		MCAN1_RX	9	I	1								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
B7	I2C0_SCL PADCONFIG : PADCONFIG115 0x040841CC	I2C0_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SYNC0_OUT	2	O									
		OBCLK1	3	O									
		UART1_DCDn	4	I	1								
		EQEP2_A	5	I	0								
		EHRPWM_SOCa	6	O									
		GPIO0_98	7	IO	焊盘								
		ECAP1_IN_APWM_OUT	8	IO	0								
A7	I2C0_SDA PADCONFIG : PADCONFIG116 0x040841D0	SPI2_CS0	9	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		I2C0_SDA	0	IOD	1								
		SPI2_CS2	2	IO	1								
		TIMER_IO1	3	IO	0								
		UART1_DSRRn	4	I	1								
		EQEP2_B	5	I	0								
		EHRPWM_SOCB	6	O									
D7	I2C1_SCL PADCONFIG : PADCONFIG117 0x040841D4	GPIO0_99	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		ECAP2_IN_APWM_OUT	8	IO	0								
		I2C1_SCL	0	IOD	1								
		UART1_RXD	1	I	1								
		TIMER_IO0	2	IO	0								
		SPI2_CS1	3	IO	1								
		EHRPWM0_SYNCI	4	I	0								
A6	I2C1_SDA PADCONFIG : PADCONFIG118 0x040841D8	GPIO0_100	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		EHRPWM2_A	8	IO	0								
		MMC2_SD CD	9	I	0								
		I2C1_SDA	0	IOD	1								
		UART1_TXD	1	O									
		TIMER_IO1	2	IO	0								
		SPI2_CLK	3	IO	0								
		EHRPWM0_SYNCO	4	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_101	7	IO	焊盘								
		EHRPWM2_B	8	IO	0								
		MMC2_SDWP	9	I	0								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
B8	I2C2_SCL PADCONFIG : PADCONFIG119 0x040841DC	I2C2_SCL	0	IOD	1	关闭/关闭/不适用	关闭/关闭/不适用	7	1.8V/3.3V	VDDSHV1	是	I2C OD FS	
		GPIO0_102	7	IO	焊盘								
D8	I2C2_SDA PADCONFIG : PADCONFIG120 0x040841E0	I2C2_SDA	0	IOD	1	关闭/关闭/不适用	关闭/关闭/不适用	7	1.8V/3.3V	VDDSHV1	是	I2C OD FS	
		GPIO0_103	7	IO	焊盘								
AC21	LFOSC0_XI	LFOSC0_XI		I					1.8V	VDDS_RTC		LFXOSC	
AC20	LFOSC0_XO	LFOSC0_XO		O					1.8V	VDDS_RTC		LFXOSC	
B15	MCAN0_RX PADCONFIG : PADCONFIG114 0x040841C8	MCAN0_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		UART5_TXD	1	O									
		TIMER_IO3	2	IO	0								
		SYNC3_OUT	3	O									
		UART1_RIn	4	I	1								
		EQEP2_S	5	IO	0								
		GPIO0_97	7	IO	焊盘								
		MCASP2_AXR1	8	IO	0								
B16	MCAN0_TX PADCONFIG : PADCONFIG113 0x040841C4	MCAN0_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		UART5_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		SYNC2_OUT	3	O									
		UART1_DTRn	4	O									
		EQEP2_I	5	IO	0								
		GPIO0_96	7	IO	焊盘								
		MCASP2_AXR0	8	IO	0								
A12	MCASP0_ACLKR PADCONFIG : PADCONFIG103 0x0408419C	EHRPWM_TZn_IN4	9	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		MCASP0_ACLKR	0	IO	0								
		SPI2_CLK	1	IO	0								
		UART1_TXD	2	O									
		ADC_EXT_TRIGGER1	3	I	0								
		EHRPWM0_B	5	IO	0								
		GPIO0_86	7	IO	焊盘								
		EQEP1_I	8	IO	0								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A11	MCASP0_ACLKX PADCONFIG : PADCONFIG100 0x04084190	MCASP0_ACLKX	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI2_CS1	1	IO	1								
		ECAP2_IN_APWM_OUT	2	IO	0								
		GPIO0_83	7	IO	焊盘								
		EQEP1_A	8	I	0								
C11	MCASP0_AFSR PADCONFIG : PADCONFIG102 0x04084198	MCASP0_AFSR	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI2_CS0	1	IO	1								
		UART1_RXD	2	I	1								
		ADC_EXT_TRIGGER0	3	I	0								
		EHRPWM0_A	5	IO	0								
		GPIO0_85	7	IO	焊盘								
B11	MCASP0_AFSX PADCONFIG : PADCONFIG101 0x04084194	MCASP0_AFSX	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI2_CS3	1	IO	1								
		AUDIO_EXT_REFCLK1	2	IO	0								
		GPIO0_84	7	IO	焊盘								
		EQEP1_B	8	I	0								
B9	MCASP0_AXR0 PADCONFIG : PADCONFIG99 0x0408418C	MCASP0_AXR0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO	0								
		EHRPWM1_B	5	IO	0								
		GPIO0_82	7	IO	焊盘								
		EQEP0_I	8	IO	0								
A9	MCASP0_AXR1 PADCONFIG : PADCONFIG98 0x04084188	MCASP0_AXR1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI2_CS2	1	IO	1								
		ECAP1_IN_APWM_OUT	2	IO	0								
		EHRPWM1_A	5	IO	0								
		GPIO0_81	7	IO	焊盘								
		EQEP0_S	8	IO	0								
B10	MCASP0_AXR2 PADCONFIG : PADCONFIG97 0x04084184	MCASP0_AXR2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI2_D1	1	IO	0								
		UART1_RTSn	2	O									
		UART6_TXD	3	O									
		ECAP2_IN_APWM_OUT	4	IO	0								
		MCAN1_TX	5	O									
		GPIO0_80	7	IO	焊盘								
		EQEP0_B	8	I	0								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A8	MCASP0_AXR3 PADCONFIG : PADCONFIG96 0x04084180	MCASP0_AXR3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI2_D0	1	IO	0								
		UART1_CTSn	2	I	1								
		UART6_RXD	3	I	1								
		ECAP1_IN_APWM_OUT	4	IO	0								
		MCAN1_RX	5	I	1								
		GPIO0_79	7	IO	焊盘								
		EQEP0_A	8	I	0								
AC15	MDIO0_MDC PADCONFIG : PADCONFIG83 0x0408414C	MDIO0_MDC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		GPIO0_66	7	IO	焊盘								
AC13	MDIO0_MDIO PADCONFIG : PADCONFIG82 0x04084148	MDIO0_MDIO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		GPIO0_65	7	IO	焊盘								
B2	MMC0_CLK PADCONFIG : PADCONFIG131 0x0408420C	MMC0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		I2C3_SCL	1	IOD	1								
		EHRPWM2_A	2	IO	0								
		SPI1_CS1	5	IO	1								
		TIMER_IO0	6	IO	0								
		GPIO0_114	7	IO	焊盘								
D2	MMC0_CMD PADCONFIG : PADCONFIG133 0x04084214	MMC0_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		I2C3_SDA	1	IOD	1								
		EHRPWM2_B	2	IO	0								
		SPI1_CS2	5	IO	1								
		TIMER_IO1	6	IO	0								
		GPIO0_115	7	IO	焊盘								
Y2	MMC1_CLK PADCONFIG : PADCONFIG138 0x04084228	MMC1_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	SDIO	PU/PD
		TIMER_IO0	2	IO	0								
		UART3_RXD	3	I	1								
		SPI3_CS0	5	IO	1								
		SPI2_CS2	6	IO	1								
		GPIO0_120	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
Y3	MMC1_CMD PADCONFIG : PADCONFIG140 0x04084230	MMC1_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	SDIO	PU/PD
		TIMER_IO1	2	IO	0								
		UART3_TXD	3	O									
		SPI3_CLK	5	IO	0								
		SPI2_CS0	6	IO	1								
		GPIO0_121	7	IO	焊盘								
B6	MMC1_SD CD PADCONFIG : PADCONFIG141 0x04084234	MMC1_SD CD	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		UART6_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		UART3_RT Sn	3	O									
		MCAN2_RX	4	I	1								
		SPI3_CS3	5	IO	1								
		SPI2_CLK	6	IO	0								
D6	MMC1_SD WP PADCONFIG : PADCONFIG142 0x04084238	GPIO0_122	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		MMC1_SD WP	0	I	0								
		UART6_TXD	1	O									
		TIMER_IO3	2	IO	0								
		UART3_CTSn	3	I	1								
		MCAN2_TX	4	O									
R23	MMC2_CLK PADCONFIG : PADCONFIG65 0x04084104	SPI3_CS1	5	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
		GPIO0_123	7	IO	焊盘								
		MMC2_CLK	0	IO	0								
		MCASP1_ACLKR	1	IO	0								
		MCASP1_AXR5	2	IO	0								
U23	MMC2_CMD PADCONFIG : PADCONFIG67 0x0408410C	UART6_RXD	3	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
		GPIO0_49	7	IO	焊盘								
		MMC2_CMD	0	IO	1								
		MCASP1_AFSR	1	IO	0								
		MCASP1_AXR4	2	IO	0								
T20	MMC2_SD CD PADCONFIG : PADCONFIG68 0x04084110	UART6_TXD	3	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_50	7	IO	焊盘								
		MMC2_SD CD	0	I	0								
		MCASP1_ACLKX	1	IO	0								
		UART4_RXD	3	I	1								
		GPIO0_51	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
T21	MMC2_SDWP PADCONFIG : PADCONFIG69 0x04084114	MMC2_SDWP	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		MCASP1_AFSX	1	IO	0								
		UART4_TXD	3	O									
		GPIO0_52	7	IO	焊盘								
D3	MMC0_DAT0 PADCONFIG : PADCONFIG130 0x04084208	MMC0_DAT0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		UART3_CTSn	1	I	1								
		EHRPWM_TZn_IN1	2	I	0								
		SPI2_CLK	6	IO	0								
D4	MMC0_DAT1 PADCONFIG : PADCONFIG129 0x04084204	GPIO0_113	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		MMC0_DAT1	0	IO	1								
		UART3_RTSn	1	O									
		EHRPWM1_B	2	IO	0								
		SPI1_CS3	5	IO	1								
C1	MMC0_DAT2 PADCONFIG : PADCONFIG128 0x04084200	SPI2_CS0	6	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		GPIO0_112	7	IO	焊盘								
		MMC0_DAT2	0	IO	1								
		UART3_TXD	1	O									
		EHRPWM1_A	2	IO	0								
		MCAN2_TX	3	O									
C2	MMC0_DAT3 PADCONFIG : PADCONFIG127 0x040841FC	SPI1_CLK	5	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		TIMER_IO0	6	IO	0								
		GPIO0_111	7	IO	焊盘								
		MMC0_DAT3	0	IO	1								
		UART3_RXD	1	I	1								
		EHRPWM0_B	2	IO	0								
C4	MMC0_DAT4 PADCONFIG : PADCONFIG126 0x040841F8	MCAN2_RX	3	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		SPI1_CS0	5	IO	1								
		SPI2_CS2	6	IO	1								
		GPIO0_110	7	IO	焊盘								
		MMC0_DAT4	0	IO	1								
		UART2_CTSn	1	I	1								
C4	MMC0_DAT4 PADCONFIG : PADCONFIG126 0x040841F8	EHRPWM0_A	2	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		SPI1_CLK	5	IO	0								
		SPI2_D1	6	IO	0								
		GPIO0_109	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
B3	MMC0_DAT5 PADCONFIG : PADCONFIG125 0x040841F4	MMC0_DAT5	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		UART2_RTSn	1	O									
		EHRPWM_TZn_IN2	2	I	0								
		SPI1_CS0	5	IO	1								
		SPI2_D0	6	IO	0								
		GPIO0_108	7	IO	焊盘								
A3	MMC0_DAT6 PADCONFIG : PADCONFIG124 0x040841F0	MMC0_DAT6	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		UART2_TXD	1	O									
		EHRPWM0_SYNCO	2	O									
		MCAN1_TX	3	O									
		SPI2_CLK	4	IO	0								
		SPI1_D1	5	IO	0								
		SPI2_CS3	6	IO	1								
B4	MMC0_DAT7 PADCONFIG : PADCONFIG123 0x040841EC	GPIO0_107	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	SDIO	PU/PD
		MMC0_DAT7	0	IO	1								
		UART2_RXD	1	I	1								
		EHRPWM0_SYNCI	2	I	0								
		MCAN1_RX	3	I	1								
		SPI1_D0	5	IO	0								
AA1	MMC1_DAT0 PADCONFIG : PADCONFIG137 0x04084224	SPI2_CS1	6	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	SDIO	PU/PD
		GPIO0_106	7	IO	焊盘								
		MMC1_DAT0	0	IO	1								
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		TIMER_IO3	2	IO	0								
		UART2_CTSn	3	I	1								
Y4	MMC1_DAT1 PADCONFIG : PADCONFIG136 0x04084220	ECAP2_IN_APWM_OUT	4	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	SDIO	PU/PD
		SPI2_D1	6	IO	0								
		GPIO0_119	7	IO	焊盘								
		MMC1_DAT1	0	IO	1								
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		TIMER_IO2	2	IO	0								
		UART2_RTSn	3	O									
		ECAP1_IN_APWM_OUT	4	IO	0								
		SPI3_CS2	5	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	SDIO	PU/PD
		SPI2_D0	6	IO	0								
		GPIO0_118	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AA2	MMC1_DAT2 PADCONFIG : PADCONFIG135 0x0408421C	MMC1_DAT2	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		TIMER_IO1	2	IO	0								
		UART2_TXD	3	O									
		MCAN1_TX	4	O									
		SPI3_D1	5	IO	0								
		SPI2_CS3	6	IO	1								
AB2	MMC1_DAT3 PADCONFIG : PADCONFIG134 0x04084218	GPIO0_117	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	SDIO	PU/PD
		MMC1_DAT3	0	IO	1								
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		TIMER_IO0	2	IO	0								
		UART2_RXD	3	I	1								
		MCAN1_RX	4	I	1								
		SPI3_D0	5	IO	0								
U22	MMC2_DAT0 PADCONFIG : PADCONFIG64 0x04084100	SPI2_CS1	6	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
		GPIO0_116	7	IO	焊盘								
		MMC2_DAT0	0	IO	1								
T22	MMC2_DAT1 PADCONFIG : PADCONFIG63 0x040840FC	MCASP1_AXR0	1	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
		GPIO0_48	7	IO	焊盘								
		MMC2_DAT1	0	IO	1								
T23	MMC2_DAT2 PADCONFIG : PADCONFIG62 0x040840F8	MCASP1_AXR1	1	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
		GPIO0_47	7	IO	焊盘								
		MMC2_DAT2	0	IO	1								
		MCASP1_AXR2	1	IO	0								
R22	MMC2_DAT3 PADCONFIG : PADCONFIG61 0x040840F4	UART5_TXD	3	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	SDIO	PU/PD
		GPIO0_46	7	IO	焊盘								
		MMC2_DAT3	0	IO	1								
		MCASP1_AXR3	1	IO	0								
D22	OSPI0_CLK PADCONFIG : PADCONFIG15 0x0408403C	UART5_RXD	3	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		GPIO0_45	7	IO	焊盘								
		OSPI0_CLK	0	O									
D22	OSPI0_CLK PADCONFIG : PADCONFIG15 0x0408403C	GPIO0_0	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		GPIO0_0	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
E22	PADCONFIG : PADCONFIG17 0x04084044	OSPI0_DQS	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		UART5_CTSn	5	I	1								
		GPIO0_2	7	IO	焊盘								
E18	PADCONFIG : PADCONFIG16 0x04084040	OSPI0_LBCLKO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		UART5_RTSn	5	O									
		GPIO0_1	7	IO	焊盘								
C20	PADCONFIG : PADCONFIG26 0x04084068	OSPI0_CSn0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		GPIO0_11	7	IO	焊盘								
D20	PADCONFIG : PADCONFIG27 0x0408406C	OSPI0_CSn1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		GPIO0_12	7	IO	焊盘								
D18	OSPI0_CSn2 PADCONFIG : PADCONFIG28 0x04084070	OSPI0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		SPI1_CS1	1	IO	1								
		OSPI0_RESET_OUT1	2	O									
		MCASP1_AFSR	3	IO	0								
		MCASP1_AXR2	4	IO	0								
		UART5_RXD	5	I	1								
		ADC_EXT_TRIGGER0	6	I	0								
C23	OSPI0_CSn3 PADCONFIG : PADCONFIG29 0x04084074	GPIO0_13	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		OSPI0_CSn3	0	O									
		OSPI0_RESET_OUT0	1	O									
		OSPI0_ECC_FAIL	2	I	1								
		MCASP1_ACLKR	3	IO	0								
		MCASP1_AXR3	4	IO	0								
		UART5_TXD	5	O									
C22	PADCONFIG : PADCONFIG18 0x04084048	ADC_EXT_TRIGGER1	6	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		GPIO0_14	7	IO	焊盘								
		OSPI0_D0	0	IO	0								
D21	PADCONFIG : PADCONFIG19 0x0408404C	GPIO0_3	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		OSPI0_D1	0	IO	0								
		GPIO0_4	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
E23	OSPI0_D2 PADCONFIG : PADCONFIG20 0x04084050	OSPI0_D2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		GPIO0_5	7	IO	焊盘								
D23	OSPI0_D3 PADCONFIG : PADCONFIG21 0x04084054	OSPI0_D3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		GPIO0_6	7	IO	焊盘								
F21	OSPI0_D4 PADCONFIG : PADCONFIG22 0x04084058	OSPI0_D4	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		SPI1_CS0	1	IO	1								
		MCASP1_AXR1	2	IO	0								
		UART6_RXD	3	I	1								
		GPIO0_7	7	IO	焊盘								
F19	OSPI0_D5 PADCONFIG : PADCONFIG23 0x0408405C	OSPI0_D5	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		SPI1_CLK	1	IO	0								
		MCASP1_AXR0	2	IO	0								
		UART6_TXD	3	O									
		GPIO0_8	7	IO	焊盘								
G20	OSPI0_D6 PADCONFIG : PADCONFIG24 0x04084060	OSPI0_D6	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		SPI1_D0	1	IO	0								
		MCASP1_ACLKX	2	IO	0								
		UART6_RTSn	3	O									
		I2C3_SCL	4	IOD	1								
		UART4_RXD	5	I	1								
		GPIO0_9	7	IO	焊盘								
F20	OSPI0_D7 PADCONFIG : PADCONFIG25 0x04084064	OSPI0_D7	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS1	是	1P8-LVCMOS	PU/PD
		SPI1_D1	1	IO	0								
		MCASP1_AFSX	2	IO	0								
		UART6_CTSn	3	I	1								
		I2C3_SDA	4	IOD	1								
		UART4_TXD	5	O									
		GPIO0_10	7	IO	焊盘								
AA18	PMIC_LPM_EN0	PMIC_LPM_EN0		O		不适用/关闭/上拉	不适用/SS/关闭		1.8V	VDDS_RTC		RTC-LVCMOS	PU
AB18	PORz PADCONFIG: PADCONFIG7 0x0408401C	PORz	0	I				0	1.8V	VDDS_OSC0	是	FS 复位	

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
C16	RESETSTATz PADCONFIG : PADCONFIG144 0x04084240	RESETSTATz	0	O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV1	是	LVC MOS	PU/PD
E16	RESETz PADCONFIG: PADCONFIG143 0x0408423C	RESETz	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV1	是	LVC MOS	PU/PD
Y7	RGMII1_RXC PADCONFIG : PADCONFIG77 0x04084134	RGMII1_RXC	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD0	是	1P8-LVC MOS	PU/PD
		RMII1_REF_CLK	1	I	0								
		GPIO0_60	7	IO	焊盘								
Y6	RGMII1_RX_CTL PADCONFIG : PADCONFIG76 0x04084130	RGMII1_RX_CTL	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD0	是	1P8-LVC MOS	PU/PD
		RMII1_RX_ER	1	I	0								
		GPIO0_59	7	IO	焊盘								
W11	RGMII1_TXC PADCONFIG : PADCONFIG71 0x0408411C	RGMII1_TXC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD0	是	1P8-LVC MOS	PU/PD
		RMII1_CRS_DV	1	I	0								
		GPIO0_54	7	IO	焊盘								
AB11	RGMII1_TX_CTL PADCONFIG : PADCONFIG70 0x04084118	RGMII1_TX_CTL	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD0	是	1P8-LVC MOS	PU/PD
		RMII1_TX_EN	1	O									
		GPIO0_53	7	IO	焊盘								
AC7	RGMII2_RXC PADCONFIG : PADCONFIG91 0x0408416C	RGMII2_RXC	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD0	是	1P8-LVC MOS	PU/PD
		RMII2_REF_CLK	1	I	0								
		MCASP2_AXR1	2	IO	0								
		GPIO0_74	7	IO	焊盘								
AC8	RGMII2_RX_CTL PADCONFIG : PADCONFIG90 0x04084168	RGMII2_RX_CTL	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD0	是	1P8-LVC MOS	PU/PD
		RMII2_RX_ER	1	I	0								
		MCASP2_AXR3	2	IO	0								
		GPIO0_73	7	IO	焊盘								
Y13	RGMII2_TXC PADCONFIG : PADCONFIG85 0x04084154	RGMII2_TXC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD0	是	1P8-LVC MOS	PU/PD
		RMII2_CRS_DV	1	I	0								
		MCASP2_AXR5	2	IO	0								
		GPIO0_68	7	IO	焊盘								
AB12	RGMII2_TX_CTL PADCONFIG : PADCONFIG84 0x04084150	RGMII2_TX_CTL	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD0	是	1P8-LVC MOS	PU/PD
		RMII2_TX_EN	1	O									
		MCASP2_AXR4	2	IO	0								
		GPIO0_67	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
Y8	RGMII1_RD0 PADCONFIG : PADCONFIG78 0x04084138	RGMII1_RD0	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
		RMII1_RXD0	1	I	0								
		GPIO0_61	7	IO	焊盘								
AA6	RGMII1_RD1 PADCONFIG : PADCONFIG79 0x0408413C	RGMII1_RD1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
		RMII1_RXD1	1	I	0								
		GPIO0_62	7	IO	焊盘								
AA8	RGMII1_RD2 PADCONFIG : PADCONFIG80 0x04084140	RGMII1_RD2	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		GPMMC0_A5	2	O									
		GPIO0_63	7	IO	焊盘								
W8	RGMII1_RD3 PADCONFIG : PADCONFIG81 0x04084144	RGMII1_RD3	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
		I2C2_SDA	1	IOD	1								
		GPMMC0_A6	2	O									
		GPIO0_64	7	IO	焊盘								
AC10	RGMII1_TD0 PADCONFIG : PADCONFIG72 0x04084120	RGMII1_TD0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
		RMII1_TXD0	1	O									
		GPIO0_55	7	IO	焊盘								
W13	RGMII1_TD1 PADCONFIG : PADCONFIG73 0x04084124	RGMII1_TD1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
		RMII1_TXD1	1	O									
		GPIO0_56	7	IO	焊盘								
Y11	RGMII1_TD2 PADCONFIG : PADCONFIG74 0x04084128	RGMII1_TD2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
		GPMMC0_A0	1	O									
		GPIO0_57	7	IO	焊盘								
AA11	RGMII1_TD3 PADCONFIG : PADCONFIG75 0x0408412C	RGMII1_TD3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
		CLKOUT0	1	O									
		GPIO0_58	7	IO	焊盘								
AB9	RGMII2_RD0 PADCONFIG : PADCONFIG92 0x04084170	RGMII2_RD0	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
		RMII2_RXD0	1	I	0								
		MCASP2_AXR2	2	IO	0								
		GPIO0_75	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AC9	RGMII2_RD1 PADCONFIG : PADCONFIG93 0x04084174	RGMII2_RD1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		RMII2_RXD1	1	I	0								
		MCASP2_AFSR	2	IO	0								
		MCASP2_AXR7	5	IO	0								
		GPIO0_76	7	IO	焊盘								
AB10	RGMII2_RD2 PADCONFIG : PADCONFIG94 0x04084178	RGMII2_RD2	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		GPMC0_A3	1	O									
		MCASP2_AXR0	2	IO	0								
		SPI3_CLK	3	IO	0								
		GPIO0_77	7	IO	焊盘								
AB8	RGMII2_RD3 PADCONFIG : PADCONFIG95 0x0408417C	EQEP2_A	8	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		RGMII2_RD3	0	I	0								
		GPMC0_A4	1	O									
		AUDIO_EXT_REFCLK0	2	IO	0								
		SPI3_CS0	3	IO	1								
AC12	RGMII2_TD0 PADCONFIG : PADCONFIG86 0x04084158	GPIO0_78	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		EQEP2_B	8	I	0								
		RGMII2_TD0	0	O									
		RMII2_TXD0	1	O									
		MCASP2_AXR6	2	IO	0								
AB13	RGMII2_TD1 PADCONFIG : PADCONFIG87 0x0408415C	GPIO0_69	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		RGMII2_TD1	0	O									
		RMII2_TXD1	1	O									
		MCASP2_ACLKR	2	IO	0								
		MCASP2_AXR8	5	IO	0								
AA12	RGMII2_TD2 PADCONFIG : PADCONFIG88 0x04084160	GPIO0_70	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		RGMII2_TD2	0	O									
		GPMC0_A1	1	O									
		MCASP2_AFSX	2	IO	0								
		SPI3_D0	3	IO	0								
		GPIO0_71	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		EQEP2_I	8	IO	0								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AA13	RGMII2_TD3 PADCONFIG : PADCONFIG89 0x04084164	RGMII2_TD3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD
		GPMC0_A2	1	O									
		MCASP2_ACLKX	2	IO	0								
		SPI3_D1	3	IO	0								
		GPIO0_72	7	IO	焊盘								
		EQEP2_S	8	IO	0								
AB17	RSVD0	RSVD0		不适用									
Y18	RTC_PORz	RTC_PORz		I		开启/不适用/不适用	开启/不适用/不适用		1.8V	VDDS_RTC	是	RTC-LVCMOS	
E13	SPI0_CLK PADCONFIG : PADCONFIG106 0x040841A8	SPI0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		EHRPWM1_A	2	IO	0								
		GPIO0_89	7	IO	焊盘								
E11	SPI0_CS0 PADCONFIG : PADCONFIG104 0x040841A0	SPI0_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		EHRPWM0_A	2	IO	0								
		GPIO0_87	7	IO	焊盘								
D11	SPI0_CS1 PADCONFIG : PADCONFIG105 0x040841A4	SPI0_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		EHRPWM0_B	2	IO	0								
		ECAP0_IN_APWM_OUT	3	IO	0								
		AUDIO_EXT_REFCLK1	4	IO	0								
		GPIO0_88	7	IO	焊盘								
E12	SPI0_D0 PADCONFIG : PADCONFIG107 0x040841AC	EHRPWM_TZn_IN5	9	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI0_D0	0	IO	0								
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		EHRPWM1_B	2	IO	0								
B12	SPI0_D1 PADCONFIG : PADCONFIG108 0x040841B0	GPIO0_90	7	IO	焊盘	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI0_D1	0	IO	0								
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		EHRPWM_TZn_IN0	2	I	0								
AB14	TCK PADCONFIG : PADCONFIG8 0x04084020	TCK	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V	VDDS0	是	1P8-LVCMOS	PU/PD

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AC16	TDI PADCONFIG : PADCONFIG10 0x04084028	TDI	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
AB15	TDO PADCONFIG : PADCONFIG11 0x0408402C	TDO	0	OZ		关闭/关闭/上拉	关闭/SS/上拉	0	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
Y17	TMS PADCONFIG : PADCONFIG12 0x04084030	TMS	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
AB16	TRSTn PADCONFIG : PADCONFIG9 0x04084024	TRSTn	0	I		开启/关闭/下拉	开启/关闭/下拉	0	1.8V	VDDSD	是	1P8-LVCMOS	PU/PD
B14	UART0_CTSn PADCONFIG : PADCONFIG111 0x040841BC	UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		SPI0_CS2	1	IO	1								
		I2C3_SCL	2	IOD	1								
		UART2_RXD	3	I	1								
		TIMER_IO2	4	IO	0								
		AUDIO_EXT_REFCLK0	5	IO	0								
		MCAN2_RX	6	I	1								
		GPIO0_94	7	IO	焊盘								
		MCASP2_AFSX	8	IO	0								
B13	UART0_RTSn PADCONFIG : PADCONFIG112 0x040841C0	MMC2_SDCD	9	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		UART0_RTSn	0	O									
		SPI0_CS3	1	IO	1								
		I2C3_SDA	2	IOD	1								
		UART2_TXD	3	O									
		TIMER_IO3	4	IO	0								
		AUDIO_EXT_REFCLK1	5	IO	0								
		MCAN2_TX	6	O									
		GPIO0_95	7	IO	焊盘								
		MCASP2_ACLKX	8	IO	0								
		MMC2_SDWP	9	I	0								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
D13	UART0_RXD PADCONFIG : PADCONFIG109 0x040841B4	UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		ECAP1_IN_APWM_OUT	1	IO	0								
		SPI2_D0	2	IO	0								
		EHRPWM2_A	3	IO	0								
		GPIO0_92	7	IO	焊盘								
C13	UART0_TXD PADCONFIG : PADCONFIG110 0x040841B8	UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		ECAP2_IN_APWM_OUT	1	IO	0								
		SPI2_D1	2	IO	0								
		EHRPWM2_B	3	IO	0								
		GPIO0_93	7	IO	焊盘								
AC4	USB0_DM	USB0_DM		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AB4	USB0_DP	USB0_DP		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
C6	USB0_DRVVBUS PADCONFIG : PADCONFIG145 0x04084244	USB0_DRVVBUS	0	O		关闭/关闭/下拉	关闭/关闭/下拉	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_124	7	IO	焊盘								
AB3	USB0_RCALIB	USB0_RCALIB		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AC3	USB0_VBUS	USB0_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AC5	USB1_DM	USB1_DM		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AB5	USB1_DP	USB1_DP		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
A5	USB1_DRVVBUS PADCONFIG : PADCONFIG146 0x04084248	USB1_DRVVBUS	0	O		关闭/关闭/下拉	关闭/关闭/下拉	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO0_125	7	IO	焊盘								
AC6	USB1_RCALIB	USB1_RCALIB		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AB6	USB1_VBUS	USB1_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
G14	VDDA_1P8_DSI	VDDA_1P8_DSI		PWR									
T12	VDDA_1P8_USB	VDDA_1P8_USB		PWR									
U16	VDDA_3P3_SDIO	VDDA_3P3_SDIO		PWR									
U12	VDDA_3P3_USB	VDDA_3P3_USB		PWR									
N17	VDDA_ADC	VDDA_ADC		PWR									
G13	VDDA_CORE_DSI	VDDA_CORE_DSI		PWR									

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
H12	VDDA_CORE_DSI_CLK	VDDA_CORE_DSI_CLK		PWR									
U11	VDDA_CORE_USB	VDDA_CORE_USB		PWR									
M10	VDDA_DDR_PLL0	VDDA_DDR_PLL0		PWR									
L11	VDDA_PLL0	VDDA_PLL0		PWR									
K12	VDDA_PLL1	VDDA_PLL1		PWR									
T14	VDDS0	VDDS0		PWR									
H16	VDDS1	VDDS1		PWR									
J16、L17	VDDSHV0	VDDSHV0		PWR									
G10、H10	VDDSHV1	VDDSHV1		PWR									
H8	VDDSHV2	VDDSHV2		PWR									
T10	VDDSHV3	VDDSHV3		PWR									
M17	VDDSHV4	VDDSHV4		PWR									
L8、M7、 M8、N8、 P8	VDDS_DDR	VDDS_DDR		PWR									
R16	VDDS_OSC0	VDDS_OSC0		PWR									
T18	VDDS_RTC	VDDS_RTC		PWR									
P16	VDDS_WKUP	VDDS_WKUP		PWR									
J11、J13、 J15、J9、 K10、 K14、 L15、 M14、 N15、 P10、 P12、 P14、 R11、R9	VDD_CORE	VDD_CORE		PWR									
T17	VDD_RTC	VDD_RTC		PWR									
N18	VPP	VPP		PWR									

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
A1、A10、 A13、 A16、 A19、A2、 A22、 A23、A4、 AA20、 AA4、 AB1、 AB21、 AB23、 AB7、 AC1、 AC11、 AC14、 AC19、 AC2、 AC22、 AC23、 B1、B17、 B20、 B23、B5、 C12、 C18、D1、 E10、 E14、 E15、E2、 E6、E8、 E9、F18、 F5、F6、 G12、 G15、 G16、 G17、G7、 G8、G9、 H1、H14、 H17、H7、 K15、K8、 K9、L13、 L16、 L18、L7、 L9、M1、 M12、 N11、 N13、 N16、N7、 N9、P15、 P9、R1、 R13、 R15、R8、 T19、T2、 T7、T8、	VSS	VSS		PWR									

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
U10、 U13、 U14、 U15、 U17、 U20、U7、 U8、V18、 V19、V3、 W10、 W12、 W14、 W15、 W16、 W18、 W9、Y1、 Y20、Y21													
Y23	WKUP_CLKOUT0 PADCONFIG : PADCONFIG6 0x04084018	WKUP_CLKOUT0	0	O		关闭/关闭/关闭	关闭/SS/关闭	0	1.8V	VDD5_WKUP	是	1P8-LVCMOS	PU/PD
		WKUP_GPIO0_6	7	IO	焊盘								
AB22	WKUP_I2C0_SCL PADCONFIG : PADCONFIG4 0x04084010	WKUP_I2C0_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDD5_WKUP	是	1P8-LVCMOS	PU/PD
		WKUP_GPIO0_4	7	IO	焊盘								
AA22	WKUP_I2C0_SDA PADCONFIG : PADCONFIG5 0x04084014	WKUP_I2C0_SDA	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDD5_WKUP	是	1P8-LVCMOS	PU/PD
		WKUP_GPIO0_5	7	IO	焊盘								
AC18	WKUP_OSC0_XI	WKUP_OSC0_XI		I					1.8V	VDD5_OSC0		HFOSC	
AC17	WKUP_OSC0_XO	WKUP_OSC0_XO		O					1.8V	VDD5_OSC0		HFOSC	
W23	WKUP_UART0_CTSn PADCONFIG : PADCONFIG2 0x04084008	WKUP_UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDD5_WKUP	是	1P8-LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO	0								
		WKUP_OBSCCLK0	2	O									
		WKUP_SYSCCLKOUT0	3	O									
		WKUP_GPIO0_2	7	IO	焊盘								
W22	WKUP_UART0_RTSn PADCONFIG : PADCONFIG3 0x0408400C	WKUP_UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDD5_WKUP	是	1P8-LVCMOS	PU/PD
		WKUP_TIMER_IO1	1	IO	0								
		WKUP_EXT_REFCLK0	2	I	0								
		WKUP_GPIO0_3	7	IO	焊盘								
Y22	WKUP_UART0_RXD PADCONFIG : PADCONFIG0 0x04084000	WKUP_UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDD5_WKUP	是	1P8-LVCMOS	PU/PD
		WKUP_GPIO0_0	7	IO	焊盘								

表 5-1. 引脚属性 (ANB 封装) (续)

焊球 编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用 模式 [4]	类型 [5]	DSIS [6]	复位 期间的 焊球 状态 (RX/TX/拉动) [7]	复位 之后的 焊球 状态 (RX/TX/拉动) [8]	复位 之后的 多路复用 模式 [9]	I/O 工作 电压 [10]	电源 [11]	HYS [12]	缓冲器 类型 [13]	上拉/ 下拉 类型 [14]
AA23	WKUP_UART0_TXD PADCONFIG : PADCONFIG1 0x04084004	WKUP_UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V	VDDS_WKUP	是	1P8-LVCMOS	PU/PD
		WKUP_GPIO0_1	7	IO	焊盘								

5.3 信号说明

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称**：通过引脚的信号的名称。

备注

每个信号说明表中提供的信号名称和说明表示在引脚上实现并通过 **PADCONFIG** 寄存器选择的引脚多路复用信号功能。器件子系统可以提供信号功能的二次多路复用，这些表中没有说明这些功能。有关辅助多路复用信号功能的更多信息，请参阅器件 **TRM** 的相应外设章节。

2. **引脚类型**：信号方向和类型：

- I = 输入
- O = 输出
- OD = 输出，具有开漏输出功能
- IO = 输入、输出或同时输入和输出
- IOD = 输入、输出或同时输入和输出，具有开漏输出功能
- IOZ = 输入、输出或同时输入和输出，具有三态输出功能
- OZ = 具有三态输出功能的输出
- A = 模拟
- PWR = 电源
- GND = 接地
- CAP = LDO 电容器

3. **说明**：信号说明

4. **焊球**：与信号相关的球号

有关 IO 单元配置的更多信息，请参阅器件 **TRM** 的 **器件配置** 一章中的 **焊盘配置寄存器** 一节。

5.3.1 ADC

5.3.1.1 MAIN 域

表 5-2. ADC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
ADC0_AIN0	A	ADC 模拟输入 0	V20
ADC0_AIN1	A	ADC 模拟输入 1	V22
ADC0_AIN2	A	ADC 模拟输入 2	V23
ADC0_AIN3	A	ADC 模拟输入 3	V21
ADC_EXT_TRIGGER0 ⁽¹⁾	I	ADC 触发输入	C11、D16、 D18、M23
ADC_EXT_TRIGGER1 ⁽¹⁾	I	ADC 触发输入	A12、C23、M22

(1) 该 ADC 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 **TRM 器件配置** 一章。

5.3.2 CPSW3G

5.3.2.1 MAIN 域

表 5-3. CPSW3G0 RGMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
RGMII1_RXC	I	RGMII 接收时钟	Y7

表 5-3. CPSW3G0 RGMII1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
RGMII1_RX_CTL	I	RGMII 接收控制	Y6
RGMII1_TXC	O	RGMII 发送时钟	W11
RGMII1_TX_CTL	O	RGMII 发送控制	AB11
RGMII1_RD0	I	RGMII 接收数据 0	Y8
RGMII1_RD1	I	RGMII 接收数据 1	AA6
RGMII1_RD2	I	RGMII 接收数据 2	AA8
RGMII1_RD3	I	RGMII 接收数据 3	W8
RGMII1_TD0	O	RGMII 发送数据 0	AC10
RGMII1_TD1	O	RGMII 发送数据 1	W13
RGMII1_TD2	O	RGMII 发送数据 2	Y11
RGMII1_TD3	O	RGMII 发送数据 3	AA11

表 5-4. CPSW3G0 RGMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
RGMII2_RXC	I	RGMII 接收时钟	AC7
RGMII2_RX_CTL	I	RGMII 接收控制	AC8
RGMII2_TXC	O	RGMII 发送时钟	Y13
RGMII2_TX_CTL	O	RGMII 发送控制	AB12
RGMII2_RD0	I	RGMII 接收数据 0	AB9
RGMII2_RD1	I	RGMII 接收数据 1	AC9
RGMII2_RD2	I	RGMII 接收数据 2	AB10
RGMII2_RD3	I	RGMII 接收数据 3	AB8
RGMII2_TD0	O	RGMII 发送数据 0	AC12
RGMII2_TD1	O	RGMII 发送数据 1	AB13
RGMII2_TD2	O	RGMII 发送数据 2	AA12
RGMII2_TD3	O	RGMII 发送数据 3	AA13

表 5-5. CPSW3G0 RMII1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
RMII1_CRS_DV	I	RMII 载波侦听/数据有效	W11
RMII1_REF_CLK	I	RMII 基准时钟	Y7
RMII1_RX_ER	I	RMII 接收数据错误	Y6
RMII1_TX_EN	O	RMII 发送使能	AB11
RMII1_RXD0	I	RMII 接收数据 0	Y8
RMII1_RXD1	I	RMII 接收数据 1	AA6
RMII1_TXD0	O	RMII 发送数据 0	AC10
RMII1_TXD1	O	RMII 发送数据 1	W13

表 5-6. CPSW3G0 RMII2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
RMII2_CRS_DV	I	RMII 载波侦听/数据有效	Y13
RMII2_REF_CLK	I	RMII 基准时钟	AC7

表 5-6. CPSW3G0 RMII2 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
RMII2_RX_ER	I	RMII 接收数据错误	AC8
RMII2_TX_EN	O	RMII 发送使能	AB12
RMII2_RXD0	I	RMII 接收数据 0	AB9
RMII2_RXD1	I	RMII 接收数据 1	AC9
RMII2_TXD0	O	RMII 发送数据 0	AC12
RMII2_TXD1	O	RMII 发送数据 1	AB13

5.3.3 CPTS

5.3.3.1 MAIN 域

表 5-7. CPTS 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPTS 基准时钟输入	D16
CP_GEMAC_CPTS0_TS_COMP	O	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器比较输出	AB2、D11
CP_GEMAC_CPTS0_TS_SYNC	O	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器位输出	AA2、E13
CP_GEMAC_CPTS0_HW1TSPUSH	I	时间同步路由器的 CPTS 硬件时间戳推送输入	E12、Y4
CP_GEMAC_CPTS0_HW2TSPUSH	I	时间同步路由器的 CPTS 硬件时间戳推送输入	AA1、B12
SYNC0_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 0 输出	B7
SYNC1_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 1 输出	D16
SYNC2_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 2 输出	B16
SYNC3_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 3 输出	B15

5.3.4 DDRSS

5.3.4.1 MAIN 域

表 5-8. DDRSS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
DDR0_ACT_n	O	DDRSS 激活命令	M2
DDR0_CAS_n	O	DDRSS 列地址选通	L1
DDR0_RAS_n	O	DDRSS 行地址选通	M5
DDR0_WE_n	O	DDRSS 写入使能	L2
DDR0_A0	O	DDRSS 地址总线	L5
DDR0_A1	O	DDRSS 地址总线	H6
DDR0_A2	O	DDRSS 地址总线	L6
DDR0_A3	O	DDRSS 地址总线	K2
DDR0_A4	O	DDRSS 地址总线	J1
DDR0_A5	O	DDRSS 地址总线	H5
DDR0_A6	O	DDRSS 地址总线	R2
DDR0_A7	O	DDRSS 地址总线	N6
DDR0_A8	O	DDRSS 地址总线	T4
DDR0_A9	O	DDRSS 地址总线	N1
DDR0_A10	O	DDRSS 地址总线	T5
DDR0_A11	O	DDRSS 地址总线	T6
DDR0_A12	O	DDRSS 地址总线	W6

表 5-8. DDRSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
DDR0_A13	O	DDRSS 地址总线	V6
DDR0_BA0	O	DDRSS 存储库地址	N3
DDR0_BA1	O	DDRSS 存储库地址	N2
DDR0_BG0	O	DDRSS 存储库组	N5
DDR0_BG1	O	DDRSS 存储库组	N4
DDR0_CAL0 (1)	A	IO 焊盘校准电阻	M3
DDR0_CK0	O	DDRSS 时钟	P1
DDR0_CK0_n	O	DDRSS 负时钟	P2
DDR0_CKE0	O	DDRSS 时钟使能	K1
DDR0_CS0_n	O	DDRSS 片选 0	L3
DDR0_DM0	IO	DDRSS 数据掩码	F2
DDR0_DM1	IO	DDRSS 数据掩码	W2
DDR0_DQ0	IO	DDRSS 数据	F4
DDR0_DQ1	IO	DDRSS 数据	F3
DDR0_DQ2	IO	DDRSS 数据	F1
DDR0_DQ3	IO	DDRSS 数据	E1
DDR0_DQ4	IO	DDRSS 数据	G4
DDR0_DQ5	IO	DDRSS 数据	H4
DDR0_DQ6	IO	DDRSS 数据	H2
DDR0_DQ7	IO	DDRSS 数据	H3
DDR0_DQ8	IO	DDRSS 数据	V4
DDR0_DQ9	IO	DDRSS 数据	T3
DDR0_DQ10	IO	DDRSS 数据	T1
DDR0_DQ11	IO	DDRSS 数据	U1
DDR0_DQ12	IO	DDRSS 数据	U4
DDR0_DQ13	IO	DDRSS 数据	V5
DDR0_DQ14	IO	DDRSS 数据	U2
DDR0_DQ15	IO	DDRSS 数据	W1
DDR0_DQS0	IO	DDRSS 数据选通	G1
DDR0_DQS0_n	IO	DDRSS 互补数据选通	G2
DDR0_DQS1	IO	DDRSS 数据选通	V1
DDR0_DQS1_n	IO	DDRSS 互补数据选通	V2
DDR0_ODT0	O	用于片选 0 的 DDRSS 片上端接	L4
DDR0_RESET0_n	O	DDRSS 复位	J2

(1) 必须在该引脚和 VSS 之间连接一个外部 240 Ω ±1% 电阻。不应向该引脚施加外部电压。

5.3.5 DSI

5.3.5.1 MAIN 域

表 5-9. DSITX0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
DSI0_TXCLKN	IO	DSI 差分发送时钟输出 (负)	A15
DSI0_TXCLKP	IO	DSI 差分发送时钟输出 (正)	A14

表 5-9. DSITX0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
DSI0_TXRCALIB ⁽¹⁾	A	DSI 引脚连接到外部电阻器, 用于片上电阻器校准	D17
DSI0_TXN0	IO	DSI 差分发送输出 (负)	B19
DSI0_TXN1	IO	DSI 差分发送输出 (负)	A18
DSI0_TXN2	IO	DSI 差分发送输出 (负)	A20
DSI0_TXN3	IO	DSI 差分发送输出 (负)	B22
DSI0_TXP0	IO	DSI 差分发送输出 (正)	B18
DSI0_TXP1	IO	DSI 差分发送输出 (正)	A17
DSI0_TXP2	IO	DSI 差分发送输出 (正)	A21
DSI0_TXP3	IO	DSI 差分发送输出 (正)	B21

(1) 必须在该引脚和 VSS 之间连接一个外部 $499\ \Omega \pm 1\%$ 电阻器, 该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。

5.3.6 DSS

5.3.6.1 MAIN 域

表 5-10. DSS0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
VOUT0_DE	O	视频输出数据使能	M21
VOUT0_EXTPCLKIN	I	视频输出外部像素时钟输入	M23
VOUT0_HSYNC	O	视频输出水平同步	N21
VOUT0_PCLK	O	视频输出像素时钟输出	L19
VOUT0_VSYNC	O	视频输出垂直同步	L20
VOUT0_DATA0	O	视频输出数据 0	L22
VOUT0_DATA1	O	视频输出数据 1	L23
VOUT0_DATA2	O	视频输出数据 2	K22
VOUT0_DATA3	O	视频输出数据 3	J23
VOUT0_DATA4	O	视频输出数据 4	K23
VOUT0_DATA5	O	视频输出数据 5	H22
VOUT0_DATA6	O	视频输出数据 6	H23
VOUT0_DATA7	O	视频输出数据 7	J22
VOUT0_DATA8	O	视频输出数据 8	H19
VOUT0_DATA9	O	视频输出数据 9	H20
VOUT0_DATA10	O	视频输出数据 10	H21
VOUT0_DATA11	O	视频输出数据 11	H18
VOUT0_DATA12	O	视频输出数据 12	G23
VOUT0_DATA13	O	视频输出数据 13	G22
VOUT0_DATA14	O	视频输出数据 14	F22
VOUT0_DATA15	O	视频输出数据 15	F23
VOUT0_DATA16	O	视频输出数据 16	L21
VOUT0_DATA17	O	视频输出数据 17	N19
VOUT0_DATA18	O	视频输出数据 18	N20
VOUT0_DATA19	O	视频输出数据 19	M19
VOUT0_DATA20	O	视频输出数据 20	P23
VOUT0_DATA21	O	视频输出数据 21	P22
VOUT0_DATA22	O	视频输出数据 22	N23

表 5-10. DSS0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
VOUT0_DATA23	O	视频输出数据 23	N22

5.3.7 ECAP

5.3.7.1 MAIN 域

表 5-11. ECAP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
ECAP0_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	D11、D16、L22

表 5-12. ECAP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
ECAP1_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	A8、A9、B7、D13、L23、Y4

表 5-13. ECAP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
ECAP2_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	A11、A7、AA1、B10、C13、H20

5.3.8 仿真和调试

5.3.8.1 MAIN 域

表 5-14. 布线信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
TRC_CLK	O	跟踪时钟	L22
TRC_CTL	O	跟踪控制	L23
TRC_DATA0	O	跟踪数据 0	K22
TRC_DATA1	O	跟踪数据 1	J23
TRC_DATA2	O	跟踪数据 2	K23
TRC_DATA3	O	跟踪数据 3	H22
TRC_DATA4	O	跟踪数据 4	H23
TRC_DATA5	O	跟踪数据 5	J22
TRC_DATA6	O	跟踪数据 6	L21
TRC_DATA7	O	跟踪数据 7	N19
TRC_DATA8	O	跟踪数据 8	N20
TRC_DATA9	O	跟踪数据 9	M19
TRC_DATA10	O	跟踪数据 10	P23
TRC_DATA11	O	跟踪数据 11	P22
TRC_DATA12	O	跟踪数据 12	N23
TRC_DATA13	O	跟踪数据 13	N21
TRC_DATA14	O	跟踪数据 14	M21
TRC_DATA15	O	跟踪数据 15	L20
TRC_DATA16	O	跟踪数据 16	L19
TRC_DATA17	O	跟踪数据 17	M23

表 5-14. 布线信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
TRC_DATA18	O	跟踪数据 18	M22
TRC_DATA19	O	跟踪数据 19	F23
TRC_DATA20	O	跟踪数据 20	F22
TRC_DATA21	O	跟踪数据 21	G22
TRC_DATA22	O	跟踪数据 22	G23
TRC_DATA23	O	跟踪数据 23	H18

5.3.8.2 WKUP 域

表 5-15. JTAG 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EMU0	IO	仿真控制 0	Y16
EMU1	IO	仿真控制 1	AA16
TCK	I	JTAG 测试时钟输入	AB14
TDI	I	JTAG 测试数据输入	AC16
TDO	OZ	JTAG 测试数据输出	AB15
TMS	I	JTAG 测试模式选择输入	Y17
TRSTn	I	JTAG 复位	AB16

5.3.9 EPWM

5.3.9.1 MAIN 域

表 5-16. EPWM 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EHRPWM_SOC_A	O	EHRPWM 转换启动 A	B7
EHRPWM_SOC_B	O	EHRPWM 转换启动 B	A7
EHRPWM_TZn_IN0	I	EHRPWM 触发区输入 0 (低电平有效)	B12
EHRPWM_TZn_IN1	I	EHRPWM 触发区输入 1 (低电平有效)	D3、N19
EHRPWM_TZn_IN2	I	EHRPWM 触发区输入 2 (低电平有效)	B3、G23
EHRPWM_TZn_IN3	I	EHRPWM 触发区输入 3 (低电平有效)	B16
EHRPWM_TZn_IN4	I	EHRPWM 触发区输入 4 (低电平有效)	B15
EHRPWM_TZn_IN5	I	EHRPWM 触发区输入 5 (低电平有效)	D11

表 5-17. EPWM0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EHRPWM0_A	IO	EHRPWM 输出 A	C11、C4、E11、G22
EHRPWM0_B	IO	EHRPWM 输出 B	A12、C2、D11、F22
EHRPWM0_SYNCI	I	从外部引脚到 EHRPWM 模块的同步输入	B4、D7、H21
EHRPWM0_SYNCO	O	从 EHRPWM 模块到外部引脚的同步输出	A3、A6、H18

表 5-18. EPWM1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EHRPWM1_A	IO	EHRPWM 输出 A	A9、C1、E13、F23

表 5-18. EPWM1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EHRPWM1_B	IO	EHRPWM 输出 B	B9、D4、E12、L21

表 5-19. EPWM2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EHRPWM2_A	IO	EHRPWM 输出 A	B2、D13、D7、N20
EHRPWM2_B	IO	EHRPWM 输出 B	A6、C13、D2、M19

5.3.10 EQEP

5.3.10.1 MAIN 域

表 5-20. EQEP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EQEP0_A ⁽¹⁾	I	EQEP 正交输入 A	A8、P23
EQEP0_B ⁽¹⁾	I	EQEP 正交输入 B	B10、P22
EQEP0_I ⁽¹⁾	IO	EQEP 索引	B9、N22
EQEP0_S ⁽¹⁾	IO	EQEP 选通	A9、N23

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

表 5-21. EQEP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EQEP1_A ⁽¹⁾	I	EQEP 正交输入 A	A11、N21
EQEP1_B ⁽¹⁾	I	EQEP 正交输入 B	B11、M21
EQEP1_I ⁽¹⁾	IO	EQEP 索引	A12、L19
EQEP1_S ⁽¹⁾	IO	EQEP 选通	C11、L20

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

表 5-22. EQEP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EQEP2_A ⁽¹⁾	I	EQEP 正交输入 A	AB10、B7
EQEP2_B ⁽¹⁾	I	EQEP 正交输入 B	A7、AB8
EQEP2_I ⁽¹⁾	IO	EQEP 索引	AA12、B16、N22
EQEP2_S ⁽¹⁾	IO	EQEP 选通	AA13、B15、M21

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

5.3.11 GPIO

5.3.11.1 MAIN 域

表 5-23. GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
GPIO0_0	IO	通用输入/输出	D22
GPIO0_1	IO	通用输入/输出	E18

表 5-23. GPIO0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
GPIO0_2	IO	通用输入/输出	E22
GPIO0_3	IO	通用输入/输出	C22
GPIO0_4	IO	通用输入/输出	D21
GPIO0_5	IO	通用输入/输出	E23
GPIO0_6	IO	通用输入/输出	D23
GPIO0_7	IO	通用输入/输出	F21
GPIO0_8	IO	通用输入/输出	F19
GPIO0_9	IO	通用输入/输出	G20
GPIO0_10	IO	通用输入/输出	F20
GPIO0_11	IO	通用输入/输出	C20
GPIO0_12	IO	通用输入/输出	D20
GPIO0_13 ⁽¹⁾	IO	通用输入/输出	D18
GPIO0_14 ⁽¹⁾	IO	通用输入/输出	C23
GPIO0_15	IO	通用输入/输出	L22
GPIO0_16	IO	通用输入/输出	L23
GPIO0_17	IO	通用输入/输出	K22
GPIO0_18	IO	通用输入/输出	J23
GPIO0_19	IO	通用输入/输出	K23
GPIO0_100	IO	通用输入/输出	D7
GPIO0_101	IO	通用输入/输出	A6
GPIO0_102	IO	通用输入/输出	B8
GPIO0_103	IO	通用输入/输出	D8
GPIO0_104	IO	通用输入/输出	D16
GPIO0_105 ⁽¹⁾	IO	通用输入/输出	C8
GPIO0_106 ⁽¹⁾	IO	通用输入/输出	B4
GPIO0_107 ⁽¹⁾	IO	通用输入/输出	A3
GPIO0_108 ⁽¹⁾	IO	通用输入/输出	B3
GPIO0_109 ⁽¹⁾	IO	通用输入/输出	C4
GPIO0_110 ⁽¹⁾	IO	通用输入/输出	C2
GPIO0_111 ⁽¹⁾	IO	通用输入/输出	C1
GPIO0_112 ⁽¹⁾	IO	通用输入/输出	D4
GPIO0_113 ⁽¹⁾	IO	通用输入/输出	D3
GPIO0_114 ⁽¹⁾	IO	通用输入/输出	B2
GPIO0_115 ⁽¹⁾	IO	通用输入/输出	D2
GPIO0_116 ⁽¹⁾	IO	通用输入/输出	AB2
GPIO0_117 ⁽¹⁾	IO	通用输入/输出	AA2
GPIO0_118 ⁽¹⁾	IO	通用输入/输出	Y4
GPIO0_119 ⁽¹⁾	IO	通用输入/输出	AA1
GPIO0_120 ⁽¹⁾	IO	通用输入/输出	Y2
GPIO0_121 ⁽¹⁾	IO	通用输入/输出	Y3
GPIO0_122 ⁽¹⁾	IO	通用输入/输出	B6
GPIO0_123 ⁽¹⁾	IO	通用输入/输出	D6

表 5-23. GPIO0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
GPIO0_124	IO	通用输入/输出	C6
GPIO0_125	IO	通用输入/输出	A5
GPIO0_20	IO	通用输入/输出	H22
GPIO0_21	IO	通用输入/输出	H23
GPIO0_22	IO	通用输入/输出	J22
GPIO0_23	IO	通用输入/输出	H19
GPIO0_24	IO	通用输入/输出	H20
GPIO0_25	IO	通用输入/输出	H21
GPIO0_26	IO	通用输入/输出	H18
GPIO0_27	IO	通用输入/输出	G23
GPIO0_28	IO	通用输入/输出	G22
GPIO0_29	IO	通用输入/输出	F22
GPIO0_30	IO	通用输入/输出	F23
GPIO0_31	IO	通用输入/输出	L21
GPIO0_32	IO	通用输入/输出	N19
GPIO0_33	IO	通用输入/输出	N20
GPIO0_34	IO	通用输入/输出	M19
GPIO0_35	IO	通用输入/输出	P23
GPIO0_36	IO	通用输入/输出	P22
GPIO0_37	IO	通用输入/输出	N23
GPIO0_38	IO	通用输入/输出	N22
GPIO0_39	IO	通用输入/输出	N21
GPIO0_40	IO	通用输入/输出	M21
GPIO0_41	IO	通用输入/输出	L20
GPIO0_42	IO	通用输入/输出	L19
GPIO0_43 ⁽¹⁾	IO	通用输入/输出	M23
GPIO0_44 ⁽¹⁾	IO	通用输入/输出	M22
GPIO0_45 ⁽¹⁾	IO	通用输入/输出	R22
GPIO0_46 ⁽¹⁾	IO	通用输入/输出	T23
GPIO0_47 ⁽¹⁾	IO	通用输入/输出	T22
GPIO0_48 ⁽¹⁾	IO	通用输入/输出	U22
GPIO0_49 ⁽¹⁾	IO	通用输入/输出	R23
GPIO0_50 ⁽¹⁾	IO	通用输入/输出	U23
GPIO0_51 ⁽¹⁾	IO	通用输入/输出	T20
GPIO0_52 ⁽¹⁾	IO	通用输入/输出	T21
GPIO0_53	IO	通用输入/输出	AB11
GPIO0_54	IO	通用输入/输出	W11
GPIO0_55	IO	通用输入/输出	AC10
GPIO0_56	IO	通用输入/输出	W13
GPIO0_57	IO	通用输入/输出	Y11
GPIO0_58	IO	通用输入/输出	AA11
GPIO0_59	IO	通用输入/输出	Y6

表 5-23. GPIO0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
GPIO0_60	IO	通用输入/输出	Y7
GPIO0_61	IO	通用输入/输出	Y8
GPIO0_62	IO	通用输入/输出	AA6
GPIO0_63	IO	通用输入/输出	AA8
GPIO0_64	IO	通用输入/输出	W8
GPIO0_65	IO	通用输入/输出	AC13
GPIO0_66	IO	通用输入/输出	AC15
GPIO0_67	IO	通用输入/输出	AB12
GPIO0_68	IO	通用输入/输出	Y13
GPIO0_69	IO	通用输入/输出	AC12
GPIO0_70	IO	通用输入/输出	AB13
GPIO0_71	IO	通用输入/输出	AA12
GPIO0_72	IO	通用输入/输出	AA13
GPIO0_73	IO	通用输入/输出	AC8
GPIO0_74	IO	通用输入/输出	AC7
GPIO0_75	IO	通用输入/输出	AB9
GPIO0_76	IO	通用输入/输出	AC9
GPIO0_77	IO	通用输入/输出	AB10
GPIO0_78	IO	通用输入/输出	AB8
GPIO0_79	IO	通用输入/输出	A8
GPIO0_80	IO	通用输入/输出	B10
GPIO0_81	IO	通用输入/输出	A9
GPIO0_82	IO	通用输入/输出	B9
GPIO0_83	IO	通用输入/输出	A11
GPIO0_84	IO	通用输入/输出	B11
GPIO0_85	IO	通用输入/输出	C11
GPIO0_86	IO	通用输入/输出	A12
GPIO0_87	IO	通用输入/输出	E11
GPIO0_88 ⁽¹⁾	IO	通用输入/输出	D11
GPIO0_89	IO	通用输入/输出	E13
GPIO0_90	IO	通用输入/输出	E12
GPIO0_91	IO	通用输入/输出	B12
GPIO0_92	IO	通用输入/输出	D13
GPIO0_93	IO	通用输入/输出	C13
GPIO0_94	IO	通用输入/输出	B14
GPIO0_95	IO	通用输入/输出	B13
GPIO0_96	IO	通用输入/输出	B16
GPIO0_97	IO	通用输入/输出	B15
GPIO0_98	IO	通用输入/输出	B7
GPIO0_99	IO	通用输入/输出	A7

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

5.3.11.2 WKUP 域

表 5-24. WKUP_GPIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
WKUP_GPIO0_0	IO	通用输入/输出	Y22
WKUP_GPIO0_1	IO	通用输入/输出	AA23
WKUP_GPIO0_2 ⁽¹⁾	IO	通用输入/输出	W23
WKUP_GPIO0_3 ⁽¹⁾	IO	通用输入/输出	W22
WKUP_GPIO0_4	IO	通用输入/输出	AB22
WKUP_GPIO0_5	IO	通用输入/输出	AA22
WKUP_GPIO0_6	IO	通用输入/输出	Y23

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM 器件配置一章。

5.3.12 GPMC

5.3.12.1 MAIN 域

表 5-25. GPMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
GPMC0_ADVn_ALE	O	GPMC 地址有效 (低电平有效) 或地址锁存使能	N19
GPMC0_CLK	O	GPMC 时钟	L21
GPMC0_DIR	O	GPMC 数据总线信号方向控制	M21
GPMC0_FCLK_MUX	O	GPMC 功能时钟输出	L21
GPMC0_OEn_REn	O	GPMC 输出使能 (低电平有效) 或读取使能 (低电平有效)	N20
GPMC0_WEn	O	GPMC 写入使能 (低电平有效)	M19
GPMC0_WPn	O	GPMC 闪存写保护 (低电平有效)	N21
GPMC0_A0	O	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	Y11
GPMC0_A1	O	A/D 非多路复用模式下为 GPMC 地址 1 输出，A/D 多路复用模式下为地址 17	AA12
GPMC0_A2	O	A/D 非多路复用模式下为 GPMC 地址 2 输出，A/D 多路复用模式下为地址 18	AA13
GPMC0_A3	O	A/D 非多路复用模式下为 GPMC 地址 3 输出，A/D 多路复用模式下为地址 19	AB10
GPMC0_A4	O	A/D 非多路复用模式下为 GPMC 地址 4 输出，A/D 多路复用模式下为地址 20	AB8
GPMC0_A5	O	A/D 非多路复用模式下为 GPMC 地址 5 输出，A/D 多路复用模式下为地址 21	AA8
GPMC0_A6	O	A/D 非多路复用模式下为 GPMC 地址 6 输出，A/D 多路复用模式下为地址 22	W8
GPMC0_AD0	IO	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出，A/D 多路复用模式下为附加的地址 1 输出	L22
GPMC0_AD1	IO	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出，A/D 多路复用模式下为附加的地址 2 输出	L23
GPMC0_AD2	IO	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出，A/D 多路复用模式下为附加的地址 3 输出	K22
GPMC0_AD3	IO	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出，A/D 多路复用模式下为附加的地址 3 输出	J23
GPMC0_AD4	IO	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出，A/D 多路复用模式下为附加的地址 3 输出	K23

表 5-25. GPMC0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
GPMC0_AD5	IO	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	H22
GPMC0_AD6	IO	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	H23
GPMC0_AD7	IO	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	J22
GPMC0_AD8	IO	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	H19
GPMC0_AD9	IO	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出， A/D 多路复用模式下为附加的地址 3 输出	H20
GPMC0_AD10	IO	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出， A/D 多路复用模式下为附加的地址 11 输出	H21
GPMC0_AD11	IO	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出， A/D 多路复用模式下为附加的地址 12 输出	H18
GPMC0_AD12	IO	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出， A/D 多路复用模式下为附加的地址 13 输出	G23
GPMC0_AD13	IO	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出， A/D 多路复用模式下为附加的地址 14 输出	G22
GPMC0_AD14	IO	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出， A/D 多路复用模式下为附加的地址 15 输出	F22
GPMC0_AD15	IO	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出， A/D 多路复用模式下为附加的地址 16 输出	F23
GPMC0_BE0n_CLE	O	GPMC 低位字节使能 (低电平有效) 或命令锁存使能	P23
GPMC0_BE1n	O	GPMC 高位字节使能 (低电平有效)	P22
GPMC0_CSn0	O	GPMC 片选 0 (低电平有效)	L20
GPMC0_CSn1	O	GPMC 片选 1 (低电平有效)	L19
GPMC0_CSn2	O	GPMC 片选 2 (低电平有效)	M23
GPMC0_CSn3	O	GPMC 片选 3 (低电平有效)	M22
GPMC0_WAIT0	I	GPMC 外部等待指示	N23
GPMC0_WAIT1	I	GPMC 外部等待指示	N22

5.3.13 I2C

5.3.13.1 MAIN 域

表 5-26. I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
I2C0_SCL	IOD	I2C 时钟	B7
I2C0_SDA	IOD	I2C 数据	A7

表 5-27. I2C1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
I2C1_SCL	IOD	I2C 时钟	D7
I2C1_SDA	IOD	I2C 数据	A6

表 5-28. I2C2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
I2C2_SCL	IOD	I2C 时钟	AA8、B8、M23

表 5-28. I2C2 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
I2C2_SDA	IOD	I2C 数据	D8、M22、W8

表 5-29. I2C3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
I2C3_SCL	IOD	I2C 时钟	B14、B2、 G20、L22
I2C3_SDA	IOD	I2C 数据	B13、D2、 F20、L23

5.3.13.2 WKUP 域

表 5-30. WKUP_I2C0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
WKUP_I2C0_SCL	IOD	I2C 时钟	AB22
WKUP_I2C0_SDA	IOD	I2C 数据	AA22

5.3.14 MCAN

5.3.14.1 MAIN 域

表 5-31. MCAN0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MCAN0_RX	I	MCAN 接收数据	B15
MCAN0_TX	O	MCAN 发送数据	B16

表 5-32. MCAN1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MCAN1_RX	I	MCAN 接收数据	A8、AB2、B4、 N22
MCAN1_TX	O	MCAN 发送数据	A3、AA2、 B10、M21

表 5-33. MCAN2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MCAN2_RX	I	MCAN 接收数据	B14、B6、C2
MCAN2_TX	O	MCAN 发送数据	B13、C1、D6

5.3.15 MCASP

5.3.15.1 MAIN 域

表 5-34. MCASP0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MCASP0_ACLKR	IO	MCASP 接收位时钟	A12
MCASP0_ACLKX	IO	MCASP 发送位时钟	A11
MCASP0_AFSR	IO	MCASP 接收帧同步	C11
MCASP0_AFSX	IO	MCASP 发送帧同步	B11
MCASP0_AXR0	IO	MCASP 串行数据 (输入/输出)	B9
MCASP0_AXR1	IO	MCASP 串行数据 (输入/输出)	A9

表 5-34. MCASP0 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MCASP0_AXR2	IO	MCASP 串行数据 (输入/输出)	B10
MCASP0_AXR3	IO	MCASP 串行数据 (输入/输出)	A8

表 5-35. MCASP1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MCASP1_ACLKR	IO	MCASP 接收位时钟	C23、M22、R23
MCASP1_ACLKX	IO	MCASP 发送位时钟	G20、P23、T20
MCASP1_AFSR	IO	MCASP 接收帧同步	D18、M23、U23
MCASP1_AFSX	IO	MCASP 发送帧同步	F20、N23、T21
MCASP1_AXR0	IO	MCASP 串行数据 (输入/输出)	F19、M19、U22
MCASP1_AXR1	IO	MCASP 串行数据 (输入/输出)	F21、N20、T22
MCASP1_AXR2	IO	MCASP 串行数据 (输入/输出)	D18、N19、T23
MCASP1_AXR3	IO	MCASP 串行数据 (输入/输出)	C23、L21、R22
MCASP1_AXR4	IO	MCASP 串行数据 (输入/输出)	H19、M23、U23
MCASP1_AXR5	IO	MCASP 串行数据 (输入/输出)	J22、M22、R23

表 5-36. MCASP2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MCASP2_ACLKR	IO	MCASP 接收位时钟	AB13、F23
MCASP2_ACLKX	IO	MCASP 发送位时钟	AA13、B13、G22
MCASP2_AFSR	IO	MCASP 接收帧同步	AC9、F22
MCASP2_AFSX	IO	MCASP 发送帧同步	AA12、B14、G23
MCASP2_AXR0	IO	MCASP 串行数据 (输入/输出)	AB10、B16、H19
MCASP2_AXR1	IO	MCASP 串行数据 (输入/输出)	AC7、B15、H20
MCASP2_AXR2	IO	MCASP 串行数据 (输入/输出)	AB9、H21
MCASP2_AXR3	IO	MCASP 串行数据 (输入/输出)	AC8、H18
MCASP2_AXR4	IO	MCASP 串行数据 (输入/输出)	AB12、L22
MCASP2_AXR5	IO	MCASP 串行数据 (输入/输出)	L23、Y13
MCASP2_AXR6	IO	MCASP 串行数据 (输入/输出)	AC12、K22
MCASP2_AXR7	IO	MCASP 串行数据 (输入/输出)	AC9、J23
MCASP2_AXR8	IO	MCASP 串行数据 (输入/输出)	AB13、K23
MCASP2_AXR9	IO	MCASP 串行数据 (输入/输出)	H22
MCASP2_AXR10	IO	MCASP 串行数据 (输入/输出)	H23
MCASP2_AXR11	IO	MCASP 串行数据 (输入/输出)	J22
MCASP2_AXR12	IO	MCASP 串行数据 (输入/输出)	P22
MCASP2_AXR13	IO	MCASP 串行数据 (输入/输出)	M21
MCASP2_AXR14	IO	MCASP 串行数据 (输入/输出)	L20
MCASP2_AXR15	IO	MCASP 串行数据 (输入/输出)	L19

5.3.16 MCSPI

5.3.16.1 MAIN 域

表 5-37. MCSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
SPI0_CLK	IO	SPI 时钟	E13
SPI0_CS0	IO	SPI 片选 0	E11
SPI0_CS1	IO	SPI 片选 1	D11
SPI0_CS2	IO	SPI 片选 2	B14
SPI0_CS3	IO	SPI 片选 3	B13
SPI0_D0	IO	SPI 数据 0	E12
SPI0_D1	IO	SPI 数据 1	B12

表 5-38. MCSPI1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
SPI1_CLK	IO	SPI 时钟	C1、C4、F19、H22
SPI1_CS0	IO	SPI 片选 0	B3、C2、F21、K23
SPI1_CS1	IO	SPI 片选 1	B2、D18、J22
SPI1_CS2	IO	SPI 片选 2	D2、H19
SPI1_CS3	IO	SPI 片选 3	D4、H23
SPI1_D0	IO	SPI 数据 0	B4、G20、K22
SPI1_D1	IO	SPI 数据 1	A3、F20、J23

表 5-39. MCSPI2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
SPI2_CLK	IO	SPI 时钟	A12、A3、A6、B6、D3、N21
SPI2_CS0	IO	SPI 片选 0	B7、C11、D4、L19、Y3
SPI2_CS1	IO	SPI 片选 1	A11、AB2、B4、D7、N22
SPI2_CS2	IO	SPI 片选 2	A7、A9、C2、Y2
SPI2_CS3	IO	SPI 片选 3	A3、AA2、B11、D16
SPI2_D0	IO	SPI 数据 0	A8、B3、D13、M21、Y4
SPI2_D1	IO	SPI 数据 1	AA1、B10、C13、C4、L20

表 5-40. MCSPI3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
SPI3_CLK	IO	SPI 时钟	AB10、P22、Y3
SPI3_CS0	IO	SPI 片选 0	AB8、P23、Y2
SPI3_CS1	IO	SPI 片选 1	D6、M19
SPI3_CS2	IO	SPI 片选 2	N20、Y4

表 5-40. MCSPI3 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
SPI3_CS3	IO	SPI 片选 3	B6、N19
SPI3_D0	IO	SPI 数据 0	AA12、AB2、N23
SPI3_D1	IO	SPI 数据 1	AA13、AA2、N22

5.3.17 MDIO

5.3.17.1 MAIN 域

表 5-41. MDIO0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MDIO0_MDC	O	MDIO 时钟	AC15
MDIO0_MDIO	IO	MDIO 数据	AC13

5.3.18 MMC

5.3.18.1 MAIN 域

表 5-42. MMC0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MMC0_CLK	IO	MMC/SD/SDIO 时钟	B2
MMC0_CMD	IO	MMC/SD/SDIO 命令	D2
MMC0_DAT0	IO	MMC/SD/SDIO 数据	D3
MMC0_DAT1	IO	MMC/SD/SDIO 数据	D4
MMC0_DAT2	IO	MMC/SD/SDIO 数据	C1
MMC0_DAT3	IO	MMC/SD/SDIO 数据	C2
MMC0_DAT4	IO	MMC/SD/SDIO 数据	C4
MMC0_DAT5	IO	MMC/SD/SDIO 数据	B3
MMC0_DAT6	IO	MMC/SD/SDIO 数据	A3
MMC0_DAT7	IO	MMC/SD/SDIO 数据	B4

表 5-43. MMC1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MMC1_CLK	IO	MMC/SD/SDIO 时钟	Y2
MMC1_CMD	IO	MMC/SD/SDIO 命令	Y3
MMC1_SDCD	I	SD 卡检测	B6
MMC1_SDWP	I	SD 写保护	D6
MMC1_DAT0	IO	MMC/SD/SDIO 数据	AA1
MMC1_DAT1	IO	MMC/SD/SDIO 数据	Y4
MMC1_DAT2	IO	MMC/SD/SDIO 数据	AA2
MMC1_DAT3	IO	MMC/SD/SDIO 数据	AB2

表 5-44. MMC2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MMC2_CLK ⁽¹⁾	IO	MMC/SD/SDIO 时钟	R23
MMC2_CMD	IO	MMC/SD/SDIO 命令	U23

表 5-44. MMC2 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
MMC2_SDCD ⁽²⁾	I	SD 卡检测	B14、D7、T20
MMC2_SDWP ⁽²⁾	I	SD 写保护	A6、B13、T21
MMC2_DAT0	IO	MMC/SD/SDIO 数据	U22
MMC2_DAT1	IO	MMC/SD/SDIO 数据	T22
MMC2_DAT2	IO	MMC/SD/SDIO 数据	T23
MMC2_DAT3	IO	MMC/SD/SDIO 数据	R22

- (1) 为了使 MMC2 正常工作, 必须将 CTRLMMR_PADCONFIG66 寄存器配置为设置 (1) RXACTIVE 位和复位 (0) TX_DIS 位。
 (2) 当 MMC2 端口连接到 UHS-I SD 卡 (该类卡需要 VDDSHV4 IO 电源轨在转换到其中一种 UHS-I 数据传输模式时, 将其工作电压从 3.3V 更改为 1.8V) 时, 这些 MMCSD2 主机控制器输入信号必须多路复用到由 VDDSHV1 IO 电源轨 (而不是 VDDSHV4 IO 电源轨) 供电的引脚。

5.3.19 OSPI

5.3.19.1 MAIN 域

表 5-45. OSPI0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
OSPI0_CLK	O	OSPI 时钟	D22
OSPI0_DQS	I	OSPI 数据选通 (DQS) 或环回时钟输入	E22
OSPI0_ECC_FAIL	I	OSPI ECC 状态	C23
OSPI0_LBCLKO	IO	OSPI 环回时钟输出	E18
OSPI0_CSn0	O	OSPI 片选 0 (低电平有效)	C20
OSPI0_CSn1	O	OSPI 片选 1 (低电平有效)	D20
OSPI0_CSn2	O	OSPI 片选 2 (低电平有效)	D18
OSPI0_CSn3	O	OSPI 片选 3 (低电平有效)	C23
OSPI0_D0	IO	OSPI 数据 0	C22
OSPI0_D1	IO	OSPI 数据 1	D21
OSPI0_D2	IO	OSPI 数据 2	E23
OSPI0_D3	IO	OSPI 数据 3	D23
OSPI0_D4	IO	OSPI 数据 4	F21
OSPI0_D5	IO	OSPI 数据 5	F19
OSPI0_D6	IO	OSPI 数据 6	G20
OSPI0_D7	IO	OSPI 数据 7	F20
OSPI0_RESET_OUT0	O	OSPI 复位	C23
OSPI0_RESET_OUT1	O	OSPI 复位	D18

5.3.20 电源

表 5-46. 电源信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
CAP_VDDSHV_MMC ⁽¹⁾	CAP	SDIO_LDO 的外部电容器连接	T16
CAP_VDDS_GENERAL1 ⁽²⁾	CAP	GENERAL1 IO 组的外部电容器连接	G11
CAP_VDDS_GPMC ⁽²⁾	CAP	GPMC IO 组的外部电容器连接	K16
CAP_VDDS_MMC0 ⁽²⁾	CAP	MMC0 IO 组的外部电容器连接	J8
CAP_VDDS_MMC1 ⁽²⁾	CAP	MMC1 IO 组的外部电容器连接	U9
CAP_VDDS_MMC2 ⁽²⁾	CAP	MMC2 IO 组的外部电容器连接	M16

表 5-46. 电源信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
VDDA_1P8_DSI	PWR	DSITX0 1.8V 模拟电源	G14
VDDA_1P8_USB	PWR	USB0 和 USB1 1.8V 模拟电源	T12
VDDA_3P3_SDIO	PWR	SDIO_LDO 3.3V 模拟电源	U16
VDDA_3P3_USB	PWR	USB0 和 USB1 3.3V 模拟电源	U12
VDDA_ADC	PWR	ADC0 模拟电源	N17
VDDA_CORE_DSI	PWR	DSITX0 内核电源	G13
VDDA_CORE_DSI_CLK	PWR	DSITX0 时钟内核电源	H12
VDDA_CORE_USB	PWR	USB0 和 USB1 内核电源	U11
VDDA_DDR_PLL0	PWR	DDR 校正 PLL 电源	M10
VDDA_PLL0	PWR	WKUP_PLL0、MAIN_PLL0 和 TEMPO 模拟电源	L11
VDDA_PLL1	PWR	MAIN_PLL8 和 MAIN_PLL17 模拟电源	K12
VDDS0	PWR	GENERAL0 IO 组的固定电压电源	T14
VDDS1	PWR	GENERAL0_1 IO 组的固定电压电源	H16
VDDSHV0	PWR	GPMC IO 组的双电压 IO 电源	J16、L17
VDDSHV1	PWR	General1 IO 组的双电压 IO 电源	G10、H10
VDDSHV2	PWR	MMC0 IO 组的双电压 IO 电源	H8
VDDSHV3	PWR	MMC1 IO 组的双电压 IO 电源	T10
VDDSHV4	PWR	MMC2 IO 组的双电压 IO 电源	M17
VDDS_DDR	PWR	DDR PHY IO 电源	L8、M7、M8、N8、P8
VDDS_OSC0	PWR	RCOSC、POR 和 WKUP_OSC0 电源	R16
VDDS_RTC	PWR	LFOSC0 和 RTC IO 组的固定电压电源	T18
VDDS_WKUP	PWR	WKUP IO 组的固定电压电源	P16
VDD_CORE	PWR	内核电源	J11、J13、J15、J9、K10、K14、L15、M14、N15、P10、P12、P14、R11、R9
VDD_RTC	PWR	RTC 内核电源	T17
VPP	PWR	电子保险丝 ROM 编程电源	N18

表 5-46. 电源信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
VSS	PWR	接地	A1、A10、 A13、A16、 A19、A2、 A22、A23、 A4、AA20、 AA4、AB1、 AB21、AB23、 AB7、AC1、 AC11、AC14、 AC19、AC2、 AC22、AC23、 B1、B17、 B20、B23、 B5、C12、 C18、D1、 E10、E14、 E15、E2、E6、 E8、E9、F18、 F5、F6、G12、 G15、G16、 G17、G7、G8、 G9、H1、H14、 H17、H7、 K15、K8、K9、 L13、L16、 L18、L7、L9、 M1、M12、 N11、N13、 N16、N7、N9、 P15、P9、R1、 R13、R15、 R8、T19、T2、 T7、T8、U10、 U13、U14、 U15、U17、 U20、U7、U8、 V18、V19、 V3、W10、 W12、W14、 W15、W16、 W18、W9、 Y1、Y20、Y21

- (1) 当 SDIO_LDO 用于为 VDDSHV3 供电时，该引脚必须始终通过 6.3V 或更大的 3.3 μ F \pm 20% 电容器连接到 VSS。所选电容器必须在因直流偏置、工作温度和老化效应而降额后提供定义范围内的电容值。否则，当 VDDA_3P3_SDIO 引脚也直接连接到 VSS 时，该引脚可直接连接到 VSS。
- (2) 如果相应的 VDDSHVx 引脚以 3.3V 电压运行，则该引脚必须始终通过 6.3V 或更高电压、0.8 μ F 至 1.5 μ F 电容器连接至 VSS。所选电容器必须在因直流偏置、工作温度和老化效应而降额后提供定义范围内的电容值。如果相应的 VDDSHVx 引脚仅在 1.8V 下运行，则有三个连接选项：连接到实现 3.3V 运行所需的同一去耦电容器，保持未连接状态，或连接到与相应 VDDSHVx 引脚相同的 1.8V 电源。

5.3.21 保留

表 5-47. 保留信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
RSVD0	不适用	保留，必须保持未连接状态	AB17

5.3.22 系统和其他

5.3.22.1 启动模式配置

5.3.22.1.1 MAIN 域

表 5-48. Sysboot 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
BOOTMODE00	I	引导模式引脚 0	L22
BOOTMODE01	I	引导模式引脚 1	L23
BOOTMODE02	I	引导模式引脚 2	K22
BOOTMODE03	I	引导模式引脚 3	J23
BOOTMODE04	I	引导模式引脚 4	K23
BOOTMODE05	I	引导模式引脚 5	H22
BOOTMODE06	I	引导模式引脚 6	H23
BOOTMODE07	I	引导模式引脚 7	J22
BOOTMODE08	I	引导模式引脚 8	H19
BOOTMODE09	I	引导模式引脚 9	H20
BOOTMODE10	I	引导模式引脚 10	H21
BOOTMODE11	I	引导模式引脚 11	H18
BOOTMODE12	I	引导模式引脚 12	G23
BOOTMODE13	I	引导模式引脚 13	G22
BOOTMODE14	I	引导模式引脚 14	F22
BOOTMODE15	I	引导模式引脚 15	F23

5.3.22.2 时钟

5.3.22.2.1 RTC 域

表 5-49. RTC 时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
LFOSC0_XI	I	低频 (32.768KHz) 振荡器输入	AC21
LFOSC0_XO	O	低频 (32.768KHz) 振荡器输出	AC20

5.3.22.2.2 WKUP 域

表 5-50. WKUP 时钟信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
WKUP_OSC0_XI	I	高频振荡器输入	AC18
WKUP_OSC0_XO	O	高频振荡器输出	AC17

5.3.22.3 系统

5.3.22.3.1 MAIN 域

表 5-51. 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
AUDIO_EXT_REFCLK0	IO	McASP 的外部时钟输入或 McASP 的输出	AB8、B14、B9
AUDIO_EXT_REFCLK1	IO	McASP 的外部时钟输入或 McASP 的输出	B11、B13、D11、N21
CLKOUT0	O	RMII 时钟输出 (50MHz)。该引脚用作外部 RMII PHY 的时钟源，并且还必须路由回相应的 RMII[x]_REF_CLK 引脚以确保器件正常运行。	AA11、D16

表 5-51. 系统信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EXTINTn	I	外部中断	C8
EXT_REFCLK1	I	主域的外部时钟输入	D16
OBSCLK0	O	主域观察时钟输出, 仅用于测试和调试目的	H21
OBSCLK1	O	主域观察时钟输出, 仅用于测试和调试目的	B7
RESETSTATz	O	主域热复位状态输出	C16
RESETz	I	主域热复位	E16

5.3.22.3.2 RTC 域

表 5-52. RTC 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
EXT_WAKEUP0	I	外部唤醒输入	AB19
EXT_WAKEUP1	I	外部唤醒输入	AB20
PMIC_LPM_EN0	O	双功能 PMIC 控制输出, 低功耗模式 (低电平有效) 或 PMIC 使能 (高电平有效)	AA18
RTC_PORz	I	RTC 上电复位	Y18

5.3.22.3.3 WKUP 域

表 5-53. WKUP 系统信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
PORz	I	WKUP 域冷复位	AB18
WKUP_CLKOUT0	O	WKUP 域 CLKOUT0 输出	M22、Y23
WKUP_EXT_REFCLK0	I	WKUP 域的外部输入	W22
WKUP_OBSCLK0	O	WKUP 域观察时钟输出, 仅用于测试和调试目的	W23
WKUP_SYSCCLKOUT0	O	WKUP 域 CLKOUT0 输出	W23

5.3.23 计时器

5.3.23.1 MAIN 域

表 5-54. 计时器信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
TIMER_IO0	IO	计时器输入和输出 (未连接到单个计时器实例)	AB2、B2、C1、D16、D7、Y2
TIMER_IO1	IO	计时器输入和输出 (未连接到单个计时器实例)	A6、A7、AA2、D2、Y3
TIMER_IO2	IO	计时器输入和输出 (未连接到单个计时器实例)	B14、B16、B6、H20、Y4
TIMER_IO3	IO	计时器输入和输出 (未连接到单个计时器实例)	AA1、B13、B15、D6

5.3.23.2 WKUP 域

表 5-55. WKUP_TIMER 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
WKUP_TIMER_IO0	IO	计时器输入和输出 (未连接到单个计时器实例)	W23
WKUP_TIMER_IO1	IO	计时器输入和输出 (未连接到单个计时器实例)	W22

5.3.24 UART

5.3.24.1 MAIN 域

表 5-56. UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
UART0_CTSn	I	UART 允许发送 (低电平有效)	B14
UART0_RTSn	O	UART 请求发送 (低电平有效)	B13
UART0_RXD	I	UART 接收数据	D13
UART0_TXD	O	UART 发送数据	C13

表 5-57. UART1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
UART1_CTSn	I	UART 允许发送 (低电平有效)	A8
UART1_DCDn	I	UART 数据载波检测 (低电平有效)	B7
UART1_DSRn	I	UART 数据集就绪 (低电平有效)	A7
UART1_DTRn	O	UART 数据终端就绪 (低电平有效)	B16
UART1_RIn	I	UART 振铃指示器	B15
UART1_RTSn	O	UART 请求发送 (低电平有效)	B10
UART1_RXD	I	UART 接收数据	C11、D7
UART1_TXD	O	UART 发送数据	A12、A6

表 5-58. UART2 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
UART2_CTSn	I	UART 允许发送 (低电平有效)	AA1、C4、F22
UART2_RTSn	O	UART 请求发送 (低电平有效)	B3、F23、Y4
UART2_RXD	I	UART 接收数据	AB2、B14、B4、H19
UART2_TXD	O	UART 发送数据	A3、AA2、B13、H20

表 5-59. UART3 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
UART3_CTSn	I	UART 允许发送 (低电平有效)	D3、D6
UART3_RTSn	O	UART 请求发送 (低电平有效)	B6、D4
UART3_RXD	I	UART 接收数据	C2、H21、Y2
UART3_TXD	O	UART 发送数据	C1、H18、Y3

表 5-60. UART4 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
UART4_CTSn	I	UART 允许发送 (低电平有效)	J22
UART4_RTSn	O	UART 请求发送 (低电平有效)	H23
UART4_RXD	I	UART 接收数据	G20、G23、M23、T20
UART4_TXD	O	UART 发送数据	F20、G22、M22、T21

表 5-61. UART5 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
UART5_CTSn	I	UART 允许发送 (低电平有效)	E22、H22
UART5_RTSn	O	UART 请求发送 (低电平有效)	E18、K23
UART5_RXD	I	UART 接收数据	B16、D18、 F22、R22
UART5_TXD	O	UART 发送数据	B15、C23、 F23、T23

表 5-62. UART6 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
UART6_CTSn	I	UART 允许发送 (低电平有效)	F20、J23
UART6_RTSn	O	UART 请求发送 (低电平有效)	G20、K22
UART6_RXD	I	UART 接收数据	A8、B6、F21、 L22、N22、R23
UART6_TXD	O	UART 发送数据	B10、D6、 F19、L23、 N21、U23

5.3.24.2 WKUP 域

表 5-63. WKUP_UART0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
WKUP_UART0_CTSn	I	UART 允许发送 (低电平有效)	W23
WKUP_UART0_RTSn	O	UART 请求发送 (低电平有效)	W22
WKUP_UART0_RXD	I	UART 接收数据	Y22
WKUP_UART0_TXD	O	UART 发送数据	AA23

5.3.25 USB

5.3.25.1 MAIN 域

表 5-64. USB0 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
USB0_DM	IO	USB 2.0 差分数据 (负)	AC4
USB0_DP	IO	USB 2.0 差分数据 (正)	AB4
USB0_DRVBUS	O	USB VBUS 控制输出 (高电平有效)	C6
USB0_RCALIB ⁽¹⁾	IO	连接到校准电阻的引脚	AB3
USB0_VBUS ⁽²⁾	A	USB 电平转换的 VBUS 输入	AC3

(1) 必须在该引脚和 VSS 之间连接一个外部 499 Ω ±1% 电阻器，该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。

(2) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 USB VBUS 设计指南。

表 5-65. USB1 信号说明

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
USB1_DM	IO	USB 2.0 差分数据 (负)	AC5
USB1_DP	IO	USB 2.0 差分数据 (正)	AB5
USB1_DRVBUS	O	USB VBUS 控制输出 (高电平有效)	A5
USB1_RCALIB ⁽¹⁾	IO	连接到校准电阻的引脚	AC6

表 5-65. USB1 信号说明 (续)

信号名称 [1]	引脚类型 [2]	说明 [3]	ANB 引脚 [4]
USB1_VBUS ⁽²⁾	A	USB 电平转换的 VBUS 输入	AB6

- (1) 必须在该引脚和 VSS 之间连接一个外部 499 Ω ±1% 电阻器，该电阻器的最大功耗为 7.2mW。不应向该引脚施加外部电压。
- (2) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 USB VBUS 设计指南。

5.4 引脚连接要求

本节介绍了具有特定连接要求的封装焊球和未使用封装焊球的连接要求。

备注

除非另有说明，否则必须为所有电源引脚提供节 6.4 建议运行条件中指定的电压。

备注

需要补充说明的是，“保持未连接状态”或“无连接”(NC)表示这些器件焊球编号不能连接任何信号布线。

表 5-66. 连接要求

ANB 焊球 编号	焊球名称	连接要求
AB16	TRSTn	该焊球必须通过外部拉电阻器连接到 (VSS)，以确保如果 PCB 信号布线已连接且未由连接的器件主动驱动，该焊球仍保持有效的逻辑低电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部下拉来保持有效的逻辑低电平。
Y16 AA16 E16 AB14 AC16 Y17	EMU0 EMU1 RESETz TCK TDI TMS	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源 ⁽¹⁾ ，以确保如果信号布线 PCB 已连接并且未由连接的器件主动驱动，则与这些焊球相关的输入保持为有效的逻辑高电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部上拉来保持有效的逻辑高电平。
AB19 AB20	EXT_WAKEUP0 EXT_WAKEUP1	其中每一个焊球都必须连接至持续驱动的推挽式唤醒源；或者，当未被主动驱动，通过外部拉电阻器连接至对应的电源 ⁽¹⁾ 或 VSS，以确保这些焊球的输入能根据 RTC 唤醒功能所使用的极性，保持在适当的有效高逻辑电平或低逻辑电平状态。
L22 L23 K22 J23 K23 H22 H23 J22 H19 H20 H21 H18	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11	选择全引脚引导模式配置时，需要将 GPMC0_AD15 和 GPMC0_AD14 拉到 VSS，每个焊球都必须通过单独的外部拉电阻连接到相应的电源 ⁽¹⁾ 或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而选择所需的器件引导模式。
G23 G22 F22 F23	GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源 ⁽¹⁾ 或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而选择所需的器件引导模式。
N17 V20 V22 V23 V21	VDDA_ADC ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3	如果不使用整个 ADC0，则必须将这些焊球中的每一个直接连接到 VSS。
V20 V22 V23 V21	ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3	当 VDDA_ADC 连接到电源时，任何未使用的 ADC0_AIN[3:0] 焊球必须通过电阻拉至 VSS 或者直接连接到 VSS。
L8 M7 M8 N8 P8	VDDSD_DDR VDDSD_DDR VDDSD_DDR VDDSD_DDR VDDSD_DDR	如果不使用 DDRSS，则必须将这些焊球中的每一个直接连接到 VSS。

表 5-66. 连接要求 (续)

ANB 焊球 编号	焊球名称	连接要求
M2 L1 M5 L2 L5 H6 L6 K2 J1 H5 R2 N6 T4 N1 T5 T6 W6 V6 N3 N2 N5 N4 M3 P1 P2 K1 L3 F2 W2 F4 F3 F1 E1 G4 H4 H2 H3 V4 T3 T1 U1 U4 V5 U2 W1 G1 G2 V1 V2 L4 J2	DDR0_ACT_n DDR0_CAS_n DDR0_RAS_n DDR0_WE_n DDR0_A0 DDR0_A1 DDR0_A2 DDR0_A3 DDR0_A4 DDR0_A5 DDR0_A6 DDR0_A7 DDR0_A8 DDR0_A9 DDR0_A10 DDR0_A11 DDR0_A12 DDR0_A13 DDR0_BA0 DDR0_BA1 DDR0_BG0 DDR0_BG1 DDR0_CAL0 DDR0_CK0 DDR0_CK0_n DDR0_CKE0 DDR0_CS0_n DDR0_DM0 DDR0_DM1 DDR0_DQ0 DDR0_DQ1 DDR0_DQ2 DDR0_DQ3 DDR0_DQ4 DDR0_DQ5 DDR0_DQ6 DDR0_DQ7 DDR0_DQ8 DDR0_DQ9 DDR0_DQ10 DDR0_DQ11 DDR0_DQ12 DDR0_DQ13 DDR0_DQ14 DDR0_DQ15 DDR0_DQS0 DDR0_DQS0_n DDR0_DQS1 DDR0_DQS1_n DDR0_ODT0 DDR0_RESET0_n	<p>如果不使用 DDRSS, 请保持未连接状态。</p> <p>注意: 仅当 VDDS_DDR 和 VDDS_DDR_C 连接到 VSS 时, 此列表中的 DDR0 引脚才能保持未连接状态。当 VDDS_DDR 和 VDDS_DDR_C 连接到电源时, 必须按照 DDR 电路板设计和布局布线指南 中的定义来连接 DDR0 引脚。</p>
U16 T16	VDDA_3P3_SDIO CAP_VDDSHV_MMC	如果不使用 SDIO_LDO 来为 VDDSHV3 供电, 则必须将这些焊球中的每一个直接连接到 VSS。
U11 T12 U12	VDDA_CORE_USB VDDA_1P8_USB VDDA_3P3_USB	<p>USB0 与 USB1 共享这些电源轨, 因此在使用 USB0 或 USB1 时, 这些焊球每一个均必须连接到有效的电源。</p> <p>如果不使用 USB0 和 USB1, 则这些焊球每一个均必须直接连接到 VSS。</p>

表 5-66. 连接要求 (续)

ANB 焊球 编号	焊球名称	连接要求
AC4 AB4 AB3 AC3 AC5 AB5 AC6 AB6	USB0_DM USB0_DP USB0_RCALIB USB0_VBUS USB1_DM USB1_DP USB1_RCALIB USB1_VBUS	如果不使用 USB0 或 USB1, 请将相应的 DM、DP 和 VBUS 焊球保持未连接状态。 注意: 仅当 VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB 连接到 VSS 时, USB0_RCALIB 和 USB1_RCALIB 引脚才能保持未连接状态。当 VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB 连接到电源时, USB0_RCALIB 和 USB1_RCALIB 引脚必须通过单独的适当外部电阻器连接到 VSS。
G13 H12 G14	VDDA_CORE_DSI VDDA_CORE_DSI_CLK VDDA_1P8_DSI	如果不使用 DSITX0 并且需要器件边界扫描功能, 这些焊球均必须连接至有效电源。 如果不使用 DSITX0, 并且不需要器件边界扫描功能, 这些焊球均可以直接连接到 VSS。
A15 A14 B19 B18 D17	DSI0_TXCLKN DSI0_TXCLKP DSI0_TXN0 DSI0_TXP0 DSI0_TXRCALIB	如果不使用 DSITX0, 则保持未连接状态。
A18 A17	DSI0_TXN1 DSI0_TXP1	如果 DSITX0 未使用或仅在单通道模式下运行, 请保持未连接状态。
A20 A21	DSI0_TXN2 DSI0_TXP2	如果 DSITX0 未使用或仅在单通道或双通道模式下运行, 请保持未连接状态。
B22 B21	DSI0_TXN3 DSI0_TXP3	如果 DSITX0 未使用或仅在单通道、双通道或三通道模式下运行, 请保持未连接状态。

(1) 要确定与任何 IO 关联的电源, 请参阅 *引脚属性* 表中的“电源”一列。

备注

内部拉电阻器很弱, 在某些工作条件下可能无法提供足够的电流来保持有效的逻辑电平。当连接到具有相反逻辑电平泄漏的元件时, 或者当外部噪声源与连接到仅由内部电阻器拉至有效逻辑电平的焊球的信号布线耦合时, 可能会出现这种情况。因此, 建议使用外部拉电阻器来在具有外部连接的焊球上保持有效的逻辑电平。

很多处理器 I/O 默认处于关闭状态, 并且可能需要外部拉电阻器才能将任何所连接器件的输入保持在有效逻辑状态, 直到软件初始化相应的 I/O。 *引脚属性* 表的“复位 RX/TX/PULL 期间的焊球状态”和“复位 RX/TX/PULL 后的焊球状态”列中定义了可配置器件 IO 的状态。任何输入缓冲器 (RX) 关闭的 IO 都可以浮动, 而不会损坏器件。但是, 任何已打开输入缓冲器 (RX) 的 IO 不得浮动到 V_{ILSS} 和 V_{IHSS} 之间的任何电位。输入缓冲器可以进入高电流状态, 如果允许在这些电平之间浮动, 则可能会损坏 IO 单元。

6 规格

6.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）^{(1) (2)}

参数		最小值	最大值	单位
VDD_CORE	内核电源	-0.3	1.05	V
VDDA_CORE_DSI	DSITX0 内核电源	-0.3	1.05	V
VDDA_CORE_DSI_CLK	DSITX0 时钟内核电源	-0.3	1.05	V
VDDA_CORE_USB	USB0 和 USB1 内核电源	-0.3	1.05	V
VDDA_DDR_PLL0	DDR 校正 PLL 电源	-0.3	1.05	V
VDD_RTC	RTC 内核电源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 电源	-0.3	1.57	V
VDDS_OSC0	RCOSC、POR 和 WKUP_OSC0 电源	-0.3	1.98	V
VDDS_RTC	LFOSC0 和 RTC IO 组的 IO 电源	-0.3	1.98	V
VDDA_PLL0	WKUP_PLL0、MAIN_PLL0 和 TEMP0 模拟电源	-0.3	1.98	V
VDDA_PLL1	MAIN_PLL8 和 MAIN_PLL17 模拟电源	-0.3	1.98	V
VDDS_WKUP	WKUP IO 组的 IO 电源	-0.3	1.98	V
VDDS0	GENERAL0 IO 组的 IO 电源	-0.3	1.98	V
VDDS1	GENERAL0_1 IO 组的 IO 电源	-0.3	1.98	V
VDDA_ADC	ADC 模拟电源	-0.3	1.98	V
VDDA_1P8_DSI	DSITX0 1.8V 模拟电源	-0.3	1.98	V
VDDA_1P8_USB	USB0 和 USB1 1.8V 模拟电源	-0.3	1.98	V
VPP	电子保险丝 ROM 编程电源	-0.3	1.98	V
VDDSHV0	GPMC IO 组采用的 IO 电源	-0.3	3.63	V
VDDSHV1	General1 IO 组的 IO 电源	-0.3	3.63	V
VDDSHV2	MMC0 IO 组的 IO 电源	-0.3	3.63	V
VDDSHV3	MMC1 IO 组的 IO 电源	-0.3	3.63	V
VDDSHV4	MMC2 IO 组的 IO 电源	-0.3	3.63	V
VDDA_3P3_SDIO	SDIO_LDO 模拟电源	-0.3	3.63	V
VDDA_3P3_USB	USB0 和 USB1 3.3V 模拟电源	-0.3	3.63	V
所有失效防护 IO 引脚的稳态最大电压	PORz	-0.3	3.63	V
	以 1.8V 运行时的 I2C2_SCL, I2C2_SDA, EXTINTn	-0.3	1.98 ⁽³⁾	V
	以 3.3V 运行时的 I2C2_SCL, I2C2_SDA, EXTINTn	-0.3	3.63 ⁽³⁾	
所有其他 IO 引脚的稳态最大电压 ⁽⁴⁾	USB0_VBUS、USB1_VBUS ⁽⁵⁾	-0.3	3.6	V
	所有其他 IO 引脚	-0.3	IO 电源电压 + 0.3	V
IO 引脚的瞬态过冲和下冲	20% 信号周期期间 20% 的 IO 电源电压 (请参阅图 6-1 IO 瞬态电压范围)		0.2 × VDD ⁽⁶⁾	V
门锁性能 ⁽⁷⁾	电流测试	-100	100	mA
	过压 (OV) 测试		1.5 × VDD ⁽⁶⁾	V
T _{STG}	贮存温度	-55	+150	°C

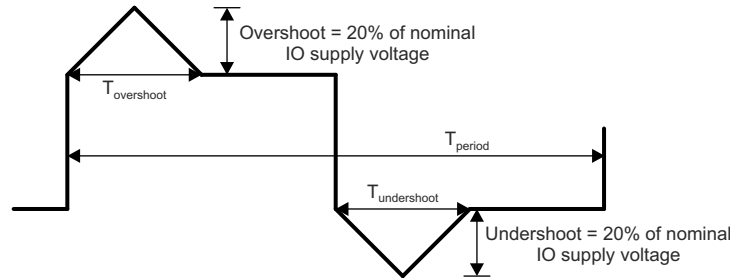
- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出节 6.4 建议运行条件，但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

- (2) 除非另有说明，否则所有电压值均以 VSS 为基准。
- (3) 这些失效防护引脚的绝对最大额定值取决于其 IO 电源工作电压。因此，该值也由 *I2C 开漏和失效防护 (I2C OD FS)* 电气特性一节中的最大 V_{IH} 值定义，其中电气特性表具有针对 1.8V 模式和 3.3V 模式的不同参数值。
- (4) 此参数适用于所有不具有失效防护功能的 IO 引脚，该要求适用于所有 IO 电源电压值。例如，如果施加到特定 IO 电源的电压为 0V，则由该电源供电的任何 IO 的有效输入电压范围将为 -0.3V 至 +0.3V。每当外设不是由用于为相应 IO 电源供电的相同电源供电时，都应特别注意。所连接的外设绝不能提供超出有效输入电压范围的电压（包括电源斜升和斜降序列），这一点很重要。
- (5) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 USB 设计指南。
- (6) VDD 是 IO 相应电源引脚上的电压。
- (7) 对于电流脉冲注入（电流测试）：
 - 引脚应力符合 JEDEC JESD78（II 级），并施加额定 I/O 引脚注入电流和钳位电压（最大推荐 I/O 电压的 1.5 倍和最大推荐 I/O 电压的负 0.5 倍）。

对于过压性能（过压 (OV) 测试）：

- 电源应力符合 JEDEC JESD78（II 级）并施加额定电压注入。

失效防护 IO 终端的设计使其不依赖于相应的 IO 电源电压。这样便可在相应 IO 电源关闭时，将外部电压源连接到这些 IO 终端。I2C2_SCL、I2C2_SDA、EXTINTn 和 PORz 是唯一的失效防护 IO 端子。所有其他 IO 终端都不具有失效防护功能，对其施加的电压应限制为节 6.1 中的所有 IO 引脚的稳态最大电压参数定义的值。



A. $T_{\text{overshoot}} + T_{\text{undershoot}} < T_{\text{period}}$ 的 20%

图 6-1. IO 瞬态电压范围

6.2 ESD 等级

			值	单位
$V_{\text{(ESD)}}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±250	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 上电小时数 (POH)

上电小时数 (POH) ^{(1) (2) (3)}		
结温范围 (T _J)		使用寿命 (POH)
扩展工业级	-40°C 至 105°C	100000
125°C 工业 ⁽⁴⁾	-40°C 至 105°C	100000
	-40°C 至 125°C	20000 ⁽⁵⁾

(1) 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

(2) 除非上表中另有说明，否则器件在额定温度下支持所有电压域和工作条件。

(3) POH 是电压、温度 and 时间的函数。在较高电压和温度下使用会导致 POH 降低。

(4) 应选择 -40 至 105°C 或 -40 至 125°C 温度曲线并在应用的整个生命周期内应用。为了延长温度和/或 POH 的目的而混合使用这些温度曲线可能会导致可靠性故障风险增加，因此不建议这样做。

(5) -40 至 125°C 温度曲线定义为 20000 小时通电时间，此时结温如下所示：5% (-40°C)、65% (70°C)、20% (110°C) 和 10% (125°C)。

6.4 建议运行条件

在工作结温范围内测得 (除非另有说明)

电源名称	说明		最小值 ⁽¹⁾	标称值	最大值 ⁽¹⁾	单位
VDD_CORE ⁽²⁾ VDDA_CORE_DSI ⁽²⁾ VDDA_CORE_DSI_CLK ⁽²⁾ VDDA_CORE_USB ⁽²⁾ VDDA_DDR_PLL0 ⁽²⁾	内核电源 DSITX0 内核电源 DSITX0 时钟内核电源 USB0 和 USB1 内核电源 DDR 去偏斜 PLL 电源		0.715	0.75	0.79	V
VDD_RTC	RTC 内核电源		0.715	0.75	0.79	V
VDDS_DDR	DDR PHY IO 电源	1.1V 工作电压	1.06	1.1	1.17	V
		1.2V 工作电压	1.14	1.2	1.26	V
VDDS_OSC0	RCOSC、POR 和 WKUP_OSC0 电源		1.71	1.8	1.89	V
VDDS_RTC	LFOSC0 和 RTC IO 组的固定电压电源		1.71	1.8	1.89	V
VDDA_PLL0	WKUP_PLL0、MAIN_PLL0 和 TEMP0 模拟电源		1.71	1.8	1.89	V
VDDA_PLL1	MAIN_PLL8 和 MAIN_PLL17 模拟电源		1.71	1.8	1.89	V
VDDS_WKUP	WKUP IO 组的固定电压电源		1.71	1.8	1.89	V
VDDS0	GENERAL0 IO 组的固定电压电源		1.71	1.8	1.89	V
VDDS1	GENERAL0_1 IO 组的固定电压电源		1.71	1.8	1.89	V
VDDA_ADC	ADC 模拟电源		1.71	1.8	1.89	V
VDDA_1P8_DSI	DSITX0 1.8V 模拟电源		1.71	1.8	1.89	V
VDDA_1P8_USB	USB0 和 USB1 1.8V 模拟电源		1.71	1.8	1.89	V
VPP	电子保险丝 ROM 编程电源		请参阅 ⁽³⁾ 请参阅 ⁽³⁾ 请参阅 ⁽³⁾			V
VDDSHV0	GPMC IO 组采用的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV1	General1 IO 组的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV2	MMC0 IO 组的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV3	MMC1 IO 组的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV4	MMC2 IO 组的双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDA_3P3_SDIO	SDIO_LDO 模拟电源		3.135	3.3	3.465	V
VDDA_3P3_USB	USB0 和 USB1 3.3V 模拟电源		3.135	3.3	3.465	V
USB0_VBUS	USB0 电平转换的 VBUS 输入		0 请参阅 ⁽⁴⁾		3.465	V
USB1_VBUS	USB1 电平转换的 VBUS 输入		0 请参阅 ⁽⁴⁾		3.465	V
T _J	工作结温范围	125°C 工业	-40		125	°C
		扩展工业级	-40		105	°C

- (1) 在器件正常运行期间，器件焊球上的电压在任何时间段绝不能降至 MIN 电压以下或升至 MAX 电压以上。
- (2) VDD_CORE、VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 应来自同一电源。应注意确保 VDD_CORE 和 VDDA_CORE_USB 之间的电压差处于 +/- 1% 之内。
- (3) 有关基于电子保险丝使用情况的 VPP 电源电压，请参阅 [OTP 电子保险丝编程的建议运行条件表](#)。
- (4) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅 [节 8.2.3 USB 设计指南](#)。

6.5 运行性能点

表 6-1 定义了每个器件速度等级的时钟的最大工作频率，表 6-2 定义了器件子系统和内核时钟的仅有有效运行性能点 (OPP)。

表 6-1. 器件速度等级

速度等级	最大工作频率 (MHz)				最大转换率 (MT/s) ⁽¹⁾	
	A53SS (Cortex-A53x)	MAIN_SYSCLK0	PER_SYSCLK0	WKUP_SYSCLK0	DDR4	LPDDR4
E	833	500	400	400	1600	1600
O	1250	500	400	400	1600	1600

(1) 最大 DDR 频率将根据系统中使用的特定存储器类型 (供应商) 以及根据 PCB 实现进行限制。有关可实现最大 DDR 频率的适当 PCB 实现，请参阅 [DDR 电路板设计和布局布线指南](#)。

表 6-2. 器件运行性能点

OPP	A53SS ⁽¹⁾	固定工作频率选项 (MHz)			MT/s ⁽⁴⁾	
		MAIN_SYSCLK0 ⁽²⁾	PER_SYSCLK0 ⁽³⁾	WKUP_SYSCLK0 ⁽²⁾	DDR4	LPDDR4
高	从 ARM0 PLL 旁路至速度等级最大值	500	400	400	速度等级最大值	从 250 (DRAM DLL 关闭模式) ⁽⁵⁾ 至速度等级最大值

(1) 初始工作频率，在启动时由软件设置。支持启动后动态频率调节 (DFS)。

(2) 初始工作频率，在启动时由软件设置。针对初始工作频率与 PLL 旁路之间的频率变化提供运行时支持

(3) 固定工作频率，在启动时由软件设置。

(4) 最大 DDR 频率将根据系统中使用的特定存储器类型 (供应商) 以及根据 PCB 实现进行限制。有关可实现最大 DDR 频率的适当 PCB 实现，请参阅 [DDR 电路板设计和布局布线指南](#)。

(5) 源自 DDR0_CK0 和 DDR0_CK0_n 的 DDR PLL 输出，通常以频率单位定义。因此，在旁路模式下运行时，“DRAM DLL 关闭模式”事务速率等于 DDR PLL 输出频率的 2 倍。

6.6 功耗摘要

有关器件功耗的信息，请参阅 [AM62Lx 功耗估算工具](#) 应用手册。

6.7 电气特性

备注

节 6.7 中所述的接口或信号对应于多路复用模式 0 (主信号功能) 中可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性，除非多路复用涉及 PHY 和 GPIO 组合，在这种情况下，会为不同的复用模式 (功能) 指定不同的直流电气特性。

6.7.1 I2C 开漏和失效防护 (I2C OD FS) 电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压			$0.3 \times V_{DD}^{(1)}$		V
V_{ILSS}	输入低电压稳态			$0.3 \times V_{DD}^{(1)}$		V
V_{IH}	输入高电压		$0.7 \times V_{DD}^{(1)}$		$1.98^{(2)}$	V
V_{IHSS}	输入高电压稳态		$0.7 \times V_{DD}^{(1)}$			V
V_{HYS}	输入迟滞电压		$0.1 \times V_{DD}^{(1)}$			mV
$I_{IN}^{(3)}$	输入漏电流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA
V_{OL}	输出低电压				$0.2 \times V_{DD}^{(1)}$	V
$I_{OL}^{(4)}$	低电平输出电流	$V_{OL(MAX)}$	10			mA
$SR_I^{(6)}$	输入压摆率		$18f^{(5)}$ 或 $1.8E+6$			V/s
3.3V 模式⁽⁷⁾						
V_{IL}	输入低电压			$0.3 \times V_{DD}^{(1)}$		V
V_{ILSS}	输入低电压稳态			$0.25 \times V_{DD}^{(1)}$		V
V_{IH}	输入高电压		$0.7 \times V_{DD}^{(1)}$		$3.63^{(2)}$	V
V_{IHSS}	输入高电压稳态		$0.7 \times V_{DD}^{(1)}$			V
V_{HYS}	输入迟滞电压		$0.05 \times V_{DD}^{(1)}$			mV
$I_{IN}^{(3)}$	输入漏电流。	$V_I = 3.3V$			10	μA
		$V_I = 0V$			-10	μA
V_{OL}	输出低电压				0.4	V
$I_{OL}^{(4)}$	低电平输出电流	$V_{OL(MAX)}$	10			mA
$SR_I^{(6)}$	输入压摆率		$33f^{(5)}$ 或 $3.3E+6$		$8E+7$	V/s

(1) V_{DD} 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的 POWER 列。

(2) 该值还定义了 IO 的“绝对最大额定值”值。

(3) 此参数定义了将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。

(4) I_{OL} 参数定义了器件能够保持指定 V_{OL} 值的最小低电平输出电流。此参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 值。

(5) f = 输入信号的切换频率 (以 Hz 为单位)。

(6) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

(7) 在 3.3V 模式下操作 IO 时，不支持 I2C Hs 模式。

6.7.2 失效防护复位 (FS 复位) 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.3 \times V_{DDS_OSC0}$	V
V_{ILSS}	输入低电压稳态				$0.3 \times V_{DDS_OSC0}$	V
V_{IH}	输入高电压		$0.7 \times V_{DDS_OSC0}$			V
V_{IHSS}	输入高电压稳态		$0.7 \times V_{DDS_OSC0}$			V
V_{HYS}	输入迟滞电压		200			mV
$I_{IN}^{(1)}$	输入漏电流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA
$SR_I^{(3)}$	输入压摆率		$18f^{(2)}$ 或 $1.8E+6$			V/s

(1) 此参数定义了将端子用作输入时的漏电流。

(2) f = 输入信号的切换频率 (以 Hz 为单位)。

(3) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.7.3 高频振荡器 (HFOSC) 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.35 \times V_{DDS_OSC0}$	V
V_{IH}	输入高电压		$0.65 \times V_{DDS_OSC0}$			V
V_{HYS}	输入迟滞电压			49		mV
$I_{IN}^{(1)}$	输入漏电流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA

(1) 此参数定义了将端子用作输入时的漏电流。

6.7.4 低频振荡器 (LFXOSC) 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.30 \times V_{DDS_OSC0}$	V
V_{IH}	输入高电压		$0.70 \times V_{DDS_OSC0}$			V
V_{HYS}	输入迟滞电压	工作模式		85		mV
		旁路模式		324		mV
$I_{IN}^{(1)}$	输入漏电流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA

(1) 此参数定义了将端子用作输入时的漏电流。

6.7.5 SDIO 电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V _{IL}	输入低电压		0.58			V
V _{ILSS}	输入低电压稳态		0.58			V
V _{IH}	输入高电压		1.27			V
V _{IHSS}	输入高电压稳态		1.7			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN} ⁽¹⁾	输入漏电流。	V _I = 1.8V	10			μA
		V _I = 0V	-10			μA
R _{PU}	上拉电阻器		40	50	60	kΩ
R _{PD}	下拉电阻器		40	50	60	kΩ
V _{OL}	输出低电压		0.45			V
V _{OH}	输出高电压		VDD ⁽²⁾ - 0.45			V
I _{OL} ⁽³⁾	低电平输出电流	V _{OL(MAX)}	4			mA
I _{OH} ⁽³⁾	高电平输出电流	V _{OH(MIN)}	4			mA
SR _I ⁽⁵⁾	输入压摆率		18f ⁽⁴⁾ 或 1.8E+6			V/s
3.3V 模式						
V _{IL}	输入低电压		0.25 × VDD ⁽²⁾			V
V _{ILSS}	输入低电压稳态		0.15 × VDD ⁽²⁾			V
V _{IH}	输入高电压		0.625 × VDD ⁽²⁾			V
V _{IHSS}	输入高电压稳态		0.625 × VDD ⁽²⁾			V
V _{HYS}	输入迟滞电压		150			mV
I _{IN} ⁽¹⁾	输入漏电流。	V _I = 3.3V	10			μA
		V _I = 0V	-10			μA
R _{PU}	上拉电阻器		40	50	60	kΩ
R _{PD}	下拉电阻器		40	50	60	kΩ
V _{OL}	输出低电压		0.125 × VDD ⁽²⁾			V
V _{OH}	输出高电压		0.75 × VDD ⁽²⁾			V
I _{OL} ⁽³⁾	低电平输出电流	V _{OL(MAX)}	6			mA
I _{OH} ⁽³⁾	高电平输出电流	V _{OH(MIN)}	10			mA
SR _I ⁽⁵⁾	输入压摆率		33f ⁽⁴⁾ 或 3.3E+6			V/s

- (1) 此参数定义了 在未启用内部拉电阻的情况下, 将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
- (2) V_{DD} 表示相应的电源。有关电源名称和相应焊球的详细信息, 请参阅 *引脚属性* 表的“电源”列。
- (3) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流, 而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。
- (4) f = 输入信号的切换频率 (以 Hz 为单位) 。
- (5) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.7.6 LVCMOS 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压			$0.35 \times V_{DD}^{(1)}$		V
V_{ILSS}	输入低电压稳态			$0.3 \times V_{DD}^{(1)}$		V
V_{IH}	输入高电压		$0.65 \times V_{DD}^{(1)}$			V
V_{IHSS}	输入高电压稳态		$0.85 \times V_{DD}^{(1)}$			V
V_{HYS}	输入迟滞电压		150			mV
$I_{IN}^{(2)}$	输入漏电流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA
R_{PU}	上拉电阻器		15	22	30	$k\Omega$
R_{PD}	下拉电阻器		15	22	30	$k\Omega$
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		$V_{DD}^{(1)} - 0.45$			V
$I_{OL}^{(3)}$	低电平输出电流	$V_{OL(MAX)}$	3			mA
$I_{OH}^{(3)}$	高电平输出电流	$V_{OH(MIN)}$	3			mA
$SR_I^{(5)}$	输入压摆率		$18f^{(4)}$ 或 $1.8E+6$			V/s
3.3V 模式						
V_{IL}	输入低电压				0.8	V
V_{ILSS}	输入低电压稳态				0.6	V
V_{IH}	输入高电压		2.0			V
V_{IHSS}	输入高电压稳态		2.0			V
V_{HYS}	输入迟滞电压		150			mV
$I_{IN}^{(2)}$	输入漏电流。	$V_I = 3.3V$			10	μA
		$V_I = 0V$			-10	μA
R_{PU}	上拉电阻器		15	22	30	$k\Omega$
R_{PD}	下拉电阻器		15	22	30	$k\Omega$
V_{OL}	输出低电压				0.4	V
V_{OH}	输出高电压		2.4			V
$I_{OL}^{(3)}$	低电平输出电流	$V_{OL(MAX)}$	5			mA
$I_{OH}^{(3)}$	高电平输出电流	$V_{OH(MIN)}$	9			mA
$SR_I^{(5)}$	输入压摆率		$33f^{(4)}$ 或 $3.3E+6$			V/s

(1) V_{DD} 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。

(2) 此参数定义了 在未启用内部拉电阻的情况下将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。

(3) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。

(4) f = 输入信号的切换频率 (以 Hz 为单位) 。

(5) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.7.7 1P8-LVCMOS 电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				$0.35 \times VDD^{(1)}$	V
V_{ILSS}	输入低电压稳态				$0.35 \times VDD^{(1)}$	V
V_{IH}	输入高电压		$0.65 \times VDD^{(1)}$			V
V_{IHSS}	输入高电压稳态		$0.65 \times VDD^{(1)}$			V
V_{HYS}	输入迟滞电压		150			mV
$I_{IN}^{(2)}$	输入漏电流。	$V_I = 1.8V$ 或 $V_I = 0.0V$			± 10	μA
R_{PU}	上拉电阻器		10	20	30	$k\Omega$
R_{PD}	下拉电阻器		10	20	30	$k\Omega$
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		$VDD^{(1)} - 0.45$			V
$I_{OL}^{(3)}$	低电平输出电流	$V_{OL(MAX)}$	8			mA
$I_{OH}^{(3)}$	高电平输出电流	$V_{OH(MIN)}$	8			mA
$SR_I^{(5)}$	输入压摆率		$9f^{(4)}$ 或 $1.08E+5$			V/s

- (1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息, 请参阅 *引脚属性* 表的“电源”列。
- (2) 此参数定义了 在未启用内部拉电阻的情况下, 将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
- (3) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流, 而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。
- (4) f = 输入信号的切换频率 (以 Hz 为单位) 。
- (5) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.7.8 RTC-LVCMOS 电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压			$0.35 \times VDD^{(1)}$		V
V_{ILSS}	输入低电压稳态			$0.35 \times VDD^{(1)}$		V
V_{IH}	输入高电压		$0.65 \times VDD^{(1)}$			V
V_{IHSS}	输入高电压稳态		$0.65 \times VDD^{(1)}$			V
V_{HYS}	输入迟滞电压		200			mV
$I_{IN}^{(2)}$	输入漏电流。	$V_I = 1.8V$ 或 $V_I = 0.0V$			± 50	nA
$R_{PU}^{(3)}$	上拉电阻器		21.5		30.0	k Ω
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		$VDD^{(1)} - 0.45$			V
$I_{OL}^{(4)}$	低电平输出电流	$V_{OL(MAX)}$	2			mA
$I_{OH}^{(4)}$	高电平输出电流	$V_{OH(MIN)}$	2			mA
$SR_I^{(5)}$	输入压摆率		1.8E6			V/s

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。

(2) 此参数仅适用于 EXT_WAKEUP0、EXT_WAKEUP1 和 RTC_PORz 引脚。

(3) 这一参数只适用于 PMIC_LPM_EN0 引脚。

(4) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。

(5) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。

6.7.9 ADC 电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
分辨率	实际位数			12		位
ENOB	有效位数			≅ 10		位
V _{ADC0_VREFP} ⁽¹⁾	正向基准电压			VDDA_ADC0 ⁽²⁾		V
V _{ADC0_VREFN} ⁽¹⁾	负基准电压			VSS		V
V _{ADC_AIN[3:0]}	模拟输入电压， ADC_AIN[3:0]，满量程		VSS	VDDA_ADC0 ⁽²⁾		V
DNL	微分非线性		> -1		+4	LSB
INL	积分非线性		-4		+4	LSB
LSB _{GAIN-ERROR}	增益误差			±10		LSB
LSB _{OFFSET-ERROR}	偏移误差			±5		LSB
SINAD	信噪比和失真比	输入信号： - 0.5dB 满量程的 200kHz 正弦波		60		dB
Z _{ADC_AIN[0:7]}	模拟输入阻抗， ADC0_AIN[7:0]			(3)		Ω
I _{IN}	输入漏电流			±10		μA
C _{SMPL}	采样电容			5.5		pF
采样动态						
F _{SMPL_CLK}	ADC0 SMPL_CLK 频率			30		MHz
t _C	转换时间			13		ADC0 SMPL_CLK 周期
t _{ACQ}	采集时间		2		257	ADC0 SMPL_CLK 周期
T _R	采样率	ADC0 SMPL_CLK = 30MHz			2	MSPS

- (1) ADC0_REFP 和 ADC0_REFN 直接连接到 SoC 内部的 VDDA_ADC0 和 VSS。此表中 ADC0_REFP 和 ADC0_REFN 相关内容都必须被视为 VDDA_ADC0 或 VSS。
- (2) 节 6.4 中定义了 VDDA_ADC0 的有效电压范围
- (3) ADC0_AIN 引脚连接到内部采样电容器，用于提供用户可配置的采集时间和采集频率。ADC0_AIN 引脚的输入阻抗与用户可配置的采集时间和采集频率之间存在函数关系。设计人员必须了解每个 ADC0_AIN 引脚的源阻抗为内部采样电容器充电所需的时间。采集时间必须设置得足够长，以便内部采样电容器稳定至高于 14 位的精度。

6.7.10 DSI (D-PHY) 电气特性

备注

DSITX0 符合 2014 年 8 月 1 日发布的 MIPI DPHY v1.2 标准，包括适用的 ECN 和勘误表。

6.7.11 USB2PHY 电气特性

备注

USB0 和 USB1 接口符合 2000 年 4 月 27 日发布的通用串行总线修订版 2.0 规范，包括适用的 ECN 和勘误表。

6.7.12 DDR 电气特性

备注

DDR 接口与符合 **JESD79-4B** 标准的 DDR4 器件和符合 **JESD209-4B** 标准的 LPDDR4 器件兼容

6.8 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节规定了对 OTP 电子保险丝进行编程所需的运行条件。

6.8.1 OTP 电子保险丝编程的建议运行条件

在工作结温范围内测得 (除非另有说明)

参数	说明	最小值	标称值	最大值	单位
VDD_CORE	OTP 运行期间内核域的电源电压范围	请参阅 节 6.4			V
VPP	在没有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围	NC ⁽¹⁾			V
	在有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围	0			V
	OTP 编程期间电子保险丝 ROM 域的电源电压范围 ⁽²⁾	1.71	1.8	1.89	V
I _(VPP)	VPP 电流	400			mA
SR _(VPP)	VPP 上电压摆率	6E + 4			V/s
Tj	对电子保险丝 ROM 进行编程时的工作结温范围。	0	25	85	°C

(1) NC 表示无连接。

(2) 电源电压范围包括直流误差和峰峰值噪声。

6.8.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，必须禁用 VPP 电源。
- 在执行正确的器件上电序列后，VPP 电源必须斜升 (有关更多详细信息，请参阅 节 6.11.2.2 电源时序控制)。

6.8.3 编程序列

OTP 电子保险丝的编程序列：

- 按照上电时序为电路板加电。上电和正常运行期间，VPP 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件 (请联系您当地的 TI 代表以获取 OTP 软件包)。
- 根据 节 6.8.1 中的规格在 VPP 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后，移除 VPP 端子上的电压。

6.8.4 对硬件保修的影响

您同意使用安全密钥对 TI 器件进行电子熔断会永久改变它们。您确认，由于程序序列不正确或中止或者您省略了某个序列步骤等，电子保险丝可能会发生故障。此外，如果量产密钥的错误代码校正检查失败，或者映像未使用当前有效量产密钥进行签名和选择性加密，则 TI 器件可能无法安全启动。这些类型的情况将导致 TI 器件无法运行，TI 将无法确认在尝试使用电子保险丝之前 TI 器件是否符合其规格。因此，对于客户错误进行电子熔断的任何 TI 器件，TI 不承担任何责任 (保修责任或其他责任)。

6.9 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于节 6.4 建议运行条件中确定的 T_J 值。

备注

热参数按照 JEDEC 标准 JESD51x 生成，不适用于设计参数。如果需要更准确的热表示，请下载处理器热模型，并将您的 PCB 设计导入热仿真环境。有关散热实施指南的详细信息，请参阅[散热解决方案指南](#)部分。

6.9.1 ANB 封装的热阻特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

编号	参数	说明	ANB PACKAGE °C/W ^{(1) (2)}	空气 流量 (m/s) ⁽³⁾
T1	$R_{\Theta JC}$	结点到外壳	5.2	不适用
T2	$R_{\Theta JB}$	结点到电路板	9.4	不适用
T3	$R_{\Theta JA}$	结点到环境空气	22.2	0
T4		结至流动空气	17.4	1
T5			16.3	2
T6			15.6	3
T7	Ψ_{JT}	结至封装顶部	0.09	0
T8			0.18	1
T9			0.24	2
T10			0.28	3
T11	Ψ_{JB}	结点到电路板	9.3	0
T12			8.8	1
T13			8.6	2
T14			8.5	3

(1) °C/W = 摄氏度/瓦。

(2) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Packages*

(3) m/s = 米/秒。

6.10 温度传感器特性

本节总结了电压和温度模块 (VTM) 片上温度传感器特性。

出于操作和可靠性方面的考虑，器件的最高结温必须达到或低于 *建议运行条件* 中确定的 T_J 值。

表 6-3. VTM 裸片温度传感器特性

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	VTM 温度传感器精度	-40°C 至 125°C	-5		5	°C

6.11 时序和开关特性

备注

时序要求和开关特性值可能会根据器件表征结果而变化。

备注

除非另有说明，否则必须使用每个焊盘配置寄存器中的默认 **SLEWRATE** 设置来确保时序。

6.11.1 时序参数和信息

节 6.11 时序和开关特性 中使用的时序参数符号是根据 JEDEC 标准 100 创建的。为了缩短符号，表 6-4 中缩写了一些引脚名称和其他相关术语：

表 6-4. 时序参数下标

符号	参数
c	周期时间 (周期)
d	延迟时间
dis	禁用时间
en	启用时间
h	保持时间
su	建立时间
START	起始位
t	转换时间
v	有效时间
W	脉冲持续时间 (宽度)
X	未知、改变或者不用考虑级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

6.11.2 电源要求

本节介绍了确保器件正常运行的电源要求。

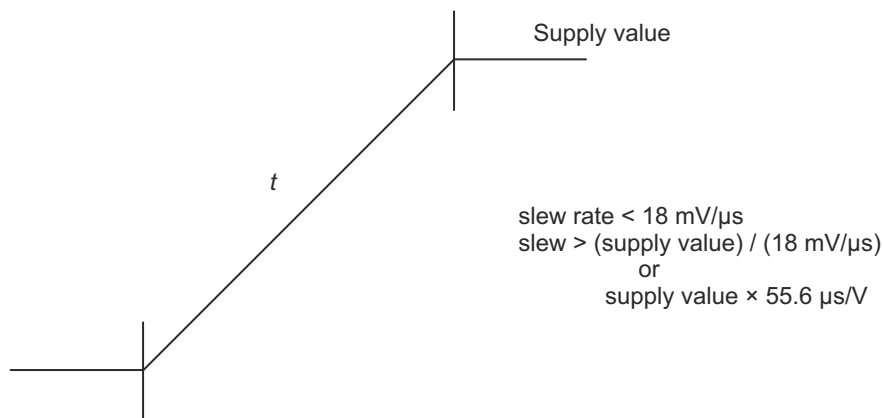
备注

除非在 *信号说明* 和 *引脚连接要求* 中另有说明，否则必须使用 *建议运行条件* 一节中指定的电压为所有电源焊球供电。

6.11.2.1 电源压摆率要求

为了维持内部 ESD 保护器件的安全工作范围，TI 建议将电源的最大压摆率限制为小于 $18\text{mV}/\mu\text{s}$ 。例如，如图 6-2 所示，对于高于 $100\mu\text{s}$ 的 1.8V 电源，TI 建议采用电源电压斜坡转换时间。

图 6-2 介绍了器件中的电源压摆率要求。



SPRT740_ELCH_06

图 6-2. 电源电压转换时间和压摆率

6.11.2.2 电源时序

本节使用电源序列图和相关注释来介绍电源序列要求。每个电源序列图都展示了每个器件电源轨的预期顺序。这是通过将每个器件电源轨分配给一个或多个波形来完成的。双电压电源轨可能与多个波形相关联，相关注释将说明哪种波形适用。每个波形定义了相关电源轨的转换区域，并显示其与其他电源轨的转换区域的顺序关系。与电源时序图相关的注释提供了这些要求的更多详细信息。有关上电要求的详细信息，请参阅[上电序列](#)一节；有关断电要求的详细信息，请参阅[断电序列](#)一节。

使用两种类型的电源转换区域来简化电源时序图。提供了图 6-3 和图 6-4 中显示的图例及其说明，以阐明每个转换区域代表什么。

图 6-3 定义了具有多个电源轨的转换区域，这些电源轨可能来自多个电源或单个电源。转换区域内所示的转换代表一种用例，其中使用多个电源来提供与该波形相关的电源轨，允许这些电源在该区域内的不同时间升降，因为它们彼此之间没有任何特定的顺序要求。

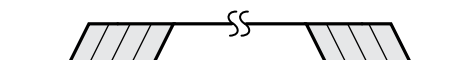


图 6-3. 多电源转换图例

图 6-4 定义了一个或多个电源轨的转换区域，这些电源轨必须来自单个公共电源。该区域内没有显示任何转换来表示转换区域内的单个斜坡。

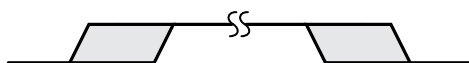


图 6-4. 单个公共电源转换图例

6.11.2.2.1 无低功耗模式时序

表 6-5、图 6-5 和 图 6-6 定义了在没有计划使用仅 RTC 低功耗模式或 RTC + IO + DDR 低功耗模式时的器件电源时序要求。

表 6-5. 无低功耗模式时序 – 电源/信号分配

请参阅：图 6-5 和图 6-6

波形	电源/信号名称
A	系统功耗
B	VDDSHV0 ⁽¹⁾ 、VDDSHV1 ⁽¹⁾ 、VDDA_3P3_USB
C	VDDSHV0 ⁽²⁾ 、VDDSHV1 ⁽²⁾ 、VDDS_OSC0、VDDS_RTC、VDDA_PLL0、VDDA_PLL1、VDDS_WKUP、VDDS0、VDDS1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB
D	VDDA_3P3_SDIO ^{(3) (4)} 、VDDSHV2 ⁽³⁾ 、VDDSHV3 ⁽³⁾ 、VDDSHV4 ⁽³⁾
E	VDDS_DDR ⁽⁵⁾
F	VDD_CORE、VDDA_CORE_DSI ⁽⁶⁾ 、VDDA_CORE_DSI_CLK ⁽⁶⁾ 、VDDA_CORE_USB ⁽⁶⁾ 、VDDA_DDR_PLL0 ⁽⁶⁾ 、VDD_RTC
G	WKUP_OSC0_XI、WKUP_OSC0_XO
H	PORz

- (1) VDDSHV0 和 VDDSHV1 是双电压 IO 电源，可根据应用要求在 1.8V 或 3.3V 下运行。当任何 VDDSHVx [x=0-1] IO 电源在 3.3V 下运行时，应在此波形定义的 3.3V 斜坡周期内，与其他 3.3V 电源一起斜升。
- (2) VDDSHV0 和 VDDSHV1 是双电压 IO 电源，可根据应用要求在 1.8V 或 3.3V 下运行。当任何 VDDSHVx [x=0-1] IO 电源在 1.8V 下运行时，应在此波形定义的 1.8V 斜坡周期内，与其他 1.8V 电源一起斜升。
- (3) VDDA_3P3_SDIO 旨在支持独立上电或掉电，不依赖其他电源轨。VDDSHV2、VDDSHV3 和 VDDSHV4 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。
- (4) VDDA_3P3_SDIO 是内部 SDIO_LDO 的 3.3V 电源轨。该电源轨的供电必须与连接至 MMC1 的 UHS-I SD 卡的供电来自同一 3.3V 电源。这样，当 SD 卡电源关闭以复位 SD 卡时，MMC1 的 IO 引脚与 SD 卡的 IO 引脚可实现同步上电与掉电。在此应用场景下，SDIO_LDO 的输出 (CAP_VDDSHV_MMC) 用于为 VDDSHV3 IO 电源轨供电，该电源轨将随 VDDA_3P3_SDIO 电源轨同步升压与降压。
- (5) VDDS_DDR 没有任何特定的电源序列要求，但 DDR 器件的 JEDEC 标准要求在上电和断电序列期间施加到其 V_{DD1} 电源轨的电势始终大于施加到其 V_{DD2} 电源轨的电势。
- (6) VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 和 VDD_RTC 应来自和 VDD_CORE 一样的电源。应注意确保 VDD_CORE 和 VDDA_CORE_USB 之间的电压差处于 +/- 1% 之内。

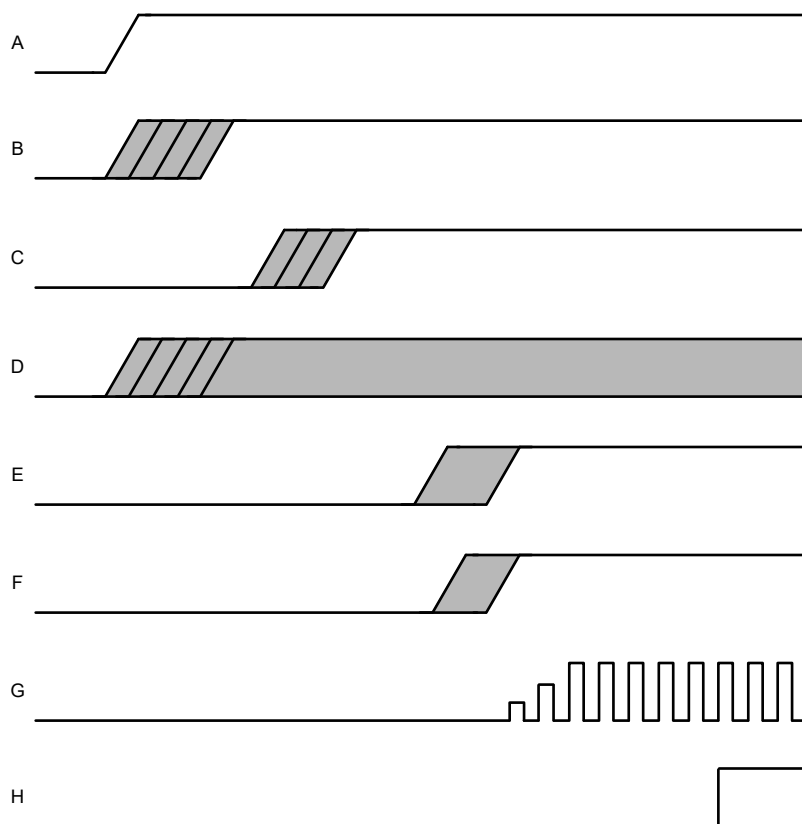


图 6-5. 无低功耗模式上电时序

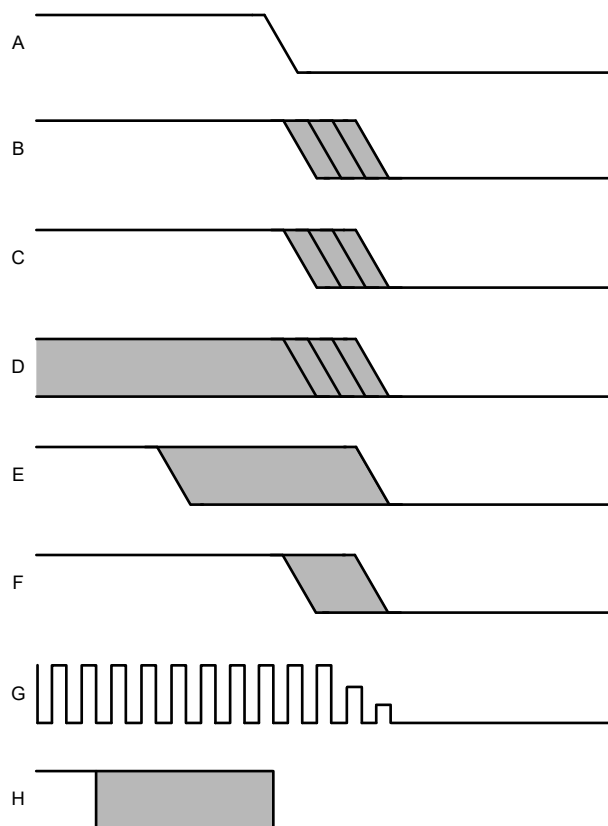


图 6-6. 无低功耗模式断电时序

6.11.2.2.2 仅 RTC 低功耗模式时序

表 6-6、图 6-7、图 6-8 和图 6-9 定义了使用仅 RTC 低功耗模式时的器件功率要求。

表 6-6. 仅 RTC 低功耗模式时序 - 电源/信号分配

请参阅：图 6-7、图 6-8 和图 6-9

波形	电源/信号名称
A	系统功耗
B	VDDSD_RTC ⁽¹⁾
C	VDD_RTC ⁽²⁾
D	PMIC_LPM_EN0 ⁽³⁾
E	RTC_PORz ⁽⁴⁾
F	VDDSHV0 ⁽⁵⁾ 、VDDSHV1 ⁽⁵⁾ 、VDDA_3P3_USB
G	VDDSHV0 ⁽⁶⁾ 、VDDSHV1 ⁽⁶⁾ 、VDDSD_OSC0、VDDA_PLL0、VDDA_PLL1、VDDSD_WKUP、VDDSD0、VDDSD1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB
H	VDDA_3P3_SDIO ^{(7) (8)} 、VDDSHV2 ⁽⁷⁾ 、VDDSHV3 ⁽⁷⁾ 、VDDSHV4 ⁽⁷⁾
I	VDDSD_DDR ⁽⁹⁾
J	VDD_CORE ⁽¹⁰⁾ 、VDDA_CORE_DSI ⁽¹¹⁾ 、VDDA_CORE_DSI_CLK ⁽¹¹⁾ 、VDDA_CORE_USB ⁽¹¹⁾ 、VDDA_DDR_PLL0 ⁽¹¹⁾
K	WKUP_OSC0_XI、WKUP_OSC0_XO
L	PORz

- (1) 当使用仅 RTC 低功耗模式时，VDDSD_RTC 必须由常开型电源供电。
- (2) 当使用仅 RTC 低功耗模式时，VDD_RTC 必须由常开型电源供电。
- (3) 当 RTC_PORz 置位时，PMIC_LPM_EN0 通过弱内部上拉来拉至高电平。弱内部上拉被关闭，PMIC_LPM_EN0 在 RTC_PORz 的上升沿被驱动为高电平。RTC 模块可以配置为将 PMIC_LPM_EN0 驱动为低电平以进入仅 RTC 低功耗模式，并将 PMIC_LPM_EN0 驱动为高电平以退出仅 RTC 低功耗模式，从而使 PMIC_LPM_EN0 可用于对所有非 RTC 电源轨进行上电/断电循环。
- (4) VDDSD_RTC 和 VDD_RTC 电源轨有效后，可以释放 RTC_PORz。
- (5) VDDSHV0 和 VDDSHV1 是双电压 IO 电源，可根据应用要求在 1.8V 或 3.3V 下运行。当任何 VDDSHVx [x=0-1] IO 电源在 3.3V 下运行时，应在此波形定义的 3.3V 斜坡周期内，与其他 3.3V 电源一起斜降。
- (6) VDDSHV0 和 VDDSHV1 是双电压 IO 电源，可根据应用要求在 1.8V 或 3.3V 下运行。当任何 VDDSHVx [x=0-1] IO 电源在 1.8V 下运行时，应在此波形定义的 1.8V 斜坡周期内，与其他 1.8V 电源一起斜降。
- (7) VDDA_3P3_SDIO 旨在支持不依赖于其他电源轨的上电或下电。VDDSHV2、VDDSHV3 和 VDDSHV4 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。
- (8) VDDA_3P3_SDIO 是内部 SDIO_LDO 的 3.3V 电源轨。该电源轨必须来自为连接到 MMC1 的 UHS-I SD 卡供电的同一 3.3V 电源，从而允许 MMC1 IO 和 SD 卡 IO 在 SD 卡电源断电以复位 SD 卡的同时上电和断电。对于此用例，SDIO_LDO 输出 (CAP_VDDSHV_MMC) 用于为 VDDSHV3 IO 电源轨供电，该电源轨将与 VDDA_3P3_SDIO 电源轨一起斜升和斜降。
- (9) VDDSD_DDR 没有任何特定的电源序列要求，但 DDR 器件的 JEDEC 标准要求在上电和断电序列期间施加到其 V_{DD1} 电源轨的电势始终大于施加到其 V_{DD2} 电源轨的电势。
- (10) 在上电或断电期间，施加到 VDD_CORE 的电势绝不能大于施加到 VDD_RTC 的电势 + 0.18V。这要求 VDD_RTC 在 VDD_CORE 之前斜升并在其之后斜降。
- (11) VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 应来自和 VDD_CORE 一样的电源。应注意确保 VDD_CORE 和 VDDA_CORE_USB 之间的电压差处于 +/- 1% 之内。

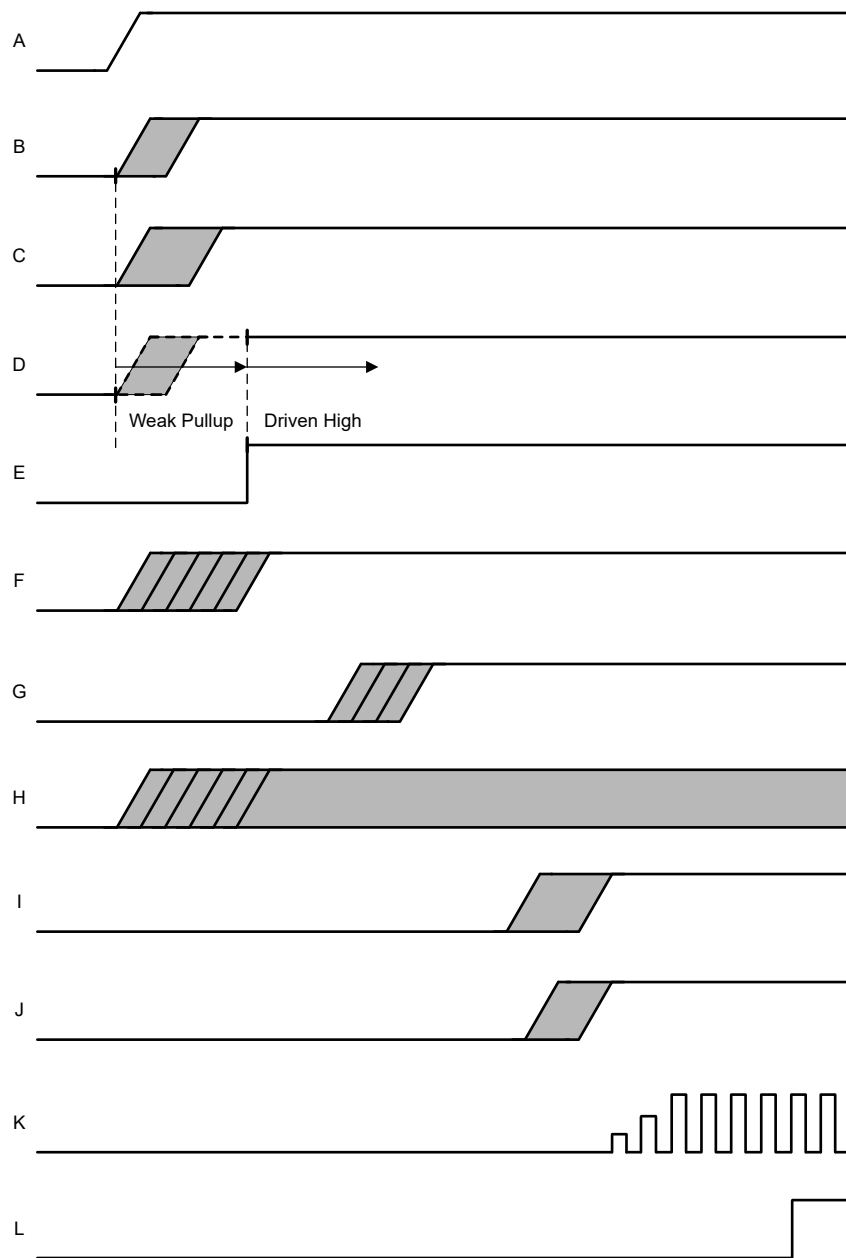


图 6-7. 仅 RTC 低功耗模式上电时序

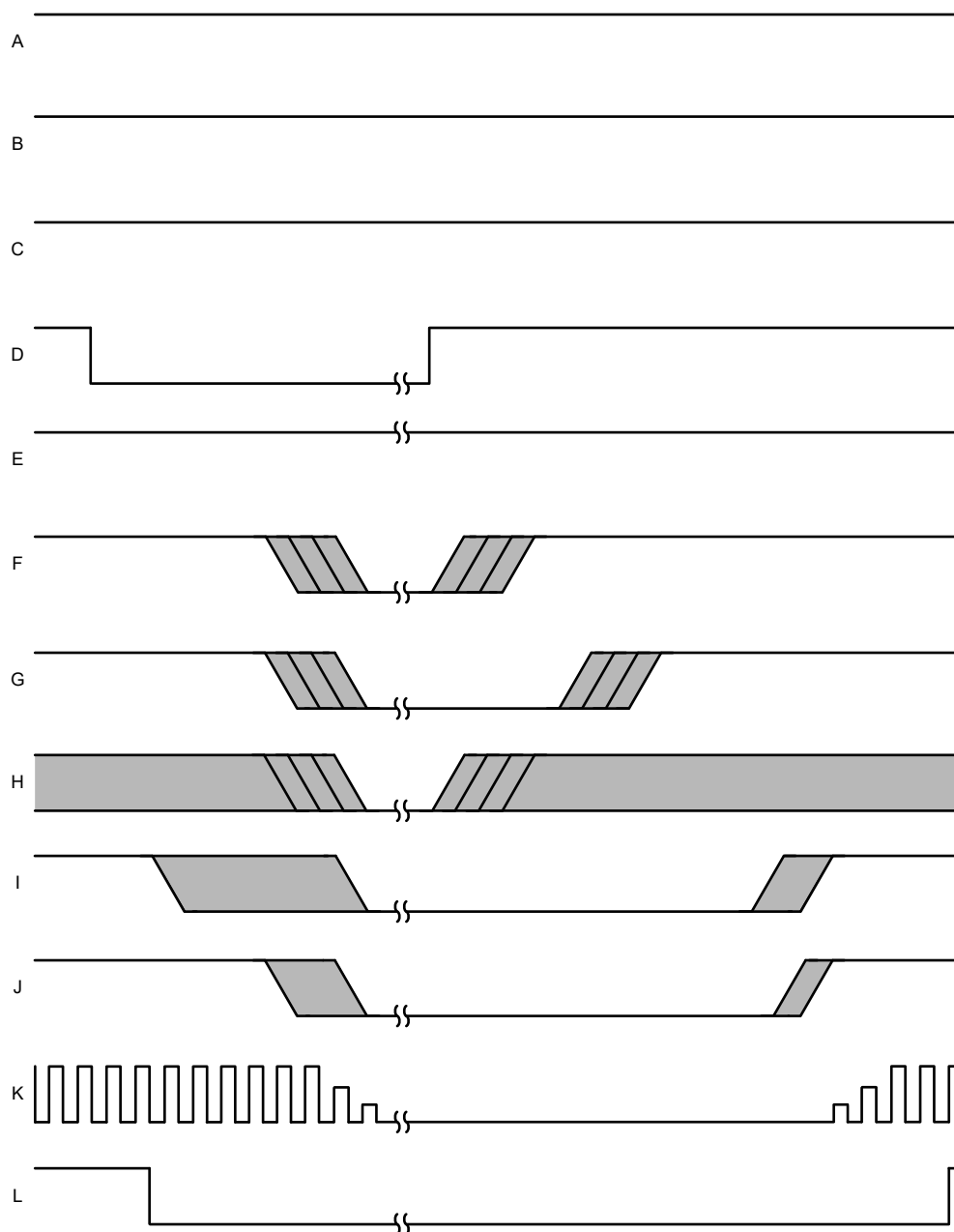


图 6-8. 仅 RTC 低功耗模式进入/退出时序

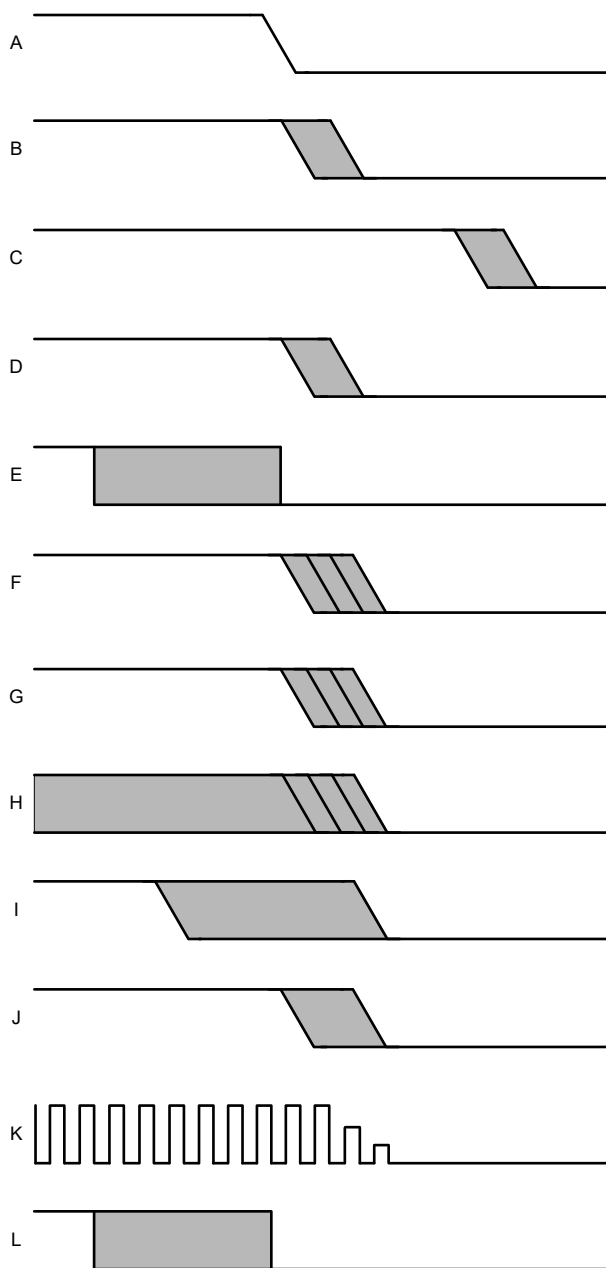


图 6-9. 仅 RTC 低功耗模式断电时序

6.11.2.2.3 RTC + IO + DDR 低功耗模式时序

表 6-7、图 6-10、图 6-11 和图 6-12 定义了使用 RTC + IO + DDR 低功耗模式时的器件功率要求。

表 6-7. RTC + IO + DDR 低功耗模式时序 - 电源/信号分配

请参阅：图 6-10、图 6-11 和图 6-12

波形	电源/信号名称
A	系统功耗
B	VDDSHV0 ⁽¹⁾ 、VDDSHV1 ⁽¹⁾ 、VDDA_3P3_USB
C	VDDSHV0 ⁽²⁾ 、VDDSHV1 ⁽²⁾ 、VDDS_OSC0 ⁽³⁾ 、VDDA_PLL0 ⁽³⁾ 、VDDA_PLL1 ⁽³⁾ 、VDDS_WKUP、VDDS0、VDDS1、VDDA_ADC ⁽³⁾ 、VDDA_1P8_DSI ⁽³⁾ 、VDDA_1P8_USB ⁽³⁾ 、VDDS_RTC ⁽⁴⁾
D	VDDA_3P3_SDIO ⁽⁵⁾ (6)、VDDSHV2 ⁽⁵⁾ 、VDDSHV3 ⁽⁵⁾ 、VDDSHV4 ⁽⁵⁾
E	VDD_RTC ⁽⁷⁾
F	RTC_PORz ⁽⁸⁾
G	VDDS_DDR ⁽⁹⁾
H	VDD_CORE ⁽¹⁰⁾ 、VDDA_CORE_DSI ⁽¹¹⁾ 、VDDA_CORE_DSI_CLK ⁽¹¹⁾ 、VDDA_CORE_USB ⁽¹¹⁾ 、VDDA_DDR_PLL0 ⁽¹¹⁾
I	WKUP_OSC0_XI、WKUP_OSC0_XO
J	PORz
K	PMIC_LPM_EN0 ⁽¹²⁾

- (1) VDDSHV0 和 VDDSHV1 是双电压 IO 电源，可根据应用要求在 1.8V 或 3.3V 下运行。当任何 VDDSHVx [x=0-1] IO 电源在 3.3V 下运行时，应在此波形定义的 3.3V 斜坡周期内，与其他 3.3V 电源一起斜降。
- (2) VDDSHV0 和 VDDSHV1 是双电压 IO 电源，可根据应用要求在 1.8V 或 3.3V 下运行。当任何 VDDSHVx [x=0-1] IO 电源在 1.8V 下运行时，应在此波形定义的 1.8V 斜坡周期内，与其他 1.8V 电源一起斜降。
- (3) 在进入 RTC + IO + DDR 低功耗模式时，可将 VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_ADC、VDDA_1P8_DSI 和 VDDA_1P8_USB 断电。
- (4) 当使用 RTC + IO + DDR 低功耗模式时，VDDS_RTC 必须由常开型电源供电。
- (5) VDDA_3P3_SDIO 旨在支持不依赖于其他电源轨的上电或下电。VDDSHV2、VDDSHV3 和 VDDSHV4 旨在支持上电、下电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。
- (6) VDDA_3P3_SDIO 是内部 SDIO_LDO 的 3.3V 电源轨。该电源轨必须来自为连接到 MMC1 的 UHS-I SD 卡供电的同一 3.3V 电源，从而允许 MMC1 IO 和 SD 卡 IO 在 SD 卡电源断电以复位 SD 卡的同时上电和断电。对于此用例，SDIO_LDO 输出 (CAP_VDDSHV_MMC) 用于为 VDDSHV3 IO 电源轨供电，该电源轨将与 VDDA_3P3_SDIO 电源轨一起斜升和斜降。
- (7) 当使用 RTC + IO + DDR 低功耗模式时，VDD_RTC 必须由常开型电源供电。
- (8) VDDS_RTC 和 VDD_RTC 电源轨有效后，可以释放 RTC_PORz。
- (9) VDDS_DDR 没有任何特定的电源序列要求，但 DDR 器件的 JEDEC 标准要求在上电和断电序列期间施加到其 V_{DD1} 电源轨的电势始终大于施加到其 V_{DD2} 电源轨的电势。
- (10) 在上电或断电期间，施加到 VDD_CORE 的电势绝不能大于施加到 VDD_RTC 的电势 + 0.18V。这要求 VDD_RTC 在 VDD_CORE 之前斜升并在其之后斜降。
- (11) VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 应来自和 VDD_CORE 一样的电源。应注意确保 VDD_CORE 和 VDDA_CORE_USB 之间的电压差处于 +/- 1% 之内。
- (12) 当 RTC_PORz 置位时，PMIC_LPM_EN0 通过弱内部上拉来拉至高电平。弱内部上拉被关闭，PMIC_LPM_EN0 在 RTC_PORz 的上升沿被驱动为高电平。RTC 模块可以配置为将 PMIC_LPM_EN0 驱动为低电平以进入 RTC + IO + DDR 低功耗模式，并将 PMIC_LPM_EN0 驱动为高电平以退出 RTC + IO + DDR 低功耗模式，从而使 PMIC_LPM_EN0 可用于对 VDD_CORE 和所有 1.8V 模拟电源轨进行上电/断电循环。

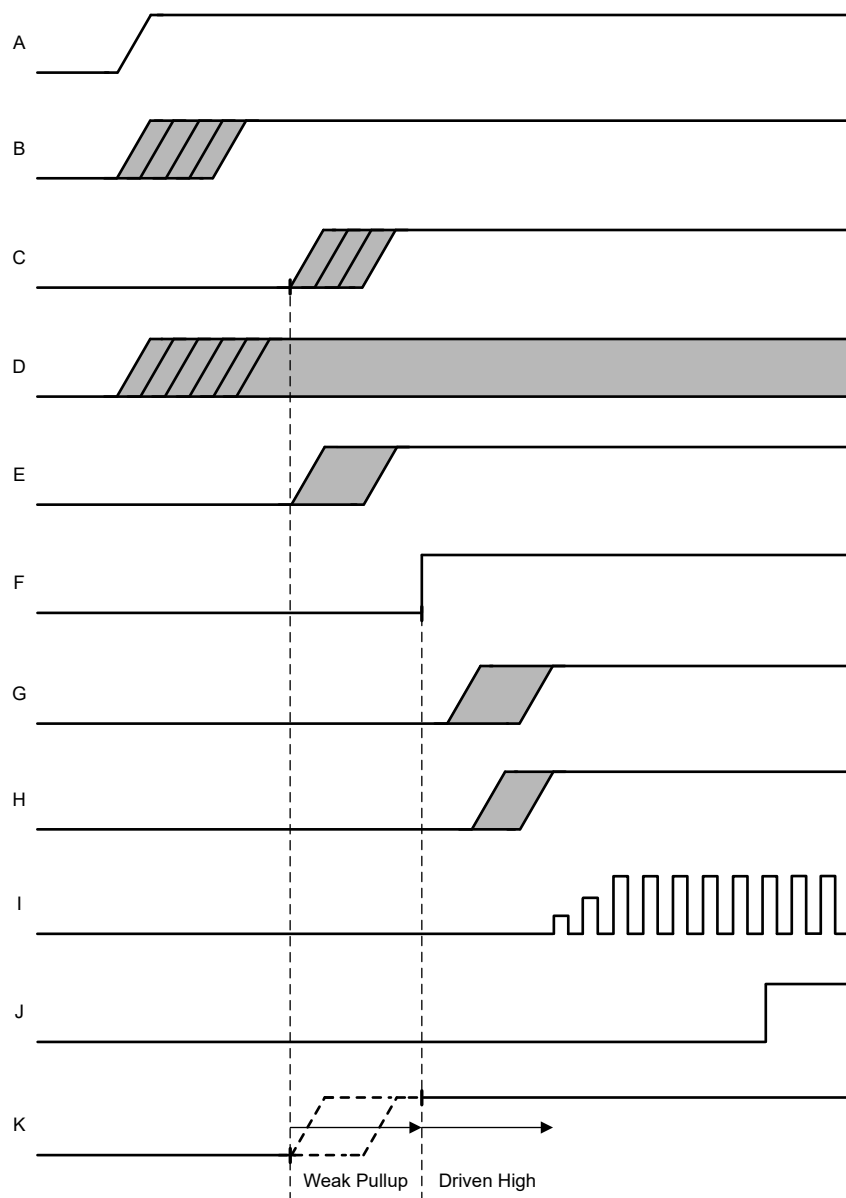


图 6-10. RTC + IO + DDR 低功耗模式上电时序

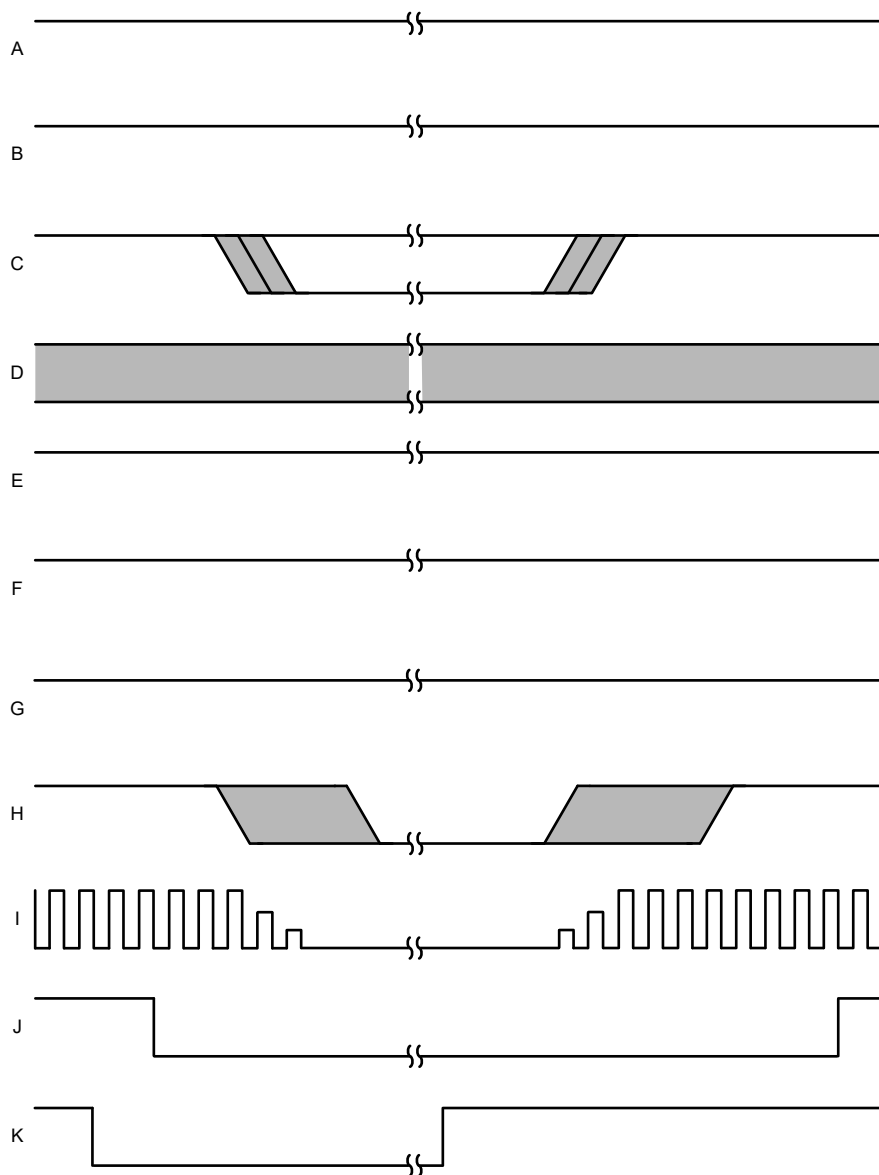


图 6-11. RTC + IO + DDR 低功耗模式进入/退出时序

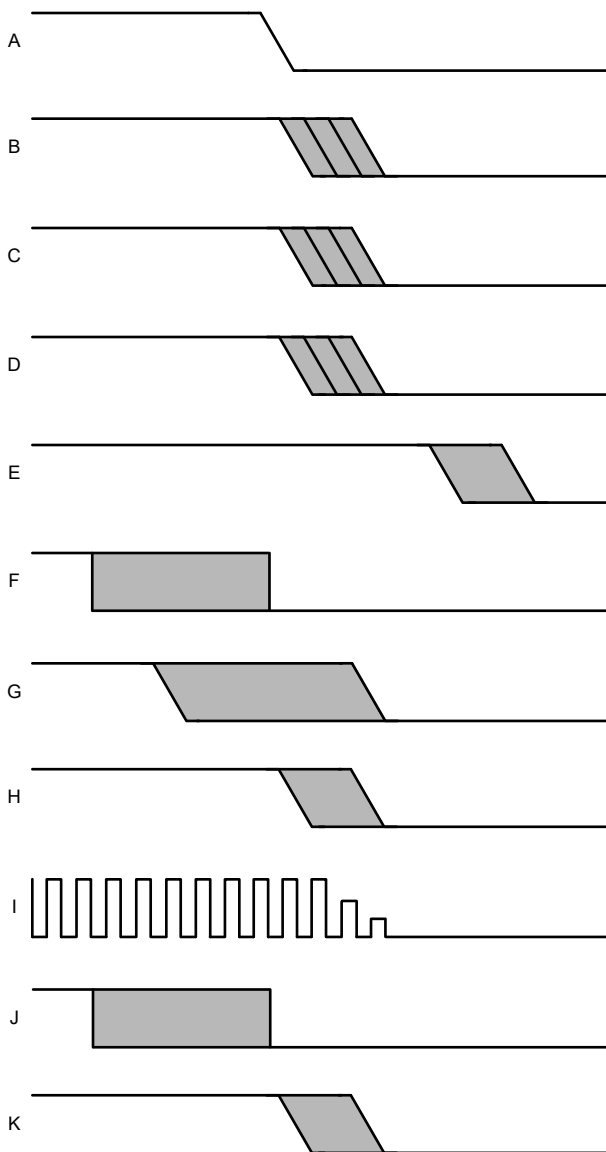


图 6-12. RTC + IO + DDR 低功耗模式断电时序

6.11.3 系统时序

有关子系统多路复用信号特性和其他说明信息的更多详情，请参阅信号说明和详细说明部分中的相应小节。

6.11.3.1 复位时序

本节中提供的表和图定义了复位相关信号的时序条件、时序要求和开关特性。

表 6-8. 复位时序条件

参数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	VDD ⁽¹⁾ = 1.8V	0.0018		V/ns
		VDD ⁽¹⁾ = 3.3V	0.0033		V/ns
输出条件					
C _L	输出负载电容			30	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

表 6-9. PORz 时序要求

请参阅图 6-13

编号	参数		最小值	最大值	单位
RST1	t _h (SUPPLIES_VALID - PORz)	保持时间，在电源有效之后 PORz 在上电时有效（低电平）（使用外部晶体电路）	9500000		ns
RST2		保持时间，在电源有效且外部时钟稳定之后 PORz 在上电时有效（低电平）（使用外部 LVCMOS 时钟源）	1200		ns
RST3	t _w (PORzL)	脉冲宽度，在上电之后 PORz 为低电平（不移除电源或系统基准时钟 WKUP_OSC0_XI/XO）	1200		ns

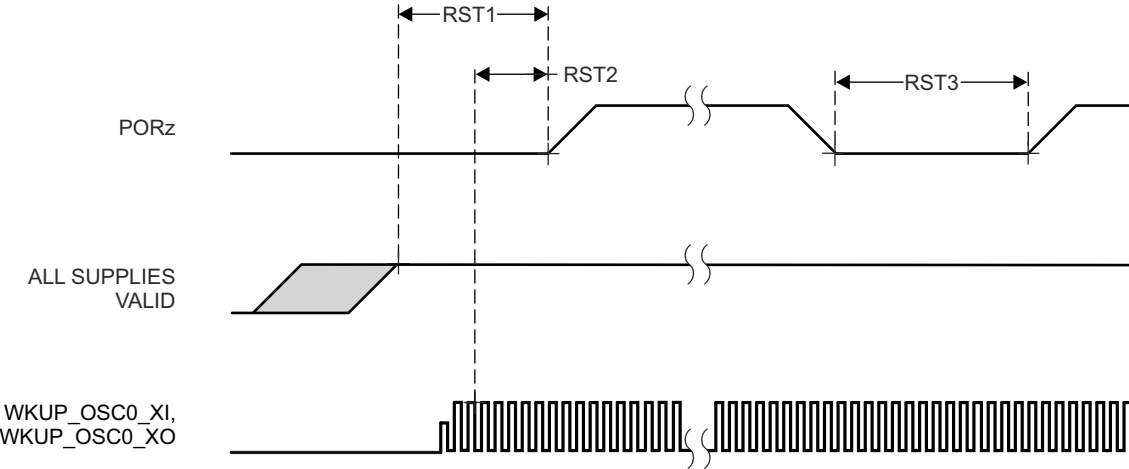


图 6-13. PORz 时序要求

表 6-10. RESETSTATz 开关特性

请参阅图 6-14

编号	参数	最小值	最大值	单位
RST6	$t_{d(PORzL-RESETSTATzL)}$ 延迟时间, PORz 有效 (低电平) 到 RESETSTATz 有效 (低电平)	0		ns
RST7	$t_{d(PORzH-RESETSTATzH)}$ 延迟时间, PORz 无效 (高电平) 到 RESETSTATz 无效 (高电平) 的时间	$9195 \cdot S^{(1)}$		ns
RST9	$t_w(RESETSTATzL)$ 脉冲宽度, RESETSTATz 低电平 (SW_WARMRST)	$4040 \cdot S^{(1)}$		ns

(1) $S = WKUP_OSC0_XI/XO$ 时钟周期 (以 ns 为单位)。

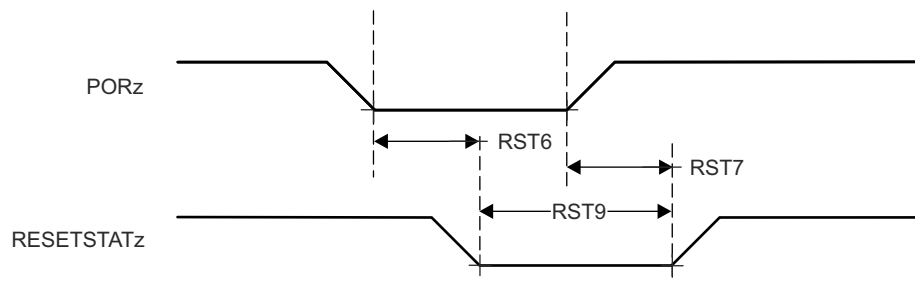


图 6-14. RESETSTATz 开关特性

表 6-11. RESETz 时序要求

请参阅图 6-15

编号	参数	最小值	最大值	单位
RST10	$t_w(\text{RESETzL})^{(1)}$	1200		ns

(1) 仅当所有电源有效且 PORz 在指定时间内已置为有效后，该时序参数才有效。

表 6-12. RESETSTATz 开关特性

请参阅图 6-15

编号	参数	最小值	最大值	单位
RST13	$t_d(\text{RESETzL-RESETSTATzL})$	960		ns
RST14	$t_d(\text{RESETzH-RESETSTATzH})$	$4040 \cdot S^{(1)}$		ns

(1) $S = \text{WKUP_OSC0_XI/XO}$ 时钟周期 (以 ns 为单位)。

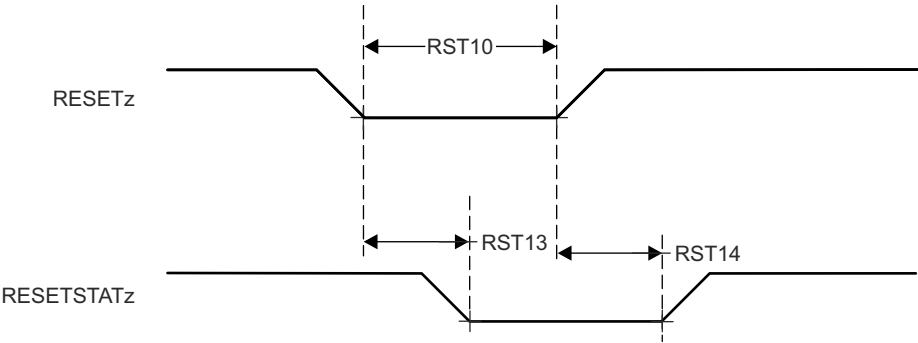


图 6-15. RESETz 和 RESETSTATz 的时序要求与开关特性

表 6-13. EMUx 时序要求

请参阅图 6-16

编号	参数	最小值	最大值	单位
RST18	$t_{su}(\text{EMUx-PORz})$	$3 \cdot S^{(1)}$		ns
RST19	$t_h(\text{PORz - EMUx})$	10		ns

(1) $S = \text{WKUP_OSC0_XI/XO}$ 时钟周期 (以 ns 为单位)。

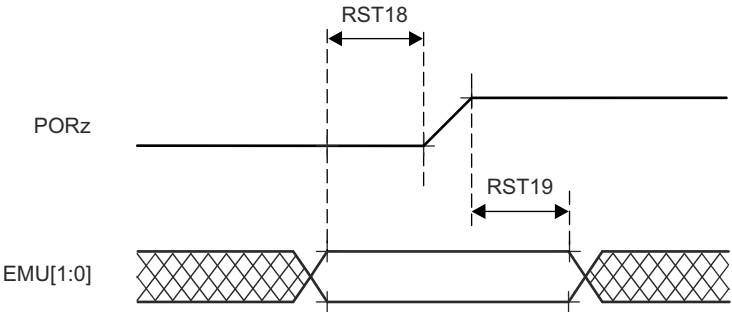


图 6-16. EMUx 时序要求

表 6-14. BOOTMODE 时序要求

请参阅图 6-17

编号	参数	最小值	最大值	单位
RST23	$t_{su}(BOOTMODE-PORz)$ 建立时间, PORz 高电平之前 BOOTMODE[15:00] 有效	$3 \cdot S^{(1)}$		ns
RST24	$t_h(PORz - BOOTMODE)$ 保持时间, PORz 高电平之后, BOOTMODE[15:00] 有效	0		ns

(1) $S = WKUP_OSC0_XI/XO$ 时钟周期 (以 ns 为单位)。

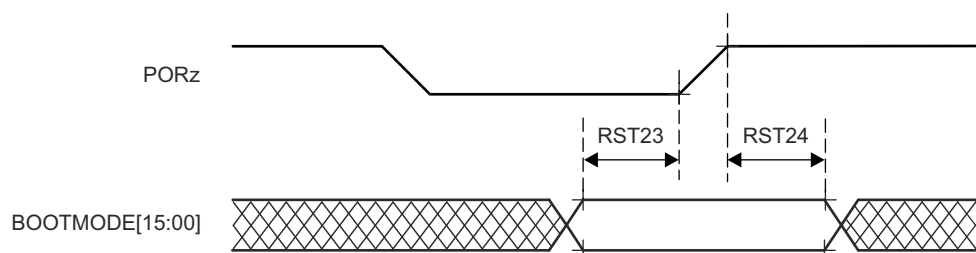


图 6-17. BOOTMODE 时序要求

6.11.3.2 时钟时序

本节中提供的表和图定义了时钟信号的时序条件、时序要求和开关特性。

表 6-15. 时钟时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5		V/ns
输出条件				
C _L	输出负载电容	5ns ≤ t _c < 8ns	5	pF
		8ns ≤ t _c < 20ns	10	pF
		20ns ≤ t _c	30	pF

表 6-16. 时钟时序要求

请参阅图 6-18

编号			最小值	最大值	单位
CLK1	t _c (EXT_REFCLK1)	最小周期时间, EXT_REFCLK1	10		ns
CLK2	t _w (EXT_REFCLK1H)	脉冲持续时间, EXT_REFCLK1 高电平	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK3	t _w (EXT_REFCLK1L)	脉冲持续时间, EXT_REFCLK1 低电平	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK1	t _c (WKUP_EXT_REFCLK0)	最小周期时间, WKUP_EXT_REFCLK0	10		ns
CLK2	t _w (WKUP_EXT_REFCLK0H)	脉冲持续时间, WKUP_EXT_REFCLK0 高电平	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK3	t _w (WKUP_EXT_REFCLK0L)	脉冲持续时间, WKUP_EXT_REFCLK0 低电平	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK0)	最小周期时间, AUDIO_EXT_REFCLK0	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK0H)	脉冲持续时间, AUDIO_EXT_REFCLK0 高电平	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK0L)	脉冲持续时间, AUDIO_EXT_REFCLK0 低电平	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK1)	最小周期时间, AUDIO_EXT_REFCLK1	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK1H)	脉冲持续时间, AUDIO_EXT_REFCLK1 高电平	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK1L)	脉冲持续时间, AUDIO_EXT_REFCLK1 低电平	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns

- (1) E = EXT_REFCLK1 周期时间 (以 ns 为单位)。
(2) F = WKUP_EXT_REFCLK0 周期时间 (以 ns 为单位)。
(3) G = AUDIO_EXT_REFCLK0 周期时间 (以 ns 为单位)。
(4) H = AUDIO_EXT_REFCLK1 周期时间 (以 ns 为单位)。

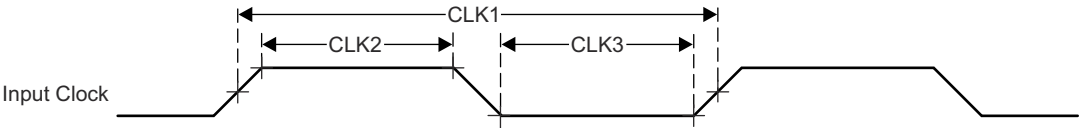


图 6-18. 时钟时序要求

表 6-17. 时钟开关特性

请参阅图 6-19

编号	参数	最小值	最大值	单位
CLK4	$t_{c(OBSCLK0)}$	5		ns
CLK5	$t_{w(OBSCLK0H)}$	$B \cdot 0.45^{(1)}$	$B \cdot 0.55^{(1)}$	ns
CLK6	$t_{w(OBSCLK0L)}$	$B \cdot 0.45^{(1)}$	$B \cdot 0.55^{(1)}$	ns
CLK4	$t_{c(OBSCLK1)}$	5		ns
CLK5	$t_{w(OBSCLK1H)}$	$F \cdot 0.45^{(2)}$	$F \cdot 0.55^{(2)}$	ns
CLK6	$t_{w(OBSCLK1L)}$	$F \cdot 0.45^{(2)}$	$F \cdot 0.55^{(2)}$	ns
CLK4	$t_{c(CLKOUT0)}$	20		ns
CLK5	$t_{w(CLKOUT0H)}$	$C \cdot 0.4^{(3)}$	$C \cdot 0.6^{(3)}$	ns
CLK6	$t_{w(CLKOUT0L)}$	$C \cdot 0.4^{(3)}$	$C \cdot 0.6^{(3)}$	ns
CLK4	$t_{c(WKUP_SYSCCLKOUT0)}$	10		ns
CLK5	$t_{w(WKUP_SYSCCLKOUT0H)}$	$E \cdot 0.4^{(4)}$	$E \cdot 0.6^{(4)}$	ns
CLK6	$t_{w(WKUP_SYSCCLKOUT0L)}$	$E \cdot 0.4^{(4)}$	$E \cdot 0.6^{(4)}$	ns
CLK4	$t_{c(WKUP_OBSCLK0)}$	5		ns
CLK5	$t_{w(WKUP_OBSCLK0H)}$	$D \cdot 0.45^{(5)}$	$D \cdot 0.55^{(5)}$	ns
CLK6	$t_{w(WKUP_OBSCLK0L)}$	$D \cdot 0.45^{(5)}$	$D \cdot 0.55^{(5)}$	ns
CLK4	$t_{c(WKUP_CLKOUT0)}$	5		ns
CLK5	$t_{w(WKUP_CLKOUT0H)}$	$W \cdot 0.4^{(6)}$	$W \cdot 0.6^{(6)}$	ns
CLK6	$t_{w(WKUP_CLKOUT0L)}$	$W \cdot 0.4^{(6)}$	$W \cdot 0.6^{(6)}$	ns
CLK4	$t_{c(AUDIO_EXT_REFCLK0)}$ (McASP 时钟源)	20		ns
	$t_{c(AUDIO_EXT_REFCLK0)}$ (PLL 时钟源)	10		ns
CLK5	$t_{w(AUDIO_EXT_REFCLK0H)}$	$G \cdot 0.4^{(7)}$	$G \cdot 0.6^{(7)}$	ns
CLK6	$t_{w(AUDIO_EXT_REFCLK0L)}$	$G \cdot 0.4^{(7)}$	$G \cdot 0.6^{(7)}$	ns
CLK4	$t_{c(AUDIO_EXT_REFCLK1)}$ (McASP 时钟源)	20		ns
	$t_{c(AUDIO_EXT_REFCLK1)}$ (PLL 时钟源)	10		ns
CLK5	$t_{w(AUDIO_EXT_REFCLK1H)}$	$J \cdot 0.4^{(8)}$	$J \cdot 0.6^{(8)}$	ns
CLK6	$t_{w(AUDIO_EXT_REFCLK1L)}$	$J \cdot 0.4^{(8)}$	$J \cdot 0.6^{(8)}$	ns

- (1) B = OBSCLK0 周期时间 (以 ns 为单位)。
(2) F = OBSCLK1 周期时间 (以 ns 为单位)。
(3) C = CLKOUT0 周期时间 (以 ns 为单位)。
(4) E = WKUP_SYSCCLKOUT0 周期时间 (以 ns 为单位)。
(5) D = WKUP_OBSCLK0 周期时间 (以 ns 为单位)。
(6) W = WKUP_CLKOUT0 周期时间 (以 ns 为单位)。
(7) G = AUDIO_EXT_REFCLK0 周期时间 (以 ns 为单位)。
(8) J = AUDIO_EXT_REFCLK1 周期时间 (以 ns 为单位)。

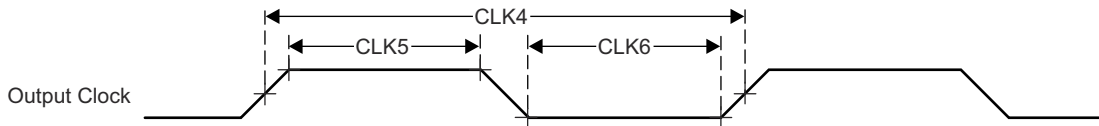


图 6-19. 时钟开关特性

6.11.4 时钟规格

6.11.4.1 输入时钟/振荡器

需要使用各种外部时钟输入/输出来驱动器件。这些输入时钟信号总结如下：

- WKUP_OSC0_XO/WKUP_OSC0_XI - 连接到内部高频振荡器 (WKUP_HFOSC0) 的外部主晶体接口引脚，该振荡器是内部基准时钟 HFOSC0_CLKOUT 的默认时钟源。
- LFOSC0_XO/LFOSC0_XI - 连接到内部低频振荡器 (LFOSC0) 的外部晶振接口引脚，该振荡器提供可选的 32768Hz 基准时钟。
- 通用时钟输入
 - WKUP_EXT_REFCLK0 - 可选的外部系统时钟。
 - EXT_REFCLK1 - 可选的外部系统时钟。
- 外部 CPTS 基准时钟输入
 - CP_GEMAC_CPTS0_RFT_CLK - CPTS_RFT_CLK 的可选基准时钟输入。
- 外部音频基准时钟输入/输出
 - AUDIO_EXT_REFCLK[1:0] - 配置为输入时的可选 McASP 高频输入时钟。

有关输入时钟接口的详细信息，请参阅器件 TRM 的 *器件配置* 一章中的 *时钟* 一节。

6.11.4.1.1 WKUP_OSC0 内部振荡器时钟源

图 6-20 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件必须尽可能靠近 WKUP_OSC0_XI 和 WKUP_OSC0_XO 引脚放置。

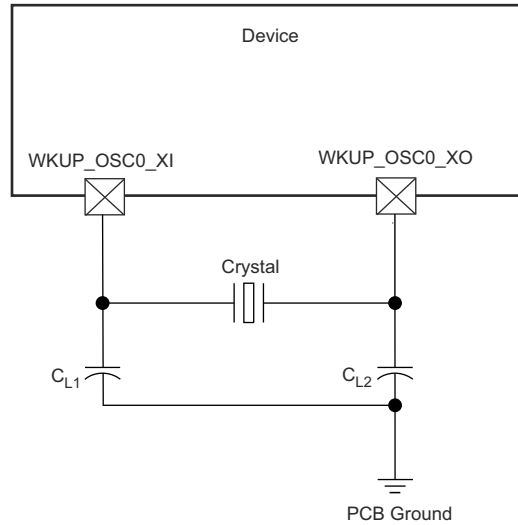


图 6-20. WKUP_OSC0 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-18 总结了所需的电气约束。

表 6-18. WKUP_OSC0 晶体电路要求

参数				最小值	典型值	最大值	单位
F_{xtal}	晶体并联谐振频率			25			MHz
F_{xtal}	晶体频率稳定性和容差	未使用以太网 RGMII 和 RMII				± 100	ppm
		RGMII 和 RMII 使用衍生的时钟				± 50	
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ 电容			12		24	pF
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ 电容			12		24	pF
C_L	晶体负载电容			6		12	pF
C_{shunt}	晶体电路并联电容	$ESR_{xtal} = 30 \Omega$	25MHz			7	pF
		$ESR_{xtal} = 40 \Omega$	25MHz			5	pF
		$ESR_{xtal} = 50 \Omega$	25MHz			5	pF
ESR_{xtal}	晶体有效串联电阻					(1)	Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑晶体的温度和老化特性。

表 6-19 详细说明了振荡器的开关特性。

表 6-19. WKUP_OSC0 开关特性 - 晶体模式

参数		最小值	典型值	最大值	单位
C_{XI}	XI 电容			0.812	pF
C_{XO}	XO 电容			0.848	pF
C_{XIXO}	XI 至 XO 互电容			0.01	pF
t_s	启动时间		4		ms

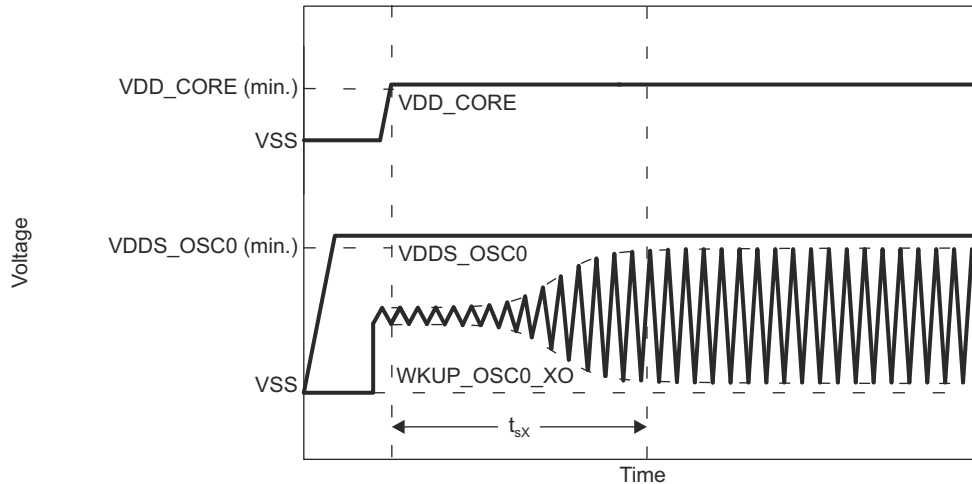


图 6-21. WKUP_OSC0 启动时间

6.11.4.1.1.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1} 、 C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 WKUP_OSC0_XI 和 WKUP_OSC0_XO 的 PCB 信号引线具有接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，PCB 设计人员应该能够提取每条信号引线的寄生电容。WKUP_OSC0 电路和器件封装具有组合的接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，表 6-19 定义了这些寄生电容值。

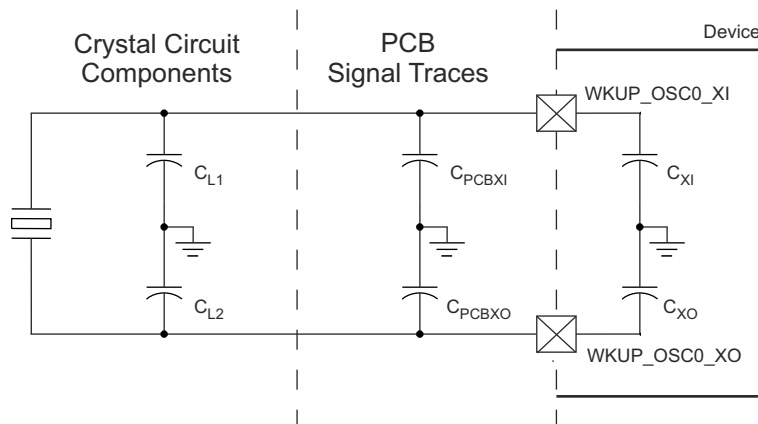


图 6-22. 负载电容

在选择图 6-20 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 $C_L = 10\text{pF}$ ， $C_{PCBXI} = 2.9\text{pF}$ ， $C_{XI} = 0.5\text{pF}$ ， $C_{PCBXO} = 3.7\text{pF}$ ， $C_{XO} = 0.5\text{pF}$ ，则 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ and $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$

6.11.4.1.1.2 并联电容

晶体电路的设计还必须使其不超过表 6-18 中定义的 WKUP_OSC0 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 WKUP_OSC0 的 PCB 信号引线彼此之间存

在互寄生电容 $C_{PCBXIXO}$ ，PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO} ，表 6-19 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时，还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时，应尽量减小 PCB 上的互电容以提供尽可能大的裕度，这一点非常重要。

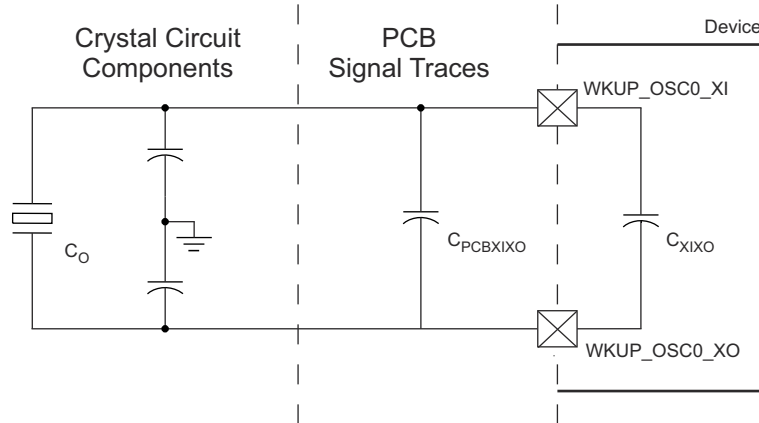


图 6-23. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$$C_{\text{shunt}} \geq C_O + C_{PCBXIXO} + C_{XIXO}$$

例如，当所用的晶体为 25MHz，ESR = 30Ω， $C_{PCBXIXO} = 0.04\text{pF}$ ， $C_{XIXO} = 0.01\text{pF}$ ，且晶体的并联电容小于等于 6.95pF 时，应满足该公式。

6.11.4.1.2 WKUP_OSC0 LVC MOS 数字时钟源

图 6-24 展示了当 WKUP_OSC0_XI 连接到 1.8V LVC MOS 方波数字时钟源时建议的振荡器连接。

备注

1. 当振荡器上电时，WKUP_OSC0_XI 上不允许出现直流稳态情况。这是不允许的，因为 WKUP_OSC0_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 WKUP_OSC0_XI 不在不同逻辑状态之间切换，应用软件就必须使 WKUP_OSC0 断电。
2. 为 WKUP_OSC0_XI 输入提供时钟源的 LVC MOS 时钟信号必须具有单调转换。该时钟源应通过放置在时钟源附近的串联端接电阻器以点对点连接的方式连接到 WKUP_OSC0_XI。串联端接电阻值应使时钟源输出阻抗与传输线路阻抗相匹配。例如，如果时钟源的输出阻抗为 30 欧姆，并且 PCB 信号布线的特征阻抗为 50 欧姆，则串联端接电阻值需要为 20 欧姆。这样的电阻可以完全吸收从未端接传输线路的远端返回的反射，从而避免在信号上引入任何非单调事件。
3. 应最大限度缩短将 LVC MOS 时钟源连接到 WKUP_OSC0_XI 的 PCB 布线长度。这样可以减小容性负载并降低外部噪声源耦合到时钟信号中的可能性。减小容性负载可优化时钟信号的上升/下降时间，从而降低系统中出现抖动的可能性。

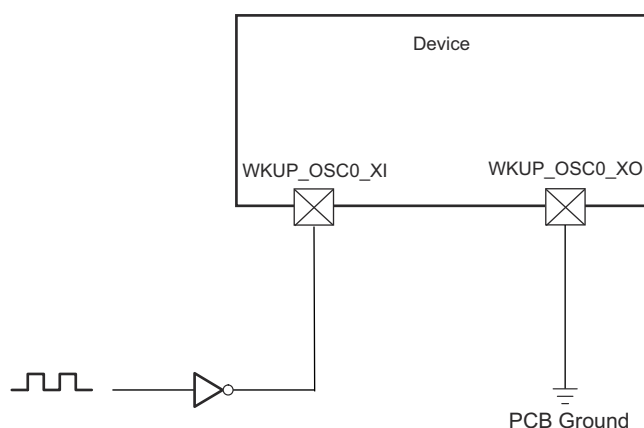


图 6-24. 与 1.8V LVC MOS 兼容的时钟输入

表 6-20. WKUP_OSC0 LVC MOS 数字时钟源要求

参数			最小值	典型值	最大值	单位
F _{xtal}	频率		25			MHz
	频率稳定性和容差	未使用以太网 RGMII 和 RMII	±100			ppm
		RGMII 和 RMII 使用衍生的时钟	±50			
DC	占空比		45		55	%
t _{R/F}	上升/下降时间 (10%-90% 上升, 90%-10% 下降)				4 ⁽¹⁾	ns
J _{Period(RMS)}	周期抖动, RMS (100k 个样本)				20	ps
J _{Period(PK-PK)}	周期抖动, 峰峰值 (100k 个样本)				300	ps
J _{Phase(RMS)}	相位抖动, RMS (带宽 100Hz 至 1MHz)				10 ⁽²⁾	ps

- (1) 大多数 LVC MOS 振荡器数据表在其最大输出上升/下降时间的定义中使用的容性负载要比 PCB 布线电容与 WKUP_OSC0_XI 输入电容组合所要施加的实际负载大得多。应该不难找到满足此要求的 LVC MOS 振荡器。但是, 系统设计人员必须确认所选的 LVC MOS 振荡器能够为 WKUP_OSC0_XI 输入提供适当的上升/下降时间。
- (2) 大多数 LVC MOS 振荡器数据表在其最大 RMS 相位抖动的定义中使用的带宽积分范围大于此器件的要求。为了获得更合适的值, 可能有必要联系 LVC MOS 振荡器制造商, 要求他们使用为此参数定义的带宽积分范围来提供最大 RMS 相位抖动。

6.11.4.1.3 LFOSC0 内部振荡器时钟源

图 6-25 展示了建议的晶体电路。建议预量产印刷电路板 (PCB) 设计包含两个可选电阻器 R_{bias} 和 R_d ，因为在与量产晶体电路元件结合使用时，需要使用这些电阻器来确保振荡器正常运行。在大多数情况下，不需要 R_{bias} ， R_d 是一个 0Ω 电阻器。在使用安装在预量产 PCB 上的量产晶体电路元件评估振荡器性能后，可以从量产 PCB 设计中移除这些电阻器。

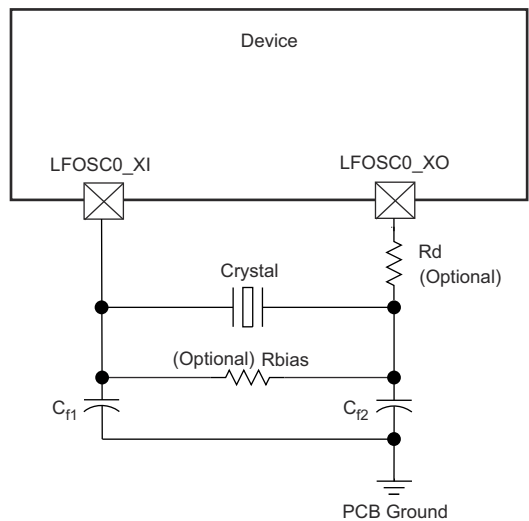


图 6-25. LFOSC0 晶体实现

表 6-21 说明了 LFXOSC 运行模式。

表 6-21. LFXOSC 运行模式

模式	BP_C	PD_C	XI	XO	CLK_OUT	说明
运行	0	0	XTAL	XTAL	CLK_OUT	提供 32kHz 频率的有源振荡器模式
PWRDN	0	1	X	PD	低电平	输出将被下拉至低电平。PAD 为三态。有源模式被禁用
BYPASS	1	0	CLK	PD	CLK	XI 由外部时钟源驱动。XO 被下拉至低电平。由于有 ESD 二极管供电，除非存在振荡器电源，否则不应驱动 XI。

备注

用户应为 6pf 至 9.5pf 范围内的 CL 设置 RTC_RTC_LFXOSC_TRIM[18:16] i_mult = 3b' 001。应为 8.5pf 至 12pf 范围内的 CL 设置 RTC_RTC_LFXOSC_TRIM [18:16] i_mult = 3b' 010。默认设置为 3b' 010。

备注

在选择图 6-26 中的负载电容器 C_{f1} 和 C_{f2} 时，应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应尽可能靠近关联的振荡器 LFOSC0_XI、LFOSC0_XO 和 VSS 引脚放置。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

JFES_01_000101_00

图 6-26. 负载电容公式

晶体必须处于基本工作模式并且并联谐振。表 6-22 总结了所需的电气约束。

表 6-22. LFOSC0 晶体电气特性

名称	说明	最小值	典型值	最大值	单位
f_p	并联谐振晶体频率		32768		Hz
	晶体频率稳定性和容差			± 100	PPM
C_{f1}	用于晶体并联谐振的 C_{f1} 负载电容, $C_{f1} = C_{f2}$	12		24	pF
C_{f2}	用于晶体并联谐振的 C_{f2} 负载电容, $C_{f1} = C_{f2}$	12		24	pF
C_{shunt}	并联电容	ESR _x tal - 40k Ω		4	pF
		ESR _x tal - 60k Ω		3	pF
		ESR _x tal - 80k Ω		2	pF
		ESR _x tal - 100k Ω		1	pF
ESR	晶体有效串联电阻			(1)	Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

表 6-23 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-23. LFOSC0 开关特性 - 晶体模式

名称	说明	最小值	典型值	最大值	单位
f_{xtal}	振荡频率		32768		Hz
t_{sX}	启动时间			96.5	ms

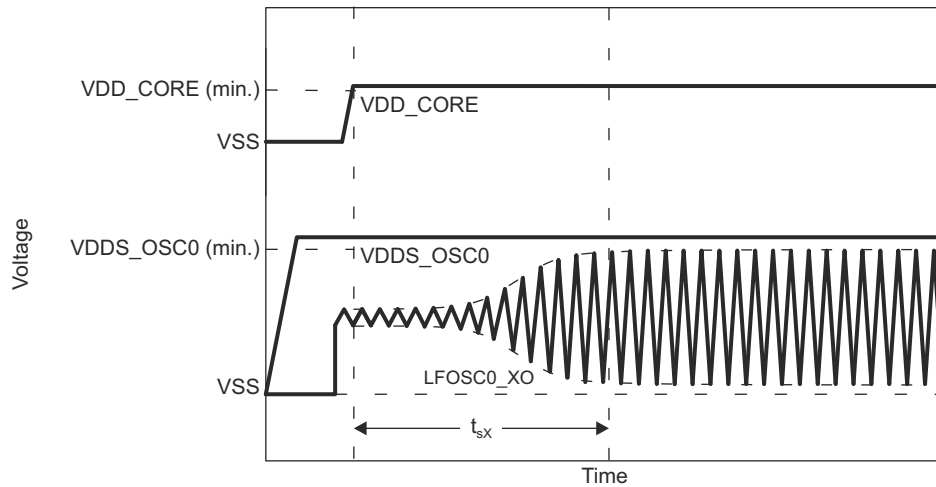


图 6-27. LFOSC0 启动时间

6.11.4.1.4 LFOSC0 LVCMOS 数字时钟源

图 6-28 展示了当 LFOSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

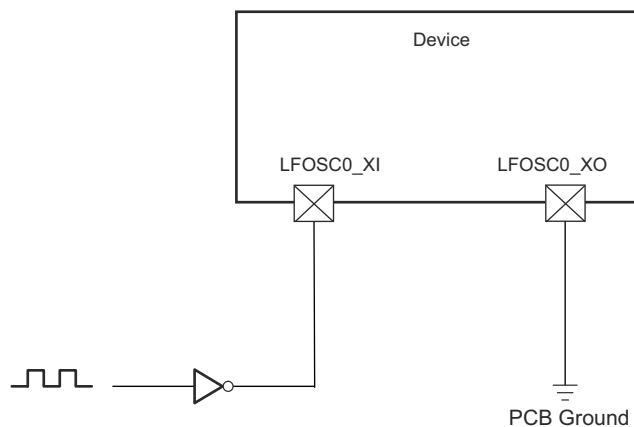


图 6-28. 与 1.8V LVCMOS 兼容的时钟输入

6.11.4.1.5 未使用 LFOSC0

图 6-29 展示了未使用 LFOSC0 时建议的振荡器连接。

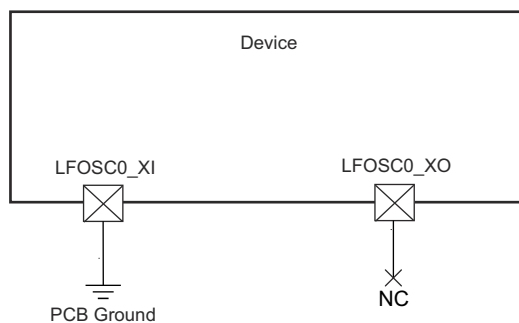


图 6-29. 未使用 LFOSC0

6.11.4.2 输出时钟

该器件提供多个系统时钟输出。这些输出时钟总结如下：

- **WKUP_SYSCLKOUT0**
 - WKUP_PLL0_HSDIV0_CLKOUT (PER_SYSCLK0) 除以 4 后作为 WKUP_SYSCLKOUT0 从器件发出。该时钟输出仅用于测试和调试目的。
- **WKUP_OBSCCLK0**
 - 当 WKUP_OBSCCLK_OUTMUX 用于选择 WKUP_HFOSC0 的直接输出时，此输出只能用作功能时钟源。
 - 当选择任何其他时钟源时，此输出仅可用于测试和调试目的。
- **WKUP_CLKOUT0**
 - 当 WKUP_CLKOUTMUX 用于选择 LFOSC0_CLKOUT、DEVICE_CLKOUT_32K 或 WKUP_HFOSC0 的直接输出时，此输出只能用作功能时钟源。
 - 当选择任何其他时钟源时，此输出仅可用于测试和调试目的。
- **CLKOUT0**
 - CLKOUT0 是以太网子系统时钟 (MAIN_PLL0_HSDIV6_CLKOUT) 进行 5 分频或 10 分频。该时钟输出作为外部 PHY 的可选源提供。当配置为作为 RMII 时钟源 (50MHz) 运行时，信号还必须路由回至相应的 RMII[x]_REF_CLK 引脚，以便器件正常运行。
- **OBSCCLK[1:0]**
 - 当 OBSCCLK0_CTRL 用于选择 WKUP_HFOSC0 的直接输出时，输出只能用作功能时钟源。
 - 当选择任何其他时钟源时，这些输出仅可用于测试和调试目的。
- **AUDIO_EXT_REFCLK[1:0]**
 - 当配置为输出时提供六个 McASP 高频音频基准时钟之一的选项，MAIN_PLL0_HSDIV8_CLKOUT 或 WKUP_PLL0_HSDIV1_CLKOUT。

6.11.4.3 PLL

由内部稳压器向锁相环电路 (PLL) 供电，这些稳压器从片外电源获取电力。

WKUP 域中有一个 PLL：

- WKUP_PLL0 (WKUP PLL)

MAIN 域中有三个 PLL：

- MAIN_PLL0 (主 PLL)
- MAIN_PLL8 (ARM0 PLL)
- MAIN_PLL17 (DSS PLL0)

在配置和使用任何 PLL 输出作为时钟源之前，系统设计人员应考虑基准时钟源启动时间和 PLL 锁定要求。节 [6.11.4.1 输入时钟/振荡器](#) 中定义了器件基准时钟输入要求。器件 TRM 中介绍了 PLL 配置详细信息。

有关 PLL 的更多信息，请参阅器件 TRM 的 [器件配置](#) 一节的 [时钟](#) 小节中的 [PLL](#) 小节。

6.11.4.4 时钟和控制信号转换的建议系统预防措施

所有时钟和选通信号必须在 V_{IH} 和 V_{IL} 之间 (或在 V_{IL} 和 V_{IH} 之间) 单调转换。

快速信号转换更有可能发生单调转换。噪声很容易在缓慢转换的信号上产生非单调事件。因此, 请避免所有时钟和控制信号上的缓慢信号转换, 因为它们更有可能在器件内部产生干扰。

6.11.5 外设

6.11.5.1 CPSW3G

有关器件千兆位以太网 MAC 特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

6.11.5.1.1 CPSW3G MDIO 时序

表 6-24、表 6-25、表 6-26 和图 6-30 说明了 CPSW3G MDIO 的时序条件、时序要求和开关特性。

表 6-24. CPSW3G MDIO 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.9	3.6	V/ns
输出条件				
C _L	输出负载电容	10	470	pF
PCB 连接要求				
t _d (Trace Delay)	每条引线的传播延迟	0	5	ns
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		1	ns

表 6-25. CPSW3G MDIO 时序要求

请参阅图 6-30

编号	参数	最小值	最大值	单位
MDIO1	t _{su} (MDIO_MDC)	45		ns
MDIO2	t _h (MDC_MDIO)	0		ns

表 6-26. CPSW3G MDIO 开关特性

请参阅图 6-30

编号	参数	最小值	最大值	单位
MDIO3	t _c (MDC)	400		ns
MDIO4	t _w (MDCH)	160		ns
MDIO5	t _w (MDCL)	160		ns
MDIO7	t _d (MDC_MDIO)	-10	10	ns

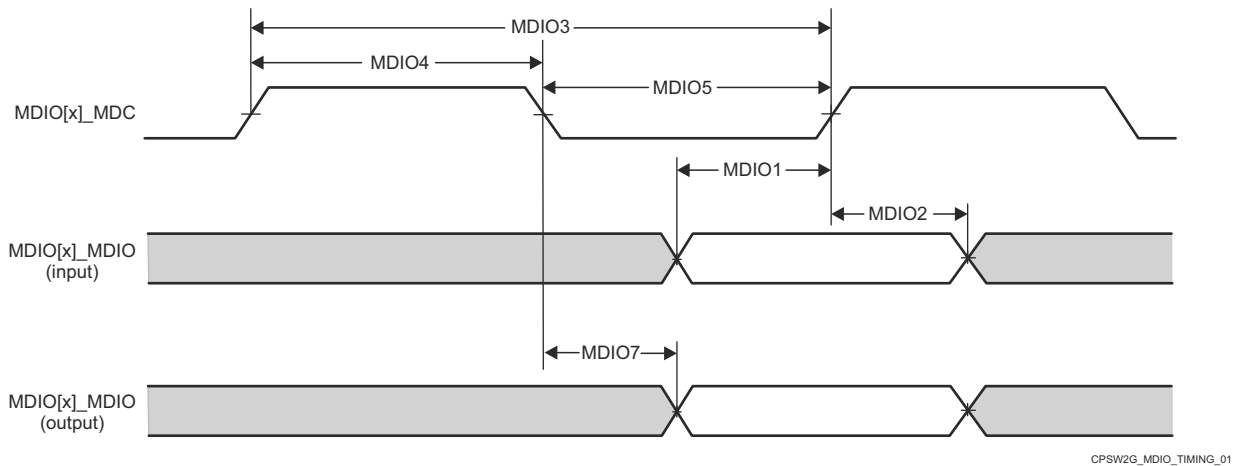


图 6-30. CPSW3G MDIO 时序要求和开关特性

6.11.5.1.2 CPSW3G RMII 时序

表 6-27、表 6-28、图 6-31、表 6-29、图 6-32、表 6-30 和图 6-33 说明了 CPSW3G RMII 的时序条件、时序要求和开关特性。

表 6-27. CPSW3G RMII 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.18	5	V/ns
输出条件				
C _L	输出负载电容	3	25	pF

表 6-28. RMII[x]_REF_CLK 时序要求 - RMII 模式

请参阅图 6-31

编号	参数	说明	最小值	最大值	单位
RMII1	t _c (REF_CLK)	周期时间, RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	t _w (REF_CLKH)	脉冲持续时间, RMII[x]_REF_CLK 高电平	7	13	ns
RMII3	t _w (REF_CLKL)	脉冲持续时间, RMII[x]_REF_CLK 低电平	7	13	ns

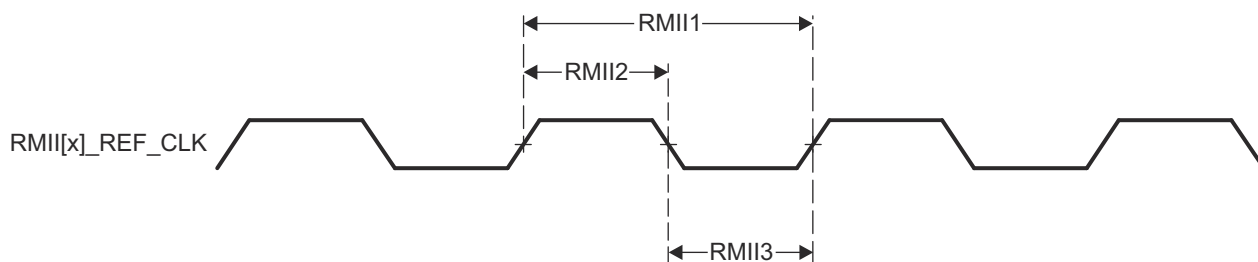


图 6-31. CPSW3G RMII[x]_REF_CLK 时序要求 - RMII 模式

表 6-29. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RX_ER 时序要求 - RMII 模式

请参阅图 6-32

编号	参数	说明	最小值	最大值	单位
RMII4	t _{su} (RXD-REF_CLK)	建立时间, 在 RMII[x]_REF_CLK 之前 RMII[x]_RXD[1:0] 有效	4		ns
	t _{su} (CRS_DV-REF_CLK)	建立时间, 在 RMII[x]_REF_CLK 之前 RMII[x]_CRS_DV 有效	4		ns
	t _{su} (RX_ER-REF_CLK)	建立时间, 在 RMII[x]_REF_CLK 之前 RMII[x]_RX_ER 有效	4		ns
RMII5	t _h (REF_CLK-RXD)	保持时间, 在 RMII[x]_REF_CLK 之后 RMII[x]_RXD[1:0] 有效	2		ns
	t _h (REF_CLK-CRS_DV)	保持时间, 在 RMII[x]_REF_CLK 之后 RMII[x]_CRS_DV 有效	2		ns
	t _h (REF_CLK-RX_ER)	保持时间, 在 RMII[x]_REF_CLK 之后 RMII[x]_RX_ER 有效	2		ns

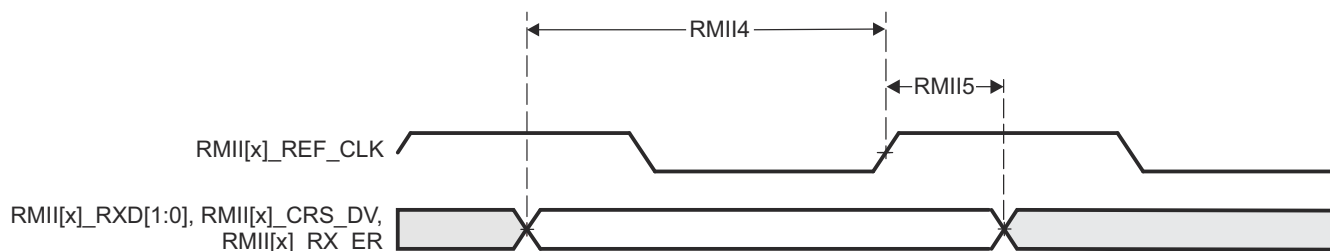


图 6-32. CPSW3G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER 时序要求 - RMII 模式

表 6-30. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

请参阅图 6-33

编号	参数	说明	最小值	最大值	单位
RMII6	$t_{d(REF_CLK-TXD)}$	延迟时间, RMII[x]_REF_CLK 高电平到 RMII[x]_TXD[1:0] 有效	2	10	ns
	$t_{d(REF_CLK-TX_EN)}$	延迟时间, RMII[x]_REF_CLK 到 RMII[x]_TX_EN 有效	2	10	ns

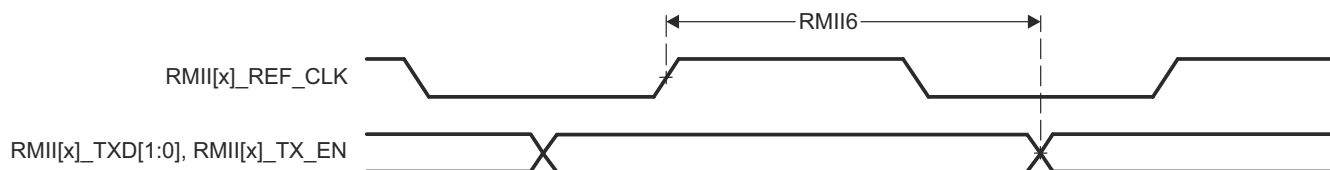


图 6-33. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

6.11.5.1.3 CPSW3G RGMII 时序

表 6-31、表 6-32、表 6-33、图 6-34、表 6-34、表 6-35 和图 6-35 说明了 CPSW3G RGMII 的时序条件、时序要求和开关特性。

表 6-31. CPSW3G RGMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率		1.44	5	V/ns
输出条件					
C _L	输出负载电容		2	20	pF
PCB 连接要求					
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL		50	ps

表 6-32. RGMII[x]_RXC 时序要求 - RGMII 模式

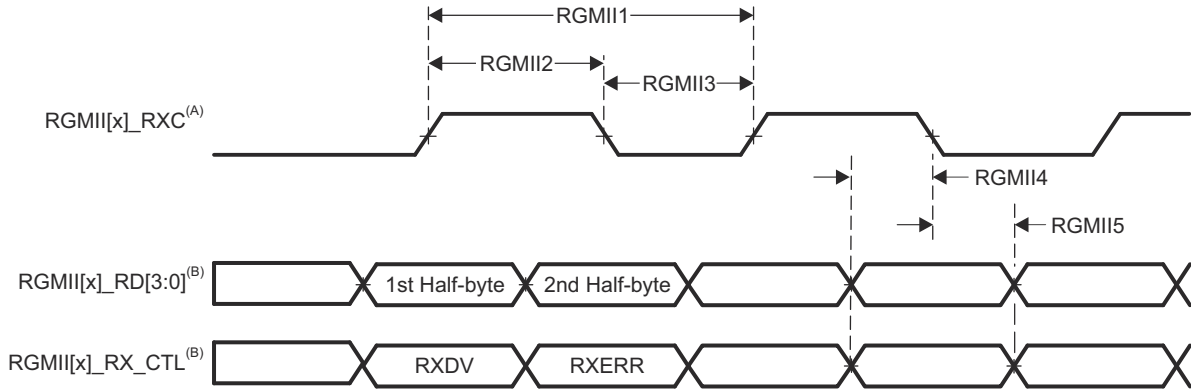
请参阅图 6-34

编号	参数	说明	模式	最小值	最大值	单位
RGMII1	$t_{c(RXC)}$	周期时间, RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	脉冲持续时间, RGMII[x]_RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	脉冲持续时间, RGMII[x]_RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-33. RGMII[x]_RD[3:0] 和 RGMII[x]_RX_CTL 时序要求 - RGMII 模式

请参阅图 6-34

编号	参数	说明	模式	最小值	最大值	单位
RGMII4	$t_{su(RD-RXC)}$	建立时间, 在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	建立时间, 在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_h(RXC-RD)$	保持时间, 在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_h(RXC-RX_CTL)$	保持时间, 在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]_RXC 必须相对于数据和控制引脚进行外部延迟。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_RD[3:0] 在 RGMII[x]_RXC 的上升沿承载数据位 3-0, 在 RGMII[x]_RXC 的下降沿承载数据位 7-4。类似地, RGMII[x]_RX_CTL 在 RGMII[x]_RXC 的上升沿承载 RXDV, 在 RGMII[x]_RXC 的下降沿承载 RXERR。

图 6-34. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL 时序要求 - RGMII 模式

表 6-34. RGMII[x]_TxC 开关特性 - RGMII 模式

请参阅图 6-35

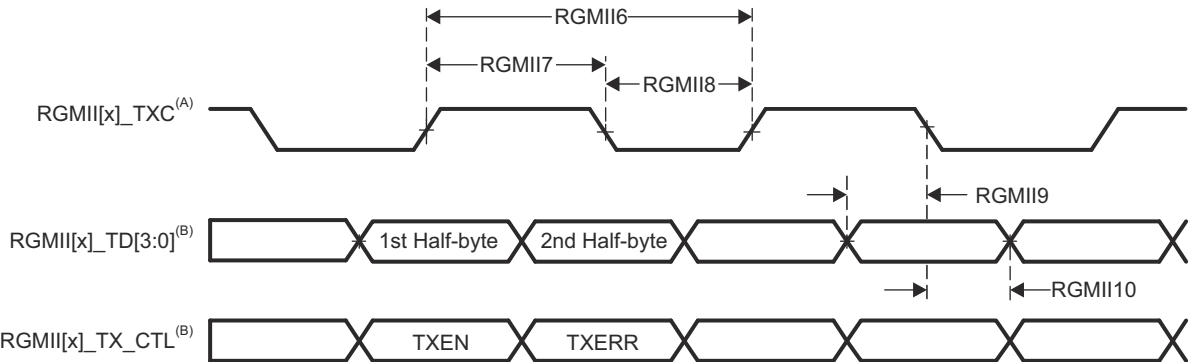
编号	参数	说明	模式	最小值	最大值	单位
RGMII6	$t_{c(TxC)}$	周期时间, RGMII[x]_TxC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	脉冲持续时间, RGMII[x]_TxC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	脉冲持续时间, RGMII[x]_TxC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-35. RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

请参阅图 6-35

编号	参数	说明	模式	最小值	最大值	单位
RGMII9	$t_{osu(TD-TxC)}$	输出建立时间 ⁽¹⁾ , RGMII[x]_TD[3:0] 有效至 RGMII[x]_TxC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TxC)}$	输出建立时间 ⁽¹⁾ , RGMII[x]_TX_CTL 有效至 RGMII[x]_TxC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TxC-TD)}$	输出保持时间 ⁽¹⁾ , RGMII[x]_TD[3:0] 在 RGMII[x]_TxC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TxC-TX_CTL)}$	输出保持时间 ⁽¹⁾ , RGMII[x]_TX_CTL 在 RGMII[x]_TxC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

(1) 输出建立/保持时间定义了发送数据和控制输出相对于发送时钟输出的延迟关系, 但该输出关系被表示为提供给所连接的接收器的最小建立/保持时间。该方法符合 RGMII 规范中定义输出时序关系的方式。



- A. TxC 在驱动至 RGMII[x]_TxC 引脚之前会在内部延迟。该内部延迟始终启用。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_TD[3:0] 在 RGMII[x]_TxC 的上升沿承载数据位 3-0, 在 RGMII[x]_TxC 的下降沿承载数据位 7-4。类似地, RGMII[x]_TX_CTL 在 RGMII[x]_TxC 的上升沿承载 TXEN, 在 RGMII[x]_TxC 的下降沿承载 TXERR。

图 6-35. CPSW3G RGMII[x]_TxC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

6.11.5.2 CPTS

表 6-36、表 6-37、图 6-36、表 6-38 和图 6-37 说明了 CPTS 的时序条件、时序要求和开关特性。

表 6-36. CPTS 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	2	10	pF

表 6-37. CPTS 时序要求

请参阅图 6-36

编号	参数	说明	最小值	最大值	单位
T1	t _w (HWnTSPUSHH)	脉冲持续时间, HWnTSPUSH 高电平	12P ⁽¹⁾ + 2		ns
T2	t _w (HWnTSPUSHL)	脉冲持续时间, HWnTSPUSH 低电平	12P ⁽¹⁾ + 2		ns
T3	t _c (RFT_CLK)	周期时间, RFT_CLK	5	8	ns
T4	t _w (RFT_CLKH)	脉冲持续时间, RFT_CLK 高电平	0.45T ⁽²⁾		ns
T5	t _w (RFT_CLKL)	脉冲持续时间, RFT_CLK 低电平	0.45T ⁽²⁾		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

(2) T = RFT_CLK 周期时间 (以 ns 为单位)。

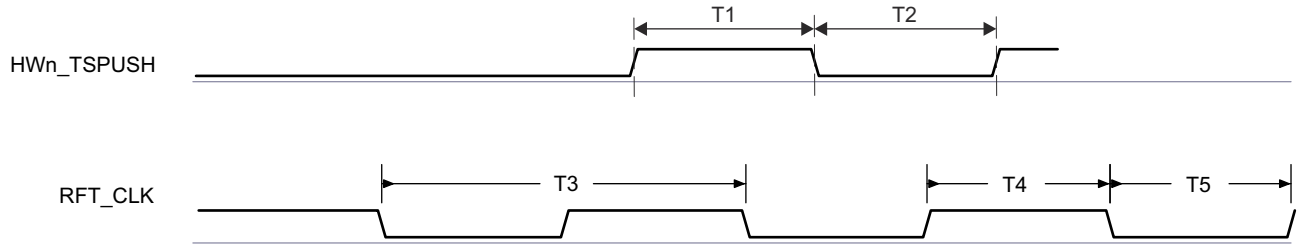


图 6-36. CPTS 时序要求

表 6-38. CPTS 开关特性

请参阅图 6-37

编号	参数	说明	源	最小值	最大值	单位
T6	$t_{w(TS_COMP)}$	脉冲持续时间, TS_COMP 高电平		$36P^{(1)} - 2$		ns
T7	$t_{w(TS_COMPL)}$	脉冲持续时间, TS_COMP 低电平		$36P^{(1)} - 2$		ns
T8	$t_{w(TS_SYNCH)}$	脉冲持续时间, TS_SYNC 高电平		$36P^{(1)} - 2$		ns
T9	$t_{w(TS_SYNCL)}$	脉冲持续时间, TS_SYNC 低电平		$36P^{(1)} - 2$		ns
T10	$t_{w(SYNCH_OUTH)}$	脉冲持续时间, SYNCn_OUT 高电平	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns
T11	$t_{w(SYNCH_OUTL)}$	脉冲持续时间, SYNCn_OUT 低电平	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

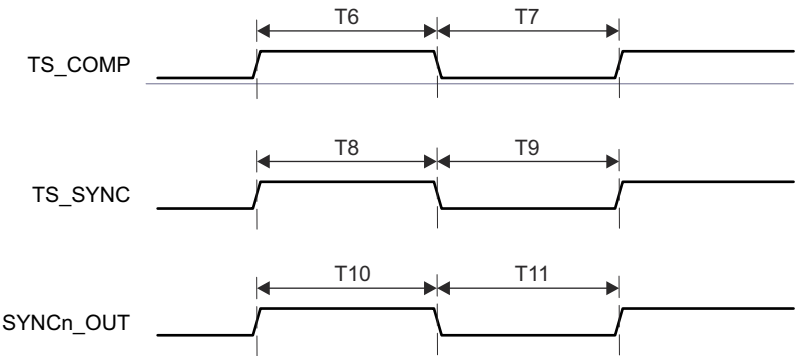


图 6-37. CPTS 开关特性

有关更多信息，请参阅器件 TRM 的通用平台时间同步 (CPTS) 章节。

6.11.5.3 DDRSS

有关器件 (LP)DDR4 存储器接口特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

表 6-39 和 图 6-38 说明了 DDRSS 的开关特性。

表 6-39. DDRSS 开关特性

请参阅图 6-38

编号	参数	DDR 类型	最小值	最大值	单位
1	$t_{c(DDR_CKP/DDR_CKN)}$ 周期时间，DDR_CKP 和 DDR_CKN	LPDDR4	1.25 ⁽¹⁾	20	ns
		DDR4	1.25 ⁽¹⁾	1.6	ns

(1) 最小 DDR 时钟周期时间将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。有关可实现最大 DDR 频率的适当 PCB 实现，请参阅 *DDR 电路板设计和布局布线指南*。

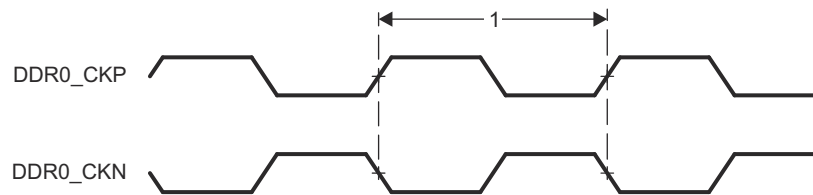


图 6-38. DDRSS 开关特性

有关更多信息，请参阅器件 TRM 的 *存储器控制器* 一章中的 *DDR 子系统 (DDRSS)* 一节。

6.11.5.4 DSI

备注

有关更多信息，请参阅器件 TRM 中的 *MIPI 显示屏串行接口 (DSI) 控制器* 一节。DSI 发送器控制器连接到名为 DSITXn 的器件端口实例，其中 n 是实例编号。

DSI 发送器控制器和相关的 D-PHY 实现了一个符合 MIPI D-PHY 规范 v1.2 和 MIPI DSI 规范 v1.3 的 DSI 端口 (DSITX0)，具有 4 个差分数据通道和 1 个差分时钟通道（以同步双倍数据速率模式运行）。有关 DSI 时序的详细信息，请参阅上述相应的 MIPI 规范。

- 通过 1、2、3 或 4 通道的数据传输模式，最高支持 4.8Gbps，每通道最高 2.5Gbps

6.11.5.5 DSS

表 6-40、表 6-41、图 6-39、表 6-42 和 图 6-40 说明了 DSS 的时序条件、时序要求和开关特性。

表 6-40. DSS 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1.44	26.4	V/ns
输出条件				
C _L	输出负载电容	1.5	5	pF
PCB 连接要求				
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

表 6-41. DSS 外部像素时钟时序要求

请参阅图 6-39

编号			最小值	最大值	单位
D6	t _c (extpclkin)	周期时间, VOUT(x)_EXTPCLKIN ⁽²⁾	6.06		ns
D7	t _w (extpclkinL)	脉冲持续时间, VOUT(x)_EXTPCLKIN ⁽²⁾ 低电平	0.475P ⁽¹⁾		ns
D8	t _w (extpclkinH)	脉冲持续时间, VOUT(x)_EXTPCLKIN ⁽²⁾ 高电平	0.475P ⁽¹⁾		ns

- (1) P = VOUT(x)_EXTPCLKIN 周期时间 (以 ns 为单位)
(2) VOUT(x) 中的 x = 0

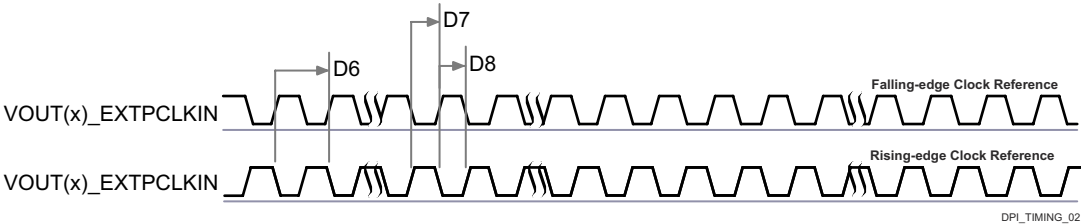


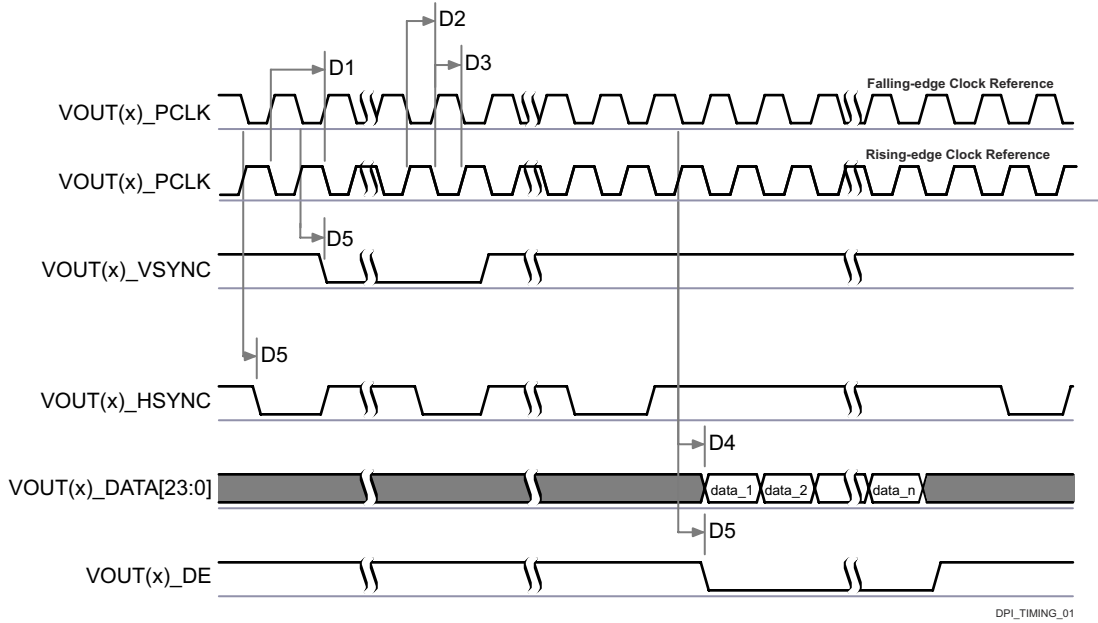
图 6-39. DSS 外部像素时钟时序要求

表 6-42. DSS 开关特性

请参阅图 6-40

编号	参数	模式	最小值	最大值	单位
D1	$t_{c(pclk)}$		6.06		ns
D2	$t_{w(pclkL)}$	内部 PLL	$0.475P^{(1)} - 0.3$		ns
		EXTCLKIN	$Y^{(3)} - 0.45$		ns
D3	$t_{w(pclkH)}$	内部 PLL	$0.475P^{(1)} - 0.3$		ns
		EXTCLKIN	$Z^{(4)} - 0.45$		ns
D4	$t_{d(pclkV-dataV)}$	内部 PLL	-0.68	1.78	ns
		EXTCLKIN	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrlL)}$	内部 PLL	-0.68	1.78	ns
		EXTCLKIN	-0.68	1.78	ns

- (1) $P = VOUT(x)_PCLK$ 周期时间 (以 ns 为单位)
(2) $VOUT(x)$ 中的 $x = 0$
(3) $Y = t_{w(extpclkL)}$, 表 6-41 DSS 外部像素时钟时序要求中的参数 D7
(4) $Z = t_{w(extpclkH)}$, 表 6-41 DSS 外部像素时钟时序要求中的参数 D8



- A. 可以将数据置为有效编程为在像素时钟的下降沿或上升沿发生。请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 一节。
B. $VOUT(x)_HSYNC$ 和 $VOUT(x)_VSYNC$ 的极性和脉冲宽度是可编程的, 请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 一节。
C. $VOUT(x)_PCLK$ 频率是可配置的, 请参阅器件 TRM 的外设一章中的显示子系统一节。

图 6-40. DSS 开关特性

有关更多信息, 请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 和外设一节。

6.11.5.6 ECAP

表 6-43、表 6-44、图 6-41、表 6-45 和图 6-42 说明了 ECAP 的时序条件、时序要求和开关特性。

表 6-43. ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

表 6-44. ECAP 时序要求

请参阅图 6-41

编号	参数	说明	最小值	最大值	单位
CAP1	t _w (CAP)	脉冲持续时间，CAP (异步)	2P ⁽¹⁾ + 2		ns

(1) P = MAIN_PLL0_HSDIV6 周期 (以 ns 为单位)。

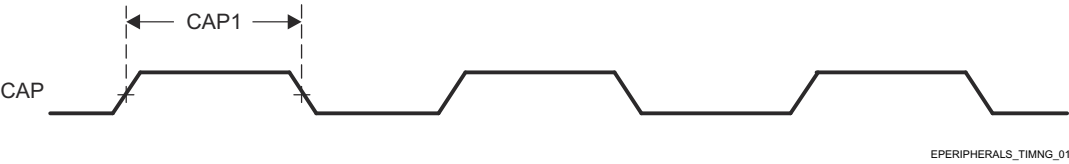


图 6-41. ECAP 时序要求

表 6-45. ECAP 开关特性

请参阅图 6-42

编号	参数	说明	最小值	最大值	单位
CAP2	t _w (APWM)	脉冲持续时间，APWMx 高电平/低电平	2P ⁽¹⁾ - 2		ns

(1) P = MAIN_PLL0_HSDIV6 周期 (以 ns 为单位)。

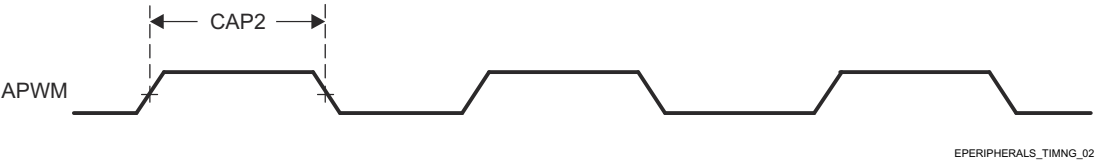


图 6-42. ECAP 开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的增强型捕获 (ECAP) 模块一节。

6.11.5.7 仿真和调试

有关器件跟踪和 JTAG 接口特性和其他说明信息的更多详情，请参阅信号说明和详细说明部分中的相应小节。

6.11.5.7.1 迹线

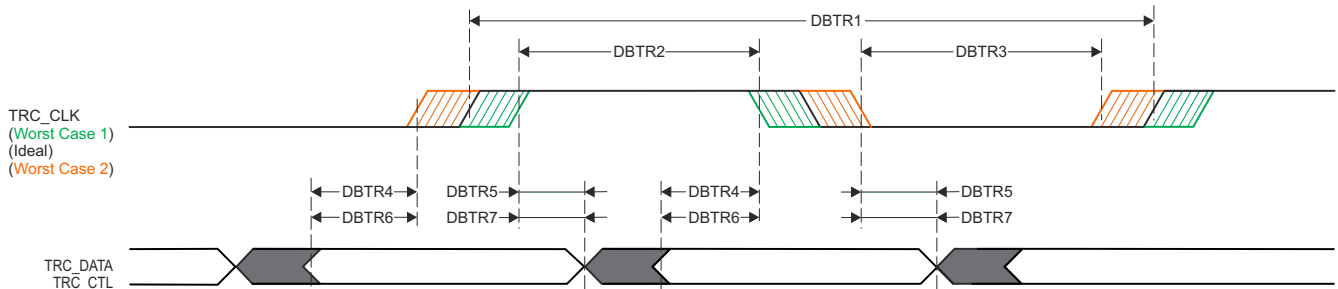
表 6-46. 布线时序条件

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容	2	5	pF
PCB 连接要求				
$t_d(\text{Trace Mismatch})$	所有布线之间的传播延迟不匹配		150	ps

表 6-47. 布线开关特性

请参阅图 6-43

编号	参数	最小值	最大值	单位
1.8V 模式				
DBTR1	$t_c(\text{TRC_CLK})$ TRC_CLK 周期时间	6.83		ns
DBTR2	$t_w(\text{TRC_CLKH})$ 脉冲宽度, TRC_CLK 高电平	2.66		ns
DBTR3	$t_w(\text{TRC_CLKL})$ 脉冲宽度, TRC_CLK 低电平	2.66		ns
DBTR4	$t_{osu}(\text{TRC_DATAV-TRC_CLK})$ 输出建立时间, TRC_DATA 到 TRC_CLK 边沿有效的时间	0.85		ns
DBTR5	$t_{oh}(\text{TRC_CLK-TRC_DATAI})$ 输出保持时间, TRC_CLK 边沿到 TRC_DATA 无效	0.85		ns
DBTR6	$t_{osu}(\text{TRC_CTLV-TRC_CLK})$ 输出建立时间, TRC_CTL 到 TRC_CLK 边沿有效的时间	0.85		ns
DBTR7	$t_{oh}(\text{TRC_CLK-TRC_CTLI})$ 输出保持时间, TRC_CLK 边沿到 TRC_CTL 无效	0.85		ns
3.3V 模式				
DBTR1	$t_c(\text{TRC_CLK})$ TRC_CLK 周期时间	8.78		ns
DBTR2	$t_w(\text{TRC_CLKH})$ 脉冲宽度, TRC_CLK 高电平	3.64		ns
DBTR3	$t_w(\text{TRC_CLKL})$ 脉冲宽度, TRC_CLK 低电平	3.64		ns
DBTR4	$t_{osu}(\text{TRC_DATAV-TRC_CLK})$ 输出建立时间, TRC_DATA 到 TRC_CLK 边沿有效的时间	1.10		ns
DBTR5	$t_{oh}(\text{TRC_CLK-TRC_DATAI})$ 输出保持时间, TRC_CLK 边沿到 TRC_DATA 无效	1.10		ns
DBTR6	$t_{osu}(\text{TRC_CTLV-TRC_CLK})$ 输出建立时间, TRC_CTL 到 TRC_CLK 边沿有效的时间	1.10		ns
DBTR7	$t_{oh}(\text{TRC_CLK-TRC_CTLI})$ 输出保持时间, TRC_CLK 边沿到 TRC_CTL 无效	1.10		ns



SPRSP08_Debug_01

图 6-43. 布线开关特性

6.11.5.7.2 JTAG

表 6-48. JTAG 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	2.0	V/ns
输出条件				
C _L	输出负载电容	5	15	pF
PCB 连接要求				
t _d (Trace Delay)	每条引线的传播延迟	83.5	1000 ⁽¹⁾	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

(1) 与 JTAG 信号引线相关的最大传播延迟对最大 TCK 工作频率有显著的影响。可以将跟踪延迟增加到超过该值，但必须降低 TCK 的工作频率以解决额外的跟踪延迟。

表 6-49. JTAG 时序要求

请参阅图 6-44

编号	参数	最小值	最大值	单位
J1	t _c (TCK) 最小周期时间, TCK	40 ⁽¹⁾		ns
J2	t _w (TCKH) 最小脉冲宽度, TCK 高电平	0.4P ⁽²⁾		ns
J3	t _w (TCKL) 最小脉冲宽度, TCK 低电平	0.4P ⁽²⁾		ns
J4	t _{su} (TDI-TCK) 最小输入建立时间, TDI 有效到 TCK 高电平	2		ns
	t _{su} (TMS-TCK) 最小输入建立时间, TMS 有效到 TCK 高电平	2		ns
J5	t _h (TCK-TDI) 最小输入保持时间, 从 TCK 高电平到 TDI 有效	2		ns
	t _h (TCK-TMS) 最小输入保持时间, 从 TCK 高电平到 TMS 有效	2		ns

(1) 最大 TCK 工作频率假定所连接的调试器具有以下时序要求和开关特性。如果调试器超出任何这些假设，则必须降低 TCK 的工作频率以提供适当的时序裕度。

- 相对于 TCK 上升沿的最小 TDO 建立时间为 2 ns
- 相对于 TCK 下降沿, TDI 和 TMS 输出延迟范围为 -13.9 ns 至 13.9 ns

(2) P = TCK 周期时间 (以 ns 为单位)

表 6-50. JTAG 开关特性

请参阅图 6-44

编号	参数	最小值	最大值	单位
J6	t _d (TCKL-TDOI) 最小延迟时间, TCK 低电平到 TDO 无效	0		ns
J7	t _d (TCKL-TDOV) 最大延迟时间, TCK 低电平到 TDO 有效		8	ns

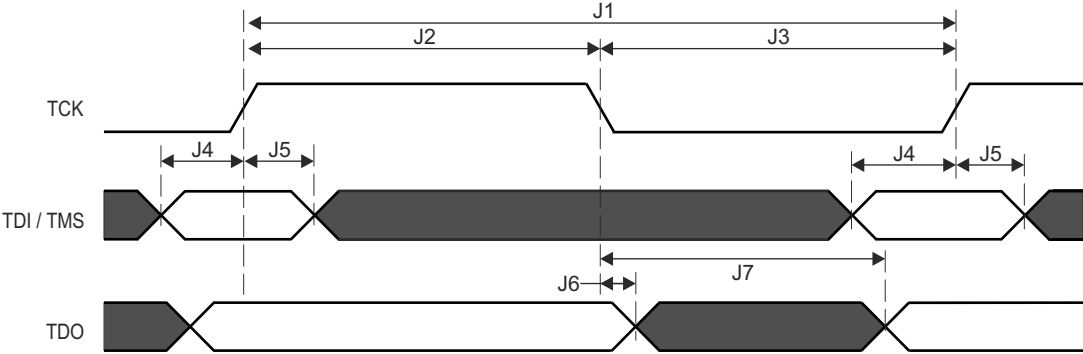


图 6-44. JTAG 时序要求和开关特性

6.11.5.8 EPWM

表 6-51、表 6-52、图 6-45、表 6-53、图 6-46、图 6-47 和图 6-48 说明了 EPWM 的时序条件、时序要求和开关特性。

表 6-51. EPWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

表 6-52. EPWM 时序要求

请参阅图 6-45

编号	参数	说明	最小值	最大值	单位
PWM6	t _w (SYNCIN)	脉冲持续时间, EHRPWM_SYNCIN	2P ⁽¹⁾ + 2		ns
PWM7	t _w (TZ)	脉冲持续时间, EHRPWM_TZn_IN 低电平	3P ⁽¹⁾ + 2		ns

(1) P = MAIN_PLL0_HSDIV6 周期 (以 ns 为单位)。

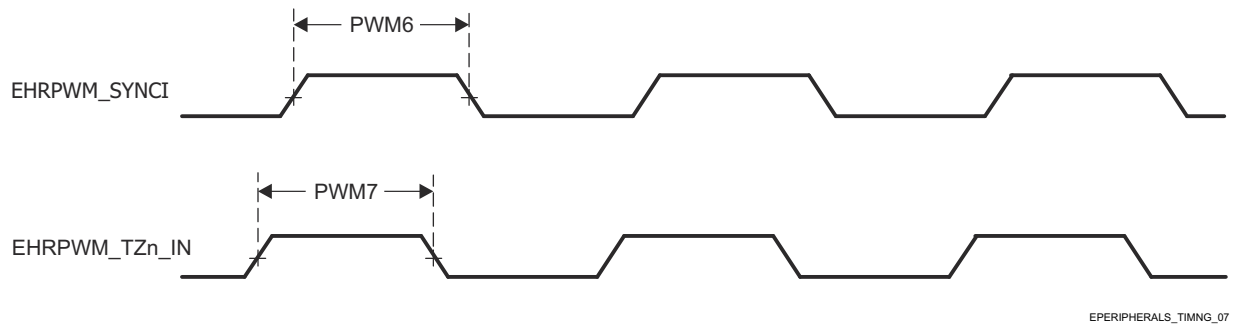


图 6-45. EPWM 时序要求

表 6-53. EPWM 开关特性

请参阅图 6-46、图 6-47 和图 6-48

编号	参数	说明	最小值	最大值	单位
PWM1	$t_{w(PWM)}$	脉冲持续时间, EHRPWM_A/B 高电平/低电平	$P^{(1)} - 3$		ns
PWM2	$t_{w(SYNCOUT)}$	脉冲持续时间, EHRPWM_SYNCO	$P^{(1)} - 3$		ns
PWM3	$t_d(TZ-PWM)$	延迟时间, EHRPWM_TZn_IN 有效到 EHRPWM_A/B 强制高电平/低电平		11	ns
PWM4	$t_d(TZ-PWMZ)$	延迟时间, EHRPWM_TZn_IN 有效到 EHRPWM_A/B 高阻态		11	ns
PWM5	$t_{w(SOC)}$	脉冲持续时间, EHRPWM_SOCA/B 输出	$P^{(1)} - 3$		ns

(1) $P = \text{MAIN_PLL0_HSDIV6 周期 (以 ns 为单位)}$ 。

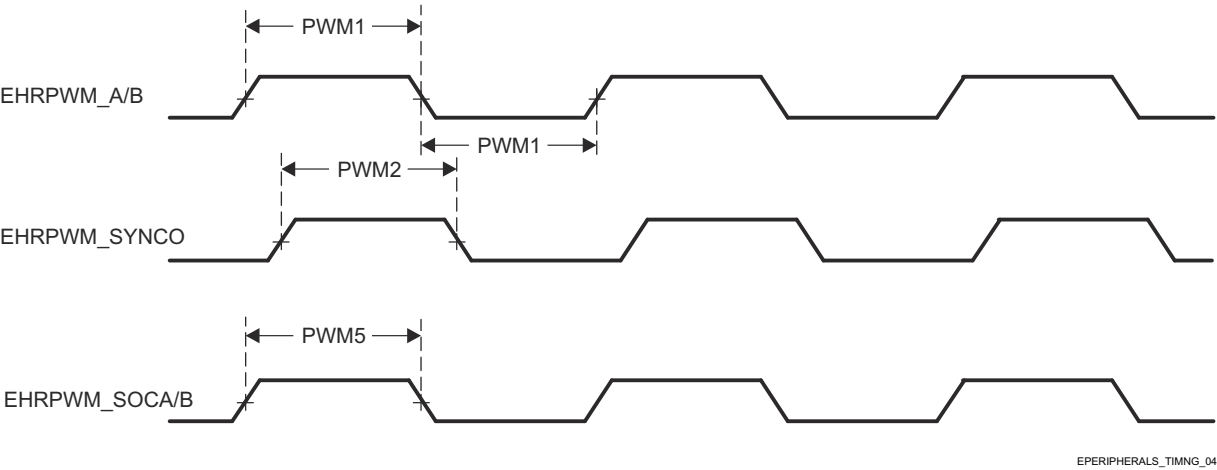


图 6-46. EHRPWM 开关特性

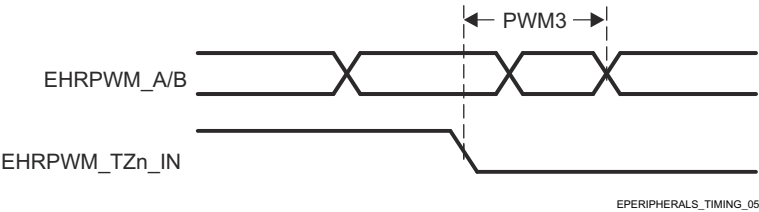


图 6-47. EHRPWM_TZn_IN 至 EHRPWM_A/B 强制开关特性

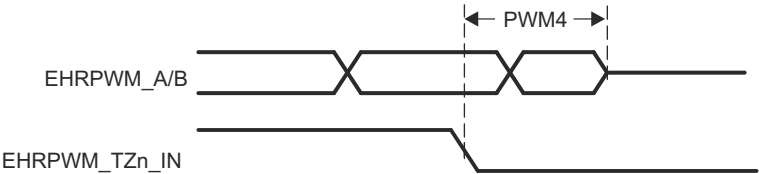


图 6-48. EHRPWM_TZn_IN 至 EHRPWM_A/B 高阻态开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的增强型脉宽调制 (EPWM) 模块一节。

6.11.5.9 EQEP

表 6-54、表 6-55、图 6-49 和表 6-56 说明了 EQEP 的时序条件、时序要求和开关特性。

表 6-54. EQEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

表 6-55. EQEP 时序要求

请参阅图 6-49

编号	参数	说明	最小值	最大值	单位
QEP1	t _w (QEP)	脉冲持续时间, QEP_A/B	2P ⁽¹⁾ + 2		ns
QEP2	t _w (QEP _I H)	脉冲持续时间, QEP_I 高电平	2P ⁽¹⁾ + 2		ns
QEP3	t _w (QEP _I L)	脉冲持续时间, QEP_I 低电平	2P ⁽¹⁾ + 2		ns
QEP4	t _w (QEP _S H)	脉冲持续时间, QEP_S 高电平	2P ⁽¹⁾ + 2		ns
QEP5	t _w (QEP _S L)	脉冲持续时间, QEP_S 低电平	2P ⁽¹⁾ + 2		ns

(1) P = MAIN_PLL0_HSDIV6 周期 (以 ns 为单位)。

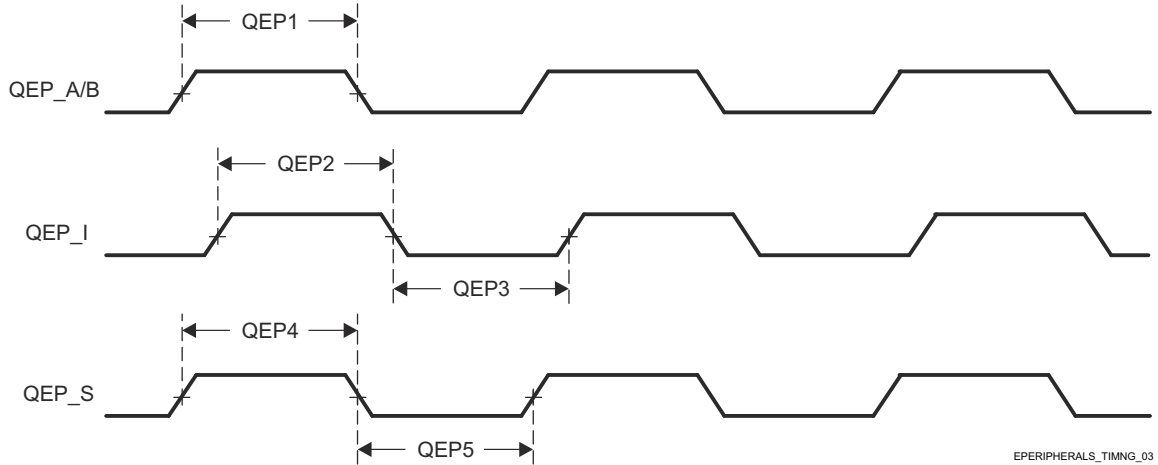


图 6-49. EQEP 时序要求

表 6-56. EQEP 开关特性

编号	参数	说明	最小值	最大值	单位
QEP6	t _d (QEP-CNTR)	延迟时间, 外部时钟到计数器增量		24	ns

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型正交编码器脉冲 (EQEP) 模块一节。

6.11.5.10 GPIO

表 6-57、表 6-58 和表 6-59 说明了 GPIO 的时序条件、时序要求和开关特性。

该器件具有两个 GPIO 模块实例。

- GPIO0
- WKUP_GPIO0

备注

GPIO_{n_x} 是用于描述 GPIO 信号的通用名称，其中 n 表示特定的 GPIO 模块，x 表示与该模块关联的输入/输出信号之一。

有关器件 GPIO 的其他说明信息，请参阅信号说明和详细说明部分中的相应小节。

表 6-57. GPIO 时序条件

参数		缓冲器类型	最小值	最大值	单位
输入条件					
SR _i	输入压摆率	LVC MOS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		LVC MOS (VDD ⁽¹⁾ = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 3.3V)	0.0033	0.08	V/ns
输出条件					
C _L	输出负载电容	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

表 6-58. GPIO 时序要求

编号	参数	说明	最小值	最大值	单位
GPIO1	t _w (GPIO_IN)	脉冲宽度，GPIO _{n_x}	2P ⁽¹⁾ + 30		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

表 6-59. GPIO 开关特性

编号	参数	说明	缓冲器类型	最小值	最大值	单位
GPIO2	t _w (GPIO_OUT)	脉冲宽度，GPIO _{n_x}	LVC MOS	0.975P ⁽¹⁾ - 3.6		ns
			I2C OD FS	160		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

有关更多信息，请参阅器件 TRM 的外设一章中的通用接口 (GPIO) 一节。

6.11.5.11 GPMC

有关器件通用存储器控制器特性和其他说明的更多详细信息，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

表 6-60 展示了 GPMC 的时序条件。

表 6-60. GPMC 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率		1.65	4	V/ns
输出条件					
C _L	输出负载电容		2	20	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	133MHz 同步模式	140	360	ps
		所有其他模式	140	720	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配			200	ps

有关更多信息，请参阅器件 TRM 的外设一章中的 [通用存储器控制器 \(GPMC\)](#) 一节。

6.11.5.11.1 GPMC 和 NOR 闪存 - 同步模式

表 6-61 和表 6-62 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 同步模式。

表 6-61. GPMC 和 NOR 闪存时序要求 - 同步模式

请参阅图 6-50、图 6-51 和图 6-54

编号	参数	说明	最小值	最大值	单位
F12	t _{su} (dV-clkH)	建立时间，GPMC_AD[15:0] 在 GPMC_CLK 高电平之前有效	0.92		ns
F13	t _h (clkH-dV)	保持时间，GPMC_AD[15:0] 在 GPMC_CLK 高电平之后有效	2.09		ns
F21	t _{su} (waitV-clkH)	建立时间，GPMC_WAIT[j] ^{(1) (2)} 在 GPMC_CLK 高电平之前有效	0.92		ns
F22	t _h (clkH-waitV)	保持时间，GPMC_WAIT[j] ^{(1) (2)} 在 GPMC_CLK 高电平之后有效	2.09		ns

(1) 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

(2) 等待监视支持仅限于 WaitMonitoringTime 值 > 0。有关等待监视功能的完整说明，请参阅器件 TRM 中的 [通用存储器控制器 \(GPMC\)](#) 一节。

表 6-62. GPMC 和 NOR 闪存开关特性 - 同步模式

请参阅图 6-50、图 6-51、图 6-52、图 6-53 和图 6-54

编号	参数	说明	最小值	最大值	单位
F0	t _c (clk)	周期时间，GPMC_CLK ⁽¹⁶⁾	7.52		ns
F1	t _w (clkH)	典型脉冲持续时间，GPMC_CLK 高电平	0.475P ⁽¹³⁾ - 0.3		ns
F1	t _w (clkL)	典型脉冲持续时间，GPMC_CLK 低电平	0.475P ⁽¹³⁾ - 0.3		ns
F2	t _d (clkH-csnV)	延迟时间，GPMC_CLK 上升沿到 GPMC_CS[n] 转换 ⁽¹²⁾	F ⁽⁵⁾ - 2.2	F ⁽⁵⁾ + 3.75	ns
F3	t _d (clkH-CSn[j]V)	延迟时间，GPMC_CLK 上升沿到 GPMC_CS[n] 无效 ⁽¹²⁾	D ⁽⁴⁾ - 2.2	D ⁽⁴⁾ + 4.5	ns
F4	t _d (aV-clk)	延迟时间，GPMC_A[27:1] 有效至 GPMC_CLK 第一个边沿	B ⁽²⁾ - 2.3	B ⁽²⁾ + 4.5	ns
F5	t _d (clkH-aIV)	延迟时间，GPMC_CLK 上升沿到 GPMC_A[27:1] 无效	-2.3	4.5	ns
F6	t _d (be[x]nV-clk)	延迟时间，GPMC_BE0n_CLE、GPMC_BE1n 有效至 GPMC_CLK 第一个边沿	B ⁽²⁾ - 2.3	B ⁽²⁾ + 1.9	ns

表 6-62. GPMC 和 NOR 闪存开关特性 - 同步模式 (续)

请参阅图 6-50、图 6-51、图 6-52、图 6-53 和图 6-54

编号	参数	说明	最小值	最大值	单位
F7	$t_{d(\text{clkH-be}[x]nIV)}$	延迟时间, GPMC_CLK 上升沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	ns
F8	$t_{d(\text{clkH-advn})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_ADVn_ALE 转换	G ⁽⁶⁾ - 2.3	G ⁽⁶⁾ + 4.5	ns
F9	$t_{d(\text{clkH-advnIV})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_ADVn_ALE 无效	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 4.5	ns
F10	$t_{d(\text{clkH-oen})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_OEn_REn 转换	H ⁽⁷⁾ - 2.3	H ⁽⁷⁾ + 3.5	ns
F11	$t_{d(\text{clkH-oenIV})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_OEn_REn 无效	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 3.5	ns
F14	$t_{d(\text{clkH-wen})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_WEn 转换	I ⁽⁸⁾ - 2.3	I ⁽⁸⁾ + 4.5	ns
F15	$t_{d(\text{clkH-do})}$	延迟时间, GPMC_CLK 上升沿到 GPMC_AD[15:0] 转换 ⁽⁹⁾	- 2.3	+ 2.7	ns
F15	$t_{d(\text{clkL-do})}$	延迟时间, GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换 ⁽¹⁰⁾	- 2.3	+ 2.7	ns
F15	$t_{d(\text{clkL-do})}$	延迟时间, GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换 ⁽¹¹⁾	- 2.3	+ 2.7	ns
F17	$t_{d(\text{clkH-be}[x]n)}$	延迟时间, GPMC_CLK 上升沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽⁹⁾	- 2.3	+ 1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽¹⁰⁾	- 2.3	+ 1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽¹¹⁾	- 2.3	+ 1.9	ns
F18	$t_{w(\text{csnV})}$	脉冲持续时间, GPMC_CSn[j] ⁽¹²⁾ 低电平	A ⁽¹⁾		ns
F19	$t_{w(\text{be}[x]nV)}$	脉冲持续时间, GPMC_BE0n_CLE、GPMC_BE1n 低电平	C ⁽³⁾		ns
F20	$t_{w(\text{advnV})}$	脉冲持续时间, GPMC_ADVn_ALE 低电平	K ⁽¹⁴⁾		ns

- (1) 对于单次读取: $A = (\text{CSRDoffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 对于单次写入: $A = (\text{CSWrOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 对于突发读取: $A = (\text{CSRDoffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 对于突发写入: $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 n 是页面突发访问编号。
- (2) 地址总线/字节使能在周期开始时有效, GPMC_CLK 激活时间可能在周期开始之后延迟 $B = \text{ClkActivationTime} \times \text{GPMC_FCLK}^{(15)}$
- (3) 对于单次读取: $C = \text{RdCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 对于单次写入: $C = \text{WrCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 对于突发读取: $C = (\text{RdCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 对于突发写入: $C = (\text{WrCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 n 是页面突发访问编号。
- (4) 对于单次读取: $D = (\text{RdCycleTime} - \text{RdAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 对于单次写入: $D = (\text{WrCycleTime} - \text{WrAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 对于突发读取: $D = (\text{RdCycleTime} - \text{RdAccessTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 对于突发写入: $D = (\text{WrCycleTime} - \text{WrAccessTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 n 是页面突发访问编号。
- (5) 对于 CSn 下降沿 (CS 激活):
- 如果 $\text{GPMCFCLKDIVIDER} = 0$:
 - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 1$:
 - 如果 (ClkActivationTime 和 CSOnTime 为奇数) 或 (ClkActivationTime 和 CSOnTime 为偶数), 则 $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 2$:
 - 如果 (CSOnTime - ClkActivationTime) 是 3 的倍数, 则 $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (CSOnTime - ClkActivationTime - 1) 是 3 的倍数, 则 $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (CSOnTime - ClkActivationTime - 2) 是 3 的倍数, 则 $F = (2 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于读取模式下的 CSn 上升沿 (CS 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 CSRdOffTime 为奇数) 或 (ClkActivationTime 和 CSRdOffTime 为偶数), ⁽¹⁵⁾则 $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}$
 - 否则 $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 ((CSRdOffTime - ClkActivationTime) 是 3 的倍数), ⁽¹⁵⁾则 $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}$
 - 如果 ((CSRdOffTime - ClkActivationTime - 1) 是 3 的倍数), 则 $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((CSRdOffTime - ClkActivationTime - 2) 是 3 的倍数), 则 $F = (2 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于写入模式下的 CSn 上升沿 (CS 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 CSWrOffTime 为奇数) 或 (ClkActivationTime 和 CSWrOffTime 为偶数), ⁽¹⁵⁾则 $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}$
 - 否则 $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 ((CSWrOffTime - ClkActivationTime) 是 3 的倍数), ⁽¹⁵⁾则 $F = 0.5 \times \text{CSEExtraDelay} \times \text{GPMC_FCLK}$
 - 如果 ((CSWrOffTime - ClkActivationTime - 1) 是 3 的倍数), ⁽¹⁵⁾则 $F = (1 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}$
 - 如果 ((CSWrOffTime - ClkActivationTime - 2) 是 3 的倍数), ⁽¹⁵⁾则 $F = (2 + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC_FCLK}$

(6) 对于 ADV 下降沿 (ADV 激活) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 ADVOnTime 为奇数) 或 (ClkActivationTime 和 ADVOnTime 为偶数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 ((ADVOnTime - ClkActivationTime) 是 3 的倍数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((ADVOnTime - ClkActivationTime - 1) 是 3 的倍数), 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((ADVOnTime - ClkActivationTime - 2) 是 3 的倍数), 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于读取模式下的 ADV 上升沿 (ADV 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 ADVRdOffTime 为奇数) 或 (ClkActivationTime 和 ADVRdOffTime 为偶数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 ((ADVRdOffTime - ClkActivationTime) 是 3 的倍数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((ADVRdOffTime - ClkActivationTime - 1) 是 3 的倍数), 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 ((ADVRdOffTime - ClkActivationTime - 2) 是 3 的倍数), 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于写入模式下的 ADV 上升沿 (ADV 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :

- 如果 (ClkActivationTime 和 ADVWrOffTime 为奇数) 或 (ClkActivationTime 和 ADVWrOffTime 为偶数) , 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (ADVWrOffTime - ClkActivationTime) 是 3 的倍数) , 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (ADVWrOffTime - ClkActivationTime - 1) 是 3 的倍数) , 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (ADVWrOffTime - ClkActivationTime - 2) 是 3 的倍数) , 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

(7) 对于 OE 下降沿 (OE 激活) 和 IO DIR 上升沿 (数据总线输入方向) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 OEOnTime 为奇数) 或 (ClkActivationTime 和 OEOnTime 为偶数) , 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (OEOnTime - ClkActivationTime) 是 3 的倍数) , 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (OEOnTime - ClkActivationTime - 1) 是 3 的倍数) , 则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (OEOnTime - ClkActivationTime - 2) 是 3 的倍数) , 则 $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于 OE 上升沿 (OE 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 OEOffTime 为奇数) 或 (ClkActivationTime 和 OEOffTime 为偶数) , 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (OEOffTime - ClkActivationTime) 是 3 的倍数) , 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (OEOffTime - ClkActivationTime - 1) 是 3 的倍数) , 则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (OEOffTime - ClkActivationTime - 2) 是 3 的倍数) , 则 $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

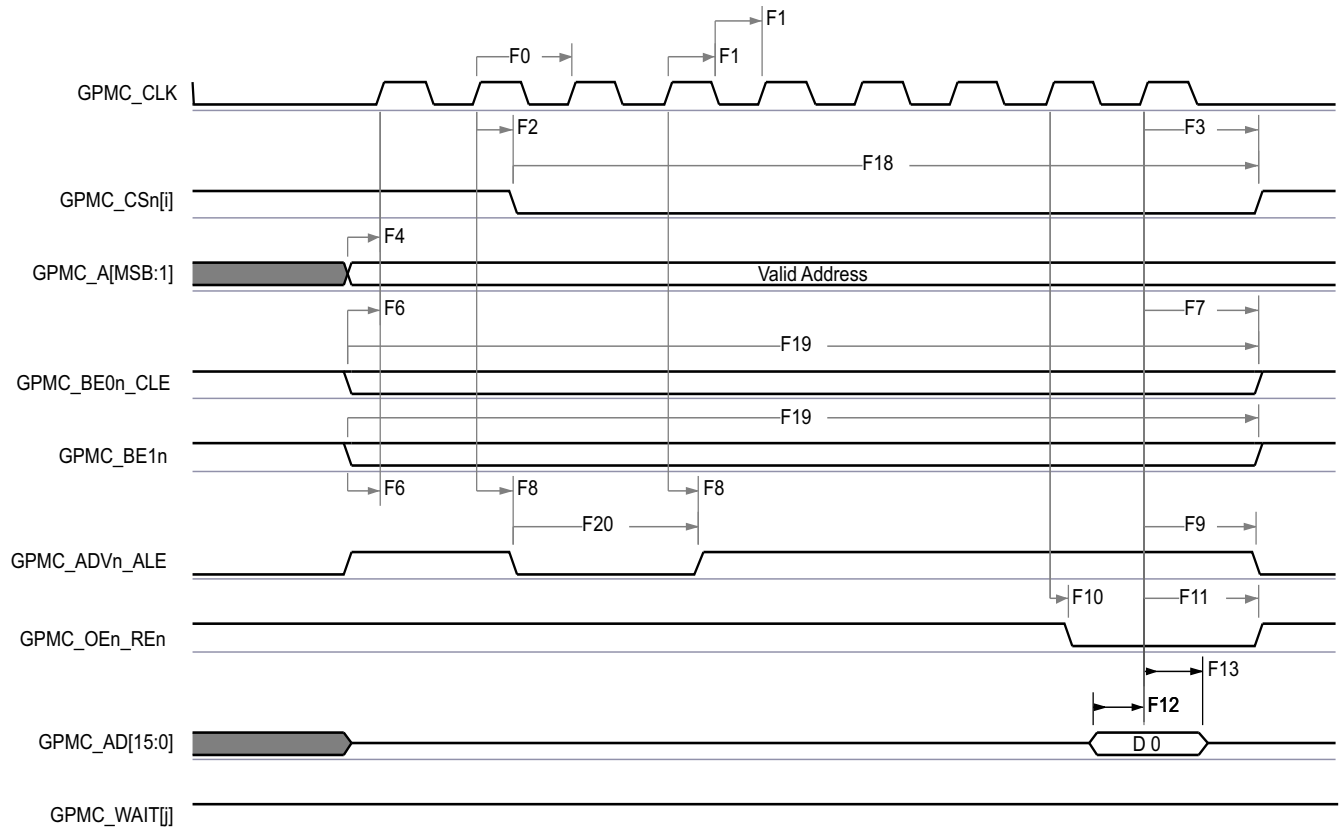
(8) 对于 WE 下降沿 (WE 激活) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 WEOnTime 为奇数) 或 (ClkActivationTime 和 WEOnTime 为偶数) , 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (WEOnTime - ClkActivationTime) 是 3 的倍数) , 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (WEOnTime - ClkActivationTime - 1) 是 3 的倍数) , 则 $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
 - 如果 (WEOnTime - ClkActivationTime - 2) 是 3 的倍数) , 则 $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$

对于 WE 上升沿 (WE 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 WEOffTime 为奇数) 或 (ClkActivationTime 和 WEOffTime 为偶数) , 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
 - 否则 $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (WEOffTime - ClkActivationTime) 是 3 的倍数) , 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$

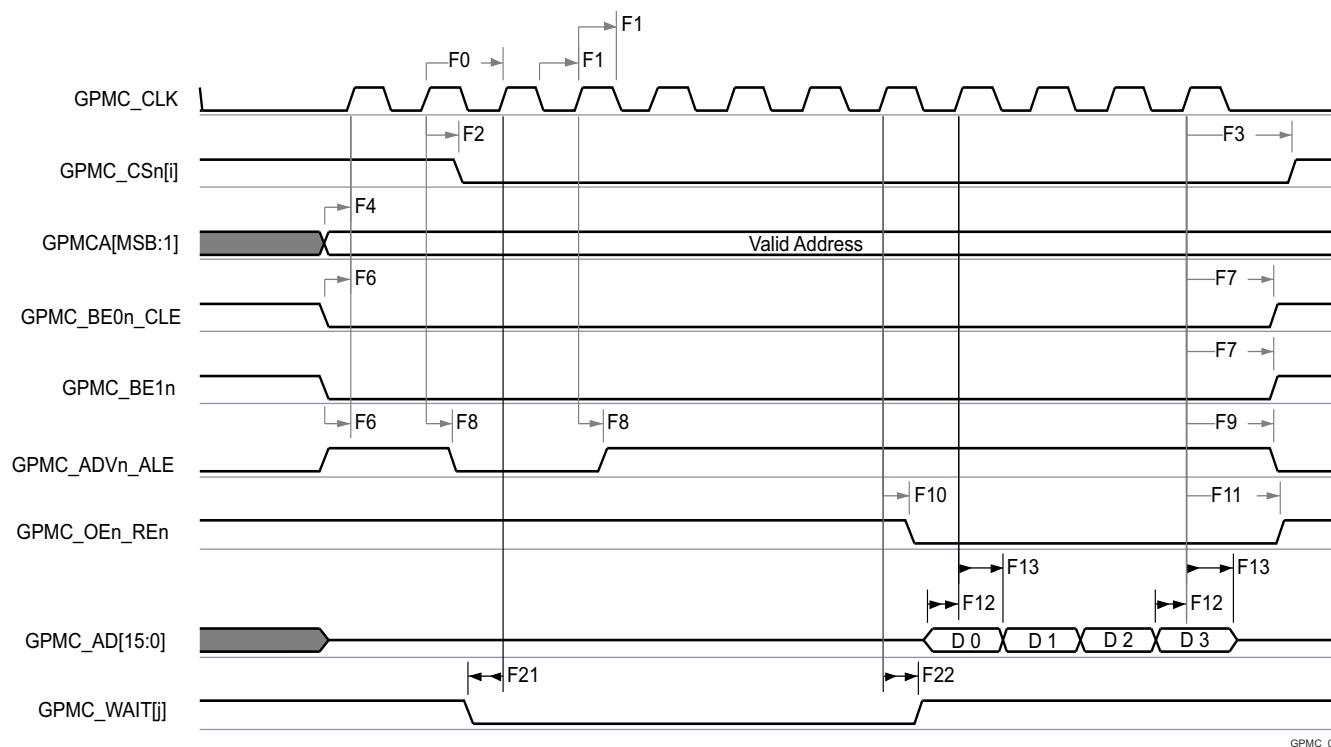
- 如果 (WEOffTime - ClkActivationTime - 1) 是 3 的倍数), 则 $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(15)}$
- 如果 (WEOffTime - ClkActivationTime - 2) 是 3 的倍数), 则 $I = (2 + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(15)}$
- (9) 如果使用 CLK DIV 1 模式, 仅限第一次传输: 数据和字节使能信号在 GPMC_CLK 上升沿转换
 - 非多路复用模式: 数据在周期开始时转换
 - 多路复用模式: 数据在 $WRDATAONADMUXBUS \times (TimeParaGranularity + 1) \times GPMC_FCLK$ 处转换⁽¹⁵⁾
- (10) CLK DIV 1 模式情况, 初始传输后的所有数据信号和字节使能信号: 数据和字节使能信号在 GPMC_CLK 的下降沿 (GPMC_CLK 的半个周期) 转换
- (11) 非 CLK DIV 1 模式的情况 (GPMC_CLK 从 GPMC_FCLK 进行分频): 所有数据与字节使能信号均在 GPMC_CLK 的下降沿 (GPMC_CLK 的半个周期) 转换。必须配置 ClkActivationTime、GPMCFCLKDIVIDER、RDACCESSTIME/WRACCESSTIME 和 PAGEBURSTACCESSTIME 配置, 以在 GPMC_CLK 的下降沿强制执行数据和字节使能信号转换 (以便在 GPMC_CLK 上升沿锁存)
- (12) 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。
- (13) P = 以 ns 为单位的 GPMC_CLK 周期
- (14) 对于读取: $K = (ADVrOffTime - ADVOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(15)}$
对于写入: $K = (ADVWrOffTime - ADVOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(15)}$
- (15) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。
- (16) 与 GPMC_CLK 输出时钟相关的最大和最小频率可在 GPMC 模块中通过设置 GPMC_CONFIG1_i 配置寄存器位字段 GPMCFCLKDIVIDER 进行编程。



GPMC_01

- A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。
- B. 在 GPMC_WAIT[j] 中, *j* 等于 0 或 1。

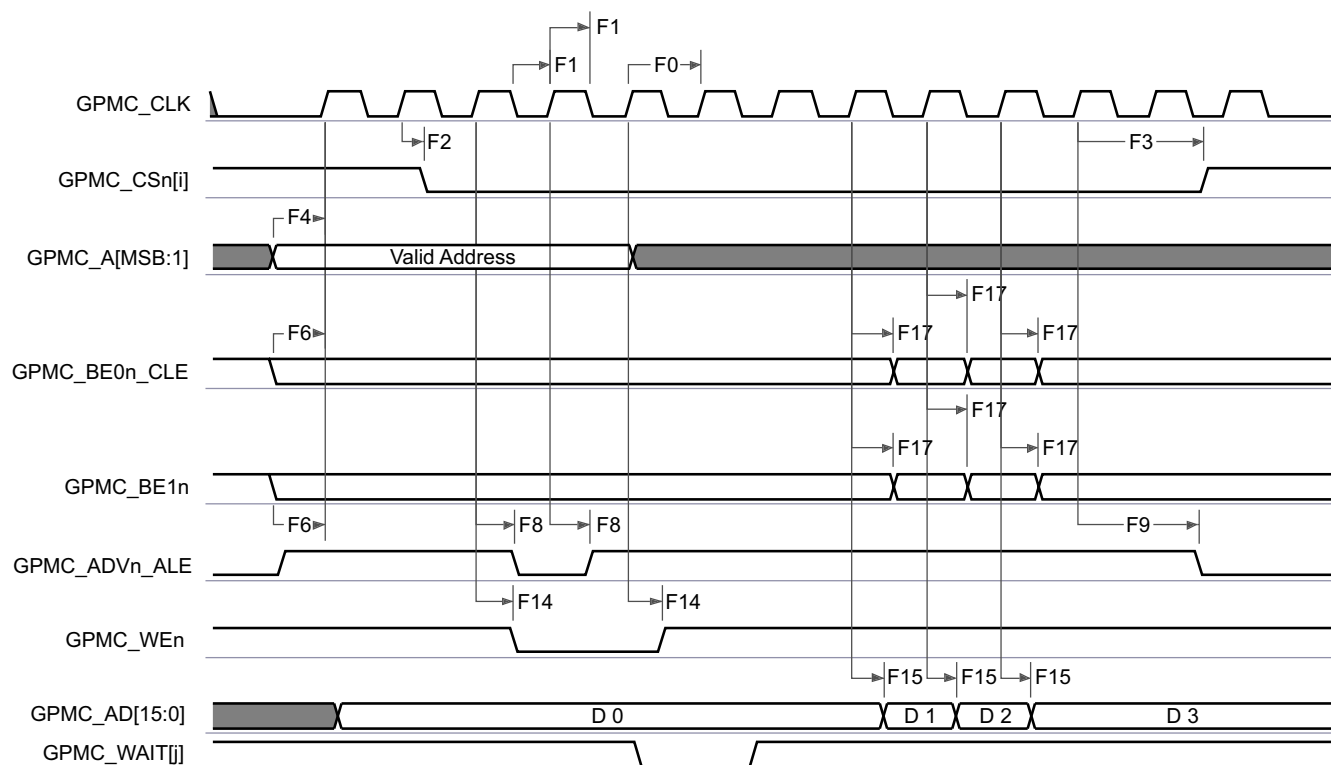
图 6-50. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)



GPMC_02

- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-51. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCFCLKDIVIDER = 0)

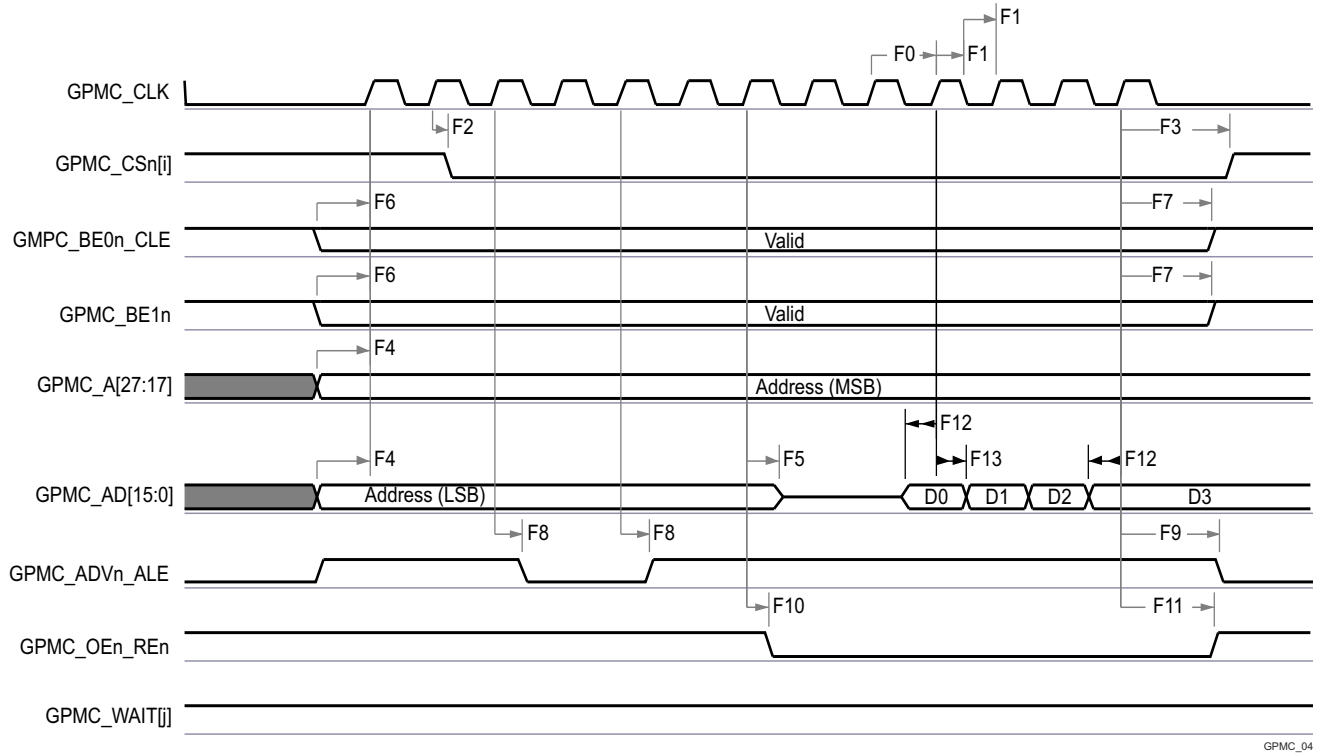


GPMC_03

- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。

B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-52. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)

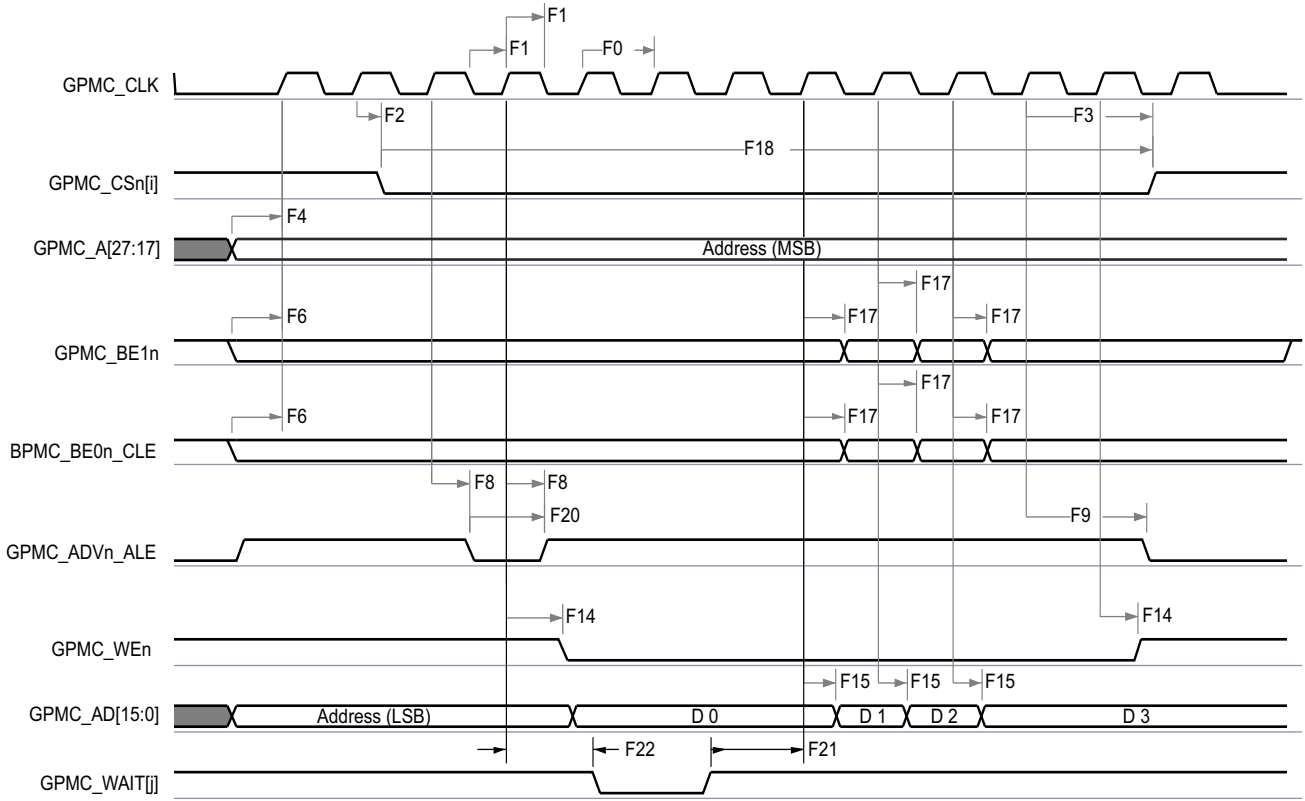


GPMC_04

A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。

B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-53. GPMC 和多路复用 NOR 闪存 - 同步突发读取



GPMC_05

- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
- B. 在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-54. GPMC 和多路复用 NOR 闪存 - 同步突发写入

6.11.5.11.2 GPMC 和 NOR 闪存 - 异步模式

表 6-63 和表 6-64 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 异步模式。

表 6-63. GPMC 和 NOR 闪存时序要求 - 异步模式

请参阅图 6-55、图 6-56、图 6-57 和图 6-59

编号	参数	说明	最小值	最大值	单位
FA5 ⁽¹⁾	$t_{acc(d)}$	数据访问时间		H ⁽⁵⁾	ns
FA20 ⁽²⁾	$t_{acc1-pgmode(d)}$	页面模式连续数据访问时间		P ⁽⁴⁾	ns
FA21 ⁽³⁾	$t_{acc2-pgmode(d)}$	页面模式首个数据访问时间		H ⁽⁵⁾	ns

- (1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- (2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
- (3) FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据通过有效功能时钟边沿在内部采样。FA21 值必须存储在 AccessTime 寄存器位字段内。
- (4) $P = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(6)}$
- (5) $H = AccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(6)}$
- (6) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。

表 6-64. GPMC 和 NOR 闪存开关特性 - 异步模式

请参阅图 6-55、图 6-56、图 6-57、图 6-58、图 6-59 和图 6-60

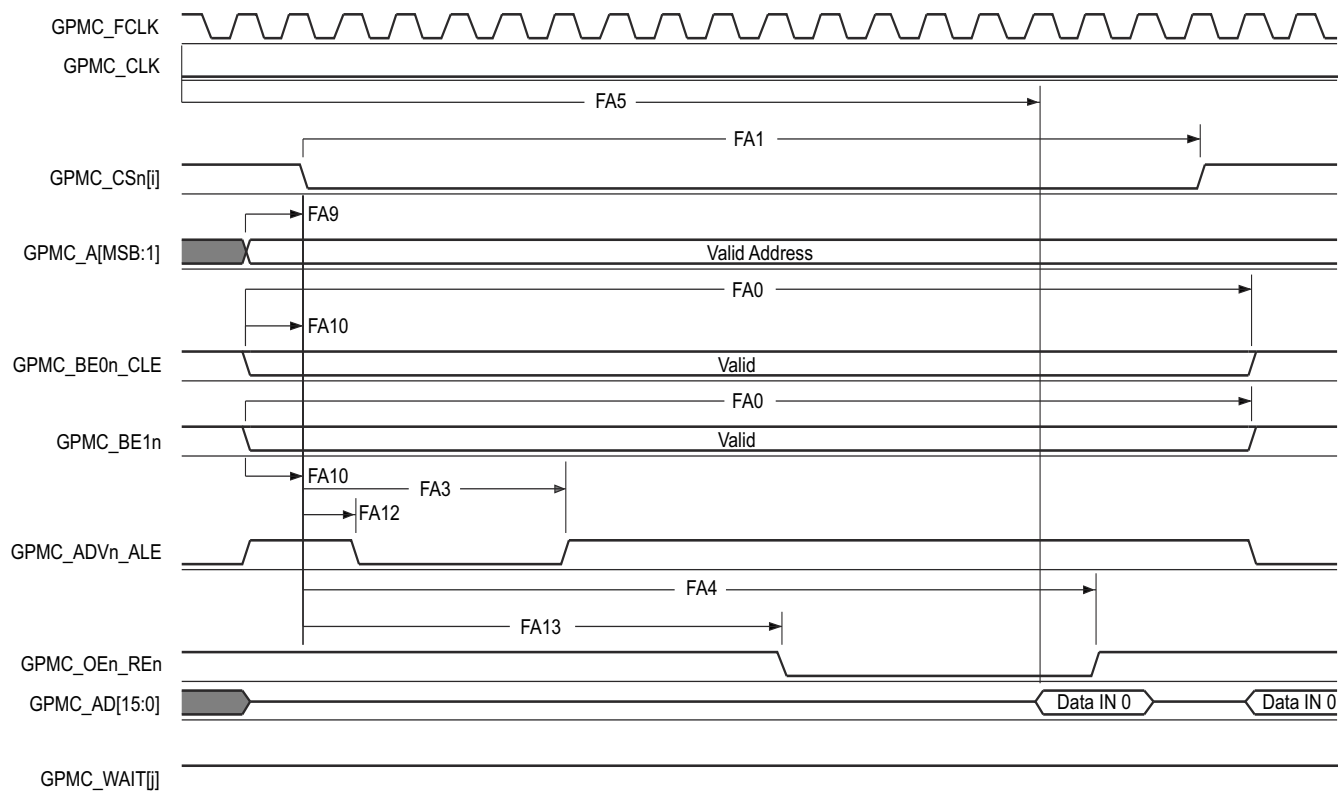
编号	参数	说明	最小值	最大值	单位
FA0	$t_{w(be[x]nV)}$	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效时间		N ⁽¹²⁾	ns
FA1	$t_{w(csnV)}$	脉冲持续时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 低电平		A ⁽¹⁾	ns
FA3	$t_{d(csnV-advnIV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
FA4	$t_{d(csnV-oenIV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 无效 (单次读取)	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
FA9	$t_{d(aV-csnV)}$	延迟时间，输出地址 GPMC_A[27:1] 有效到输出片选 GPMC_CS[n] ⁽¹³⁾ 有效	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA10	$t_{d(be[x]nV-csnV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出片选 GPMC_CS[n] ⁽¹³⁾ 有效	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA12	$t_{d(csnV-advnV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 有效	K ⁽¹⁰⁾ - 2	K ⁽¹⁰⁾ + 2	ns
FA13	$t_{d(csnV-oenV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 有效	L ⁽¹¹⁾ - 2	L ⁽¹¹⁾ + 2	ns
FA16	$t_{w(aIV)}$	脉冲持续时间，输出地址 GPMC_A[26:1] 在 2 次连续读取和写入访问之间无效		G ⁽⁷⁾	ns
FA18	$t_{d(csnV-oenIV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 无效 (突发读取)	I ⁽⁸⁾ - 2	I ⁽⁸⁾ + 2	ns
FA20	$t_{w(aV)}$	脉冲持续时间，输出地址 GPMC_A[27:1] 有效 - 第 2、3、4 次访问		D ⁽⁴⁾	ns
FA25	$t_{d(csnV-wenV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 有效	E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
FA27	$t_{d(csnV-wenIV)}$	延迟时间，输出片选 GPMC_CS[n] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 无效	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
FA28	$t_{d(wenV-dV)}$	延迟时间，输出写入使能 GPMC_WEn 有效到输出数据 GPMC_AD[15:0] 有效		2	ns
FA29	$t_{d(dV-csnV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出片选 GPMC_CS[n] ⁽¹³⁾ 有效	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns

表 6-64. GPMC 和 NOR 闪存开关特性 - 异步模式 (续)

请参阅图 6-55、图 6-56、图 6-57、图 6-58、图 6-59 和图 6-60

编号	参数	说明	最小值	最大值	单位
FA37	$t_{d(oenV-a1V)}$	延迟时间, 输出使能 GPMC_OEn_REn 有效到输出地址 GPMC_AD[15:0] 阶段结束		2	ns

- (1) 对于单次读取: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于单次写入: $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发读取: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发写入: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 n 是页面突发访问编号
- (2) 对于读取: $B = ((ADVrdOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 对于写入: $B = ((ADVWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 (5) $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (7) $G = Cycle2CycleDelay \times GPMC_FCLK^{(14)}$
 (8) $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (9) $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(14)}$
 (10) $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (11) $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (12) 对于单次读取: $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于单次写入: $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发读取: $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 对于突发写入: $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 (13) 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。
 (14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。

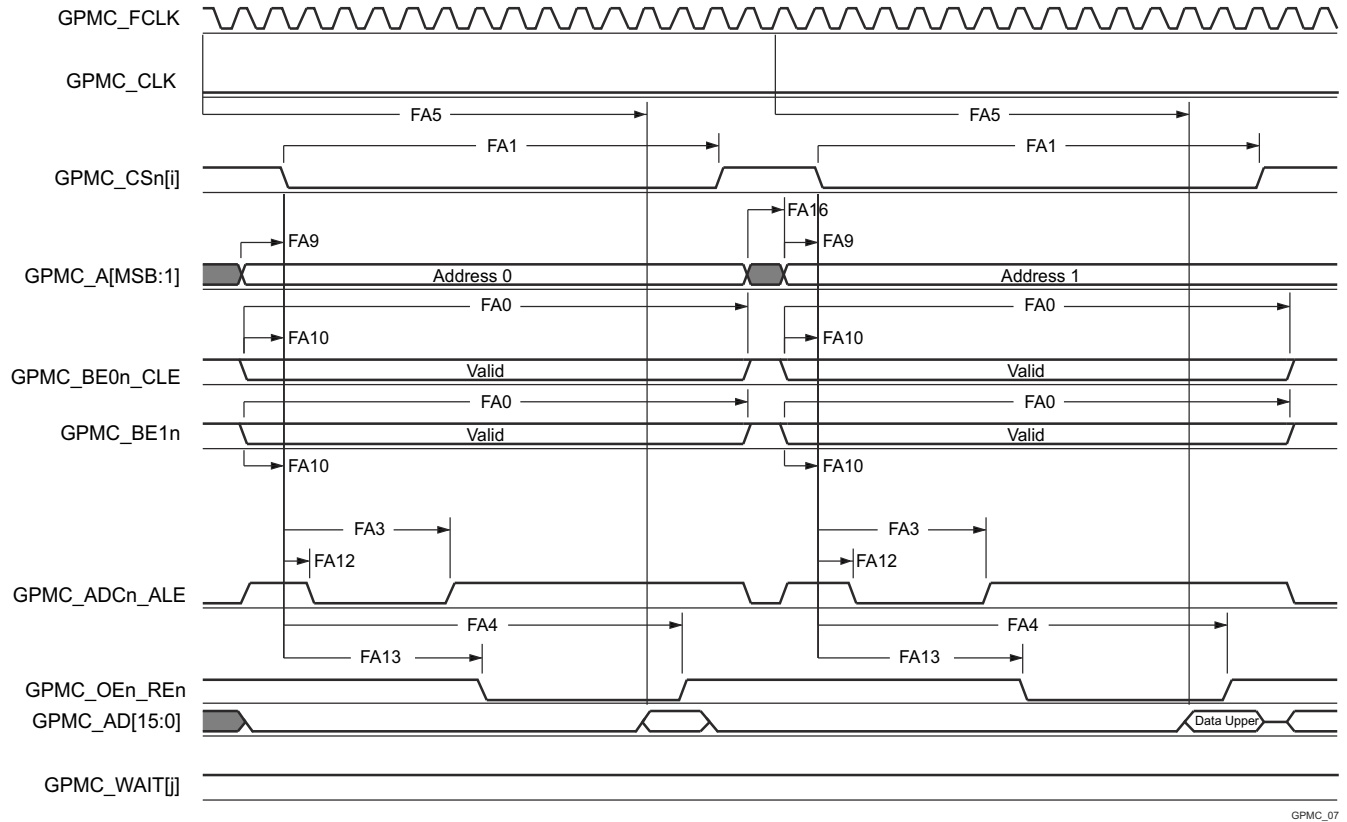


GPMC_06

A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, *j* 等于 0 或 1。

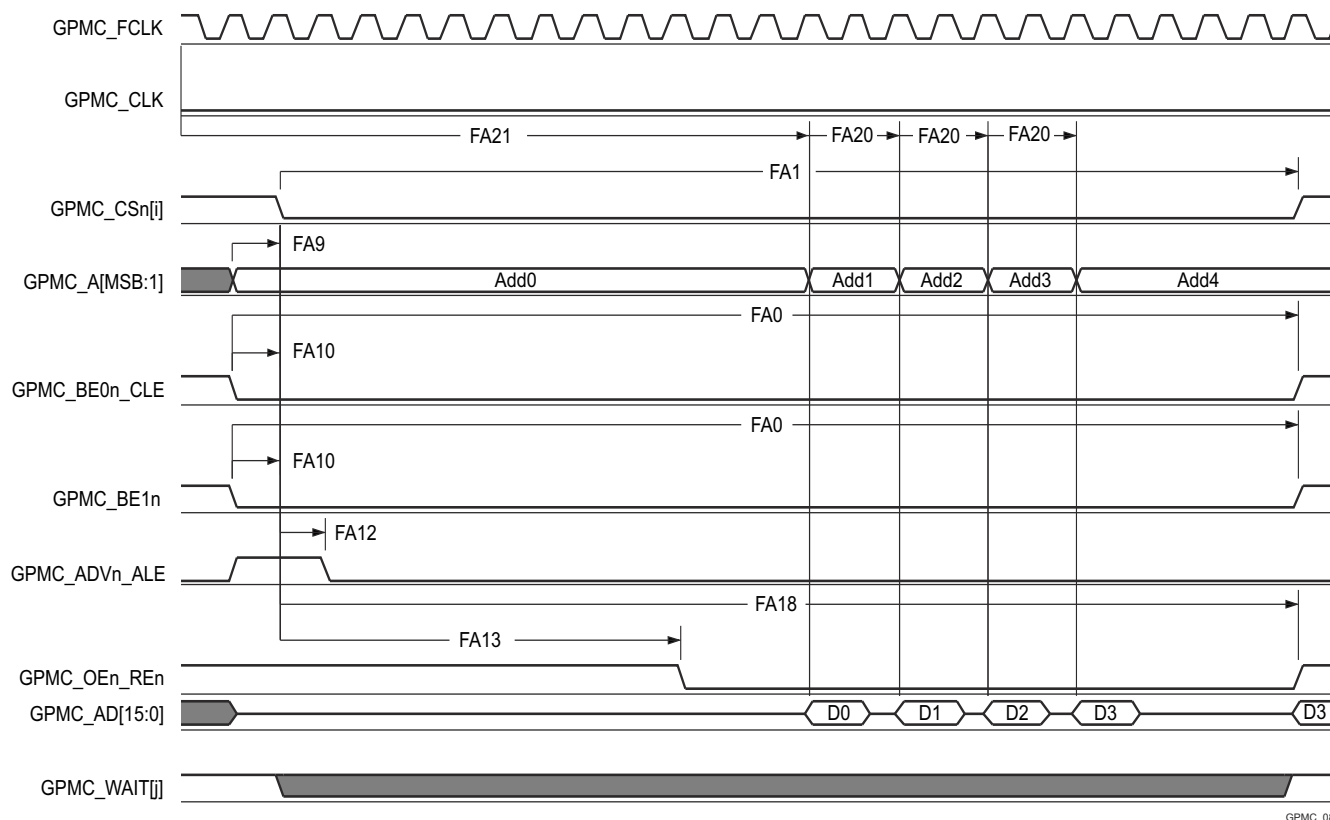
- B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-55. GPMC 和 NOR 闪存 - 异步读取 - 单字



- A. 在 `GPMC_CSn[i]` 中, *i* 等于 0、1、2 或 3。在 `GPMC_WAITj[j]` 中, *j* 等于 0 或 1。
- B. **FA5** 参数说明了在内部对输入数据进行采样所需的时间。该参数以 **GPMC** 功能时钟周期数表示。从读取周期开始到 **FA5** 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。**FA5** 值必须存储在 **AccessTime** 寄存器位字段内。
- C. **GPMC_FCLK** 是内部时钟 (**GPMC** 功能时钟), 不从外部提供。

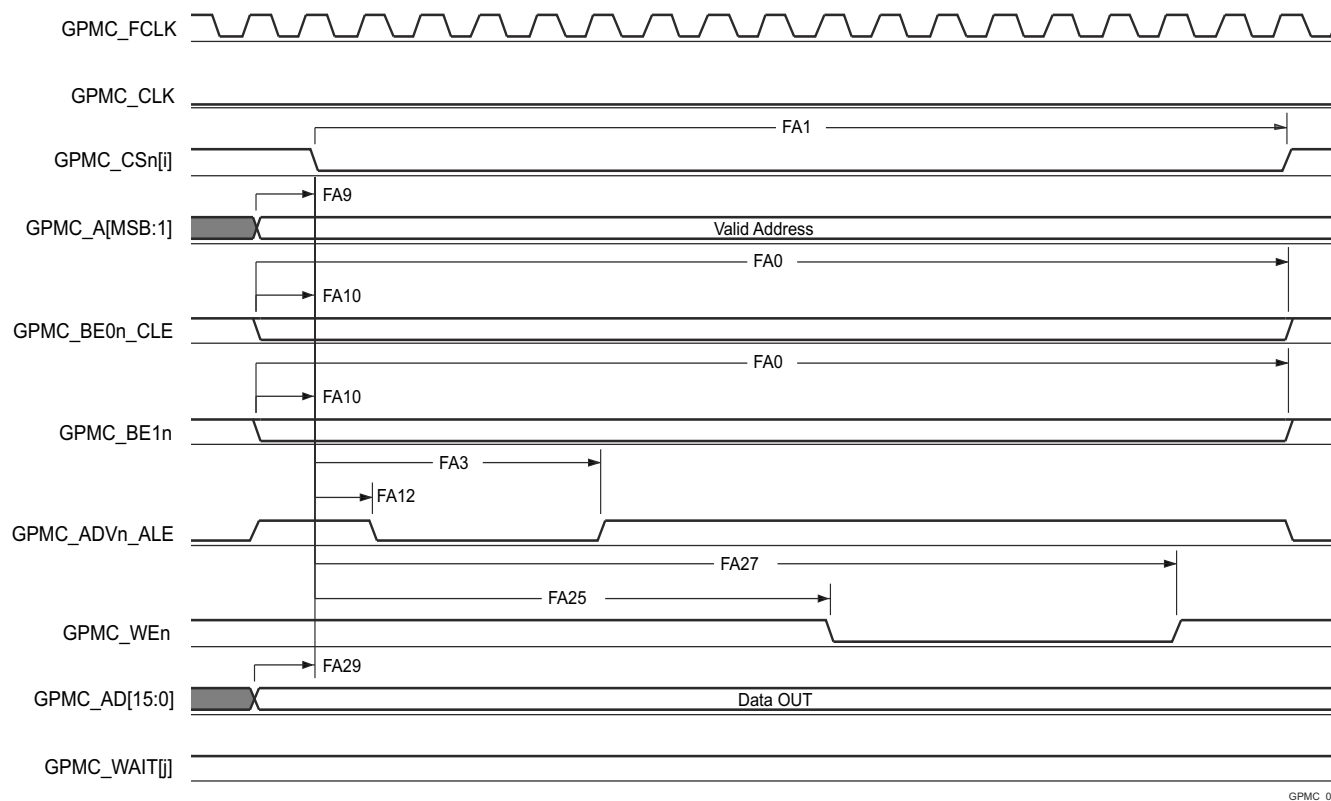
图 6-56. GPMC 和 NOR 闪存 - 异步读取 - 32 位



GPMC_08

- 在 $\text{GPMC_CSn}[i]$ 中, i 等于 0、1、2 或 3。在 $\text{GPMC_WAIT}[j]$ 中, j 等于 0 或 1。
- FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后, 首个输入页面数据将通过有效功能时钟边沿在内部采样。 FA21 计算结果必须存储在 **AccessTime** 寄存器位字段内。
- FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后, 下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。 FA20 也是连续输入页面数据 (不包括第一个输入页面数据) 的寻址阶段的持续时间。 FA20 值必须存储在 **PageBurstAccessTime** 寄存器位字段中。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

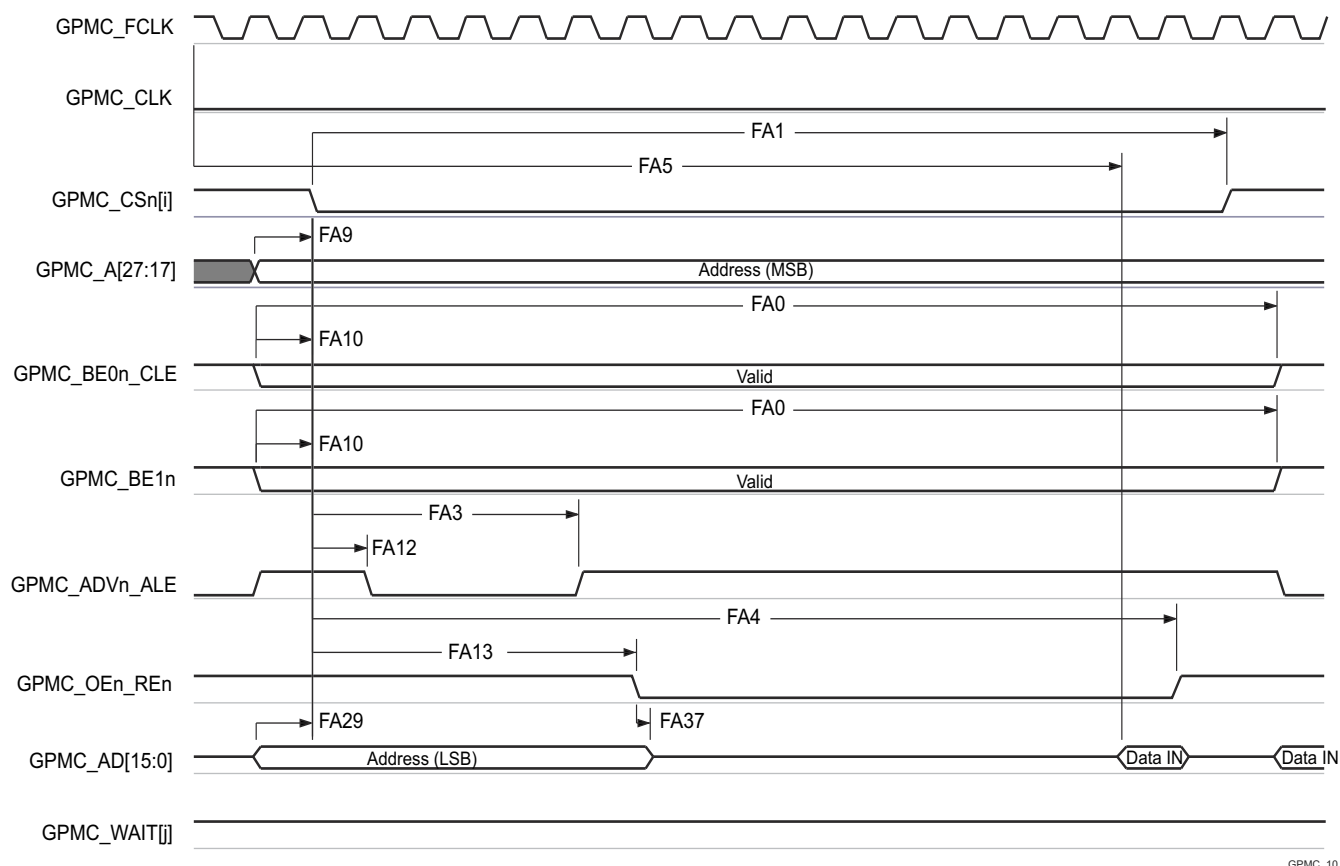
图 6-57. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位



GPMC_09

A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。

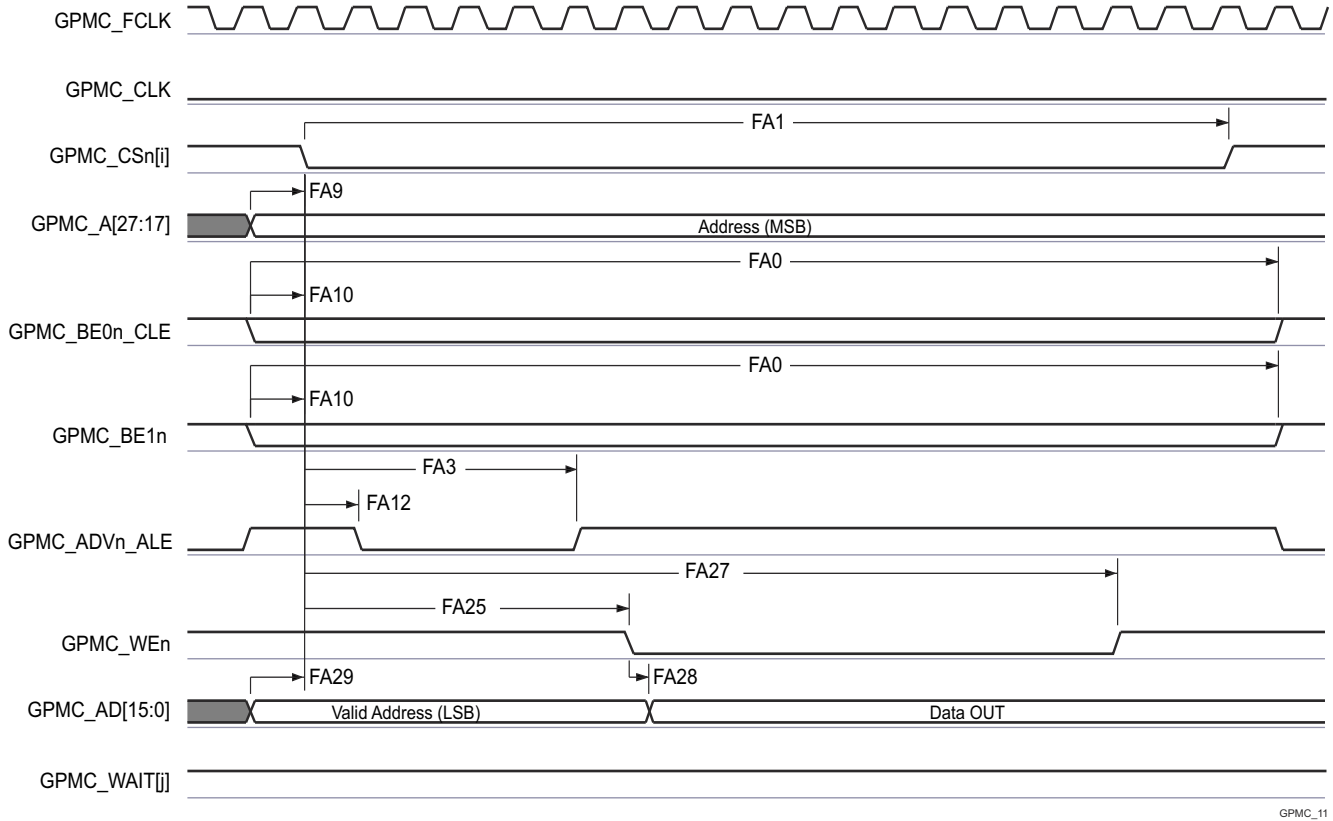
图 6-58. GPMC 和 NOR 闪存 - 异步写入 - 单字



GPMC_10

- 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。
- FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

图 6-59. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字



GPMC_11

A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0 或 1。

图 6-60. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

6.11.5.11.3 GPMC 和 NAND 闪存 - 异步模式

表 6-65 和表 6-66 展示了 GPMC 和 NAND 闪存的时序要求和开关特性 - 异步模式。

表 6-65. GPMC 和 NAND 闪存时序要求 - 异步模式

请参阅图 6-63

编号	参数	说明	最小值	最大值	单位
GNF12 ⁽¹⁾	$t_{acc(d)}$	访问时间, 输入数据 GPMC_AD[15:0]		J ⁽²⁾	ns

(1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后, 输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。

(2) $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(3)}$

(3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。

表 6-66. GPMC 和 NAND 闪存开关特性 - 异步模式

请参阅图 6-61、图 6-62、图 6-63 和图 6-64

编号	参数	说明	最小值	最大值	单位
GNF0	$t_{w(wenV)}$	脉冲持续时间, 输出写入使能 GPMC_WEn 有效	A ⁽¹⁾		ns
GNF1	$t_{d(csnV-wenV)}$	延迟时间, 输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 有效	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
GNF2	$t_{w(cleH-wenV)}$	延迟时间, 输出低字节使能和命令锁存使能 GPMC_BE0 <i>n</i> _CLE 高电平到输出写入使能 GPMC_WEn 有效	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF3	$t_{w(wenV-dV)}$	延迟时间, 输出数据 GPMC_AD[15:0] 有效到输出写入使能 GPMC_WEn 有效	D ⁽⁴⁾ - 2	D ⁽⁴⁾ + 2	ns
GNF4	$t_{w(wenV-dIV)}$	延迟时间, 输出写入使能 GPMC_WEn 无效到输出数据 GPMC_AD[15:0] 无效	E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	延迟时间, 输出写入使能 GPMC_WEn 无效到输出低字节使能和命令锁存使能 GPMC_BE0 <i>n</i> _CLE 无效	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF6	$t_{w(wenIV-CSn[ij]V)}$	延迟时间, 输出写入使能 GPMC_WEn 无效到输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 无效	G ⁽⁷⁾ - 2	G ⁽⁷⁾ + 2	ns
GNF7	$t_{w(aleH-wenV)}$	延迟时间, 输出地址有效和地址锁存使能 GPMC_ADV <i>n</i> _ALE 高电平到输出写入使能 GPMC_WEn 有效	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$	延迟时间, 输出写入使能 GPMC_WEn 无效到输出地址有效和地址锁存使能 GPMC_ADV <i>n</i> _ALE 无效	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF9	$t_{c(wen)}$	周期时间, 写入		H ⁽⁸⁾	ns
GNF10	$t_{d(csnV-oenV)}$	延迟时间, 输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_RE <i>n</i> 有效	I ⁽⁹⁾ - 2	I ⁽⁹⁾ + 2	ns
GNF13	$t_{w(oenV)}$	脉冲持续时间, 输出使能 GPMC_OEn_RE <i>n</i> 有效		K ⁽¹⁰⁾	ns
GNF14	$t_{c(oen)}$	周期时间, 读取	L ⁽¹¹⁾		ns
GNF15	$t_{w(oenIV-CSn[ij]V)}$	延迟时间, 输出使能 GPMC_OEn_RE <i>n</i> 无效到输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 无效	M ⁽¹²⁾ - 2	M ⁽¹²⁾ + 2	ns

(1) $A = (\text{WEOffTime} - \text{WEOntime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$

(2) $B = ((\text{WEOntime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$

(3) $C = ((\text{WEOntime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{ADVExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$ 注释: 对于设备类型: NAND

- 在命令锁存周期内: CLE 信号由 ADVOnTime 和 ADVWroffTime 时序参数控制

- 在地址锁存周期内: ALE 信号由 ADVOnTime 和 ADVWroffTime 时序参数控制。

(4) $D = (\text{WEOntime} \times (\text{TimeParaGranularity} + 1) + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$

(5) $E = ((\text{WrCycleTime} - \text{WEOffTime}) \times (\text{TimeParaGranularity} + 1) - 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$

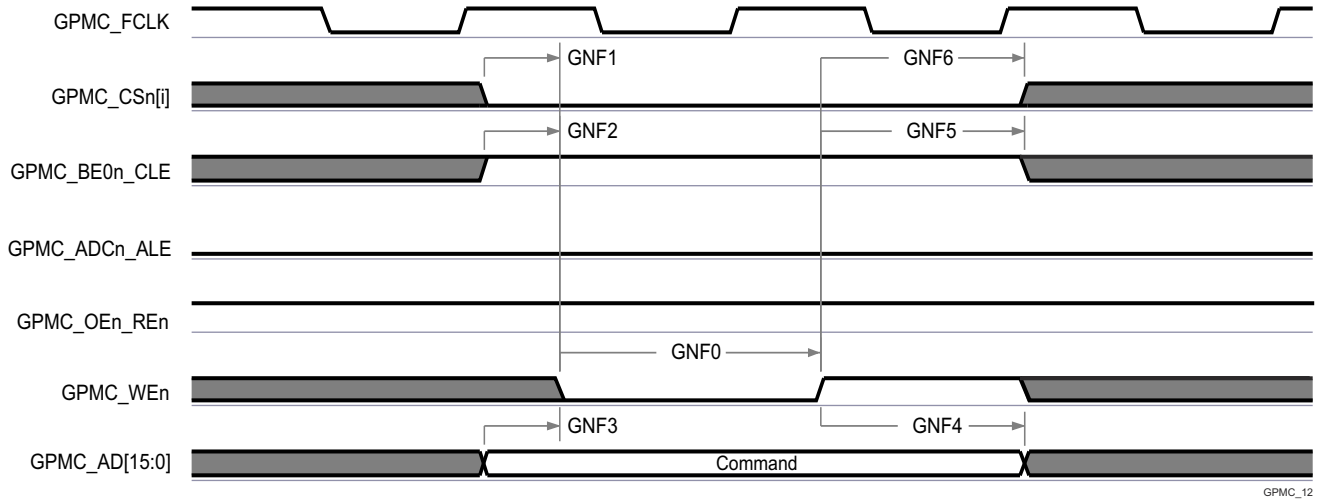
(6) $F = ((\text{ADVWroffTime} - \text{WEOffTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{ADVExtraDelay} - \text{WEEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$ 注释: 对于设备类型: NAND

- 在命令锁存周期内: CLE 信号由 ADVOnTime 和 ADVWroffTime 时序参数控制

- 在地址锁存周期内: ALE 信号由 ADVOnTime 和 ADVWroffTime 时序参数控制。

(7) $G = ((\text{CSWroffTime} - \text{WEOffTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{CSEExtraDelay} - \text{WEEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$

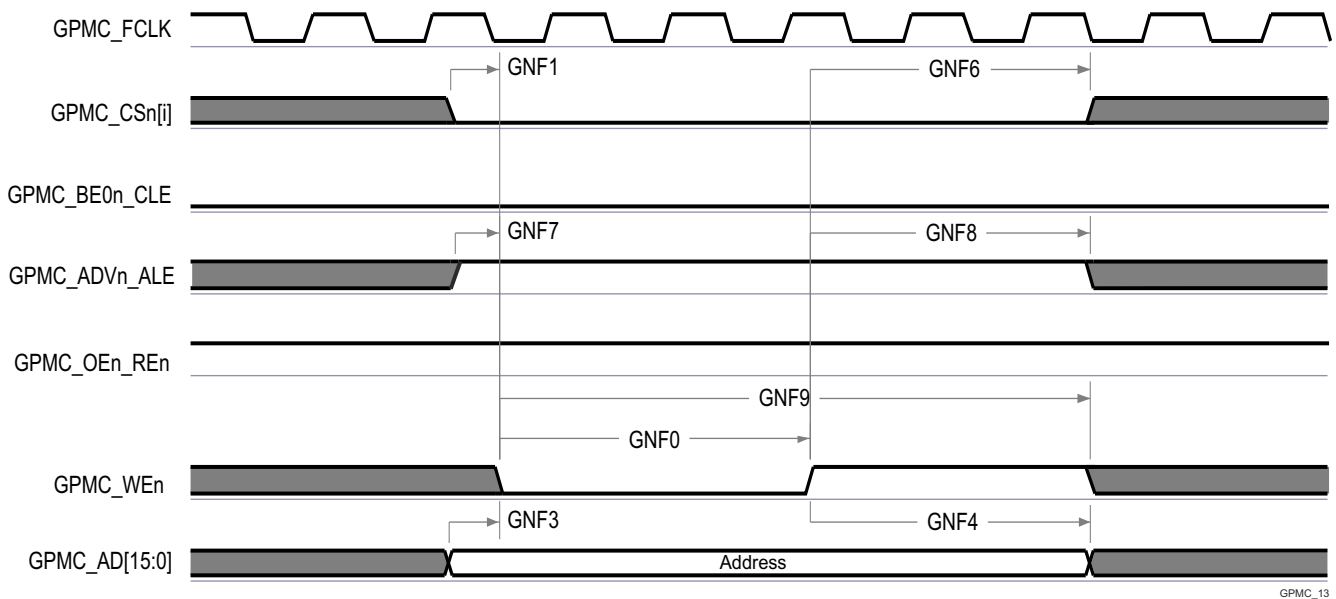
- (8) $H = \text{WrCycleTime} \times (1 + \text{TimeParaGranularity}) \times \text{GPMC_FCLK}^{(14)}$
 (9) $I = ((\text{OEOnTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{OEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$
 (10) $K = (\text{OEOffTime} - \text{OEOnTime}) \times (1 + \text{TimeParaGranularity}) \times \text{GPMC_FCLK}^{(14)}$
 (11) $L = \text{RdCycleTime} \times (1 + \text{TimeParaGranularity}) \times \text{GPMC_FCLK}^{(14)}$
 (12) $M = ((\text{CSRdOffTime} - \text{OEOffTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{CSEExtraDelay} - \text{OEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$
 (13) 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。
 (14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。



GPMC_12

- A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。

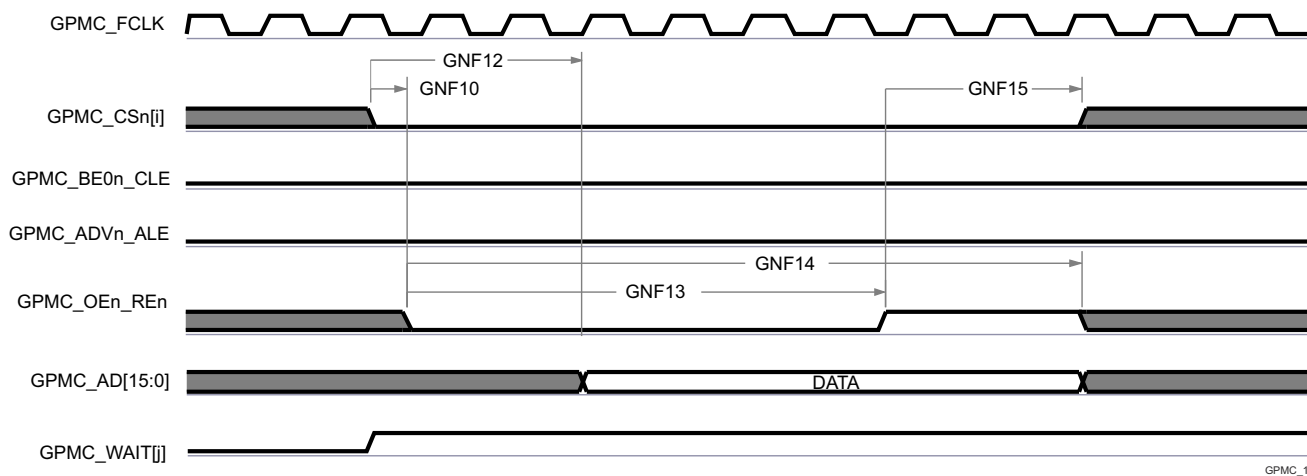
图 6-61. GPMC 和 NAND 闪存 - 命令锁存周期



GPMC_13

- A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。

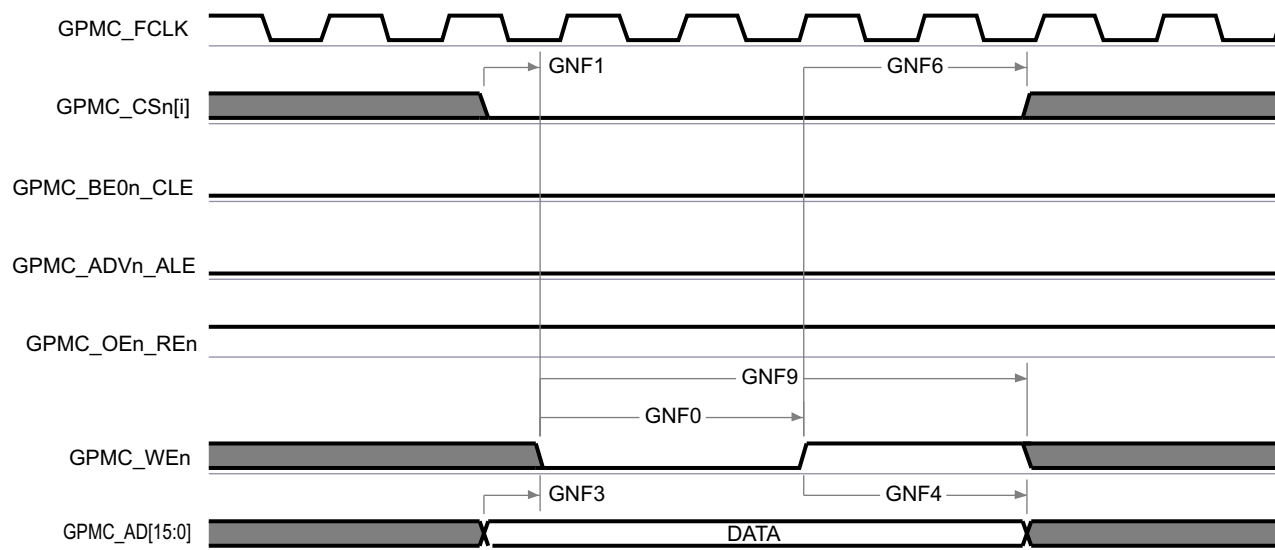
图 6-62. GPMC 和 NAND 闪存 - 地址锁存周期



GPMC_14

- A. GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
- B. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。
- C. 在 GPMC_CS[n] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-63. GPMC 和 NAND 闪存 - 数据读取周期



GPMC_15

- A. 在 GPMC_CS[n] 中，i 等于 0、1、2 或 3。

图 6-64. GPMC 和 NAND 闪存 - 数据写入周期

6.11.5.12 I2C

该器件包含五个多控制器集成电路总线 (I2C) 控制器。每个 I2C 控制器均设计为符合 Philips I²C-bus 规范版本 2.1。然而，器件 IO 并不完全符合 I2C 电气规格。下面按照 IO 缓冲器类型介绍了支持的速度和例外情况。请参阅 [引脚属性表](#) 中的“缓冲器类型”列，以确定与特定 I2C 实例关联的 IO 缓冲器类型。

• LVC MOS、1P8-LVC MOS 或 SDIO

- 速度：
 - 标准模式 (最高 100kb/s)
 - 1.8V
 - 3.3V (1P8-LVC MOS 缓冲器类型不支持)
 - 快速模式 (最高 400kb/s)
 - 1.8V
 - 3.3V (1P8-LVC MOS 缓冲器类型不支持)
- 例外情况：
 - 与这些端口关联的 IO 不符合 I2C 规范中定义的下降时间要求，因为它们是通过性能更高的 LVC MOS 推挽 IO 实现的，这些 IO 旨在支持无法通过 I2C 兼容 IO 实现的其他信号功能。这些端口上使用的 LVC MOS IO 的连接方式可以对开漏输出进行仿真。该仿真通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。
 - I2C 规范定义了大小为 ($V_{DD_{max}} + 0.5V$) 的最大输入电压 V_{IH} ，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的绝对最大额定值部分中定义的限值。

• I2C OD FS

- 速度：
 - 标准模式 (最高 100kb/s)
 - 1.8V
 - 3.3V
 - 快速模式 (最高 400kb/s)
 - 1.8V
 - 3.3V
 - Hs 模式 (最高 3.4Mb/s)
 - 1.8V
- 例外情况：
 - 与这些端口关联的 IO 并未设计为在 3.3V 下运行时支持 Hs 模式。因此，Hs 模式的运行电压限制为 1.8V。
 - 连接到这些端口的 I2C 信号的上升和下降时间不得超过 0.08V/ns (或 8E+7V/s) 的压摆率。该限制比 I2C 规范中定义的最小下降时间限制更严格。因此，可能需要向 I2C 信号添加额外的电容，以延长上升和下降时间，使其压摆率不超过 0.08V/ns。
 - I2C 规范定义了大小为 ($V_{DD_{max}} + 0.5V$) 的最大输入电压 V_{IH} ，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的绝对最大额定值部分中定义的限值。

备注

I2C2 和 I2C3 有一个或多个可以多路复用到多个引脚的信号。时序仅对称为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1。

有关器件集成电路总线特性和其他说明的更多详细信息，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

6.11.5.13 MCAN

备注

MCAN1 和 MCAN2 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

[表 6-67](#) 和 [表 6-68](#) 展示了 MCAN 的时序条件和开关特性。
有关器件控制器局域网接口特性和其他说明信息的更多详情，请参阅[信号说明](#)和[详细说明](#)部分中的相应小节。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

表 6-67. MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	2	15	V/ns
输出条件				
C _L	输出负载电容	5	20	pF

表 6-68. MCAN 开关特性

编号	参数	说明	最小值	最大值	单位
MCAN1	t _d (MCAN_TX)	延迟时间，发送移位寄存器到 MCANn_TX		10	ns
MCAN2	t _d (MCAN_RX)	延迟时间，MCANn_RX 到接收移位寄存器		10	ns

有关更多信息，请参阅器件 TRM 的外设一章中的[模块化控制器局域网 \(MCAN\)](#)一节。

6.11.5.14 MCASP

备注

MCASP1 和 MCASP2 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

表 6-69、表 6-70、图 6-65、表 6-71 和图 6-66 说明了 MCASP 的时序条件、时序要求和开关特性。

表 6-69. MCASP 时序条件

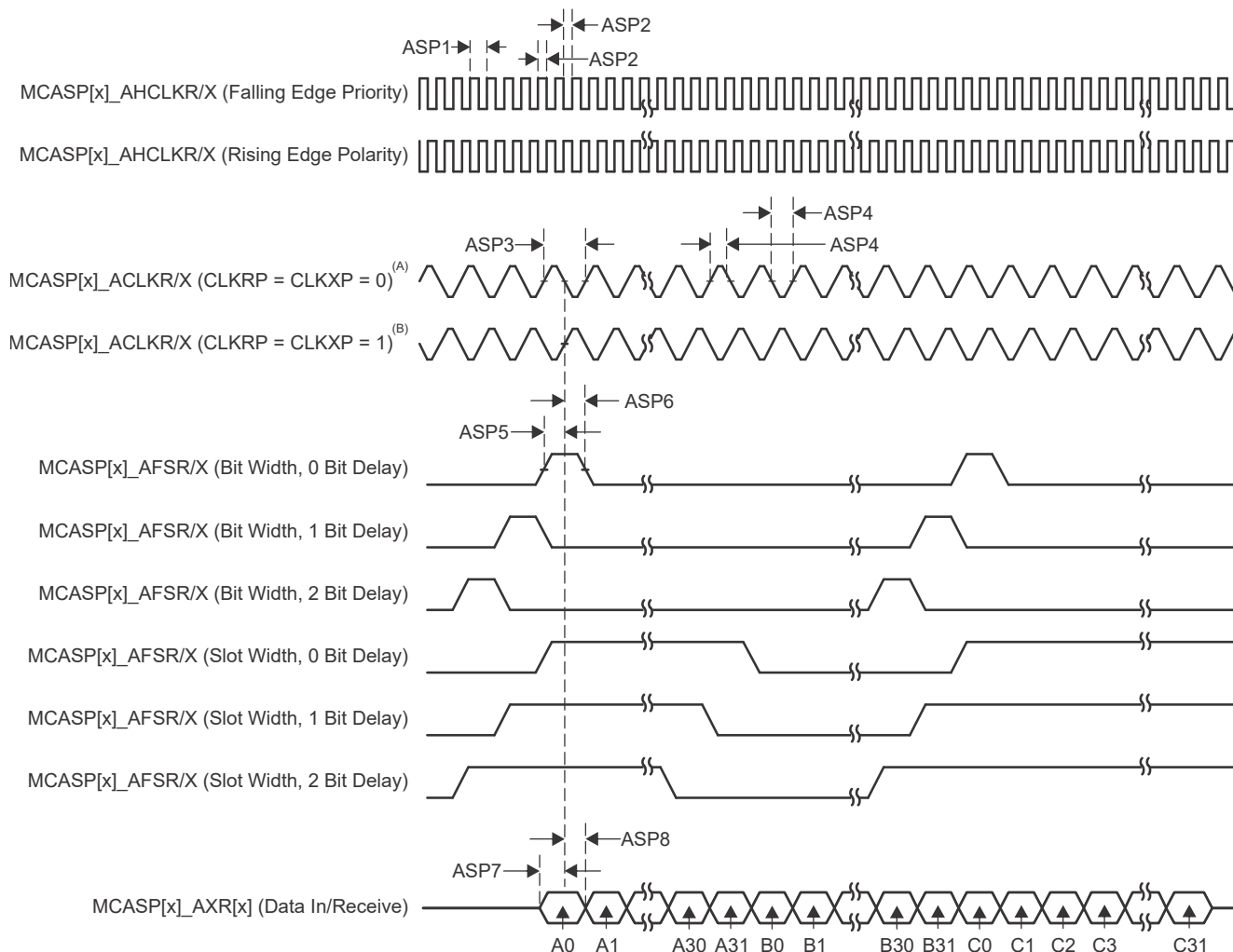
参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.7	5	V/ns
输出条件				
C _L	输出负载电容	1	10	pF
PCB 连接要求				
t _d (Trace Delay)	每条引线的传播延迟	100	1100	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

表 6-70. MCASP 时序要求

请参阅图 6-65

编号			模式 ⁽¹⁾	最小值	最大值	单位
ASP1	t _c (AHCLKRX)	周期时间, MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP2	t _w (AHCLKRX)	脉冲持续时间, MCASP[x]_AHCLKR/X ⁽⁴⁾ 高电平或低电平		0.5P ⁽²⁾ - 1.53		ns
ASP3	t _c (ACLKRX)	周期时间, MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP4	t _w (ACLKRX)	脉冲持续时间, MCASP[x]_ACLKR/X ⁽⁴⁾ 高电平或低电平		0.5R ⁽³⁾ - 1.53		ns
ASP5	t _{su} (AFSRX-ACLKRX)	建立时间, MCASP[x]_AFSRX/X ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之前输入有效 ⁽⁴⁾	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部输入/输出	4		
ASP6	t _h (ACLKRX-AFSRX)	保持时间, MCASP[x]_AFSRX/X ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之后输入有效 ⁽⁴⁾	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		
ASP7	t _{su} (AXR-ACLKRX)	建立时间, MCASP[x]_AXR ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之前输入有效 ⁽⁴⁾	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部输入/输出	4		
ASP8	t _h (ACLKRX-AXR)	保持时间, MCASP[x]_AXR ⁽⁴⁾ 在 MCASP[x]_ACLKR/X 之后输入有效 ⁽⁴⁾	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		

- (1) ACLKR 内部: ACLKRCTL.CLKRM=1, PDIR.ACLKR = 1
ACLKR 外部输入: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0
ACLKR 外部输出: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1
ACLKX 外部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
ACLKX 外部输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
ACLKX 外部输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1
- (2) P = AHCLKR/X 周期 (以 ns 为单位)。有关 AHCLKR/X 时钟源选项的详细信息, 请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。
- (3) R = ACLKR/X 周期 (以 ns 为单位)。
- (4) MCASP[x]_* 中的 x 为 0、1 或 2



- A. 当 $\text{CLKRP} = \text{CLKXP} = 0$ 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。
- B. 当 $\text{CLKRP} = \text{CLKXP} = 1$ 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。

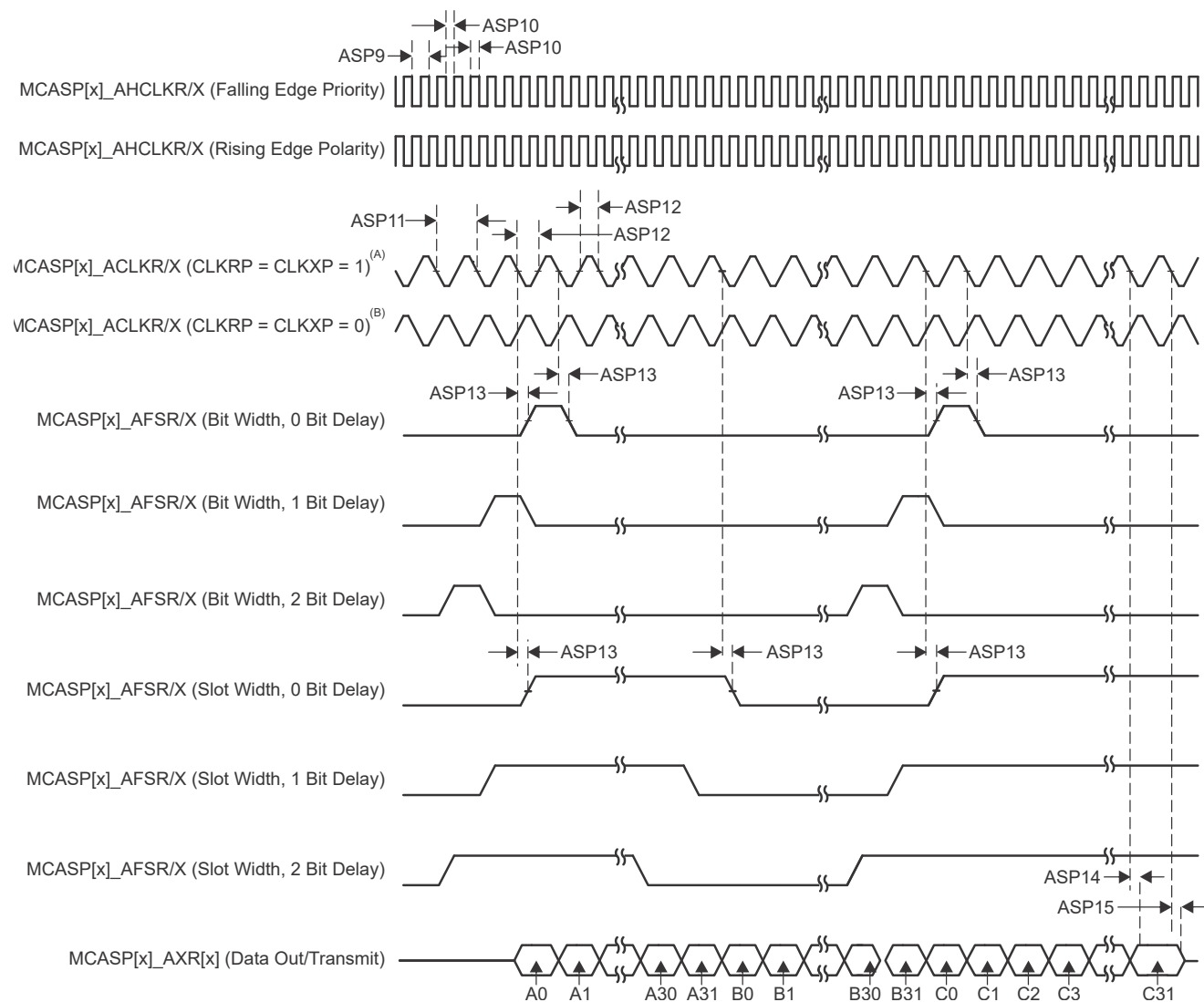
图 6-65. MCASP 时序要求

表 6-71. MCASP 开关特性

请参阅图 6-66

编号	参数	说明	模式 ⁽¹⁾	最小值	最大值	单位
ASP9	$t_c(\text{AHCLKRX})$	周期时间, MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP10	$t_w(\text{AHCLKRX})$	脉冲持续时间, MCASP[x]_AHCLKR/X ⁽⁴⁾ 高电平或低电平		0.5P ⁽²⁾ - 2		ns
ASP11	$t_c(\text{ACLKRX})$	周期时间, MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP12	$t_w(\text{ACLKRX})$	脉冲持续时间, MCASP[x]_ACLKR/X ⁽⁴⁾ 高电平或低电平		0.5R ⁽³⁾ - 2		ns
ASP13	$t_d(\text{ACLKRX-AFSRX})$	延迟时间, MCASP[x]_ACLKR/X ⁽⁴⁾ 发送边沿到 MCASP[x]_AFSR/X ⁽⁴⁾ 输出有效	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-15.29	12.84	
ASP14	$t_d(\text{ACLKX-AXR})$	延迟时间, MCASP[x]_ACLKX ⁽⁴⁾ 发送边沿到 MCASP[x]_AXR ⁽⁴⁾ 输出有效	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-15.29	12.84	
ASP15	$t_{dis}(\text{ACLKX-AXR})$	禁用时间, MCASP[x]_ACLKX ⁽⁴⁾ 发送边沿到 MCASP[x]_AXR ⁽⁴⁾ 输出高阻抗	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部输入/输出	-14.9	14	

- (1) ACLKR 内部: ACLKRCTL.CLKRM=1, PDIR.ACLKR = 1
 ACLKR 外部输入: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0
 ACLKR 外部输出: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1
 ACLKX 外部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
 ACLKX 外部输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
 ACLKX 外部输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1
- (2) P = AHCLKR/X 周期 (以 ns 为单位)。有关 AHCLKR/X 时钟源选项的详细信息, 请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。
- (3) R = ACLKR/X 周期 (以 ns 为单位)。
- (4) MCASP[x]_* 中的 x 为 0、1 或 2



- A. 当 $\text{CLKRP} = \text{CLKXP} = 1$ 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。
- B. 当 $\text{CLKRP} = \text{CLKXP} = 0$ 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。

图 6-66. MCASP 开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的多通道音频串行端口 (MCASP) 一节。

6.11.5.15 MCSPI

备注

MCSPI1、MCSPI2 和 MCSPI3 具有一个或多个信号，这些信号可以多路复用到多个引脚。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。[SysConfig-PinMux 工具](#)中定义了该接口的有效引脚组合或 IOSET。

有关器件串行端口接口特性和其他说明信息的更多详情，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

[表 6-72](#) 展示了 MCSPI 的时序条件。

表 6-72. MCSPI 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	2	8.5	V/ns
输出条件				
C _L	输出负载电容	6	12	pF

有关更多信息，请参阅器件 TRM 的外设一章中的 [多通道串行外设接口 \(MCSPI\)](#) 一节。

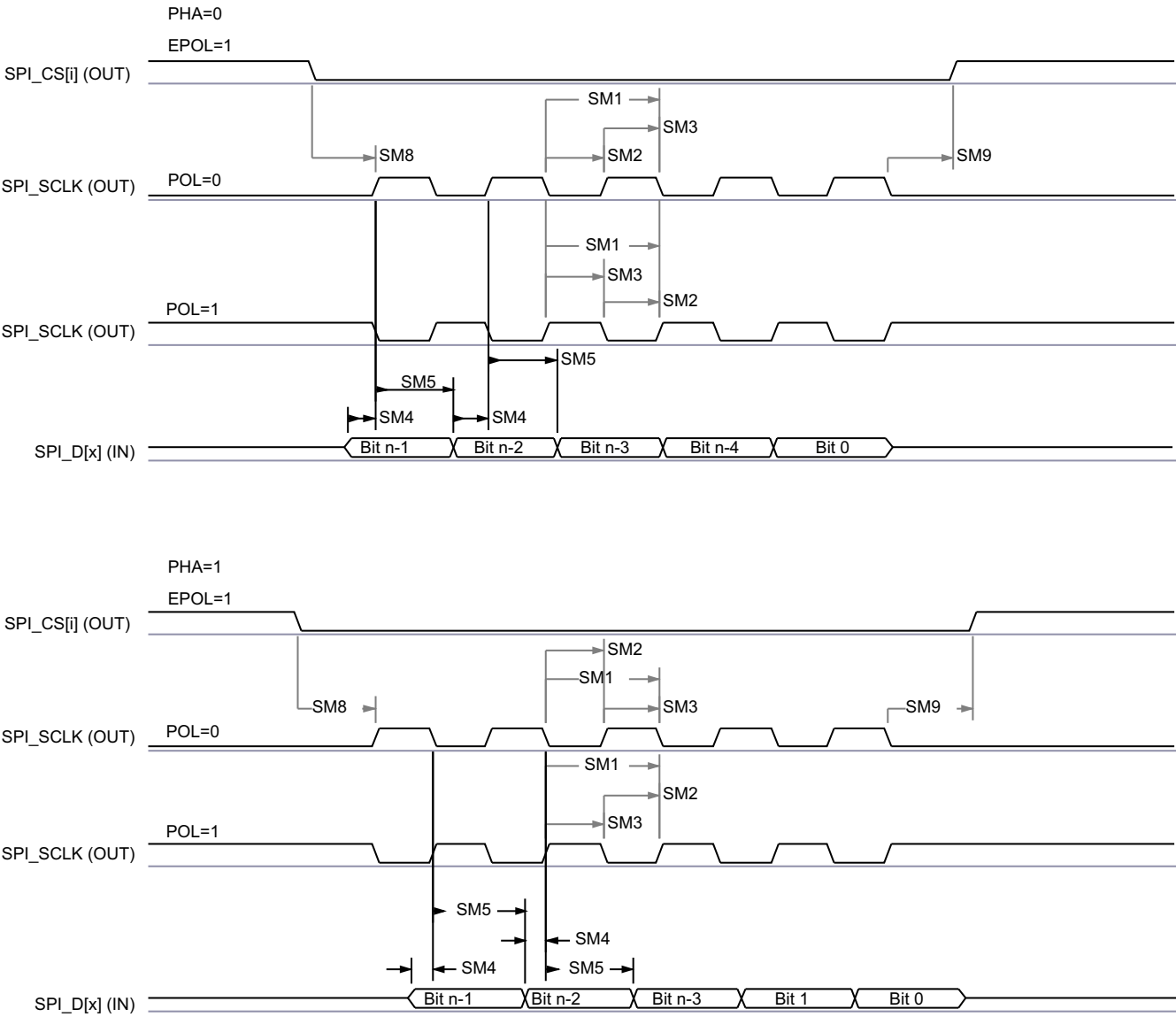
6.11.5.15.1 MCSPI - 控制器模式

表 6-73、图 6-67、表 6-74 和图 6-68 展示了 SPI 的时序要求和开关特性 - 控制器模式。

表 6-73. MCSPI 时序要求 - 控制器模式

请参阅图 6-67

编号	参数	说明	最小值	最大值	单位
SM4	$t_{su}(POCI-SPICLK)$	建立时间，在 SPIn_CLK 有效边沿之前 SPIn_D[x] 有效	2.8		ns
SM5	$t_h(SPICLK-POCI)$	保持时间，在 SPIn_CLK 有效边沿之后 SPIn_D[x] 有效	3		ns



SPRSP08_TIMING_MCSPI_02

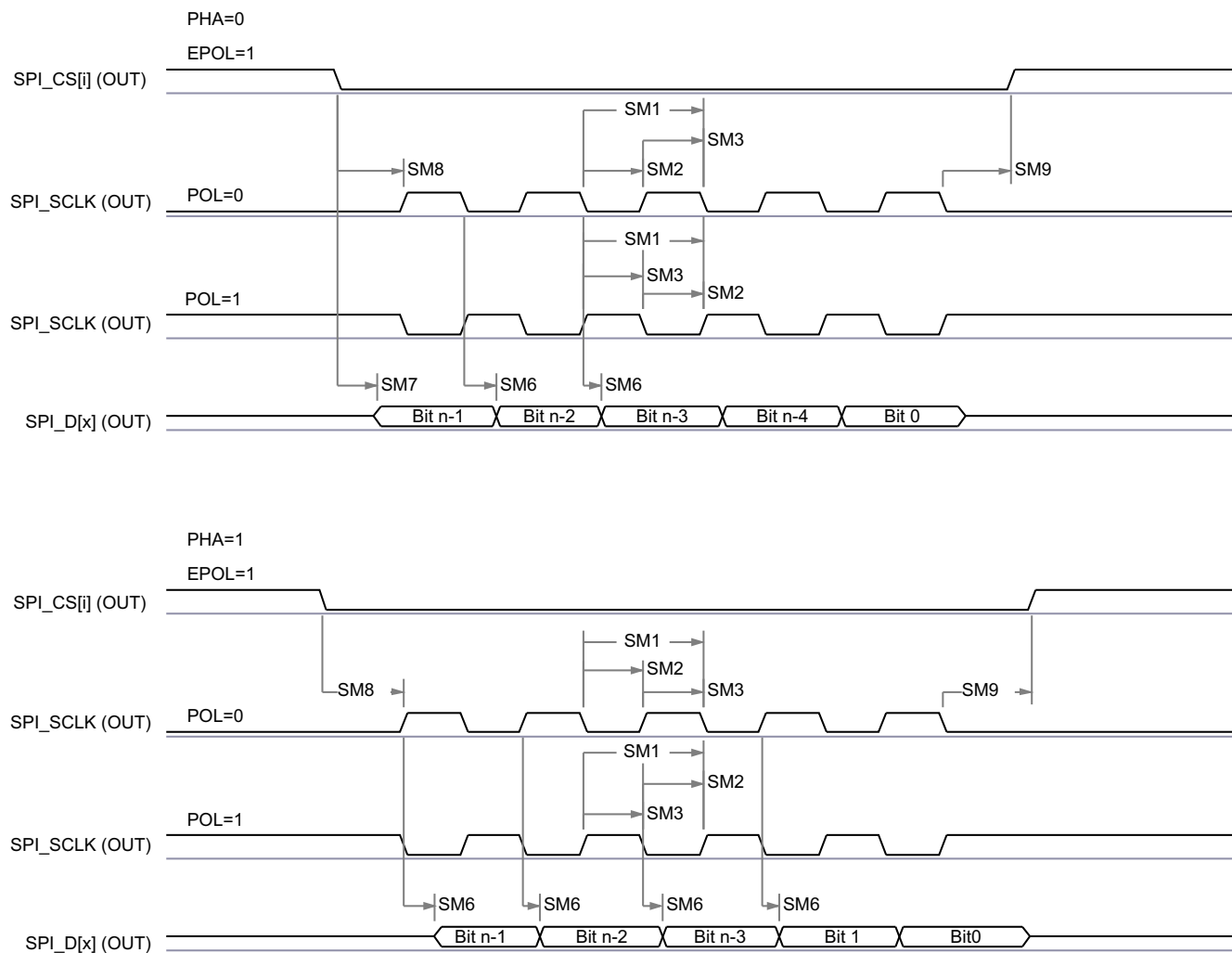
图 6-67. SPI 控制器模式接收时序

表 6-74. MCSPI 开关特性 - 控制器模式

请参阅图 6-68

编号	参数		最小值	最大值	单位
SM1	$t_{c}(\text{SPICLK})$	周期时间, SPIn_CLK	20		ns
SM2	$t_{w}(\text{SPICLK})$	脉冲持续时间, SPIn_CLK 低电平	$0.5P - 1^{(1)}$		ns
SM3	$t_{w}(\text{SPICLK})$	脉冲持续时间, SPIn_CLK 高电平	$0.5P - 1^{(1)}$		ns
SM6	$t_{d}(\text{SPICLK-PICO})$	延迟时间, SPIn_CLK 有效边沿到 SPIn_D[x]	-3	2.5	ns
SM7	$t_{d}(\text{CS-PICO})$	延迟时间, SPIn_CSi 有效边沿到 SPIn_D[x]	5		ns
SM8	$t_{d}(\text{CS-SPICLK})$	延迟时间, SPIn_CSi 有效到 SPIn_CLK 第一个边沿	PHA = 0	B - 4 ⁽²⁾	ns
			PHA = 1	A - 4 ⁽³⁾	ns
SM9	$t_{d}(\text{SPICLK-CS})$	延迟时间, SPIn_CLK 最后一个边沿到 SPIn_CSi 无效	PHA = 0	A - 4 ⁽⁴⁾	ns
			PHA = 1	B - 4 ⁽⁵⁾	ns

- (1) P = SPIn_CLK 周期 (以 ns 为单位)。
- (2) T_{ref} 是 McSPI 功能时钟的周期 (以 ns 为单位)。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。
- 当 Fratio = 1 时, $B = (TCS(i) + 0.5) * T_{ref}$ 。
 - 当 Fratio ≥ 2 且为偶数时, $B = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
 - 当 Fratio ≥ 3 且为奇数时, $B = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_{ref}$ 。
- (3) T_{ref} 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。
- 当 Fratio = 1 时, $A = (TCS(i) + 1) * T_{ref}$ 。
 - 当 Fratio ≥ 2 且为偶数时, $A = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
 - 当 Fratio ≥ 3 且为奇数时, $A = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_{ref}$ 。
- (4) T_{ref} 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。
- 当 Fratio = 1 时, $A = (TCS(i) + 1) * T_{ref}$ 。
 - 当 Fratio ≥ 2 且为偶数时, $A = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
 - 当 Fratio ≥ 3 且为奇数时, $A = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_{ref}$ 。
- (5) T_{ref} 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比, 由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。
- 当 Fratio = 1 时, $B = (TCS(i) + 0.5) * T_{ref}$ 。
 - 当 Fratio ≥ 2 且为偶数时, $B = (TCS(i) + 0.5) * Fratio * T_{ref}$ 。
 - 当 Fratio ≥ 3 且为奇数时, $B = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_{ref}$ 。



SPRSP08_TIMING_McSPI_01

图 6-68. SPI 控制器模式发送时序

6.11.5.15.2 MCSPI - 外设模式

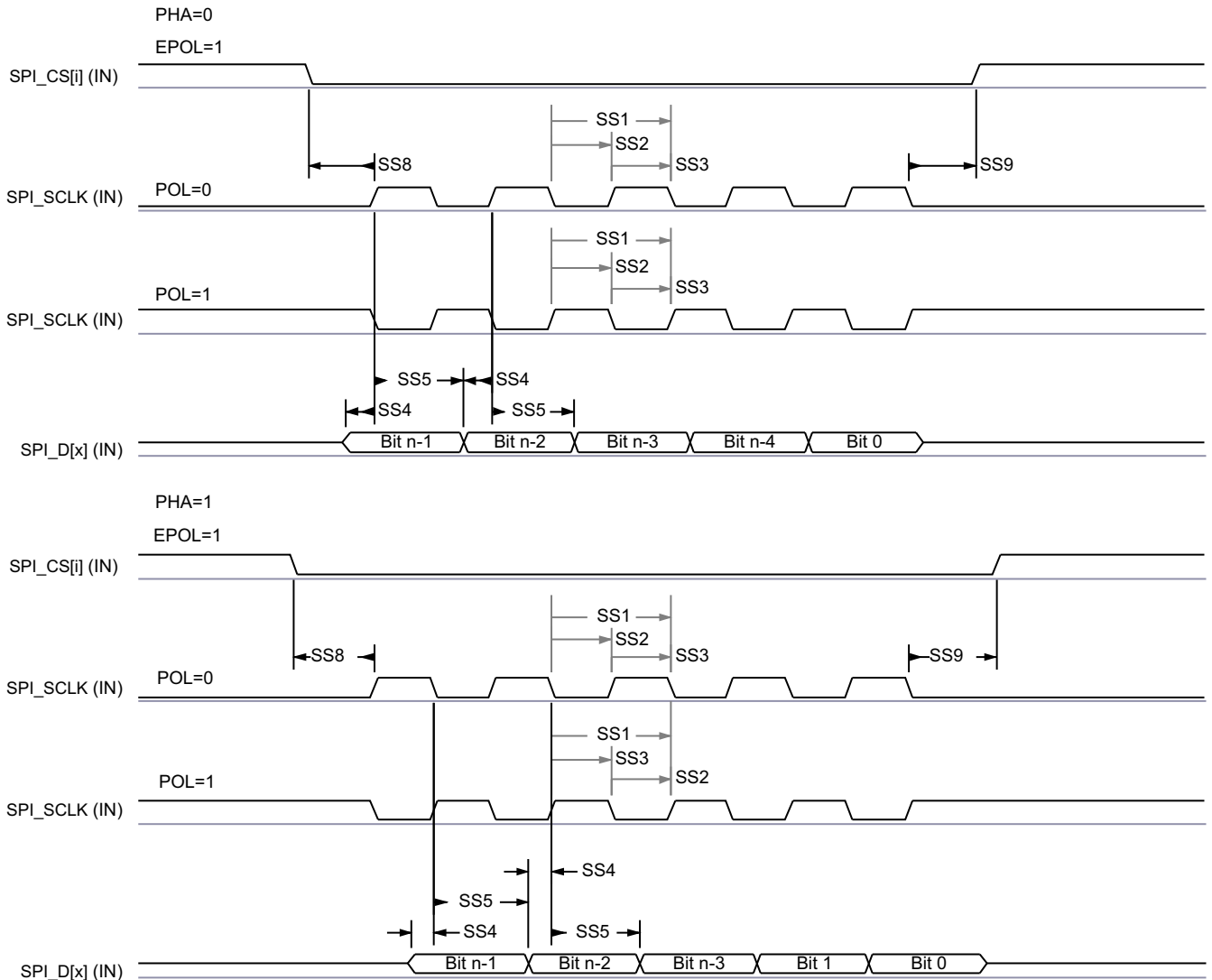
表 6-75、图 6-69、表 6-76 和图 6-70 展示了 SPI 的时序要求和开关特性 - 外设模式。

表 6-75. MCSPI 时序要求 - 外设模式

请参阅图 6-69

编号	参数	说明	最小值	最大值	单位
SS1	$t_{c}(\text{SPICLK})$	周期时间, SPIn_CLK	20		ns
SS2	$t_{w}(\text{SPICLK}_L)$	脉冲持续时间, SPIn_CLK 低电平	0.45P ⁽¹⁾		ns
SS3	$t_{w}(\text{SPICLK}_H)$	脉冲持续时间, SPIn_CLK 高电平	0.45P ⁽¹⁾		ns
SS4	$t_{su}(\text{PICO-SPICLK})$	建立时间, 在 SPIn_CLK 有效边沿之前 SPIn_D[x] 有效	5		ns
SS5	$t_{h}(\text{SPICLK-PICO})$	保持时间, 在 SPIn_CLK 有效边沿之后 SPIn_D[x] 有效	5		ns
SS8	$t_{su}(\text{CS-SPICLK})$	建立时间, 在 SPIn_CLK 第一个边沿之前 SPIn_CSi 有效	5		ns
SS9	$t_{h}(\text{SPICLK-CS})$	保持时间, 在 SPIn_CLK 最后一个边沿之后 SPIn_CSi 有效	5		ns

(1) P = SPIn_CLK 周期 (以 ns 为单位)。



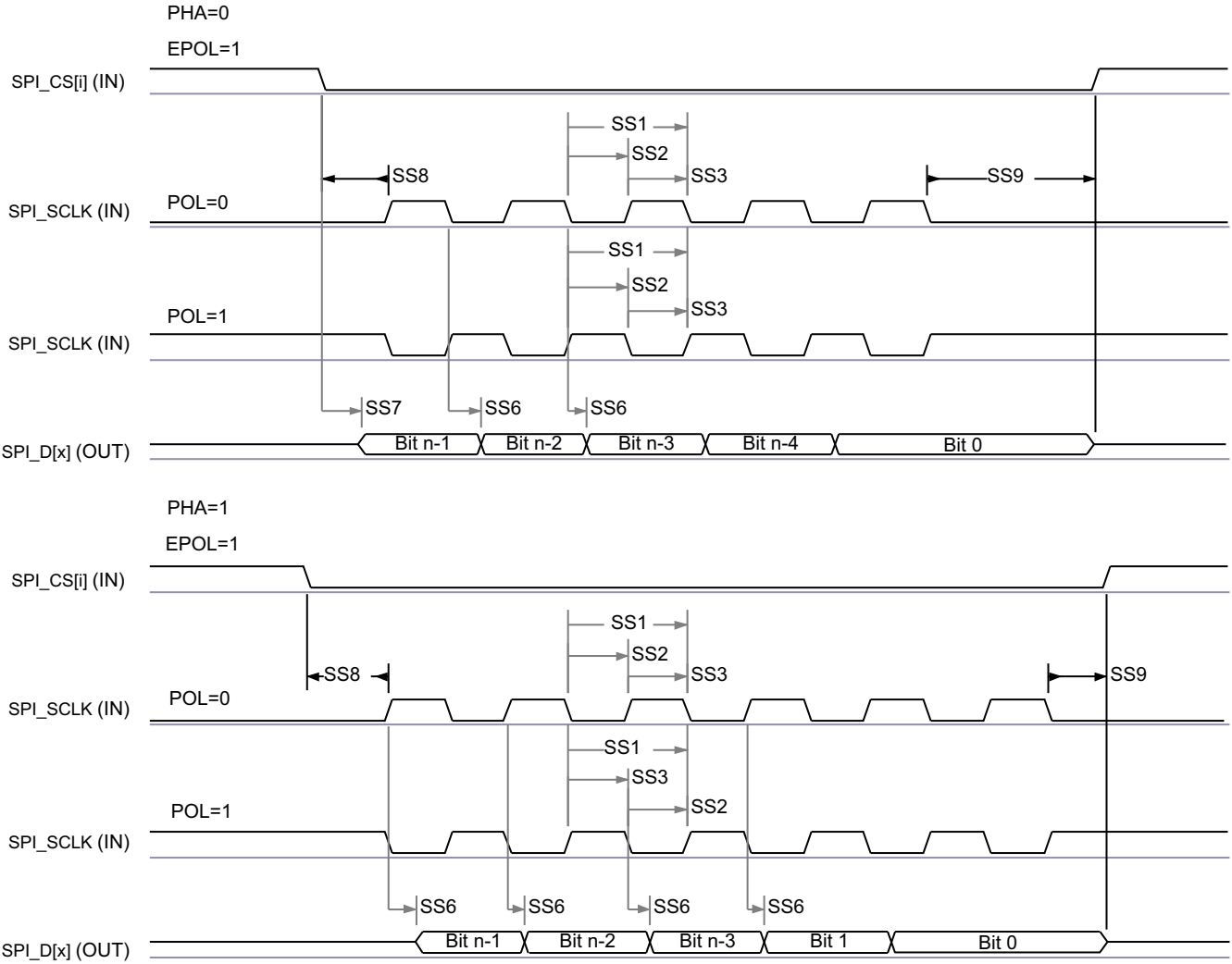
SPRSP08_TIMING_McSPI_04

图 6-69. SPI 外设模式接收时序

表 6-76. MCSPI 开关特性 - 外设模式

请参阅图 6-70

编号	参数	说明	最小值	最大值	单位
SS6	$t_{d(SPICLK-POCI)}$	延迟时间, SPIn_CLK 有效边沿到 SPIn_D[x]	2	17.12	ns
SS7	$t_{sk(CS-POCI)}$	延迟时间, SPIn_CSi 有效边沿到 SPIn_D[x]	20.95		ns



SPRSP08_TIMING_MCSPI_03

图 6-70. SPI 外设模式发送时序

6.11.5.16 MMCSD

MMCSD 主机控制器提供用于连接嵌入式多媒体卡 (MMC)、安全数字 (SD) 和安全数字 IO (SDIO) 器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关 MMCSD 接口的更多详细信息，请参阅 *信号说明* 和 *详细说明* 中相应的 MMC0、MMC1 和 MMC2 小节。

备注

某些工作模式需要对 MMC DLL 延迟设置进行软件配置，如表 6-77 和表 6-98 所示。

表 6-77 和表 6-98 的 ITAPDLYSEL 列中显示“调优”值的模式需要使用调优算法来优化输入时序。有关优化输入时序所需的调优算法和输入延迟配置的更多信息，请参阅器件 TRM 中的 MMCSD 编程指南。

有关更多信息，请参阅器件 TRM 的外设一章中的 *多媒体卡/安全数字 (MMCSD) 接口* 一节。

6.11.5.16.1 MMC0 - eMMC/SD/SDIO 接口

MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，支持以下 eMMC 应用：

- 旧 SDR
- 高速 SDR
- 高速 DDR
- HS200

MMC0 接口还符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00。以下数据传输模式仅可用于连接到嵌入式 SDIO 器件：

- 默认速度
- 高速
- UHS – I SDR12
- UHS – I SDR25

表 6-77 展示了 MMC0 时序模式所需的 DLL 软件配置设置。

表 6-77. 所有时序模式的 MMC0 DLL 延迟映射

寄存器名称		MMCS0_MMC_SSCFG_PHY_CTRL_4_REG			
位字段		[20]	[16:12]	[8]	[4:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
模式	说明	输出延迟启用	输出延迟值	输入延迟启用	输入延迟值
旧 SDR	8 位 PHY 运行 1.8V, 25MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	不适用 ⁽²⁾
	8 位 PHY 运行 3.3V, 25MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	不适用 ⁽²⁾
高速 SDR	8 位 PHY 运行 1.8V, 50MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	不适用 ⁽²⁾
	8 位 PHY 运行 3.3V, 50MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	不适用 ⁽²⁾
高速 DDR	8 位 PHY 运行 1.8V, 40MHz	0x1	0x15	0x1	0x2
	8 位 PHY 运行 3.3V, 40MHz	0x1	0x15	0x1	0x2
HS200	8 位 PHY 运行 1.8V, 200MHz	0x1	0x6	0x1	调优 ⁽³⁾
默认速度	4 位 PHY 运行 3.3V, 25MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x1	0x0
高速	4 位 PHY 运行 3.3V, 50MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x1	0x0
UHS-I SDR12	4 位 PHY 运行 1.8V, 25MHz	0x1	0xF	0x1	0x0
UHS-I SDR25	4 位 PHY 运行 1.8V, 50MHz	0x1	0xF	0x1	0x0

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。

(2) 不适用意味着当 ITAPDLYENA 设为 0x0 时，该寄存器字段无功能。

(3) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-78 展示了 MMC0 的时序条件。

表 6-78. MMC0 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率	旧 SDR @ 3.3V 高速 SDR @ 3.3V 默认速度 高速	0.69	2.06	V/ns
		旧 SDR @ 1.8 V UHS-I SDR12	0.14	1.44	V/ns
		高速 SDR @ 1.8V UHS-I SDR25	0.3	1.34	V/ns
		高速 DDR UHS-I DDR50	1	2	V/ns
输出条件					
C _L	输出负载电容	HS200 UHS-I SDR104	1	10	pF
		所有其他模式	1	12	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	旧 SDR 高速 SDR 高速 DDR HS200	126	756	ps
		默认速度 高速 UHS-I SDR12 UHS-I SDR25 UHS-I SDR50 UHS-I SDR104	126	1386	ps
		UHS-I DDR50	239	1134	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	高速 SDR HS200 高速 UHS-I SDR104		8	ps
		高速 DDR UHS-I DDR50		20	ps
		所有其他模式		100	ps

6.11.5.16.1.1 旧 SDR 模式

表 6-79、图 6-71、表 6-80 和图 6-72 展示了 MMC0 的时序要求和开关特性 - 旧 SDR 模式。

表 6-79. MMC0 时序要求 - 旧 SDR 模式

请参阅图 6-71

编号			IO 工作 电压	最小值	最大值	单位
LSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	4.2		ns
			3.3V	2.15		ns
LSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	0.87		ns
			3.3V	1.67		ns
LSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	1.8V	4.2		ns
			3.3V	2.15		ns
LSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	1.8V	0.87		ns
			3.3V	1.67		ns

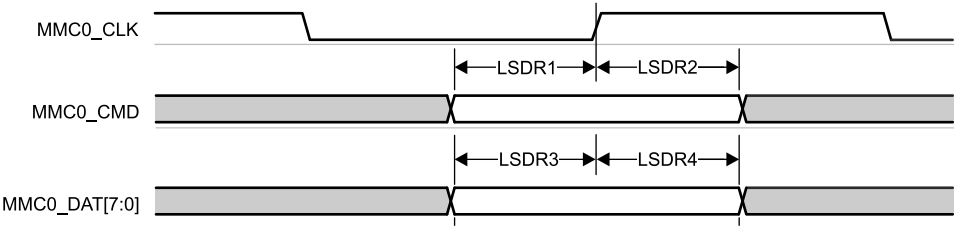


图 6-71. MMC0 - 旧 SDR - 接收模式

表 6-80. MMC0 开关特性 - 旧 SDR 模式

请参阅图 6-72

编号	参数		IO 工作 电压	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		25		MHz
LSDR5	$t_{c(clk)}$	周期时间，MMC0_CLK		40		ns
LSDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平		18.7		ns
LSDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平		18.7		ns
LSDR8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	1.8V	-2.1	2.1	ns
			3.3V	-1.8	2.2	ns
LSDR9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	1.8V	-2.1	2.1	ns
			3.3V	-1.8	2.2	ns

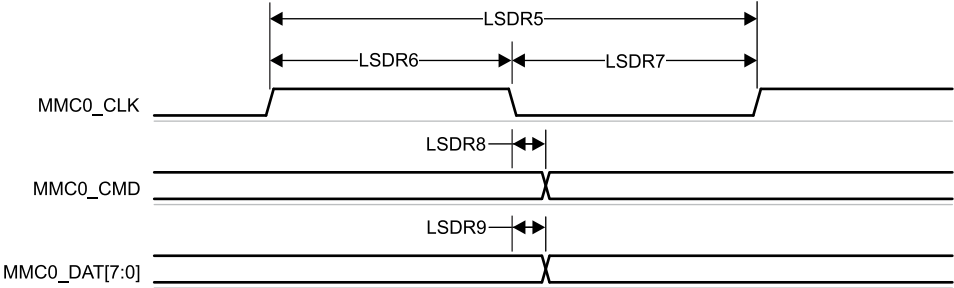


图 6-72. MMC0 - 旧 SDR - 发送模式

6.11.5.16.1.2 高速 SDR 模式

表 6-81、图 6-73、表 6-82 和图 6-74 说明了 MMC0 的时序要求和开关特性 - 高速 SDR 模式。

表 6-81. MMC0 时序要求 - 高速 SDR 模式

请参阅图 6-73

编号			IO 工作 电压	最小值	最大值	单位
HSSDR1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	2.15		ns
			3.3V	2.24		ns
HSSDR2	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	1.27		ns
			3.3V	1.66		ns
HSSDR3	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	1.8V	2.15		ns
			3.3V	2.24		ns
HSSDR4	$t_{h(clkH-dV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	1.8V	1.27		ns
			3.3V	1.66		ns

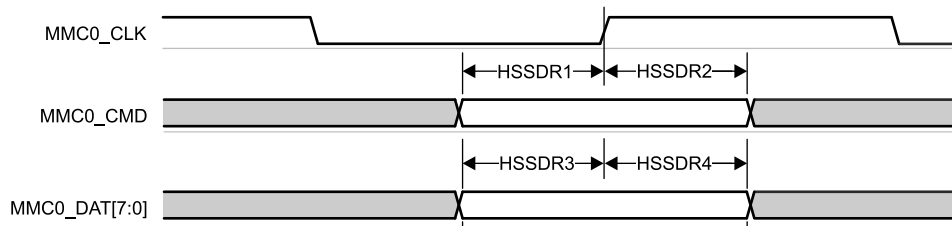


图 6-73. MMC0 - 高速 SDR 模式 - 接收模式

表 6-82. MMC0 开关特性 - 高速 SDR 模式

请参阅图 6-74

编号	参数		IO 工作 电压	最小值	最大值	单位
	f _{op(clk)}	工作频率，MMC0_CLK		50		MHz
HSSDR5	t _{c(clk)}	周期时间，MMC0_CLK		20		ns
HSSDR6	t _{w(clkH)}	脉冲持续时间，MMC0_CLK 高电平		9.2		ns
HSSDR7	t _{w(clkL)}	脉冲持续时间，MMC0_CLK 低电平		9.2		ns
HSSDR8	t _{d(clkL-cmdV)}	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	1.8V	-1.55	3.05	ns
			3.3V	-1.8	2.2	ns
HSSDR9	t _{d(clkL-dV)}	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	1.8V	-1.55	3.05	ns
			3.3V	-1.8	2.2	ns

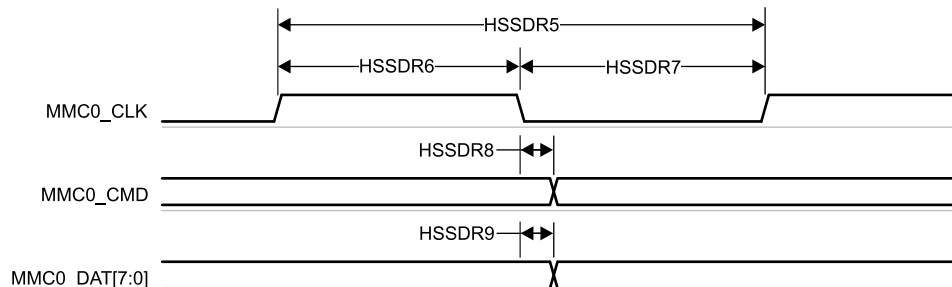


图 6-74. MMC0 - 高速 SDR 模式 - 发送模式

6.11.5.16.1.3 高速 DDR 模式

表 6-83、图 6-75、表 6-84 和图 6-76 说明了 MMC0 的时序要求和开关特性 - 高速 DDR 模式。

表 6-83. MMC0 时序要求 - 高速 DDR 模式

请参阅图 6-75

编号			IO 工作 电压	最小值	最大值	单位
HSDDR1	$t_{su(cmdV-clk)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.8V	0.02		ns
			3.3V	1.5		ns
HSDDR2	$t_{h(clk-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.8V	1.99		ns
			3.3V	1.75		ns
HSDDR3	$t_{su(dV-clk)}$	建立时间，在 MMC0_CLK 转换之前 MMC0_DAT[7:0] 有效	1.8V	0.02		ns
			3.3V	1.5		ns
HSDDR4	$t_{h(clk-dV)}$	保持时间，在 MMC0_CLK 转换之后 MMC0_DAT[7:0] 有效	1.8V	1.99		ns
			3.3V	1.75		ns

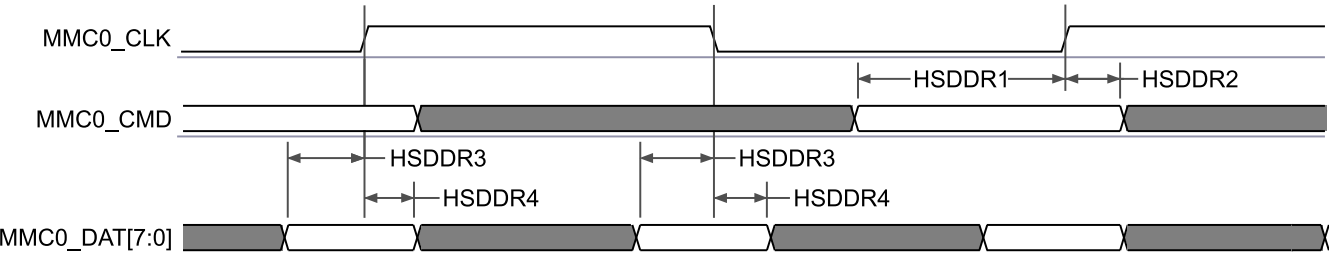


图 6-75. MMC0 - 高速 DDR 模式 - 接收模式

表 6-84. MMC0 开关特性 - 高速 DDR 模式

请参阅图 6-76

编号	参数		IO 工作 电压	最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		40		MHz
HSDDR5	$t_{c(clk)}$	周期时间，MMC0_CLK		25		ns
HSDDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平		11.58		ns
HSDDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平		11.58		ns
HSDDR8	$t_{d(clk-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	1.8V	1.2	5.6	ns
			3.3V	3.32	9.3	ns
HSDDR9	$t_{d(clk-dV)}$	延迟时间，MMC0_CLK 转换到 MMC0_DAT[7:0] 转换	1.8V	1.2	4.8	ns
			3.3V	3.2	8.9	ns

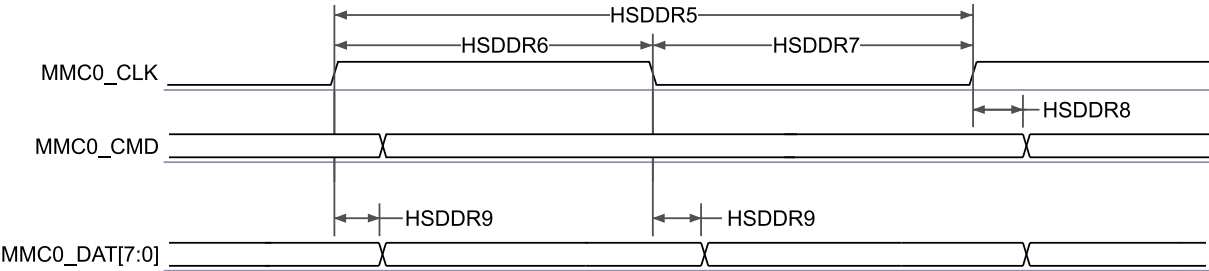


图 6-76. MMC0 - 高速 DDR 模式 - 发送模式

6.11.5.16.1.4 HS200 模式

表 6-85、图 6-77、表 6-86 和 图 6-78 展示了 MMC0 - HS200 模式下的时序要求和切换特性。

表 6-85. MMC0 时序要求 - HS200 模式

请参阅图 6-77

编号			最小值	最大值	单位
HS2004	t_{DWW}	输入数据有效窗口、MMC0_CMD 和 MMC0_DAT[7:0]	2.0 ⁽¹⁾		ns

- (1) 此参数定义了主机所需的最小数据有效窗口，任何提供给主机的数据有效窗口大于此值时，均可确保主机能够捕获有效数据。此参数定义的值小于针对任何在 HS200 模式下运行的 eMMC 器件定义的最小可能数据有效窗口。

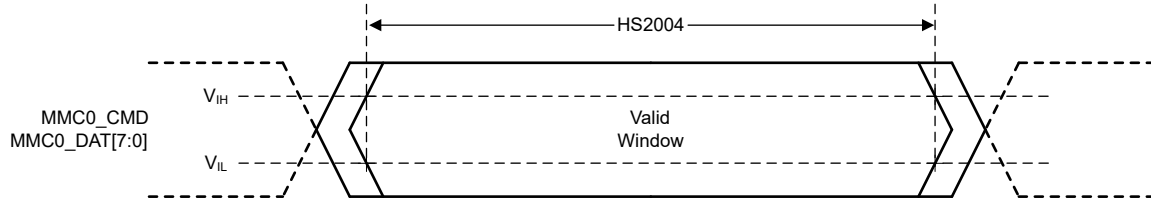


图 6-77. MMC0 - HS200 - 接收模式

表 6-86. MMC0 开关特性 - HS200 模式

请参阅图 6-78

编号	参数		最小值	最大值	单位
	f _{op} (clk)	工作频率, MMC0_CLK	200		MHz
HS2005	t _c (clk)	周期时间, MMC0_CLK	5		ns
HS2006	t _w (clkH)	脉冲持续时间, MMC0_CLK 高电平	2.12		ns
HS2007	t _w (clkL)	脉冲持续时间, MMC0_CLK 低电平	2.12		ns
HS2008	t _d (clkL-cmdV)	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.07	3.21	ns
HS2009	t _d (clkL-dV)	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[7:0] 转换	1.07	3.21	ns

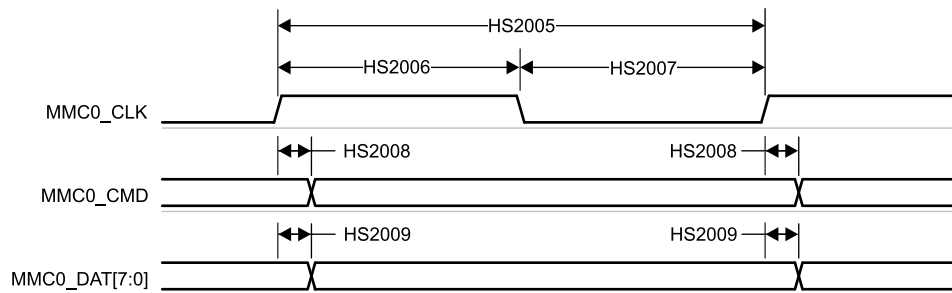


图 6-78. MMC0 - HS200 模式 - 发送模式

6.11.5.16.1.5 默认速度模式

表 6-87、图 6-79、表 6-88 和图 6-80 展示了 MMC0 的时序要求和开关特性 - 默认速度模式。

表 6-87. MMC0 的时序要求 - 默认速度模式

请参阅图 6-79

编号			最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.15		ns
DS2	$t_h(clkH-cmdV)$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.67		ns
DS3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.15		ns
DS4	$t_h(clkH-dV)$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.67		ns



图 6-79. MMC0 - 默认速度 - 接收模式

表 6-88. MMC0 的开关特性 - 默认速度模式

请参阅图 6-80

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		25	MHz
DS5	$t_{c(clk)}$	周期时间，MMC0_CLK	40		ns
DS6	$t_w(clkH)$	脉冲持续时间，MMC0_CLK 高电平	18.7		ns
DS7	$t_w(clkL)$	脉冲持续时间，MMC0_CLK 低电平	18.7		ns
DS8	$t_d(clkL-cmdV)$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[3:0] 转换	- 1.8	2.2	ns

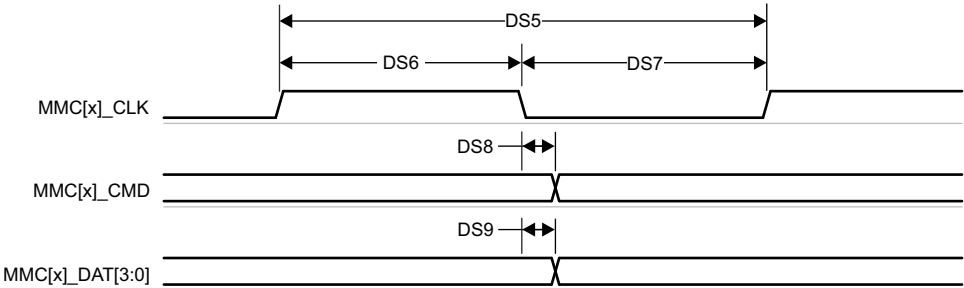


图 6-80. MMC0 - 默认速度 - 发送模式

6.11.5.16.1.6 高速模式

表 6-89、图 6-81、表 6-90 和图 6-82 展示了 MMC0 的时序要求和开关特性 - 高速模式。

表 6-89. MMC0 的时序要求 - 高速模式

请参阅图 6-81

编号			最小值	最大值	单位
HS1	$t_{su}(cmdV-clkH)$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.24		ns
HS2	$t_h(clkH-cmdV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.66		ns
HS3	$t_{su}(dV-clkH)$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.24		ns
HS4	$t_h(clkH-dV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.66		ns

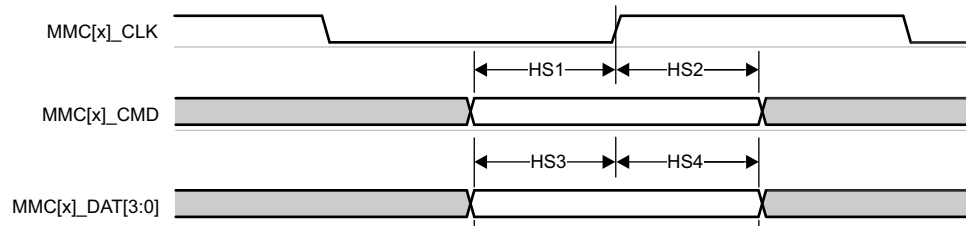


图 6-81. MMC0 - 高速 - 接收模式

表 6-90. MMC0 的开关特性 - 高速模式

请参阅图 6-82

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$		50	MHz
HS5	$t_c(clk)$	20		ns
HS6	$t_w(clkH)$	9.2		ns
HS7	$t_w(clkL)$	9.2		ns
HS8	$t_d(clkL-cmdV)$	-1.8	2.2	ns
HS9	$t_d(clkL-dV)$	-1.8	2.2	ns

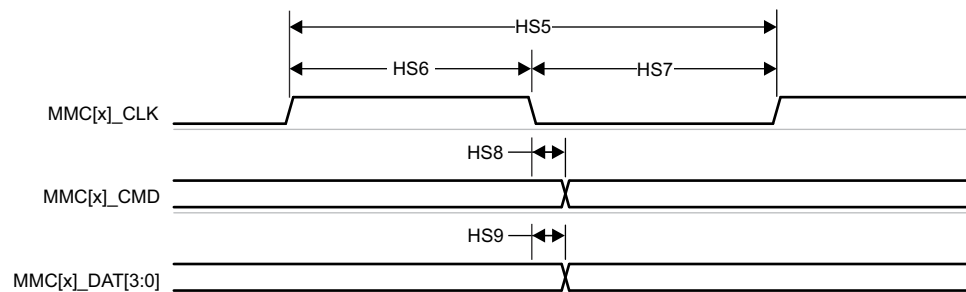


图 6-82. MMC0 - 高速 - 发送模式

6.11.5.16.1.7 UHS -I SDR12 模式

表 6-91、图 6-83、表 6-92 和图 6-84 展示了 MMC0 的时序要求和开关特性 - UHS-I SDR12 模式。

表 6-91. MMC0 的时序要求 - UHS-I SDR12 模式

请参阅图 6-83

编号			最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	0.87		ns
SDR123	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	4.2		ns
SDR124	$t_{h(clkH-dV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	0.87		ns

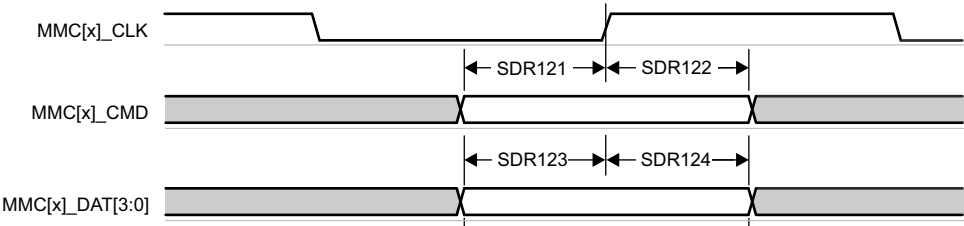


图 6-83. MMC0 - UHS-I SDR12 - 接收模式

表 6-92. MMC0 的开关特性 - UHS-I SDR12 模式

请参阅图 6-84

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC0_CLK		25	MHz
SDR125	$t_c(clk)$	周期时间, MMC0_CLK	40		ns
SDR126	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	18.7		ns
SDR127	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	18.7		ns
SDR128	$t_d(clkL-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	1.5	8.6	ns

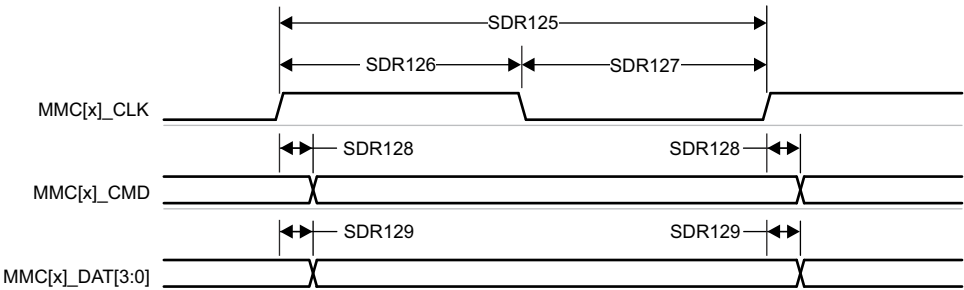


图 6-84. MMC0 - UHS-I SDR12 - 发送模式

6.11.5.16.1.8 UHS –I SDR25 模式

表 6-93、图 6-85、表 6-94 和图 6-86 展示了 MMC0 的时序要求和开关特性 – UHS-I SDR25 模式。

表 6-93. MMC0 的时序要求 – UHS-I SDR25 模式

请参阅图 6-85

编号			最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	1.27		ns
SDR253	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[3:0] 有效	2.15		ns
SDR254	$t_{h(clkH-dV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[3:0] 有效	1.27		ns

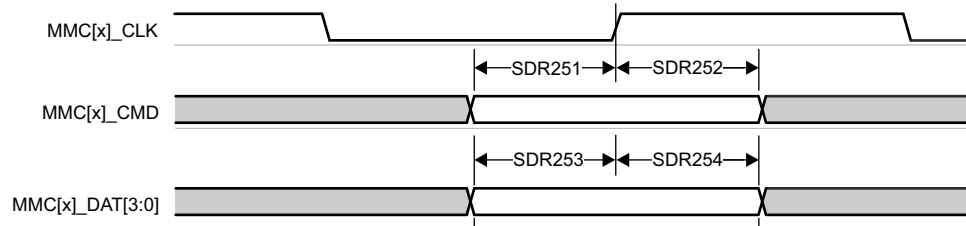


图 6-85. MMC0 – UHS-I SDR25 – 接收模式

表 6-94. MMC0 的开关特性 – UHS-I SDR25 模式

请参阅图 6-86

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		50	MHz
SDR255	$t_{c(clk)}$	20		ns
SDR256	$t_{w(clkH)}$	9.2		ns
SDR257	$t_{w(clkL)}$	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	2.4	8.1	ns
SDR259	$t_{d(clkL-dV)}$	2.4	8.1	ns

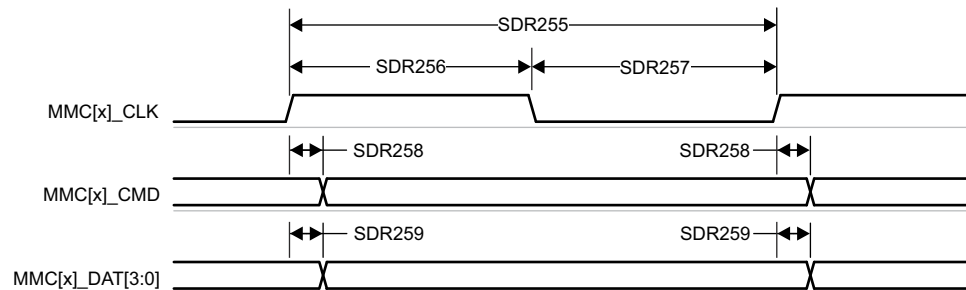


图 6-86. MMC0 – UHS-I SDR25 – 发送模式

6.11.5.16.1.9 UHS -I SDR50 模式

表 6-95 和图 6-87 展示了 MMC0 的开关特性 - UHS-I SDR50 模式。

表 6-95. MMC0 的开关特性 - UHS-I SDR50 模式

请参阅图 6-87

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK		100	MHz
SDR505	$t_{c}(clk)$	周期时间, MMC0_CLK	10		ns
SDR506	$t_{w}(clkH)$	脉冲持续时间, MMC0_CLK 高电平	4.45		ns
SDR507	$t_{w}(clkL)$	脉冲持续时间, MMC0_CLK 低电平	4.45		ns
SDR508	$t_{d}(clkL-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.2	6.35	ns
SDR509	$t_{d}(clkL-dV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	1.2	6.35	ns

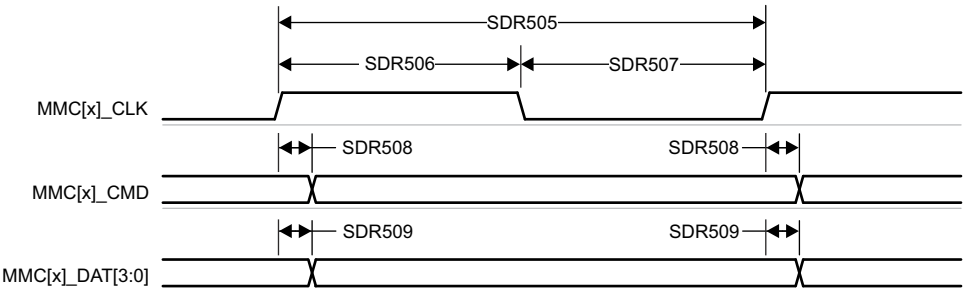


图 6-87. MMC0 - UHS-I SDR50 - 发送模式

6.11.5.16.1.10 UHS-I DDR50 模式

表 6-96 和图 6-88 展示了 MMC0 的开关特性 - UHS-I DDR50 模式。

表 6-96. MMC0 的开关特性 - UHS-I DDR50 模式

请参阅图 6-88

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK	50		MHz
DDR505	$t_{c}(clk)$	周期时间, MMC0_CLK	20		ns
DDR506	$t_{w}(clkH)$	脉冲持续时间, MMC0_CLK 高电平	9.2		ns
DDR507	$t_{w}(clkL)$	脉冲持续时间, MMC0_CLK 低电平	9.2		ns
DDR508	$t_{d}(clk-cmdV)$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.12	6.43	ns
DDR509	$t_{d}(clk-dV)$	延迟时间, MMC0_CLK 转换到 MMC0_DAT[3:0] 转换	1.12	6.43	ns

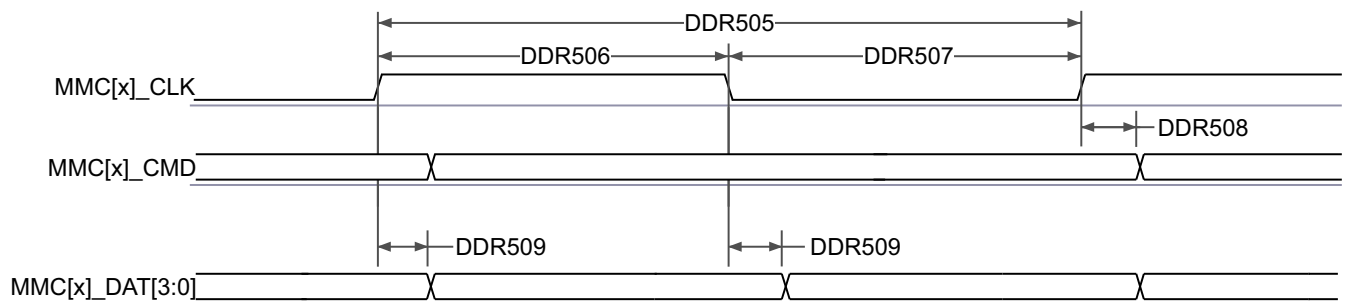


图 6-88. MMC0 - UHS-I DDR50 - 发送模式

6.11.5.16.1.11 UHS -I SDR104 模式

表 6-97 和图 6-89 展示了 MMC0 的开关特性 - UHS-I SDR104 模式。

表 6-97. MMC0 的开关特性 - UHS-I SDR104 模式

请参阅图 6-89

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC0_CLK	200		MHz
SDR1045	$t_{c(clk)}$	周期时间, MMC0_CLK	5		ns
SDR1046	$t_{w(clkH)}$	脉冲持续时间, MMC0_CLK 高电平	2.12		ns
SDR1047	$t_{w(clkL)}$	脉冲持续时间, MMC0_CLK 低电平	2.12		ns
SDR1048	$t_{d(clkL-cmdV)}$	延迟时间, MMC0_CLK 上升沿到 MMC0_CMD 转换	1.07	3.21	ns
SDR1049	$t_{d(clkL-dV)}$	延迟时间, MMC0_CLK 上升沿到 MMC0_DAT[3:0] 转换	1.07	3.21	ns

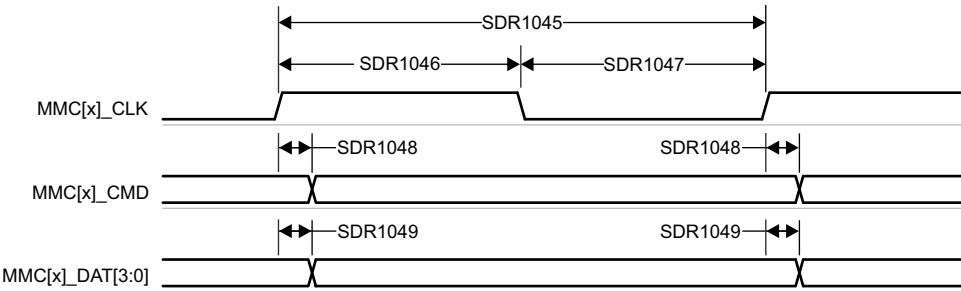


图 6-89. MMC0 - UHS-I SDR104 - 发送模式

6.11.5.16.2 MMC1/MMC2 - SD/SDIO 接口

MMC1/MMC2 接口符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00，并支持以下 SD 卡应用：

- 默认速度
- 高速
- UHS – I SDR12
- UHS – I SDR25
- UHS – I SDR50
- UHS – I DDR50
- UHS – I SDR104

表 6-98 提供了 MMC1/2 时序模式所需的 DLL 软件配置设置。

表 6-98. 所有时序模式的 MMC1/MMC2 DLL 延迟映射

寄存器名称		MMCS1_MMC_SSCFG_PHY_CTRL_4_REG MMCS2_MMC_SSCFG_PHY_CTRL_4_REG			
位字段		[20]	[15:12]	[8]	[4:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
模式	说明	延迟 启用	延迟 值	输入 延迟 启用	输入 延迟 值
默认 速度	4 位 PHY 运行 3.3V, 25MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x1	0x0
高速	4 位 PHY 运行 3.3V, 50MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x1	0x0
UHS-I SDR12	4 位 PHY 运行 1.8V, 25MHz	0x1	0xF	0x1	0x0
UHS-I SDR25	4 位 PHY 运行 1.8V, 50MHz	0x1	0xF	0x1	0x0
UHS-I SDR50	4 位 PHY 运行 1.8V, 100MHz	0x1	0xC	0x1	调优 ⁽²⁾
UHS-I DDR50	4 位 PHY 运行 1.8V, 50MHz	0x1	0x9	0x1	调优 ⁽²⁾
UHS-I SDR104	4 位 PHY 运行 1.8V, 200MHz	0x1	0x6	0x1	调优 ⁽²⁾

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。

(2) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-99 展示了 MMC1 的时序条件。

表 6-99. MMC1/MMC2 时序条件

参数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	默认速度 高速	0.69	2.06	V/ns
		UHS - I SDR12 UHS - I SDR25	0.34	1.34	V/ns
		UHS - I DDR50	1	2	V/ns
输出条件					
C _L	输出负载电容	所有模式	1	10	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	UHS - I DDR50	239	1134	ps
		所有其他模式	126	1386	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	高速 UHS - I SDR104		8	ps
		UHS - I DDR50		20	ps
		所有其他模式		100	ps

6.11.5.16.2.1 默认速度模式

表 6-100、图 6-90、表 6-101 和图 6-91 展示了 MMC1/MMC2 的时序要求和开关特性 - 默认速度模式。

表 6-100. MMC1/MMC2 的时序要求 - 默认速度模式

请参阅图 6-90

编号			最小值	最大值	单位
DS1	$t_{su}(cmdV-clkH)$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.15		ns
DS2	$t_h(clkH-cmdV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.67		ns
DS3	$t_{su}(dV-clkH)$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.15		ns
DS4	$t_h(clkH-dV)$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.67		ns

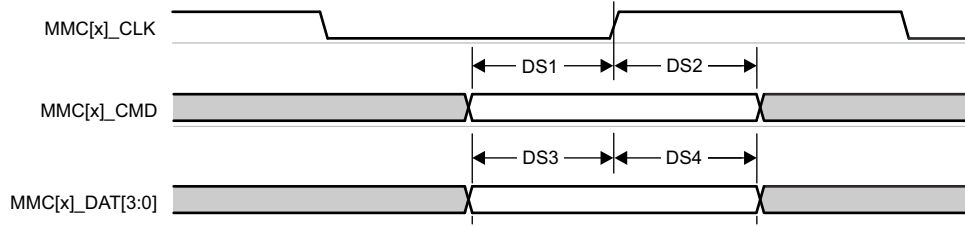


图 6-90. MMC1/MMC2 - 默认速度 - 接收模式

表 6-101. MMC1/MMC2 的开关特性 - 默认速度模式

请参阅图 6-91

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$		25	MHz
DS5	$t_c(clk)$	40		ns
DS6	$t_w(clkH)$	18.7		ns
DS7	$t_w(clkL)$	18.7		ns
DS8	$t_d(clkL-cmdV)$	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	- 1.8	2.2	ns

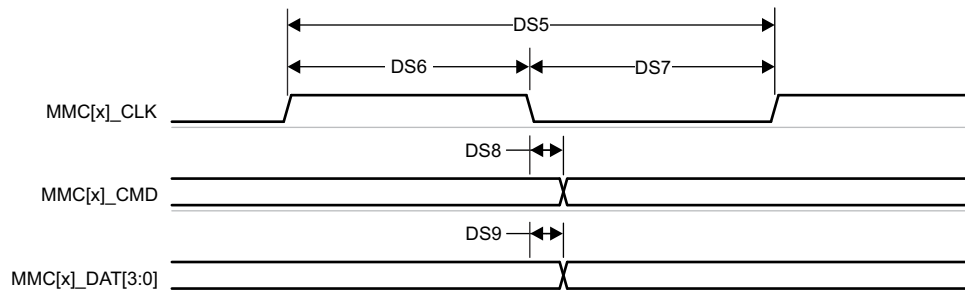


图 6-91. MMC1/MMC2 - 默认速度 - 发送模式

6.11.5.16.2.2 高速模式

表 6-102、图 6-92、表 6-103 和图 6-93 展示了 MMC1/MMC2 的时序要求和开关特性 - 高速模式。

表 6-102. MMC1/MMC2 的时序要求 - 高速模式

请参阅图 6-92

编号			最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.24		ns
HS2	$t_h(clkH-cmdV)$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.66		ns
HS3	$t_{su(dV-clkH)}$	建立时间，在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.24		ns
HS4	$t_h(clkH-dV)$	保持时间，在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.66		ns

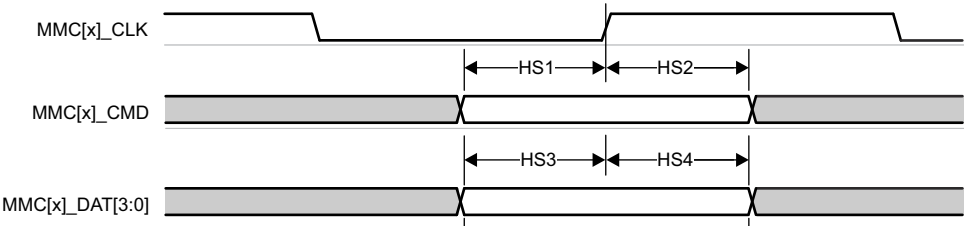


图 6-92. MMC1/MMC2 - 高速 - 接收模式

表 6-103. MMC1/MMC2 的开关特性 - 高速模式

请参阅图 6-93

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMCx_CLK		50	MHz
HS5	$t_c(clk)$	周期时间，MMCx_CLK	20		ns
HS6	$t_w(clkH)$	脉冲持续时间，MMCx_CLK 高电平	9.2		ns
HS7	$t_w(clkL)$	脉冲持续时间，MMCx_CLK 低电平	9.2		ns
HS8	$t_d(clkL-cmdV)$	延迟时间，MMCx_CLK 下降沿到 MMCx_CMD 转换	- 1.8	2.2	ns
HS9	$t_d(clkL-dV)$	延迟时间，MMCx_CLK 下降沿到 MMCx_DAT[3:0] 转换	- 1.8	2.2	ns

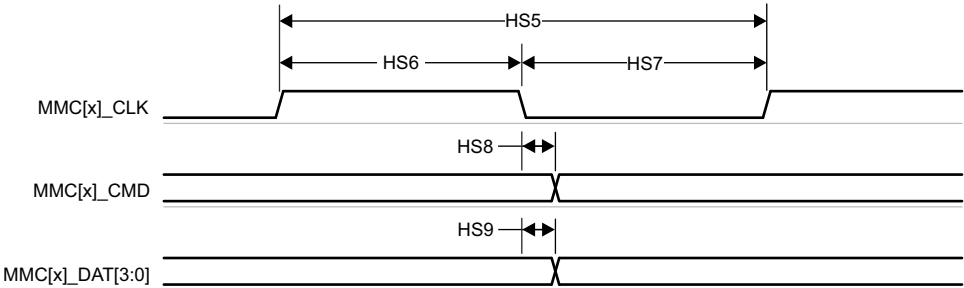


图 6-93. MMC1/MMC2 - 高速 - 发送模式

6.11.5.16.2.3 UHS – I SDR12 模式

表 6-104、图 6-94、表 6-105 和图 6-95 展示了 MMC1/MMC2 的时序要求和开关特性 – UHS-I SDR12 模式。

表 6-104. MMC1/MMC2 的时序要求 – UHS-I SDR12 模式

请参阅图 6-94

编号			最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	0.87		ns
SDR123	$t_{su(dV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	4.2		ns
SDR124	$t_{h(clkH-dV)}$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	0.87		ns

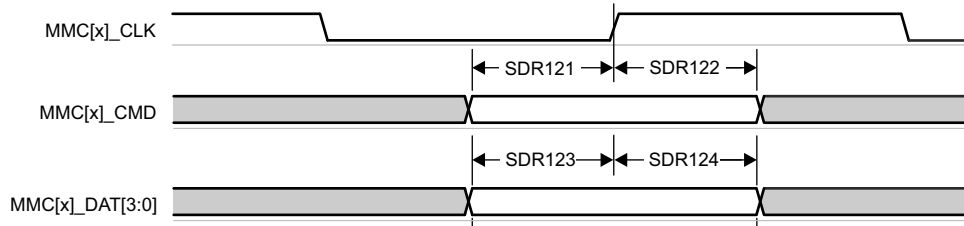


图 6-94. MMC1/MMC2 – UHS-I SDR12 – 接收模式

表 6-105. MMC1/MMC2 的开关特性 – UHS-I SDR12 模式

请参阅图 6-95

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		25	MHz
SDR125	$t_c(clk)$	40		ns
SDR126	$t_w(clkH)$	18.7		ns
SDR127	$t_w(clkL)$	18.7		ns
SDR128	$t_d(clkL-cmdV)$	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	1.5	8.6	ns

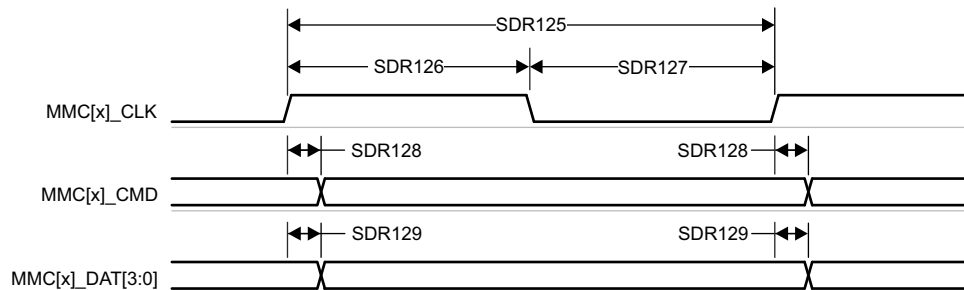


图 6-95. MMC1/MMC2 – UHS-I SDR12 – 发送模式

6.11.5.16.2.4 UHS -I SDR25 模式

表 6-106、图 6-96、表 6-107 和图 6-97 展示了 MMC1/MMC2 的时序要求和开关特性 - UHS-I SDR25 模式。

表 6-106. MMC1/MMC2 的时序要求 - UHS-I SDR25 模式

请参阅图 6-96

编号			最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_CMD 有效	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_CMD 有效	1.27		ns
SDR253	$t_{su(dV-clkH)}$	建立时间, 在 MMCx_CLK 上升沿之前 MMCx_DAT[3:0] 有效	2.15		ns
SDR254	$t_{h(clkH-dV)}$	保持时间, 在 MMCx_CLK 上升沿之后 MMCx_DAT[3:0] 有效	1.27		ns

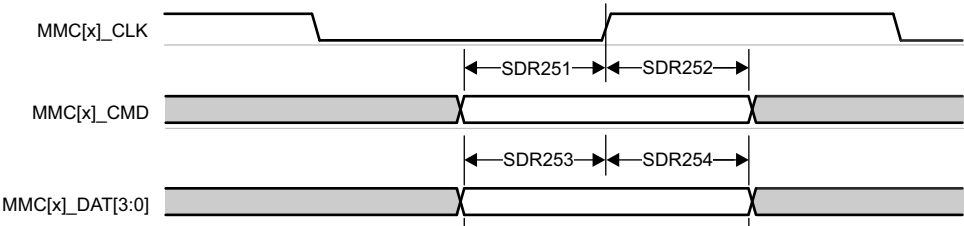


图 6-96. MMC1/MMC2 - UHS-I SDR25 - 接收模式

表 6-107. MMC1/MMC2 的开关特性 - UHS-I SDR25 模式

请参阅图 6-97

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		50	MHz
SDR255	$t_c(clk)$	20		ns
SDR256	$t_w(clkH)$	9.2		ns
SDR257	$t_w(clkL)$	9.2		ns
SDR258	$t_d(clkL-cmdV)$	2.4	8.1	ns
SDR259	$t_d(clkL-dV)$	2.4	8.1	ns

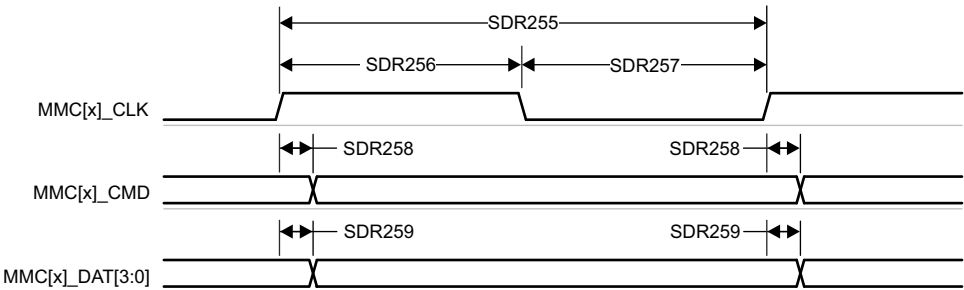


图 6-97. MMC1/MMC2 - UHS-I SDR25 - 发送模式

6.11.5.16.2.5 UHS -I SDR50 模式

表 6-108 和图 6-98 展示了 MMC1/MMC2 的开关特性 - UHS-I SDR50 模式。

表 6-108. MMC1/MMC2 的开关特性 - UHS-I SDR50 模式

请参阅图 6-98

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$		100	MHz
SDR505	$t_{c}(clk)$	10		ns
SDR506	$t_{w}(clkH)$	4.45		ns
SDR507	$t_{w}(clkL)$	4.45		ns
SDR508	$t_{d}(clkL-cmdV)$	1.2	6.35	ns
SDR509	$t_{d}(clkL-dV)$	1.2	6.35	ns

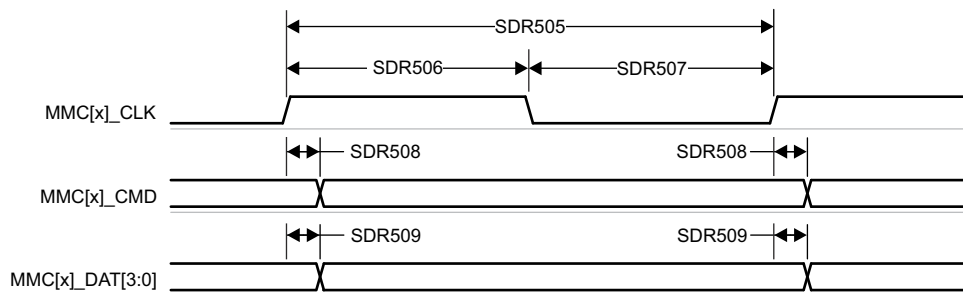


图 6-98. MMC1/MMC2 - UHS-I SDR50 - 发送模式

6.11.5.16.2.6 UHS-I DDR50 模式

表 6-109 和图 6-99 展示了 MMC1/MMC2 的开关特性 - UHS-I DDR50 模式。

表 6-109. MMC1/MMC2 的开关特性 - UHS-I DDR50 模式

请参阅图 6-99

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMCx_CLK	50		MHz
DDR505	$t_{c}(clk)$	周期时间, MMCx_CLK	20		ns
DDR506	$t_{w}(clkH)$	脉冲持续时间, MMCx_CLK 高电平	9.2		ns
DDR507	$t_{w}(clkL)$	脉冲持续时间, MMCx_CLK 低电平	9.2		ns
DDR508	$t_{d}(clk-cmdV)$	延迟时间, MMCx_CLK 上升沿到 MMCx_CMD 转换	1.12	6.43	ns
DDR509	$t_{d}(clk-dV)$	延迟时间, MMCx_CLK 转换到 MMCx_DAT[3:0] 转换	1.12	6.43	ns

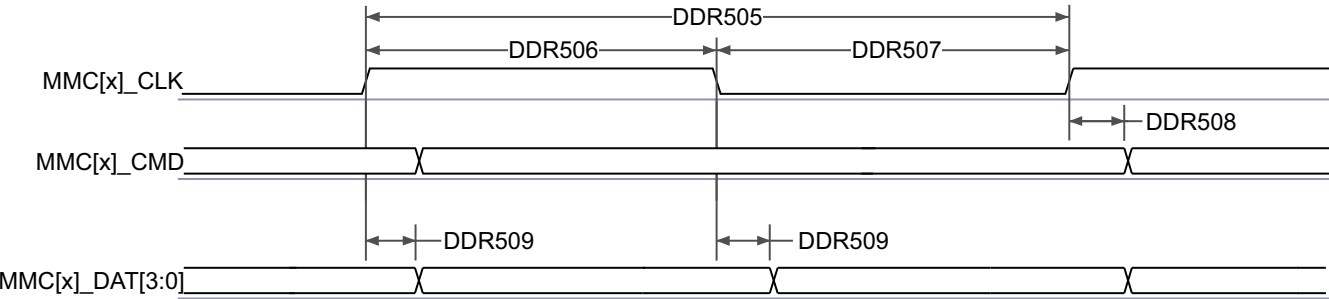


图 6-99. MMC1/MMC2 - UHS-I DDR50 - 发送模式

6.11.5.16.2.7 UHS -I SDR104 模式

表 6-110 和图 6-100 展示了 MMC1/MMC2 的开关特性 - UHS-I SDR104 模式。

表 6-110. MMC1/MMC2 的开关特性 - UHS-I SDR104 模式

请参阅图 6-100

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$		200	MHz
SDR1045	$t_{c}(clk)$	5		ns
SDR1046	$t_{w}(clkH)$	2.12		ns
SDR1047	$t_{w}(clkL)$	2.12		ns
SDR1048	$t_{d}(clkL-cmdV)$	1.07	3.21	ns
SDR1049	$t_{d}(clkL-dV)$	1.07	3.21	ns

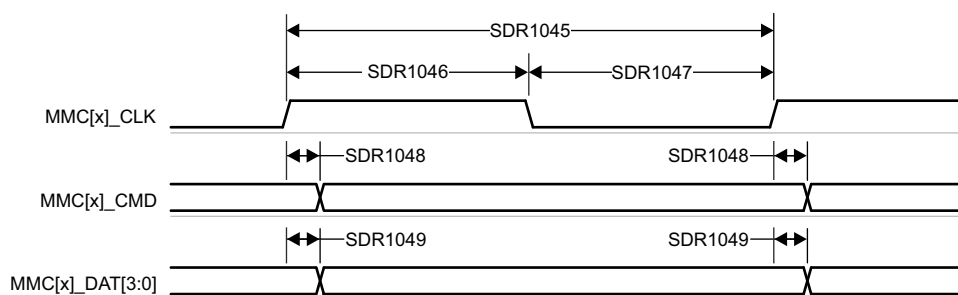


图 6-100. MMC1/MMC2 - UHS-I SDR104 - 发送模式

6.11.5.17 OSPI

OSPI0 提供两种数据捕获模式：PHY 模式和 Tap 模式。

PHY 模式使用内部基准时钟通过基于 DLL 的 PHY 发送和接收数据，在这种模式下，每个基准时钟周期为单倍数据速率 (SDR) 传输生成一个周期的 OSPI0_CLK，或为双倍数据速率 (DDR) 传输生成半个周期的 OSPI0_CLK。PHY 模式支持接收数据捕获时钟的四种时钟拓扑。内部 PHY 环回 - 使用内部基准时钟作为 PHY 接收数据采集时钟。内部焊盘环回 - 使用从 OSPI0_LBCLKO 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。外部电路板环回 - 使用从 OSPI0_DQS 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。DQS - 使用所连接器件的 DQS 输出作为 PHY 接收数据采集时钟。使用内部焊盘环回和 DQS 时钟拓扑时，不支持 SDR 传输。使用内部 PHY 环回或内部焊盘环回时钟拓扑时，不支持 DDR 传输。

Tap 模式使用具有可选 Tap 的内部基准时钟来调整相对于 OSPI0_CLK 的数据发送和接收捕获延迟，OSPI0_CLK 是 SDR 传输的内部基准时钟的 4 分频或 DDR 传输的内部基准时钟的 8 分频。Tap 模式仅支持接收数据捕获时钟的一种时钟拓扑。无环回 - 使用内部基准时钟作为 Tap 接收数据捕获时钟。此时钟拓扑支持 400MHz 的最大内部基准时钟速率，从而在 SDR 模式下产生高达 100MHz 的 OSPI0_CLK 速率，或在 DDR 模式下产生高达 50MHz 的 OSPI0_CLK 速率。

有关更多信息，请参阅器件 TRM 的外设一章中的八路串行外设接口 (OSPI) 一节。

有关器件八路串行外设接口特性和其他说明信息的更多详情，请参阅信号说明和详细说明部分中的相应小节。

节 6.11.5.17.1 定义了与 PHY 模式相关的时序要求和开关特性，节 6.11.5.17.2 定义了与 Tap 模式相关的时序要求和开关特性。

表 6-111 展示了 OSPI0 的时序条件。

表 6-111. OSPI0 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR _I	输入压摆率		1	6	V/ns
输出条件					
C _L	输出负载电容		3	10	pF
PCB 连接要求					
t _d (Trace Delay)	OSPI0_CLK 布线的传播延迟	无环回 内部 PHY 环回 内部焊盘环回		450	ps
	OSPI0_LBCLKO 布线的传播延迟	外部电路板环回	2L ⁽¹⁾ - 30	2L ⁽¹⁾ + 30	ps
	OSPI0_DQS 布线的传播延迟	DQS	L ⁽¹⁾ - 30	L ⁽¹⁾ + 30	ps
t _d (Trace Mismatch Delay)	OSPI0_D[7:0] 和 OSPI0_CS _n [3:0] 相对于 OSPI0_CLK 的传播延迟不匹配	所有模式		60	ps

(1) L = OSPI0_CLK 布线的传播延迟

6.11.5.17.1 OSPI0 PHY 模式

6.11.5.17.1.1 具有 PHY 数据训练的 OSPI0

读取和写入数据有效窗口将因工艺、电压、温度和工作频率的变化而发生变化。可以实现数据训练方法，以动态配置最优读取和写入时序。实现数据训练可以在特定工艺、电压和频率工作条件下的温度范围内实现正常运行，同时实现更高的工作频率。

由于数据传输和接收时序参数会根据运行条件进行动态调整，因此未针对数据训练用例定义这些参数。

表 6-112 定义了具有数据训练的 OSPI0 所需的 DLL 延迟。表 6-113、图 6-101、图 6-102、表 6-114、图 6-103 和图 6-104 展示了具有数据训练的 OSPI0 的时序要求和开关特性。

表 6-112. 用于 PHY 数据训练的 OSPI0 DLL 延迟映射

模式	寄存器位字段	延迟值
OSPI_PHY_CONFIGURATION_REG		
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)
PHY_MASTER_CONTROL_REG		
所有模式	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x1

(1) 发送由训练软件确定的 DLL 延迟值

(2) 接收由训练软件确定的 DLL 延迟值

表 6-113. OSPI0 时序要求 - PHY 数据训练

请参阅图 6-101 和图 6-102

编号			模式	最小值	最大值	单位
O15	$t_{su}(D-LBCLK)$	建立时间, 在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)		ns
O16	$t_h(LBCLK-D)$	保持时间, 在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)		ns
O21	$t_{su}(D-LBCLK)$	建立时间, 在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	具有外部电路板环回的 SDR	(1)		ns
O22	$t_h(LBCLK-D)$	保持时间, 在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	具有外部电路板环回的 SDR	(1)		ns
	t_{Dwv}	数据有效窗口 (O15 + O16)	具有 DQS 的 DDR	1.6		ns
		数据有效窗口 (O21 + O22)	具有外部电路板环回的 SDR	2.3		ns

(1) 当使用数据训练查找合适的数据有效窗口时, 未定义 OSPI0_D[7:0] 输入的最小建立和保持时间要求。 t_{Dwv} 参数定义了所需的最小数据无效窗口。提供此参数来代替最小建立和最小保持时间, 必须使用它来检查与所连接器件提供的数据有效窗口的兼容性。

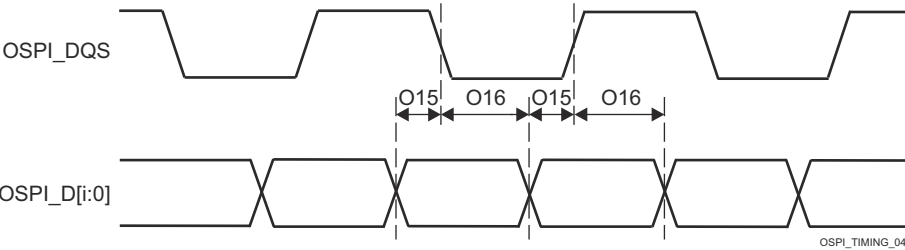


图 6-101. OSPI0 时序要求 - PHY 数据训练, 带 DQS 的 DDR

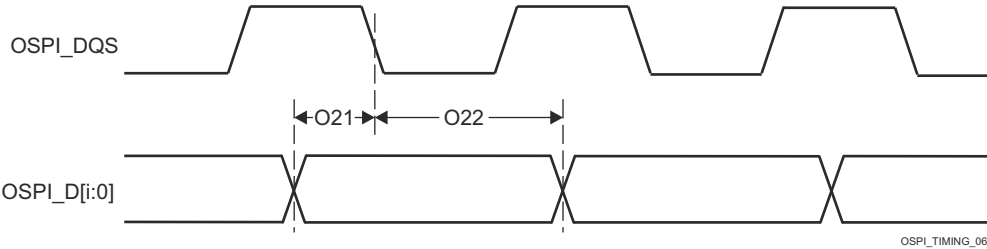


图 6-102. OSPI0 时序要求 - PHY 数据训练, 带外部电路板环回的 SDR

表 6-114. OSPI 开关特性 - PHY 数据训练

请参阅图 6-103 和图 6-104

编号	参数	模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	DDR	6.0	10	ns
O7		SDR	6.0	10	ns
O2	$t_{w(CLKL)}$	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O8		SDR			
O3	$t_{w(CLKH)}$	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O9		SDR			
O4	$t_{d(CSn-CLK)}$	DDR	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O10		SDR			
O5	$t_{d(CLK-CSn)}$	DDR	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O11		SDR			
O6	$t_{d(CLK-D)}$	DDR	(6)	(6)	ns
O12		SDR			
	t_{DIVW}	DDR		1.6	ns
		SDR			

- (1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间 (以 ns 为单位)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) 当使用数据训练查找合适的数据有效窗口时, 不定义 OSPI0_D[7:0] 输出的最小和最大延迟时间。 t_{DIVW} 参数定义了最大数据无效窗口。提供此参数来代替最小和最大延迟时间, 必须使用它来检查与所连接器件的数据有效窗口要求的兼容性。

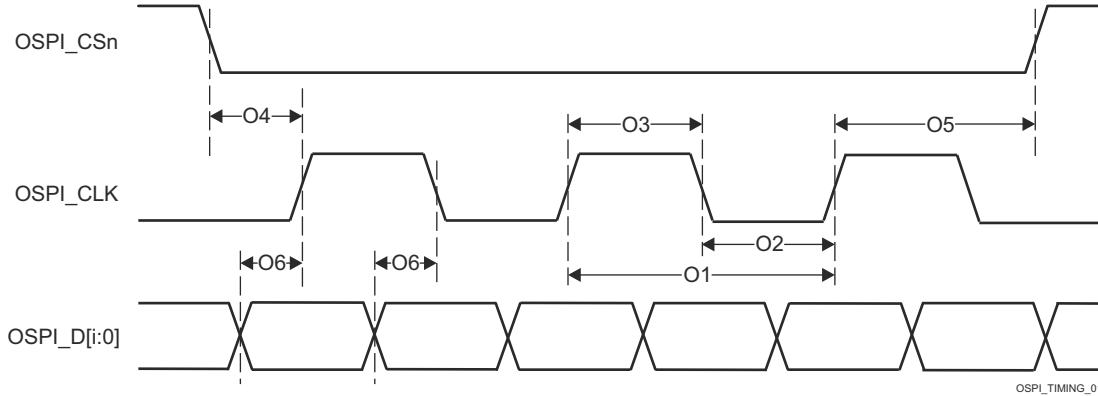
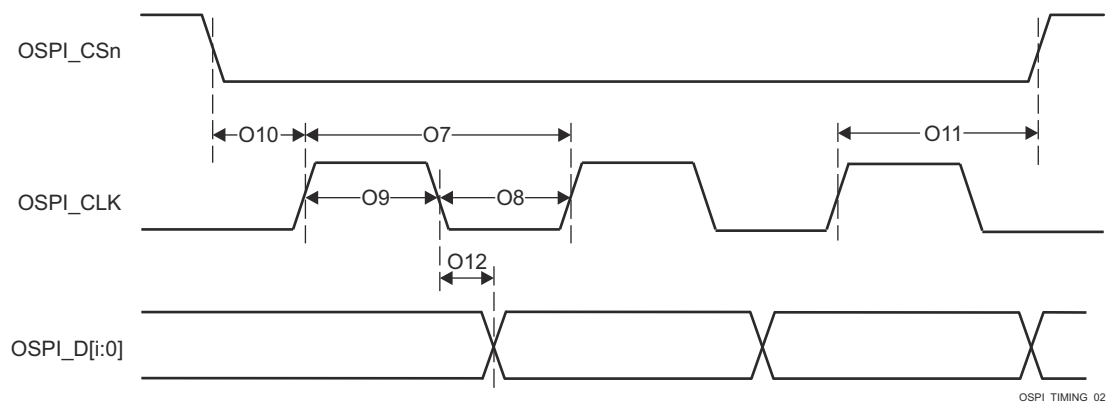


图 6-103. OSPI0 开关特性 - PHY DDR 数据训练

**图 6-104. OSPI0 开关特性 - PHY SDR 数据训练**

6.11.5.17.1.2 无数据训练的 OSPI0

备注

本节中定义的时序参数仅在未实施数据训练功能且 DLL 延迟按表 6-115 中所述配置时适用。

6.11.5.17.1.2.1 OSPI0 PHY SDR 时序

表 6-115 定义了 OSPI0 PHY SDR 模式所需的 DLL 延迟。表 6-116、图 6-105、图 6-106、表 6-117 和图 6-107 展示了 OSPI0 PHY SDR 模式的时序要求和开关特性。

表 6-115. PHY SDR 时序模式的 OSPI0 DLL 延迟映射

模式	寄存器位字段	延迟值
OSPI_PHY_CONFIGURATION_REG		
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3
接收		
SDR 内部 PHY 环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
SDR 外部电路板环回	PHY_CONFIG_RX_DLL_DELAY_FLD	0x4
PHY_MASTER_CONTROL_REG		
所有模式	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x1

表 6-116. OSPI0 时序要求 - PHY SDR 模式

请参阅图 6-105 和图 6-106

编号		模式	最小值	最大值	单位
O19	$t_{su}(D-CLK)$	建立时间, 在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	4.8		ns
O20	$t_h(CLK-D)$	保持时间, 在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	-0.5		ns
O21	$t_{su}(D-LBCLK)$	建立时间, 在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	0.6		ns
O22	$t_h(LBCLK-D)$	保持时间, 在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	1.7		ns

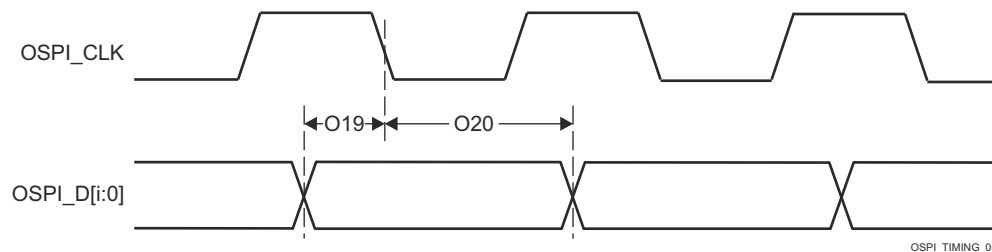


图 6-105. OSPI0 时序要求 - 具有内部 PHY 环回的 PHY SDR

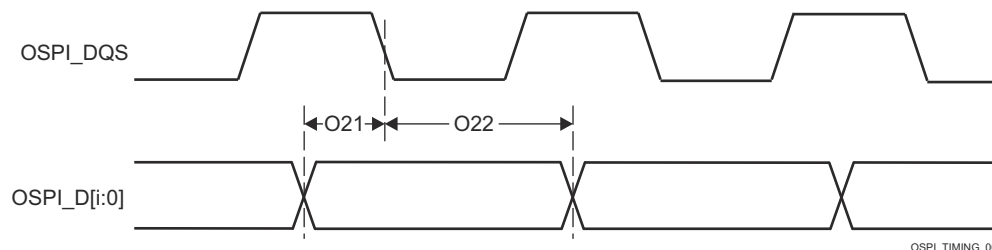


图 6-106. OSPI0 时序要求 - 具有外部电路板环回的 PHY SDR

表 6-117. OSPI0 开关特性 - PHY SDR 模式

请参阅图 6-107

编号	参数	最小值	最大值	单位
O7	$t_{c}(\text{CLK})$	周期时间, OSPI0_CLK	7	ns
O8	$t_{w}(\text{CLKL})$	脉冲持续时间, OSPI0_CLK 低电平	$((0.475P^{(1)}) - 0.3)$	ns
O9	$t_{w}(\text{CLKH})$	脉冲持续时间, OSPI0_CLK 高电平	$((0.475P^{(1)}) - 0.3)$	ns
O10	$t_{d}(\text{CSn-CLK})$	延迟时间, OSPI0_CS _n [3:0] 有效边沿到 OSPI0_CLK 上升沿	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	ns
O11	$t_{d}(\text{CLK-CSn})$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CS _n [3:0] 无效边沿	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O12	$t_{d}(\text{CLK-D})$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	-1.16 1.25	ns

(1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = 基准时钟周期时间 (以 ns 为单位)

(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

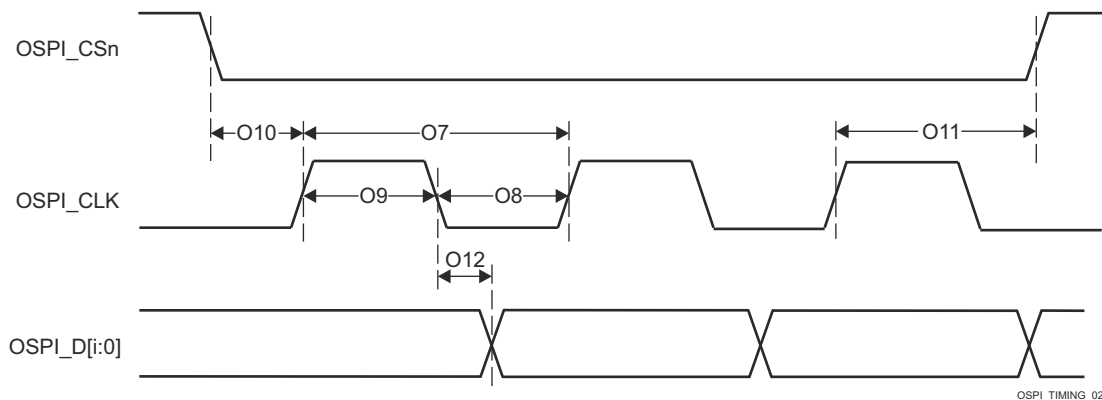


图 6-107. OSPI0 开关特性 - PHY SDR

6.11.5.17.2 OSPI0 Tap 模式

6.11.5.17.2.1 OSPI0 Tap SDR 时序

表 6-118、图 6-108、表 6-119 和图 6-109 展示了 OSPI0 的时序要求和开关特性 - Tap SDR 模式。

表 6-118. OSPI0 时序要求 - Tap SDR 模式

请参阅图 6-108

编号			模式	最小值	最大值	单位
O19	$t_{su}(D-CLK)$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	无环回	$(7.7 - (0.975T^{(1)}R^{(2)}))$		ns
O20	$t_{h}(CLK-D)$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	无环回	$(-2.15 + (0.975T^{(1)}R^{(2)}))$		ns

(1) $T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]$

(2) $R =$ 基准时钟周期时间 (以 ns 为单位)

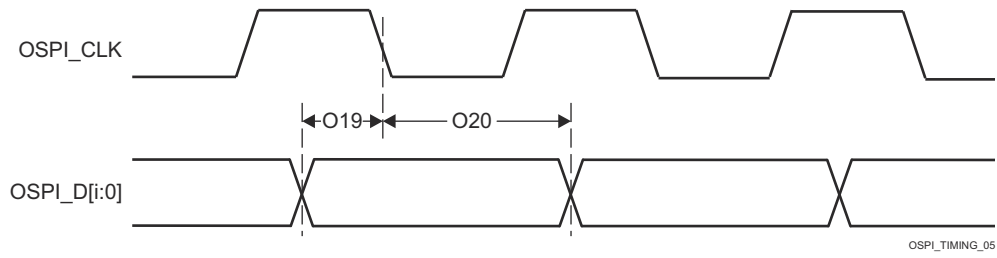


图 6-108. OSPI0 时序要求 - Tap SDR，无环回

表 6-119. OSPI0 开关特性 - Tap SDR 模式

请参阅图 6-109

编号	参数		最小值	最大值	单位
O7	$t_{c}(\text{CLK})$	周期时间, OSPI0_CLK	10		ns
O8	$t_{w}(\text{CLKL})$	脉冲持续时间, OSPI0_CLK 低电平	$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w}(\text{CLKH})$	脉冲持续时间, OSPI0_CLK 高电平	$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d}(\text{CSn-CLK})$	延迟时间, OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + 1)$	ns
O11	$t_{d}(\text{CLK-CSn})$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) + 1)$	ns
O12	$t_{d}(\text{CLK-D})$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	- 2.0	1.5	ns

- (1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间 (以 ns 为单位)

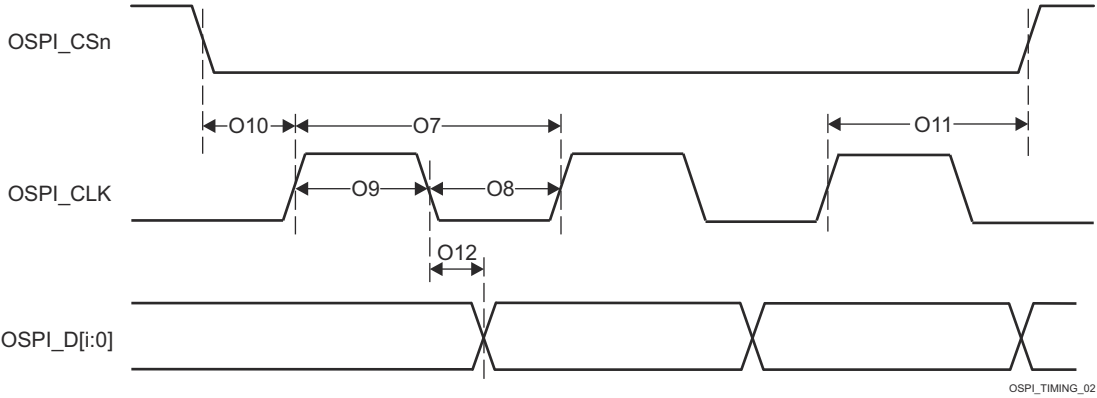


图 6-109. OSPI0 开关特性 - Tap SDR , 无环回

6.11.5.17.2.2 OSPI0 Tap DDR 时序

表 6-120、图 6-110、表 6-121 和图 6-111 展示了 OSPI0 的时序要求和开关特性 - Tap DDR 模式。

表 6-120. OSPI0 时序要求 - Tap DDR 模式

请参阅图 6-110

编号		模式	最小值	最大值	单位
O13	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	无环回	(8.0 - (0.975T ⁽¹⁾ R ⁽²⁾))	ns
O14	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	无环回	(- 2.0 + (0.975T ⁽¹⁾ R ⁽²⁾))	ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = 基准时钟周期时间 (以 ns 为单位)

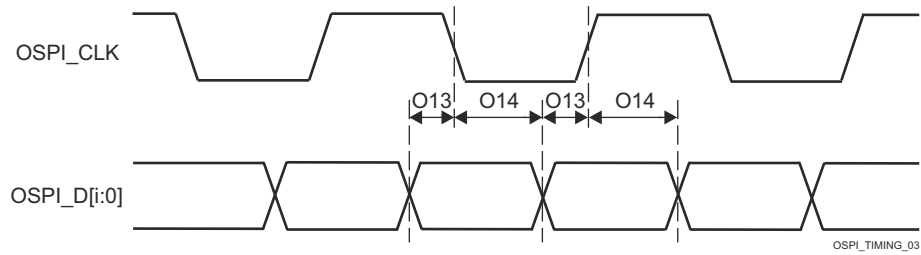


图 6-110. OSPI0 时序要求 - Tap DDR，无环回

表 6-121. OSPI0 开关特性 - Tap DDR 模式

请参阅图 6-111

编号	参数	最小值	最大值	单位
O1	$t_{c}(\text{CLK})$	周期时间, OSPI0_CLK	20	ns
O2	$t_{w}(\text{CLKL})$	脉冲持续时间, OSPI0_CLK 低电平	$((0.475P^{(1)}) - 0.3)$	ns
O3	$t_{w}(\text{CLKH})$	脉冲持续时间, OSPI0_CLK 高电平	$((0.475P^{(1)}) - 0.3)$	ns
O4	$t_{d}(\text{CSn-CLK})$	延迟时间, OSPI0_CS _n [3:0] 有效边沿到 OSPI0_CLK 上升沿	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1))$	ns
O5	$t_{d}(\text{CLK-CSn})$	延迟时间, OSPI0_CLK 上升沿到 OSPI0_CS _n [3:0] 无效边沿	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)} + 1))$	ns
O6	$t_{d}(\text{CLK-D})$	延迟时间, OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)} - 1))$ $(-1.0 + (0.975(T^{(4)} + 1)R^{(5)} - (0.525P^{(1)})))$	ns

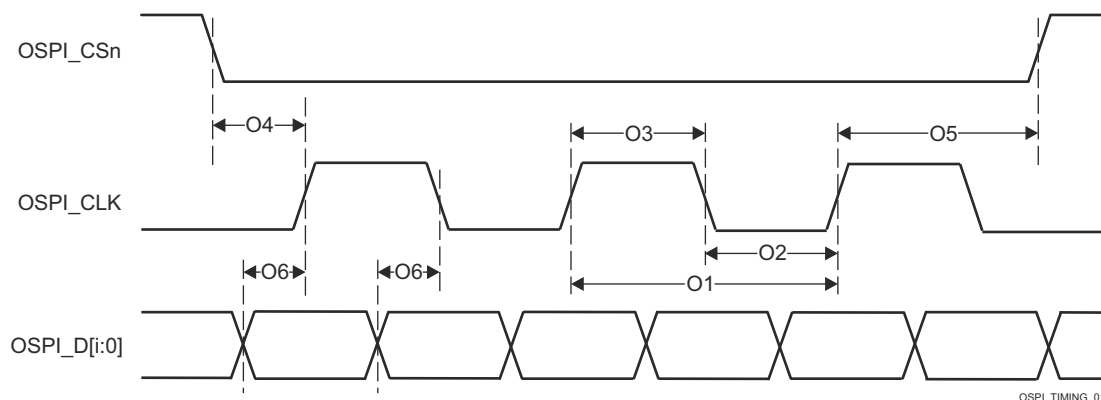
(1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD](3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD](4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD](5) R = 基准时钟周期时间 (以 ns 为单位)

图 6-111. OSPI0 开关特性 - Tap DDR, 无环回

6.11.5.18 计时器

有关器件计时器特性和其他说明信息的更多详情，请参阅 [信号说明](#) 和 [详细说明](#) 部分中的相应小节。

表 6-122. 计时器时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	2	10	pF

表 6-123. 计时器输入时序要求

请参阅 [图 6-112](#)

编号	参数	说明	模式	最小值	最大值	单位
T1	t _{w(TINPH)}	脉冲持续时间，高电平	捕获	4P ⁽¹⁾ + 2.5		ns
T2	t _{w(TINPL)}	脉冲持续时间，低电平	捕获	4P ⁽¹⁾ + 2.5		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

表 6-124. 计时器输出开关特性

请参阅 [图 6-112](#)

编号	参数	说明	模式	最小值	最大值	单位
T3	t _{w(TOUTH)}	脉冲持续时间，高电平	PWM	4P ⁽¹⁾ - 2.5		ns
T4	t _{w(TOURL)}	脉冲持续时间，低电平	PWM	4P ⁽¹⁾ - 2.5		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

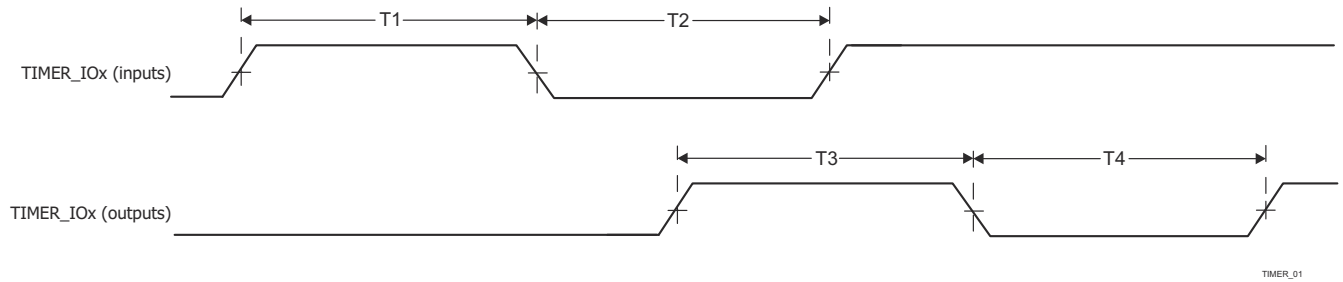


图 6-112. 计时器时序要求和开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的 [计时器](#) 一节。

6.11.5.19 UART

有关器件通用异步接收器/发送器特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

表 6-125. UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	1	30 ⁽¹⁾	pF

- (1) 该值表示绝对最大负载电容。随着 UART 波特率的增加，可能需要将负载电容减小到小于此最大限制的值，以便为连接的器件提供足够的时序裕度。输出上升/下降时间随着容性负载的增加而增加，这会减少数据对所连接器件的接收器有效的的时间。因此，了解连接器件在工作波特率下所需的最短数据有效时间非常重要。然后使用器件 IBIS 模型来验证 UART 信号上的实际负载电容是否不会将上升/下降时间增加到超出所连接器件的最小数据有效时间的点。

表 6-126. UART 时序要求

请参阅图 6-113

编号	参数	说明	最小值	最大值	单位
1	t _{W(RXD)}	脉冲宽度，接收数据位高电平或低电平	0.95U ⁽¹⁾ (2)	1.05U ⁽¹⁾ (2)	ns
2	t _{W(RXDS)}	脉冲宽度，接收开始位低电平	0.95U ⁽¹⁾ (2)		ns

- (1) U = UART 波特时间 (以 ns 为单位) = 1/编程波特率。
(2) 该值定义了数据有效时间，其中要求输入电压高于 V_{IH} 或低于 V_{IL}。

表 6-127. UART 开关特性

请参阅图 6-113

编号	参数	说明	最小值	最大值	单位
	f _(baud)	可编程波特率		7.38	Mbps
3	t _{W(TXD)}	脉冲宽度，发送数据位高电平或低电平	U ⁽¹⁾ - 2	U ⁽¹⁾ + 2	ns
4	t _{W(TXDS)}	脉冲宽度，发送开始位低电平	U ⁽¹⁾ - 2		ns

- (1) U = UART 波特时间 (以 ns 为单位) = 1/实际波特率，器件 TRM 的 UART 波特率设置表中定义了实际波特率。

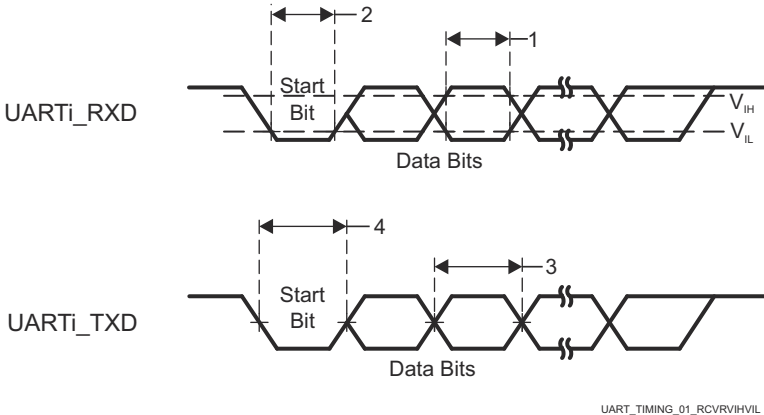


图 6-113. UART 时序要求和开关特性

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用异步接收器/发送器 (UART)* 一节。

6.11.5.20 USB

USB 2.0 子系统符合通用串行总线 (USB) 规范修订版 2.0。有关时序详细信息，请参阅规范。

有关通用串行总线子系统 (USB) 特性和其他说明信息的更多详情，请参阅 *信号说明* 和 *详细说明* 部分中的相应小节。

7 详细说明

7.1 概述

低成本并且性能经过优化的 AM62L 系列应用处理器专为 Linux® 应用开发而构建。具有可扩展的 Arm® Cortex®-A53 内核性能和嵌入式特性，例如：多媒体 DSI/DPI 支持、片上集成 ADC、高级低功耗管理模式，以及用于 IP 保护和内置安全功能的广泛安全选项。

AM62Lx 器件包含大量外设，是非常适合各种工业应用的通用器件，同时还提供智能功能和优化的电源架构。此外，AM62Lx 中包含大量外设，可实现系统级连接，例如：USB、MMC/SD、OSPI、CAN-FD 和 ADC。

7.2 处理器子系统

7.2.1 Arm Cortex-A53 子系统 (A53SS)

SoC 实现了一个双核 Arm® Cortex®-A53 MPCore™ 集群，其中每个内核具有 32KB L1 指令和 32KB L1 数据，同时还具有 256KB L2 共享高速缓存。

Cortex®-A53 内核是通用处理器，可用于运行客户应用程序。

A53SS 基于 Cortex®-A53 MPCore™ (Arm®-A53 集群) 构建，后者由 Arm 提供并由 TI 配置。该处理器基于对称多处理器 (SMP) 架构，因此可提供高性能以及最佳电源管理、调试和仿真功能。

A53 处理器是一款多发射乱序超标量执行引擎，具有集成的 L1 指令和数据高速缓存，与 Arm®v8-A 架构兼容。与其前代产品相比，该处理器具有更高的功效，性能显著提升。

Arm®v8-A 架构提供了许多新功能。这些新功能包括 64 位数据处理、扩展虚拟寻址和 64 位通用寄存器。A53 处理器是 Arm 率先推出的 Arm®v8-A 处理器，旨在提供低功耗的 64 位处理。该处理器具有顺序、8 级、双发射流水线和改进的整数、Arm® Neon™、浮点单元 (FPU) 和存储器性能。

A53 CPU 支持两种执行状态：AArch32 和 AArch64。AArch64 状态使 A53 CPU 能够执行 64 位应用程序，而 AArch32 状态则允许处理器执行现有的 Arm®v7-A 应用程序。

A53SS 集成了各种高级特性，包括 Arm®v8 加密扩展、GICv3 架构、针对高速缓存的 ECC 和奇偶校验保护、每个内核的专用看门狗计时器、高吞吐量 128 位和 VBUSM 接口以及用于实现内置自测试与可靠性保障的带有 BIST 的 PBIST 控制器。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *Arm Cortex-A53 子系统* 一节。

7.3 其他子系统

7.3.1 数据移动子系统 (DMSS)

DMSS 模块提供数据移动 (DMA) 功能，并在交叉开关模块 CBASS 交换互连与器件上的分组流架构 (片上网络) 之间起到桥接作用。

数据移动子系统 (DMSS) 由 DMA/队列管理组件和外设组成：

- 数据包 DMA (PKTDMA)
- 块复制 DMA (BCDMA)
- 环形加速器
- 数据包流接口 (PSILSS)
- 基础设施组件，如 CBASS

有关更多信息，请参阅器件 TRM 的外设章节中的 *数据移动架构概述* 一节。

7.3.2 外设 DMA 控制器 (PDMA)

外设 DMA 是一种简单的 DMA，其架构专为满足外设的数据传输需求而设计，外设使用通过标准非相干总线结构访问的存储器映射寄存器 (MMR) 来执行数据传输。PDMA 模块靠近一个或多个需要外部 DMA 进行数据移动的外设，。

PDMA 仅负责执行与外设本身交互的数据移动事务。从给定外设读取的数据由 PDMA 源通道打包到 PSI-L 数据流中，然后将其发送到远程对等 DMSS 目标通道，然后由该通道将数据移动到存储器中。同样，远程 DMSS 源通道从存储器中获取数据，并通过 PSI-L 将其传输到对等 PDMA 目标通道，然后由 PSI-L 执行对外设的写入操作。

PDMA 架构特意采用异构结构 (DMSS + PDMA)，以适当调整系统中每个点的数据传输复杂性，以满足传入或传出的任何内容的要求。外设通常基于 FIFO，不需要超出其 FIFO 尺寸要求的多维传输，因此 PDMA 传输引擎保持简单，仅具有几个维度 (通常用于样本大小和 FIFO 深度)、硬编码地址映射和简单的触发功能。

PDMA 内提供多个源通道和目标通道，允许同时进行多个传输操作。DMA 控制器维护每个通道的状态信息，并在通道之间采用轮询调度以共享底层 DMA 硬件。

每个支持 PDMA 的外设均配有专用状态机，用于跟踪该外设的数据发送与接收过程。

有关更多信息，请参阅器件 TRM 的外设章节中的 *数据移动架构概述* 一节。

7.4 外设

7.4.1 ADC

模数转换器 (ADC) 模块具备单通道通用模数转换功能, 通过集成的 4 输入模拟多路复用器, 可从四个模拟输入信号中选择其一, 对其进行模数转换。该模块内置的模拟前端 (AFE) 可执行 12 位精度的转换操作, 其有效分辨率为 10 位。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *模数转换器 (ADC)* 一节。

7.4.2 千兆位以太网交换机 (CPSW3G)

3 端口千兆位以太网交换机 (CPSW3G) 子系统为器件提供以太网数据包通信, 并可配置为以太网交换机。它支持两个具有可选 RGMII 和 RMII 接口的外部 10/100/1000Mbps 以太网端口以及一个内部通信端口编程接口 (CPPI) 端口。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *千兆位以太网交换机* 一节。

7.4.3 DDR 子系统 (DDRSS)

DDRSS0 支持 LPDDR4 和 DDR4 内存类型, 运行速率高达 1600MT/s, 采用 16 位总线和内联 ECC 功能, 可寻址容量高达 2GB (LPDDR4) 与 4GB (DDR4)。它具有 128 位系统接口、高级调度和刷新控制、完全命令一致性以及符合 JEDEC 标准的低功耗模式, 可在工作温度范围内实现高效、可靠的运行。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *DDR 子系统* 一节。

7.4.4 显示子系统 (DSS)

显示子系统 (DSS) 是灵活的单流水线子系统, 支持最高 1920x1080@60fps 高分辨率显示输出。DSS 包括一个具备视频帧翻转/镜像功能的 DMA 引擎, 允许直接访问帧缓冲区 (器件系统内存)。输入流水线支持颜色空间转换、伽马校正和亮度/对比度色调/饱和度控制功能等, 可提高视频输出质量。该 DSS 输出可直接连接到器件引脚, 以提供具有 150MHz 像素时钟的并行 24 位 DPI 视频输出接口, 也可连接到 MIPI DSI 控制器, 通过四通道 MIPI D-PHY 发射器提供视频接口, 每通道数据速率最高可达 2.5Gbps。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *显示子系统* 一节。

7.4.5 增强型捕获 (ECAP)

增强型捕获 (ECAP) 模块是一款时序外设, 旨在精准捕获并测量外部信号特性, 如信号周期、频率、占空比或脉冲宽度。ECAP 模块借助 32 位时间戳计数器及最多四个 32 位捕获寄存器进行工作。捕获到的数值可用于计算时序间隔、生成中断信号或触发其他外设动作。

该模块可在任一捕获事件发生时生成中断, 支持绝对时间捕获与增量时间戳捕获两种模式, 允许为每个捕获事件配置可编程边沿极性; 且在不用于捕获功能时, 可在辅助脉宽调制 (APWM) 模式下运行, 生成 PWM 输出信号。ECAP 还支持单次捕获模式与连续捕获模式: 单次捕获模式最多可捕获四个时间戳事件, 连续捕获模式则将时间戳存储在深度为四的循环缓冲区中。

这些功能使 ECAP 模块适用于速度测量、位置检测及精确输入信号监控控制等应用场景。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *增强型捕获 (ECAP) 模块* 一节。

7.4.6 错误定位器模块 (ELM)

错误定位模块 (ELM) 与通用存储器控制器 (GPMC) 配合工作, 可支持 NAND 闪存的错误检测和校正。它使用 Bose - Chaudhuri - Hocquenghem (BCH) 算法处理 NAND 页读取期间生成的伴随多项式, 以识别数据块内的错误位置。ELM 支持每个 512 字节块的 4 位、8 位和 16 位纠错, 完成时会生成中断, 并基于寄存器访问错误计数和位置数据。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *错误定位模块 (ELM)* 一节。

7.4.7 增强型脉宽调制 (EPWM)

增强型脉宽调制 (EPWM) 模块是一种高度灵活的基于定时器的外设，用于为电机控制、数字电源和通用定时应用生成精确的脉宽调制波形。

EPWM 模块支持可编程周期、占空比与相位控制，同时具备多项特性：可生成带独立上升沿和下降沿延迟控制的死区信号、提供用于故障处理的跳变区输入、配备用于与其他 EPWM 模块同步的时基同步输入/输出信号，还能生成事件以触发 CPU 中断和 ADC 转换，进而实现控制环路与波形生成之间的精确同步。

该模块的其他功能包括：通过高频载波信号实现 PWM 斩波，以降低 EMI 并提升信号质量；具备可编程事件分频功能，可对 PWM 事件触发动作的频率进行精细化控制。

有关更多信息，请参阅器件 TRM 的外设章节中的 *增强型脉宽调制 (EPWM)* 一节。

7.4.8 增强型正交编码器脉冲 (EQEP)

增强型正交编码器脉冲 (EQEP) 外设用于与旋转编码器或线性编码器输出的正交编码信号连接，广泛应用于高性能运动与位置控制系统，可提供精确的位置、方向及速度信息。

EQEP 模块支持 A 相和 B 相信号的解码，且支持用于绝对位置基准的索引信号 (QEPI)。

32 位 EQEP 模块具有用于位置测量的位置计数器和控制单元（带可编程复位功能）、用于低速测量的正交边沿捕获单元、用于实时速度测量的单位时基，以及用于检测编码器活动丢失的看门狗定时器。EQEP 模块还会在比较事件、溢出/下溢事件及索引事件发生时生成中断，支持灵活的运动控制算法。

有关更多信息，请参阅器件 TRM 的外设一章中的 *增强型正交编码器脉冲 (EQEP)* 一节。

7.4.9 通用接口 (GPIO)

通用输入/输出 (GPIO) 外设提供专用的通用引脚，可以配置为输入或输出。当配置为输出时，用户可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时，用户可以通过读取内部寄存器的状态来获取输入的状态。

一个 GPIO 模块最多支持 144 个专用信号，这些信号分为 9 个组，每组最多包含 16 个 GPIO 信号。

每个包含 16 个 GPIO 信号的组，其中断生成功能都可以被独立使能。对于每个支持中断的 GPIO 信号，可指定由上升沿和/或下降沿触发中断。

此外，GPIO 外设可在不同的事件生成模式下产生 DMA 同步事件。同时，GPIO 信号还支持置位/清零功能。

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用接口* 一节。

7.4.10 通用存储器控制器 (GPMC)

通用存储器控制器是一个统一的存储器控制器，专用于与外部存储器器件连接，例如：

- 类似 SRAM 的异步存储器和应用特定集成电路 (ASIC) 器件
- 异步、同步和页面模式（仅在非多路复用模式下可用）突发 NOR 闪存器件
- NAND 闪存
- 伪 SRAM 器件

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用存储器控制器* 一节。

7.4.11 全局时基计数器 (GTC)

GTC 模块是一款 64 位自由运行的递增计数器，符合 Arm@v8 系统计数器规范；当使用完整的 64 位计数器时，在器件使用寿命内不会发生溢出，且支持将可选择的计数器位输出作为推送事件。

GTC 在所有内核和外设之间提供统一的时间基准，确保时间戳记录和同步的一致性。

有关更多信息，请参阅器件 TRM 的外设一章中的 *全局时基计数器* 一节。

7.4.12 内部集成电路 (I2C)

集成电路 (I2C) 控制器提供本地主机 (LH) (例如 Arm) 与任何通过 I2C 串行总线连接的 I2C 总线兼容设备之间的接口。连接到 I2C 总线的外部设备可以通过 2 线 I2C 接口以串行方式向 LH 设备发送和从其接收高达 8 位的数据。

每个多控制器 I2C 模块均可配置为充当目标或控制器 I2C 兼容器件。

I2C 实例可以使用 I2C 兼容漏极开路 I/O 缓冲器来实现, 或使用标准推挽 I/O 缓冲器来实现。与 I2C 漏极开路 I/O 缓冲器关联的 I2C 实例可以支持 HS 模式 (在 1.8V 电压下运行时数据速率高达 3.4Mbps, 在 3.3V 电压下运行时数据速率限制为 400kbps)。

与标准推挽 I/O 缓冲器关联的 I2C 实例可以支持快速模式 (数据速率高达 400kbps)。这些端口上使用的推挽 I/O 缓冲器的连接方式可以对漏极开路输出进行仿真。该仿真通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *集成电路总线* 一节。

7.4.13 模块化控制器局域网 (MCAN)

控制器局域网 (CAN) 是一种串行通信协议, 用于有效地为具有高安全性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力以及自诊断和修复数据错误的能力。在 CAN 网络中, 许多较短的信息会广播到整个网络, 从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD (具有灵活数据速率的 CAN) 规范。CAN FD 特性可实现高吞吐量和增加每个数据帧的有效负载。传统 CAN 和 CAN FD 器件可以在同一网络中共存, 不会发生任何冲突。

CAN 和 CAN FD 器件需通过 (相对于本器件而言的) 外部收发器, 连接至 CAN 网络的物理层。每个 MCAN 模块均支持超过 1Mbps 的灵活比特率, 且符合 ISO 11898-1:2015 标准。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *模块化控制器局域网 (MCAN)* 一节。

7.4.14 多通道音频串行端口 (MCASP)

MCASP 作为通用音频串行端口的功能针对各种音频应用的要求进行了优化。MCASP 模块可以在发送和接收模式下运行。MCASP 对于时分多路复用 (TDM) 流、IC 间音频 (I2S) 协议接收和发送以及元件间数字音频接口传输 (DIT) 非常有用。MCASP 可以灵活地无缝连接到 Sony/Philips 数字接口 (S/PDIF) 传输物理层元件。

尽管 MCASP 模块本身不支持元件间数字音频接口接收 (DIR) 模式 (即 S/PDIF 流接收), 但 MCASP 接收器的特定 TDM 模式实现允许轻松连接到外部 DIR 元件 (例如, S/PDIF 到 I2S 格式转换器)。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *多通道音频串行端口* 一节。

7.4.15 多通道串行外设接口 (MCSPI)

MCSPI 是一款增强型 SPI 模块, 支持多通道收发通信, 且可在控制器模式与外设模式下运行。在控制器模式下, 该模块最多可与四个通道连接; 而在外设模式下, 仅支持单个通道。

每个通道均支持两个独立的 DMA 请求 (一个用于读取, 一个用于写入) 和一个中断, 以实现高效数据传输; 配备可编程起始位 (末次输出停止起始插入, LOSSI 模式), 以确保多通道通信中的正确成帧与同步; 内置 FIFO 缓冲区, 提升数据吞吐量与字访问效率; 串行时钟的频率、极性与相位均支持可编程配置。

MCSPI 模块支持 SPI 字长配置, 配置范围为 4 位至 32 位。此外, 该模块还支持可编程移位操作, 以及片选信号与外部时钟生成之间的时序控制。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *多通道串行外设接口* 一节。

7.4.16 多媒体卡安全数字 (MMCSD)

MMCSD 主机控制器提供用于连接嵌入式多媒体卡 (MMC)、安全数字 (SD) 和安全数字 IO (SDIO) 器件的接口。MMC/SD 控制器在传输层处理 MMC/SD/SDIO 协议，具体包括数据打包、添加 CRC、添加起始/结束位，以及语法正确性检查。

MMCSD 主机控制器已实现为 4 位子系统与 8 位子系统。4 位子系统支持符合 SD 物理层规范 v3.01 的可插拔 SD 卡，以及符合 SDIO 规范 v3.00 的嵌入式 SDIO 设备。8 位子系统支持符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51) 的 eMMC 设备，以及符合 SDIO 规范 v3.00 的嵌入式 SDIO 设备。

有关更多信息，请参阅器件 TRM 的外设章节中的 *多媒体卡安全数字 (MMCSD) 接口* 一节。

7.4.17 八进制串行外设接口 (OSPI)

八通道串行外设接口 (OSPI) 模块是一款 SPI 模块，支持以单通道、双通道、四通道或八通道方式读写外部闪存设备，且支持双倍数据速率 (DDR) 或单倍数据速率 (SDR)。该模块具有存储器映射寄存器接口，可提供直接存储器接口用于从外部闪存器件访问数据，从而简化软件要求。

该模块支持 DDR 和 DTR 协议 (包括带 DQS 的八通道 DDR)、XIP (连续模式)、可编程器件大小和延迟以及写保护区域。其他特性包括双向 CRC、ECC 错误处理、可编程中断生成，以及用于连续寻址与设备边界检测的可编程数据解码器。

有关更多信息，请参阅器件 TRM 的外设一章中的 *八路串行外设接口 (OSPI)* 一节。

7.4.18 计时器

通用计时器 (计时器) 是一个 32 位模块，支持用于周期性事件生成的计时器模式、用于外部事件精确时间戳处理的捕获模式和用于基于匹配的中断的比较模式。计时器模块支持级联两个 32 位计时器以形成一个 64 位计数器。

计时器包含一个自由运行的向上计数器，具有溢出时自动重新加载功能，可以在计数时动态读取和写入。计时器支持在发生溢出、比较和捕获事件时生成中断。所有内部计时器中断源都合并到一条模块中断线路和一条唤醒线路中，并且可以独立启用或禁用每个内部中断源。

计时器模块可使用 32768Hz 功能时钟生成 1ms 节拍。

有关更多信息，请参阅器件 TRM 的外设一章中的 *计时器* 一节。

7.4.19 实时时钟 (RTC)

实时时钟 (RTC) 计时器模块可记录日历时间与日期、将器件从掉电状态唤醒，并支持数字版权管理 (DRM)。

RTC 模块包括一个 48 位秒计数器、一个 15 位 32768Hz 亚秒计数器，以及一个 512 位暂存器。RTC 可用于系统调度、低功耗计时，以及在器件复位期间保持精确的时间戳。

有关更多信息，请参阅器件 TRM 的外设章节中的 *实时时钟 (RTC)* 一节。

7.4.20 通用异步收发器 (UART)

UART 是一种利用 DMA 通过主机 CPU 进行数据传输或中断轮询的外设。当使用 48MHz 功能时钟时，所有 UART 模块都支持 IrDA 和 CIR 模式。每个 UART 均可用于配置和与多个外部外围器件的数据交换或器件之间的处理器间通信。

UART 模块支持高达 3.6Mbps 的高速通信，收发均配备 64 字节 FIFO 缓冲区，还包含自动流控制、可配置数据格式、睡眠模式和扩展调制解调器控制信号等高级特性。该模块还支持可编程中断级别、自动波特率检测以及用于测试的内部回环功能。

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用同步/异步接收器/发送器* 一节。

7.4.21 通用串行总线子系统 (USBSS)

通用串行总线子系统 (USBSS) 通过实现 USB 设备之间的数据传输机制，为众多消费类便携式设备提供连接解决方案。

USBSS 具有双角色器件 (DRD) 功能，能够在高速 (480Mbps)、全速 (12Mbps) 或低速 (1.5Mbps) 的主机模式下运行，以及高速 (480Mbps) 或全速 (12Mbps) 的外设模式下运行，可提供灵活的操作和集成的 VBUS 检测。该子系统符合 xHCI 1.1 规范，以实现主机控制器接口的兼容性。

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用串行总线子系统 (USBSS)* 一节。

8 应用、实施和布局

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 器件连接和布局基本准则

8.1.1 电源

8.1.1.1 电源设计

[AM62Lx 电源实施](#)应用手册为 AM62Lx 处理器及其主要外设提供了建议的电源管理解决方案。

8.1.1.2 配电网络实施指南

[Sitara 处理器配电网络：实施与分析](#) 为配电网络的成功实施提供指导。这包括 PCB 叠层指导以及优化去耦电容器的选择和放置的指导。TI 仅支持遵循此应用报告中所包含的电路板设计指南的设计。

8.1.2 外部振荡器

有关外部振荡器的更多信息，请参阅[时钟规格](#)一节。

8.1.3 JTAG、仿真和跟踪

德州仪器 (TI) 支持各种扩展开发系统 (XDS™) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。[XDS 目标连接指南](#)中提供了有关此信息的摘要。

有关 JTAG、仿真和跟踪布线的建议，请参阅[仿真和跟踪接头技术参考手册](#)

8.1.4 未使用的引脚

有关未使用的引脚的更多信息，请参阅 [节 5.4、引脚连接要求](#)。

8.2 外设和接口的相关设计信息

8.2.1 DDR 电路板设计和布局布线指南

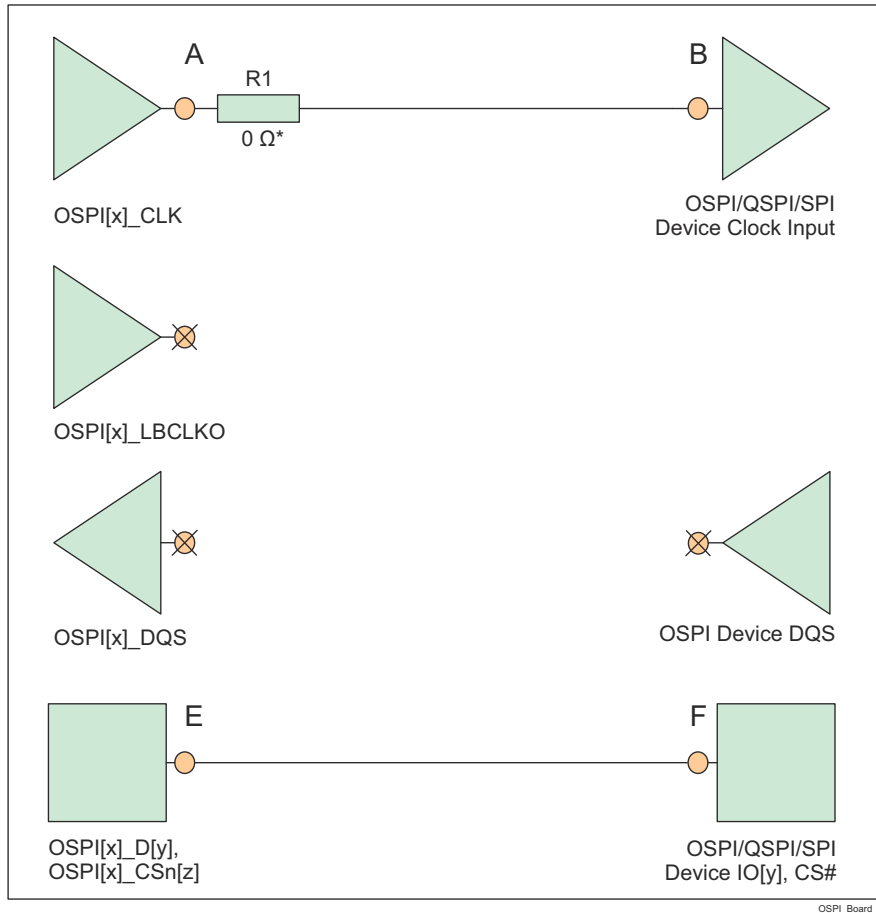
[AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)旨在为所有设计人员简化 DDR 系统的实现。并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中指导原则且使用 DDR4 或 LPDDR4 存储器的电路板设计。

8.2.2 OSPI/QSPI/SPI 电路板设计和布局指南

以下部分详细介绍了在连接 OSPI、QSPI 或 SPI 器件时必须遵守的 PCB 布线指南。

8.2.2.1 无环回、内部 PHY 环回和内部焊盘环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚 (A 到 B) 的信号传播延迟必须 $\leq 450\text{ps}$ (带状线约为 7cm，微带线约为 8cm)
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚 (E 到 F，或 F 到 E) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-1 所示
- 传播延迟和匹配：
 - (A 到 B) $\leq 450\text{ps}$
 - (E 到 F，或 F 到 E) = ((A 到 B) $\pm 60\text{ps}$)



* 尽可能靠近 OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调 (如果需要) 的占位元件。

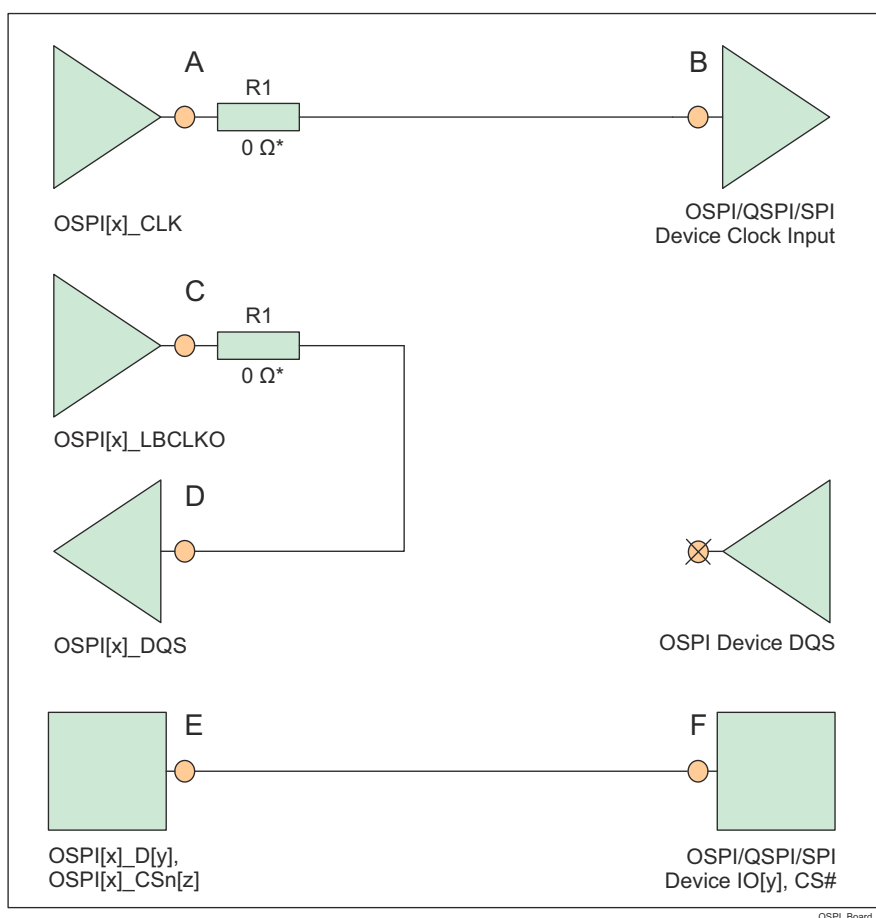
图 8-1. 无环回、内部 PHY 环回和内部焊盘环回的 OSPI 连接原理图

8.2.2.2 外部电路板环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- OSPI[x]_LBCLKO 输出引脚必须环回 OSPI[x]_DQS 输入引脚
- OSPI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚 (C 到 D) 的信号传播延迟必须大约是 OSPI[x]_CLK 引脚到所连接的 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的传播延迟的两倍
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚 (E 到 F, 或 F 到 E) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟
- 建议将 50 Ω PCB 布线与串联端接一起使用, 如图 8-2 所示
- 传播延迟和匹配:
 - (C 到 D) = $2 \times ((A \text{ 到 } B) \pm 30\text{ps})$, 请参阅下面的例外说明。
 - (E 到 F, 或 F 到 E) = $((A \text{ 到 } B) \pm 60\text{ps})$

备注

外部板环回保持时间要求 (由 *OSPI0 时序要求 - PHY DDR 模式* 一节中的编号为 O16 的参数定义) 可能大于典型 OSPI/QSPI/SPI 器件提供的保持时间。在这种情况下, 可以减少 OSPI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚 (C 到 D) 的传播延迟, 以提供额外的保持时间。

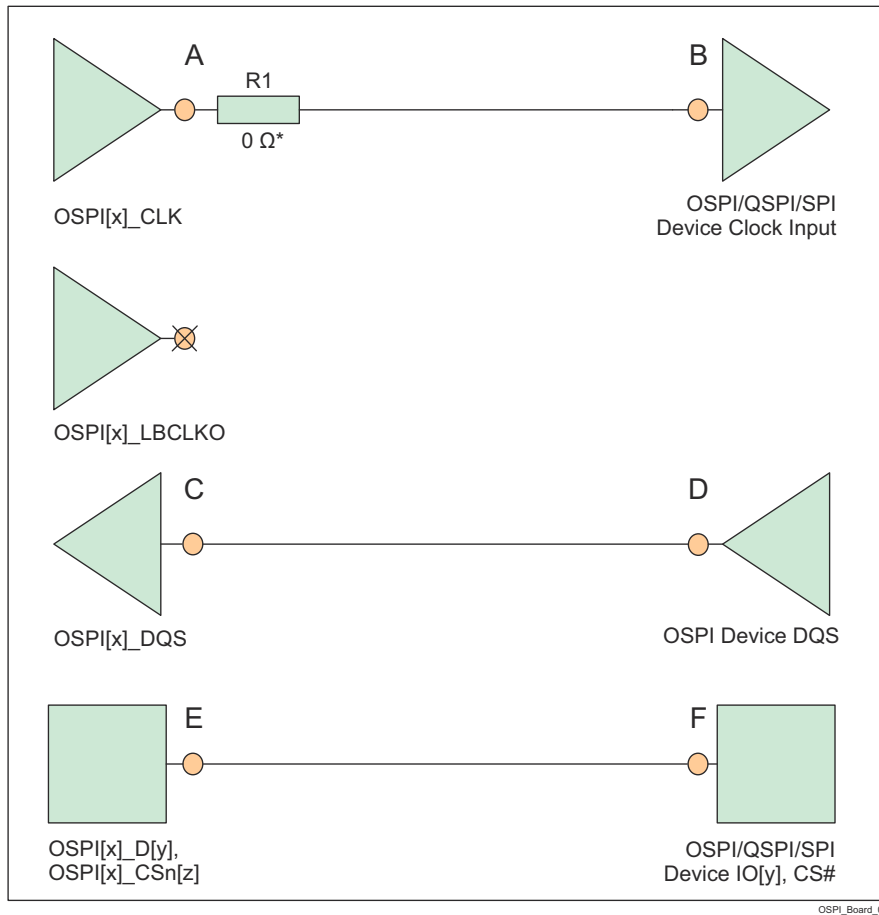


* 0 Ω 电阻器 (R1) 尽可能靠近 OSPI[x]_CLK 和 OSPI[x]_LBCLKO 引脚, 是用于微调 (如果需要) 的占位元件。

图 8-2. 外部板环回的 OSPI 连接原理图

8.2.2.3 DQS (仅适用于八路 SPI 器件)

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- 所连接 OSPI/QSPI/SPI 器件的 DQS 引脚必须连接到 OSPI[x]_DQS 引脚
- 从所连接 OSPI/QSPI/SPI 器件 DQS 引脚到 OSPI[x]_DQS 引脚 (D 到 C) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 至 B) 的信号传播延迟
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚 (E 到 F, 或 F 到 E) 的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚 (A 到 B) 的信号传播延迟
- 建议将 50 Ω PCB 布线与串联端接一起使用, 如图 8-3 所示
- 传播延迟和匹配 :
 - (D 至 C) = (A 至 B) ± 30ps
 - (E 到 F, 或 F 到 E) = (A 到 B) ± 60ps



* 尽可能靠近 OSPI[x]_CLK 引脚的 0 Ω 电阻器 (R1) 是用于微调 (如果需要) 的占位符。

图 8-3. DQS 的 OSPI 连接原理图

8.2.3 USB VBUS 设计指南

USB 3.1 规范允许 VBUS 电压在正常运行时高达 5.5V，在支持“电力输送”附录时高达 20V。一些汽车应用要求最大电压为 30V。

该器件要求使用外部电阻分压器按比例缩小 VBUS 信号电压（如图 8-4 所示），这限制了施加到实际器件引脚 (USB0_VBUS) 的电压。这些外部电阻器的容差应等于或小于 1%，齐纳二极管在 5V 时的漏电流应小于 100nA。

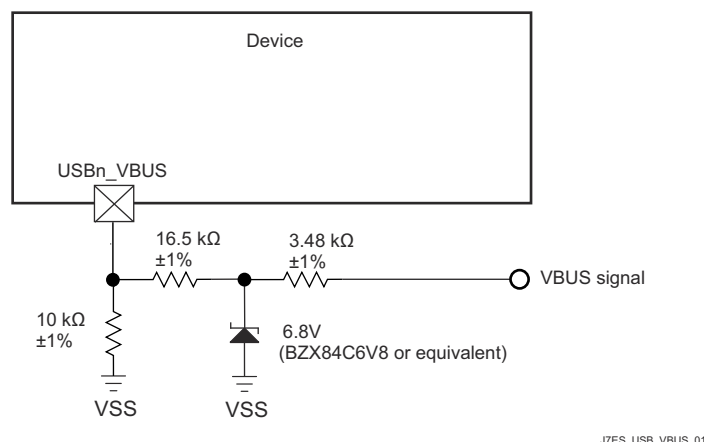


图 8-4. USB VBUS 检测分压器/钳位电路

USB0_VBUS 引脚可被视为失效防护引脚，因为在器件断电时施加 VBUS 的情况下，图 8-4 中的外部电路会限制实际器件引脚的输入电流。

8.2.4 高速差分信号布线指南

[高速接口布局布线指南](#)提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI 仅支持遵循此应用手册中所包含的电路板设计指南的设计。

8.2.5 散热解决方案指导

[DSP 和 ARM 应用处理器热设计指南](#)为包含此器件的系统设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法的背景信息。TI 仅支持遵循此应用手册中所包含的系统设计指南的设计。

8.3 时钟布线指南

8.3.1 振荡器路由

在设计印刷电路板时：

- 将所有晶体电路元件尽可能靠近相应的器件引脚放置。
- 在 PCB 的外层布置晶体电路布线，并尽量缩短布线长度，以减少寄生电容并尽可能减少其他信号的串扰。
- 在 PCB 的相邻层上放置一个连续的接地平面，使其位于所有晶体电路元件和晶体电路布线的下方。
- 在晶体电路元件周围布置接地防护，以屏蔽在与晶体电路布线布置在同一层上的所有相邻信号。插入多个过孔以拼接地防护，使其没有任何末端接残桩。
- 在 WKUP_OSC0_XI 和 WKUP_OSC0_XO 信号之间布置接地防护，以使 WKUP_OSC0_XO 信号和 WKUP_OSC0_XI 信号相互屏蔽。插入多个过孔以拼接地防护，使其没有任何末端接残桩。
- 如果在 PCB 的不同层上单独实现，则将所有晶体电路接地连接和接地防护连接直接连接到相邻层的接地平面和器件的 VSS 接地平面。

备注

在 WKUP_OSC0_XI 和 WKUP_OSC0_XO 信号之间实现接地防护对于尽可能减小两个信号之间的分流电容至关重要。在这两个信号间不存在接地防护的情况下，将这两个信号彼此相邻布置会有效地降低振荡器放大器的增益，进而降低其启动振荡的能力。

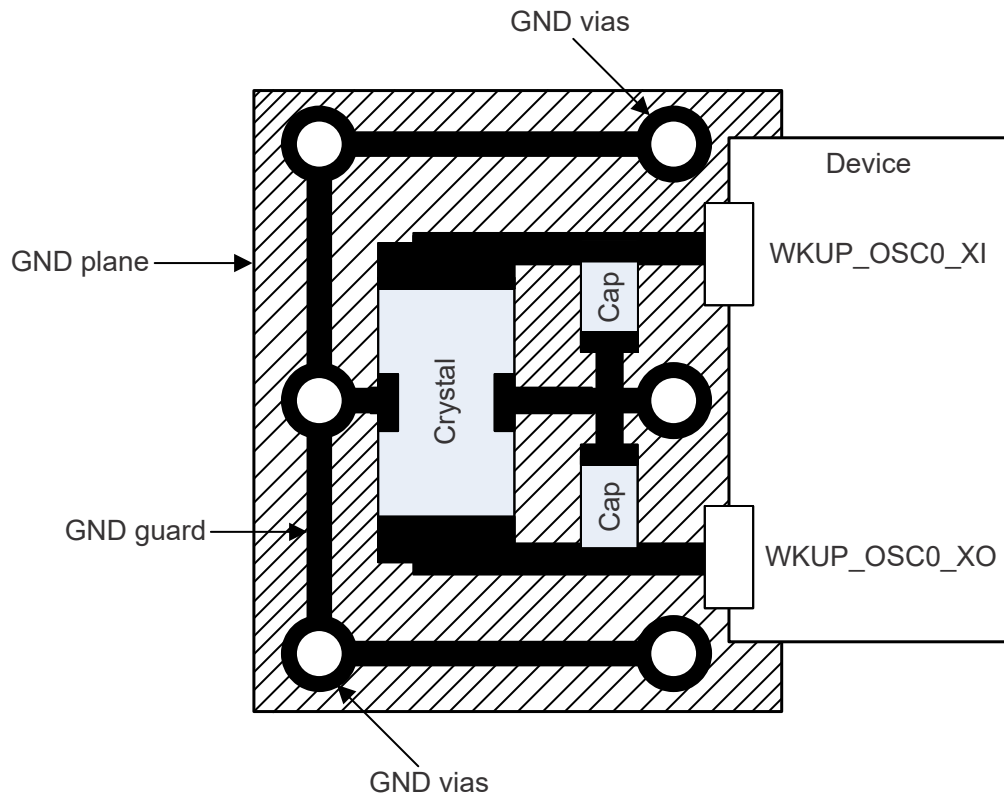


图 8-5. WKUP_OSC0 PCB 要求

9 器件和文档支持

9.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null (无前缀) (例如，XAM62L32AOGHAANB)。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片的量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

要获得 ANB 封装类型的 AM62Lx 器件的可订购器件型号，请参见本文档的“封装选项附录”、TI 网站 (ti.com)，或者联系您的 TI 销售代表。

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

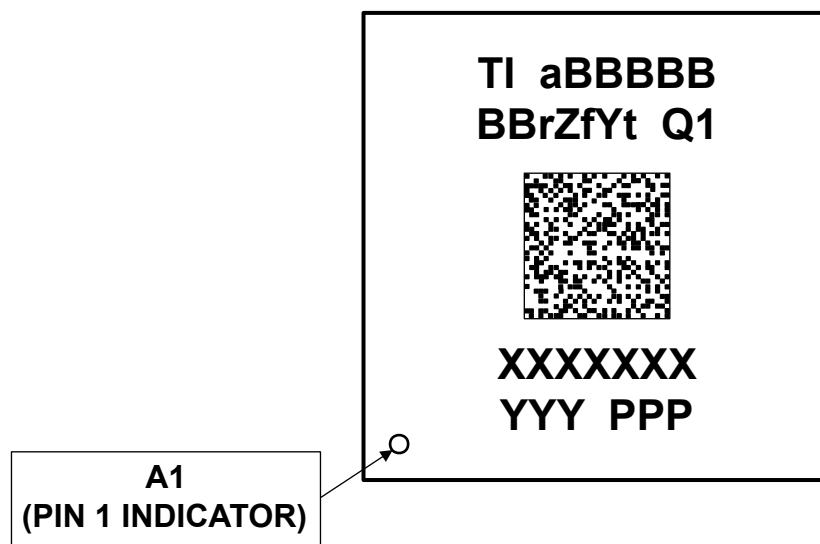


图 9-1. 印刷器件参考

9.1.2 器件命名约定

表 9-1. 命名规则说明

字段参数	字段说明	值	说明
TI	器件 制造商	TI	德州仪器 (TI)
a	器件演变阶段 ⁽¹⁾	X	原型
		P	预量产 (生产测试流程, 无可靠性数据)
		空白 (空)	量产
BBBBBBB	基本生产器件型号	AM62L32	请参阅 器件比较
		AM62L31	
r	器件修订版本	A	SR1.0
		B	SR1.1
Z	器件速度等级	E	请参阅 器件速度等级表
		O	
f	功能 (请参阅 器件比较)	G	进制
Y	安全性/功能安全	1 至 9	使用虚拟密钥进行保护/无功能安全
		H 至 R	使用生产密钥进行保护/无功能安全
		S 至 Z	使用生产密钥进行保护/功能安全
t	温度 ⁽²⁾	A	- 40°C 至 105°C - 扩展工业级 (请参阅 建议运行条件)
		I	- 40°C 至 125°C - 125°C 工业级 (请参阅 建议运行条件)
Q1	汽车符号	Q1	通过汽车认证 (AEC - Q100)
		空白	标准
	2D 条形码	不确定	可选 2D 条形码, 提供其他器件信息
		空白	
XXXXXXX	批次追踪代码 (LTC)		
YYY	生产代码; 仅供 TI 使用		
PPP	封装符号	ANB	FCCSP BGA (373)
●	引脚 1 符号		

- (1) 为了标明产品开发周期的阶段, TI 为所有器件型号分配了前缀。这些前缀代表了产品开发的进展阶段, 即从工程原型直到完全合格的生产器件。
原型器件在供货时附带如下免责声明:
“本产品仍在开发中, 用于内部评估。”
无论是否有相反规定, TI 均不作任何明示、默示或法定的保证, 包括对此器件特定用途的适用性和适销性的任何暗示保证。
- (2) 适用于器件最高结温。

备注

符号或器件型号中的空白将折叠显示, 以防字符间存在间隙。

9.2 工具与软件

以下开发工具支持针对 TI 嵌入式处理平台进行开发：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。该工具包含优化的 C/C++ 编译器、源代码编辑器、工程构建环境、调试程序、分析器以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse® 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SysConfig 工具 系统配置工具提供可简化器件配置的图形用户界面 (GUI)。该工具旨在简化硬件和软件配置挑战，从而加速软件开发。SysConfig 可作为 Code Composer Studio™ 集成开发环境的一部分以及作为独立应用提供。此外，可以通过访问 **TI 开发人员专区**，在云中运行 SysConfig。

SysConfig 支持开发人员配置引脚、外设和其他元件，并自动检测、提示和解决冲突，从而加快软件开发进程。此外，时钟树工具还提供了器件时钟连接的可视化实现。

SysConfig 工具可生成输出 C 头文件/代码文件，这些文件可导入软件开发套件 (SDK)，使客户能够根据特定硬件要求配置其软件。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 现场销售办事处或授权分销商。

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 **通知** 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档对 AM62Lx 器件进行了介绍。

技术参考手册

AM62Lx Sitara™ 处理器技术参考手册：详述了 AM62Lx 系列器件中每个外设和子系统的集成、环境、功能说明和编程模型。

勘误

AM62Lx Sitara™ 处理器器件勘误表，器件版本 1.0：说明了针对器件功能技术规格的已知例外情况。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的**使用条款**。

9.5 商标

Sitara™, XDS™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.

MPCore™ and Neon™ are trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

MIPI® is a registered trademark of MIPI Alliance, Inc.

安全数字® and SD® are registered trademarks of SD Card Association.

Linux® is a registered trademark of Linus Torvalds.

EtherCAT® is a registered trademark of Beckhoff Automation GmbH.

PCIe® is a registered trademark of PCI-SIG.

Eclipse® is a registered trademark of Eclipse Foundation AISBL.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

修订历史记录

Changes from SEPTEMBER 30, 2025 to NOVEMBER 30, 2025 (from Revision A (SEPTEMBER 2025) to Revision B (NOVEMBER 2025))

	Page
• 通篇 ：本数据手册修订版 A 发布时，GPMC 时序更新尚在执行中且仅完成部分。因此，本数据手册修订版 A 中相关的“修订历史记录”条目未准确描述 GPMC 时序变更内容。GPMC 时序更新已全部完成，且“修订历史记录”条目已同步更新，以准确反映相对于数据手册初始版本的 GPMC 时序变更.....	1
• (特性列表 — 加密加速)：移除了 SM3 和 SM4 加密内核，该器件不包含此两项功能。还将 PKE (公钥引擎) 更改为 PKA (公钥加速器).....	1
• (ECAP – 时序要求和开关特性)：更新了表注 1 中引用的时钟源.....	128
• (EPWM – 时序要求和开关特性)：更新了表注 1 中引用的时钟源.....	131
• (EQEP – 时序要求)：更新了表注 1 中引用的时钟源.....	133
• (GPMC 和 NOR 闪存时序要求 - 同步模式)：删除了 GPMC_FCLK=100MHz 的列时序值及 GPMC_FCLK=133MHz 对应的 not_div_by_1_mode 时序值。简化了几个参数说明。此外删除了两条表注：一条关于 GPMC_FCLK 选择的寄存器配置，另一条关于 div_by_1_mode 的寄存器配置.....	135
• (GPMC 和 NOR 闪存开关特性 - 同步模式)：删除了 GPMC_FCLK=100MHz 的列时序值及 GPMC_FCLK=133MHz 对应的 not_div_by_1_mode 时序值。简化了几个参数说明。将参数 F3 和 F11 中的时序变量更改为“D”。从 F15 和 F17 参数中删除了“J”时序变量。更新了表注.....	135
• (GPMC 和 NOR 闪存时序要求 - 异步模式)：删除了 MODE 列和描述 div_by_1_mode 的寄存器配置的表注。为参数 FA21 添加了正确的表注.....	143
• (GPMC 和 NOR 闪存开关特性 - 异步模式)：删除了 MODE 列和冗余行。还删除了描述 div_by_1_mode 的寄存器配置的表注.....	143
• (GPMC 和 NAND 闪存时序要求 - 异步模式)：删除了 MODE 列和描述 div_by_1_mode 的寄存器配置的表注.....	150
• (GPMC 和 NAND 闪存开关特性 - 异步模式)：删除了 MODE 列和描述 div_by_1_mode 的寄存器配置的表注。为时序变量 B、C、D、E、F、G、H、I、K、L 和 M 添加了表注和相关参考链接.....	150
• (详细说明 – DMSS)：移除安全代理和中断聚合器功能.....	203

10 机械、封装和可订购信息

10.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM62L31BEGHAANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	31BEGHA 412
AM62L31BOGHAANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	31BOGHA 412
AM62L32BEGHAANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	32BEGHA 412
AM62L32BOGHAANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	32BOGHA 412
AM62L32BOGHIANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	32BOGHI 412

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

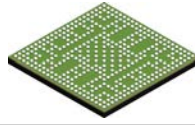
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

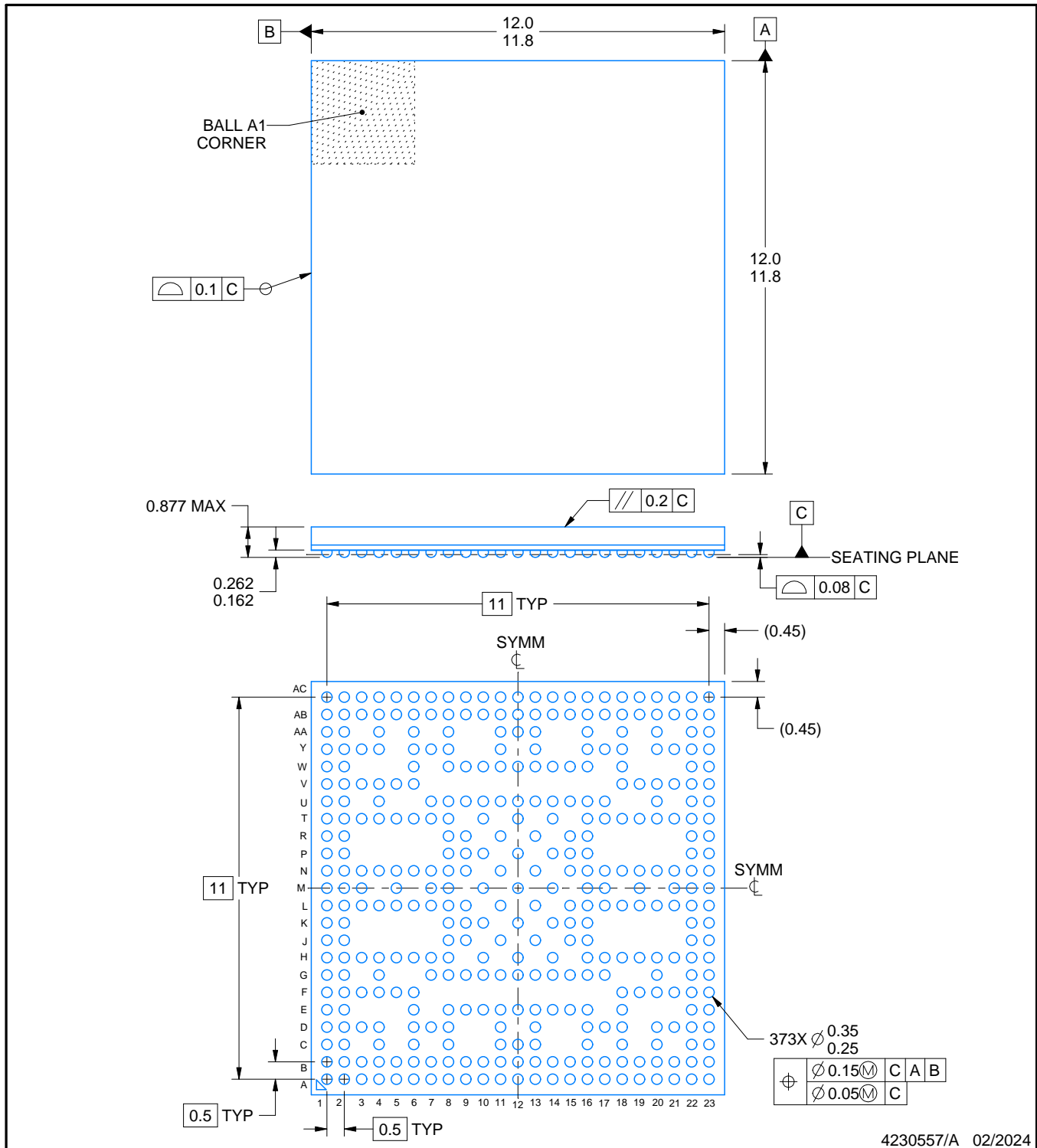
ANB0373A



PACKAGE OUTLINE

FCCSP - 0.877 mm max height

PLASTIC BALL GRID ARRAY



4230557/A 02/2024

NOTES:

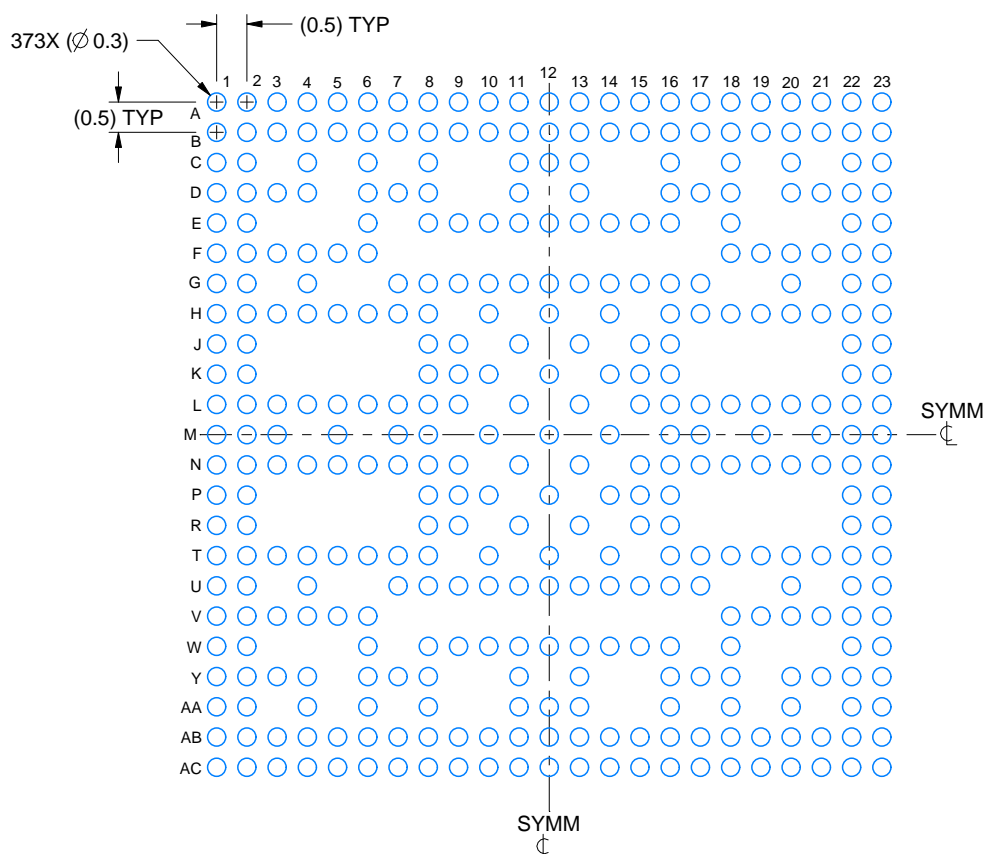
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ANB0373A

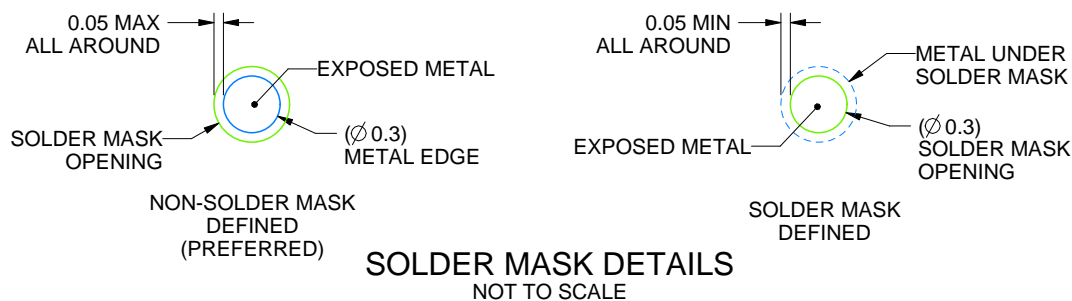
FCCSP - 0.877 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 8X



4230557/A 02/2024

NOTES: (continued)

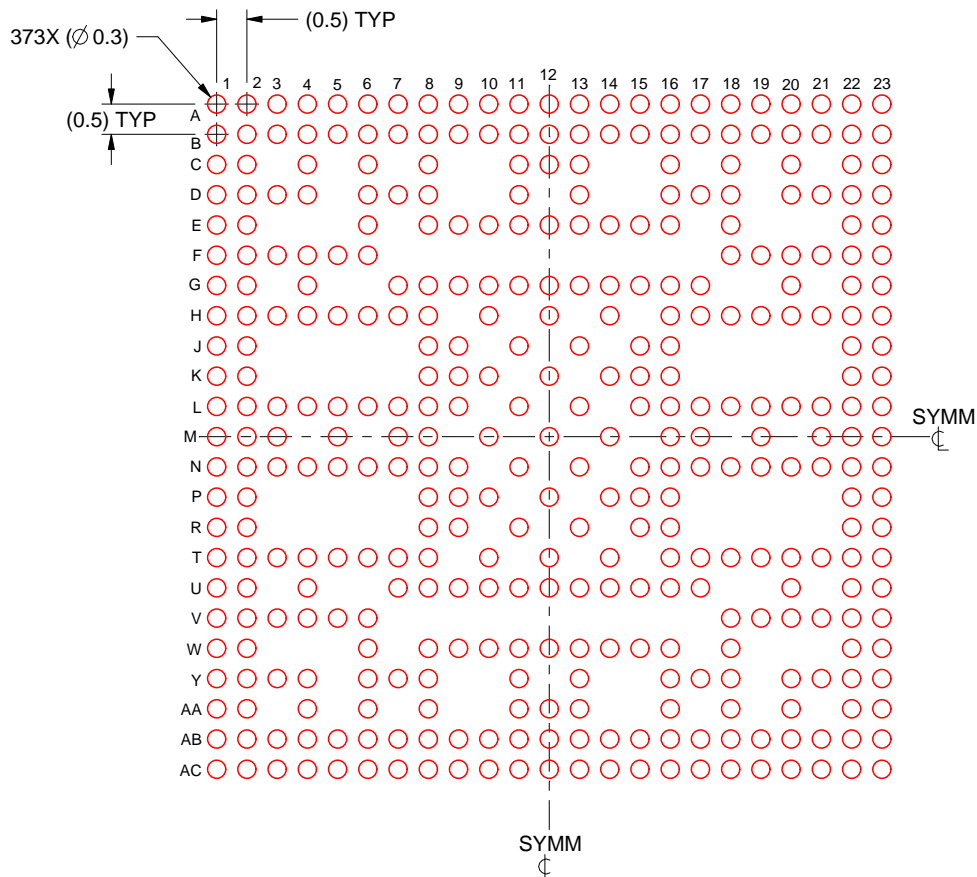
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ANB0373A

FCCSP - 0.877 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.100 mm THICK STENCIL
SCALE: 8X

4230557/A 02/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月