

具有清零和预设功能的 CDx4AC109 双路 J-K 正边沿触发式触发器

1 特性

- 交流类型的工作电压范围为 1.5V 至 5.5V，并在电源电压的 30% 时具有平衡的抗噪性能
- 双极 F、AS 和 S 的速度，同时功耗显著降低
- 平衡传播延迟
- $\pm 24\text{mA}$ 输出驱动电流
 - 扇出至 15 个 F 器件
- 防 SCR 闩锁 CMOS 工艺和电路设计
- ESD 保护超过 2kV (根据 MIL-STD-883 方法 3015)

2 说明

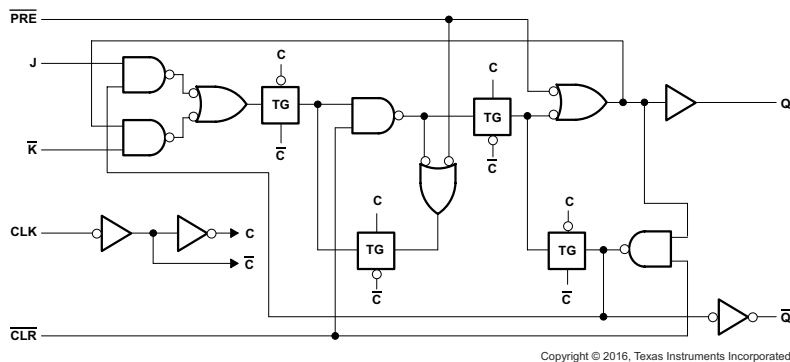
CD74AC109-Q1 器件包含两个独立的 J-K 正边沿触发式触发器。预设 ($\overline{\text{PRE}}$) 或清零 ($\overline{\text{CLR}}$) 输入端的低电平会设置或复位输出，不受其他输入端的电平的影响。当 $\overline{\text{PRE}}$ 和 $\overline{\text{CLR}}$ 处于非有效状态 (高电平) 时，满足设置时间要求的 J 和 K 输入端数据将在时钟 (CLK) 脉冲的正向边沿传输到输出端。此器件符合汽车类应用的要求。

器件信息

器件型号	封装 ⁽¹⁾	本体尺寸 ⁽²⁾
CDx4AC109	D (SOIC, 16)	9.90mm x 3.90mm
	N (PDIP, 16)	19.3mm x 6.35mm
	J (CDIP, 16)	19.56mm x 6.92mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。

(2) 本体尺寸 (长 × 宽) 为标称值，不包括引脚。



逻辑图

Copyright © 2016, Texas Instruments Incorporated



内容

1 特性	1	6 详细说明	10
2 说明	1	6.1 概述.....	10
3 引脚配置和功能	3	6.2 功能方框图.....	10
4 规格	4	6.3 器件功能模式.....	10
4.1 绝对最大额定值.....	4	7 应用和实施	11
4.2 ESD 等级.....	4	7.1 电源相关建议.....	11
4.3 建议运行条件.....	4	7.2 布局.....	11
4.4 热性能信息.....	5	8 器件和文档支持	13
4.5 电气特性.....	5	8.1 文档支持.....	13
4.6 时序要求.....	5	8.2 接收文档更新通知.....	13
4.7 时序要求.....	6	8.3 支持资源.....	13
4.8 时序要求.....	6	8.4 商标.....	13
4.9 开关特性.....	6	8.5 静电放电警告.....	13
4.10 开关特性.....	6	8.6 术语表.....	13
4.11 开关特性.....	7	9 修订历史记录	13
4.12 工作特性.....	7	10 机械、封装和可订购信息	13
5 参数测量信息	8		

3 引脚配置和功能

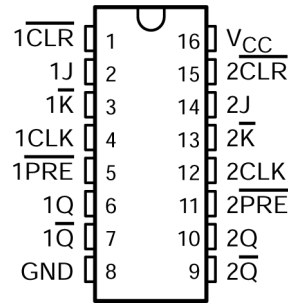


图 3-1. CD54AC109 J 封装 ; CD74AC109 D 或 N 封装 ; 16 引脚 CDIP、SOIC 或 PDIP (顶视图)

表 3-1. 引脚功能

引脚		I/O ⁽¹⁾	说明
名称	编号		
1CLR	1	I	第一个通道的低电平有效清零
1J	2	I	第一个通道的 J 输入
1K	3	I	第一个通道的低电平有效 K 输入
1CLK	4	I	第一个通道的 CLK 输入
1PRE	5	I	第一个通道的低电平有效预设输入
1Q	6	O	第一个通道的真 Q 输出
1Q	7	O	第一个通道的反相 Q 输出
GND	8	-	接地
2Q	9	O	第二个通道的真 Q 输出
2Q	10	O	第二个通道的反相 Q 输出
2PRE	11	I	第二个通道的低电平有效预设
2CLK	12	I	第二个通道的时钟输入
2K	13	I	第二个通道的低电平有效 K 输入
2J	14	I	第二个通道的 J 输入
2CLR	15	I	第二个通道的低电平有效清零
V _{CC}	16	-	电源引脚

(1) I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位	
V _{CC}	电源电压范围	-0.5	6	V	
I _{IK} ⁽²⁾	输入钳位电流	(V _I < 0V 或 V _I > V _{CC})		±20	mA
I _{OK} ⁽²⁾	输出钳位电流	(V _O < 0V 或 V _O > V _{CC})		±50	mA
I _O	持续输出电流	(V _O > 0V 或 V _O < V _{CC})		±50	mA
通过 V _{CC} 或 GND 的持续电流				±100	mA
T _{stg}	贮存温度范围	-65	150	°C	

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 ESD 等级

		值	单位	
V _(ESD)	静电放电	人体放电模式 (HBM), H0 级 ⁽¹⁾	±2000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			T _A = 25°C		-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
V _{CC}	电源电压		1.5	5.5	1.5	5.5	1.5	5.5	V
V _{IH}	高电平输入电压	V _{CC} = 1.5V	1.2		1.2		1.2		V
		V _{CC} = 3V	2.1		2.1		2.1		
		V _{CC} = 5.5V	3.85		3.85		3.85		
V _{IL}	低电平输入电压	V _{CC} = 1.5V		0.3		0.3		0.3	V
		V _{CC} = 3V		0.9		0.9		0.9	
		V _{CC} = 5.5V		1.65		1.65		1.65	
V _I	输入电压		0	V _{CC}	0	V _{CC}	0	V _{CC}	V
V _O	输出电压		0	V _{CC}	0	V _{CC}	0	V _{CC}	V
I _{OH}	高电平输出电流	V _{CC} = 4.5V 至 5.5V		-24		-24		-24	mA
I _{OL}	低电平输出电流	V _{CC} = 4.5V 至 5.5V		24		24		24	mA
Δt/Δv	输入转换上升或下降速率	V _{CC} = 1.5V 至 3V		50		50		50	ns/V
		V _{CC} = 3.6V 至 5.5V		20		20		20	

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢变化或悬空的影响*，文献编号 SCBA004。

4.4 热性能信息

热指标 ⁽¹⁾		CD74AC109		单位
		D (SOIC)	N (PDIP)	
		16 引脚	16 引脚	
R _{θJA}	结至环境热阻	73	67	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告](#)，[SPRA953](#)。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件		V _{CC}	T _A = 25°C		-55°C 至 125°C		-40°C 至 85°C		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
V _{OH}	V _I = V _{IH} 或 V _{IL}	I _{OH} = -50μA	1.5V	1.4	1.4	1.4			V	
			3V	2.9	2.9	2.9				
			4.5V	4.4	4.4	4.4				
		I _{OH} = -4mA	3V	2.58	2.4	2.48				
			4.5V	3.94	3.7	3.8				
			5.5V		3.85					
V _{OL}	V _I = V _{IH} 或 V _{IL}	I _{OL} = 50 μA	1.5V	0.1	0.1	0.1		V		
			3V	0.1	0.1	0.1				
			4.5V	0.1	0.1	0.1				
		I _{OL} = 12mA	3V	0.36	0.5	0.44				
			4.5V	0.36	0.5	0.44				
			5.5V		1.65					
I _I	V _I = V _{CC} 或 GND		5.5V	±0.1	±1	±1		μA		
			I _{CC}	V _I = V _{CC} 或 GND, I _O = 0	5.5V	4	80	40	μA	
C _i				10	10	10		pF		

(1) 一次测试一个输出，持续时间不超过 1 秒。为了尽可能减少功率耗散，测量方法是强制施加指定电流并测量电压。测试证实在 85°C 下至少具有 50 Ω 传输线驱动能力，在 125°C 下具有 75 Ω 传输线驱动能力。

4.6 时序要求

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 1.5V（除非另有说明）

			-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
f _{clock}	时钟频率		8	9			MHz
t _w	脉冲持续时间	CLK 高电平或低电平	63	55			ns
		CLR 或 PRE 为低电平	56	49			
t _{su}	CLK ↑ 前的建立时间	J 或 \bar{K}	69	61			ns
t _h	保持时间，在 CLK ↑ 之后	J 或 \bar{K}	0	0			ns
t _{rec}	恢复时间，在 CLK ↑ 之前	\overline{CLR} ↑ 或 \overline{PRE} ↑	31	27			ns

4.7 时序要求

在推荐的自然通风条件下的工作温度范围内测得， $V_{CC} = 3.3V \pm 0.3V$ (除非另有说明)

			-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
f_{clock}	时钟频率		71		81		MHz
t_W	脉冲持续时间	CLK 高电平或低电平	7		6		ns
		\overline{CLR} 或 \overline{PRE} 为低电平	6.3		5.5		
t_{su}	CLK ↑ 前的建立时间	J 或 \overline{K}	7.7		6.8		ns
t_h	保持时间，在 CLK ↑ 之后	J 或 \overline{K}	0		0		ns
t_{rec}	恢复时间，在 CLK ↑ 之前	\overline{CLR} ↑ 或 \overline{PRE} ↑	3.5		3.1		ns

4.8 时序要求

在推荐的自然通风条件下的工作温度范围内测得， $V_{CC} = 5V \pm 0.5V$ (除非另有说明)

			-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
f_{clock}	时钟频率		100		114		MHz
t_W	脉冲持续时间	CLK 高电平或低电平	5		4.4		ns
		\overline{CLR} 或 \overline{PRE} 为低电平	4.5		3.9		
t_{su}	CLK ↑ 前的建立时间	J 或 \overline{K}	5.5		4.8		ns
t_h	保持时间，在 CLK ↑ 之后	J 或 \overline{K}	0		0		ns
t_{rec}	恢复时间，在 CLK ↑ 之前	\overline{CLR} ↑ 或 \overline{PRE} ↑	2.5		2.2		ns

4.9 开关特性

在自然通风条件下的建议工作温度范围内测得， $V_{CC} = 1.5V$ ， $C_L = 50pF$ (除非另有说明) (请参阅[负载电路和电压波形](#))

参数	从 (输入)	至 (输出)	-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
f_{max}			8		9		MHz
t_{PLH}	CLK	Q 或 \overline{Q}	129		117		ns
	\overline{CLR} 或 \overline{PRE}		153		139		
t_{PHL}	CLK	Q 或 \overline{Q}	129		117		ns
	\overline{CLR} 或 \overline{PRE}		153		139		

4.10 开关特性

在自然通风条件下的建议工作温度范围内测得， $V_{CC} = 3.3V \pm 0.3V$ ， $C_L = 50pF$ (除非另有说明) (请参阅[负载电路和电压波形](#))

参数	从 (输入)	至 (输出)	-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
f_{max}			71		81		MHz
t_{PLH}	CLK	Q 或 \overline{Q}	3.6 14.4		3.7 13.1		ns
	\overline{CLR} 或 \overline{PRE}		4.3 17.1		4.4 15.5		
t_{PHL}	CLK	Q 或 \overline{Q}	3.6 14.4		3.7 13.1		ns
	\overline{CLR} 或 \overline{PRE}		4.3 17.1		4.4 15.5		

4.11 开关特性

在自然通风条件下的建议工作温度范围内测得， $V_{CC} = 5V \pm 0.5V$ ， $C_L = 50pF$ （除非另有说明）（请参阅[负载电路和电压波形](#)）

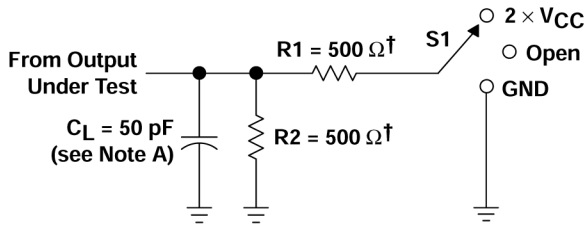
参数	从 (输入)	至 (输出)	-55°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
f_{max}			100		114		MHz
t_{PLH}	CLK	Q 或 \bar{Q}	2.6	10.3	2.7	9.4	ns
	\overline{CLR} 或 \overline{PRE}		3.1	12.2	3.2	11.1	
t_{PHL}	CLK	Q 或 \bar{Q}	2.6	10.3	2.7	9.4	ns
	\overline{CLR} 或 \overline{PRE}		3.1	12.2	3.2	11.1	

4.12 工作特性

$V_{CC} = 5V$ ， $T_A = 25^\circ C$

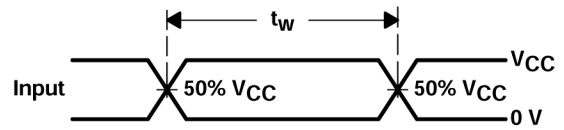
参数		典型值	单位
C_{pd}	功率耗散电容	56	pF

5 参数测量信息

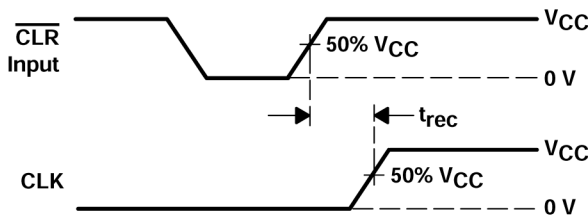


† When $V_{CC} = 1.5\text{ V}$, $R1 = R2 = 1\text{ k}\Omega$

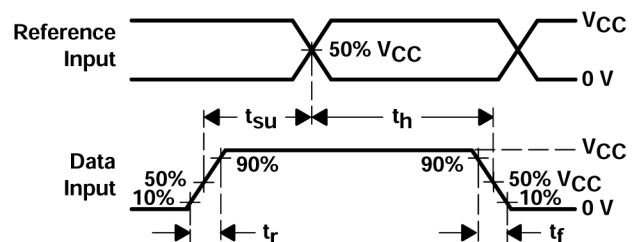
LOAD CIRCUIT



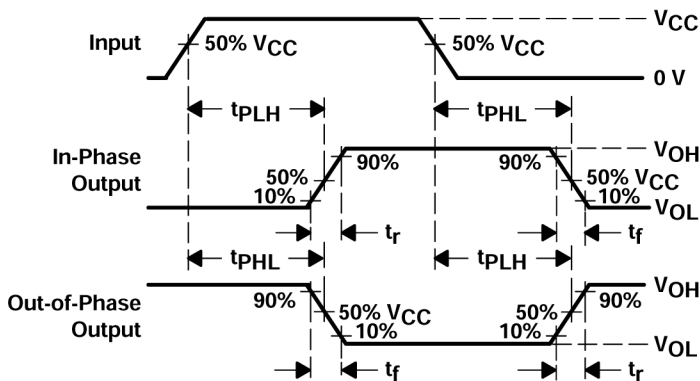
VOLTAGE WAVEFORMS
PULSE DURATION



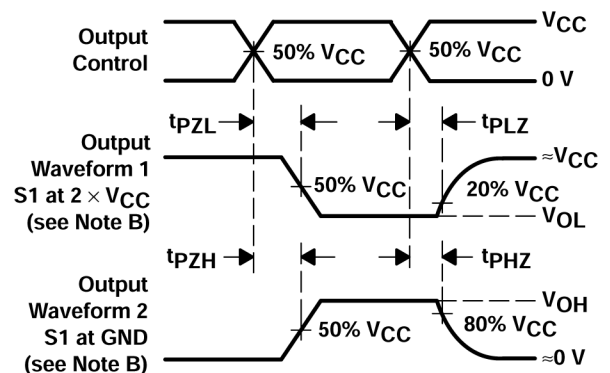
VOLTAGE WAVEFORMS
RECOVERY TIME



VOLTAGE WAVEFORMS
SETUP AND HOLD AND INPUT RISE AND FALL TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES



VOLTAGE WAVEFORMS
OUTPUT ENABLE AND DISABLE TIMES

- A. C_L 包括探头和测试夹具电容。
- B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
- C. 所有输入脉冲均由具有以下特性的发生器提供： $PRR \leq 1\text{ MHz}$ ， $Z_O = 50\ \Omega$ ， $t_r = 3\text{ ns}$ ， $t_f = 3\text{ ns}$ 。波形之间的相位关系没有固定规律。
- D. 对于时钟输入， f_{max} 是在输入占空比为 50% 时测得。
- E. 一次测量一个输出，每次测量一个输入转换。
- F. t_{PLH} 和 t_{PHL} 与 t_{pd} 一样。
- G. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
- H. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
- I. 并非所有参数和波形都适用于所有器件。

图 5-1. 负载电路和电压波形

测试	S1
t_{PLH}/t_{PHL}	开路
t_{PLZ}/t_{PZL}	$2 \times V_{CC}$
t_{PHZ}/t_{PZH}	GND

6 详细说明

6.1 概述

预设 ($\overline{\text{PRE}}$) 或清零 ($\overline{\text{CLR}}$) 输入端的低电平会设置或复位输出，不受其他输入端的电平的影响。当 $\overline{\text{PRE}}$ 和 $\overline{\text{CLR}}$ 处于非有效状态 (高电平) 时，满足设置时间要求的 J 和 $\overline{\text{K}}$ 输入端数据将在时钟 (CLK) 脉冲的正向边沿传输到输出端。时钟触发出现在一个特定电压电平上，并且不与时钟脉冲的上升时间直接相关。经过保持时间间隔后，可以更改 J 和 $\overline{\text{K}}$ 输入端的数据而不影响输出端的电平。这些多功能触发器通过将 $\overline{\text{K}}$ 接地并将 J 连接到高电平来作为切换触发器运行。如果将 J 和 $\overline{\text{K}}$ 连接到一起，也能作为 D 型触发器运行。

6.2 功能方框图

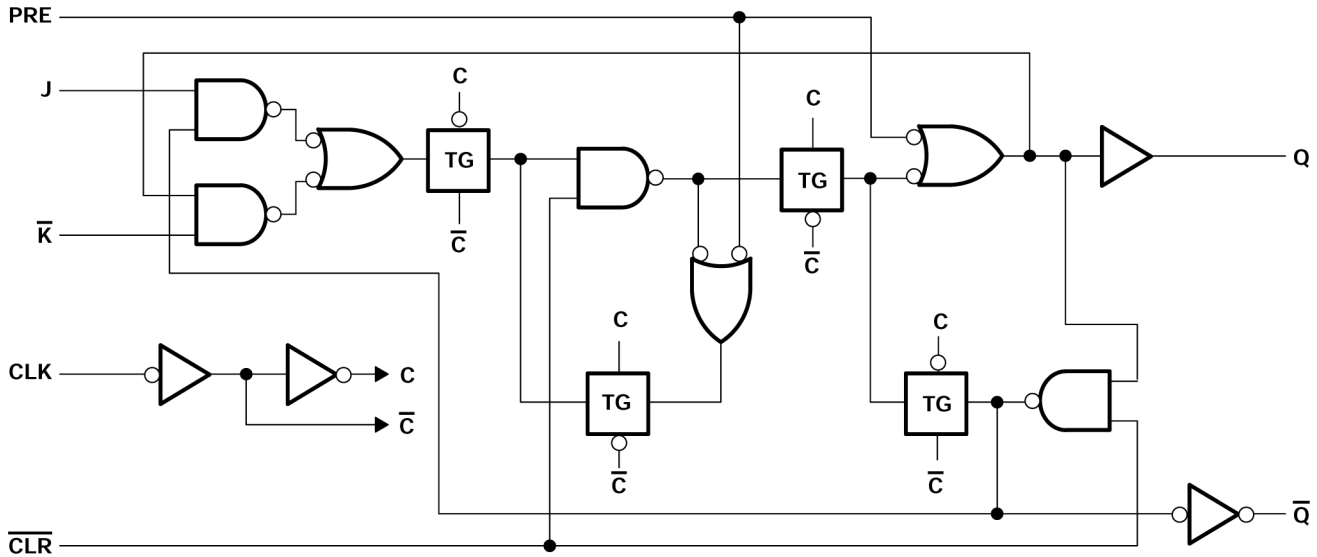


图 6-1. 展示各触发器的逻辑图 (正逻辑)

6.3 器件功能模式

表 6-1. 功能表 (每个触发器)

输入					输出	
PRE	CLR	CLK	J	K	Q	$\overline{\text{Q}}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H ⁽¹⁾	H ⁽¹⁾
H	H	↑	L	L	L	H
H	H	↑	H	L	切换	
H	H	↑	L	H	Q0	$\overline{\text{Q}}0$
H	H	↑	H	H	H	L
H	H	L	X	X	Q0	$\overline{\text{Q}}0$

(1) 如果 $\overline{\text{PRE}}$ 和 $\overline{\text{CLR}}$ 同时变为低电平，则会出现不可预测的不稳定情况

7 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下方使用不间断的接地平面
 - 通过接地对信号布线周围的区域进行泛洪填充
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的信号进行缓冲

7.2.2 布局示例

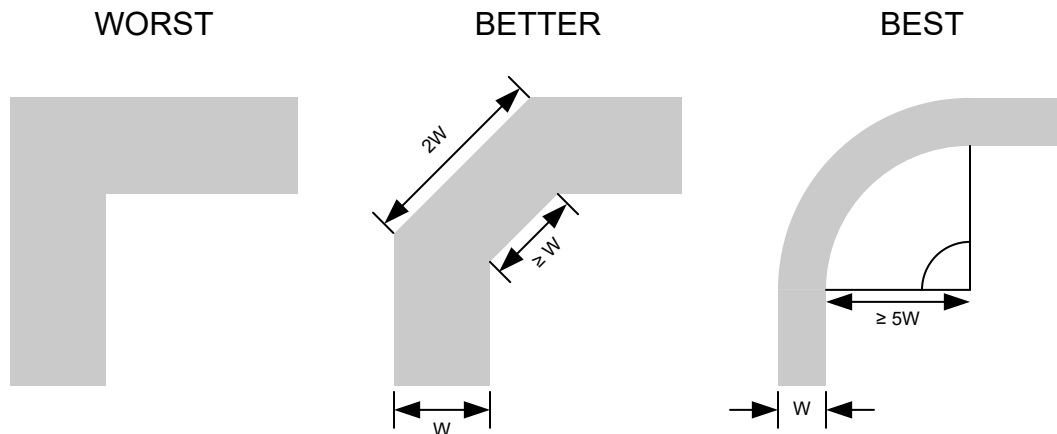


图 7-1. 可改善信号完整性的布线转角示例

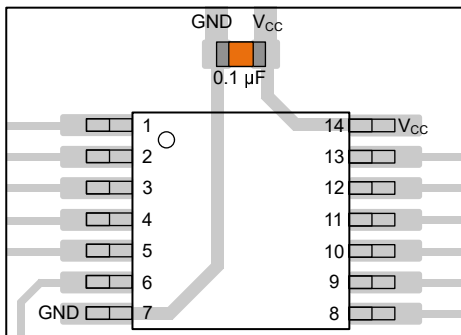


图 7-2. TSSOP 和类似封装的旁路电容器放置示例

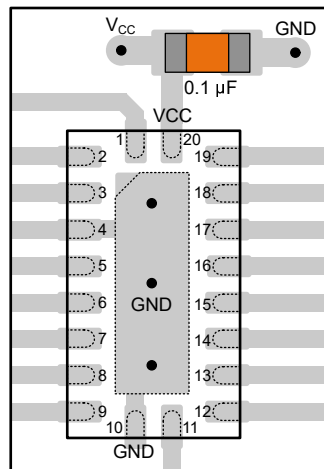


图 7-3. WQFN 和类似封装的旁路电容器放置示例

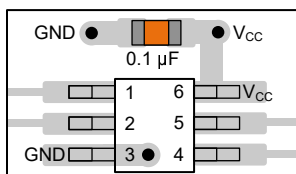


图 7-4. SOT、SC70 和类似封装的旁路电容器放置示例

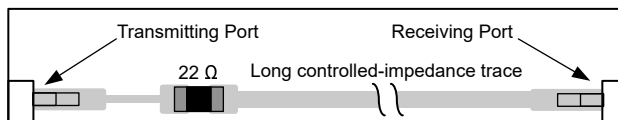


图 7-5. 可改善信号完整性的阻尼电阻放置示例

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [CMOS 功耗与 \$C_{pd}\$ 计算应用报告](#)
- 德州仪器 (TI), [使用逻辑器件进行设计应用报告](#)
- 德州仪器 (TI), [标准线性和逻辑 \(SLL\) 封装和器件的热特性应用报告](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (January 2003) to Revision A (December 2024)	Page
• 添加了 器件信息表 、 引脚功能表 、 ESD 等级表 、 热性能信息表 、 器件功能模式 、 应用和实施部分 、 器件和文档支持部分 以及 机械、封装和可订购信息部分	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CD54AC109F3A	ACTIVE	CDIP	J	16	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD54AC109F3A	Samples
CD74AC109E	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74AC109E	Samples
CD74AC109M96	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC109M	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC109, CD74AC109 :

- Catalog : [CD74AC109](#)
- Military : [CD54AC109](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC109M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC109M96	SOIC	D	16	2500	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74AC109E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC109E	N	PDIP	16	25	506	13.97	11230	4.32

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package is hermetically sealed with a ceramic lid using glass frit.
 - Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040047-6/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司