

DAC539E4W 具有自动检测型 I²C 或 SPI、可实现基于 LUT 的独立故障管理功能的 10 位智能 DAC

1 特性

- 四路比较器输入
- 10 位独立比较器阈值
 - 1LSB DNL
 - 1x、1.5x、2x、3x 和 4x 增益
- 四通道通用输出 (GPO)
- 基于查找表 (LUT) 的比较器到 GPO 映射
- 自动检测到的 SPI 和 I²C 接口
 - 1.62V V_{IH} (V_{DD} = 5.5V)
- 在编程和独立模式之间选择 MODE 引脚
- 用户可编程的非易失性存储器 (NVM)
- 基准：内部、外部、VDD
- 宽工作范围
 - 电源：1.8V 至 5.5V
 - 温度范围：-40°C 至 +125°C
- 微型封装：
 - 16 引脚 DSBGA：1.72mm × 1.72mm，标称

2 应用

- [无线电动工具](#)
- [扫地机器人](#)
- [空气净化器](#)和[加湿器](#)

3 说明

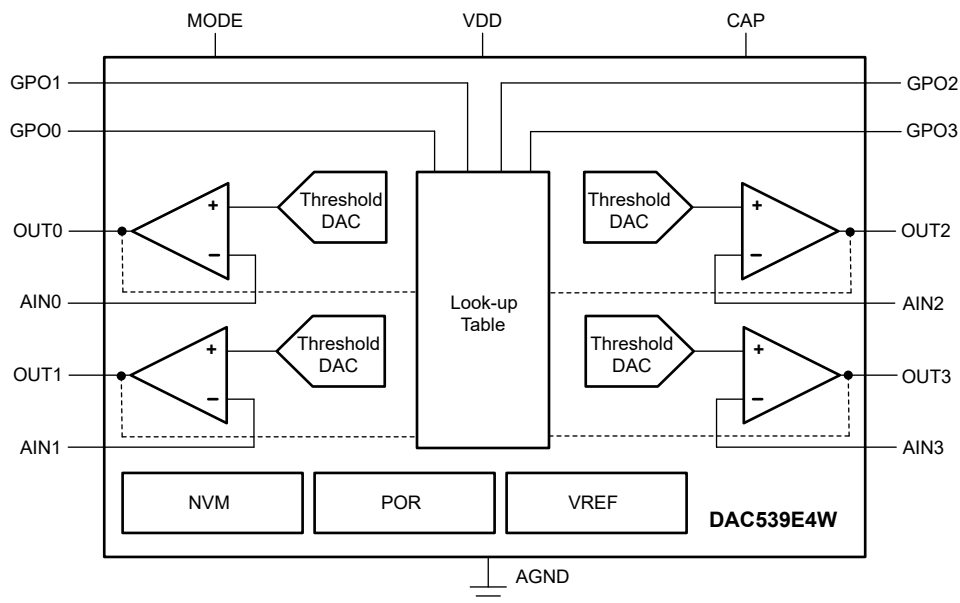
DAC539E4W 是一款 10 位智能数模转换器 (DAC)，具有四路可编程比较器输入和四路通用输出。有一个查找表将比较器输入映射到 GPO。DAC539E4W 还支持可编程延迟，让输入转换进入稳定状态。这些器件提供 NVM 来存储配置。这款智能 DAC 使用 LUT 和 NVM 运行，无需处理器（*无处理器* 运行模式）。

该器件具有自动检测的 SPI 和 I²C 接口以及内部基准。凭借这组特性以及微型封装和低功耗特点，这款智能 DAC 非常适合于故障管理应用。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
DAC539E4W	YBH (DSBGA, 16)	1.72mm × 1.72mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版方框图



内容

1 特性	1	6.15 典型特性.....	13
2 应用	1	7 详细说明	17
3 说明	1	7.1 概述.....	17
4 修订历史记录	2	7.2 功能方框图.....	17
5 引脚配置和功能	3	7.3 特性说明.....	18
6 规格	5	7.4 器件功能模式.....	25
6.1 绝对最大额定值.....	5	7.5 编程.....	29
6.2 ESD 等级.....	5	7.6 寄存器映射.....	35
6.3 建议运行条件.....	5	8 应用和实施	46
6.4 热性能信息.....	5	8.1 应用信息.....	46
6.5 电气特性：阈值 DAC.....	6	8.2 典型应用.....	46
6.6 电气特性：比较器.....	7	8.3 电源相关建议.....	51
6.7 电气特性：通用.....	8	8.4 布局.....	51
6.8 时序要求：I ² C 标准模式.....	9	9 器件和文档支持	52
6.9 时序要求：I ² C 快速模式.....	9	9.1 接收文档更新通知.....	52
6.10 时序要求：I ² C 超快速模式.....	9	9.2 支持资源.....	52
6.11 时序要求：SPI 写入操作.....	10	9.3 商标.....	52
6.12 时序要求：SPI 读取和菊花链操作 (FSDO = 0).....	10	9.4 静电放电警告.....	52
6.13 时序要求：SPI 读取和菊花链操作 (FSDO = 1).....	10	9.5 术语表.....	52
6.14 时序图.....	11	10 机械、封装和可订购信息	52

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
June 2023	*	初始发行版

5 引脚配置和功能

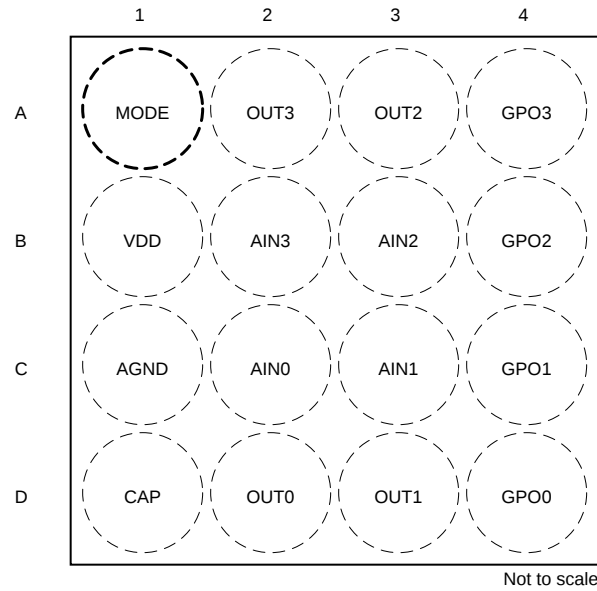


图 5-1. YBH 封装，16 引脚 DSBGA (顶视图)

表 5-1. 引脚功能

引脚		类型	说明
编号	名称		
A1	模式	电源	外部基准 (VREF) 或 MODE 输入。在 MODE 和 AGND 间连接一个电容器 (约 0.1 μ F)。当外部基准未使用时，应使用一个上拉电阻器连接到 VDD。请勿在 VDD 之前斜升此引脚。如果使用外部基准，请确保基准电压在 VDD 之后斜升。对于编程模式，请将此引脚拉至低电平。对于独立模式，将此引脚拉至高电平或连接到外部基准。
A2	OUT3	输出	比较器输出 3。为了方便 PCB 布线，请使用寄存器设置使该引脚处于高阻抗状态并短接 AIN3 和 OUT3。
A3	OUT2	输出	比较器输出 2。为了方便 PCB 布线，请使用寄存器设置使该引脚处于高阻抗状态并短接 AIN2 和 OUT2。
A4	GPO3	输出	编程模式：此引脚可配置为 SDO。对于 SDO 功能，通过外部上拉电阻器将此引脚连接到 I/O 电压。如果未使用，需使用外部电阻器将此引脚连接到 VDD 或 AGND。此引脚可以在 VDD 之前斜升。独立模式：通用输出 3。使用外部上拉电阻器将此引脚连接到 I/O 电压。
B1	VDD	功率	电源电压。
B2	AIN3	输入	通道 3 的模拟输入引脚。
B3	AIN2	输入	通道 2 的模拟输入引脚。
B4	GPO2	输入/输出	编程模式 (SCL/SYNC)：I ² C 串行接口时钟或 SPI 芯片选择输入。使用外部上拉电阻器将此引脚连接到 I/O 电压。此引脚可以在 VDD 之前斜升。独立模式：通用输出 2。使用外部上拉电阻器将此引脚连接到 I/O 电压。
C1	模拟接地 (AGND)	接地	此器件上用于所有电路的接地参考点。
C2	AIN0	输入	通道 0 的模拟输入引脚。
C3	AIN1	输入	通道 1 的模拟输入引脚。
C4	GPO1	输入/输出	编程模式 (A0/SDI)：用于 I ² C 的地址配置引脚或用于 SPI 的串行数据输入。对于 A0，需将此引脚连接到 VDD、AGND、SDA 或 SCL 以进行地址配置。对于 SDI，无需上拉或下拉此引脚。此引脚可以在 VDD 之前斜升。独立模式：通用输出 1。使用外部上拉电阻器将此引脚连接到 I/O 电压。
D1	CAP	功率	用于内部 LDO 的外部旁路电容器。在 CAP 和 AGND 间连接一个电容器 (约 1.5 μ F)。
D2	OUT0	输出	比较器输出 0。为了方便 PCB 布线，请使用寄存器设置使该引脚处于高阻抗状态并短接 AIN0 和 OUT0。

表 5-1. 引脚功能 (continued)

引脚		类型	说明
编号	名称		
D3	OUT1	输出	比较器输出 1。为了方便 PCB 布线，请使用寄存器设置使该引脚处于高阻抗状态并短接 AIN1 和 OUT1。
D4	GPO0	输入/输出	编程模式 (SDA/SCLK)：双向 I ² C 串行数据总线或 SPI 时钟输入。在 I ² C 模式下，使用外部上拉电阻器将此引脚连接到 I/O 电压。此引脚可以在 VDD 之前斜升。 独立模式：通用输出 0。使用外部上拉电阻器将此引脚连接到 I/O 电压。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V _{DD}	电源电压，V _{DD} 至 AGND	-0.3	6	V
	数字输入至 AGND	-0.3	V _{DD} + 0.3	V
	V _{AINX} 至 AGND	-0.3	V _{DD} + 0.3	V
	V _{OUTX} 至 AGND	-0.3	V _{DD} + 0.3	V
V _{REF}	外部基准，V _{REF} 至 AGND	-0.3	V _{DD} + 0.3	V
	流入除 OUTx、VDD 和 AGND 引脚以外的任何引脚的电流	-10	10	mA
T _J	结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚 ⁽²⁾	±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V _{DD}	提供给接地端 (AGND) 的正电源电压	1.7		5.5	V
V _{REF}	提供给接地端 (AGND) 的外部基准电压	1.7		V _{DD}	V
V _{IH}	数字输入高电压，1.7V < V _{DD} ≤ 5.5V	1.62			V
V _{IL}	数字输入低电压			0.4	V
C _{CAP}	CAP 引脚上的外部电容器	0.5		15	μF
T _A	环境温度	-40		125	°C

6.4 热性能信息

热指标 ⁽¹⁾		DAC539E4W		单位
		YBH (DSBGA)		
		16 引脚		
R _{θJA}	结至环境热阻	81.2		°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	0.3		°C/W
R _{θJB}	结至电路板热阻	20.3		°C/W
Ψ _{JT}	结至顶部特征参数	0.2		°C/W
Ψ _{JB}	结至电路板特性参数	20.3		°C/W

(1) 有关新旧热指标的信息，请参阅 [半导体和 IC 封装热指标应用报告](#)。

6.5 电气特性：阈值 DAC

所有最小/最大规格的条件为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，DAC 基准连接至 VDD，增益 = 1 ×，且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
静态性能						
	分辨率		10			位
INL	积分非线性 ⁽¹⁾		-1.25		1.25	LSB
DNL	微分非线性 ⁽¹⁾		-1		1	LSB
	偏移误差 ⁽³⁾	$1.7\text{V} \leq V_{\text{DD}} < 2.7\text{V}$ ，AINx 引脚短接至 OUTx，DAC 代码：8d	-0.75	0.3	0.75	%FSR
		$2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，AINx 引脚短接至 V _{OUT} ，DAC 代码：8d	-0.5	0.25	0.5	
	偏移误差温度系数 ⁽³⁾	AINx 引脚短接至 OUTx，DAC 代码：8d	±0.0003			%FSR/°C
	增益误差 ⁽³⁾	介于终点代码：8d 至 1016d	-0.5	0.25	0.5	%FSR
	增益误差温度系数 ⁽³⁾	介于终点代码：8d 至 1016d	±0.0008			%FSR/°C
输出						
Z _O	V _{AIN} 输出直流阻抗 ⁽³⁾	DAC 输出已启用，内部基准（增益 = 1.5 × 或 2 ×）或 V _{DD} 处的外部基准（增益 = 1 ×），V _{REF} 引脚未短接至 V _{DD}	400	500	600	kΩ
		DAC 输出已启用，内部 V _{REF} ，增益 = 3 × 或 4 ×	325	400	485	

- (1) 在输出空载的情况下测量。对于外部基准和内部基准 $V_{\text{DD}} \geq 1.21 \times \text{增益} + 0.2\text{V}$ ，介于终点代码：8d 至 1016d。
- (2) 当使用内部基准时，相对于基准值以 200mV 余量指定。
- (3) 在输出空载的情况下测量。

6.6 电气特性：比较器

所有最小/最大规格的条件为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，DAC 基准连接至 VDD，增益 = $1 \times$ （在电压输入模式下），且数字输入处于 VDD 或 AGND（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
静态性能					
偏移误差 ^{(1) (2)}	$1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，DAC 处于中标度，比较器输入处于高阻态，且 DAC 采用外部基准运行。	-6	0	6	mV
偏移误差时间漂移 ⁽¹⁾	$V_{\text{DD}} = 5.5\text{V}$ ，外部基准， $T_A = 125^{\circ}\text{C}$ ，AINx 处于高阻态模式，DAC 处于满量程且 V_{AINX} 为 0V 或 DAC 处于零标度且 V_{AINX} 为 1.84V，10 年连续运行的额定漂移		4		mV
输出					
输入电压	V_{REF} 连接到 V_{DD} ，AINx 电阻器网络连接到接地	0		V_{DD}	V
	V_{REF} 连接到 V_{DD} ，AINx 电阻器网络断开接地	0		$V_{\text{DD}} \times (1/3 - 1/100)$	
V_{OL}	逻辑低输出电压 $I_{\text{LOAD}} = 100\mu\text{A}$ ，输出处于开漏模式		0.1		V
动态性能					
t_{resp}	输出响应时间 DAC 处于中标度且具有 10 位分辨率，AINx 输入处于高阻态，AINx 节点处的转换步长为 $(V_{\text{DAC}} - 2\text{LSB})$ 至 $(V_{\text{DAC}} + 2\text{LSB})$ ，转换时间在输出的 10% 至 90% 之间测得，输出电流为 $100\mu\text{A}$ ，比较器输出配置为推挽模式，比较器输出的负载电容器为 25pF		10		μs

- (1) 根据设计和特征确定；未经生产测试。
 (2) 此规格不包括 DAC 的总体未调误差 (TUE)。

6.7 电气特性：通用

所有最小/最大规格的条件为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ ，DAC 基准连接至 VDD，增益 = 1 ×，且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
内部基准						
	初始精度	所有测量值的 $T_A = 25^{\circ}\text{C}$	1.1979	1.212	1.224	V
	基准输出温度系数 ^{(1) (2)}				50	ppm/°C
外部基准						
	V_{REF} 输入阻抗 ^{(1) (3)}			192		kΩ-ch
EEPROM						
	寿命 ⁽¹⁾	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$		20000		周期
		$T_A = 125^{\circ}\text{C}$		1000		
	数据保留 ⁽¹⁾			50		年
	EEPROM 编程写入周期时间 ⁽¹⁾				200	ms
	器件启动时间 ⁽¹⁾	从电源有效 ($V_{\text{DD}} \geq 1.7\text{V}$) 到输出有效状态 (EEPROM 中编程的输出状态) 所用的时间, CAP 引脚上具有 0.5μF 电容器		5		ms
数字输入						
	引脚电容	每引脚		10		pF
电源						
I_{DD}	流入 VDD 的电流	DAC 处于睡眠模式, 内部基准关断, 外部基准电压为 5.5V			28	μA
		DAC 处于睡眠模式, 内部基准已启用, 通过内部基准的额外电流		10		
	流入 VDD 的电流 ⁽¹⁾	DAC 通道已启用, 内部基准已启用, 在电压输出模式下每个 DAC 通道通过内部基准的额外电流		12.5		μA-ch
		正常运行, 状态机已启用		1.53		mA
高阻抗输出						
I_{LEAK}	流入 OUTx 和 AINx 的电流	DAC 处于高阻态输出模式, $1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$		10		nA

- (1) 根据设计和特征确定；未经生产测试。
(2) 在 -40°C 和 $+125^{\circ}\text{C}$ 条件下测得，并计算了斜率。
(3) DAC 通道的阻抗以并联方式连接。

6.8 时序要求：I²C 标准模式

所有输入信号的时间从 V_{IL} 到 $V_{pull-up}$ 的 70%， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ ，且 $1.7V \leq V_{pull-up} \leq V_{DD}$

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			100	kHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	4.7			μs
t_{HDSTA}	重复启动后的保持时间	4			μs
t_{SUSTA}	重复启动设置时间	4.7			μs
t_{SUSTO}	停止条件设置时间	4			μs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	250			ns
t_{LOW}	SCL 时钟低电平周期	4700			ns
t_{HIGH}	SCL 时钟高电平周期	4000			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			1000	ns
t_{VDDAT}	数据有效时间， $R = 360\Omega$ ， $C_{trace} = 23pF$ ， $C_{probe} = 10pF$			3.45	μs
t_{VDACK}	数据有效确认时间， $R = 360\Omega$ ， $C_{trace} = 23pF$ ， $C_{probe} = 10pF$			3.45	μs

6.9 时序要求：I²C 快速模式

所有输入信号的时间从 V_{IL} 到 $V_{pull-up}$ 的 70%， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ ，且 $1.7V \leq V_{pull-up} \leq V_{DD}$

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			400	kHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	1.3			μs
t_{HDSTA}	重复启动后的保持时间	0.6			μs
t_{SUSTA}	重复启动设置时间	0.6			μs
t_{SUSTO}	停止条件设置时间	0.6			μs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	100			ns
t_{LOW}	SCL 时钟低电平周期	1300			ns
t_{HIGH}	SCL 时钟高电平周期	600			ns
t_F	时钟和数据下降时间			300	ns
t_R	时钟和数据上升时间			300	ns
t_{VDDAT}	数据有效时间， $R = 360\Omega$ ， $C_{trace} = 23pF$ ， $C_{probe} = 10pF$			0.9	μs
t_{VDACK}	数据有效确认时间， $R = 360\Omega$ ， $C_{trace} = 23pF$ ， $C_{probe} = 10pF$			0.9	μs

6.10 时序要求：I²C 超快速模式

所有输入信号的时间从 V_{IL} 到 $V_{pull-up}$ 的 70%， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ ，且 $1.7V \leq V_{pull-up} \leq V_{DD}$

		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			1	MHz
t_{BUF}	停止条件和启动条件之间的总线空闲时间	0.5			μs
t_{HDSTA}	重复启动后的保持时间	0.26			μs
t_{SUSTA}	重复启动设置时间	0.26			μs
t_{SUSTO}	停止条件设置时间	0.26			μs
t_{HDDAT}	数据保持时间	0			ns
t_{SUDAT}	数据设置时间	50			ns
t_{LOW}	SCL 时钟低电平周期	0.5			μs
t_{HIGH}	SCL 时钟高电平周期	0.26			μs
t_F	时钟和数据下降时间			120	ns
t_R	时钟和数据上升时间			120	ns
t_{VDDAT}	数据有效时间， $R = 360\Omega$ ， $C_{trace} = 23pF$ ， $C_{probe} = 10pF$			0.45	μs
t_{VDACK}	数据有效确认时间， $R = 360\Omega$ ， $C_{trace} = 23pF$ ， $C_{probe} = 10pF$			0.45	μs

6.11 时序要求：SPI 写入操作

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $1.7V \leq V_{DD} \leq 5.5V$ 且 $-40^\circ C \leq T_A \leq +125^\circ C$

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			50	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	9			ns
t_{SCLLOW}	SCLK 低电平时间	9			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	\overline{SYNC} 到 SCLK 下降沿建立时间	18			ns
t_{CSH}	SCLK 下降边沿到 \overline{SYNC} 上升边沿	10			ns
t_{CSHIGH}	\overline{SYNC} 高电平时间	50			ns
$t_{DACWAIT}$	同一通道的顺序 DAC 更新等待时间 (后续 \overline{SYNC} 下降沿之间的时间)	2			μs

6.12 时序要求：SPI 读取和菊花链操作 (FSDO = 0)

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^\circ C \leq T_A \leq +125^\circ C$ 且 $FSDO = 0$

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			1.25	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	350			ns
t_{SCLLOW}	SCLK 低电平时间	350			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	\overline{SYNC} 到 SCLK 下降沿建立时间	400			ns
t_{CSH}	SCLK 下降边沿到 \overline{SYNC} 上升边沿	400			ns
t_{CSHIGH}	\overline{SYNC} 高电平时间	1			μs
t_{SDODLY}	SCLK 上升沿到 SDO 下降沿， $I_{OL} \leq 5mA$ ， $C_L = 20pF$ 。			300	ns

6.13 时序要求：SPI 读取和菊花链操作 (FSDO = 1)

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^\circ C \leq T_A \leq +125^\circ C$ 且 $FSDO = 1$

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			2.5	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	175			ns
t_{SCLLOW}	SCLK 低电平时间	175			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	\overline{SYNC} 到 SCLK 下降沿建立时间	300			ns
t_{CSH}	SCLK 下降边沿到 \overline{SYNC} 上升边沿	300			ns
t_{CSHIGH}	\overline{SYNC} 高电平时间	1			μs
t_{SDODLY}	SCLK 上升沿到 SDO 下降沿， $I_{OL} \leq 5mA$ ， $C_L = 20pF$ 。			300	ns

6.14 时序图

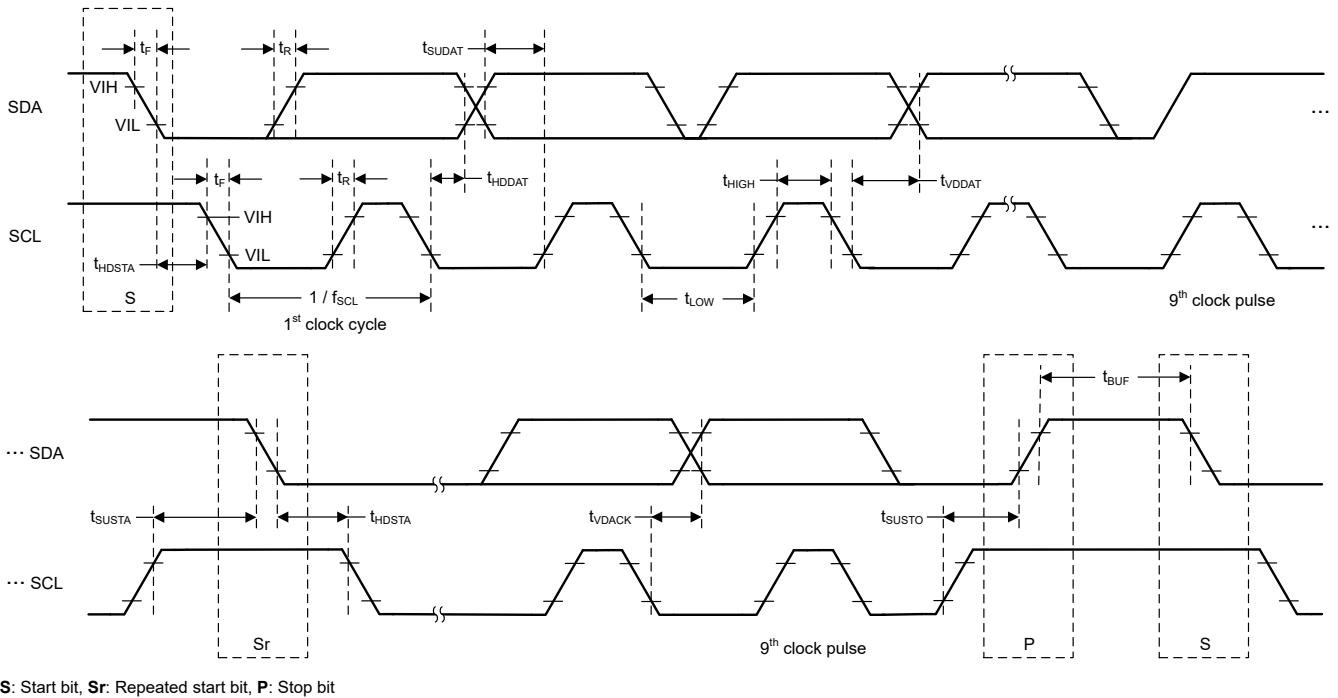


图 6-1. I²C 时序图

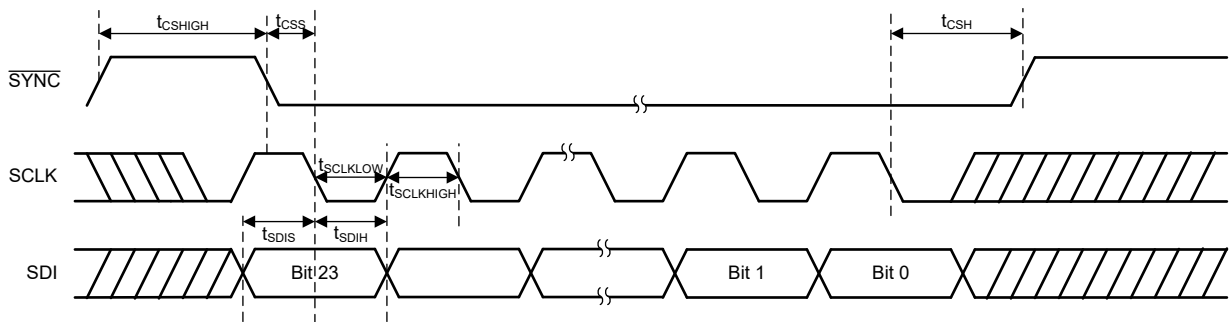


图 6-2. SPI 写入时序图

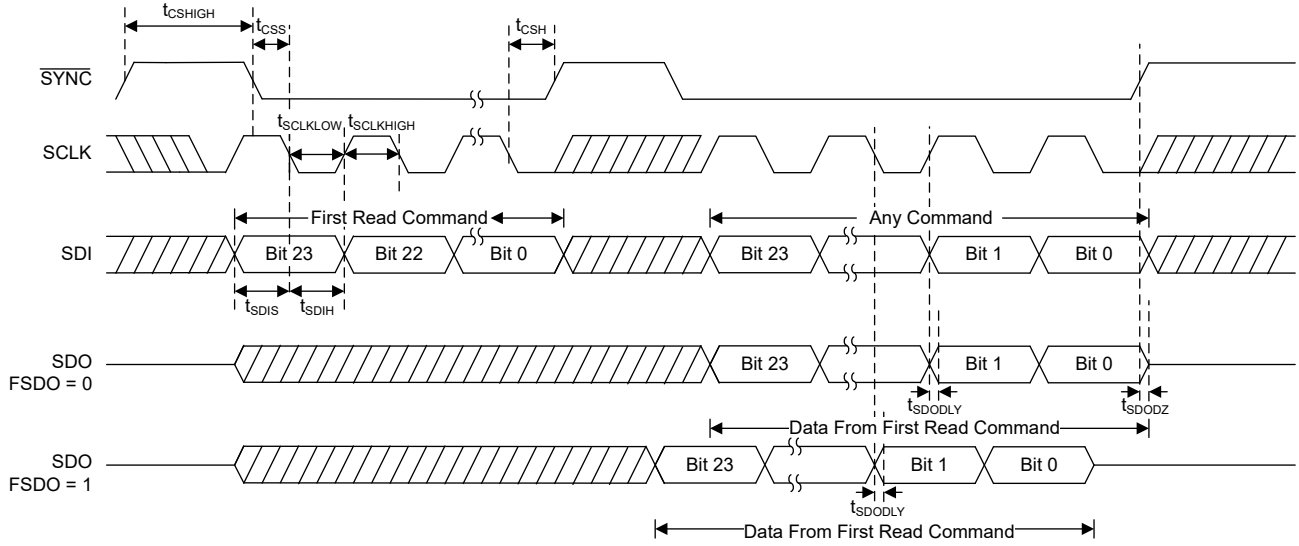


图 6-3. SPI 读取时序图

6.15 典型特性

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 外部基准 = 5.5V, 增益 = $1 \times$, AINx 引脚处于高阻态模式, 且输出为空载 (除非另有说明)

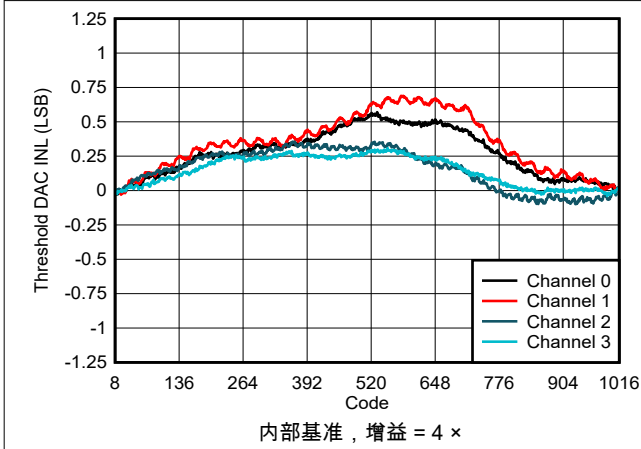


图 6-4. 阈值 DAC INL 与数字输入代码间的关系

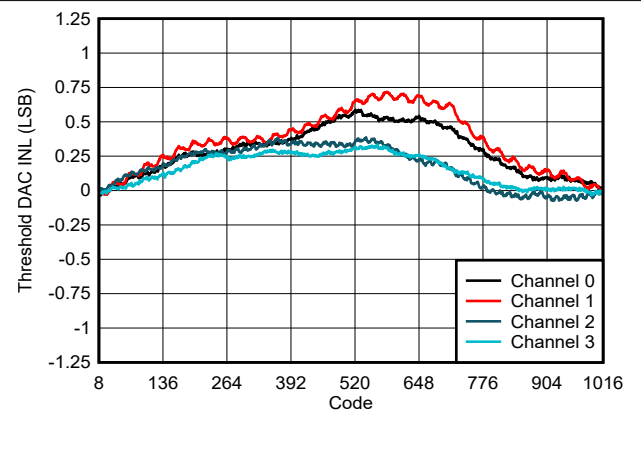


图 6-5. 阈值 DAC INL 与数字输入代码间的关系

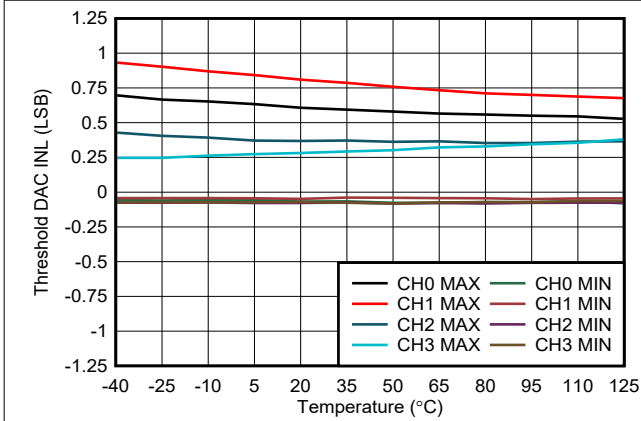


图 6-6. 阈值 DAC INL 与温度间的关系

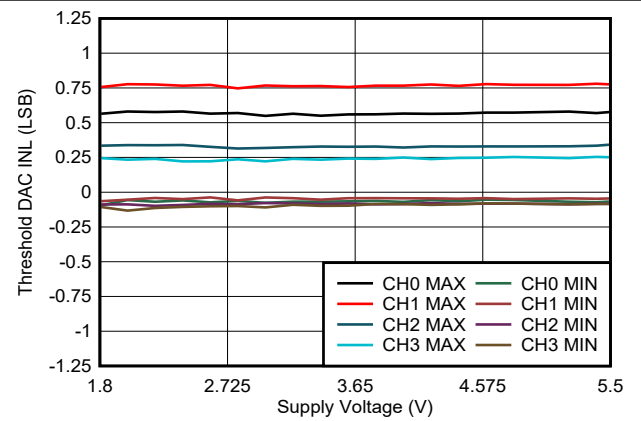


图 6-7. 阈值 DAC INL 与电源电压间的关系

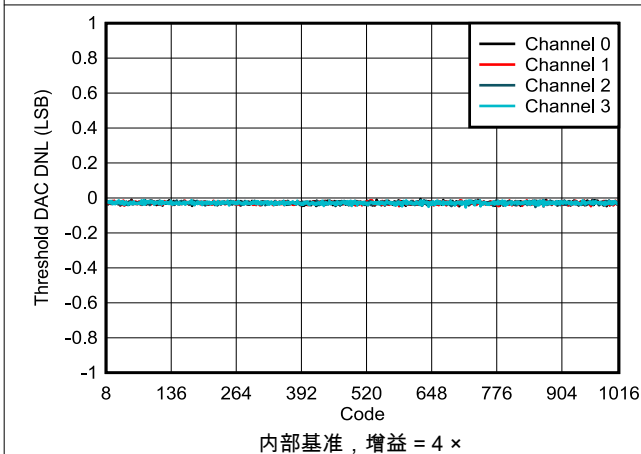


图 6-8. 阈值 DAC DNL 与数字输入代码间的关系

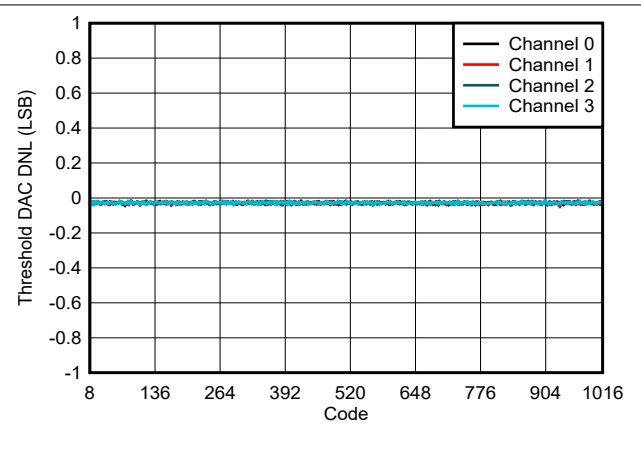


图 6-9. 阈值 DAC DNL 与数字输入代码间的关系

6.15 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 外部基准 = 5.5V, 增益 = $1 \times$, AINx 引脚处于高阻态模式, 且输出为空载 (除非另有说明)

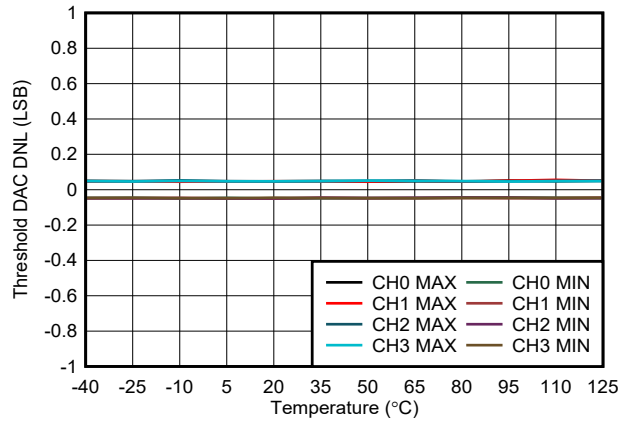


图 6-10. 阈值 DAC DNL 与温度间的关系

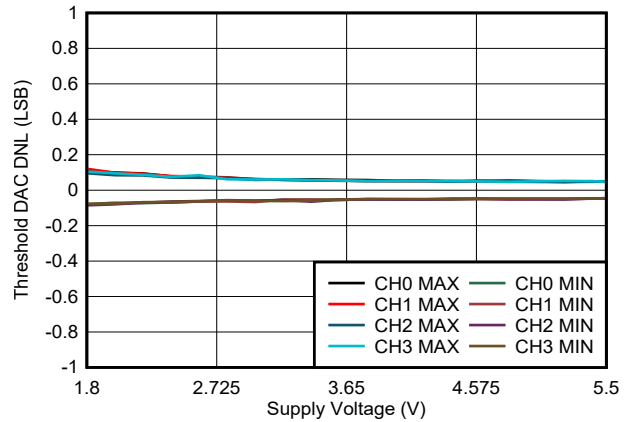


图 6-11. 阈值 DAC DNL 与电源电压间的关系

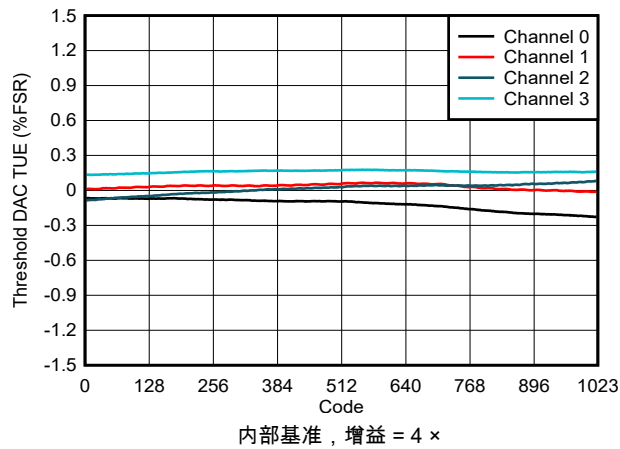


图 6-12. 阈值 DAC 总体未调整误差 (TUE) 与数字输入代码间的关系

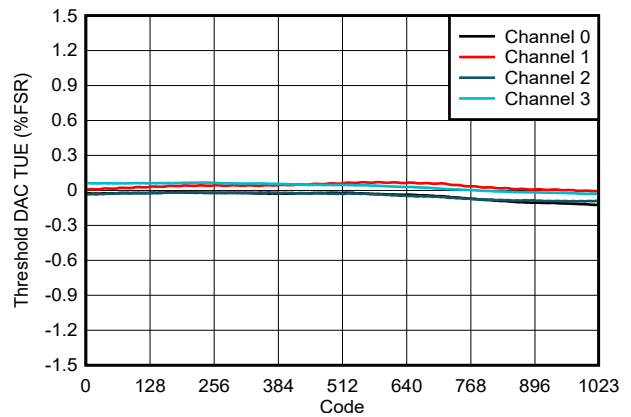


图 6-13. 阈值 DAC 总体未调整误差 (TUE) 与数字输入代码间的关系

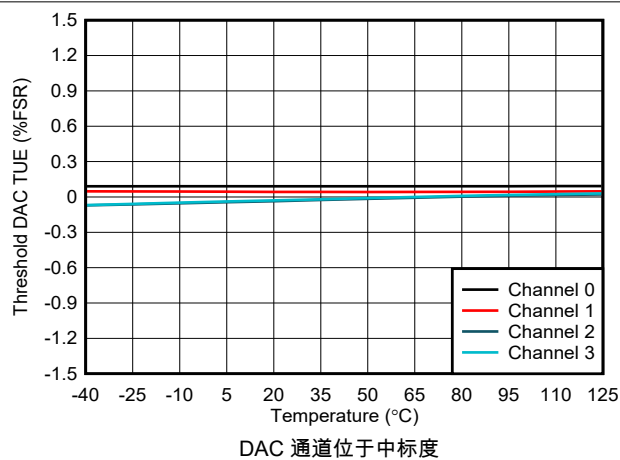


图 6-14. 阈值 DAC 总体未调整误差 (TUE) 与温度间的关系

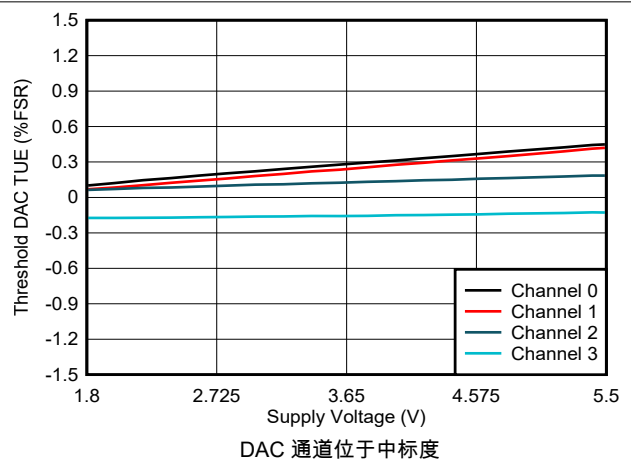


图 6-15. 阈值 DAC 总体未调整误差 (TUE) 与电源电压间的关系

6.15 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 外部基准 = 5.5V, 增益 = $1 \times$, AINx 引脚处于高阻态模式, 且输出为空载 (除非另有说明)

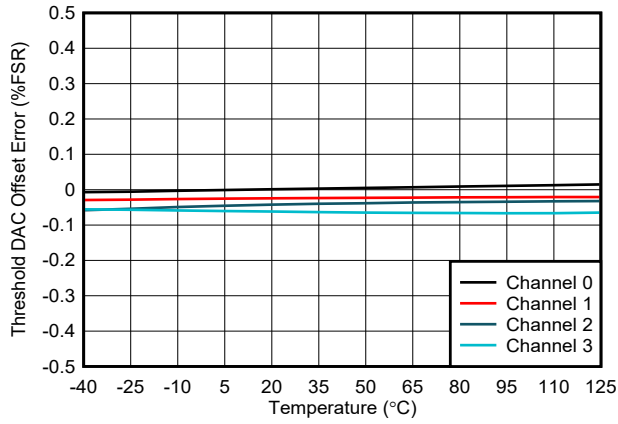


图 6-16. 阈值 DAC 偏移误差与温度间的关系

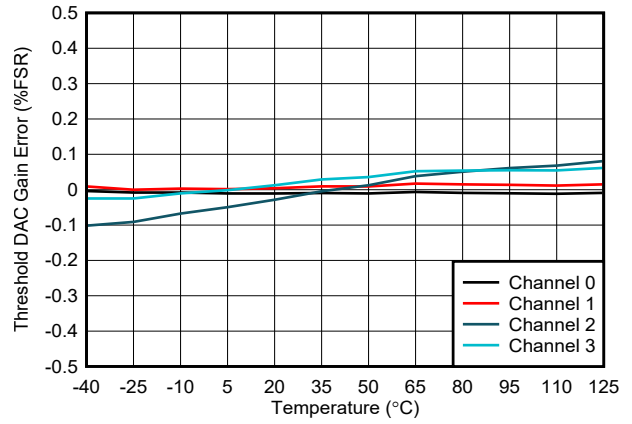
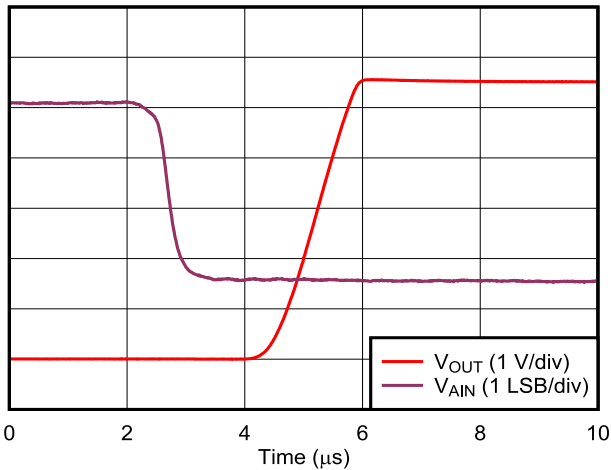
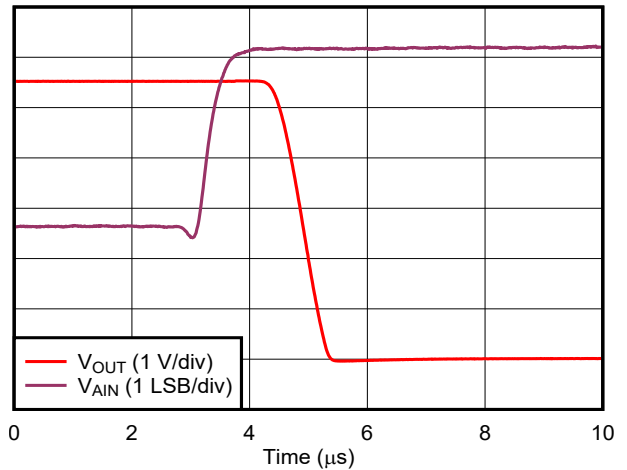


图 6-17. 阈值 DAC 增益误差与温度间的关系



推挽模式下的比较器输出

图 6-18. 比较器响应时间：低电平到高电平转换



推挽模式下的比较器输出

图 6-19. 比较器响应时间：高电平到低电平转换

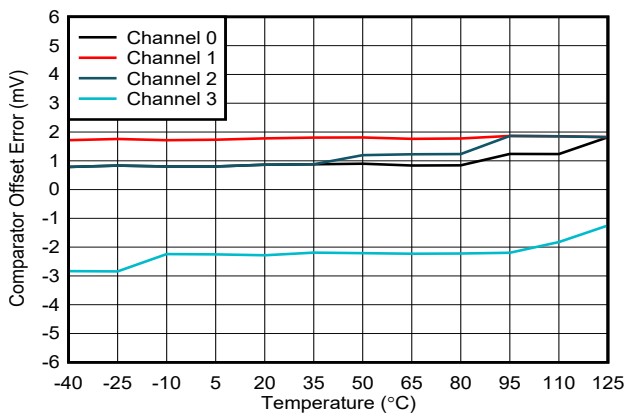


图 6-20. 比较器偏移误差与温度间的关系

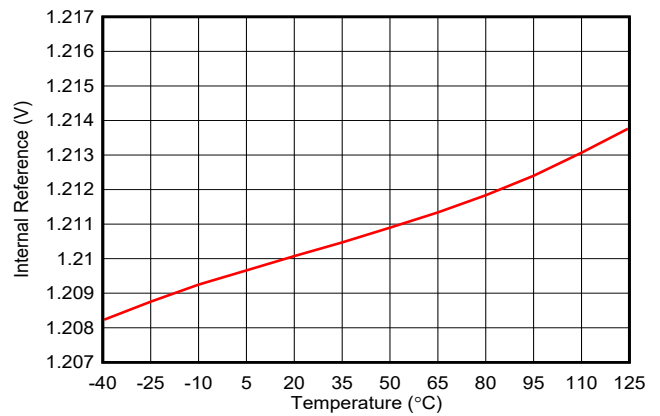
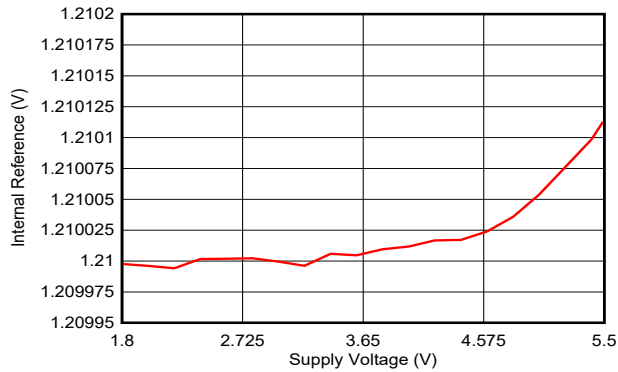


图 6-21. 内部基准与温度间的关系

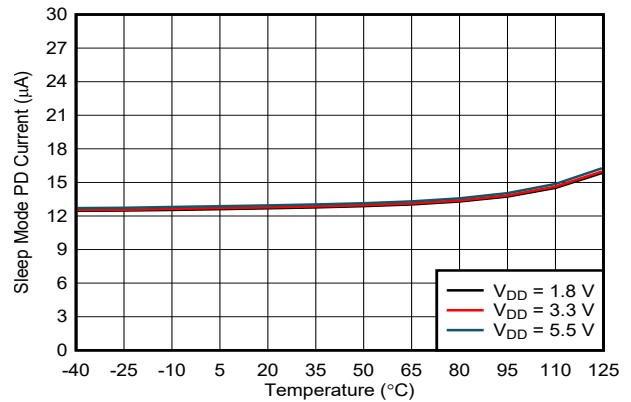
6.15 典型特性 (continued)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 外部基准 = 5.5V, 增益 = $1 \times$, AINx 引脚处于高阻态模式, 且输出为空载 (除非另有说明)



内部基准

图 6-22. 内部基准与电源电压间的关系



睡眠模式, 内部基准禁用

图 6-23. 断电电流与温度间的关系

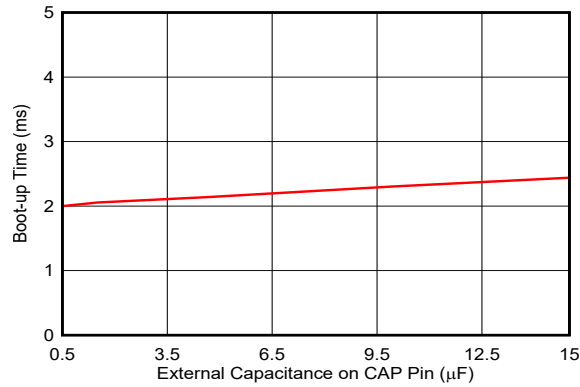


图 6-24. 启动时间与 CAP 引脚上电容间的关系

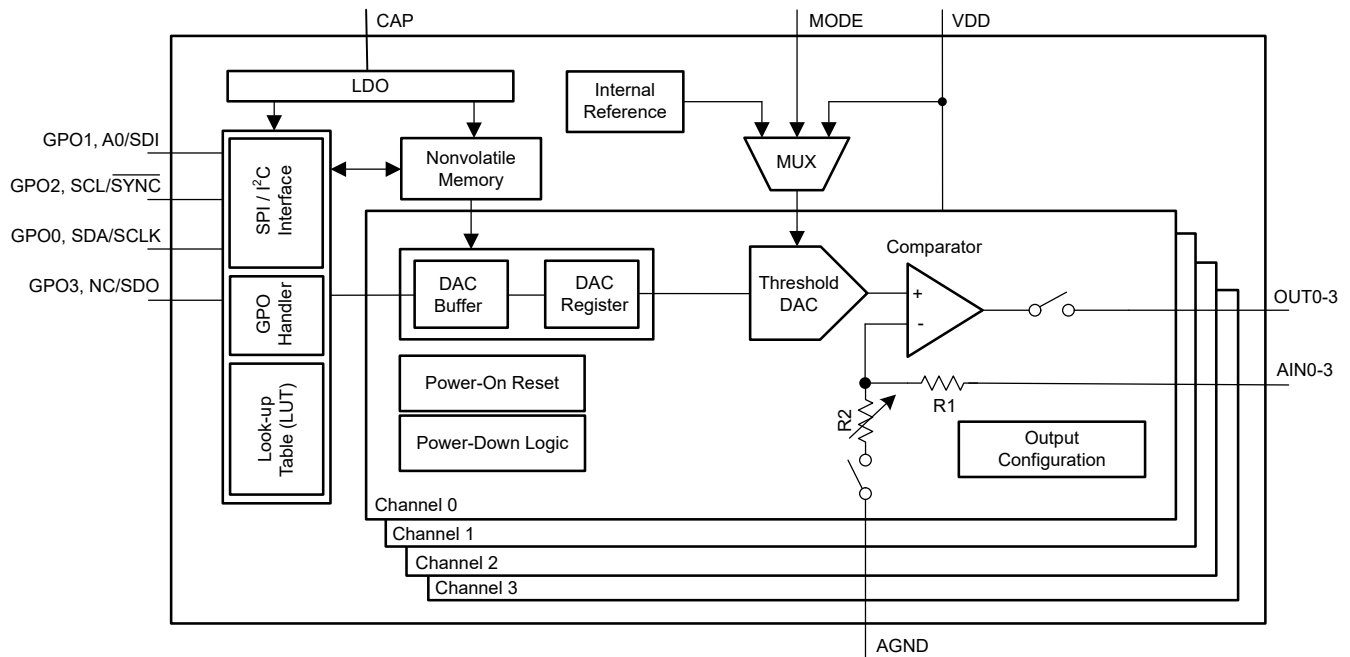
7 详细说明

7.1 概述

DAC539E4W 是一款 10 位四路智能数模转换器 (DAC)，具有可编程比较器和基于查找表的通用输出。比较器输出可直接作为选项提供。对于 VDD/3 的输入范围，比较器输入可以配置为高阻态；对于整个输入范围，则可以配置为有限电阻。比较器使用四个阈值 DAC 作为基准。所有阈值 DAC 都可以独立配置，并且设置可以存储在 NVM 中。

DAC539E4W 使用 MODE 引脚在编程模式 (I²C 或 SPI) 和独立模式之间进行选择。该器件提供非易失性存储器 (NVM)，以使用 SPI 或 I²C 接口存储出厂时的寄存器设置。编程后，该器件可以自主运行，无需处理器。

7.2 功能方框图



7.3 特性说明

7.3.1 智能数模转换器 (DAC) 架构

DAC539E4W 对阈值 DAC 使用串式架构，后接比较器。节 7.2 展示了方框图中的 DAC 架构，该架构采用 1.8V 至 5.5V 电源供电。

阈值 DAC 使用以下三个基准选项之一：1.21V 的内部电压基准、MODE 引脚上的外部基准或电源。阈值 DAC 支持多个可编程输出范围。

可以使用寄存器设置来反转比较器输出。比较器输出可以是推挽式或开漏式。模拟输入可配置为高阻态或有限阻抗，以支持不同的输入范围。比较器支持使用 *margin-high* 和 *margin-low* 寄存器字段和锁存比较器实现可编程的迟滞，但 *margin-high* 和 *margin-low* 寄存器字段不会存储在 NVM 中。比较器输出可由器件在内部访问。

DAC539E4W 具有支持算术、逻辑和时序操作的可编程状态机，如图 7-1 所示。该状态机被预编程为查找表，将比较器输出映射到 DAC539E4W 的 GPO。可以使用寄存器映射来配置状态机，并且可以将参数存储在 NVM 中。状态机可以在独立模式下运行，无需连接到处理器（无处理器运行模式）。

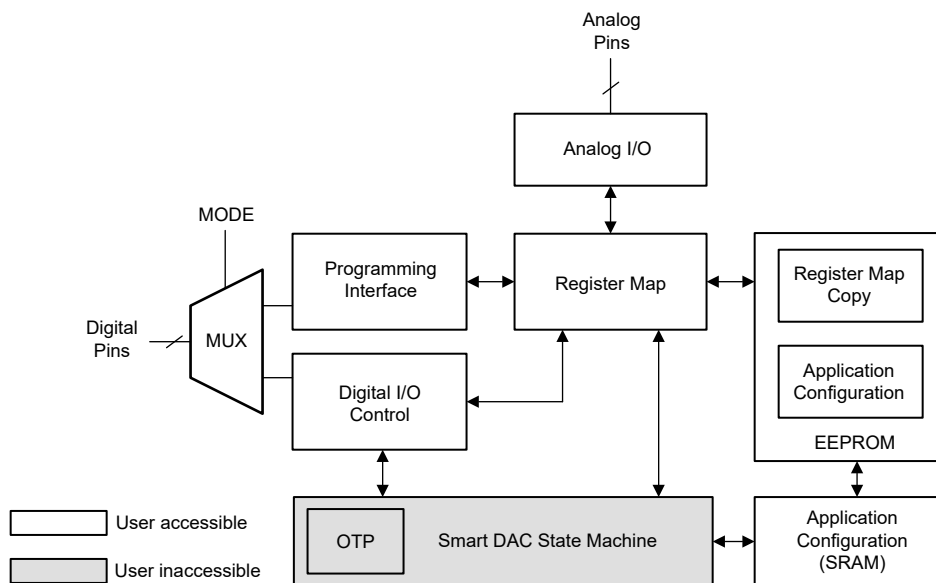


图 7-1. 智能 DAC 架构

7.3.2 阈值 DAC

要启用每个通道的阈值 DAC，可以在 COMMON-CONFIG 寄存器的 VOUT-PDN-x 字段中选择上电选项。要获得所需的阈值电压，请选择正确的基准选项，为所需的输出范围选择增益，并在相应通道的 DAC-x-DATA 寄存器中进行 DAC 代码编程。

7.3.2.1 电压基准和 DAC 传递函数

DAC539E4W 可以支持以下三种电压基准选项：内部基准、外部基准，以及以电源作为基准，如图 7-2 所示。阈值 DAC 的传递函数根据电压基准的选择而变化。

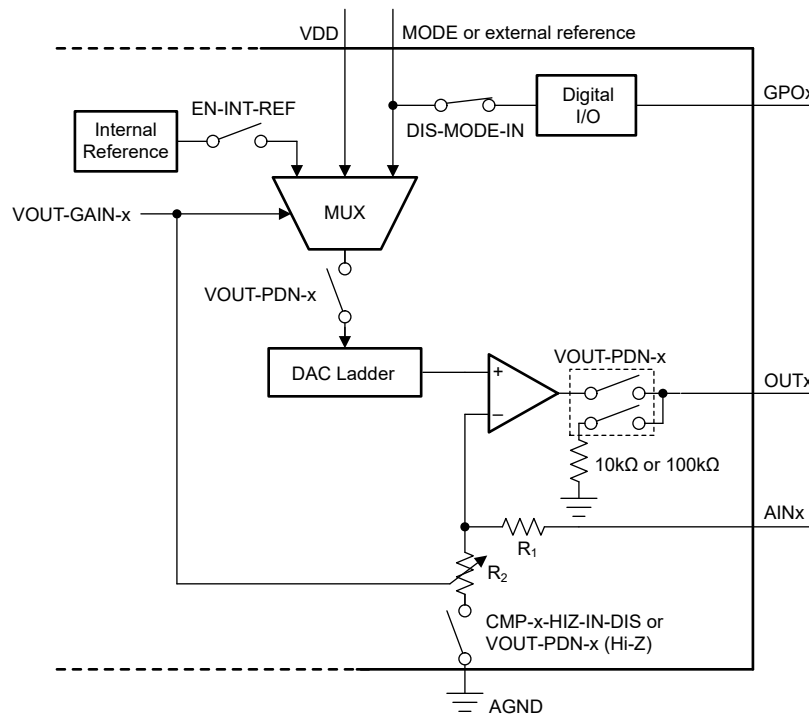


图 7-2. 电压基准选择与断电逻辑

7.3.2.1.1 电源作为基准

默认情况下，DAC539E4W 采用电源引脚 (VDD) 作为基准运行。方程式 1 展示了电源引脚用作基准时阈值 DAC 的传递函数。输出级的增益始终为 1 ×。

$$V_{\text{THLD}} = \frac{\text{DAC_DATA}}{2^N} \times V_{\text{DD}} \quad (1)$$

其中：

- N 是以位为单位的分辨率，DAC539E4W 为 10 位。
- DAC_DATA 是加载到 DAC-x-DATA 寄存器 DAC-x-DATA 字段中的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N - 1$ 。
- V_{DD} 用作 DAC 基准电压。

7.3.2.1.2 内部基准

DAC539E4W 包含默认禁用的内部基准。要启用内部基准，需将 1 写入 COMMON-CONFIG 寄存器中的位 EN-INT-REF。内部基准生成固定的 1.21V 电压（典型值）。使用 DAC-x-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-x 字段可实现 DAC 输出电压 (V_{THLD}) 的 1.5 ×、2 ×、3 × 或 4 × 增益。方程式 2 展示了使用内部基准的 DAC 传递函数。

$$V_{THLD} = \frac{DAC_DATA}{2^N} \times V_{REF} \times GAIN \quad (2)$$

其中：

- N 是以位为单位的分辨率，DAC539E4W 为 10 位
- DAC_DATA 是加载到 DAC-x-DATA 寄存器 DAC-x-DATA 字段中的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N - 1$ 。
- V_{REF} 是内部基准电压，值为 1.21V。
- GAIN = 1.5 ×、2 ×、3 × 或 4 ×，根据 VOUT-GAIN-x 位而定。

7.3.2.1.3 外部基准

DAC539E4W 提供外部基准输入（MODE 引脚）。通过适当配置 DAC-x-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-x 字段，选择外部基准选项。如果不使用 MODE 引脚功能，请将 1 写入 DEVICE-MODE-CONFIG 寄存器中的 DIS-MODE-IN 位，以最大限度地减少静态电流。外部基准电压可介于 1.8 V 和 VDD 之间。方程式 3 展示了使用外部基准时阈值 DAC 的传递函数。

备注

在瞬态和稳态条件下，外部基准都必须小于 VDD。因此，外部基准必须在 VDD 之后斜升，在 VDD 之前斜降。

$$V_{THLD} = \frac{DAC_DATA}{2^N} \times V_{REF} \quad (3)$$

其中：

- N 是以位为单位的分辨率，DAC539E4W 为 10 位。
- DAC_DATA 是加载到 DAC-x-DATA 寄存器 DAC-x-DATA 字段中的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N - 1$ 。
- V_{REF} 为外部基准电压。

7.3.3 查询表 (LUT)

DAC539E4W 提供了一个可由用户编程的查找表，用于将比较器输入映射到 GPO。此 LUT 可以存储在 NVM 中以供独立运行。表 7-1 和表 7-2 展示了用户可编程的 LUT，其中包含 DAC-X-VOUT-CMP-CONFIG 寄存器 CMP-X-INV-EN 位的不同设置。表 7-3 展示了编程模式与独立模式之间的引脚映射。

表 7-1. 比较器输入到 GPO 映射 (CMP-x-INV-EN = 0 ， 默认值)

比较器输入				用户可编程输出 (默认值)				SRAM 位置	名称
AIN3	AIN2	AIN1	AIN0	GPO3	GPO2	GPO1	GPO0		
0	0	0	0	1	1	1	1	0x25[3:0]	LUT-0-DATA
0	0	0	1	1	1	1	0	0x26[3:0]	LUT-1-DATA
0	0	1	0	1	1	0	1	0x27[3:0]	LUT-2-DATA
0	0	1	1	1	1	0	0	0x28[3:0]	LUT-3-DATA
0	1	0	0	1	0	1	1	0x29[3:0]	LUT-4-DATA
0	1	0	1	1	0	1	0	0x2A[3:0]	LUT-5-DATA
0	1	1	0	1	0	0	1	0x2B[3:0]	LUT-6-DATA
0	1	1	1	1	0	0	0	0x2C[3:0]	LUT-7-DATA
1	0	0	0	0	1	1	1	0x2D[3:0]	LUT-8-DATA
1	0	0	1	0	1	1	0	0x2E[3:0]	LUT-9-DATA
1	0	1	0	0	1	0	1	0x2F[3:0]	LUT-10-DATA
1	0	1	1	0	1	0	0	0x30[3:0]	LUT-11-DATA
1	1	0	0	0	0	1	1	0x31[3:0]	LUT-12-DATA
1	1	0	1	0	0	1	0	0x32[3:0]	LUT-13-DATA
1	1	1	0	0	0	0	1	0x33[3:0]	LUT-14-DATA
1	1	1	1	0	0	0	0	0x34[3:0]	LUT-15-DATA

表 7-2. 比较器输入到 GPO 映射 (CMP-x-INV-EN = 1)

比较器输入				用户可编程输出 (默认值)				SRAM 位置	名称
AIN3	AIN2	AIN1	AIN0	GPO3	GPO2	GPO1	GPO0		
0	0	0	0	0	0	0	0	0x25[3:0]	LUT-0-DATA
0	0	0	1	0	0	0	1	0x26[3:0]	LUT-1-DATA
0	0	1	0	0	0	1	0	0x27[3:0]	LUT-2-DATA
0	0	1	1	0	0	1	1	0x28[3:0]	LUT-3-DATA
0	1	0	0	0	1	0	0	0x29[3:0]	LUT-4-DATA
0	1	0	1	0	1	0	1	0x2A[3:0]	LUT-5-DATA
0	1	1	0	0	1	1	0	0x2B[3:0]	LUT-6-DATA
0	1	1	1	0	1	1	1	0x2C[3:0]	LUT-7-DATA
1	0	0	0	1	0	0	0	0x2D[3:0]	LUT-8-DATA
1	0	0	1	1	0	0	1	0x2E[3:0]	LUT-9-DATA
1	0	1	0	1	0	1	0	0x2F[3:0]	LUT-10-DATA
1	0	1	1	1	0	1	1	0x30[3:0]	LUT-11-DATA
1	1	0	0	1	1	0	0	0x31[3:0]	LUT-12-DATA
1	1	0	1	1	1	0	1	0x32[3:0]	LUT-13-DATA
1	1	1	0	1	1	1	0	0x33[3:0]	LUT-14-DATA
1	1	1	1	1	1	1	1	0x34[3:0]	LUT-15-DATA

表 7-3. GPO 引脚映射

独立模式 (MODE 引脚为高电平)	编程模式 (MODE 引脚为低电平)	引脚编号
GPO0	SDA/SCLK	8
GPO1	A0/SDI	7
GPO2	SCL/SYNC	6
GPO3	NC/SDO	5

DAC539E4W 在比较器输出和 GPO 之间提供一个可编程的延迟，以允许模拟输入稳定转换。可使用 LOOP-WAIT 寄存器中的 LOOP-REFRESH 字段指定该延迟。方程式 4 使用 LOOP-REFRESH 字段的十进制值来计算总延迟（以秒为单位）。

$$DELAY_TIME = \frac{2^{LOOP_REFRESH + 1}}{25.6 \times 10^6} \quad (4)$$

7.3.4 编程接口

DAC539E4W 有四个数字 I/O 引脚，包括 I²C 和 SPI。这些器件会在加电后首次成功通信时自动检测 I²C 和 SPI 协议，然后连接到检测到的接口。连接接口协议后，协议中的任何更改都将被忽略。I²C 接口使用 A0 引脚从四个地址选项中进行选择。SPI 默认为三线制接口。此模式下没有回读功能。NC/SDO 引脚可在寄存器映射中配置，然后作为 SDO 输出编程到 NVM 中。SPI 回读模式比写入模式慢。编程接口引脚为：

- I²C : SCL、SDA、A0
- SPI : SCLK、SDI、 \overline{SYNC} 、NC/SDO

当用作输出时，所有数字引脚都是开漏。因此，必须使用外部寄存器将所有输出引脚上拉至所需的 I/O 电压。

7.3.5 非易失性存储器 (NVM)

DAC539E4W 包含非易失性存储器 (NVM) 位。这些存储器位是用户可编程和可擦除的，并且会断电的情况下保留设定的值。所有寄存器位 (如 *寄存器映射* 部分中灰色单元格突出显示) 都可以通过在 COMMON-TRIGGER 寄存器中设置 NVM-PROG = 1 来存储在 NVM 中。这个位会自动复位。当正在进行 NVM 写入或重新加载操作时，器件会将 GENERAL-STATUS 寄存器中的 NVM-BUSY 位设置为 1。在此期间，器件会阻止针对器件的所有读取/写入操作。写入或重新加载操作完成后，NVM-BUSY 位设置为 0；此时，允许对器件进行所有读取/写入操作。一旦发生 POR 事件，DAC539E4W 中所有寄存器的默认值都将立即从 NVM 加载。

DAC539E4W 还在 COMMON-TRIGGER 寄存器中实现了 NVM-RELOAD 位。将该位设置为 1 可以让器件启动 NVM 重新加载操作。NVM 重新加载操作使用 NVM 中存储的数据覆盖寄存器映射。完成后，器件将该位自动复位为 0。在 NVM-RELOAD 操作期间，NVM-BUSY 位设置为 1。

7.3.5.1 NVM 循环冗余校验 (CRC)

为确保存储在 NVM 中的数据不被损坏，DAC539E4W 为 NVM 采用循环冗余校验 (CRC) 功能。DAC539E4W 中实现了两种类型的 CRC 报警位：

- NVM-CRC-FAIL-USER
- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER 位指示用户可编程 NVM 位的状态，而 NVM-CRC-FAIL-INT 位指示内部 NVM 位的状态。CRC 功能通过在每次执行 NVM 程序操作 (写入或重新加载) 时以及在器件启动期间，存储 16 位 CRC (CRC-16-CCITT) 以及 NVM 数据来实现。器件会读取 NVM 数据并使用存储的 CRC 来验证数据。CRC 报警位 (GENERAL-STATUS 寄存器中的 NVM-CRC-FAIL-USER 和 NVM-CRC-FAIL-INT) 报告从器件 NVM 读取数据后的任何错误。

备注

报警位仅在启动时设置。

7.3.5.1.1 NVM-CRC-FAIL-USER 位

NVM-CRC-FAIL-USER 位为逻辑 1 表示用户可编程的 NVM 上数据已损坏。在这种情况下，器件中的所有寄存器都会使用出厂复位值进行初始化，并且任何器件寄存器都可以写入或读取。要将报警位复位为 0，需发出软件复位 (请参阅 [节 7.3.7](#)) 命令或对器件执行下电上电。软件复位或执行下电上电也会重新加载用户可编程的 NVM 位。如果故障仍然存在，需重新对 NVM 进行编程。

7.3.5.1.2 NVM-CRC-FAIL-INT 位

NVM-CRC-FAIL-INT 位为逻辑 1 表示内部 NVM 数据已损坏。在这种情况下，器件中的所有寄存器都会使用出厂复位值进行初始化，并且任何器件寄存器都可以写入或读取。在发生临时故障时，要将报警位复位为 0，需发出软件复位 (请参阅 [节 7.3.7](#)) 命令或对器件执行下电上电。NVM 中的永久故障会导致器件无法使用。

7.3.6 上电复位 (POR)

DAC539E4W 包含上电复位 (POR) 功能，可在上电时控制输出电压。在建立 V_{DD} 电源后，便会发出 POR 事件。POR 使所有寄存器初始化为默认值，只有在 POR (启动) 延迟之后，与该器件的通信才有效。一旦发生 POR 事件，DAC539E4W 中所有寄存器的默认值都将立即从 NVM 加载。

该器件加电时，POR 电路将器件设置为默认模式。POR 电路需要特定的 V_{DD} 电平 (如图 7-3 所示) 才能确保内部电容器在加电时放电并使器件复位。为了确保发生 POR， V_{DD} 小于 0.7V 的时间必须至少为 1ms。当 V_{DD} 降至低于 1.65V 但仍高于 0.7V (显示为未定义区域) 时，该器件在所有指定的温度和电源条件下的复位行为具有不确定性。在这种情况下，需启动 POR。当 V_{DD} 保持为大于 1.65V 时，不会发生 POR。

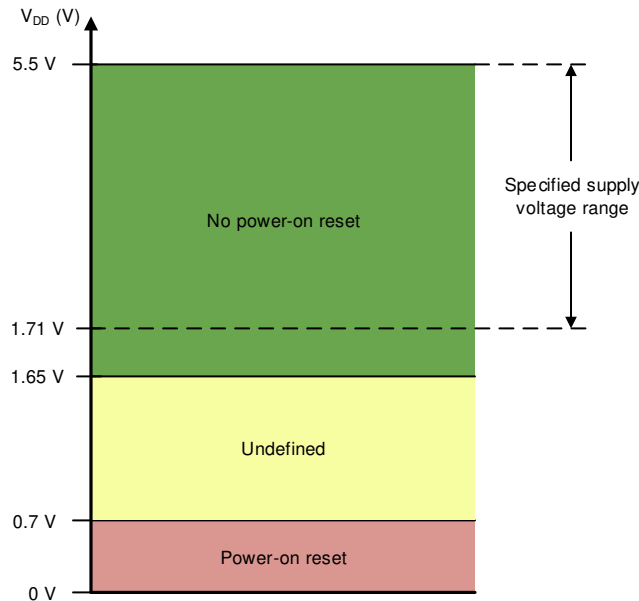


图 7-3. V_{DD} POR 电路的阈值电平

7.3.7 外部复位

可以通过寄存器映射来触发器件的外部复位。要启动器件软件复位事件，应将保留代码 1010b 写入 COMMON-TRIGGER 寄存器的 RESET 字段。软件复位启动 POR 事件。

7.3.8 寄存器映射锁定

DAC539E4W 实现了寄存器映射锁定功能，可防止意外或无意中写入 DAC 寄存器。当 COMMON-CONFIG 寄存器中的 DEV-LOCK 位设置为 1 时，器件会锁定所有寄存器。要绕过 DEV-LOCK 设置，需将 0101b 写入 COMMON-TRIGGER 寄存器中的 DEV-UNLOCK 位。

7.4 器件功能模式

7.4.1 比较器模式

要启用某个通道的比较器，应将 1 写入相应 DAC-x-VOUT-CMP-CONFIG 寄存器中的 CMP-x-EN 和 CMP-x-OUT-EN 位。可使用 CMP-x-OD-EN 位将比较器输出配置为推挽或开漏输出。要反转比较器输出，需向 CMP-x-INV-EN 位写入 1。AINx 引脚具有有限阻抗。要禁用 AINx 引脚上的高阻抗，需向 CMP-x-HIZ-IN-DIS 位写入 1。表 7-4 展示了不同位设置条件下该引脚上的比较器输出。表 7-5 展示了比较器的满量程模拟输入设置。任何较高的输入电压都会被削波。

表 7-4. 比较器输出配置

CMP-x-EN	CMP-x-OUT-EN	CMP-x-OD-EN	CMP-x-INV-EN	OUTx 引脚 ⁽¹⁾
0	X	X	X	比较器未启用。
1	0	X	X	高阻态输出。
1	1	0	0	推挽式输出。
1	1	0	1	推挽和反相输出。
1	1	1	0	开漏输出。
1	1	1	1	开漏和反相输出。

(1) 启用比较器后，无论输出引脚 (OUTx) 如何设置，LUT 都可以访问比较器输出值。

表 7-5. 满量程模拟输入 (V_{FS})

基准 (V_{REF})	增益	V_{FS} (高阻态输入模式)	V_{FS} (有限阻抗输入模式)
电源	1 ×	$V_{DD} / 3$	V_{DD}
外部	1 ×	$V_{REF} / 3$	V_{REF}
内部	1.5 ×	$(V_{REF} \times GAIN) / 3$	$V_{REF} \times GAIN$
	2 ×	$(V_{REF} \times GAIN) / 3$	$V_{REF} \times GAIN$
	3 ×	$(V_{REF} \times GAIN) / 6$	$(V_{REF} \times GAIN) / 2$
	4 ×	$(V_{REF} \times GAIN) / 6$	$(V_{REF} \times GAIN) / 2$

利用相应 DAC-x-CMP-MODE-CONFIG 寄存器中的 CMP-x-MODE 字段，可以将各个比较器通道配置为无迟滞、有迟滞或锁存比较器模式。

备注

NVM 中仅支持无迟滞模式。迟滞模式或锁存比较器模式只能通过寄存器映射进行操作。

图 7-4 展示了比较器的接口电路。可编程比较器操作如图 7-5 所示。利用相应 DAC-x-CMP-MODE-CONFIG 寄存器中的 CMP-x-MODE 位，可以将各个比较器通道配置为无迟滞或有迟滞模式，如表 7-6 所示。

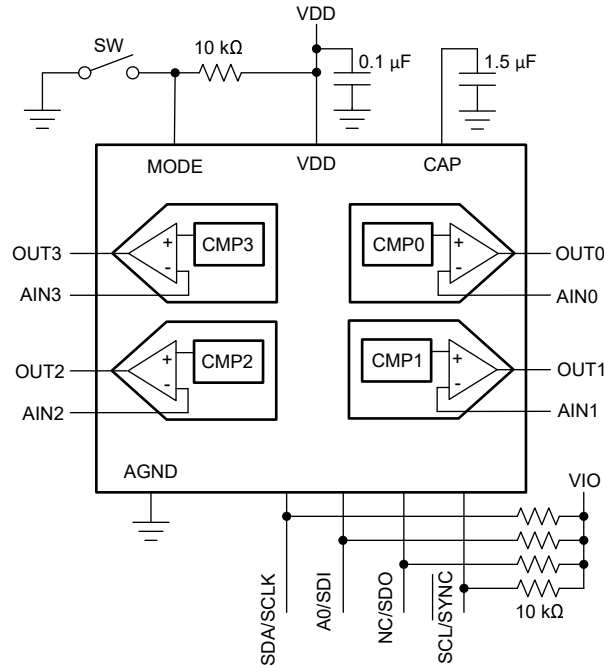


图 7-4. 比较器接口

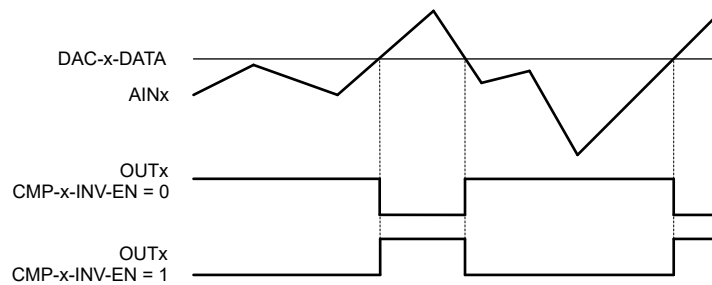


图 7-5. 可编程比较器操作

表 7-6. 比较器模式选择

CMP-x-MODE 位字段	比较器配置
00	正常比较器模式。无迟滞运行。
01	迟滞比较器模式（NVM 中不支持）。DAC-x-MARGIN-HIGH 和 DAC-x-MARGIN-LOW 寄存器可设置迟滞。
10	无效设置。
11	无效设置。

7.4.1.1 可编程迟滞比较器

当 CMP-x-MODE 位设置为 01b 时，比较器提供迟滞，如表 7-6 所示。迟滞由 DAC-x-MARGIN-HIGH 和 DAC-x-MARGIN-LOW 寄存器提供，如图 7-6 所示。

当 DAC-x-MARGIN-HIGH 设置为全代码或 DAC-x-MARGIN-LOW 设置为零代码时，比较器用作锁存比较器，即在超过阈值后锁存输出。通过写入 COMMON-DAC-TRIG 寄存器中相应的 RST-CMP-FLAG-x 位，可以复位锁存输出。图 7-7 展示了具有低电平有效输出的锁存比较器的行为，而图 7-8 展示了具有高电平有效输出的锁存比较器的行为。

备注

DAC-x-MARGIN-HIGH 寄存器的值必须大于 DAC-x-MARGIN-LOW 寄存器的值。迟滞模式下的比较器输出只能是同相的，即 DAC-x-VOULT-CMP-CONFIG 寄存器中的 CMP-x-INV-EN 位必须设置为 0。在锁存模式下，为了使复位生效，输入电压必须在 DAC-x-MARGIN-HIGH 和 DAC-x-MARGIN-LOW 范围内。

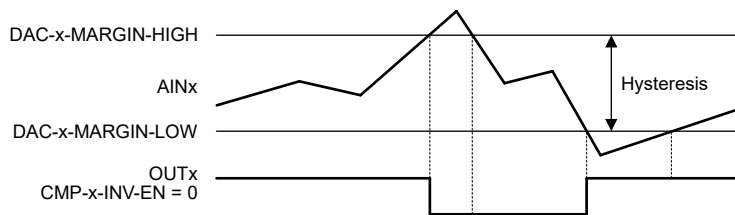


图 7-6. 不带锁存输出的可编程迟滞

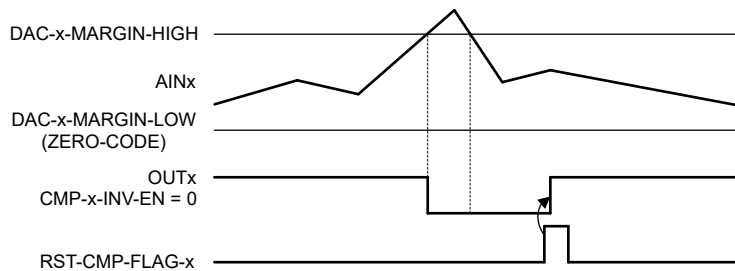


图 7-7. 具有低电平有效输出的锁存比较器

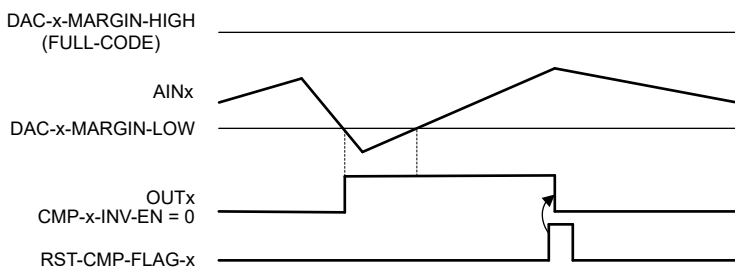


图 7-8. 具有高电平有效输出的锁存比较器

7.4.2 断电模式

通过 COMMON-CONFIG 寄存器中的 EN-INT-REF 和 VOUT-PDN-x 位，可以独立关断 DAC539E4W 中的比较器和内部基准，如图 7-2 所示。加电时，默认情况下会禁用 DAC 输出和内部基准。在断电模式下，比较器输出 (OUTx 引脚) 处于高阻抗状态。要将此状态更改为 $10\text{k}\Omega\text{-A}_{\text{GND}}$ 或 $100\text{k}\Omega\text{-A}_{\text{GND}}$ (上电时)，请使用 VOUT-PDN-x 位。

比较器上电状态可以使用 NVM 编程为任何状态 (断电或正常模式)。表 7-7 展示了比较器断电位。

表 7-7. 比较器断电位

寄存器	VOUT-PDN-x[1]	VOUT-PDN-x[0]	说明
COMMON-CONFIG	0	0	给通道 x 上电。
	0	1	通过 $10\text{k}\Omega$ 连接至 AGND，将通道 x 断电。
	1	0	通过 $100\text{k}\Omega$ 连接至 AGND，将通道 x 断电。
	1	1	将通道 x 断电至高阻态 (默认)。

7.5 编程

7.5.1 SPI 编程模式

通过将 $\overline{\text{SYNC}}$ 引脚置于低电平，可以启动 DAC539E4W 的 SPI 访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据在 SCLK 下降沿上传输。DAC539E4W 的 SPI 帧长度为 24 位。因此， $\overline{\text{SYNC}}$ 引脚必须保持低电平至少 24 个 SCLK 下降沿。当 $\overline{\text{SYNC}}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。默认情况下，SDO 引脚未启用（三线 SPI）。在三线 SPI 模式下，如果访问周期包含的时钟边沿大于最小值，则器件仅使用前 24 位。当 $\overline{\text{SYNC}}$ 为高电平时，SCLK 和 SDI 信号会被阻止，同时 SDO 变为高阻态，以允许从总线上连接的其他器件回读数据。

表 7-8 和图 7-9 介绍了 24 位 SPI 访问周期的格式。SDI 的第一个字节输入是指令周期。指令周期将请求标识为读或写命令以及要访问的 7 位地址。周期中的最后 16 位构成数据周期。

表 7-8. SPI 读/写访问周期

位	字段	说明
23	R/ $\overline{\text{W}}$	将通信标识为地址寄存器的读或写命令：R/ $\overline{\text{W}}$ = 0 设置写入操作。R/ $\overline{\text{W}}$ = 1 设置读取操作
22-16	A[6:0]	寄存器地址：指定在读取或写入操作期间要访问的寄存器
15-0	DI[15:0]	数据周期位：如果是写入命令，则数据周期位是要写入地址为 A[6:0] 的寄存器的值。如果是读取命令，则数据周期位为不用考虑值。

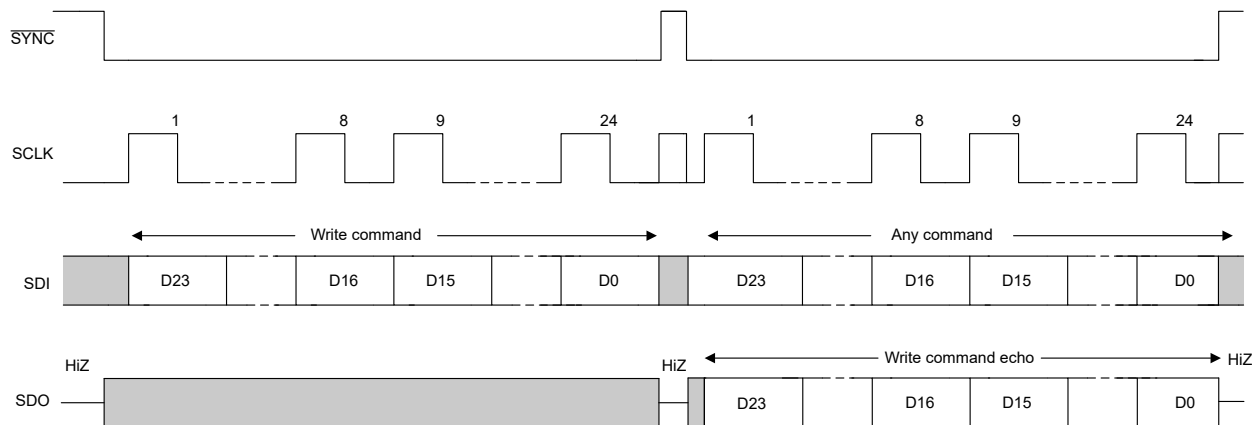


图 7-9. SPI 写入周期

读取操作要求首先通过设置 INTERFACE-CONFIG 寄存器中的 SDO-EN 位来启用 SDO 引脚。此配置称为四线 SPI。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据。表 7-9 和图 7-10 展示了输出数据格式。根据 FSDO 位，数据通过 SDO 引脚在 SCLK 的下降沿或上升沿输出；请参阅图 6-3。

表 7-9. SDO 输出访问周期

位	字段	说明
23	R/ $\overline{\text{W}}$	来自上一访问周期的回波 R/ $\overline{\text{W}}$
22-16	A[6:0]	来自上一访问周期的回波寄存器地址
15-0	DI[15:0]	上一访问周期中请求的回读数据

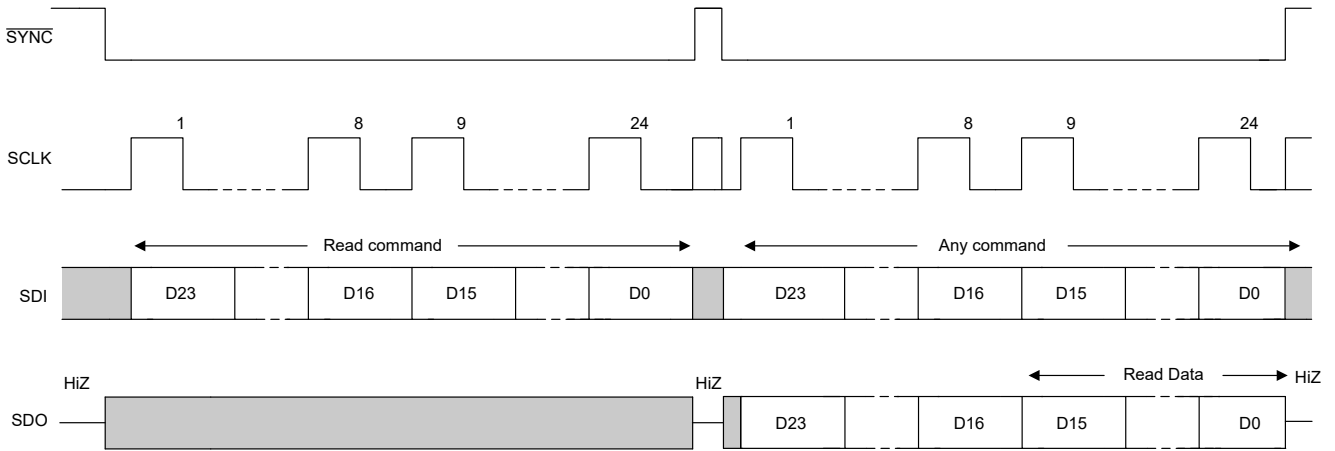


图 7-10. SPI 读取周期

菊花链操作也通过 SDO 引脚启用。在菊花链模式下，多个器件采用链式连接，其中一个器件的 SDO 引脚连接到以下器件的 SDI 引脚，如图 7-11 所示。SPI 主机驱动链中第一个器件的 SDI 引脚。链中最后一个器件的 SDO 引脚连接到 SPI 主机的 POCI 引脚。在四线 SPI 模式下，如果访问周期包含 24 个时钟边沿的倍数，则链中的第一个器件仅使用最后 24 个位。如果访问周期包含的时钟边沿不是 24 的倍数，则器件会忽略 SPI 数据包。图 7-12 介绍了菊花链写入周期的数据包格式。

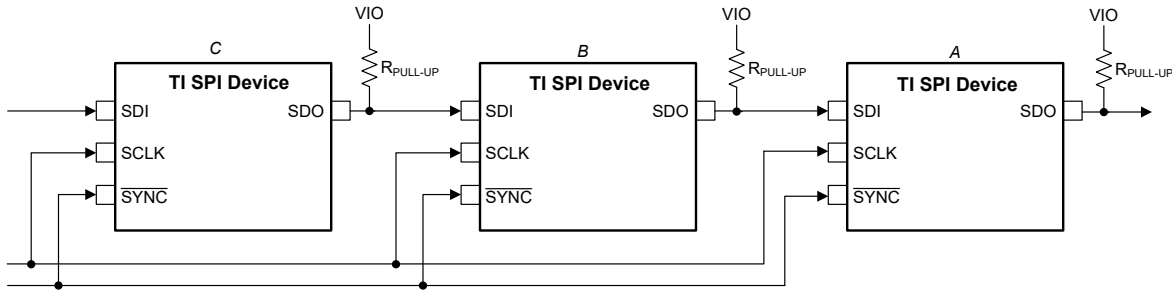


图 7-11. SPI 菊花链连接

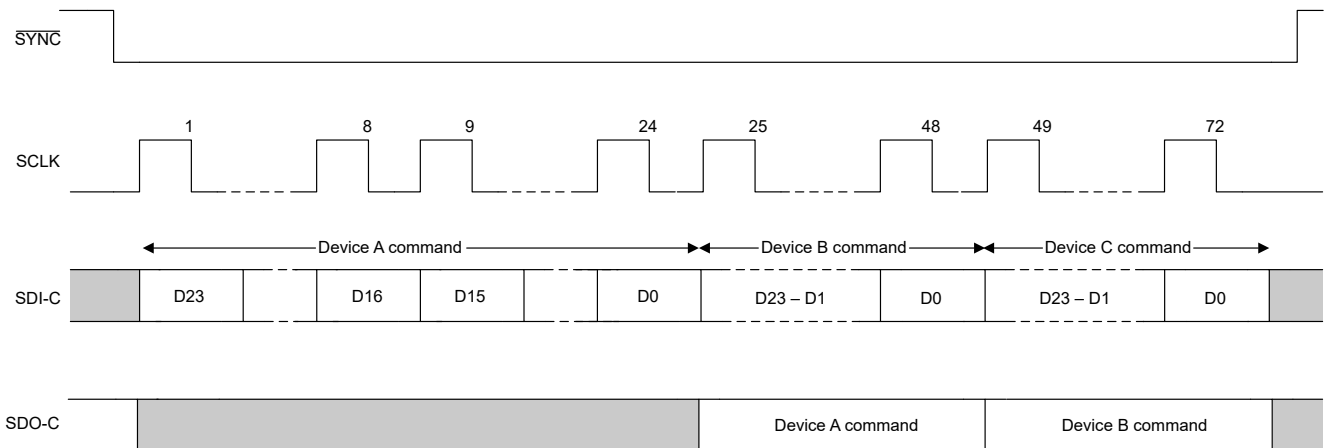


图 7-12. SPI 菊花链写入周期

7.5.2 I²C 编程模式

DAC539E4W 具有两线制串行接口 (SCL 和 SDA) 和一个地址引脚 (A0)，如 *引脚配置和功能* 部分的引脚图所示。I²C 总线由数据线 (SDA) 和带上拉结构的时钟线 (SCL) 组成。当总线空闲时，SDA 和 SCL 线都被拉高。所有与 I²C 兼容的器件通过开漏 I/O 引脚、SDA 和 SCL 连接到 I²C 总线。

I²C 规范规定控制通信的器件称为 *控制器*，而由控制器控制的器件称为 *目标器件*。控制器产生 SCL 信号。控制器还在总线上生成特殊的时序条件 (启动条件、重复启动条件和停止条件) 来指示数据传输的开始或停止。器件寻址由控制器完成。I²C 总线上的控制器通常是微控制器或数字信号处理器 (DSP)。DAC539E4W 作为目标器件在 I²C 总线上运行。目标器件确认控制器命令，并在控制器控制时接收或发送数据。

通常，DAC539E4W 充当目标接收器。控制器向 DAC539E4W (目标接收器) 写入数据。但是，如果控制器需要 DAC539E4W 内部寄存器数据，则 DAC539E4W 充当目标发送器。在这种情况下，控制器从 DAC539E4W 读取数据。根据 I²C 术语，读写是指控制器。

DAC539E4W 支持以下数据传输模式：

- 标准模式 (100Kbps)
- 快速模式 (400Kbps)
- 快速+ 模式 (1.0Mbps)

标准模式和快速模式的数据传输协议完全相同；因此，本文档中将这两种模式称为 *F/S 模式*。超快速模式协议在数据传输速度方面受支持，但在输出电流方面不受支持。与标准和快速模式的情况类似，低电平输出电流为 3mA。DAC539E4W 支持 7 位寻址。不支持 10 位寻址模式。该器件支持通用呼叫复位功能。发送以下序列会启动器件内的软件复位：启动或重复启动、0x00、0x06、停止。在 ACK 位的上升沿 (在第二个字节之后) 在器件内进行复位置位。

除了特定的时序信号外，I²C 接口还使用串行字节。在每个字节结束时，第九个时钟周期产生并检测确认信号。确认是指 SDA 线在第九个时钟周期的高电平期间被拉低。非确认是指 SDA 线在第九个时钟周期的高电平期间保持高电平，如图 7-13 所示。

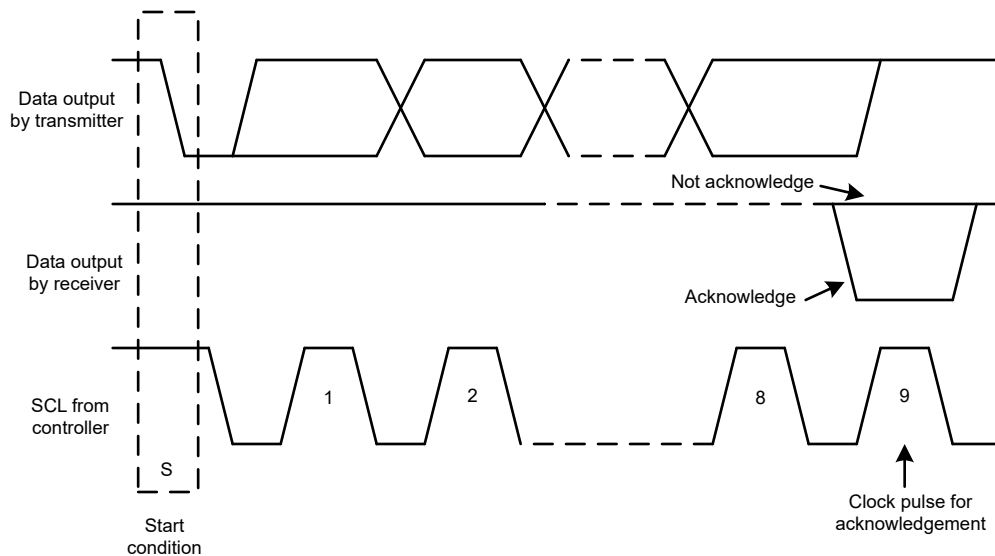


图 7-13. I²C 总线上的确认和非确认

7.5.2.1 F/S 模式协议

以下步骤说明了 F/S 模式下的完整事务。

1. 控制器通过产生启动条件来启动数据传输。启动条件是当 SCL 为高电平时在 SDA 线上发生从高到低的转换，如图 7-14 所示。所有与 I²C 兼容的器件都会识别启动条件。
2. 控制器随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取/写入方向位 (R/W)。在所有传输期间，控制器确保数据有效。有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定，如图 7-15 所示。所有器件都识别控制器发送的地址，并将其与相应内部固定地址进行比较。只有具有匹配地址的目标器件才会通过

在第 9 个 SCL 周期的整个高电平期间拉低 SDA 线来生成确认，如图 7-13 所示。当控制器检测到此确认时，则表示与目标的通信链路已建立。

3. 控制器产生更多的 SCL 周期，以便向目标器件发送 (R/\bar{W} 位为 0) 数据或接收 (R/\bar{W} 位为 1) 数据。在任一种情况下，接收器都必须确认发送器发送的数据。因此，确认信号可由控制器或目标器件生成，具体取决于哪一方是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，并可根据需要继续。
4. 为了用信号指示数据传输结束，控制器通过在 SCL 线处于高电平期间将 SDA 线从高电平拉低来产生停止条件，如图 7-14 所示。此操作将释放总线并停止与寻址的目标器件之间的通信链路。所有与 I²C 兼容的器件都会识别停止条件。在收到停止条件后，将释放总线，然后所有目标器件等待启动条件，接着是匹配的地址。

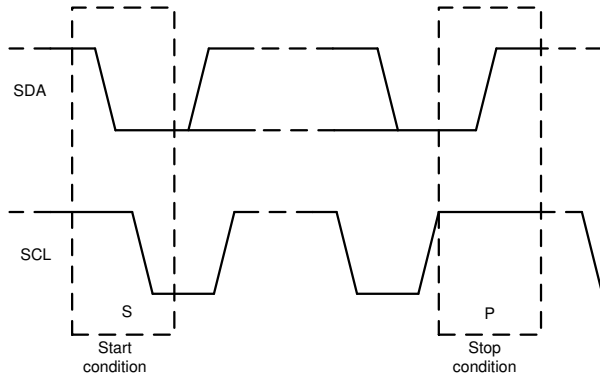


图 7-14. 启动和停止条件

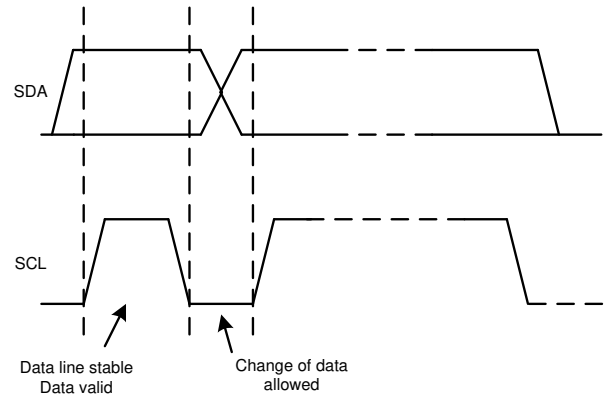


图 7-15. 在 I²C 总线上的位传输

7.5.2.2 I²C 更新序列

对于单次更新，DAC539E4W 需要一个开始条件、一个有效的 I²C 地址字节、一个命令字节以及两个数据字节，如表 7-10 中所示。

表 7-10. 更新序列

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
地址 (A) 字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				数据字节 - MSDB				数据字节 - LSDB			
DB [31:24]				DB [23:16]				DB [15:8]				DB [7:0]			

收到每个字节后，DAC539E4W 通过在单个时钟脉冲的高电平期间将 SDA 线拉至低电平来确认该字节，如图 7-16 所示。这四个字节和确认周期构成了单次更新所需的 36 个时钟周期。一个有效的 I²C 地址字节选择 DAC539E4W。

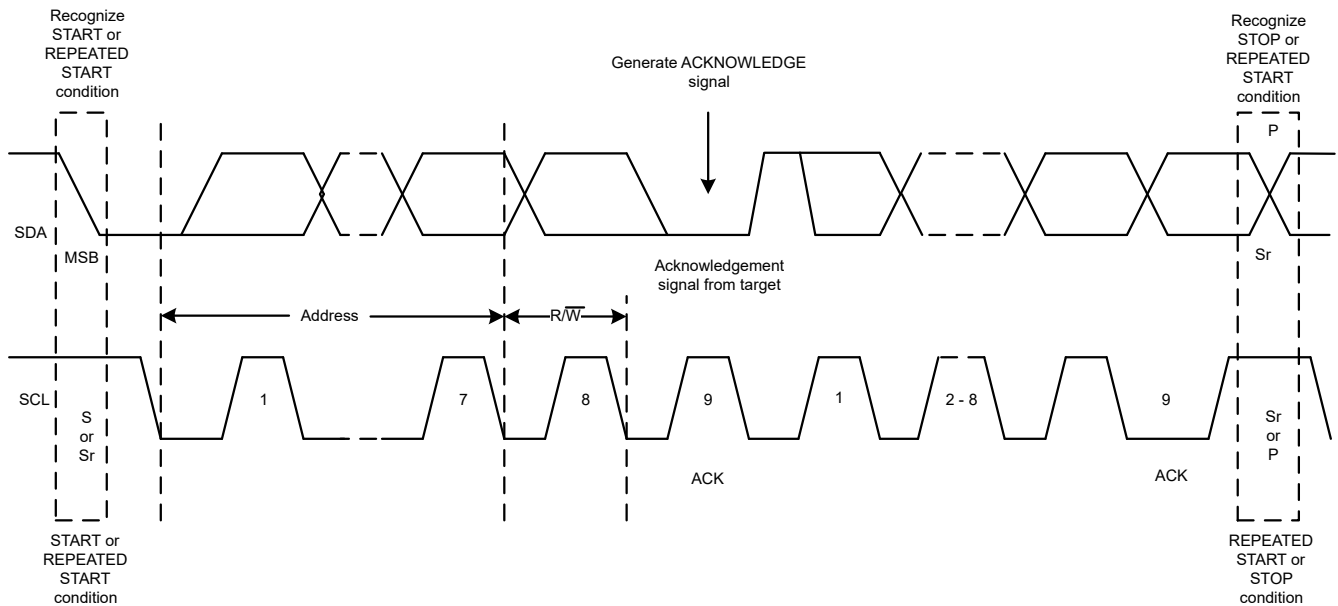


图 7-16. I²C 总线协议

命令字节设置所选 DAC539E4W 器件的工作模式。如果要在通过该字节选择工作模式时进行数据更新，DAC539E4W 器件必须接收两个数据字节：最高有效数据字节 (MSDB) 和最低有效数据字节 (LSDB)。DAC539E4W 器件在 LSDB 之后的确认信号下降沿执行更新。

使用快速模式 (时钟 = 400kHz) 时，最大 DAC 更新速率限制为 10kSPS。使用超快速模式 (时钟 = 1MHz) 时，最大 DAC 更新速率限制为 25kSPS。收到停止条件后，DAC539E4W 器件将释放 I²C 总线并等待新的启动条件。

7.5.2.2.1 地址字节

地址字节 (如表 7-11 所示) 是在启动条件之后从控制器器件接收的第一个字节。地址的前四位 (MSB) 出厂预设为 1001b。地址的接下来三位由 A0 引脚控制。A0 引脚输入可以连接到 VDD、AGND、SCL 或 SDA。在每个数据帧的第一个字节期间对 A0 引脚进行采样以确定地址。该器件会锁存地址引脚的值, 因此会根据表 7-12 响应该特定地址。

表 7-11. 地址字节

注释	MSB							LSB
	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
—								R/W
一般地址	1	0	0	1	请参阅表 7-12 (目标地址列)			0 或 1
广播地址	1	0	0	0	1	1	1	0

表 7-12. 地址格式

目标地址	A0 引脚
000	AGND
001	VDD
010	SDA
011	SCL

DAC539E4W 支持使用广播地址来同步更新或关闭多个 DAC539E4W 器件。使用广播地址时, 无论地址引脚状态如何, DAC539E4W 都会进行响应。仅在写入模式下支持广播。

7.5.2.2.2 命令字节

寄存器映射部分中的寄存器名称表列出了 ADDRESS 列中的命令字节。

7.5.2.3 I²C 读取序列

要读取任何寄存器, 必须使用以下命令序列:

1. 发送启动或重复启动命令 (使用目标器件地址并将 R/W 位设置为 0 以进行写入)。该器件将确认此事件。
2. 针对要读取的寄存器发送一个命令字节。该器件将再次确认此事件。
3. 发送重复启动命令 (使用目标器件地址并将 R/W 位设置为 1 以进行读取)。该器件将确认此事件。
4. 该器件将写入寻址到的寄存器的 MSDB 字节。控制器必须确认此字节。
5. 最后, 该器件将写出寄存器的 LSDB。

广播地址不能用于读取。

表 7-13. 读取序列

S	MSB	...	R/W (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/W (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	
	地址字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				Sr	地址字节 节 7.5.2.2.1				MSDB				LSDB				
来自控制器				目标	来自控制器				目标	来自控制器				目标	来自目标器件			控制器	来自目标器件			控制器

7.6 寄存器映射

表 7-14. 寄存器映射

寄存器	最高有效数据字节 (MSDB)								最低有效数据字节 (LSDB)								
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
NOP	NOP																
DAC-x-MARGIN-HIGH	DAC-x-MARGIN-HIGH												X				
DAC-x-MARGIN-LOW	DAC-x-MARGIN-LOW												X				
DAC-x-VOUT-CMP-CONFIG	X		VOUT-GAIN-x				X					CMP-x-OD-EN	CMP-x-OUT-EN	CMP-x-HIZ-IN-DIS	CMP-x-INV-EN	CMP-x-EN	
DAC-x-CMP-MODE-CONFIG	X				CMP-x-MODE				X								
COMMON-CONFIG	保留	DEV-LOCK	保留	EN-INT-REF	VOUT-PDN-3		保留	VOUT-PDN-2		保留	VOUT-PDN-1		保留	VOUT-PDN-0		保留	
COMMON-TRIGGER	DEV-UNLOCK				重置				保留						NVM-PROG	NVM-RELOAD	
COMMON-DAC-TRIG	RST-CMP-FLAG-0	保留			RST-CMP-FLAG-1	保留			RST-CMP-FLAG-2	保留			RST-CMP-FLAG-3	保留			
GENERAL-STATUS	NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-3-BUSY	DAC-2-BUSY	DAC-1-BUSY	DAC-0-BUSY	NVM-BUSY	DEVICE-ID						VERSION-ID		
CMP-STATUS	X										CMP-FLAG-3	CMP-FLAG-2	CMP-FLAG-1	CMP-FLAG-0			
DEVICE-MODE-CONFIG	保留		DIS-MODE-IN	保留						X							
INTERFACE-CONFIG	X			TIMEOUT-EN	X										FSDO-EN	X	SDO-EN
STATE-MACHINE-CONFIG0	保留												SM-ABORT	SM-START	SM-EN		
SRAM-CONFIG	X								SRAM-ADDR								
SRAM-DATA	SRAM-DATA																
DAC-x-DATA	DAC-x-DATA												X				
LUT-x-DATA	保留												LUT-x-DATA				
LOOP-WAIT	保留										LOOP-WAIT						

备注：阴影单元格表示存储在 NVM 中的寄存器位或字段。

备注：X = 不用考虑。

表 7-15. 寄存器名称

I ² C/SPI 地址	SRAM 地址	寄存器名称	章节
00h	—	NOP	节 7.6.1
01h	—	DAC-0-MARGIN-HIGH	节 7.6.2
02h	—	DAC-0-MARGIN_LOW	节 7.6.3
03h	—	DAC-0-VOUT-CMP-CONFIG	节 7.6.4
05h	—	DAC-0-CMP-MODE-CONFIG	节 7.6.5
07h	—	DAC-1-MARGIN-HIGH	节 7.6.2
08h	—	DAC-1-MARGIN_LOW	节 7.6.3
09h	—	DAC-1-VOUT-CMP-CONFIG	节 7.6.4
0Bh	—	DAC-1-CMP-MODE-CONFIG	节 7.6.5
0Dh	—	DAC-2-MARGIN-HIGH	节 7.6.2
0Eh	—	DAC-2-MARGIN_LOW	节 7.6.3
0Fh	—	DAC-2-VOUT-CMP-CONFIG	节 7.6.4
11h	—	DAC-2-CMP-MODE-CONFIG	节 7.6.5
13h	—	DAC-3-MARGIN-HIGH	节 7.6.2
14h	—	DAC-3-MARGIN_LOW	节 7.6.3
15h	—	DAC-3-VOUT-CMP-CONFIG	节 7.6.4
17h	—	DAC-3-CMP-MODE-CONFIG	节 7.6.5
1Fh	—	COMMON-CONFIG	节 7.6.6
20h	—	COMMON-TRIGGER	节 7.6.7
21h	—	COMMON-DAC-TRIG	节 7.6.8
22h	—	GENERAL-STATUS	节 7.6.9
23h	—	CMP-STATUS	节 7.6.10
25h	—	DEVICE-MODE-CONFIG	节 7.6.11
26h	—	INTERFACE-CONFIG	节 7.6.12
27h	—	STATE-MACHINE-CONFIG0	节 7.6.13
2Bh	—	SRAM-CONFIG	节 7.6.14
2Ch	—	SRAM-DATA	节 7.6.15
—	0x21	DAC-0-DATA	节 7.6.16
—	0x22	DAC-1-DATA	节 7.6.16
—	0x23	DAC-2-DATA	节 7.6.16
—	0x24	DAC-3-DATA	节 7.6.16
—	0x25	LUT-0-DATA	节 7.6.17

表 7-15. 寄存器名称 (continued)

I ² C/SPI 地址	SRAM 地址	寄存器名称	章节
—	0x26	LUT-1-DATA	节 7.6.17
—	0x27	LUT-2-DATA	节 7.6.17
—	0x28	LUT-3-DATA	节 7.6.17
—	0x29	LUT-4-DATA	节 7.6.17
—	0x2A	LUT-5-DATA	节 7.6.17
—	0x2B	LUT-6-DATA	节 7.6.17
—	0x2C	LUT-7-DATA	节 7.6.17
—	0x2D	LUT-8-DATA	节 7.6.17
—	0x2E	LUT-9-DATA	节 7.6.17
—	0x2F	LUT-10-DATA	节 7.6.17
—	0x30	LUT-11-DATA	节 7.6.17
—	0x31	LUT-12-DATA	节 7.6.17
—	0x32	LUT-13-DATA	节 7.6.17
—	0x33	LUT-14-DATA	节 7.6.17
—	0x34	LUT-15-DATA	节 7.6.17
—	0x35	LOOP-WAIT	节 7.6.18

7.6.1 NOP 寄存器 (地址 = 00h) [复位 = 0000h]

图 7-17. NOP 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
R/W-0h															

表 7-16. NOP 寄存器字段说明

位	字段	类型	复位	说明
15-0	NOP	R/W	0000h	无操作

7.6.2 DAC-x-MARGIN-HIGH 寄存器 (地址 = 01h、07h、0Dh、13h) [复位 = 0000h]

图 7-18. DAC-x-MARGIN-HIGH 寄存器 (x = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-x-MARGIN-HIGH[9:0]													X		
R/W-0h													X-0h		

表 7-17. DAC-x-MARGIN-HIGH 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-x-MARGIN-HIGH[9:0]	R/W	000h	阈值 DAC 的裕度高代码。 数据采用直接二进制格式。MSB 左对齐。 使用以下位对齐方式： {DAC-x-MARGIN-HIGH[9:0], X, X} X = 不用考虑位。
3-0	X	X	0	不用考虑

7.6.3 DAC-x-MARGIN-LOW 寄存器 (地址 = 02h、08h、0Eh、14h) [复位 = 0000h]

图 7-19. DAC-x-MARGIN-LOW 寄存器 (x = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-x-MARGIN-LOW[9:0]													X		
R/W-0h													X-0h		

表 7-18. DAC-x-MARGIN-LOW 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-x-MARGIN-LOW[9:0]	R/W	000h	阈值 DAC 的裕度低代码。 数据采用直接二进制格式。MSB 左对齐。 使用以下位对齐方式： {DAC-x-MARGIN-LOW[9:0], X, X} X = 不用考虑位。
3-0	X	X	0	不用考虑

7.6.4 DAC-x-VOUT-CMP-CONFIG 寄存器 (地址 = 03h、09h、0Fh、15h) [复位 = 0401h]

图 7-20. DAC-x-VOUT-CMP-CONFIG 寄存器 (x = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		VOUT-GAIN-x				X			CMP-x-OD-EN		CMP-x-OUT-EN	CMP-x-HIZ-IN-DIS	CMP-x-INV-EN	CMP-x-EN	
X-0h		R/W-001				X-0h			R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-1	

表 7-19. DAC-X-VOUT-CMP-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑。
12-10	VOUT-GAIN-x	R/W	001	000 : 增益 = 1 × , MODE 引脚上的外部基准。 001 : 增益 = 1 × , VDD 作为基准。 010 : 增益 = 1.5 × , 内部基准。 011 : 增益 = 2 × , 内部基准。 100 : 增益 = 3 × , 内部基准。 101 : 增益 = 4 × , 内部基准。 其他 : 不适用。
9-5	X	X	0h	不用考虑。
4	CMP-x-OD-EN	R/W	0	1 : 将 OUTx 引脚设置为比较器模式下的开漏输出 (CMP-x-EN = 1 和 CMP-x-OUT-EN = 1)。 0 : 将 OUTx 引脚设置为推挽输出。
3	CMP-x-OUT-EN	R/W	0	1 : 将比较器输出连接到相应的 OUTx 引脚。 0 : 生成比较器输出, 但在内部使用。
2	CMP-x-HIZ-IN-DIS	R/W	0	0 : AINx 输入具有高阻抗。输入电压范围受限。 1 : AINx 输入连接到电阻分压器并具有有限阻抗。输入电压范围与满量程相同。
1	CMP-x-INV-EN	R/W	0	1 : 反转比较器输出。 0 : 不反转比较器输出。
0	CMP-x-EN	R/W	1	1 : 启用比较器。 0 : 禁用比较器。

7.6.5 DAC-x-CMP-MODE-CONFIG 寄存器 (地址 = 05h、0Bh、11h、17h) [复位 = 0000h]

图 7-21. DAC-x-CMP-MODE-CONFIG 寄存器 (x = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		CMP-x-MODE				X									
X-0h		R/W-0h				X-0h									

表 7-20. DAC-x-CMP-MODE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-12	X	X	00h	不用考虑。
11-10	CMP-x-MODE	R/W	00	00 : 无迟滞功能。 01 : 使用 DAC-x-MARGIN-HIGH 和 DAC-x-MARGIN-LOW 寄存器提供的迟滞。 其他 : 无效设置。
9-0	X	X	000h	不用考虑。

7.6.6 COMMON-CONFIG 寄存器 (地址 = 1Fh) [复位 = 1249h]

图 7-22. COMMON-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED	DEV-LOCK	保留	EN-INT-REF	VOUT-PDN-3	保留	VOUT-PDN-2	保留	VOUT-PDN-1	保留	VOUT-PDN-0	RESERVED				
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-21. COMMON-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R/W	0	始终写入 0。
14	DEV-LOCK	R/W	0	0：器件未锁定 1：器件锁定，器件会锁定所有寄存器。要将此位重设为 0（解锁器件），需先将解锁代码写入 COMMON-TRIGGER 寄存器的 DEV-UNLOCK 字段，然后向 DEV-LOCK 位写入 0。
13	RESERVED	R/W	0	始终写入 0。
12	EN-INT-REF	R/W	000	0：禁用内部基准 1：启用内部基准。在使用内部基准增益设置之前，必须设置此位。
11-10、8-7、5-4、2-1	VOUT-PDN-x	R/W	00	00：为 VOUT-x 上电。 01：通过 10KΩ 连接至 AGND，将 VOUT-x 断电。 10：通过 100KΩ 连接至 AGND，将 VOUT-x 断电。 11：通过高阻态连接至 AGND，将 VOUT-x 断电。
9、6、3、0	RESERVED	R/W	1	始终写入 1。

7.6.7 COMMON-TRIGGER 寄存器 (地址 = 20h) [复位 = 0000h]

图 7-23. COMMON-TRIGGER 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV-UNLOCK				重置				保留				NVM-PROG	NVM-RELOAD		
R/W-0h				R/W-0h				R/W-0h				R/W-0h	R/W-0h		

表 7-22. COMMON-TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-12	DEV-UNLOCK	R/W	0000	0101：器件解锁密码。 其他：不用考虑。
11-8	复位	W	0000	1010：触发 POR 复位。此字段会自行复位。 其他：不用考虑。
7-2	RESERVED	R/W	0	始终写入 0。
1	NVM-PROG	R/W	0	0：不触发 NVM 写入。 1：触发 NVM 写入。此位会自行复位。
0	NVM-RELOAD	R/W	0	0：不触发 NVM 重新加载。 1：将数据从 NVM 重新加载到寄存器映射。此位会自行复位。

7.6.8 COMMON-DAC-TRIG 寄存器 (地址 = 21h) [复位 = 0000h]

图 7-24. COMMON-DAC-TRIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RST-CMP-FLAG-0	保留			RST-CMP-FLAG-1	保留			RST-CMP-FLAG-2	保留			RST-CMP-FLAG-3	保留		
W-0h	W-0h			W-0h	W-0h			W-0h	W-0h			W-0h	W-0h		

表 7-23. COMMON-DAC-TRIG 寄存器字段说明

位	字段	类型	复位	说明
15、11、7、3	RST-CMP-FLAG-x	W	0	0：锁存比较器输出不受影响。 1：复位锁存比较器输出。此位会自行复位。
14、13、10、9、8、6、5、4、2、1、0	保留	W	0	始终写入 0。

7.6.9 GENERAL-STATUS 寄存器 (地址 = 22h) [复位 = 00h、DEVICE-ID、VERSION-ID]

图 7-25. GENERAL-STATUS 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-3-BUSY	DAC-2-BUSY	DAC-1-BUSY	DAC-0-BUSY	NVM-BUSY	DEVICE-ID						VERSION-ID		
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R						R-0h		

表 7-24. GENERAL-STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	NVM-CRC-FAIL-INT	R	0	0：OTP 中无 CRC 错误 1：表示 OTP 加载失败。软件复位或下电上电可在发生临时故障时使器件脱离此状态。
14	NVM-CRC-FAIL-USER	R	0	0：NVM 加载中无 CRC 错误 1：表示 NVM 加载失败。寄存器设置已损坏。该器件允许在该错误条件下执行所有操作。重新对 NVM 进行编程以获得原始状态。软件复位可使器件摆脱此临时错误状态。
13	X	R	0	不用考虑
12	DAC-3-BUSY	R	0	0：DAC-3 通道可接受命令 1：DAC-3 通道不接受命令
11	DAC-2-BUSY	R	0	0：DAC-2 通道可接受命令 1：DAC-2 通道不接受命令
10	DAC-1-BUSY	R	0	0：DAC-1 通道可接受命令 1：DAC-1 通道不接受命令
9	DAC-0-BUSY	R	0	0：DAC-0 通道可接受命令 1：DAC-0 通道不接受命令
8	NVM-BUSY	R	0	0：NVM 可用于读取和写入。 1：NVM 不可用于读取或写入。
7-2	DEVICE-ID	R	DAC539E4W : 1Bh	器件标识符。
1-0	VERSION-ID	R	00	版本标识符。

7.6.10 CMP-STATUS 寄存器 (地址 = 23h) [复位 = 0000h]

图 7-26. CMP-STATUS 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X												CMP-FLAG-3	CMP-FLAG-2	CMP-FLAG-1	CMP-FLAG-0
X-0h												R-0h	R-0h	R-0h	R-0h

表 7-25. CMP-STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-4	X	X	0	不用考虑。
3、2、1、0	CMP-FLAG-x	R	0	来自相应通道的同步比较器输出。

7.6.11 DEVICE-MODE-CONFIG 寄存器 (地址 = 25h) [复位 = 8040h]

图 7-27. DEVICE-MODE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED		DIS-MODE-IN	保留									X			
R/W-10		R/W-0h	R/W-02h									X-0h			

表 7-26. DEVICE-MODE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R/W	10	始终写入 10b
13	DIS-MODE-IN	R/W	0	0 : 启用 MODE 功能。 1 : 禁用 MODE 功能。
12-5	RESERVED	R/W	02h	始终写入 02h。
4-0	X	R/W	00h	不用考虑。

7.6.12 INTERFACE-CONFIG 寄存器 (地址 = 26h) [复位 = 0000h]

图 7-28. INTERFACE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X			TIMEOUT-EN	X							FSDO-EN	X	SDO-EN		
X-0h			R/W-0h		X-0h					R/W-0h		X-0h	R/W-0h		

表 7-27. INTERFACE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑。
12	TIMEOUT-EN	R/W	0	0: 禁用 I ² C 超时。 1: 启用 I ² C 超时。
11-3	X	X	0h	不用考虑。
2	FSDO-EN	R/W	0	0: 禁用快速 SDO。 1: 启用快速 SDO。
1	X	X	0	不用考虑。
0	SDO-EN	R/W	0	0: 禁用 SDO。 1: 启用 SDO。

7.6.13 STATE-MACHINE-CONFIG0 寄存器 (地址 = 27h) [复位 = 0003h]

图 7-29. STATE-MACHINE-CONFIG0 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED												SM-ABORT	SM-START	SM-EN	
R/W-0h												R/W-0h	R/W-0h	R/W-0h	

表 7-28. STATE-MACHINE-CONFIG0 寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R/W	0000h	始终写入 0。
2	SM-ABORT	R/W	0	0: 状态机未中止。 1: 状态机已中止。
1	SM-START	R/W	0	0: 状态机已停止。 1: 状态机已启动。必须使用 SM-EN 位来启用状态机。
0	SM-EN	R/W	0	0: 状态机已禁用。 1: 状态机已启用。

7.6.14 SRAM-CONFIG 寄存器 (地址 = 2Bh) [复位 = 0000h]

图 7-30. SRAM-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X								SRAM-ADDR							
X-00h								R/W-00h							

表 7-29. SRAM-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-8	X	X	00h	不用考虑。
7-0	SRAM-ADDR	R/W	00h	8 位 SRAM 地址。写入此寄存器字段将配置接下来要访问的 SRAM 地址。此地址会在写入 SRAM 后自动递增。

7.6.15 SRAM-DATA 寄存器 (地址 = 2Ch) [复位 = 0000h]

图 7-31. SRAM-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

图 7-31. SRAM-DATA 寄存器 (continued)

SRAM-DATA
R/W-0h

表 7-30. SRAM-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-0	SRAM-DATA	R/W	0h	16 位 SRAM 数据。此数据会写入 SRAM-CONFIG 寄存器中配置的地址或从该地址读取。

7.6.16 DAC-x-DATA 寄存器 (SRAM 地址 = 21h、22h、23h、24h) [复位 = 800h]

备注

此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-32. DAC-x-DATA 寄存器 (x = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-x-DATA[9:0]												X			
R/W-800h												X-0h			

表 7-31. DAC-x-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-x-DATA[9:0]	R/W	800h	阈值 DAC 的数据 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐方式： {DAC-x-DATA[9:0], X, X} X = 不用考虑位。
3-0	X	X	0h	不用考虑。

7.6.17 LUT-x-DATA 寄存器 (SRAM 地址 = 25h 至 34h) [复位 = (请参阅寄存器说明)]

备注

此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-33. LUT-x-DATA 寄存器 (x = 0、1、2、3、4、5、6、7、8、9、10、11、12、12、13、14、15)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED											LUT-x-DATA				
R/W-0h											R/W				

表 7-32. LUT-X-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R/W	000h	始终写入 000h。
3-0	LUT-0-DATA	R/W	0h	查找表数据 0。
3-0	LUT-1-DATA	R/W	1h	查找表数据 1。
3-0	LUT-2-DATA	R/W	2h	查找表数据 2。
3-0	LUT-3-DATA	R/W	3h	查找表数据 3。
3-0	LUT-4-DATA	R/W	4h	查找表数据 4。
3-0	LUT-5-DATA	R/W	5h	查找表数据 5。
3-0	LUT-6-DATA	R/W	6h	查找表数据 6。
3-0	LUT-7-DATA	R/W	7h	查找表数据 7。
3-0	LUT-8-DATA	R/W	8h	查找表数据 8。
3-0	LUT-9-DATA	R/W	9h	查找表数据 9。
3-0	LUT-10-DATA	R/W	Ah	查找表数据 10。
3-0	LUT-11-DATA	R/W	Bh	查找表数据 11。
3-0	LUT-12-DATA	R/W	Ch	查找表数据 12。
3-0	LUT-13-DATA	R/W	Dh	查找表数据 13。
3-0	LUT-14-DATA	R/W	Eh	查找表数据 14。
3-0	LUT-15-DATA	R/W	Fh	查找表数据 15。

7.6.18 LOOP-WAIT 寄存器 (SRAM 地址 = 35h) [复位 = 0000h]

备注

此寄存器地址映射到 SRAM。使用 SRAM-CONFIG 和 SRAM-DATA 寄存器进行读写。

图 7-34. LOOP-WAIT 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED											LOOP-REFRESH				
R/W-000h											R/W-00h				

表 7-33. LOOP-WAIT 寄存器字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R/W	000h	始终写入 000h。
4-0	LOOP-REFRESH	R/W	00h	比较器输出和 GPO 变化之间的额外延迟，根据方程 4 进行计算，单位为秒。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

DAC539E4W 是一款四通道、缓冲型、强制检测输出、电压输出智能 DAC，包含 NVM 和内部基准，采用微型 1.75mm × 1.75mm 封装。该器件配置为特定于应用且基于 LUT 的独立故障管理控制器。四个 DAC 通道配置为可编程比较器 (CMPx)，每个比较器都具有独立配置的 10 位阈值。四个比较器输出可控制一个内部 LUT 来配置四个 GPO。LUT 值和比较器阈值由 I²C 或 SPI 进行编程，并存储在 NVM 中。GPO 与数字通信引脚实现多路复用。MODE 引脚决定器件是处于编程模式还是独立模式。

8.2 典型应用

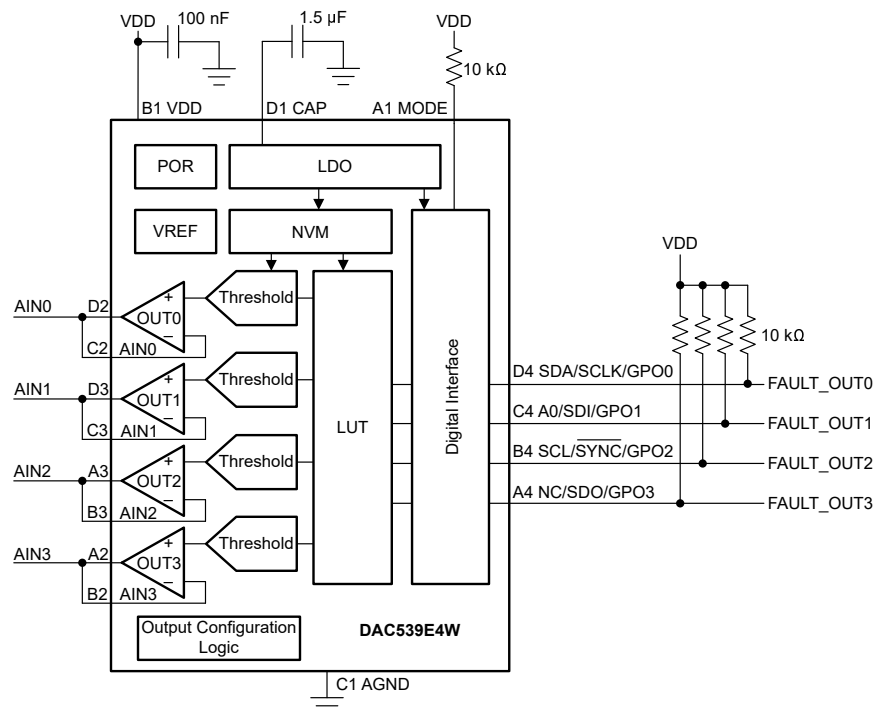


图 8-1. 基于 LUT 的独立故障管理电路

此设计采用 DAC539E4W 监控四个模拟输入电压，并根据 16 位 LUT 在 GPO 引脚上输出 4 位故障代码。DAC539E4W 输出缓冲器具有通过模拟输入 (AINx) 引脚的外露反馈路径，这些引脚充当比较器的电压输入。DAC 输出连接到输出缓冲器的非反相输入，并设置用户可编程的比较器阈值。使用该电路可传达无绳电动工具、扫地机器人、空气净化器和加湿器等应用中的故障。图 8-1 展示了此应用的原理图示例。该原理图连接了 AINx 和 OUTx 引脚，以便可以按照图 8-3 中所示进行布线。这种布局策略消除了对焊盘内过孔和多层电路板的需求，因此降低了制造成本；对于成本敏感的应用来说这是一项出色的特性。

8.2.1 设计要求

表 8-1. 设计参数

参数	值
阈值 0	1V
Threshold 1	2V
Threshold 2	3V

表 8-1. 设计参数 (continued)

参数	值
阈值 3	4V
循环刷新	41ms
故障输出	请参阅查找表 (表 8-3)

8.2.2 详细设计过程

GPO 引脚为开漏输出。必须使用外部电阻器将这些引脚上拉至所需的 IO 电压。

此示例连接了 AIN_x 和 OUT_x 引脚以简化布线。必须禁用 OUT_x 引脚作为比较器输出，方法是将 DAC-x-VOUT-CMP-CONFIG 寄存器中的 CMP-x-OUT-EN 位设置为 0 (这是默认设置)。

可以使用 [方程式 5](#) 来计算 DAC-x-DATA 中存储的阈值代码。

$$THRESHOLD = \frac{V_{THLD} \times 2^N}{V_{REF} \times GAIN} \quad (5)$$

DAC539E4W 是一个 10 位器件，这意味着最大 DAC 代码为 1023d。对于 1V V_{THLD}，DAC-0-DATA 通过 [方程式 6](#) 计算得出。

$$THRESHOLD = \frac{1V \times 2^{10}}{5V} = 204.8d \quad (6)$$

该结果四舍五入为 205d (0x0CD)。[表 8-2](#) 列出了其余阈值的代码。

表 8-2. 阈值代码

阈值电压	DAC-x-DATA[9:0]
1V	0x0CD
2V	0x19A
3V	0x266
4V	0x333

AINx 输入连接到输出缓冲器的反相输入，阈值电压连接到非反相输入。默认情况下，当 AINx 上的电压低于阈值电压时，比较器输出为高电平。此示例通过将 DAC-x-VOUT-CMP-CONFIG 寄存器中的 CMP-x-INV-EN 位设置为 1 来反转比较器输出。

默认情况下，AINx 输入为高阻抗，并且输入电压范围受到限制。此示例将 DAC-x-VOUT-CMP-CONFIG 寄存器中的 CMP-x-HIZ-IN-DIS 位设置为 1，以将 AINx 输入连接到有限阻抗。输入电压范围为 0 至 $V_{REF} \times$ 增益。

表 7-1 展示了此示例中使用的 LUT 配置。此示例应用使用四个不同的错误代码，其中 0b0000 表示没有错误。当 CMP0 和 CMP1 输出为高电平时，GPO 输出 0b0011。当 CMP2 为高电平时，GPO 输出 0b0100。当所有比较器输出均为高电平时，GPO 输出 0b1111。所有其他情况下输出 0b0000。表 8-3 展示了此示例的 LUT 设置。

表 8-3. GPO LUT 的比较器输入

比较器输出状态 CMP3、CMP2、CMP1、CMP0	输出 GPO3、GPO2、GPO1、 GPO0
0b0000	LUT-0-DATA : 0b0000
0b0001	LUT-1-DATA : 0b0000
0b0010	LUT-2-DATA : 0b0000
0b0011	LUT-3-DATA : 0b0011
0b0100	LUT-4-DATA : 0b0100
0b0101	LUT-5-DATA : 0b0100
0b0110	LUT-6-DATA : 0b0100
0b0111	LUT-7-DATA : 0b0100
0b1000	LUT-8-DATA : 0b0000
0b1001	LUT-9-DATA : 0b0000
0b1010	LUT-10-DATA : 0b0000
0b1011	LUT-11-DATA : 0b0000
0b1100	LUT-12-DATA : 0b0100
0b1101	LUT-13-DATA : 0b0100
0b1110	LUT-14-DATA : 0b0100
0b1111	LUT-15-DATA : 0b1111

在连续循环中读取 CMPx 输出并更新 GPO。循环刷新延迟可用于降低循环频率，以避免 AINx 引脚上的电压稳定时输出上出现任何开关噪声。计时器为 5 位，存储在 LOOP-WAIT SRAM 寄存器中。根据 [方程式 4](#) 来计算延迟。将 LOOP-REFRESH 代码设置为 19d 可得到 41ms 延迟。

设置 DAC539E4W 上的寄存器时，应遵循以下指导原则：

- 通过向 STATE-MACHINE-CONFIG0 寄存器写入 0，可在更新应用参数之前停止状态机。
- 设置 [表 8-4](#) 中所示的所有应用参数。必须使用这些位置在 NVM 中保存设置。
- LUT 位置 LUT-0-DATA、LUT-1-DATA 和 LUT-15-DATA 分别对应 CMP3、CMP2、CMP1 和 CMP0 (等于 0b0000、0b0001 和 0b1111)。
- 在 DAC-x-VOUT-CMP-CONFIG 寄存器中配置所有通道的基准。通过将同一寄存器中的 CMP-x-EN 位设置为 1，可将每个通道配置为在比较器模式下运行。
- 使用 COMMON-CONFIG 寄存器为比较器输出上电。
- 将 DEVICE-MODE-CONFIG 寄存器设置为 0x8040。
- 通过将 0003h 写入 STATE-MACHINE-CONFIG0 来启动状态机。
- 通过将 COMMON-TRIGGER 寄存器 (0x20) 中的 NVM-PROG 位设置为 1 来触发 NVM 写操作。

表 8-4. 应用参数

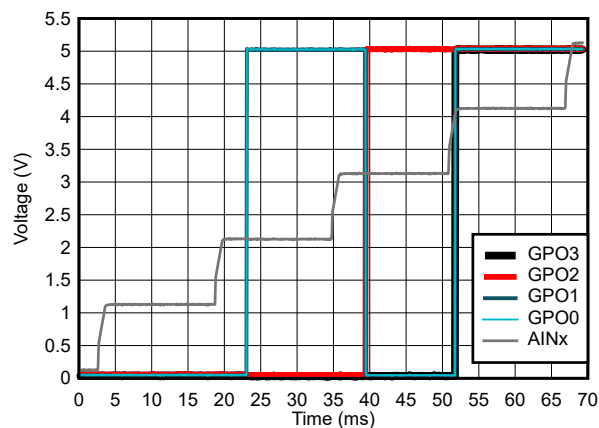
寄存器名称	地址 [位]	地址位置
DAC-0-DATA	0x21[15:6]	SRAM
DAC-1-DATA	0x22[15:6]	SRAM
DAC-2-DATA	0x23[15:0]	SRAM
DAC-3-DATA	0x24[15:6]	SRAM
LUT-0-DATA	0x25[3:0]	SRAM
LUT-1-DATA	0x26[3:0]	SRAM
LUT-2-DATA	0x27[3:0]	SRAM
LUT-3-DATA	0x28[3:0]	SRAM
LUT-4-DATA	0x29[3:0]	SRAM
LUT-5-DATA	0x2A[3:0]	SRAM
LUT-6-DATA	0x2B[3:0]	SRAM
LUT-7-DATA	0x2C[3:0]	SRAM
LUT-8-DATA	0x2D[3:0]	SRAM
LUT-9-DATA	0x2E[3:0]	SRAM
LUT-10-DATA	0x2F[3:0]	SRAM
LUT-11-DATA	0x30[3:0]	SRAM
LUT-12-DATA	0x31[3:0]	SRAM
LUT-13-DATA	0x32[3:0]	SRAM
LUT-14-DATA	0x33[3:0]	SRAM
LUT-15-DATA	0x34[3:0]	SRAM
LOOP-WAIT	0x35[3:0]	SRAM
DAC-0-VOUT-CMP-CONFIG	0x03[12:10][4:0]	寄存器
DAC-1-VOUT-CMP-CONFIG	0x09[12:10][4:0]	寄存器
DAC-2-VOUT-CMP-CONFIG	0x0F[12:10][4:0]	寄存器
DAC-3-VOUT-CMP-CONFIG	0x15[12:10][4:0]	寄存器
COMMON-CONFIG	0x1F[15:0]	寄存器
DEVICE-MODE-CONFIG	0x25[15:0]	寄存器
STATE-MACHINE-CONFIG0	0x27[2:0]	寄存器

只有 [表 8-4](#) 的地址列中列出的位才会保存在 NVM 中，并在状态机中使用。例如，对于 DAC-X-VOUT-CMP-CONFIG 寄存器，只有位 12 至位 10 和位 4 至位 0 会保存在 NVM 中。

以下是该应用示例的伪代码：

```
//SYNTAX: WRITE <REGISTER NAME (REGISTER ADDRESS)>, <MSB DATA>, <LSB DATA>
//Pull MODE pin low to enter programming mode//SYNTAX: WRITE <REGISTER NAME(Hex Code)>, <MSB DATA>,
<LSB DATA>
//Stop the state machine
WRITE STATE-MACHINE-CONFIG(0x27), 0x00, 0x03
//Set the comparator thresholds
WRITE DAC-0-DATA(SRAM 0x21), 0x33, 0x40
WRITE DAC-1-DATA(SRAM 0x22), 0x66, 0x80
WRITE DAC-2-DATA(SRAM 0x23), 0x99, 0x80
WRITE DAC-3-DATA(SRAM 0x24), 0xCC, 0xC0
//Set the LUT values
WRITE LUT-0-DATA(SRAM 0x25), 0x00, 0x00
WRITE LUT-1-DATA(SRAM 0x26), 0x00, 0x00
WRITE LUT-2-DATA(SRAM 0x27), 0x00, 0x00
WRITE LUT-3-DATA(SRAM 0x28), 0x00, 0x03
WRITE LUT-4-DATA(SRAM 0x29), 0x00, 0x04
WRITE LUT-5-DATA(SRAM 0x2A), 0x00, 0x04
WRITE LUT-6-DATA(SRAM 0x2B), 0x00, 0x04
WRITE LUT-7-DATA(SRAM 0x2C), 0x00, 0x04
WRITE LUT-8-DATA(SRAM 0x2D), 0x00, 0x00
WRITE LUT-9-DATA(SRAM 0x2E), 0x00, 0x00
WRITE LUT-10-DATA(SRAM 0x2F), 0x00, 0x00
WRITE LUT-11-DATA(SRAM 0x30), 0x00, 0x03
WRITE LUT-12-DATA(SRAM 0x31), 0x00, 0x04
WRITE LUT-13-DATA(SRAM 0x32), 0x00, 0x04
WRITE LUT-14-DATA(SRAM 0x33), 0x00, 0x04
WRITE LUT-15-DATA(SRAM 0x34), 0x00, 0x0F
//Set the loop refresh setting for 41 ms
WRITE LOOP-WAIT(SRAM 0x35), 0x00, 0x13
//Set the channel 0 reference to VDD and enable comparator mode
WRITE DAC-0-VOUT-CMP-CONFIG(0x03), 0x04, 0x07
//Set channel 1 reference to VDD and enable comparator mode
WRITE DAC-1-VOUT-CMP-CONFIG(0x09), 0x04, 0x07
//Set channel 2 reference to VDD and enable comparator mode
WRITE DAC-2-VOUT-CMP-CONFIG(0x0F), 0x04, 0x07
//Set channel 3 reference to VDD and enable comparator mode
WRITE DAC-3-VOUT-CMP-CONFIG(0x15), 0x04, 0x07
//Power on the DAC channels
WRITE COMMON-CONFIG(0x1F), 0x02, 0x49
//Set the device mode (this is the device default)
WRITE DEVICE-MODE-CONFIG(0x25), 0x80, 0x40
//Start the state machine
WRITE STATE-MACHINE-CONFIG(0x27), 0x00, 0x03
//Save settings to NVM
WRITE COMMON-TRIGGER(0x20), 0x00, 0x02
//Pull the MODE pin high to enter standalone mode
```

8.2.3 应用曲线



AINx 阶跃：100mV、1.1V、2.1V、3.1V、4.1V 和 5.1V。

图 8-2. LUT 输出

8.3 电源相关建议

DAC539E4W 系列器件不需要特定的电源时序。这些器件需要单个电源 V_{DD} 。但是，应确保在 V_{DD} 之后施加外部电压基准。 V_{DD} 引脚应使用 $0.1\mu\text{F}$ 去耦电容器。CAP 引脚应使用约 $1.5\mu\text{F}$ 的旁路电容器。

8.4 布局

8.4.1 布局指南

DAC539E4W 引脚配置将模拟、数字和电源引脚分开以实现优化布局。为了保证信号完整性，需将数字和模拟走线分开，并将去耦电容器放置在器件引脚附近。

8.4.2 布局示例

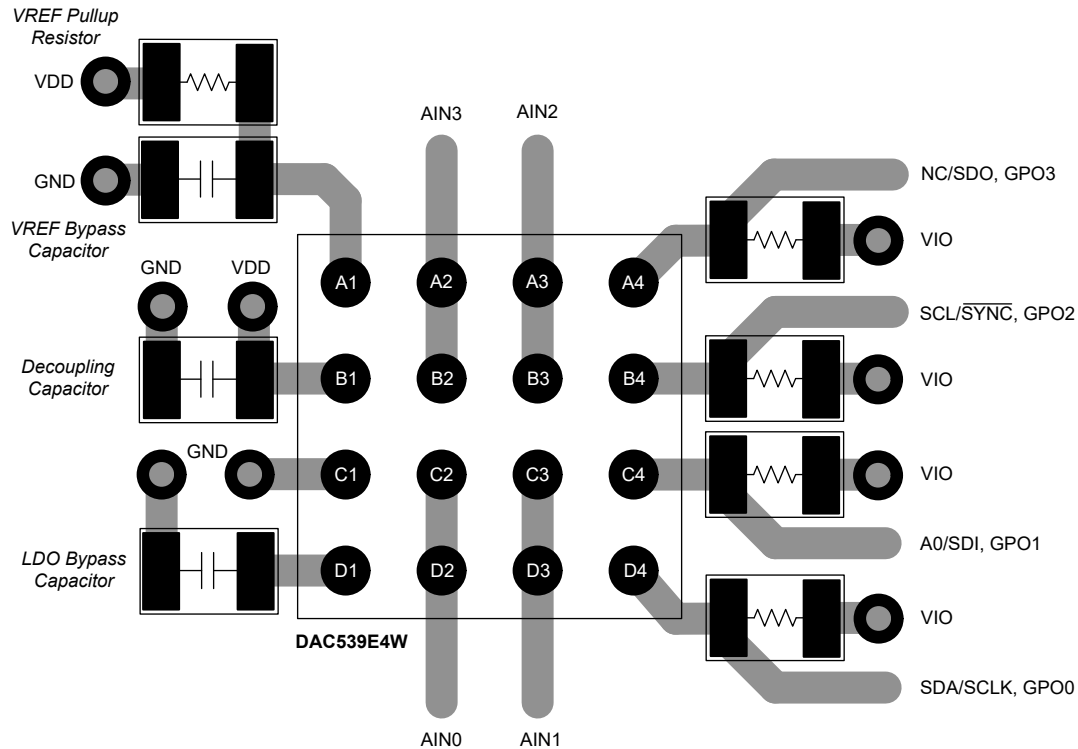


图 8-3. 布局示例

注意：为了清晰起见，这里忽略了接地平面和电源平面。

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DAC539E4YBHR	ACTIVE	DSBGA	YBH	16	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 125	DAC 539E4	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

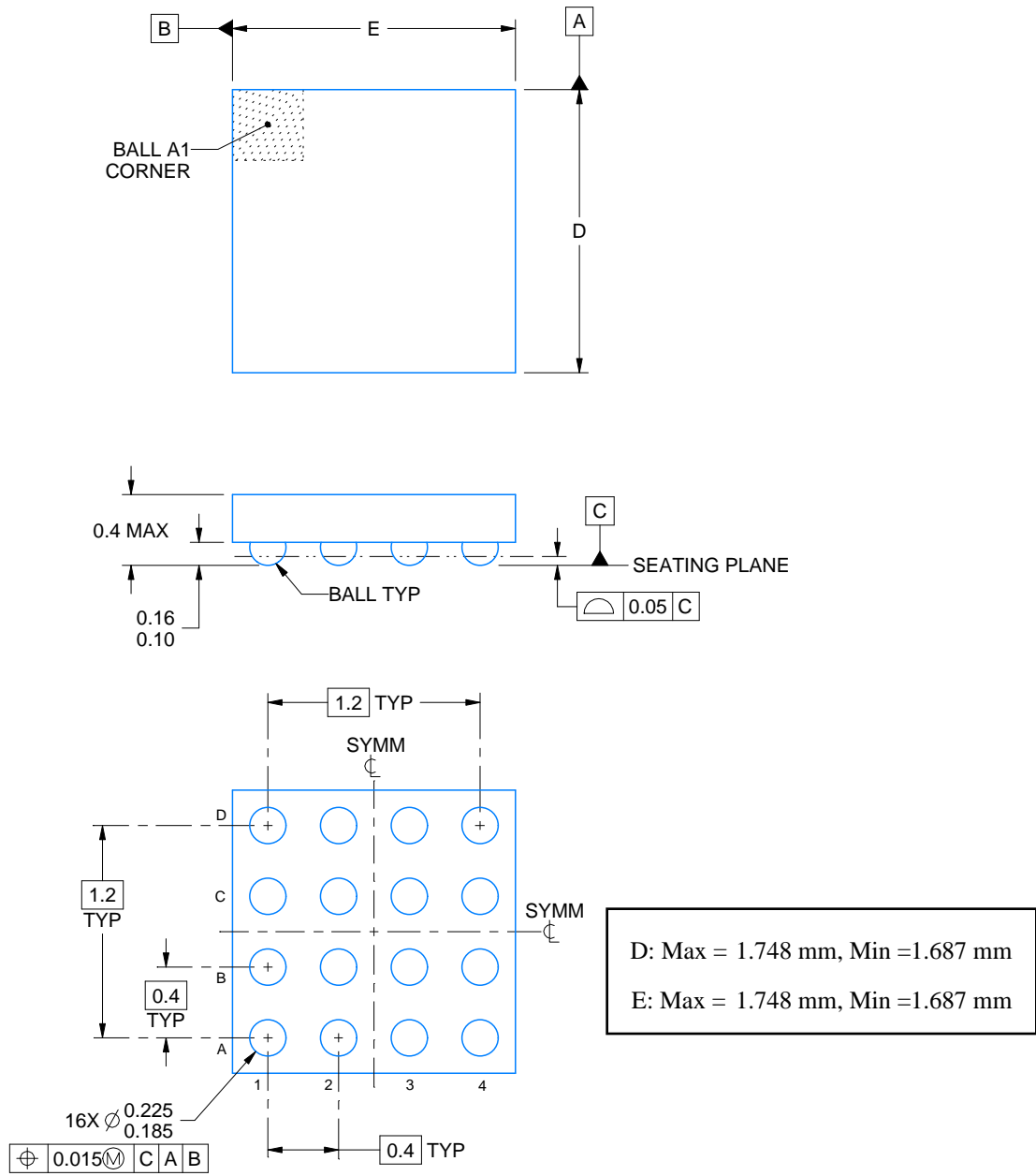
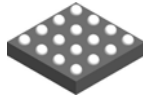
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4225022/A 06/2019

NOTES:

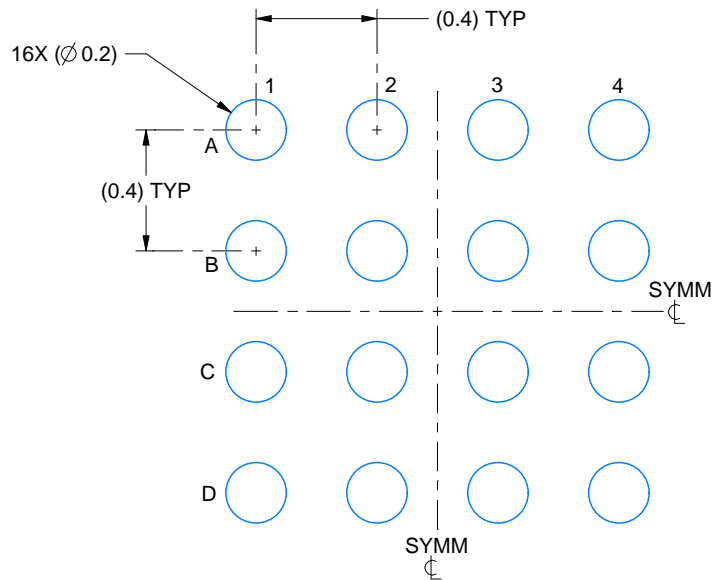
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

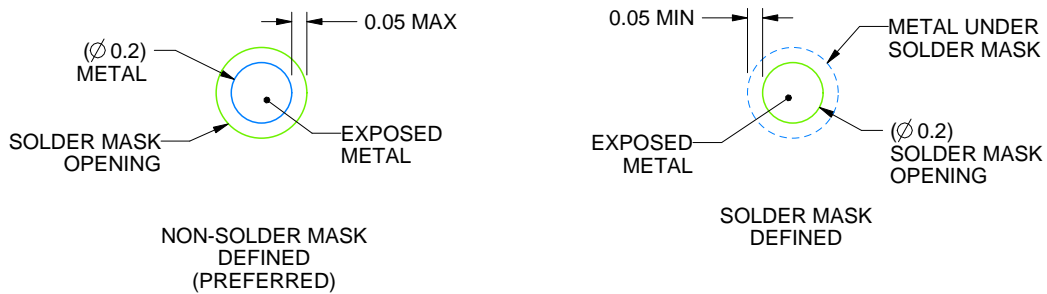
YBH0016

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS
NOT TO SCALE

4225022/A 06/2019

NOTES: (continued)

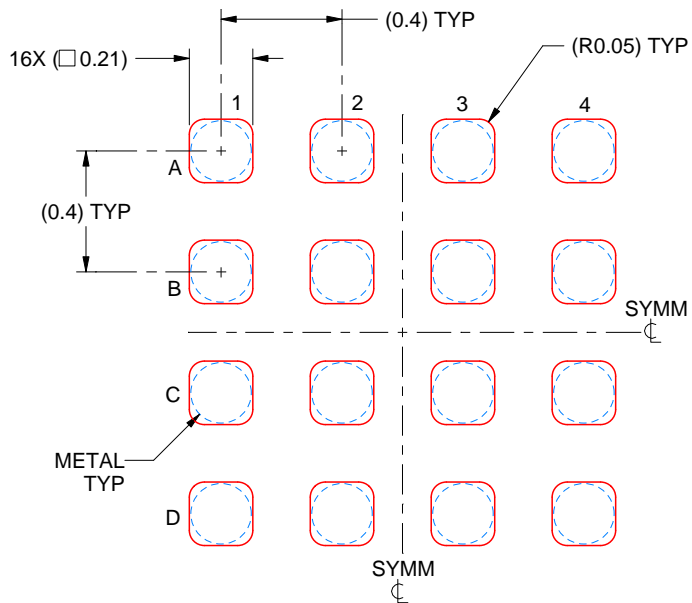
- 3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBH0016

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 40X

4225022/A 06/2019

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司