

# DACx3004 带自动检测型 I<sup>2</sup>C、PMBus™ 或 SPI 的 12 位和 10 位超低功耗、四路电压和电流输出智能 DAC

## 1 特性

- 具有灵活配置的可编程电压或电流输出：
  - 电压输出：
    - 1LSB INL 和 DNL ( 10 位 )
    - 1x、1.5x、2x、3x 和 4x 增益
  - 电流输出：
    - 1LSB INL 和 DNL ( 8 位 )
    - 25 μA 至 250 μA 的单极和双极输出范围选项
- 电压输出模式具有 35 μA/通道 I<sub>DD</sub>
- 适合所有通道的可编程比较器模式
- 当 VDD 关闭时提供高阻抗输出
- 高阻抗和电阻下拉断电模式
- 50MHz SPI 兼容型接口
- 自动检测的 I<sup>2</sup>C、PMBus™ 或 SPI 接口
  - 1.62V V<sub>IH</sub> (V<sub>DD</sub> = 5.5V)
- 可配置为多种功能的通用输入/输出 (GPIO)
- 生成预定义的波形：正弦波、三角形波、锯齿波
- 用户可编程的非易失性存储器 (NVM)
- 内部、外部或电源作为基准
- 宽工作电压范围：
  - 电源：1.8V 至 5.5V
  - 温度范围：-40°C 至 +125°C
- 微型封装：16 引脚 WQFN (3mm × 3mm)

## 2 应用

- 陆地移动无线电
- 脉搏血氧仪
- 光学模块
- 标准笔记本电脑

## 3 说明

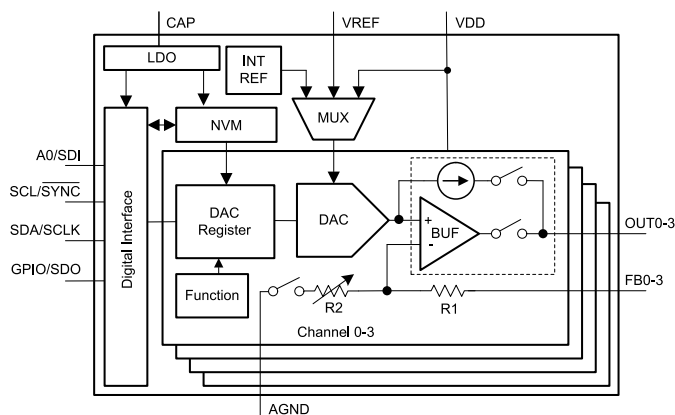
12 位 DAC63004 和 10 位 DAC53004 (DACx3004) 是引脚兼容系列超低功耗四通道、缓冲型、电压输出和电流输出智能数模转换器 (DAC)。这些 DACx3004 支持高阻态断电模式，并在断电情况下支持高阻态输出。DAC 输出提供一个强制检测选项，可用作可编程比较器和电流阱。多功能 GPIO、函数生成和 NVM 使这些智能 DAC 适用于无处理器的应用和设计重复使用。这些器件自动检测 I<sup>2</sup>C、PMBus 和 SPI 接口，并包含内部基准。

这些功能集与微型封装和超低功耗相结合，使这些智能 DAC 成为陆地移动无线电、脉搏血氧仪、笔记本电脑和其他电池供电应用实现偏置、校准和波形生成的理想选择。

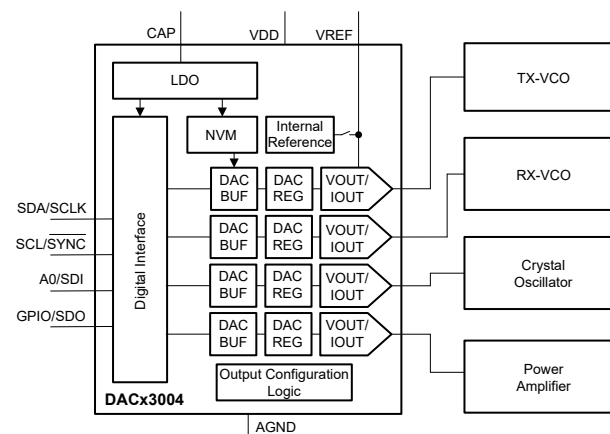
### 器件信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 (标称值)
DACx3004	WQFN (16)	3.00mm x 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版方框图



用于陆地移动无线电实现偏置的 DACx3004



## Table of Contents

<b>1 特性</b> .....	1	6.19 典型特性：比较器.....	26
<b>2 应用</b> .....	1	6.20 典型特性：通用.....	27
<b>3 说明</b> .....	1	<b>7 详细说明</b> .....	28
<b>4 Revision History</b> .....	2	7.1 Overview.....	28
<b>5 引脚配置和功能</b> .....	3	7.2 功能方框图.....	28
<b>6 规格</b> .....	5	7.3 特性说明.....	29
6.1 绝对最大额定值.....	5	7.4 器件功能模式.....	31
6.2 ESD 等级.....	5	7.5 编程.....	47
6.3 建议的操作条件.....	5	7.6 寄存器映射.....	55
6.4 热性能信息.....	5	<b>8 应用和实现</b> .....	74
6.5 电气特性：电压输出.....	7	8.1 应用信息.....	74
6.6 电气特性：电流输出.....	9	8.2 典型应用.....	74
6.7 电气特性：比较器模式.....	10	<b>9 电源相关建议</b> .....	77
6.8 电气特性：通用.....	11	<b>10 布局</b> .....	77
6.9 时序要求：I <sup>2</sup> C 标准模式.....	12	10.1 布局指南.....	77
6.10 时序要求：I <sup>2</sup> C 快速模式.....	12	10.2 Layout Example.....	77
6.11 时序要求：I <sup>2</sup> C 超快速模式.....	12	<b>11 Device and Documentation Support</b> .....	78
6.12 时序要求：SPI 写入操作.....	13	11.1 接收文档更新通知.....	78
6.13 时序要求：SPI 读取和菊花链操作 (FSDO = 0).....	13	11.2 支持资源.....	78
6.14 时序要求：SPI 读取和菊花链操作 (FSDO = 1).....	13	11.3 Trademarks.....	78
6.15 时序要求：GPIO.....	14	11.4 Electrostatic Discharge Caution.....	78
6.16 时序图.....	14	11.5 术语表.....	78
6.17 典型特性：电压输出.....	16	<b>12 Mechanical, Packaging, and Orderable Information</b> .....	78
6.18 典型特性：电流输出.....	21		

## 4 Revision History

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (April 2021) to Revision A (December 2021)	Page
• 将 DACx3004 器件状态从预告信息 (预发布) 更改为量产数据 (正在供货) .....	1

## 5 引脚配置和功能

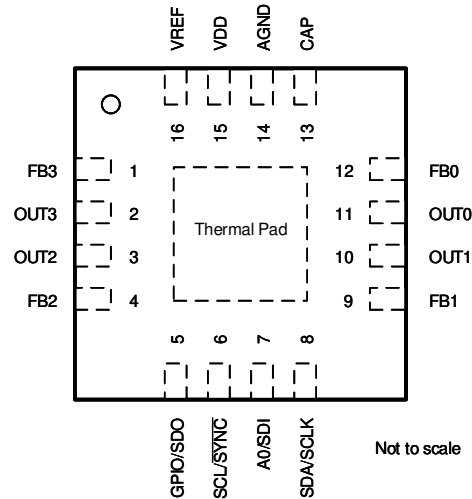


图 5-1. RTE 封装、16 引脚 WQFN，俯视图

表 5-1. 引脚功能

引脚		类型	说明
编号	名称		
1	FB3	输入	通道 3 的电压反馈引脚。在电压输出模式下，连接至 OUT3 以实现闭环放大器输出。在电流输出模式下，保持 FB3 引脚未连接，以尽可能减少泄漏电流。
2	OUT3	输出	DAC 通道 3 的模拟输出电压。
3	OUT2	输出	DAC 通道 2 的模拟输出电压。
4	FB2	输入	通道 2 的电压反馈引脚。在电压输出模式下，连接至 OUT2 以实现闭环放大器输出。在电流输出模式下，保持 FB2 引脚未连接，以尽可能减少泄漏电流。
5	GPIO/SDO	输入/输出	通用输入/输出可配置为 $\overline{\text{LDAC}}$ 、 $\overline{\text{PD}}$ 、 $\overline{\text{PROTECT}}$ 、 $\overline{\text{RESET}}$ 、 $\overline{\text{SDO}}$ 和 $\overline{\text{STATUS}}$ 。对于 $\overline{\text{STATUS}}$ 和 $\overline{\text{SDO}}$ ，需使用外部上拉电阻器将引脚连接到 IO 电压。如果未使用，需使用外部电阻器将 GPIO 引脚连接到 VDD 或 AGND。此引脚可以在 VDD 之前斜升。
6	SCL/SYNC	输出	I <sup>2</sup> C 串行接口时钟或 SPI 芯片选择输入。此引脚必须使用外部上拉电阻器连接到 IO 电压。此引脚可以在 VDD 之前斜升。
7	A0/SDI	输入	用于 I <sup>2</sup> C 的地址配置引脚或用于 SPI 的串行数据输入。对于 A0，需将此引脚连接到 VDD、AGND、SDA 或 SCL 以进行地址配置 (节 7.5.2.2.1)。对于 SDI，无需上拉或下拉此引脚。此引脚可以在 VDD 之前斜升。
8	SDA/SCLK	输入/输出	双向 I <sup>2</sup> C 串行数据总线或 SPI 时钟输入。在 I <sup>2</sup> C 模式下，必须使用外部上拉电阻器将此引脚连接到 IO 电压。此引脚可以在 VDD 之前斜升。
9	FB1	输入	通道 1 的电压反馈引脚。在电压输出模式下，连接至 OUT1 以实现闭环放大器输出。在电流输出模式下，保持 FB1 引脚未连接，以尽可能减少泄漏电流。
10	OUT1	输出	DAC 通道 1 的模拟输出电压。
11	OUT0	输出	DAC 通道 0 的模拟输出电压。
12	FB0	输入	通道 0 的电压反馈引脚。在电压输出模式下，连接至 OUT0 以实现闭环放大器输出。在电流输出模式下，保持 FB0 引脚未连接，以尽可能减少泄漏电流。
13	CAP	功率	用于内部 LDO 的外部旁路电容器。在 CAP 和 AGND 间连接一个电容器 (约 1.5 $\mu\text{F}$ )。
14	模拟接地 (AGND)	接地	此器件上用于所有电路的接地参考点。
15	VDD	功率	电源电压。
16	VREF	功率	外部基准输入。在 VREF 和 AGND 间连接一个电容器 (约 0.1 $\mu\text{F}$ )。当外部基准未使用时，应使用一个上拉电阻器连接到 VDD。此引脚不得在 VDD 之前斜升。如果使用外部基准，需确保基准在 VDD 之后斜升。

表 5-1. 引脚功能 (continued)

引脚		类型	说明
编号	名称		
—	散热焊盘	接地	将散热焊盘连接至 AGND。

## 6 规格

### 6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）<sup>(1)</sup>

		最小值	最大值	单位
V <sub>DD</sub>	电源电压, V <sub>DD</sub> (至 A <sub>GND</sub> )	-0.3	6	V
	A <sub>GND</sub> 的数字输入	-0.3	V <sub>DD</sub> + 0.3	V
	CAP (至 A <sub>GND</sub> )	-0.3	1.65	V
	V <sub>FBX</sub> (至 A <sub>GND</sub> )	-0.3	V <sub>DD</sub> + 0.3	V
	V <sub>OUTX</sub> (至 A <sub>GND</sub> )	-0.3	V <sub>DD</sub> + 0.3	V
V <sub>REF</sub>	外部基准电压, V <sub>REF</sub> (至 A <sub>GND</sub> )	-0.3	V <sub>DD</sub> + 0.3	V
	流入除 OUT <sub>x</sub> 引脚以外的任何引脚的电流	-10	10	mA
T <sub>J</sub>	结温	-40	150	°C
T <sub>stg</sub>	贮存温度	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

### 6.2 ESD 等级

			值	单位
V <sub>(ESD)</sub>	静电放电	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚 <sup>(1)</sup>	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准, 所有引脚 <sup>(2)</sup>	±500	

(1) JEDEC 文件 JEP155 规定: 500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文件 JEP157 规定: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

### 6.3 建议的操作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V <sub>DD</sub>	提供给接地端的正电源电压 (A <sub>GND</sub> )	1.7		5.5	V
V <sub>REF</sub>	提供给接地端的外部基准电压 (A <sub>GND</sub> )	1.7		V <sub>DD</sub>	V
V <sub>IH</sub>	数字输入高电压, 1.7V < V <sub>DD</sub> ≤ 5.5V	1.62			V
V <sub>IL</sub>	数字输入低电压			0.4	V
C <sub>CAP</sub>	CAP 引脚上的外部电容器	0.5		15	μF
T <sub>A</sub>	环境温度	-40		125	°C

### 6.4 热性能信息

热指标 <sup>(1)</sup>		DACx3004	单位
		RTE (WQFN)	
		16 引脚	
R <sub>θJA</sub>	结至环境热阻	49	°C/W
R <sub>θJC(top)</sub>	结至外壳 (顶部) 热阻	50	°C/W
R <sub>θJB</sub>	结至电路板热阻	24.1	°C/W
Ψ <sub>JT</sub>	结至顶部特征参数	1.1	°C/W
Ψ <sub>JB</sub>	结至电路板特征参数	24.1	°C/W

热指标 <sup>(1)</sup>		DACx3004	单位
		RTE (WQFN)	
		16 引脚	
R <sub>θ JC(bot)</sub>	结至外壳 (底部) 热阻	8.7	°C/W

(1) 有关新旧热指标的信息，请参阅 [半导体和 IC 封装热指标应用报告](#)。

## 6.5 电气特性：电压输出

所有最小/最大规格的条件为  $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ，所有典型规格的条件为  $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，DAC 基准连接至 VDD，增益 = 1x，DAC 输出引脚 (OUT) 具有阻性负载 ( $R_L = 5\text{k}\Omega$  至 AGND) 和容性负载 ( $C_L = 200\text{pF}$  至 AGND)，且数字输入处于 VDD 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>静态性能</b>						
	分辨率	DAC63004	12			位
		DAC53004	10			
INL	积分非线性 <sup>(1)</sup>	DAC63004	-4		4	LSB
		DAC53004	-1		1	
DNL	微分非线性 <sup>(1)</sup>		-1		1	LSB
	零代码误差 <sup>(4)</sup>	将 0d 编码至 DAC，外部基准， $V_{DD} = 5.5\text{V}$		6	12	mV
		将 0d 编码至 DAC，内部 $V_{REF}$ ，增益 = 4x， $V_{DD} = 5.5\text{V}$		6	15	
	零代码误差温度系数 <sup>(4)</sup>	将 0d 编码至 DAC		$\pm 10$		$\mu\text{V}/^{\circ}\text{C}$
	偏移误差 <sup>(4) (6)</sup>	$1.7\text{V} \leq V_{DD} < 2.7\text{V}$ ，FBx 引脚短接到 OUTx，DAC 代码：12 位分辨率为 32d，10 位分辨率为 8d	-0.75	0.3	0.75	%FSR
		$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，FBx 引脚短接到 OUTx，DAC 代码：12 位分辨率为 32d，10 位分辨率为 8d	-0.5	0.25	0.5	
	偏移误差温度系数 <sup>(4)</sup>	FBx 引脚短接到 OUTx，DAC 代码：12 位分辨率为 32d，10 位分辨率为 8d		$\pm 0.0003$		%FSR/ $^{\circ}\text{C}$
	增益误差 <sup>(4)</sup>	端点代码之间：12 位分辨率为 32d 至 4064d，10 位分辨率为 8d 至 1016d	-0.5	0.25	0.5	%FSR
	增益误差温度系数 <sup>(4)</sup>	端点代码之间：12 位分辨率为 32d 至 4064d，10 位分辨率为 8d 至 1016d		$\pm 0.0008$		%FSR/ $^{\circ}\text{C}$
	满量程误差 <sup>(4) (6)</sup>	$1.7\text{V} \leq V_{DD} < 2.7\text{V}$ ，DAC (满量程)	-1		1	%FSR
		$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，DAC (满量程)	-0.5		0.5	
	满量程误差温度系数 <sup>(4)</sup>	DAC 处于满量程		$\pm 0.0008$		%FSR/ $^{\circ}\text{C}$
<b>输出</b>						
	输出电压	基准连接到 $V_{DD}$	0		$V_{DD}$	V
$C_L$	容性负载 <sup>(2)</sup>	$R_L = \infty$ ，相位裕度 = $30^{\circ}$			200	pF
		相位裕度 = $30^{\circ}$			1000	
	短路电流	$V_{DD} = 1.7\text{V}$ ，满量程输出短接至 $A_{GND}$ 或零标度输出短接至 $V_{DD}$		15		mA
		$V_{DD} = 2.7\text{V}$ ，满量程输出短接至 $A_{GND}$ 或零标度输出短接至 $V_{DD}$		50		
		$V_{DD} = 5.5\text{V}$ ，满量程输出短接至 $A_{GND}$ 或零标度输出短接至 $V_{DD}$		60		
	输出电压余量 <sup>(2)</sup>	至 $V_{DD}$ (DAC 输出空载，内部基准 = 1.21V)， $V_{DD} \geq 1.21\text{V} \times \text{增益} + 0.2\text{V}$	0.2			V
		至 $V_{DD}$ 和 $A_{GND}$ (DAC 输出空载， $V_{DD}$ 上的外部基准，增益 = 1x， $V_{REF}$ 引脚未短接至 VDD)	0.8			
		至 $V_{DD}$ 和 $A_{GND}$ ( $V_{DD} = 5.5\text{V}$ 时 $I_{LOAD} = 10\text{mA}$ ， $V_{DD} = 2.7\text{V}$ 时 $I_{LOAD} = 3\text{mA}$ ， $V_{DD} = 1.8\text{V}$ 时 $I_{LOAD} = 1\text{mA}$ )， $V_{DD}$ 处外部基准，增益 = 1x， $V_{REF}$ 引脚未短接至 VDD)	10			
$Z_O$	$V_{FB}$ 直流输出阻抗 <sup>(3)</sup>	DAC 输出已启用，内部基准 (增益 = 1.5x 或 2x) 或外部基准在 $V_{DD}$ (增益 = 1x)， $V_{REF}$ 引脚未短接至 VDD	400	500	600	$\text{k}\Omega$
		DAC 输出已启用，内部 $V_{REF}$ ，增益 = 3x 或 4x	325	400	485	
	电源抑制比 (直流)	内部 $V_{REF}$ ，增益 = 2x，DAC 处于中尺度， $V_{DD} = 5\text{V} \pm 10\%$		0.25		mV/V

## 6.5 电气特性：电压输出 (continued)

所有最小/最大规格的条件为  $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ，所有典型规格的条件为  $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，DAC 基准连接至 VDD，增益 = 1x，DAC 输出引脚 (OUT) 具有阻性负载 ( $R_L = 5\text{k}\Omega$  至 AGND) 和容性负载 ( $C_L = 200\text{pF}$  至 AGND)，且数字输入处于 VDD 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>动态性能</b>						
$t_{\text{sett}}$	输出电压建立时间	1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 10%FSR， $V_{DD} = 5.5\text{V}$		20		$\mu\text{s}$
		1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 10%FSR， $V_{DD} = 5.5\text{V}$ ，内部 $V_{\text{REF}}$ ，增益 = 4x		25		
	转换率	$V_{DD} = 5.5\text{V}$		0.3		$\text{V}/\mu\text{s}$
	加电干扰幅度	启动时 (DAC 输出被禁用)		75		$\text{mV}$
		启动时 (DAC 输出被禁用)， $R_L = 100\text{k}\Omega$		200		
	输出使能干扰幅度	DAC 输出从禁用至启用 (DAC 寄存器处于零标度)， $R_L = 100\text{k}\Omega$		250		$\text{mV}$
$V_n$	输出噪声电压 (峰峰值)	$f = 0.1\text{Hz}$ 至 $10\text{Hz}$ ，DAC 位于中标度， $V_{DD} = 5.5\text{V}$		50		$\mu\text{V}_{\text{PP}}$
		内部 $V_{\text{REF}}$ ，增益 = 4x， $f = 0.1\text{Hz}$ 至 $10\text{Hz}$ ， DAC 处于中标度， $V_{DD} = 5.5\text{V}$		90		
	输出噪声密度	$f = 1\text{kHz}$ ，DAC 位于中标度， $V_{DD} = 5.5\text{V}$		0.35		$\mu\text{V}/\sqrt{\text{Hz}}$
		内部 $V_{\text{REF}}$ ，增益 = 4x， $f = 1\text{kHz}$ ，DAC 处于中标度， $V_{DD} = 5.5\text{V}$		0.9		
	电源抑制比 (交流) <sup>(3)</sup>	内部 $V_{\text{REF}}$ ，增益 = 4x，200mV 50Hz 或 60Hz 正弦波叠加在电源电压上，DAC 处于中标度		-68		$\text{dB}$
	代码变化干扰脉冲	中标度周围 $\pm 1\text{LSB}$ 变化 (包括馈通)		10		$\text{nV}\cdot\text{s}$
	代码变化干扰脉冲幅度	中标度周围 $\pm 1\text{LSB}$ 变化 (包括馈通)		15		$\text{mV}$
<b>电源</b>						
$I_{DD}$	流入 VDD 的电流 <sup>(4) (5)</sup>	正常运行，DAC 处于满量程，数字引脚静态，外部基准处于 $V_{DD}$ ，但 $V_{\text{REF}}$ 引脚未短接至 VDD		35	50	$\mu\text{A}/\text{ch}$

- 在 DAC 输出空载的情况下测量。对于端点代码之间的外部基准和内部基准  $V_{DD} \geq 1.21 \times \text{增益} + 0.2\text{V}$ ：12 位分辨率为 32d 至 4064d，10 位分辨率为 8d 至 1016d。
- 根据设计和特征确定；未经生产测试。
- 当使用内部基准时，相对于基准值以 200mV 余量指定。
- 在 DAC 输出空载的情况下测量。
- 总功耗的计算方式为  $I_{DD} \times (\text{上电通道总数}) + (\text{睡眠模式电流})$ 。
- 当 DAC 通道长期配置为 IOOUT 模式，然后切换到 VOUT 模式时，VOUT 模式可以显示参数漂移。



## 6.6 电气特性：电流输出

所有最小/最大规格的条件为  $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ，所有典型规格的条件为  $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ， $\pm 250\mu\text{A}$  输出范围，且数字输入处于 VDD 或 AGND（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
<b>静态性能</b>						
	分辨率		8			位
INL	积分非线性	电流输出范围为 $0\mu\text{A}$ 至 $25\mu\text{A}$ 时，DAC 代码介于 10d 和 255d 之间；对于其他范围，DAC 代码介于 0d 和 255d 之间	-1		1	LSB
DNL	微分非线性	电流输出范围为 $0\mu\text{A}$ 至 $25\mu\text{A}$ 时，DAC 代码介于 10d 和 255d 之间；对于其他范围，DAC 代码介于 0d 和 255d 之间	-1		1	LSB
	偏移误差	DAC 输出范围： $0\mu\text{A}$ 至 $25\mu\text{A}$ ，DAC 处于代码 10d			$\pm 1.5$	%FSR
		DAC 输出范围： $0\mu\text{A}$ 至 $50\mu\text{A}$ 、 $0\mu\text{A}$ 至 $125\mu\text{A}$ 和 $0\mu\text{A}$ 至 $250\mu\text{A}$ ；DAC 为零标度			5	
		所有单极负范围，DAC 为零标度			-5	
		DAC 输出范围： $\pm 25\mu\text{A}$ 、 $\pm 50\mu\text{A}$ 、 $\pm 125\mu\text{A}$ 和 $\pm 250\mu\text{A}$ ；DAC 为中标度			$\pm 1$	
	增益误差	DAC 输出范围： $0\mu\text{A}$ 至 $25\mu\text{A}$ ，DAC 代码介于 10d 和 255d 之间			$\pm 1.5$	%FSR
		DAC 输出范围： $0\mu\text{A}$ 至 $50\mu\text{A}$ 、 $0\mu\text{A}$ 至 $125\mu\text{A}$ 和 $0\mu\text{A}$ 至 $250\mu\text{A}$ ；DAC 代码介于 0d 和 255d 之间			$\pm 1.5$	
		所有单极负范围，DAC 代码介于 0d 和 255d 之间			$\pm 5$	
		DAC 输出范围： $\pm 25\mu\text{A}$ 、 $\pm 50\mu\text{A}$ 、 $\pm 125\mu\text{A}$ 和 $\pm 250\mu\text{A}$ ；DAC 代码介于 0d 和 255d 之间			$\pm 1.3$	
<b>输出</b>						
	输出顺从电压 <sup>(1)</sup>	DAC 输出范围： $0\mu\text{A}$ 至 $25\mu\text{A}$ ，至 $V_{DD}$ 和至 $A_{GND}$	200			mV
		DAC 输出范围： $0\mu\text{A}$ 至 $50\mu\text{A}$ 、 $0\mu\text{A}$ 至 $125\mu\text{A}$ 和 $0\mu\text{A}$ 至 $250\mu\text{A}$ ；至 $V_{DD}$	400			
		所有单极负范围，至 $V_{DD}$	400			
		DAC 输出范围： $\pm 25\mu\text{A}$ 、 $\pm 50\mu\text{A}$ 、 $\pm 125\mu\text{A}$ 和 $\pm 250\mu\text{A}$ ；至 $V_{DD}$ 和至 $A_{GND}$	400			
Z <sub>O</sub>	I <sub>OUT</sub> 直流输出阻抗 <sup>(2)</sup>	DAC 处于中标度，DAC 输出保持在 $V_{DD}/2$	60			M $\Omega$
	电源抑制比（直流）	DAC 为中标度，输出范围： $0\mu\text{A}$ 至 $25\mu\text{A}$ ， $V_{DD}$ 从 4.5V 更改为 5.5V			0.28	LSB/V
		DAC 处于中标度，所有单极正范围， $V_{DD}$ 从 4.5V 更改为 5.5V			0.33	
		DAC 处于中标度，所有单极负范围， $V_{DD}$ 从 4.5V 更改为 5.5V			0.83	
		DAC 处于中标度，所有双极范围， $V_{DD}$ 从 4.5V 更改为 5.5V			0.23	
<b>动态性能</b>						
t <sub>sett</sub>	输出电流稳定时间	在 8 位分辨率下，1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 1 LSB， $V_{DD} = 5.5\text{V}$ ，OUTx 引脚上的共模电压为 $V_{DD}/2$			60	$\mu\text{s}$
V <sub>n</sub>	输出噪声电流（峰峰值）	0.1Hz 至 10Hz，DAC 处于中标度， $V_{DD} = 5.5\text{V}$ ， $\pm 250\mu\text{A}$ 输出范围			150	nA <sub>pp</sub>
	输出噪声密度	f = 1kHz，DAC 处于中标度， $V_{DD} = 5.5\text{V}$ ， $\pm 250\mu\text{A}$ 输出范围			1	nA/ $\sqrt{\text{Hz}}$
	电源抑制比（交流） <sup>(3)</sup>	$\pm 250\mu\text{A}$ 输出范围，200mV 50Hz 或 60Hz 正弦波叠加在电源电压上，DAC 处于中标度			0.65	LSB/V

## 6.6 电气特性：电流输出 (continued)

所有最小/最大规格的条件为  $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ，所有典型规格的条件为  $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ， $\pm 250\mu\text{A}$  输出范围，且数字输入处于 VDD 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>电源</b>						
$I_{DD}$	流入 VDD 的电流 <sup>(3) (4)</sup>	正常工作，DAC 处于中标度，所有单极输出范围，数字引脚静态		18	24	$\mu\text{A}/\text{ch}$
		正常工作，DAC 满量程， $\pm 25\mu\text{A}$ 输出范围，数字引脚静态		42	50	
		正常工作，DAC 满量程， $\pm 50\mu\text{A}$ 输出范围，数字引脚静态		56	70	
		正常工作，DAC 满量程， $\pm 125\mu\text{A}$ 输出范围，数字引脚静态		98	120	
		正常工作，DAC 满量程， $\pm 250\mu\text{A}$ 输出范围，数字引脚静态		167	200	

- 在 DAC 代码 0d 和 255d 之间测得。
- 根据设计和特征确定；未经生产测试。
- 流入  $V_{DD}$  的电流不考虑  $\text{OUT}_x$  引脚上拉取或灌入的负载电流。VREF 引脚连接到  $V_{DD}$ 。
- 总功耗的计算方式为  $I_{DD} \times (\text{上电通道总数}) + (\text{睡眠模式电流})$ 。

## 6.7 电气特性：比较器模式

所有最小/最大规格的条件为  $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ，所有典型规格的条件为  $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，DAC 基准连接至 VDD，增益 = 1x (电压输出模式)，DAC 输出引脚 (OUT) 具有阻性负载 ( $R_L = 5\text{k}\Omega$  至 AGND) 和容性负载 ( $C_L = 200\text{pF}$  至 AGND)，且数字输入处于 VDD 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>静态性能</b>						
	偏移误差 <sup>(1) (2)</sup>	$1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，DAC 处于中标度，比较器输入处于高阻态且 DAC 采用外部基准工作	-5	0	5	mV)
	偏移误差时间漂移 <sup>(1)</sup>	$V_{DD} = 5.5\text{V}$ ，外部基准， $T_A = 125^{\circ}\text{C}$ ，FBx 处于高阻态模式，DAC 处于满量程， $V_{FB}$ 为 0V 或 DAC 处于零标度， $V_{FB}$ 为 1.84V，10 年连续运行的额定漂移		4		mV
<b>输出</b>						
	输入电压	VREF 连接到 VDD，FBx 电阻器网络连接到接地	0		$V_{DD}$	V
		VREF 连接到 VDD，FBx 电阻器网络与地断开	0		$V_{DD} (1/3 - 1/100)$	
$V_{OL}$	逻辑低输出电压	$I_{LOAD} = 100\mu\text{A}$ ，输出处于开漏模式		0.1		V
<b>动态性能</b>						
$t_{resp}$	输出响应时间	DAC 处于中标度且具有 10 位分辨率，FBx 输入处于高阻态，FBx 节点处的转换步长为 $(V_{DAC} - 2\text{LSB})$ 至 $(V_{DAC} + 2\text{LSB})$ ，转换时间在输出的 10% 至 90% 之间测得，输出电流为 $100\mu\text{A}$ ，比较器输出配置为推挽模式，DAC 输出的负载电容器为 25pF		10		$\mu\text{s}$

- 根据设计和特征确定；未经生产测试。
- 此规格不包括 DAC 的总体未调误差 (TUE)。

## 6.8 电气特性：通用

所有最小/最大规格的条件为  $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ，所有典型规格的条件为  $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，DAC 基准连接至 VDD，增益 = 1x (电压输出模式) 或  $\pm 250\mu\text{A}$  输出范围 (电流输出模式)，DAC 输出引脚 (OUT) 在电压输出模式下具有阻性负载 ( $R_L = 5\text{k}\Omega$  至 AGND) 以及容性负载 ( $C_L = 200\text{pF}$  至 AGND)，且数字输入处于 VDD 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>内部基准</b>						
	初始精度	$T_A = 25^{\circ}\text{C}$	1.1979	1.212	1.224	V
	基准输出温度系数 <sup>(1) (2)</sup>				50	ppm/°C
<b>外部基准</b>						
	$V_{REF}$ 输入阻抗 <sup>(1) (3)</sup>			192		kΩ/ch
<b>EEPROM</b>						
	寿命 <sup>(1)</sup>	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	20000			周期
		$T_A = 125^{\circ}\text{C}$	1000			
	数据保留 <sup>(1)</sup>	$T_A = 25^{\circ}\text{C}$	50			年
	EEPROM 编程写入周期时间 <sup>(1)</sup>		200			ms
	器件启动时间 <sup>(1)</sup>	从电源有效 ( $V_{DD} \geq 1.7\text{V}$ ) 到输出有效状态 (EEPROM 中编程的输出状态) 所用的时间, CAP 引脚上具有 $0.5\mu\text{F}$ 电容器	5			ms
<b>数字输入</b>						
	数字馈通	电压输出模式, 中标准 DAC 输出静态, 超快速模式, SCL 切换	20			nV-s
	引脚电容	每引脚	10			pF
<b>断电模式</b>						
$I_{DD}$	流入 VDD 的电流 <sup>(1)</sup>	DAC 处于睡眠模式, 内部基准关断, 外部基准电压为 5.5V	28			$\mu\text{A}$
		DAC 处于睡眠模式, 内部基准已启用, 通过内部基准的额外电流	10			
		DAC 通道已启用, 内部基准已启用, 在电压输出模式下每个 DAC 通道通过内部基准的额外电流	12.5			
	流入 VDD 的电流	DAC 处于深度睡眠模式, 内部基准断电, SDO 模式禁用	1.5	3		
<b>高阻抗输出</b>						
$I_{LEAK}$	流入 $V_{OUTX}$ 和 $V_{FBX}$ 的电流	DAC 处于高阻态输出模式, $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	10			nA
		$V_{DD} = 0\text{V}$ , $V_{OUT} \leq 1.5\text{V}$ , $V_{DD}$ 和 AGND 之间的去耦电容 = $0.1\mu\text{F}$	200			
		$V_{DD} = 0\text{V}$ , $1.5\text{V} < V_{OUT} \leq 5.5\text{V}$ , $V_{DD}$ 和 AGND 之间的去耦电容 = $0.1\mu\text{F}$	500			
		$V_{DD}$ 和 AGND 之间的电阻为 $100\text{k}\Omega$ , $V_{OUT} \leq 1.25\text{V}$ , $OUTX$ 引脚上具有 $10\text{k}\Omega$ 串联电阻	$\pm 2$			$\mu\text{A}$

- (1) 根据设计和特征确定; 未经生产测试。
- (2) 在  $-40^{\circ}\text{C}$  和  $+125^{\circ}\text{C}$  条件下测得, 并计算了斜率。
- (3) DAC 通道的阻抗以并联方式连接。

## 6.9 时序要求：I<sup>2</sup>C 标准模式

所有输入信号的时间从 V<sub>IL</sub> 到 V<sub>pull-up</sub> 的 70%，1.7V ≤ V<sub>DD</sub> ≤ 5.5V，-40°C ≤ T<sub>A</sub> ≤ +125°C，且 1.7V ≤ V<sub>pull-up</sub> ≤ V<sub>DD</sub>

		最小值	标称值	最大值	单位
f <sub>SCL</sub>	SCL 频率			100	kHz
t <sub>BUF</sub>	停止条件和启动条件之间的总线空闲时间	4.7			μs
t <sub>HDSTA</sub>	重复启动后的保持时间	4			μs
t <sub>SUSTA</sub>	重复启动设置时间	4.7			μs
t <sub>SUSTO</sub>	停止条件设置时间	4			μs
t <sub>HDDAT</sub>	数据保持时间	0			ns
t <sub>SUDAT</sub>	数据设置时间	250			ns
t <sub>LOW</sub>	SCL 时钟低电平周期	4700			ns
t <sub>HIGH</sub>	SCL 时钟高电平周期	4000			ns
t <sub>F</sub>	时钟和数据下降时间			300	ns
t <sub>R</sub>	时钟和数据上升时间			1000	ns
t <sub>VD_DAT</sub>	数据有效时间			3.45	μs
t <sub>VD_ACK</sub>	数据有效确认时间			3.45	μs

## 6.10 时序要求：I<sup>2</sup>C 快速模式

所有输入信号的时间从 V<sub>IL</sub> 到 V<sub>pull-up</sub> 的 70%，1.7V ≤ V<sub>DD</sub> ≤ 5.5V，-40°C ≤ T<sub>A</sub> ≤ +125°C，且 1.7V ≤ V<sub>pull-up</sub> ≤ V<sub>DD</sub>

		最小值	标称值	最大值	单位
f <sub>SCL</sub>	SCL 频率			400	kHz
t <sub>BUF</sub>	停止条件和启动条件之间的总线空闲时间	1.3			μs
t <sub>HDSTA</sub>	重复启动后的保持时间	0.6			μs
t <sub>SUSTA</sub>	重复启动设置时间	0.6			μs
t <sub>SUSTO</sub>	停止条件设置时间	0.6			μs
t <sub>HDDAT</sub>	数据保持时间	0			ns
t <sub>SUDAT</sub>	数据设置时间	100			ns
t <sub>LOW</sub>	SCL 时钟低电平周期	1300			ns
t <sub>HIGH</sub>	SCL 时钟高电平周期	600			ns
t <sub>F</sub>	时钟和数据下降时间			300	ns
t <sub>R</sub>	时钟和数据上升时间			300	ns
t <sub>VD_DAT</sub>	数据有效时间			0.9	μs
t <sub>VD_ACK</sub>	数据有效确认时间			0.9	μs

## 6.11 时序要求：I<sup>2</sup>C 超快速模式

所有输入信号的时间从 V<sub>IL</sub> 到 V<sub>pull-up</sub> 的 70%，1.7V ≤ V<sub>DD</sub> ≤ 5.5V，-40°C ≤ T<sub>A</sub> ≤ +125°C，且 1.7V ≤ V<sub>pull-up</sub> ≤ V<sub>DD</sub>

		最小值	标称值	最大值	单位
f <sub>SCL</sub>	SCL 频率			1	MHz
t <sub>BUF</sub>	停止条件和启动条件之间的总线空闲时间	0.5			μs
t <sub>HDSTA</sub>	重复启动后的保持时间	0.26			μs
t <sub>SUSTA</sub>	重复启动设置时间	0.26			μs
t <sub>SUSTO</sub>	停止条件设置时间	0.26			μs
t <sub>HDDAT</sub>	数据保持时间	0			ns
t <sub>SUDAT</sub>	数据设置时间	50			ns
t <sub>LOW</sub>	SCL 时钟低电平周期	0.5			μs
t <sub>HIGH</sub>	SCL 时钟高电平周期	0.26			μs
t <sub>F</sub>	时钟和数据下降时间			120	ns
t <sub>R</sub>	时钟和数据上升时间			120	ns
t <sub>VD_DAT</sub>	数据有效时间			0.45	μs
t <sub>VD_ACK</sub>	数据有效确认时间			0.45	μs

### 6.12 时序要求：SPI 写入操作

所有输入信号都在  $t_r = t_f = 1V/ns$  ( $V_{IO}$  的 10% 至 90%) 时指定，而且从  $(V_{IL} + V_{IH}) / 2$  的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $1.7V \leq V_{DD} \leq 5.5V$  且  $-40^\circ C \leq T_A \leq +125^\circ C$

		最小值	标称值	最大值	单位
$f_{(SCL)}$	串行时钟频率			50	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	9			ns
$t_{SCLLOW}$	SCLK 低电平时间	9			ns
$t_{SDIS}$	SDI 建立时间	8			ns
$t_{SDIH}$	SDI 保持时间	8			ns
$t_{CSS}$	$\overline{CS}$ 到 SCLK 下降沿建立时间	18			ns
$t_{CSH}$	SCLK 下降沿到 $\overline{CS}$ 上升沿	10			ns
$t_{CSHIGH}$	$\overline{CS}$ 高电平时间	50			ns
$t_{DACWAIT}$	同一通道的顺序 DAC 更新等待时间	2			$\mu s$
$t_{BCASTWAIT}$	广播 DAC 更新等待时间	2			$\mu s$

### 6.13 时序要求：SPI 读取和菊花链操作 (FSDO = 0)

所有输入信号都在  $t_r = t_f = 1V/ns$  ( $V_{IO}$  的 10% 至 90%) 时指定，而且从  $(V_{IL} + V_{IH}) / 2$  的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^\circ C \leq T_A \leq +125^\circ C$  且  $FSDO = 0$

		最小值	标称值	最大值	单位
$f_{(SCL)}$	串行时钟频率			1.25	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	350			ns
$t_{SCLLOW}$	SCLK 低电平时间	350			ns
$t_{SDIS}$	SDI 建立时间	8			ns
$t_{SDIH}$	SDI 保持时间	8			ns
$t_{CSS}$	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	400			ns
$t_{CSH}$	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	400			ns
$t_{CSHIGH}$	$\overline{SYNC}$ 高电平时间	1			$\mu s$
$t_{SDODLY}$	SCLK 上升沿到 SDO 下降沿， $I_{OL} \leq 5mA$ ， $C_L = 20pF$ 。			300	ns

### 6.14 时序要求：SPI 读取和菊花链操作 (FSDO = 1)

所有输入信号都在  $t_r = t_f = 1V/ns$  ( $V_{IO}$  的 10% 至 90%) 时指定，而且从  $(V_{IL} + V_{IH}) / 2$  的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^\circ C \leq T_A \leq +125^\circ C$  且  $FSDO = 1$

		最小值	标称值	最大值	单位
$f_{(SCL)}$	串行时钟频率			2.5	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	175			ns
$t_{SCLLOW}$	SCLK 低电平时间	175			ns
$t_{SDIS}$	SDI 建立时间	8			ns
$t_{SDIH}$	SDI 保持时间	8			ns
$t_{CSS}$	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	300			ns
$t_{CSH}$	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	300			ns
$t_{CSHIGH}$	$\overline{SYNC}$ 高电平时间	1			$\mu s$
$t_{SDODLY}$	SCLK 上升沿到 SDO 下降沿， $I_{OL} \leq 5mA$ ， $C_L = 20pF$ 。			300	ns

### 6.15 时序要求 : GPIO

所有输入信号都在  $t_r = t_f = 1V/ns$  ( $V_{IO}$  的 10% 至 90%) 时指定, 而且从  $(V_{IL} + V_{IH}) / 2$  的电压电平开始,  $1.7V \leq V_{IO} \leq 5.5V$ ,  $1.7V \leq V_{DD} \leq 5.5V$  且  $-40^\circ C \leq T_A \leq +125^\circ C$

		最小值	标称值	最大值	单位
$t_{GPIHIGH}$	GPI 高电平时间 <sup>(1)</sup>	2			$\mu s$
$t_{GPILow}$	GPI 低电平时间 <sup>(1)</sup>	2			$\mu s$
$t_{GPAWGD}$	$\overline{LDAC}$ 下降沿至 DAC 更新延迟 <sup>(2)</sup>			2	$\mu s$
$t_{CS2LDAC}$	$\overline{SYNC}$ 上升沿到 $\overline{LDAC}$ 下降沿	1			$\mu s$
$t_{STP2LDAC}$	I <sup>2</sup> C 停止位上升沿到 $\overline{LDAC}$ 下降沿	1			$\mu s$
$t_{LDACW}$	$\overline{LDAC}$ 低电平时间	2			$\mu s$

- (1) SCL、SDA、A0 和 A1 引脚可配置为 GPIO, 以执行特定于通道或与通道无关的不同操作。GPIO 的实际响应时间由所配置功能提供的延迟和 DAC 的稳定时间决定。
- (2) GPIO 可配置为特定于通道的或全局的  $\overline{LDAC}$  功能。

### 6.16 时序图

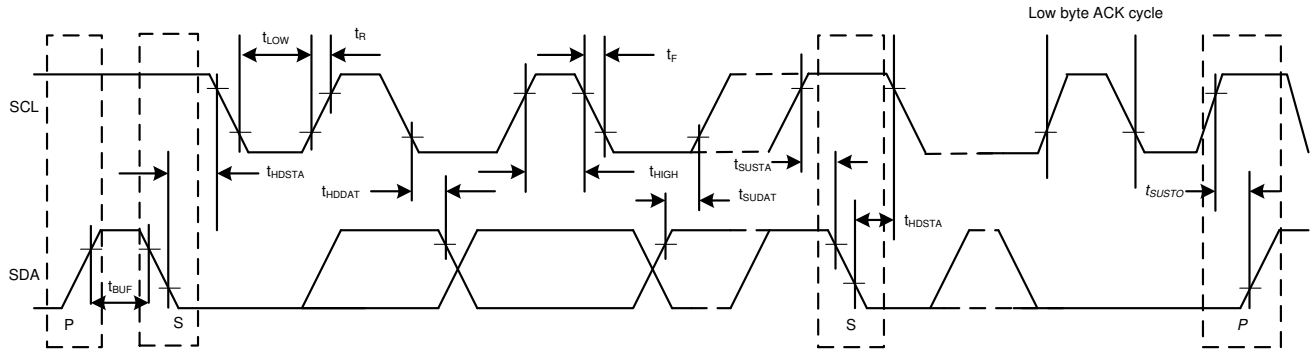


图 6-1. I<sup>2</sup>C 时序图

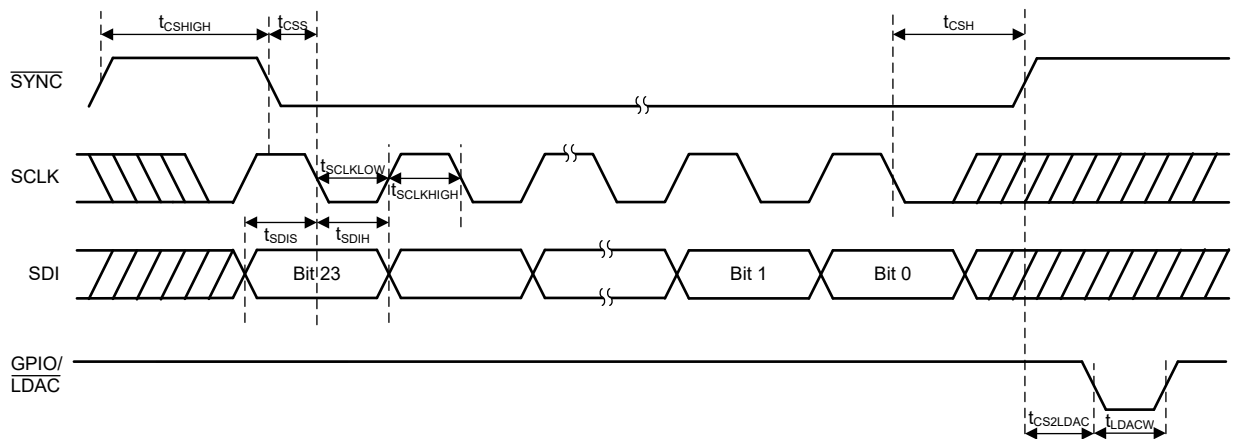


图 6-2. SPI 写入时序图

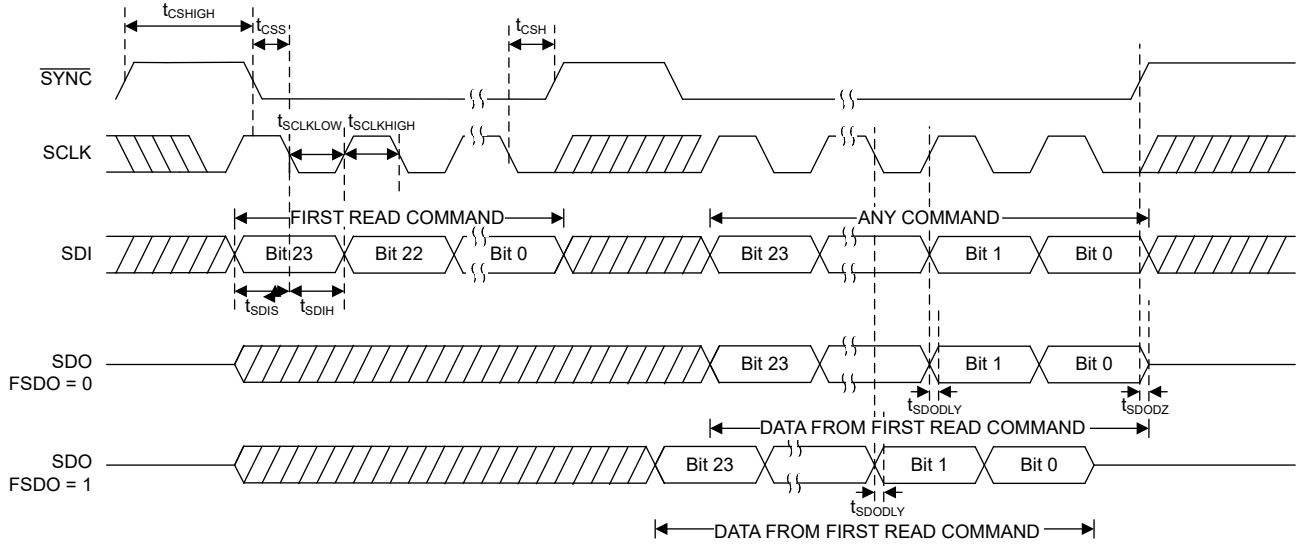


图 6-3. SPI 读取时序图

## 6.17 典型特性：电压输出

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 外部基准 = 5.5V, 增益 = 1x, 12 位分辨率且 DAC 输出为空载 (除非另有说明)

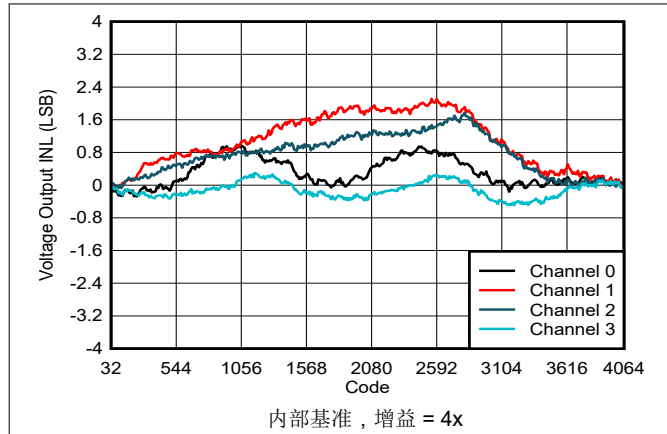


图 6-4. 电压输出 INL 与数字输入代码间的关系

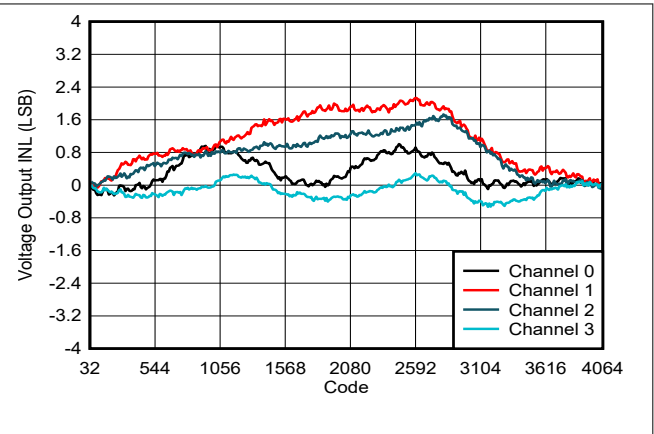


图 6-5. 电压输出 INL 与数字输入代码间的关系

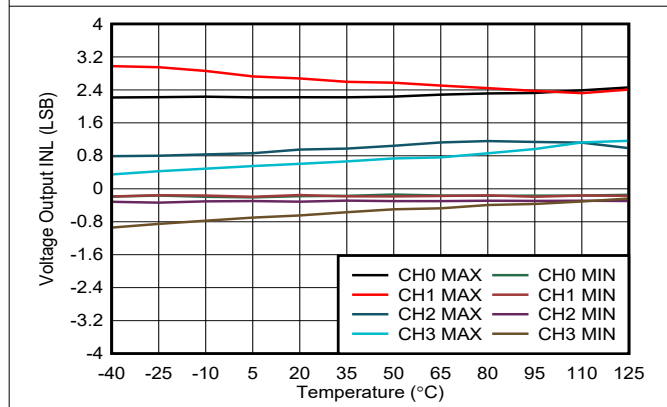


图 6-6. 电压输出 INL 与温度间的关系

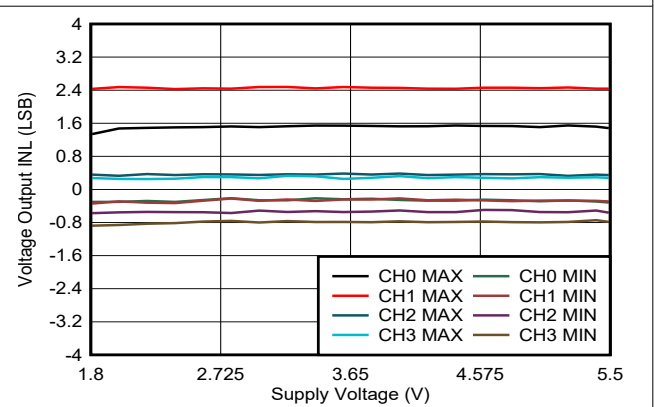


图 6-7. 电压输出 INL 与电源电压间的关系

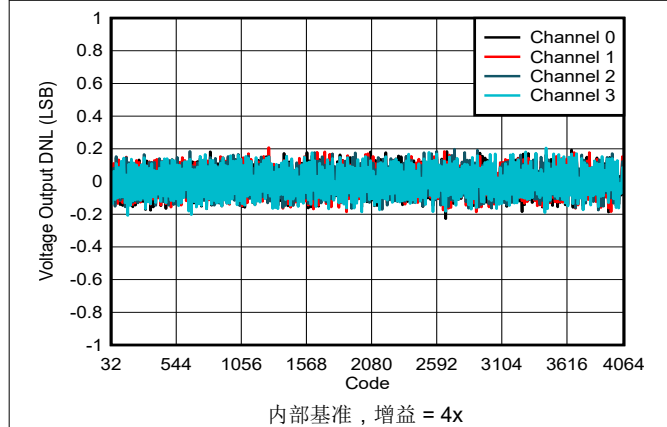


图 6-8. 电压输出 DNL 与数字输入代码间的关系

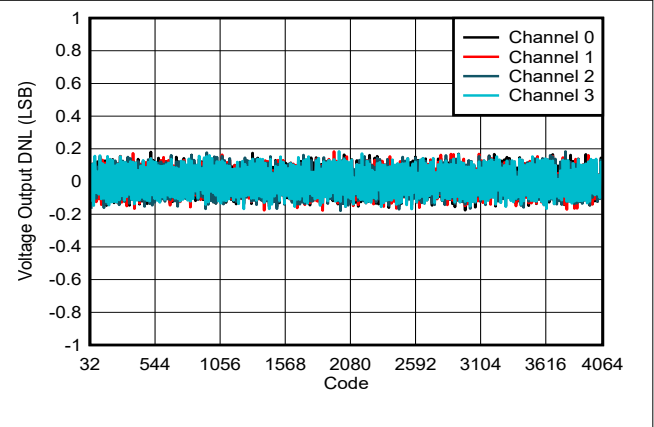


图 6-9. 电压输出 DNL 与数字输入代码间的关系



## 6.17 典型特性：电压输出 (continued)

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 外部基准 = 5.5V, 增益 = 1x, 12 位分辨率且 DAC 输出为空载 (除非另有说明)

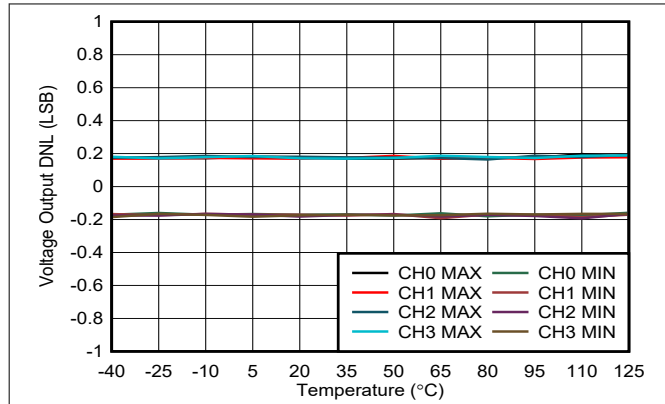


图 6-10. 电压输出 DNL 与温度间的关系

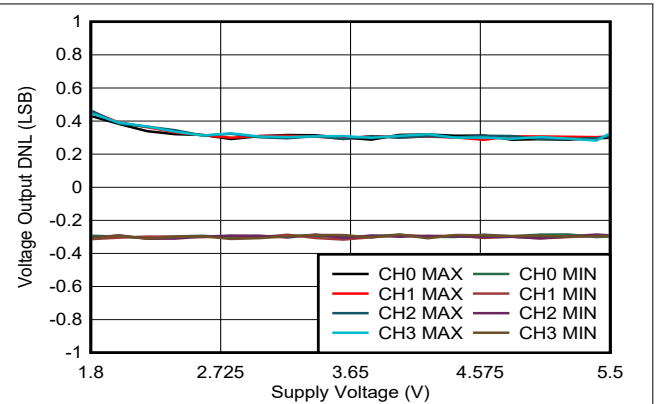


图 6-11. 电压输出 DNL 与电源电压间的关系

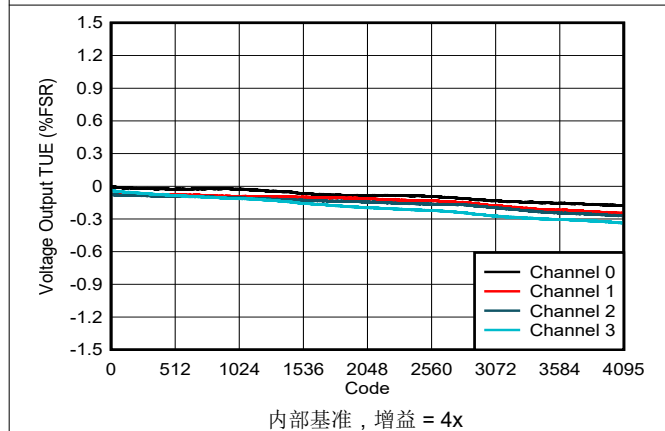


图 6-12. 电压输出 TUE 与数字输入代码间的关系

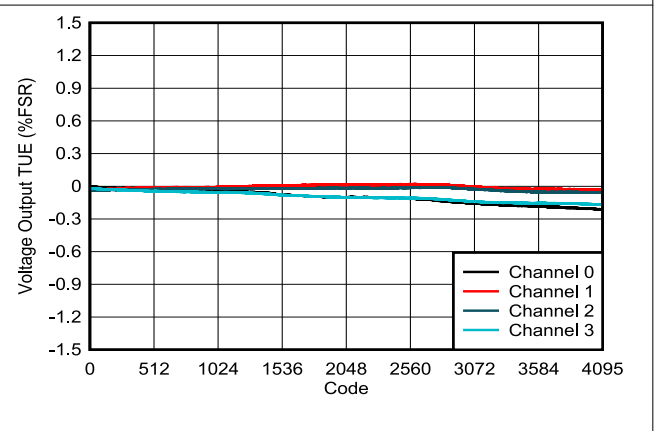


图 6-13. 电压输出 TUE 与数字输入代码间的关系

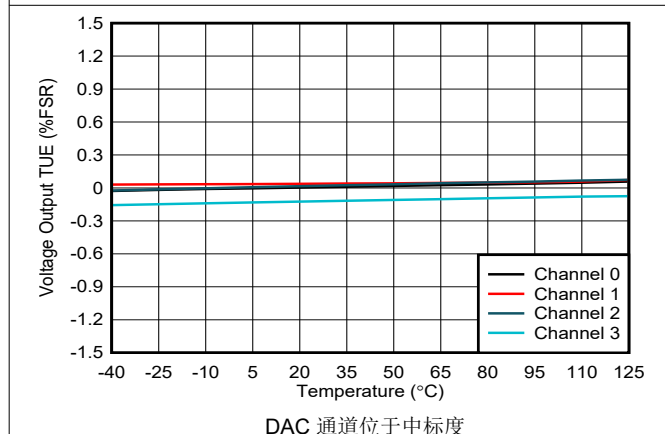


图 6-14. 电压输出 TUE 与温度间的关系

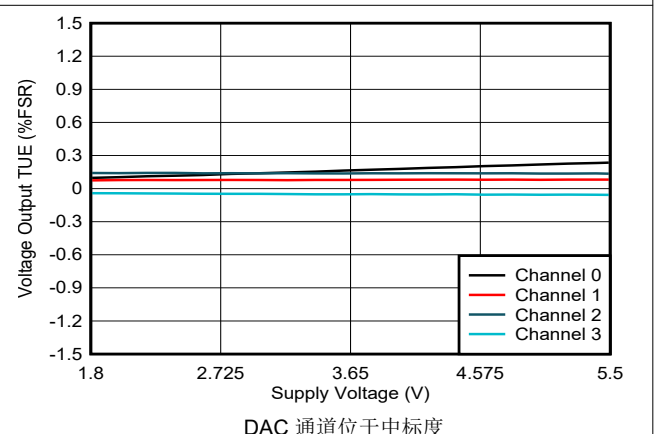


图 6-15. 电压输出 TUE 与电源电压间的关系

### 6.17 典型特性：电压输出 (continued)

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 外部基准 = 5.5V, 增益 = 1x, 12 位分辨率且 DAC 输出为空载 (除非另有说明)

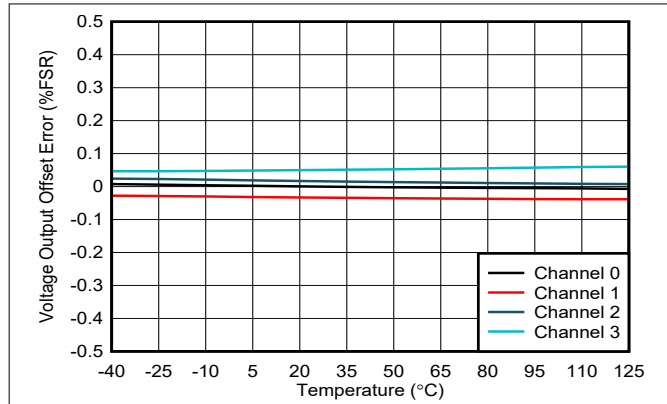


图 6-16. 电压输出偏移误差与温度间的关系

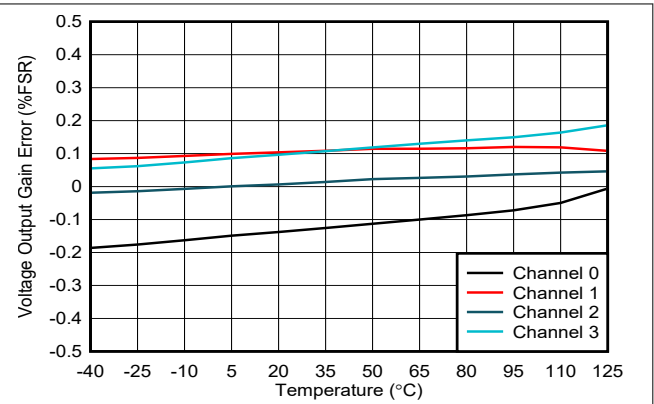


图 6-17. 电压输出增益误差与温度间的关系

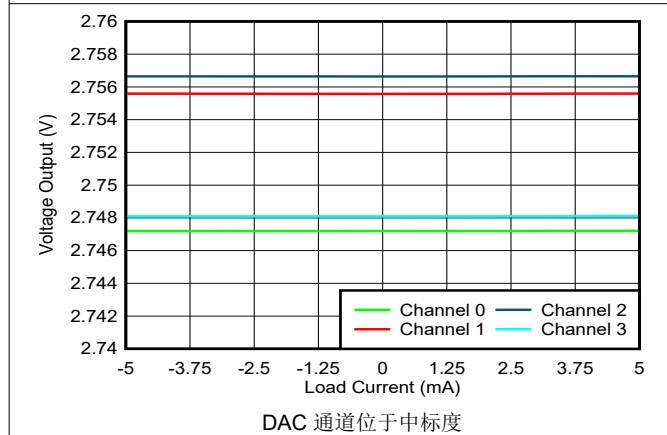


图 6-18. 电压输出与负载电流间的关系

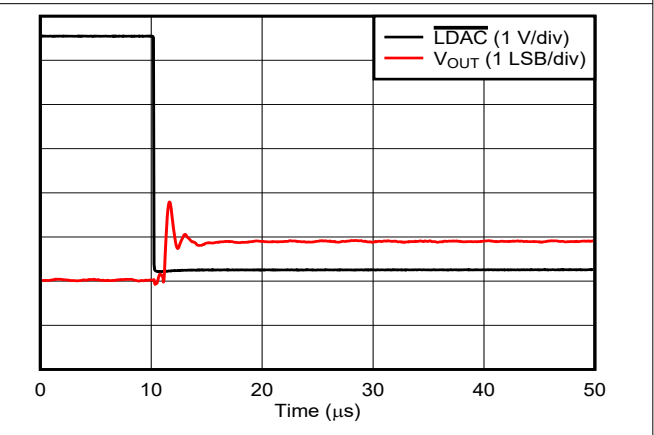


图 6-19. 电压输出代码对代码干扰 - 上升沿

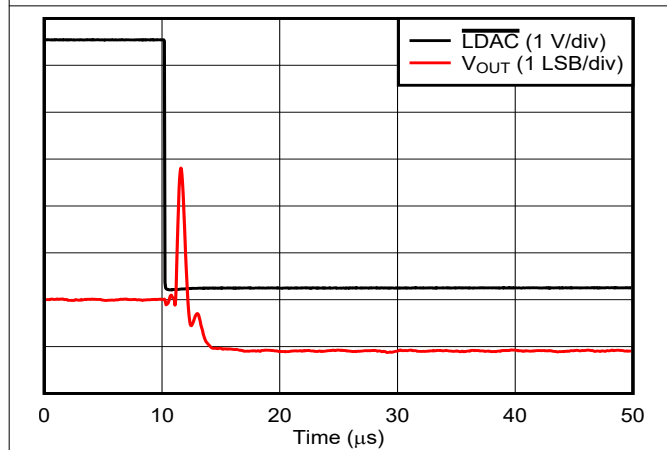


图 6-20. 电压输出代码对代码干扰 - 下降沿

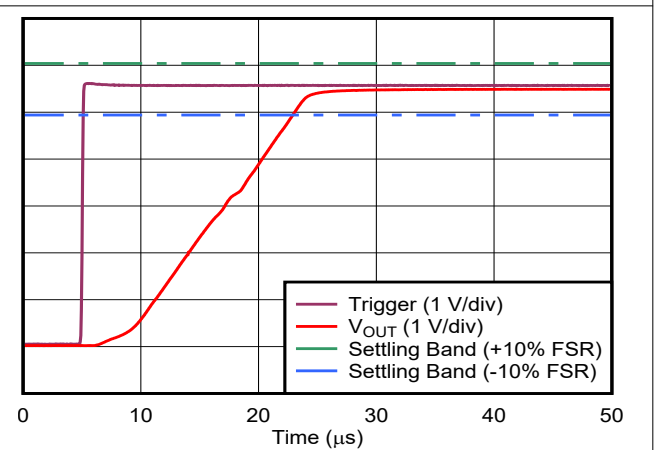
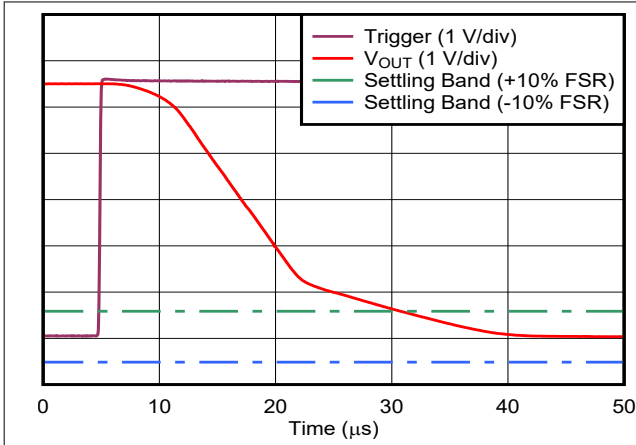


图 6-21. 电压输出建立时间 - 上升沿

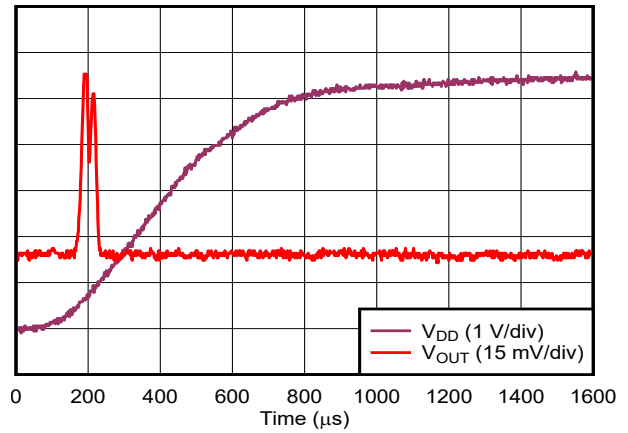
### 6.17 典型特性：电压输出 (continued)

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 外部基准 = 5.5V, 增益 = 1x, 12 位分辨率且 DAC 输出为空载 (除非另有说明)



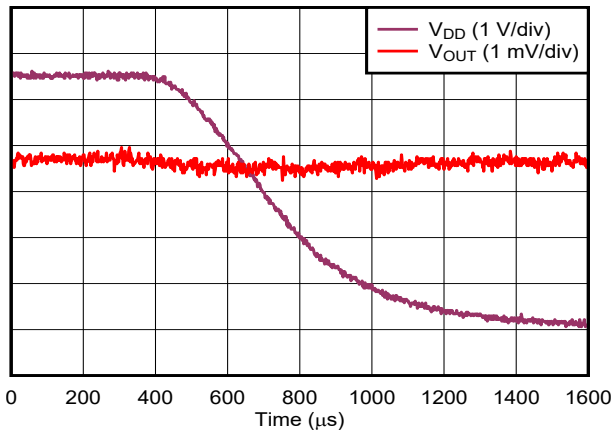
满量程到零标度摆幅

图 6-22. 电压输出建立时间 - 下降沿



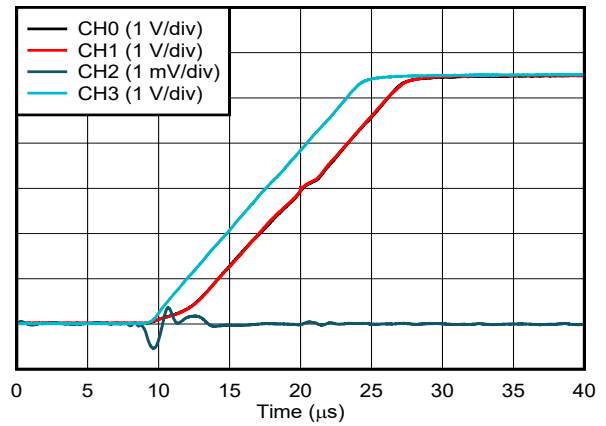
DAC 处于高阻态断电模式

图 6-23. 电压输出加电干扰



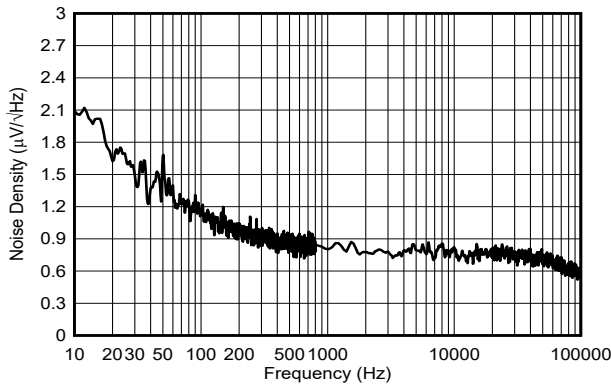
DAC 处于零标度

图 6-24. 电压输出断电干扰



通道 2 是受扰对象，所有其他通道都是干扰源

图 6-25. 电压输出通道间串扰



内部基准，增益 = 4x

图 6-26. 电压输出噪声密度

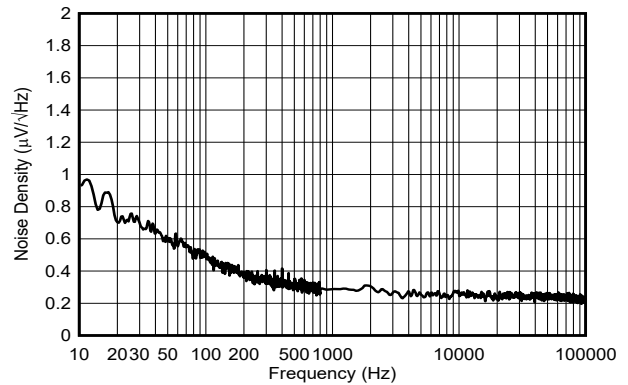
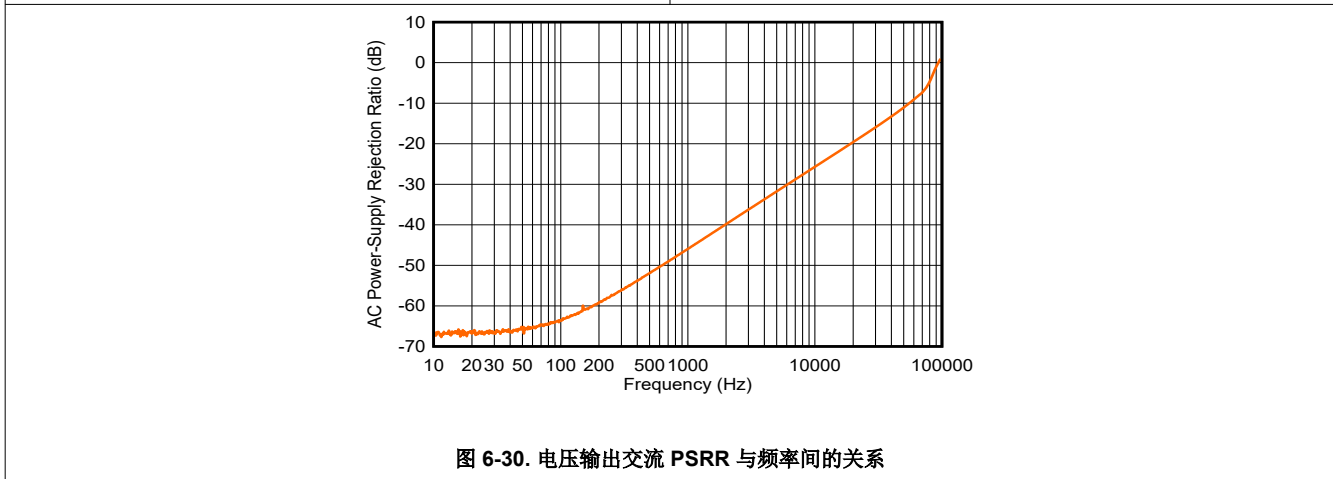
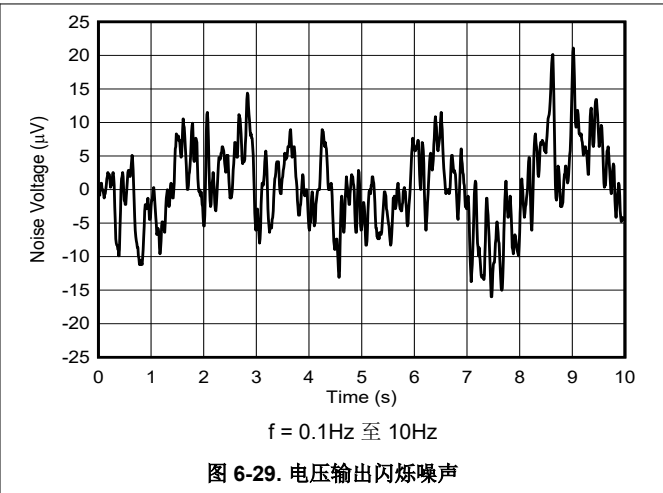
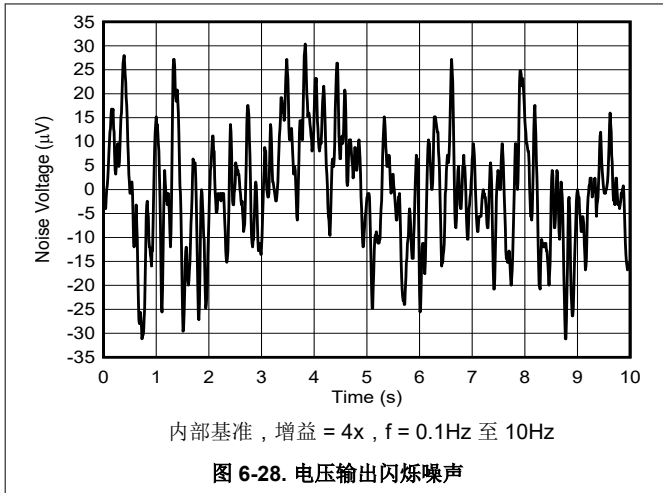


图 6-27. 电压输出噪声密度

### 6.17 典型特性：电压输出 (continued)

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 外部基准 = 5.5V, 增益 = 1x, 12 位分辨率且 DAC 输出为空载 (除非另有说明)



### 6.18 典型特性：电流输出

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 输出范围： $\pm 250\ \mu\text{A}$  (除非另有说明)

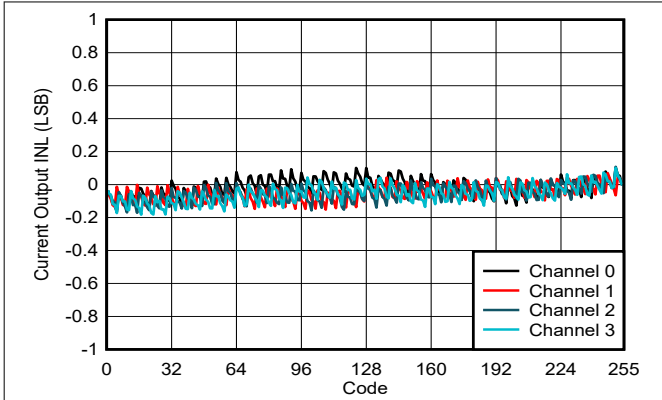
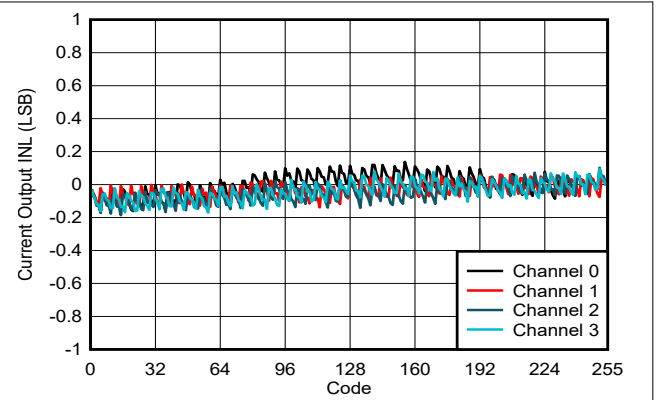
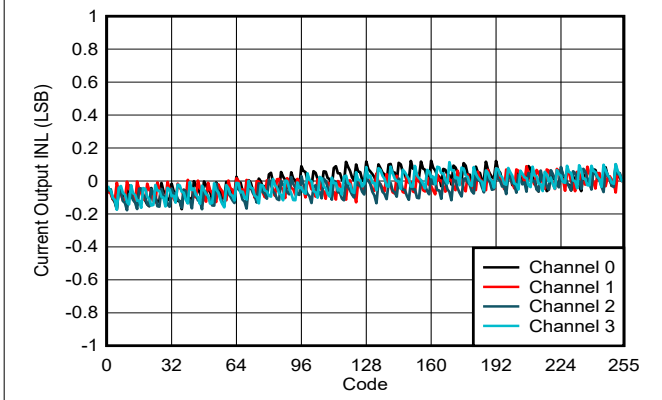


图 6-31. 电流输出 INL 与数字输入代码间的关系



输出范围： $0\ \mu\text{A}$  至  $250\ \mu\text{A}$

图 6-32. 电流输出 INL 与数字输入代码间的关系



输出范围： $0\ \mu\text{A}$  至  $-240\ \mu\text{A}$

图 6-33. 电流输出 INL 与数字输入代码间的关系

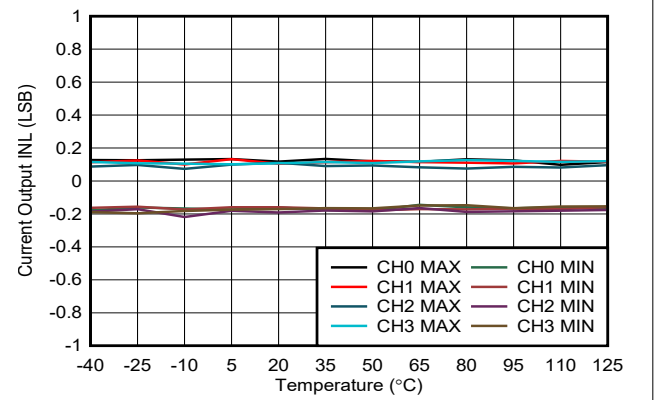


图 6-34. 电流输出 INL 与温度间的关系

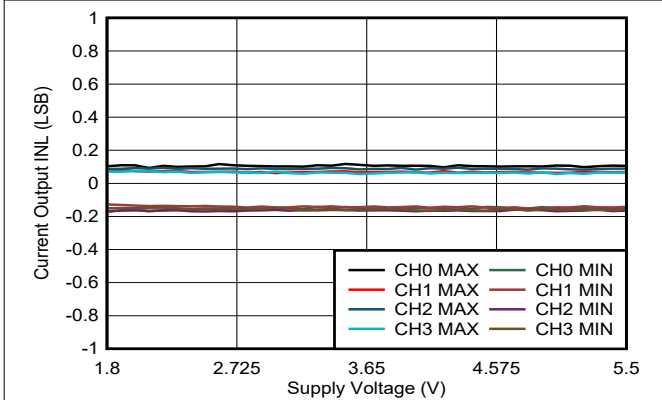


图 6-35. 电流输出 INL 与电源电压间的关系

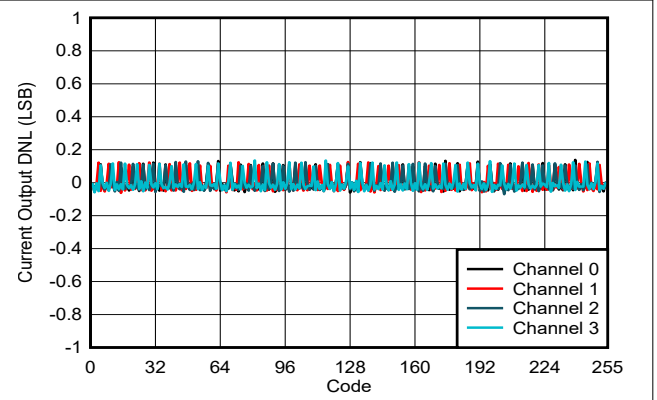


图 6-36. 电流输出 DNL 与数字输入代码间的关系

### 6.18 典型特性：电流输出 (continued)

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 输出范围： $\pm 250\ \mu\text{A}$  (除非另有说明)

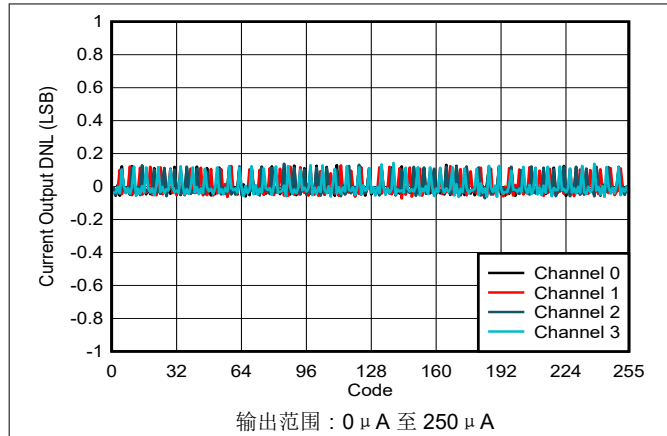


图 6-37. 电流输出 DNL 与数字输入代码间的关系

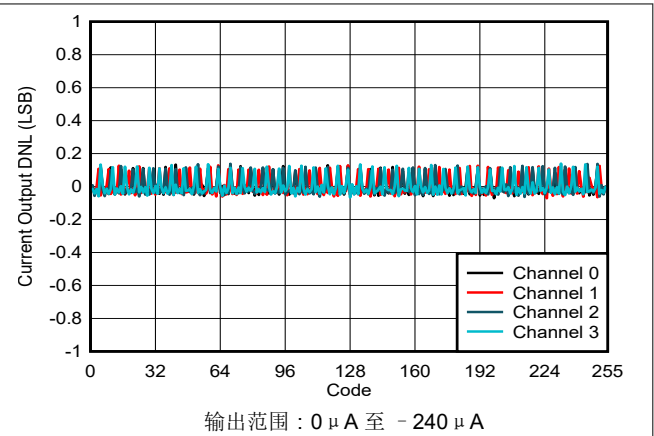


图 6-38. 电流输出 DNL 与数字输入代码间的关系

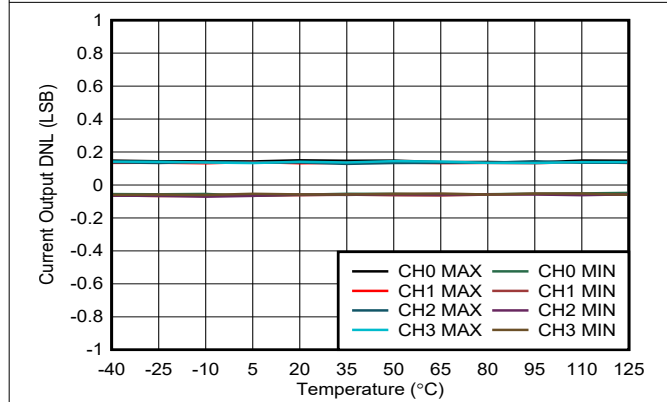


图 6-39. 电流输出 DNL 与温度间的关系

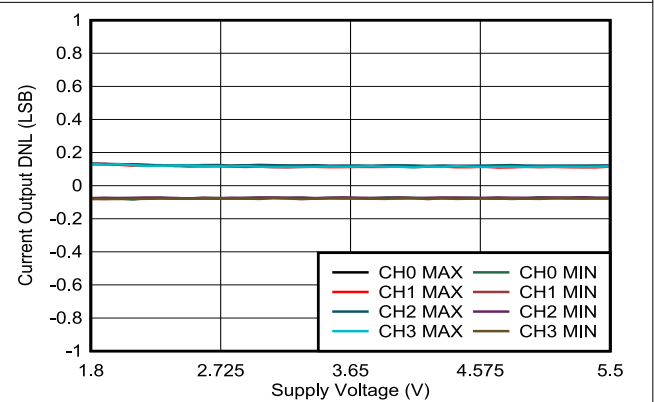


图 6-40. 电流输出 DNL 与电源电压间的关系

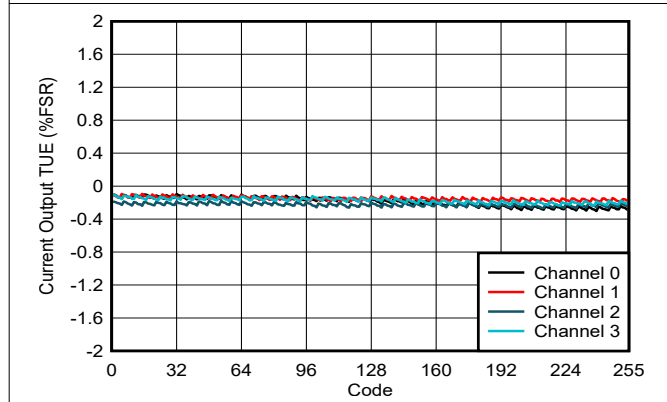


图 6-41. 电流输出 TUE 与数字输入代码间的关系

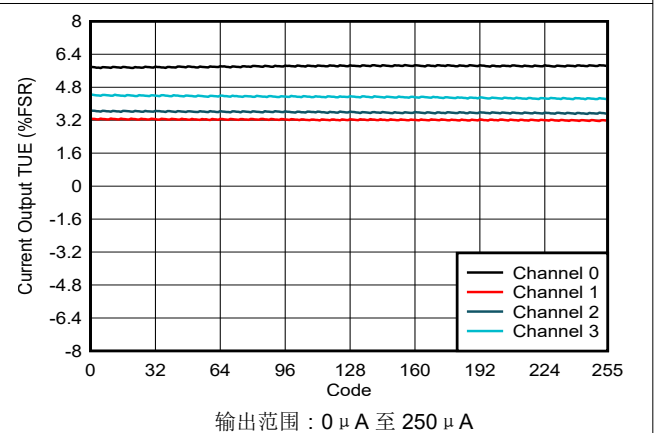
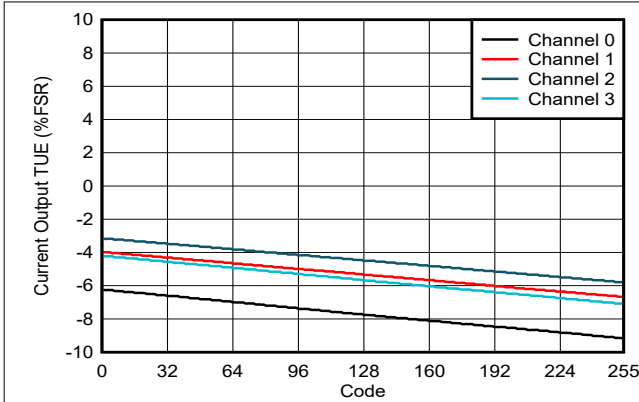


图 6-42. 电流输出 TUE 与数字输入代码间的关系

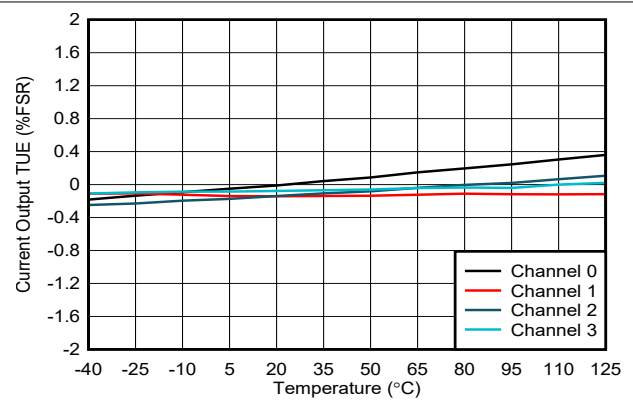
### 6.18 典型特性：电流输出 (continued)

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 输出范围： $\pm 250\ \mu\text{A}$  (除非另有说明)



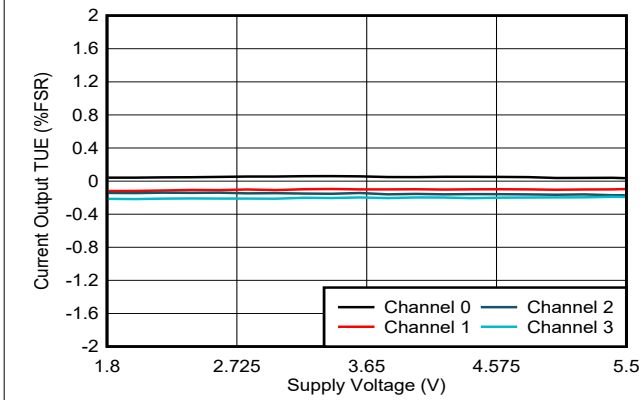
输出范围： $0\ \mu\text{A}$  至  $-240\ \mu\text{A}$

图 6-43. 电流输出 TUE 与数字输入代码间的关系



DAC 通道位于中标度

图 6-44. 电流输出 TUE 与温度间的关系



DAC 通道位于中标度

图 6-45. 电流输出 TUE 与电源电压间的关系

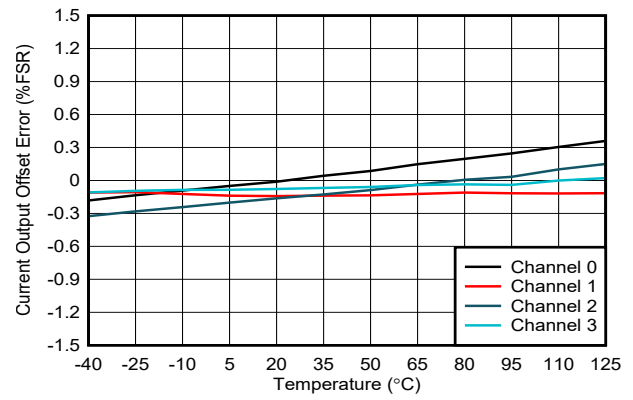


图 6-46. 电流输出偏移误差与温度间的关系

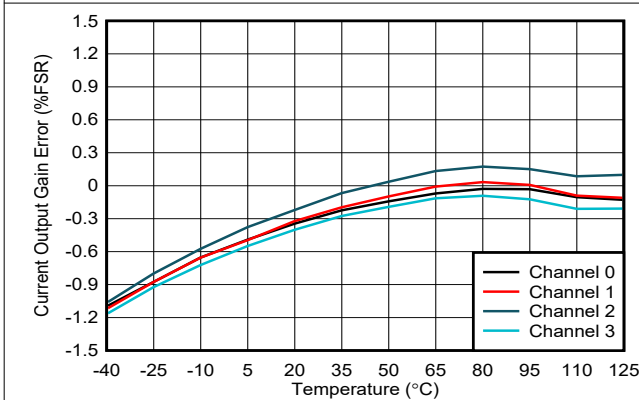


图 6-47. 电流输出增益误差与温度间的关系

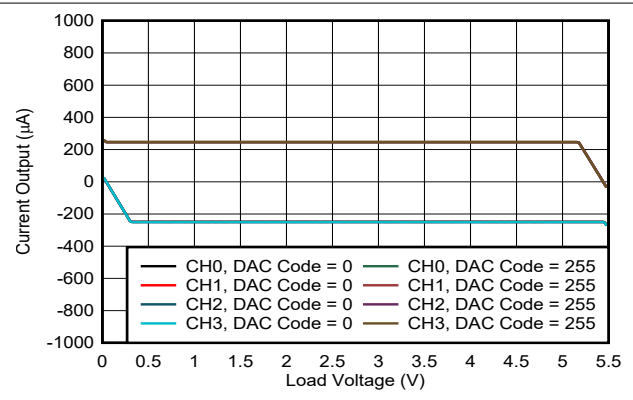


图 6-48. 电流输出与负载电压间的关系

### 6.18 典型特性：电流输出 (continued)

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 输出范围： $\pm 250\ \mu\text{A}$  (除非另有说明)

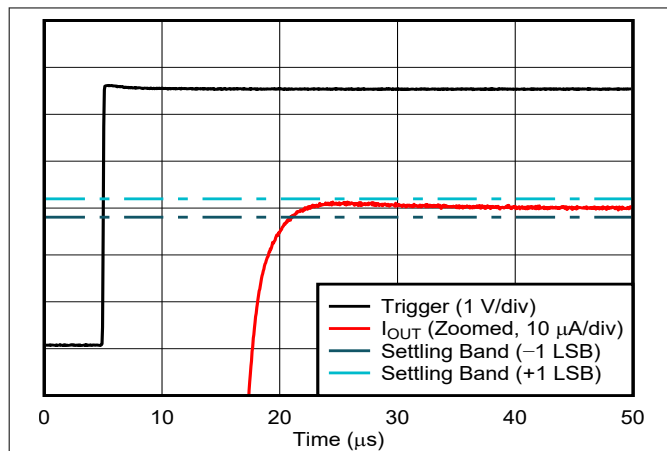


图 6-49. 电流输出建立时间 (上升沿)

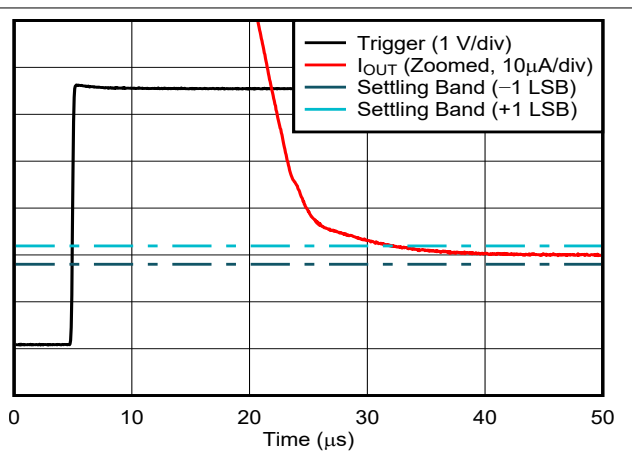
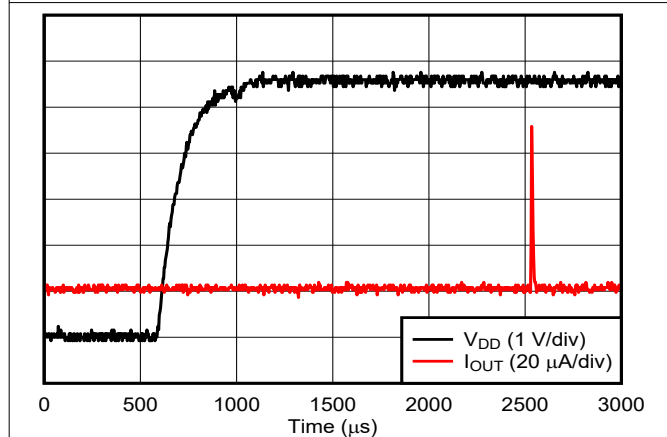
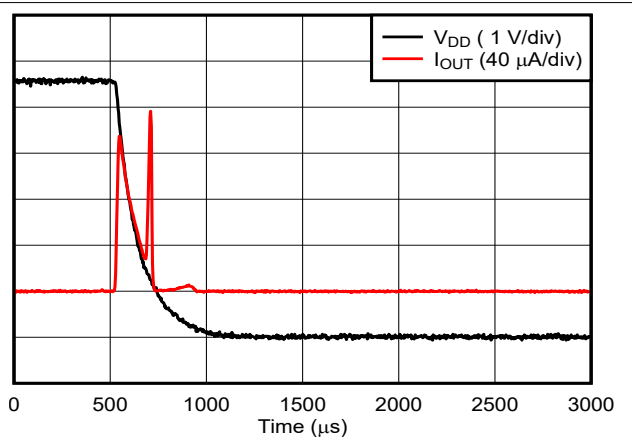


图 6-50. 电流输出建立时间 (下降沿)



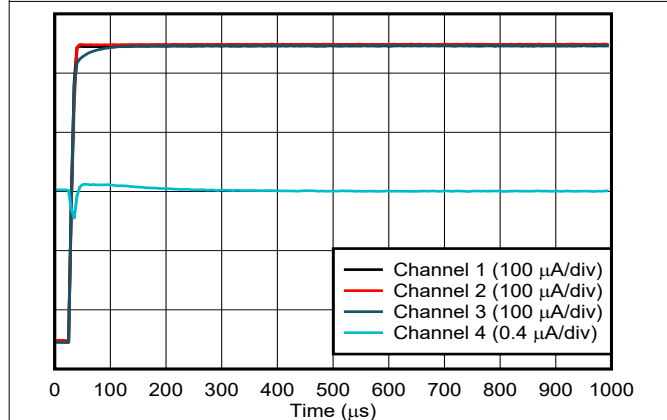
EEPROM 中存储的 DAC 中标度 ( $0\ \mu\text{A}$ )

图 6-51. 电流输出加电干扰



DAC 处于中标度 ( $0\ \mu\text{A}$ )

图 6-52. 电流输出断电干扰



通道 4 是受扰对象, 所有其他通道都是干扰源

图 6-53. 电流输出通道间串扰

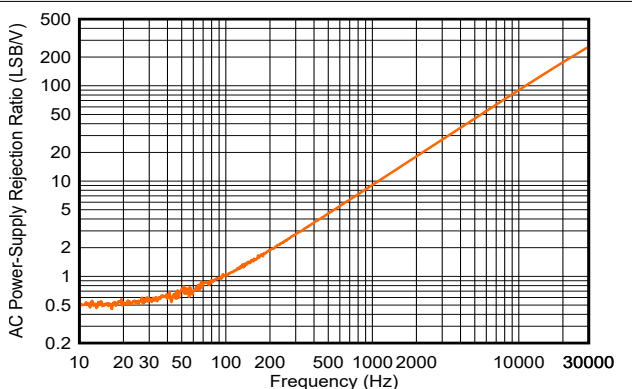
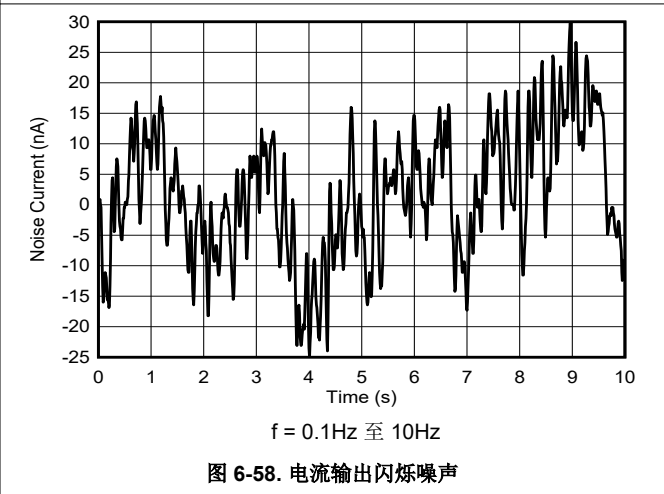
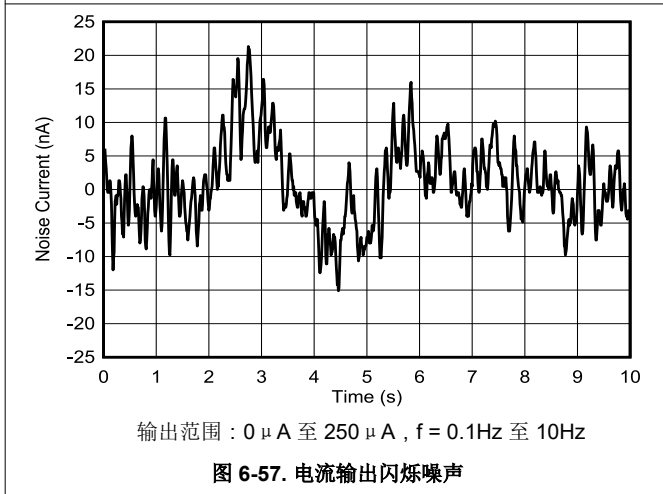
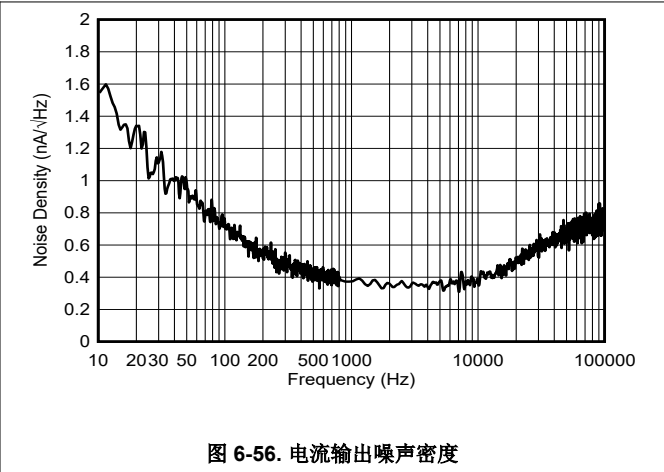
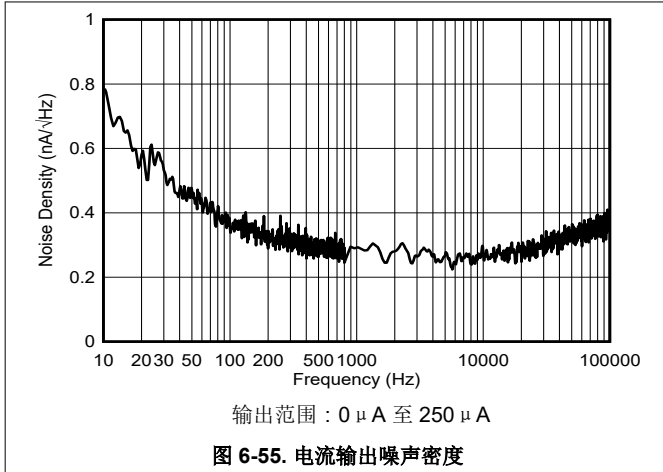


图 6-54. 电流输出交流 PSRR 与频率间的关系



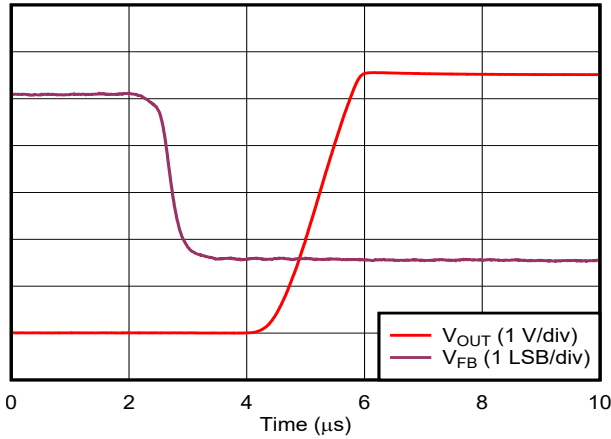
### 6.18 典型特性：电流输出 (continued)

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 输出范围： $\pm 250\ \mu\text{A}$  (除非另有说明)



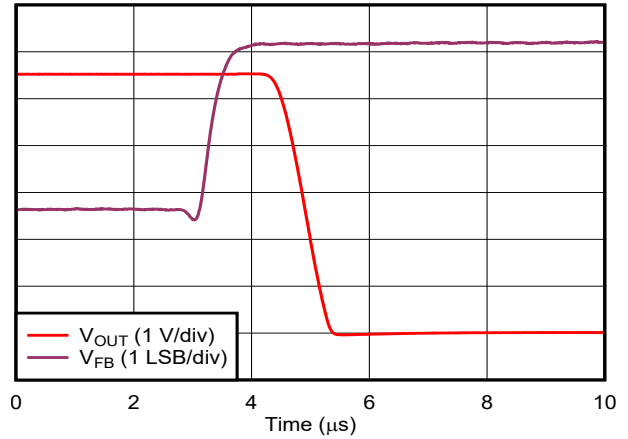
### 6.19 典型特性：比较器

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 外部基准 = 5.5V, 增益 = 1x, 12 位分辨率, FBx 引脚处于高阻态模式且 DAC 输出为空载 (除非另有说明)



推挽模式下的比较器输出

图 6-59. 比较器响应时间：低电平到高电平转换



推挽模式下的比较器输出

图 6-60. 比较器响应时间：高电平到低电平转换

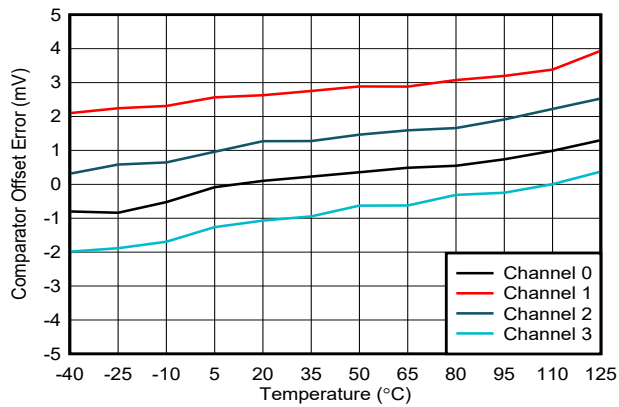


图 6-61. 比较器偏移误差与温度间的关系

## 6.20 典型特性：通用

$T_A = 25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ , 且 DAC 输出为空载 (除非另有说明)

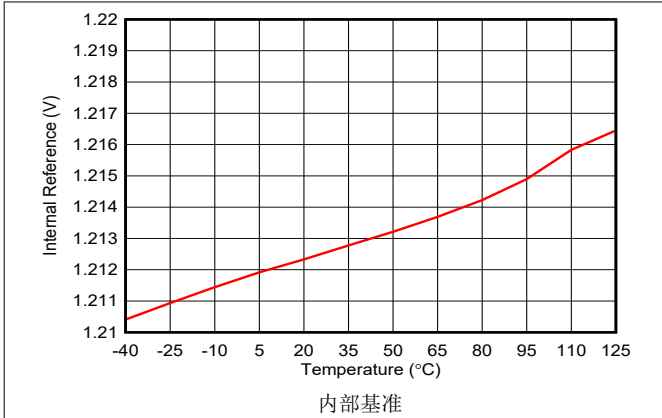


图 6-62. 内部基准与温度间的关系

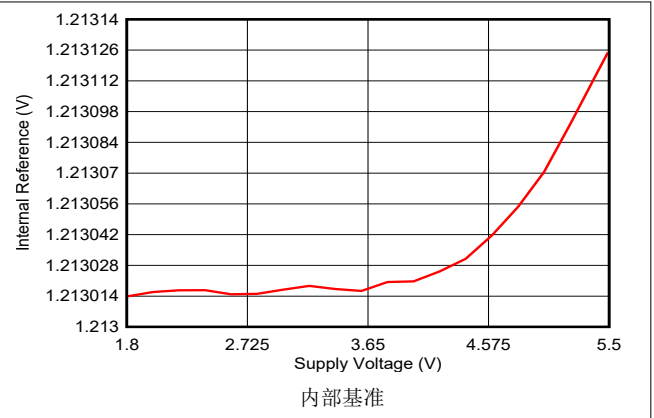


图 6-63. 内部基准与电源电压间的关系

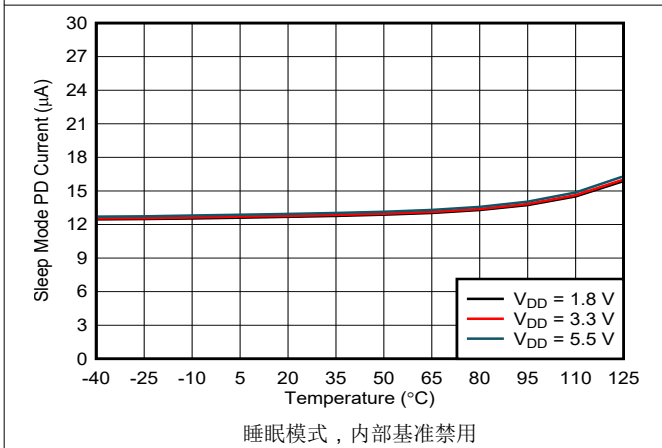


图 6-64. 断电电流与温度间的关系

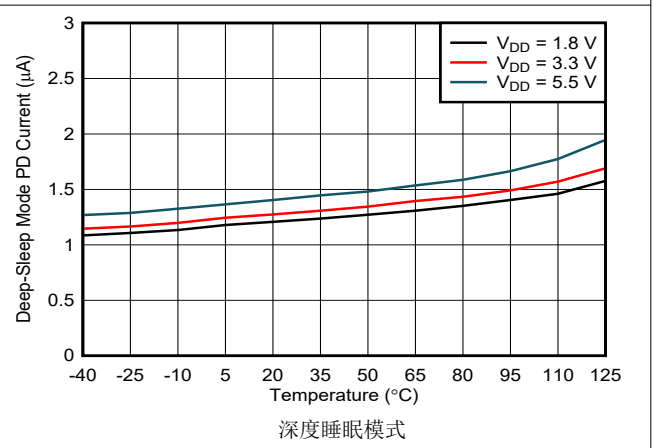


图 6-65. 断电电流与温度间的关系

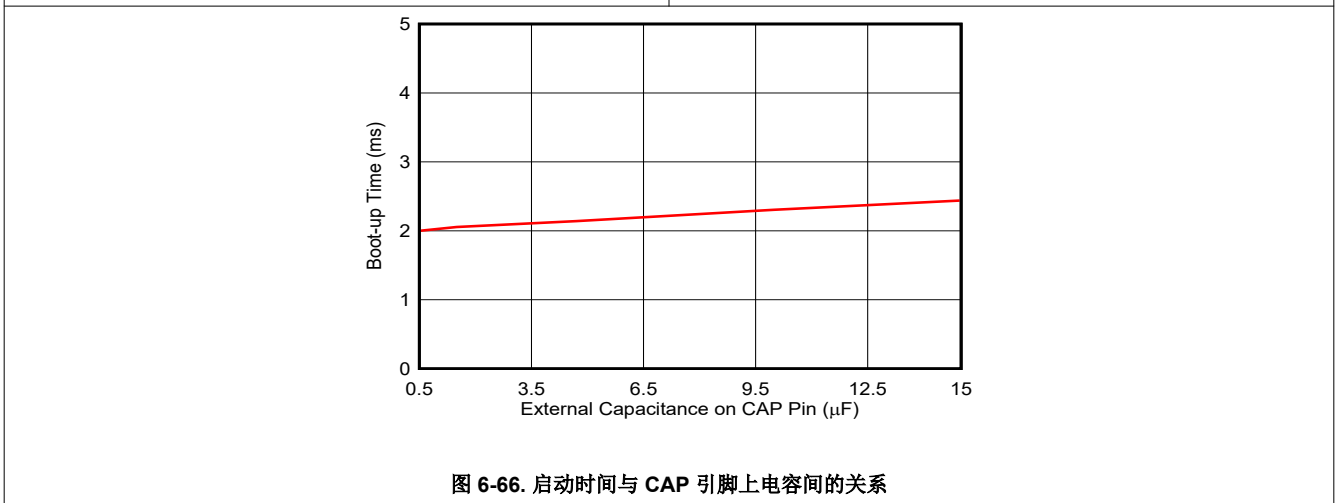


图 6-66. 启动时间与 CAP 引脚上电容间的关系

## 7 详细说明

### 7.1 Overview

The 12-bit DAC63004 and 10-bit DAC53004 (DACx3004) are a pin-compatible family of ultra-low-power, quad-channel, buffered voltage-output and current-output, smart digital-to-analog converters (DACs). The DAC channels are independently configurable as voltage output or current output. The DAC outputs change to Hi-Z when VDD is off; a feature useful in voltage-margining applications. These smart DACs contain nonvolatile memory (NVM), an internal reference, automatically detectable I<sup>2</sup>C and SPI interface, PMBus-compatibility in I<sup>2</sup>C mode, a force-sense output, and a general-purpose input/output. These devices support Hi-Z power-down modes by default, which can also be configured to 10 k $\Omega$ -GND or 100 k $\Omega$ -GND using the NVM. The DACx3004 have a power-on-reset (POR) circuit that makes sure all the registers start with default or user-programmed settings using NVM. The DACx3004 operate with either an internal reference, external reference, or with a power supply as the reference, and provide a full-scale output between 1.8 V and 5.5 V.

The DACx3004 devices support I<sup>2</sup>C standard mode (100 kbps), fast mode (400 kbps), and fast mode plus (1 Mbps). The I<sup>2</sup>C interface can be configured with four target addresses using the A0 pin. These devices also support specific PMBus commands such as *turn on/off*, *margin high or low*, and more. SPI mode supports a three-wire interface by default, with up to a 50-MHz SCLK input. The GPIO input can be configured as SDO in the NVM for SPI read capability. The GPIO input can also be configured as FAULT-DUMP, LDAC, PD, PROTECT, RESET, and STATUS functions. These devices support deep-sleep mode in addition to sleep (power-down) mode. Deep-sleep mode uses the GPIO pin for power-down and wake up, in which the device draws a very-low power-down current of 3  $\mu$ A. Together with ultra-low-power operation, the DACx3004 are designed for battery-operated applications, such as land mobile radios, medical pulse oximeters, and laptops.

The DACx3004 also include digital slew rate control, and support standard waveform generation such as *sine and cosine*, *triangular*, and *sawtooth*. These devices can generate pulse-width modulation (PWM) output with the combination of the triangular or sawtooth waveform and the FB pin. The force-sense outputs of the DAC channels can be used as programmable comparators. Comparator mode allows programmable hysteresis, latching comparator, and window comparator. These features enable the DACx3004 to go beyond the limitations of a conventional DAC that depends on a processor to function. As a result of processor-less operation and the *smart* feature set, the DACx3004 are called smart DACs.

### 7.2 功能方框图

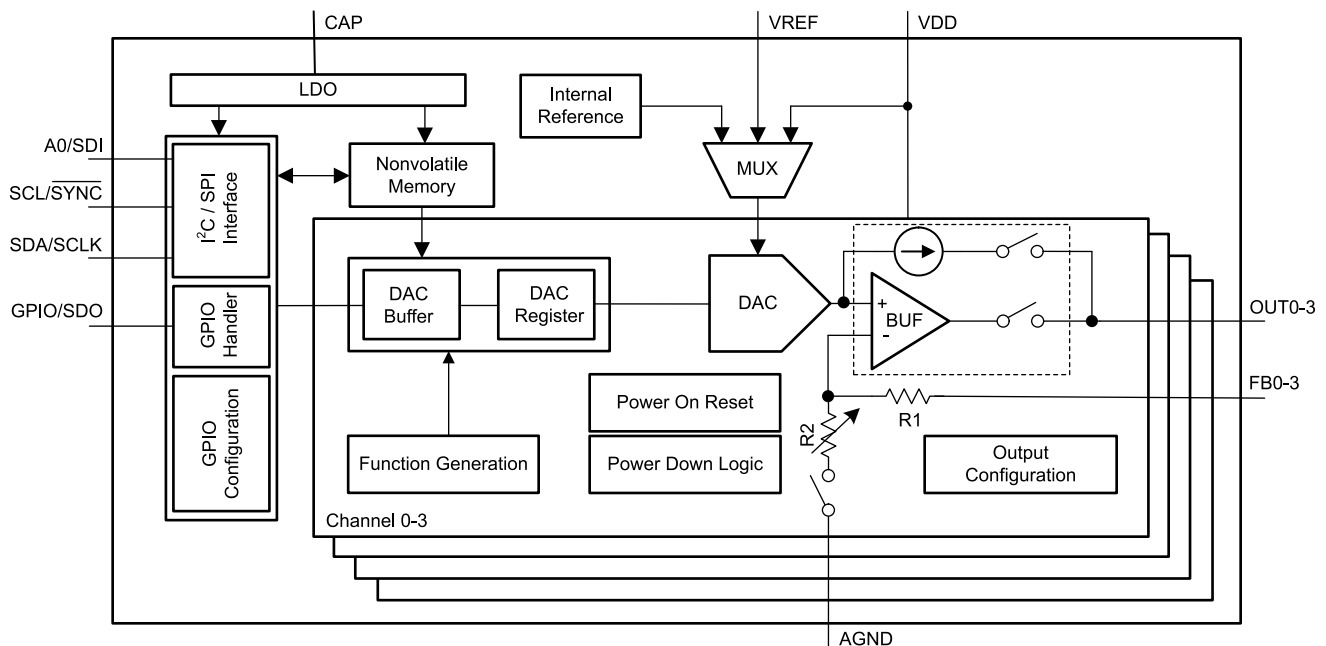


图 7-1. 功能方框图

## 7.3 特性说明

### 7.3.1 智能数模转换器 (DAC) 架构

DACx3004 器件采用每个通道均具有一个电压输出放大器和一个外部 FB 引脚和电压电流转换器的串式架构。节 7.2 显示了方框图中的 DAC 架构，该架构采用 1.8V 至 5.5V 电源供电。DAC 的内部电压基准为 1.21V。有一个选项可以选择 VREF 引脚上的外部基准或以电源作为基准。电压输出模式使用这三个基准选项之一。电流输出模式使用内部带隙来生成电流输出。电压和电流输出模式均支持多个可编程输出范围。

DACx3004 器件在 VDD 关闭时支持高阻态输出，能够在强制电压高达 1.25V 的条件下在输出引脚上保持极低的泄漏电流。默认情况下，DAC 输出引脚也以高阻抗模式启动，这使得这些器件非常适合电压裕量和调节应用。要将加电模式更改为 10k $\Omega$  GND 或 100k $\Omega$  GND，需对 COMMON-CONFIG 寄存器中相应的 VOUT-PDN-X 字段进行编程，并将这些位加载到器件 NVM 中。

DACx3004 器件支持每个通道的独立比较器模式。相应的 FBx 引脚充当比较器的输入。DAC 架构支持使用寄存器设置反转比较器输出。比较器输出可以是推挽式或开漏式。比较器模式支持使用裕度高和裕度低寄存器字段的可编程迟滞、锁存比较器和窗口比较器。比较器输出可由器件在内部访问。

DACx3004 器件包括一个智能功能集，可实现无处理器运行和高度集成。NVM 支持可预测的启动。在没有处理器时，或者处理器或软件出现故障时，GPIO 在没有 I<sup>2</sup>C 接口的情况下触发 DAC 输出。集成功能和 FBx 引脚可为控制应用启用 PWM 输出。FBx 引脚使该器件能够用作可编程比较器。数字转换率控制和高阻态断电模式可实现轻松的电压裕量和调节功能。

### 7.3.2 数字输入/输出

DACx3004 有四个数字 IO 引脚，其中包括 I<sup>2</sup>C、SPI、PMBus 和 GPIO 接口。这些器件会在加电后首次成功通信时自动检测 I<sup>2</sup>C 和 SPI 协议，然后连接到检测到的接口。连接接口协议后，协议中的任何更改都将被忽略。I<sup>2</sup>C 接口使用 A0 引脚从四个地址选项中进行选择。SPI 接口默认为 3 线接口。此模式下没有回读功能。GPIO 引脚可在寄存器映射中配置，然后编程到 NVM 中作为 SDO 引脚。SPI 回读模式比写入模式慢。编程接口引脚为：

- I<sup>2</sup>C : SCL、SDA、A0
- SPI : SCLK、SDI、 $\overline{\text{SYNC}}$ 、SDO/GPIO

GPIO 可配置为 SDO 以外的多种功能。这些是  $\overline{\text{LDAC}}$ 、 $\overline{\text{PD}}$ 、 $\overline{\text{STATUS}}$ 、 $\overline{\text{PROTECT}}$ 、 $\overline{\text{FAULT-DUMP}}$  和  $\overline{\text{RESET}}$ 。当用作输出时，所有数字引脚都是开漏。因此，必须使用外部电阻器将所有输出引脚上拉至所需的 IO 电压。

### 7.3.3 非易失性存储器 (NVM)

DACx3004 包含非易失性存储器 (NVM) 位。这些存储器位是用户可编程和可擦除的，并且会断电的情况下保留设定的值。所有寄存器位（如表 7-20 中灰色单元格高亮显示）都可以通过 COMMON-TRIGGER 寄存器中设置 NVM-PROG = 1 来存储在 NVM 中。NVM-PROG 位会自动复位。一旦发生 POR 事件，DACx3004 中所有寄存器的默认值都将立即从 NVM 加载。

DACx3004 还在 COMMON-TRIGGER 寄存器中实现了 NVM-RELOAD 位。将该位设置为 1 可以让器件启动 NVM 重新加载操作。完成后，器件将 NVM-RELOAD 位自动复位为 0。在 NVM 写入或重新加载操作期间，对器件的所有读/写操作都会被阻止。节 6.8 提供了 NVM 写入周期的时序规格。处理器必须等待指定的持续时间，然后才能在 SPI 或 I<sup>2</sup>C 接口上恢复任何读取或写入操作。

### 7.3.4 Power Consumption

The power consumption of the DACx3004 in sleep mode and deep-sleep mode are provided in 节 6.20. In normal operation, the total power consumption of the device depends on the number of channels powered on and the output mode of each channel (voltage or current). In current-output mode, the I<sub>DD</sub> also depends on the output range. The I<sub>DD</sub> calculation excludes the load current. For example, in the ±250 μA output mode with a DAC setting of +125 μA, the total current drawn through the VDD pin is the total I<sub>DD</sub> plus 125 μA. The total I<sub>DD</sub> in normal operation can be calculated using 方程式 1.

$$P_{\text{NORMAL\_MODE}} = V_{\text{DD}} \times (I_{\text{DD\_SLEEP}} + I_{\text{DD\_REF}}) + \sum_{X=0}^3 (V_{\text{DD}} \times I_{\text{DD\_X}}) \quad (1)$$

where:

- I<sub>DD\_SLEEP</sub> is the current through V<sub>DD</sub> in sleep mode when all the channels and internal reference are powered down.
- I<sub>DD\_REF</sub> is the reference current, which is:
  - either the current drawn by the reference input impedance when V<sub>DD</sub> is used as reference
  - or the current drawn by the internal reference, if enabled
- I<sub>DD\_X</sub> is the current through V<sub>DD</sub> for every powered-on channel-X.

---

#### 备注

When an external reference is used, the current is calculated mainly as the current sourced from the external reference, which is equal to the reference voltage divided by the input impedance of the VREF pin.

---

## 7.4 器件功能模式

### 7.4.1 电压输出模式

通过在 COMMON-CONFIG 寄存器的 VOUT-PDN-X 字段中选择加电选项，并使用同一寄存器中的 IOOUT-PDN-X 位同时为各个通道的电流输出选项断电，可以进入每个 DAC 通道的电压输出模式。将相应通道的 OUTx 和 FBx 引脚从外部短接可以实现闭环放大器输出。FBx 引脚开路会使放大器输出饱和。要获得所需的电压输出，请选择正确的基准选项，为所需的输出范围选择放大器增益，并在相应通道的 DAC-X-DATA 寄存器中对 DAC 代码进行编程。

#### 7.4.1.1 电压基准和 DAC 传递函数

DACx3004 可以支持以下三种电压基准选项：内部基准、外部基准，以及以电源作为基准，如图 7-2 所示。电压输出和比较器模式下的 DAC 传递函数会根据电压基准选择而变化。

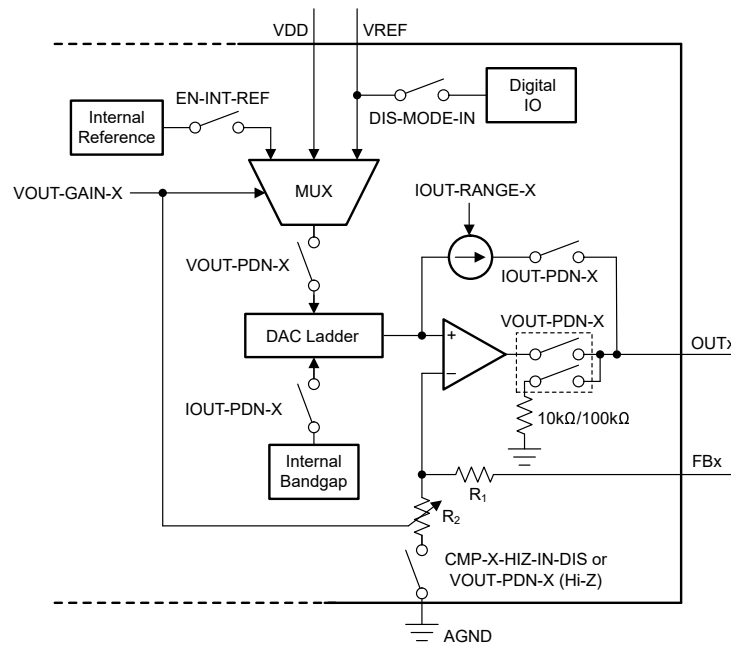


图 7-2. 电压基准选择与断电逻辑

##### 7.4.1.1.1 内部基准

DACx3004 包含默认禁用的内部基准。要启用内部基准，需将 1 写入 COMMON-CONFIG 寄存器中的位 EN-INT-REF。内部基准生成固定的 1.21V 电压 (典型值)。使用 DAC-X-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-X 位可实现 DAC 输出电压 ( $V_{OUT}$ ) 的 1.5x、2x、3x 或 4x 增益。方程式 2 显示了使用内部基准的 DAC 传递函数。

$$V_{OUT} = \frac{DAC\_DATA}{2^N} \times V_{REF} \times GAIN \quad (2)$$

其中：

- N 为分辨率 (单位为位)，等于 10 (DAC53004) 或 12 (DAC63004)。
- DAC\_DATA 是加载到 DAC-X-DATA 寄存器的 DAC-X-DATA 位的二进制代码的十进制等效值。DAC\_DATA 范围为 0 至  $2^N - 1$ 。
- $V_{REF}$  为内部基准电压，等于 1.21V (典型值)
- 增益 = 1.5x、2x、3x 或 4x，具体取决于 VOUT-X-GAIN 位。

#### 7.4.1.1.2 外部基准

默认情况下，DACx3004 采用外部基准输入工作。也可以通过适当地配置 DAC-X-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-X 字段来选择外部基准选项。将 1 写入 DEVICE-MODE-CONFIG 寄存器中的 DIS-MODE-IN 位以尽可能减小 I<sub>DD</sub>。外部基准电压可介于 1.7V 和 V<sub>DD</sub> 之间。方程式 3 显示了使用外部基准时的 DAC 传递函数。在外部基准模式下，DAC 输出级的增益始终为 1x。

#### 备注

在瞬态和稳态条件下，外部基准都必须小于 V<sub>DD</sub>。因此，外部基准必须在 V<sub>DD</sub> 之后斜升，在 V<sub>DD</sub> 之前斜降。

$$V_{OUT} = \frac{DAC\_DATA}{2^N} \times V_{REF} \quad (3)$$

其中：

- N 为分辨率（单位为位），等于 10 (DAC53004) 或 12 (DAC63004)。
- DAC\_DATA 是加载到 DAC-X-DATA 寄存器的 DAC-X-DATA 字段的二进制代码的十进制等效值。DAC\_DATA 范围为 0 至 2<sup>N</sup> - 1。
- V<sub>REF</sub> 为外部基准电压。

#### 7.4.1.1.3 电源作为基准

DACx3004 可以采用电源引脚 (V<sub>DD</sub>) 作为基准工作。方程式 4 显示了电源引脚用作基准时的 DAC 传递函数。输出级的增益始终为 1x。

$$V_{OUT} = \frac{DAC\_DATA}{2^N} \times V_{DD} \quad (4)$$

其中：

- N 为分辨率（单位为位），等于 10 (DAC53004) 或 12 (DAC63004)。
- DAC\_DATA 是加载到 DAC-X-DATA 寄存器的 DAC-X-DATA 位的二进制代码的十进制等效值。
- DAC\_DATA 范围为 0 至 2<sup>N</sup> - 1。
- V<sub>DD</sub> 用作 DAC 基准电压。

#### 7.4.2 电流输出模式

要进入每个 DAC 通道的电流输出模式，需禁用 COMMON-CONFIG 寄存器中相应的 IOOUT-PDN-X 位，并将同一寄存器中相应的 VOUT-PDN-X 位设置为高阻态断电模式。通过写入 DAC-X-IOOUT-MISC-CONFIG 寄存器中的 IOOUT-RANGE-X 位可以选择所需的电流输出范围。为了尽可能减少电流输出模式中的泄漏，需断开 FBx 引脚。为了获得出色的上电干扰性能，需在为输出通道上电之前使用最小输出范围通过 IOOUT 模式对 NVM 进行编程，然后立即对 DAC 代码和所需输出范围进行编程。方程式 5 显示了输出电流的传递函数。

$$I_{OUT} = \frac{DAC\_DATA \times (I_{MAX} - I_{MIN})}{2^8} + I_{MIN} \quad (5)$$

其中：

- DAC\_DATA 是加载到 DAC-X-DATA 位的二进制代码的十进制等效值，如节 7.6.8) 所示。DAC\_DATA 范围为 0 至 255。
- I<sub>MAX</sub> 是 IOOUT-RANGE-X 设置中的带符号最大电流，如节 7.6.5 所示。
- I<sub>MIN</sub> 是 IOOUT-RANGE-X 设置中的带符号最小电流，如节 7.6.5 所示。

#### 7.4.3 比较器模式

在电压输出模式下，所有 DAC 通道均可配置为可编程比较器。要进入某个通道的比较器模式，需向相应 DAC-X-VOUT-CMP-CONFIG 寄存器的 CMP-X-EN 位中写入 1。比较器输出可使用 CMP-X-OD-EN 位配置为推挽或开漏



输出。要启用输出引脚上的比较器输出，需向 CMP-X-OUT-EN 位写入 1。要反转比较器输出，需向 CMP-X-INV-EN 位写入 1。FBx 引脚具有有限阻抗。默认情况下，FBx 引脚处于高阻抗模式。要禁用 FBx 引脚上的高阻抗，需向 CMP-X-HIZ-IN-DIS 位写入 1。表 7-1 显示了不同位设置条件下该引脚上的比较器输出。

备注

在高阻态输入模式下，比较器输入范围限制为：

- 对于 GAIN = 1x、1.5x 或 2x :  $V_{FB} \leq (V_{REF} \times GAIN) / 3$
- 对于 GAIN = 3x 或 4x :  $V_{FB} \leq (V_{REF} \times GAIN) / 6$

任何较高的输入电压都会被削波。

表 7-1. 比较器输出配置

CMP-X-EN	CMP-X-OUT-EN	CMP-X-OD-EN	CMP-X-INV-EN	CMPX-OUT PIN
0	X	X	X	比较器未启用
1	0	X	X	无输出
1	1	0	0	推挽式输出
1	1	0	1	推挽和反相输出
1	1	1	0	开漏输出
1	1	1	1	开漏和反相输出

图 7-3 显示了所有 DAC 通道均配置为比较器时的接口电路。可编程比较器操作如图 7-4 所示。在无迟滞、带迟滞和窗口比较器模式下，可以使用相应 DAC-X-CMP-MODE-CONFIG 寄存器中的 CMP-X-MODE 位来配置各个比较器通道，如表 7-2 所示。

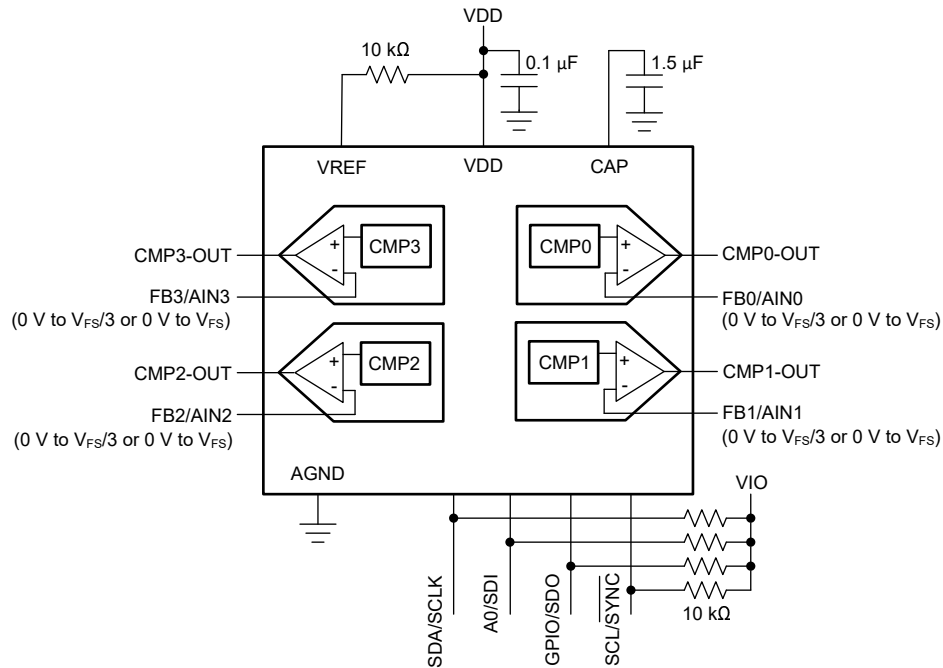


图 7-3. 比较器接口

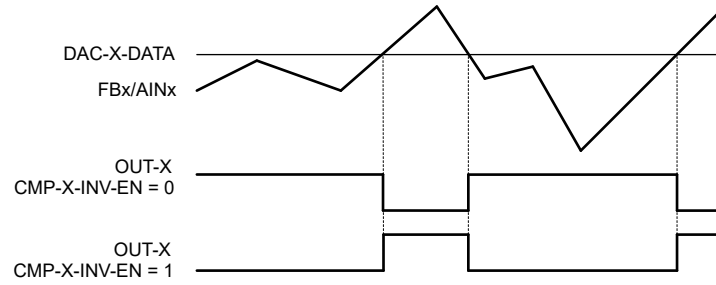


图 7-4. 可编程比较器操作

表 7-2. 比较器模式选择

CMP-X-MODE 位字段	比较器配置
00	正常比较器模式。无迟滞或窗口操作。
01	迟滞比较器模式。DAC-X-MARGIN-HIGH 和 DAC-X-MARGIN-LOW 寄存器设置迟滞。
10	窗口比较器模式。DAC-X-MARGIN-HIGH 和 DAC-X-MARGIN-LOW 寄存器设置窗口边界。
11	无效设置

### 7.4.3.1 可编程迟滞比较器

当 CMP-X-MODE 位设置为 01b 时，比较器模式提供迟滞，如表 7-2 所示。迟滞由 DAC-X-MARGIN-HIGH 和 DAC-X-MARGIN-LOW 寄存器提供，如图 7-5 所示。

当 DAC-X-MARGIN-HIGH 设置为全代码或 DAC-X-MARGIN-LOW 设置为零代码时，比较器用作锁存比较器，即在超过阈值后锁存输出。通过写入 COMMON DAC-TRIG 寄存器中相应的 RST-CMP-FLAG-X 位，可以复位锁存输出。图 7-6 显示了具有低电平有效输出的闭锁比较器的行为，而图 7-7 显示了具有高电平有效输出的闭锁比较器的行为。

#### 备注

DAC-X-MARGIN-HIGH 寄存器的值必须大于 DAC-X-MARGIN-LOW 寄存器的值。迟滞模式下的比较器输出只能是同相的，即 DAC-X-VOUT-CMP-CONFIG 寄存器中的 CMP-X-INV-EN 位必须设置为 0。在锁存模式下，为了使复位生效，输入电压必须在 DAC-X-MARGIN-HIGH 和 DAC-X-MARGIN-LOW 范围内。

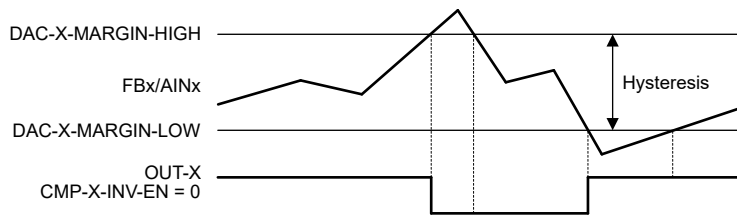


图 7-5. 不带锁存输出的可编程迟滞

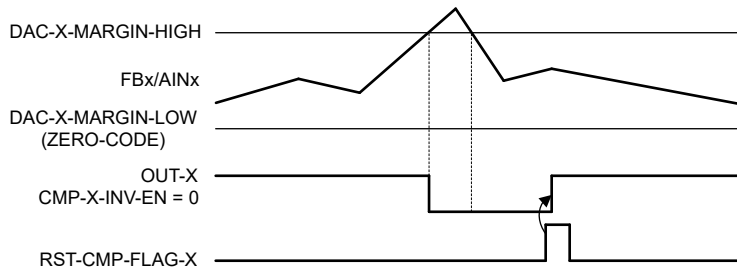


图 7-6. 具有低电平有效输出的闭锁比较器

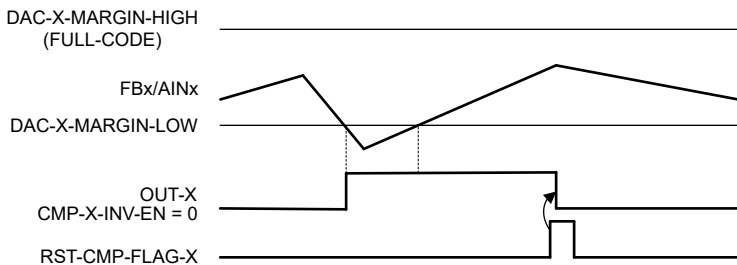


图 7-7. 具有高电平有效输出的锁存比较器

### 7.4.3.2 可编程窗口比较器

窗口比较器模式通过将 **CMP-X-MODE** 位设置为 10b 来启用，如表 7-2 所示。窗口边界由 **DAC-X-MARGIN-HIGH** 和 **DAC-X-MARGIN-LOW** 寄存器设置，如图 7-8 所示。给定通道的窗口比较器输出由 **CMP-STATUS** 寄存器中相应的 **WIN-CMP-X** 位指示。比较器输出 (**WIN-CMP-X**) 可通过向 **COMMON-CONFIG** 寄存器中的 **WIN-LATCH-EN** 位写入 1 来锁定。锁存后，比较器输出可以使用 **COMMON-DAC-TRIG** 寄存器中相应的 **RST-CMP-FLAG-X** 位复位。要使复位生效，输入必须在窗口边界范围内。

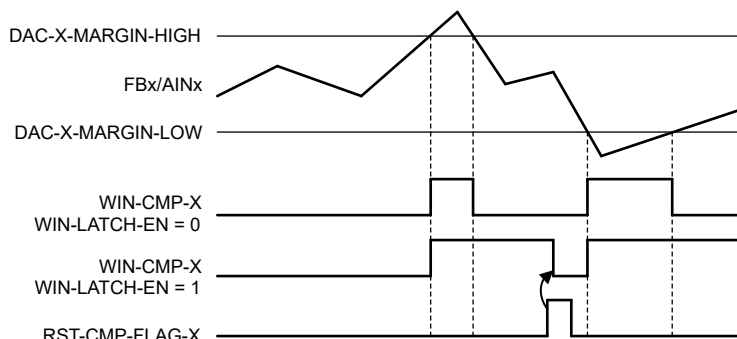


图 7-8. 窗口比较器操作

每个通道使用单个比较器来检查窗口的裕度高限制和裕度低限制。因此，窗口比较器函数具有节 6.7 中指定的有限响应时间。此外，**WIN-CMP-X** 位的静态行为不会在输出引脚上反映出来。将 **CMP-X-OUT-EN** 位设置为 0。必须使用通信接口对 **WIN-CMP-X** 位进行数字读取。此位也可以映射到 **GPIO** 引脚，如表 7-19 所示。

#### 备注

- **DAC-X-MARGIN-HIGH** 寄存器的值必须大于 **DAC-X-MARGIN-LOW** 寄存器的值。
- 将 **DAC-X-FUNC-CONFIG** 寄存器中的 **SLEW-RATE-X** 位设置为 0000b (无转换)，并将 **LOG-SLEW-EN-X** 位设置为 0b，以便从窗口比较器获得最佳响应时间。
- **DAC-X-VOOUT-CMP-CONFIG** 寄存器中的 **CMP-X-OUT-EN** 位可以设置为 0b，以消除 **OUT** 引脚的意外切换。

### 7.4.4 故障转储模式

DACx3004 提供了一项功能，可在 **FAULT-DUMP** 位触发时或映射到故障转储的 **GPIO** (如表 7-18 所示) 时将几个寄存器内容保存到 **NVM** 中。此功能在系统级故障管理中非常有用，可用于捕获就在故障触发之前的器件或系统状态，以便在故障发生后进行诊断。故障转储触发时保存的寄存器为：

- **CMP-STATUS[7:0]**
- **DAC-0-DATA[15:8]**
- **DAC-1-DATA[15:8]**
- **DAC-2-DATA[15:8]**
- **DAC-3-DATA[15:8]**

#### 备注

在故障转储期间，数据中的任何更改都会破坏最终结果。确保比较器和 DAC 代码在 **NVM** 写入周期期间保持稳定。

表 7-3 显示了 **NVM** 中寄存器的存储格式。

表 7-3. 故障转储 **NVM** 存储格式

NVM 行	B31-B24	B23-B16	B15-B8	B7-B0
行 1	<b>CMP-STATUS[7:0]</b>		不用考虑	
行 2	<b>DAC-0-DATA[15:8]</b>	<b>DAC-1-DATA[15:8]</b>	<b>DAC-2-DATA[15:8]</b>	<b>DAC-3-DATA[15:8]</b>

故障转储后在 NVM 中捕获的数据可按特定顺序读取：

1. 将 COMMON-CONFIG 寄存器中的 EE-READ-ADDR 位设置为 0b，以选择 NVM 的行 1。
2. 通过向 COMMON-TRIGGER 寄存器中的 READ-ONE-TRIG 写入 1 来触发所选 NVM 行的读取；该位会自动复位。此操作会将数据从选定的 NVM 行复制到 SRAM 地址 0x9D (LSB 16 位来自 NVM) 和 0x9E (MSB 16 位来自 NVM)。
3. 要读取 SRAM 数据，需按照以下步骤操作：
  - a. 将 0x009D 写入 SRAM-CONFIG 寄存器。
  - b. 从 SRAM-DATA 寄存器中读取数据以获得 LSB 16 位。
  - c. 将 0x009E 写入 SRAM-CONFIG 寄存器。
  - d. 再次从 SRAM-DATA 寄存器读取数据以获得 MSB 位。
4. 将 COMMON-CONFIG 寄存器中的 EE-READ-ADDR 位设置为 1b，以选择 NVM 的行 2。重复步骤 2 和 3。

## 7.4.5 应用特定模式

本节详细介绍了 DACx3004 中提供的各个应用特定功能模式。

### 7.4.5.1 电压裕量和调节

电压裕量和调节是 DACx3004 的一种主要应用。本节介绍了可用于此类应用的具体功能，例如高阻态输出、转换率控制、PROTECT 输入和 PMBus 兼容性。

#### 7.4.5.1.1 高阻抗输出和 PROTECT 输入

当 VDD 关闭时，所有 DAC 输出通道都保持高阻抗状态（高阻态）。图 7-9 显示了在电压裕量调节应用中使用 DACx3004 的简化原理图。串联电阻器  $R_S$  在电压输出模式下是必需的，但在电流输出模式下是可选的。几乎所有线性稳压器和直流/直流转换器都具有  $\leq 1.25V$  的反馈电压。对于  $V_{FB} \leq 1.25V$ ，输出端保持低泄漏电流。因此，对于所有实际用途，当 DAC 的 VDD 在电压裕量和调节应用中处于关闭时，DAC 输出显示为高阻态。此功能允许将 DACx3004 无缝集成到系统中，而无需为 DAC 进行额外的电源时序控制。

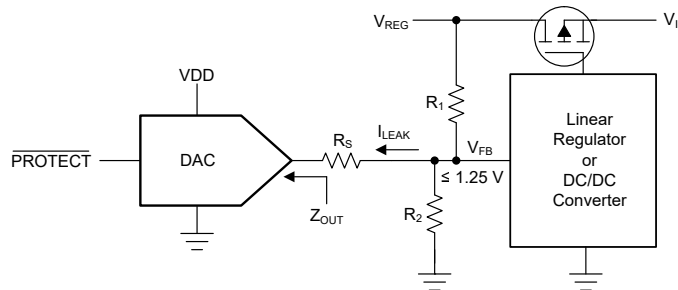


图 7-9. 高阻抗 (高阻态) 输出和 PROTECT 输入

DAC 通道在启动时断电至高阻态。输出可以使用与直流/直流转换器或线性稳压器的标称输出相对应的预编程代码加电。此功能可实现 DAC 的平稳加电和断电，而不影响直流/直流转换器或线性稳压器的反馈环路。

DACx3004 的 GPIO 引脚可配置为 PROTECT 功能，如表 7-18 所示。PROTECT 通过转换或直接转换将 DAC 输出变为可预测状态。在故障条件（如欠压）、子系统故障或软件崩溃要求 DAC 输出达到预定义状态而不涉及处理器的系统中，此功能非常有用。检测到的事件可以馈送到配置为 PROTECT 输入的 GPIO 引脚。PROTECT 功能可以使用 COMMON-TRIGGER 寄存器中的 PROTECT 位来触发。PROTECT 功能的行为可以使用 DEVICE-MODE-CONFIG 寄存器的 PROTECT-CONFIG 字段配置，如表 7-4 所示。

#### 备注

- 在 PROTECT 功能触发后，通信接口上的写入功能会被禁用，直到该功能完成。
- 当 PROTECT 功能触发时，CMP-STATUS 寄存器中的 PROTECT-FLAG 位会设置为 1。该位可以通过读取 CMP-STATUS 寄存器来轮询。在 PROTECT 功能完成后，CMP-STATUS 寄存器上的读取命令会将 PROTECT-FLAG 位复位。

表 7-4. PROTECT 功能配置

PROTECT-CONFIG 字段	功能
00	切换至高阻态断电模式（无转换）。
01	切换到存储在 NVM 中的 DAC 代码（无转换），然后切换到高阻态断电模式。
10	转换为裕度低代码，然后切换到高阻态断电模式。
11	转换为裕度高代码，然后切换到高阻态断电模式。

#### 7.4.5.1.2 可编程转换率控制

当写入 DAC 数据寄存器时，DAC 输出上的电压 ( $V_{OUT}$ ) 会在 *电气特性* 中指定的转换率和稳定时间之后立即转换到新代码。

转换率控制功能允许用户控制输出电压 ( $V_{OUT}$ ) 变化的速率。启用此功能（使用 SLEW-RATE-X[3:0] 位）时，DAC 输出将从当前代码更改为 DAC-X-MARGIN-HIGH 或 DAC-X-MARGIN-LOW 寄存器中的代码（当向 DAC 发出裕度高或低命令时），其中步进和每个步进的时间周期由 DAC-X-FUNC-CONFIG 寄存器的 CODE-STEP-X 和 SLEW-RATE-X 位中设置：

- SLEW-RATE-X 定义数字转换更新的每步时间周期。
- CODE-STEP-X 定义相应通道的 LSB 数量，每次更新时输出值将根据该数量而变化。

表 7-5 和表 7-6 显示了可用于 CODE-STEP-X 和 SLEW-RATE-X 的不同设置。在采用无转换的默认转换率控制设置时，输出会立即以由输出驱动电路和所连负载限制的速率变化。

使用转换率控制功能时，输出会以设定的转换率发生变化。此配置会导致输出形成梯形，如图 7-10 所示。在输出转换操作期间，请勿写入 CODE-STEP-X、SLEW-RATE-X 或 DAC-X-DATA。方程式 6 提供了计算转换时间 ( $t_{SLEW}$ ) 的公式。

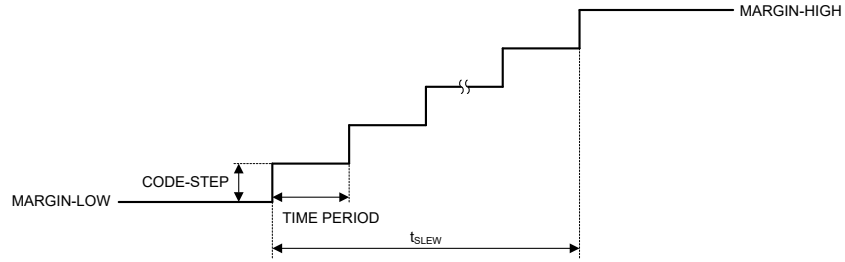


图 7-10. 可编程转换率控制

$$t_{SLEW} = \frac{SLEW\_RATE \times (MARGIN\_HIGH - MARGIN\_LOW + 1)}{CODE\_STEP} \quad (6)$$

其中：

- SLEW\_RATE 是表 7-6 中指定的 SLEW-RATE-X 设置。
- CODE\_STEP 是表 7-5 中指定的 CODE-STEP-X 设置。
- MARGIN\_HIGH 是节 7.6.2 中指定的 DAC-X-MAGIN-HIGH。
- MARGIN\_LOW 是节 7.6.3 中指定的 DAC-X-MAGIN-LOW。

表 7-5. 代码步进

寄存器	CODE-STEP-X[2]	CODE-STEP-X[1]	CODE-STEP-X[0]	代码步长
DAC-X-FUNC-CONFIG	0	0	0	1 LSB (默认值)
	0	0	1	2 LSB
	0	1	0	3 LSB
	0	1	1	4 LSB
	1	0	0	6 LSB
	1	0	1	8 LSB
	1	1	0	16 LSB
	1	1	1	32 LSB

表 7-6. 压摆率

寄存器	SLEW-RATE-X[3]	SLEW-RATE-X[2]	SLEW-RATE-X[1]	SLEW-RATE-X[0]	时间周期 (每个步进)
DAC-X-FUNC-CONFIG	0	0	0	0	无转换 (默认值)
	0	0	0	1	4μs
	0	0	1	0	8μs
	0	0	1	1	12μs
	0	1	0	0	18μs
	0	1	0	1	27μs
	0	1	1	0	40.5μs
	0	1	1	1	60.75μs
	1	0	0	0	91.13μs
	1	0	0	1	136.69μs
	1	0	1	0	239.2μs
	1	0	1	1	418.61μs
	1	1	0	0	732.56μs
	1	1	0	1	1281.98μs
	1	1	1	0	2563.96μs
	1	1	1	1	5127.92μs

### 7.4.5.1.3 PMBus 兼容模式

PMBus 协议是一种用于电源管理的基于 I<sup>2</sup>C 的通信标准。PMBus 包含专为电源应用定制的标准命令代码。DACx3004 实现了一些 PMBus 命令，例如关闭、打开、裕量低、裕量高、通信故障警报位 (CML) 以及 PMBus 修订版。图 7-11 显示了典型的 PMBus 连接。INTERFACE-CONFIG 寄存器中的 EN-PMBUS 位必须设置为 1，才能启用 PMBus 协议。

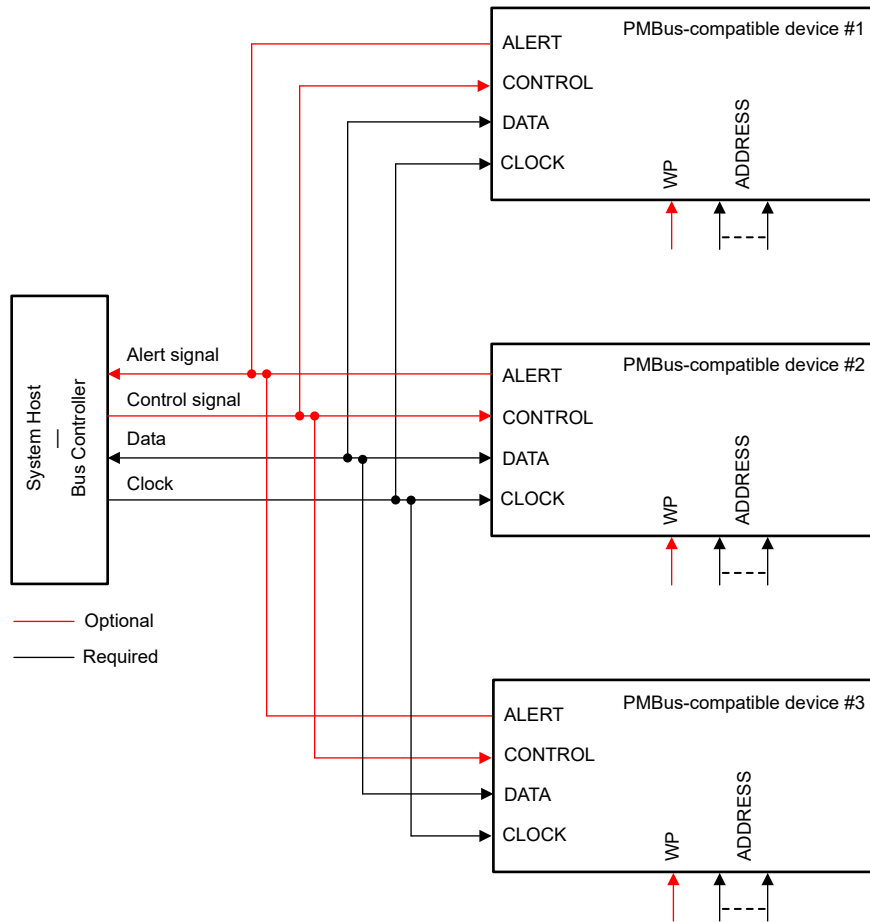


图 7-11. PMBus 连接



与 I<sup>2</sup>C 类似，PMBus 是一个由 8 位数据字节组成的可变长度数据包，每个字节都有一个包在起始位和停止位之间的接收器确认。第一个字节始终是一个 7 位目标地址，后跟一个写入位，有时称为偶数地址，用于标识数据包的预期接收器。第二个字节是一个 8 位命令字节，用于标识使用相应命令代码传输的 PMBus 命令。在命令字节之后，发送器会发送与命令相关的数据，以写入接收器命令寄存器（从最低有效字节到最高有效字节，如表 7-7 所示），或者发送一个新的起始位，指示希望从接收器读取与命令寄存器相关的数据。然后，接收器以相同的最低有效字节优先格式传输数据（请参阅表 7-8）。

表 7-7. PMBus 更新序列

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
地址 (A) 字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				数据字节 - LSDB				数据字节 - MSDB (可选)			
DB [31:24]				DB [23:16]				DB [15:8]				DB [7:0]			

表 7-8. PMBus 读取序列

S	MSB	...	R/W (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/W (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
	地址字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				Sr	地址字节 节 7.5.2.2.1				LSDB				MSDB (可选)			
	来自控制器			目标	来自控制器			目标	来自控制器			目标	来自目标器件			控制器	来自目标器件			控制器	

DACx3004 I<sup>2</sup>C 接口实现了一些 PMBus 命令。表 7-9 显示了 DACx3004 中实现的受支持 PMBus 命令。该 DAC 使用 PMBUS-OPERATION-CMD-X 的 DAC-X-MARGIN-LOW、DAC-X-MARGIN-HIGH、SLEW-RATE-X 和 CODE-STEP-X 位。要访问多个通道，需先将表 7-21 中指定的 PMBus 页面地址写入 PMBUS-PAGE 寄存器，然后写入特定于通道的寄存器。

表 7-9. PMBus 操作命令

寄存器	PMBUS-OPERATION-CMD-X[15:8]	说明
PMBUS-OP-CMD-X	00h	关闭
	80h	开启
	94h	裕量低
	A4h	裕量高

DACx3004 还实现了组命令协议和通信超时故障等 PMBus 功能。PMBUS-CML 寄存器中的 CML 位指示 PMBus 中的通信故障。此位通过写入 1 复位。

要获取 PMBus 版本，请读取 PMBUS-VERSION 寄存器。

### 7.4.5.2 函数生成

DACx3004 实施了连续函数或波形生成功能。这些器件可以为每个通道独立生成三角波、锯齿波和正弦波。

#### 7.4.5.2.1 三角波形生成

三角波形分别使用 DAC-X-MARGIN-LOW 和 DAC-X-MARGIN-HIGH 寄存器来实现最小和最大电平。波形的频率取决于最小和最大电平、CODE-STEP 和 SLEW-RATE 设置，如方程式 7 所示。时间常数大于转换率设置的外部 RC 负载可在内部频率计算中占主导地位。DAC-X-FUNC-CONFIG 寄存器中提供了 CODE-STEP-X 和 SLEW-RATE-X 设置。将 0b000 写入 DAC-X-FUNC-CONFIG 寄存器中的 FUNC-CONFIG-X 位字段将选择三角波形。

$$f_{\text{TRIANGLE\_WAVE}} = \frac{1}{2 \times \text{SLEW\_RATE} \times \left( \frac{\text{MARGIN\_HIGH} - \text{MARGIN\_LOW} + 1}{\text{CODE\_STEP}} \right)} \quad (7)$$

其中：

- SLEW\_RATE 是表 7-6 中指定的 SLEW-RATE-X 设置。
- CODE\_STEP 是表 7-5 中指定的 CODE-STEP-X 设置。
- MARGIN\_HIGH 是节 7.6.2 中指定的 DAC-X-MARGIN-HIGH。
- MARGIN\_LOW 是节 7.6.3 中指定的 DAC-X-MARGIN-LOW。

#### 7.4.5.2.2 锯齿波形生成

锯齿和反锯齿波形分别使用 DAC-X-MARGIN-LOW 和 DAC-X-MARGIN-HIGH 寄存器来实现最小和最大电平。波形的频率取决于最小和最大电平、CODE-STEP 和 SLEW-RATE 设置，如方程式 8 所示。时间常数大于转换率设置的外部 RC 负载可在内部频率计算中占主导地位。DAC-X-FUNC-CONFIG 寄存器中提供了 CODE-STEP-X 和 SLEW-RATE-X 设置。向 DAC-X-FUNC-CONFIG 寄存器的 FUNC-CONFIG-X 位字段中写入 0b001 可以选择锯齿波形，而写入 0b010 可以选择反锯齿波形。

$$f_{\text{SAWTOOTH\_WAVE}} = \frac{1}{\text{SLEW\_RATE} \times \left( \frac{\text{MARGIN\_HIGH} - \text{MARGIN\_LOW} + 1}{\text{CODE\_STEP}} \right)} \quad (8)$$

其中：

- SLEW\_RATE 是表 7-6 中指定的 SLEW-RATE-X 设置。
- CODE\_STEP 是表 7-5 中指定的 CODE-STEP-X 设置。
- MARGIN\_HIGH 是节 7.6.2 中指定的 DAC-X-MARGIN-HIGH。
- MARGIN\_LOW 是节 7.6.3 中指定的 DAC-X-MARGIN-LOW。

### 7.4.5.2.3 正弦波形生成

正弦波功能在每个周期使用 24 个预编程点。正弦波的频率取决于 SLEW-RATE 设置，如方程式 9 所示：

$$f_{\text{SINE\_WAVE}} = \frac{1}{24 \times \text{SLEW\_RATE}} \quad (9)$$

其中，SLEW\_RATE 是表 7-6 中指定的 SLEW-RATE-X 设置。

时间常数大于转换率设置的外部 RC 负载可在内部频率计算中占主导地位。DAC-X-FUNC-CONFIG 寄存器中提供了 SLEW-RATE-X 设置。将 0b100 写入 DAC-X-FUNC-CONFIG 寄存器中的 FUNC-CONFIG-X 位字段将选择正弦波。正弦波的代码是固定的。利用输出放大器上的增益设置可以通过内部基准选项更改满量程输出。增益设置可通过 DAC-X-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-X 位访问。表 7-10 显示了 12 位分辨率下正弦波的硬编码离散点列表，而图 7-12 显示了正弦波的图形表示。正弦波存在四个相位设置，这些设置可使用 DAC-X-FUNC-CONFIG 寄存器中的 PHASE-SEL-X 位进行选择。

表 7-10. 正弦波数据点

序列	12 位值	序列	12 位值
0	0x800	12	0x800
1	0x9A8	13	0x658
2	0xB33	14	0x4CD
3	0xC87	15	0x379
4	0xD8B	16	0x275
5	0xE2F	17	0x1D1
6	0xE66	18	0x19A
7	0xE2F	19	0x1D1
8	0xD8B	20	0x275
9	0xC87	21	0x379
10	0xB33	22	0x4CD
11	0x9A8	23	0x658

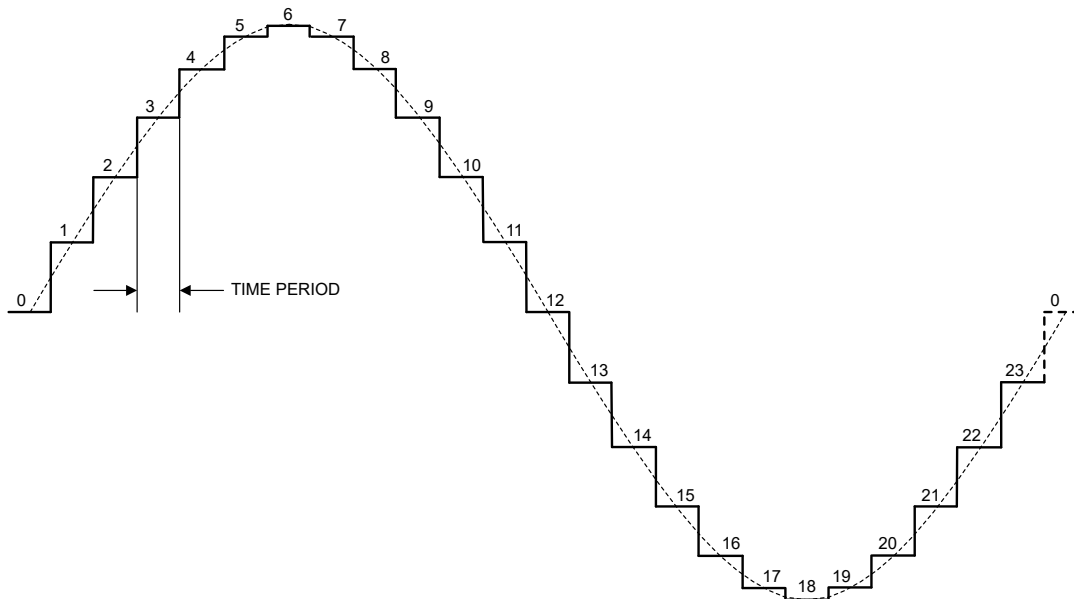


图 7-12. 正弦波生成

### 7.4.6 器件复位和故障管理

本节详细介绍了 DACx3004 的上电复位 (POR)、软件复位以及其他诊断和故障管理功能。

### 7.4.6.1 上电复位 (POR)

DACx3004 系列器件包含上电复位 (POR) 功能, 可在加电时控制输出电压。在建立  $V_{DD}$  电源后, 便会发出 POR 事件。POR 使所有寄存器初始化为默认值, 只有在 POR (启动) 延迟之后, 与该器件的通信才有效。一旦发生 POR 事件, DACx3004 中所有寄存器的默认值都将立即从 NVM 加载。

该器件加电时, POR 电路将器件设置为默认模式。POR 电路需要特定的  $V_{DD}$  电平 (如图 7-13 所示) 才能确保内部电容器在加电时放电并使器件复位。为了确保发生 POR,  $V_{DD}$  小于 0.7V 的时间必须至少为 1ms。当  $V_{DD}$  降至低于 1.65V 但仍高于 0.7V (显示为未定义区域) 时, 该器件在所有指定的温度和电源条件下可能会也可能不会复位。在这种情况下, 需启动 POR。当  $V_{DD}$  保持为大于 1.65V 时, 不会发生 POR。

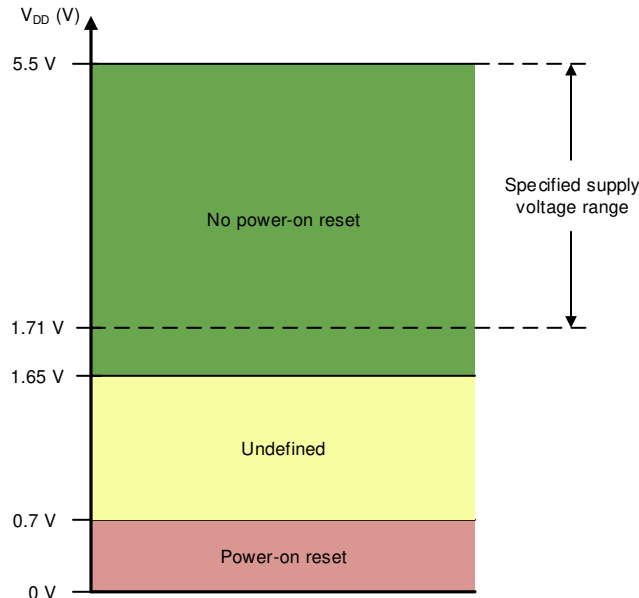


图 7-13.  $V_{DD}$  POR 电路的阈值电平

### 7.4.6.2 外部复位

可通过 GPIO 引脚或寄存器映射触发器件的外部复位。要启动器件软件复位事件, 需将保留代码 1010 写入 COMMON-TRIGGER 寄存器的 RESET 字段。软件复位启动 POR 事件。GPIO 引脚可配置为 RESET 引脚, 如表 7-18 所示。必须将此配置编程到 NVM 中, 以便在器件复位后不会清除该设置。RESET 输入必须为低电平脉冲。器件在 RESET 输入的下降沿之后开始启动序列。RESET 输入的上升沿没有任何效果。

### 7.4.6.3 寄存器映射锁定

DACx3004 实现了寄存器映射锁定功能, 可防止意外或无意中写入 DAC 寄存器。当 COMMON-CONFIG 寄存器中的 DEV-LOCK 位设置为 1 时, 器件会锁定所有寄存器。但是, 使用 I<sup>2</sup>C 接口时, 通过 COMMON-TRIGGER 寄存器的软件复位功能不会被阻止。要绕过 DEV-LOCK 设置, 需将 0101 写入 COMMON-TRIGGER 寄存器中的 DEV-UNLOCK 位。

### 7.4.6.4 NVM 循环冗余校验 (CRC)

DACx3004 为 NVM 实施循环冗余校验 (CRC) 功能, 以确保存储在 NVM 中的数据不被损坏。DACx3004 中实现了两种类型的 CRC 报警位:

- NVM-CRC-FAIL-USER
- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER 位指示用户可编程 NVM 位的状态, 而 NVM-CRC-FAIL-INT 位指示内部 NVM 位的状态。CRC 功能通过在每次执行 NVM 程序操作 (写入或重新加载) 时以及在器件启动期间, 存储 16 位 CRC (CRC-16-CCITT) 以及 NVM 数据来实现。器件会读取 NVM 数据并使用存储的 CRC 来验证数据。CRC 报警位

( GENERAL-STATUS 寄存器中的 NVM-CRC-FAIL-USER 和 NVM-CRC-FAIL-INT ) 报告从器件 NVM 读取数据后的任何错误。报警位仅在启动时设置。

#### 7.4.6.4.1 NVM-CRC-FAIL-USER 位

NVM-CRC-FAIL-USER 位为逻辑 1 表示用户可编程的 NVM 上数据已损坏。在这种情况下，DAC 中的所有寄存器都会使用出厂复位值进行初始化，并且任何 DAC 寄存器都可以写入或读取。要将报警位复位为 0，需发出软件复位 ( 请参阅 [节 7.4.6.2](#) ) 命令或对 DAC 执行循环通电。软件复位或执行循环通电也会重新加载用户可编程的 NVM 位。如果故障仍然存在，需重新对 NVM 进行编程。

#### 7.4.6.4.2 NVM-CRC-FAIL-INT 位

NVM-CRC-FAIL-INT 位为逻辑 1 表示内部 NVM 数据已损坏。在这种情况下，DAC 中的所有寄存器都会使用出厂复位值进行初始化，并且任何 DAC 寄存器都可以写入或读取。在发生临时故障时，要将报警位复位为 0，需发出软件复位 ( 请参阅 [节 7.4.6.2](#) ) 命令或对 DAC 执行循环通电。NVM 中的永久故障会导致器件无法使用。

### 7.4.7 Power-Down Mode

The DACx3004 output amplifier and internal reference can be independently powered down through the EN-INT-REF, VOUT-PDN-X, and IOUT-PDN-X bits in the COMMON-CONFIG register, as shown in 图 7-2. At power up, the DAC output and the internal reference are disabled by default. In power-down mode, the DAC outputs (OUTX pins) are in a high-impedance state. To change this state to  $10\text{ k}\Omega\text{-A}_{\text{GND}}$  or  $100\text{ k}\Omega\text{-A}_{\text{GND}}$  in voltage-output mode (at power up), use the VOUT-PDN-X bits. The power-down state for current-output mode is always high-impedance.

The DAC power-up state can be programmed to any state (power-down or normal mode) using the NVM. 表 7-11 shows the DAC power-down bits. The individual channel power-down bits can be mapped to the GPIO pin using the GPIO-CONFIG register. This function is called sleep mode. In this mode, the internal low-dropout regulator (LDO) and the common functional blocks are still powered-on, and the device draws a maximum of  $28\text{ }\mu\text{A}$  of current through the power supply.

表 7-11. DAC Power-Down Bits

REGISTER	VOUT-PDN-X[1]	VOUT-PDN-X[0]	IOUT-PDN-X	DESCRIPTION
COMMON-CONFIG	0	0	1	Power up VOUT-X
	0	1	1	Power down VOUT-X with $10\text{ k}\Omega$ to AGND. Power down IOUT-X to Hi-Z.
	1	0	1	Power down VOUT-X with $100\text{ k}\Omega$ to AGND. Power down IOUT-X to Hi-Z.
	1	1	1	Power down VOUT-X to Hi-Z. Power down IOUT-X to Hi-Z (default).
	1	1	0	Power down VOUT-X to Hi-Z. Power up IOUT-X.

#### 7.4.7.1 Deep-Sleep Mode

The DACx3004 provides a deep-sleep mode, where the internal LDO and most of the common functional blocks are powered-down. The GPIO pin must be used to enter and exit this mode. The I<sup>2</sup>C or SPI interface does not work during the deep-sleep mode. The steps to enter and exit the deep-sleep mode are:

1. Make sure that the GPIO pin is pulled high.
2. Write 1 to the DEEP-SLEEP-EN bit in the GPIO-CONFIG register.
3. Disable GP output and SDO by writing 0 to GPO-EN and SDO-EN bits.
4. Enable GPIO input mode by writing 1 to GPI-EN and 0b0000 to GPI-CONFIG bits.
5. To program these settings into the NVM, write 1 to the NVM-PROG bit in the COMMON-TRIGGER register.
6. A negative-edge trigger on the GPIO puts the device into the deep-sleep mode. The LDO takes approximately  $550\text{ }\mu\text{s}$  to switch off. The device remains in this mode as long as the signal is low.
7. To bring the device out of the deep-sleep mode, pull the GPIO pin high. The digital circuitry and the LDO takes approximately  $550\text{ }\mu\text{s}$  to switch on.

## 7.5 编程

DACx3004 通过 3 线 SPI 或 2 线 I<sup>2</sup>C 接口进行编程。4 线 SPI 模式通过将 GPIO 引脚映射为 SDO 来启用。SPI 回读操作的 SCLK 低于标准 SPI 写入操作。接口类型根据器件加电后的第一个通信协议来确定。在确定接口类型后，器件会在器件开启时忽略类型的任何更改。接口类型可以在下电上电后更改。

### 7.5.1 SPI 编程模式

通过将  $\overline{\text{SYNC}}$  引脚置于低电平，可以启动 DACx3004 的 SPI 访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据在 SCLK 下降沿上传输。DACx3004 的 SPI 帧长度为 24 位。因此， $\overline{\text{SYNC}}$  引脚必须保持低电平至少 24 个 SCLK 下降沿。当  $\overline{\text{SYNC}}$  引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。默认情况下，SDO 引脚未启用（三线 SPI）。在三线 SPI 模式下，如果访问周期包含的时钟边沿大于最小值，则器件仅使用前 24 位。当  $\overline{\text{SYNC}}$  为高电平时，SCLK 和 SDI 信号会被阻止，同时 SDO 变为高阻态，以允许从总线上连接的其他器件回读数据。

表 7-12 和图 7-14 介绍了 24 位 SPI 访问周期的格式。SDI 的第一个字节输入是指令周期。指令周期将请求标识为读或写命令以及要访问的 7 位地址。周期中的最后 16 位构成数据周期。

表 7-12. SPI 读/写访问周期

位	字段	说明
23	R/W	将通信标识为地址寄存器的读或写命令：R/W = 0 设置写入操作。R/W = 1 设置读取操作
22-16	A[6:0]	寄存器地址：指定在读取或写入操作期间要访问的寄存器
15-0	DI[15:0]	数据周期位：如果是写入命令，则数据周期位是要写入地址为 A[6:0] 的寄存器的值。如果是读取命令，则数据周期位为不用考虑值。

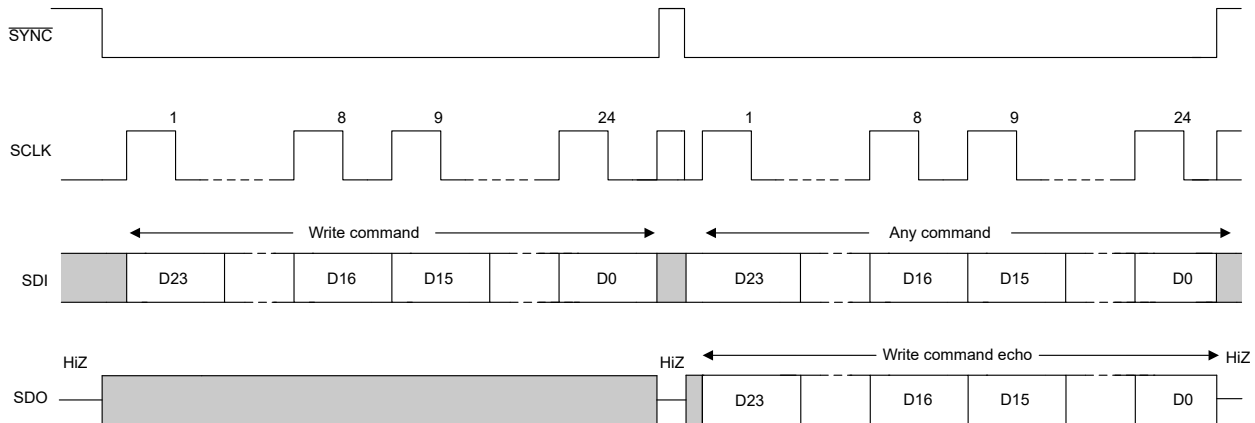


图 7-14. SPI 写入周期

读取操作要求首先通过设置 INTERFACE-CONFIG 寄存器中的 SDO-EN 位来启用 SDO 引脚。此配置称为四线 SPI。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据。表 7-13 和图 7-15 显示了输出数据格式。根据 FSDO 位，数据通过 SDO 引脚在 SCLK 的下降沿或上升沿输出，如图 6-3 所示。

表 7-13. SDO 输出访问周期

位	字段	说明
23	R/W	来自上一访问周期的回波 R/W
22-16	A[6:0]	来自上一访问周期的回波寄存器地址
15-0	DI[15:0]	上一访问周期中请求的回读数据

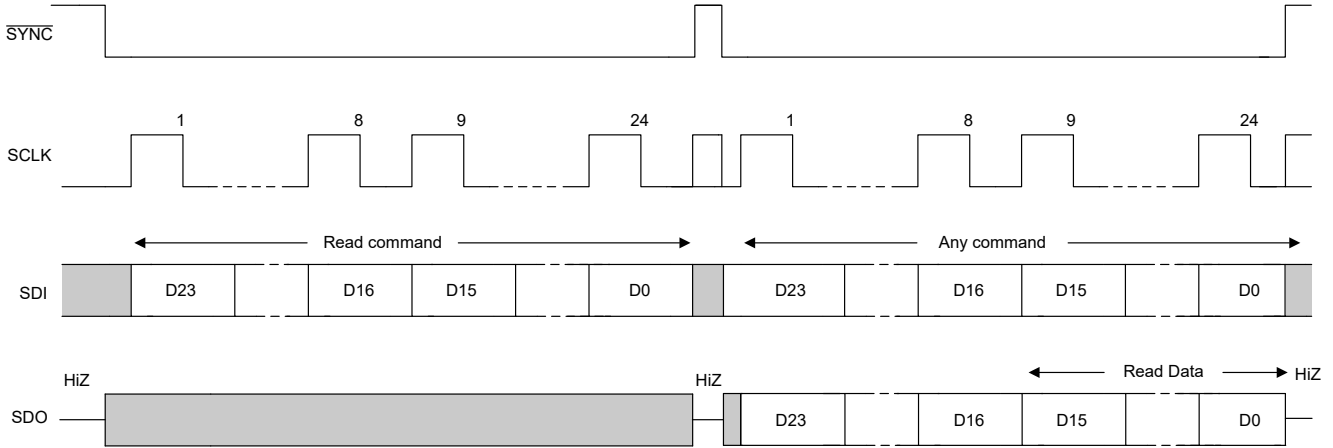


图 7-15. SPI 读取周期

菊花链操作也通过 SDO 引脚启用。在菊花链模式下，多个器件采用链式连接，其中一个器件的 SDO 引脚连接到以下器件的 SDI 引脚，如图 7-16 所示。SPI 主机驱动链中第一个器件的 SDI 引脚。链中最后一个器件的 SDO 引脚连接到 SPI 主机的 POCI 引脚。在四线 SPI 模式下，如果访问周期包含 24 个时钟边沿的倍数，则链中的第一个器件仅使用最后 24 个位。如果访问周期包含的时钟边沿不是 24 的倍数，则器件会忽略 SPI 数据包。图 7-17 介绍了菊花链写入周期的数据包格式。

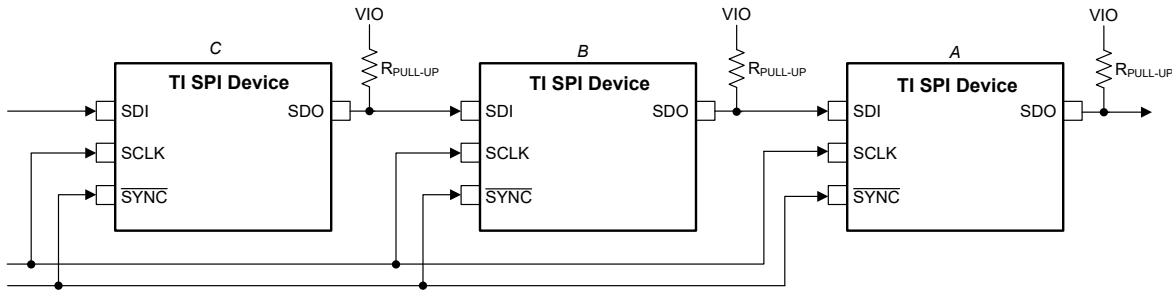


图 7-16. SPI 菊花链连接

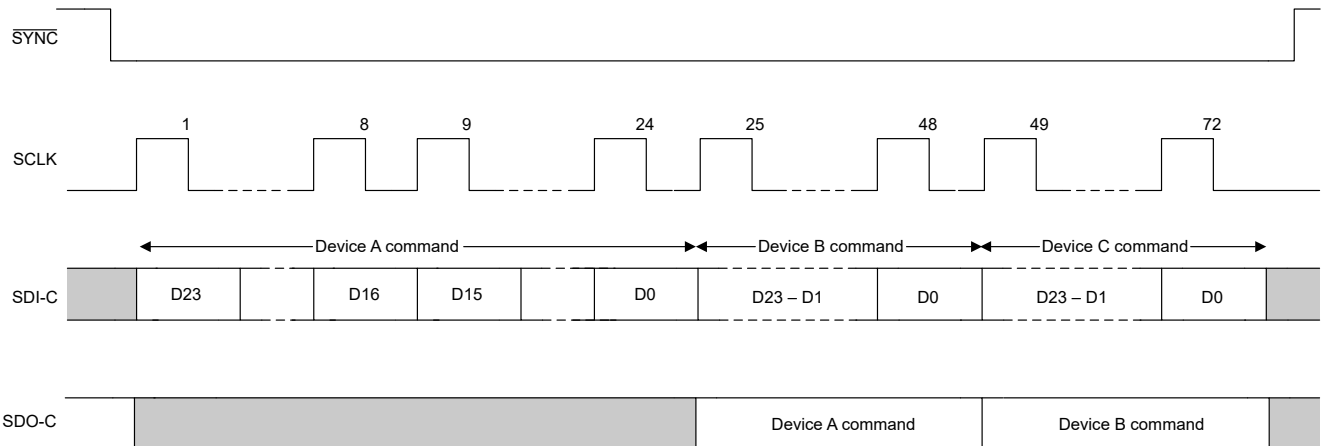


图 7-17. SPI 菊花链写入周期



## 7.5.2 I<sup>2</sup>C 编程模式

DACx3004 器件具有 2 线制串行接口 ( SCL 和 SDA ) 和一个地址引脚 ( A0 )，如引脚图 图 5-1 所示。I<sup>2</sup>C 总线由数据线 ( SDA ) 和带上拉结构的时钟线 ( SCL ) 组成。当总线空闲时，SDA 和 SCL 线都被拉高。所有与 I<sup>2</sup>C 兼容的器件通过开漏 I/O 引脚、SDA 和 SCL 连接到 I<sup>2</sup>C 总线。

I<sup>2</sup>C 规范规定控制通信的器件称为 *控制器*，而由控制器控制的器件称为 *目标器件*。控制器产生 SCL 信号。控制器还在总线上生成特殊的时序条件 ( 启动条件、重复启动条件和停止条件 ) 来指示数据传输的开始或停止。器件寻址由控制器完成。I<sup>2</sup>C 总线上的控制器通常是微控制器或数字信号处理器 ( DSP )。DACx3004 系列作为目标器件在 I<sup>2</sup>C 总线上运行。目标器件确认控制器命令，并在控制器控制时接收或传输数据。

通常，DACx3004 系列充当目标接收器。控制器向 DACx3004 ( 目标接收器 ) 写入数据。但是，如果控制器需要 DACx3004 内部寄存器数据，则 DACx3004 充当目标发送器。在这种情况下，控制器从 DACx3004 读取数据。根据 I<sup>2</sup>C 术语，读写是指控制器。

DACx3004 系列支持以下数据传输模式：

- 标准模式 (100kbps)
- 快速模式 (400kbps)
- 超快速模式 (1.0Mbps)

标准模式和快速模式的数据传输协议完全相同；因此，本文档中将这两种模式称为 *F/S 模式*。超快速模式协议在数据传输速度方面受支持，但在输出电流方面不受支持。与标准和快速模式的情况类似，低电平输出电流为 3mA。DACx3004 系列支持 7 位寻址。不支持 10 位寻址模式。该器件支持通用呼叫复位功能。发送以下序列会启动器件内的软件复位：启动或重复启动、0x00、0x06、停止。在 ACK 位的上升沿 ( 在第二个字节之后 ) 在器件内进行复位位置。

除了特定的时序信号外，I<sup>2</sup>C 接口还使用串行字节。在每个字节结束时，第九个时钟周期产生并检测确认信号。确认是指 SDA 线在第九个时钟周期的高电平期间被拉低。非确认是指 SDA 线在第九个时钟周期的高电平期间保持高电平，如图 7-18 所示。

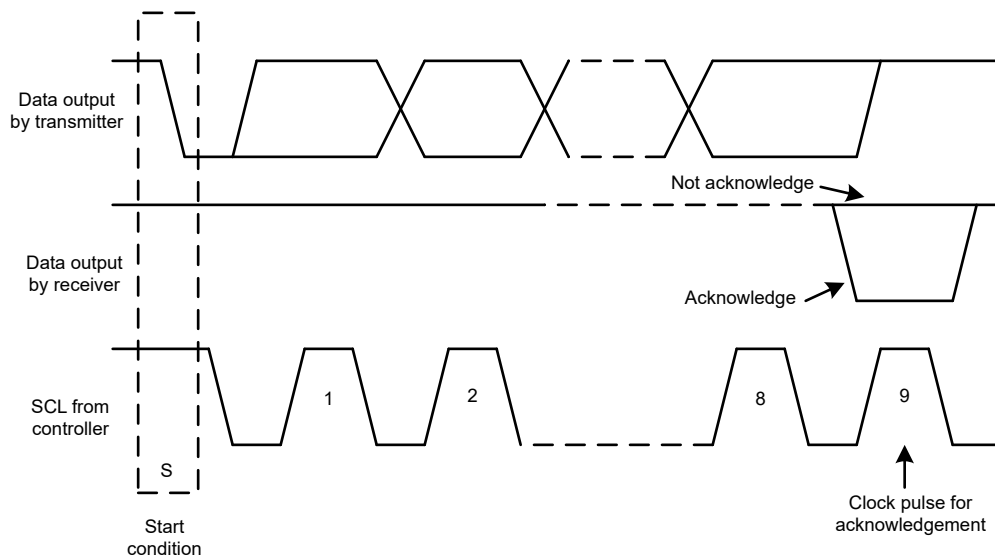


图 7-18. I<sup>2</sup>C 总线上的确认和非确认

### 7.5.2.1 F/S 模式协议

以下步骤说明了 F/S 模式下的完整事务。

1. 控制器通过产生启动条件来启动数据传输。启动条件是当 SCL 为高电平时在 SDA 线上发生从高到低的转换，如图 7-19 所示。所有与 I<sup>2</sup>C 兼容的器件都会识别启动条件。

2. 控制器随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取/写入方向位 ( $R\bar{W}$ )。在所有传输期间，控制器确保数据有效。有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定，如图 7-20 所示。所有器件都识别控制器发送的地址，并将其与相应内部固定地址进行比较。只有具有匹配地址的目标器件才会通过在第 9 个 SCL 周期的整个高电平期间拉低 SDA 线来生成确认，如图 7-18 所示。当控制器检测到此确认时，则表示与目标的通信链路已建立。
3. 控制器产生更多的 SCL 周期，以便向目标器件发送 ( $R\bar{W}$  位为 0) 数据或接收 ( $R\bar{W}$  位为 1) 数据。在任一情况下，接收器都必须确认发送器发送的数据。因此，确认信号可由控制器或目标器件生成，具体取决于哪一方是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，并可根据需要继续。
4. 为了用信号指示数据传输结束，控制器通过在 SCL 线处于高电平期间将 SDA 线从高电平拉低来产生停止条件，如图 7-19 所示。此操作将释放总线并停止与寻址的目标器件之间的通信链路。所有与 I<sup>2</sup>C 兼容的器件都会识别停止条件。在收到停止条件后，将释放总线，然后所有目标器件等待启动条件，接着是匹配的地址。

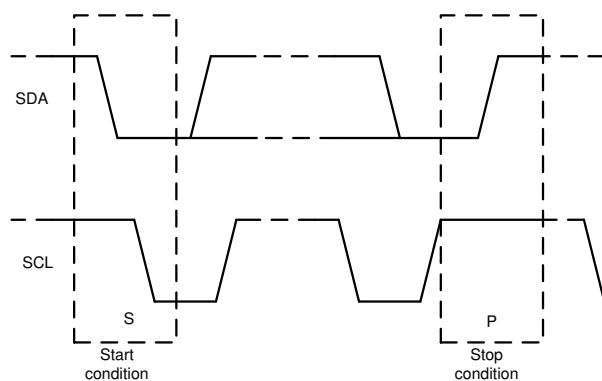
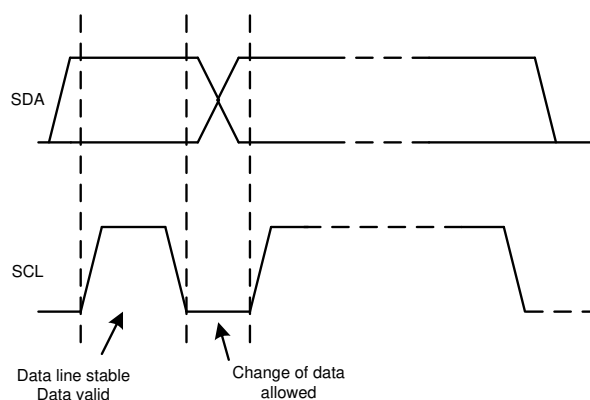


图 7-19. 启动和停止条件


 图 7-20. 在 I<sup>2</sup>C 总线上的位传输

### 7.5.2.2 I<sup>2</sup>C 更新序列

对于单次更新，DACx3004 需要一个开始条件、一个有效的 I<sup>2</sup>C 地址字节、一个命令字节以及两个数据字节，如表 7-14 中所列。

表 7-14. 更新序列

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
地址 (A) 字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				数据字节 - MSDB				数据字节 - LSDB			
DB [31:24]				DB [23:16]				DB [15:8]				DB [7:0]			

收到每个字节后，DACx3004 系列通过在单个时钟脉冲的高电平期间拉低 SDA 线来确认该字节，如图 7-21 所示。这四个字节和确认周期构成了单次更新所需的 36 个时钟周期。一个有效的 I<sup>2</sup>C 地址字节选择 DACx3004。

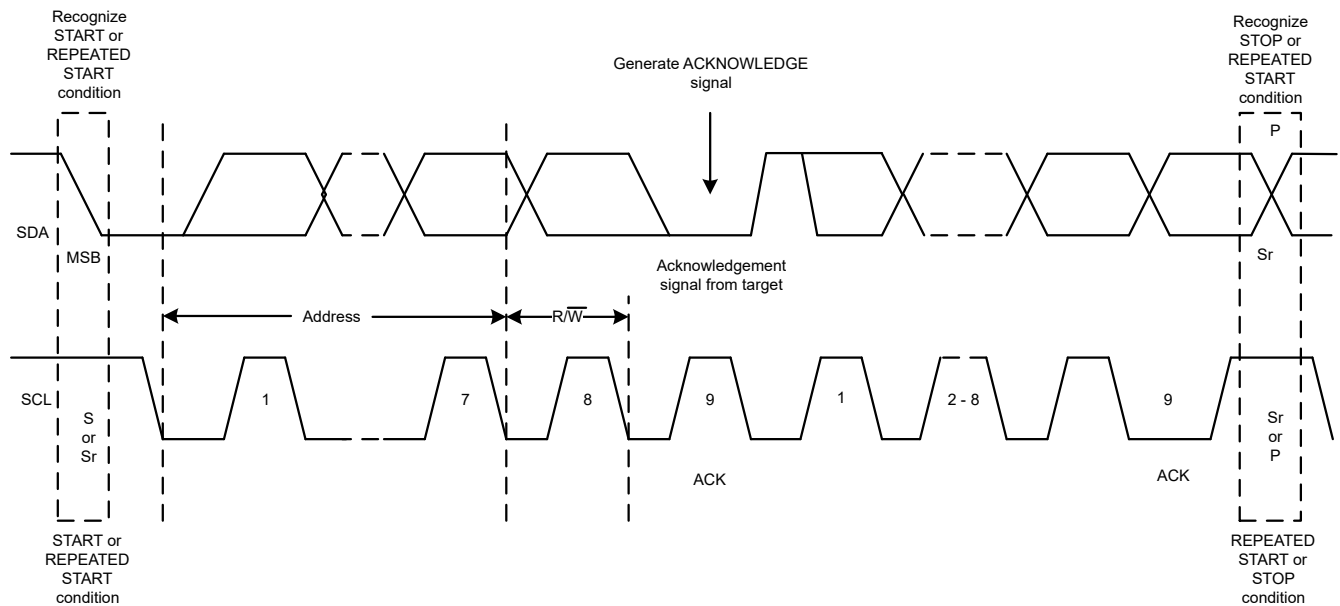


图 7-21. I<sup>2</sup>C 总线协议

命令字节设置所选 DACx3004 器件的工作模式。如果要在通过该字节选择工作模式时进行数据更新，DACx3004 器件必须接收两个数据字节：最高有效数据字节 (MSDB) 和最低有效数据字节 (LSDB)。DACx3004 器件在 LSDB 之后的确认信号下降沿执行更新。

使用快速模式 ( 时钟 = 400kHz ) 时，最大 DAC 更新速率限制为 10kSPS。使用超快速模式 ( 时钟 = 1MHz ) 时，最大 DAC 更新速率限制为 25kSPS。收到停止条件后，DACx3004 器件将释放 I<sup>2</sup>C 总线并等待新的启动条件。

### 7.5.2.2.1 地址字节

地址字节 ( 如表 7-15 所示 ) 是在启动条件之后从控制器器件接收的第一个字节。地址的前四位 (MSB) 出厂预设为 1001b。地址的接下来三位由 A0 引脚控制。A0 引脚输入可以连接到 VDD、AGND、SCL 或 SDA。在每个数据帧的第一个字节期间对 A0 引脚进行采样以确定地址。该器件会锁存地址引脚的值，因此会根据表 7-16 响应该特定地址。

**表 7-15. 地址字节**

注释	MSB							LSB
	AD6	AD5	AD4	AD3	AD2	AD1	AD0	R/W
—								
一般地址	1	0	0	1	请参阅表 7-16 ( 目标地址列 )			0 或 1
广播地址	1	0	0	0	1	1	1	0

**表 7-16. 地址格式**

目标地址	A0 引脚
000	AGND
001	VDD
010	SDA
011	SCL

DACx3004 支持使用广播地址来同步更新或关闭多个 DACx3004 器件。使用广播地址时，无论地址引脚状态如何，DACx3004 都会进行响应。仅在写入模式下支持广播。

### 7.5.2.2.2 命令字节

表 7-21 列出了“地址”列中的命令字节。

### 7.5.2.3 I<sup>2</sup>C 读取序列

要读取任何寄存器，必须使用以下命令序列：

1. 发送启动或重复启动命令（使用目标器件地址并将  $\overline{R/W}$  位设置为 0 以进行写入）。该器件将确认此事件。
2. 针对要读取的寄存器发送一个命令字节。该器件将再次确认此事件。
3. 发送重复启动命令（使用目标器件地址并将  $\overline{R/W}$  位设置为 1 以进行读取）。该器件将确认此事件。
4. 该器件将写入寻址到的寄存器的 MSDB 字节。控制器必须确认此字节。
5. 最后，该器件将写出寄存器的 LSDB。

广播地址不能用于读取。

表 7-17. 读取序列

S	MSB	...	R/W (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/W (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
	地址字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				Sr	地址字节 节 7.5.2.2.1				MSDB				LSDB			
来自控制器				目标	来自控制器				目标	来自控制器				目标	来自目标器件		控制器	来自目标器件		控制器	

### 7.5.3 通用输入/输出 (GPIO) 模式

借助 I<sup>2</sup>C 和 SPI，DACx3004 还支持一个可在 NVM 中配置来提供多种功能的 GPIO。此引脚允许在不使用编程接口的情况下更新 DAC 输出通道和读取状态位，从而实现无处理器运行。在 GPIO-CONFIG 寄存器中，向 GPI-EN 位写入 1 以将 GPIO 引脚设置为输入，或向 GPO-EN 位写入 1 以将该引脚设置为输出。GPIO 引脚上映射了全局功能和特定于通道的功能。对于特定于通道的功能，需使用 GPIO-CONFIG 寄存器中的 GPI-CH-SEL 字段选择通道。表 7-18 列出了 GPIO 作为输入的可用功能选项，而表 7-19 列出了 GPIO 作为输出的功能选项。一些 GP 输入操作在器件启动后由边沿触发。电源上升后，器件会寄存 GPI 电平并执行相关命令。此功能让用户可以配置加电时的初始输出状态。默认情况下，GPIO 引脚不映射到任何操作。当 GPIO 引脚映射到特定的输入功能时，相应的软件位功能会被禁用，以避免出现竞态条件。当用作  $\overline{\text{RESET}}$  输入时，GPIO 引脚必须发送低电平有效脉冲来触发器件复位。这些功能的所有其他限制都应用于基于 GPIO 的触发器。

#### 备注

未使用时，将 GPIO 引脚拉至高电平或低电平。当 GPIO 引脚用作  $\overline{\text{RESET}}$  时，必须将配置编程到 NVM 中。否则，该设置会在器件复位后被清除。

表 7-18. 通用输入功能映射

寄存器	位字段	值	通道	GPIO 边沿/电平	功能
GPIO-CONFIG	GPI-CONFIG	0000	全部	下降沿	触发 $\overline{\text{DEEP-SLEEP}}$ 模式。
				上升沿	使器件退出深度睡眠模式。
		0010	全部	下降沿	触发 $\overline{\text{FAULT-DUMP}}$
				上升沿	没有影响
		0011	依据 GPI-CH-SEL 标准	下降沿	IOOUT 断电
				上升沿	IOOUT 加电
		0100	依据 GPI-CH-SEL 标准	下降沿	VOOUT 断电。根据 VOOUT-PDN-X 设置的下拉电阻器
				上升沿	VOOUT 加电
		0101	全部	下降沿	触发 $\overline{\text{PROTECT}}$ 功能
				上升沿	没有影响
		0111	全部	下降沿	触发 $\overline{\text{CLR}}$ 功能
				上升沿	没有影响
		1000	依据 GPI-CH-SEL 标准。必须为每个通道配置 SYNC-CONFIG-X 和 GPI-CH-SEL。	下降沿	触发 $\overline{\text{LDAC}}$ 功能
				上升沿	没有影响
		1001	依据 GPI-CH-SEL 标准	下降沿	停止函数生成
				上升沿	开始函数生成
		1010	依据 GPI-CH-SEL 标准	下降沿	触发裕度低
				上升沿	触发裕度高
		1011	全部	低电平脉冲	触发器件 $\overline{\text{RESET}}$ 。 $\overline{\text{RESET}}$ 配置必须编程到 NVM 中。
				上升沿	没有影响
1100	全部	下降沿	允许 NVM 编程		
		上升沿	阻止 NVM 编程		
1101	全部	下降沿	允许更新寄存器映射		
		上升沿	阻止寄存器映射写入，但通过 I <sup>2</sup> C 或 SPI 写入 DEV-UNLOCK 字段和通过 I <sup>2</sup> C 写入 RESET 字段除外		
其他	不适用	不适用	不适用	不适用	

表 7-19. 通用输出 (STATUS) 功能映射

寄存器	位字段	值	功能
GPIO-CONFIG	GPO-CONFIG	0001	NVM-BUSY
		0100	DAC-0-BUSY
		0101	DAC-1-BUSY
		0110	DAC-2-BUSY
		0111	DAC-3-BUSY
		1000	WIN-CMP-0
		1001	WIN-CMP-1
		1010	WIN-CMP-2
		1011	WIN-CMP-3
		其他	不可用

## 7.6 寄存器映射

表 7-20. 寄存器映射

寄存器 <sup>(1) (2)</sup>	最高有效数据字节 (MSDB)								最低有效数据字节 (LSDB)								
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
NOP	NOP																
DAC-X-MARGIN-HIGH	DAC-X-MARGIN-HIGH												X				
DAC-X-MARGIN-LOW	DAC-X-MARGIN-LOW												X				
DAC-X-VOUT-CMP-CONFIG	X		VOUT-X-GAIN				X				CMP-X-OD-EN	CMP-X-OUT-EN	CMP-X-HIZ-IN-DIS	CMP-X-INV-EN	CMP-X-EN		
DAC-X-IOUT-MISC-CONFIG	X		IOUT-X-RANGE				X										
DAC-X-CMP-MODE-CONFIG	X				CMP-X-MODE				X								
DAC-X-FUNC-CONFIG	CLR-SEL-X	SYNC-CONFIG-X	BRD-CONFIG-X	FUNC-GEN-CONFIG-BLOCK-X													
DAC-X-DATA	DAC-X-DATA												X				
COMMON-CONFIG	WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	VOUT-PDN-3		IOUT-PDN-3	VOUT-PDN-2		IOUT-PDN-2	VOUT-PDN-1		IOUT-PDN-1	VOUT-PDN-0		IOUT-PDN-0	
COMMON-TRIGGER	DEV-UNLOCK				重置				LDAC	CLR	X	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD	
COMMON-DAC-TRIG	RST-CMP-FLAG-0	TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0	RST-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1	RST-CMP-FLAG-2	TRIG-MAR-LO-2	TRIG-MAR-HI-2	START-FUNC-2	RST-CMP-FLAG-3	TRIG-MAR-LO-3	TRIG-MAR-HI-3	START-FUNC-3	
GENERAL-STATUS	NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-BUSY-3	DAC-BUSY-2	DAC-BUSY-1	DAC-BUSY-0	NVM-BUSY	DEVICE-ID								
CMP-STATUS	X							PROTECT-FLAG	WIN-CMP-3	WIN-CMP-2	WIN-CMP-1	WIN-CMP-0	CMP-FLAG-3	CMP-FLAG-2	CMP-FLAG-1	CMP-FLAG-0	
GPIO-CONFIG	GF-EN	DEEP-SLEEP-EN	GPO-EN	GPO-CONFIG				GPI-CH-SEL				GPI-CONFIG				GPI-EN	
DEVICE-MODE-CONFIG	保留		DIS-MODE-IN	保留				PROTECT-CONFIG		保留				X			
INTERFACE-CONFIG	X			TIMEOUT-EN	X			EN-PMBUS	X					FAST-SDO-EN	X	SDO-EN	
SRAM-CONFIG	X								SRAM-ADDR								
SRAM-DATA	SRAM-DATA																
DAC-X-DATA-8BIT	DAC-X-DATA-8BIT								X								
BRDCAST-DATA	BRDCAST-DATA												X				
PMBUS-PAGE	PMBUS-PAGE								不适用								
PMBUS-OP-CMD	PMBUS-OPERATION-CMD-X								不适用								
PMBUS-CML	X						CML	X	不适用								
PMBUS-VERSION	PMBUS-VERSON								不适用								

- (1) 突出显示的灰色单元格表示存储在 NVM 中的寄存器位或字段。  
(2) X = 不用考虑。

表 7-21. 寄存器名称

I <sup>2</sup> C/SPI 地址	PMBUS 页面地址	PMBUS 寄存器地址	寄存器名称	章节
00h	FFh	D0h	NOP	节 7.6.1
01h	00h	25h	DAC-0-MARGIN-HIGH	节 7.6.2
02h	00h	26h	DAC-0-MARGIN-LOW	节 7.6.3
03h	FFh	D1h	DAC-0-VOUT-CMP-CONFIG	节 7.6.4
04h	FFh	D2h	DAC-0-IOUT-MISC-CONFIG	节 7.6.5
05h	FFh	D3h	DAC-0-CMP-MODE-CONFIG	节 7.6.6
06h	FFh	D4h	DAC-0-FUNC-CONFIG	节 7.6.7
07h	01h	25h	DAC-1-MARGIN-HIGH	节 7.6.1
08h	01h	26h	DAC-1-MARGIN-LOW	节 7.6.2
09h	FFh	D5h	DAC-1-VOUT-CMP-CONFIG	节 7.6.3
0Ah	FFh	D6h	DAC-1-IOUT-MISC-CONFIG	节 7.6.4
0Bh	FFh	D7h	DAC-1-CMP-MODE-CONFIG	节 7.6.5
0Ch	FFh	D8h	DAC-1-FUNC-CONFIG	节 7.6.6
0Dh	02h	25h	DAC-2-MARGIN-HIGH	节 7.6.1
0Eh	02h	26h	DAC-2-MARGIN-LOW	节 7.6.2
0Fh	FFh	D9h	DAC-2-VOUT-CMP-CONFIG	节 7.6.3
10h	FFh	DAh	DAC-2-IOUT-MISC-CONFIG	节 7.6.4
11h	FFh	DBh	DAC-2-CMP-MODE-CONFIG	节 7.6.5
12h	FFh	DCh	DAC-2-FUNC-CONFIG	节 7.6.6
13h	03h	25h	DAC-3-MARGIN-HIGH	节 7.6.1
14h	03h	26h	DAC-3-MARGIN-LOW	节 7.6.2
15h	FFh	DDh	DAC-3-VOUT-CMP-CONFIG	节 7.6.3
16h	FFh	DEh	DAC-3-IOUT-MISC-CONFIG	节 7.6.4
17h	FFh	DFh	DAC-3-CMP-MODE-CONFIG	节 7.6.5
18h	FFh	E0h	DAC-3-FUNC-CONFIG	节 7.6.6
19h	00h	21h	DAC-0-DATA	节 7.6.8
1Ah	01h	21h	DAC-1-DATA	节 7.6.8
1Bh	02h	21h	DAC-2-DATA	节 7.6.8
1Ch	03h	21h	DAC-3-DATA	节 7.6.8
1Fh	FFh	E3h	COMMON-CONFIG	节 7.6.9
20h	FFh	E4h	COMMON-TRIGGER	节 7.6.10



**表 7-21. 寄存器名称 (continued)**

I <sup>2</sup> C/SPI 地址	PMBUS 页面地址	PMBUS 寄存器地址	寄存器名称	章节
21h	FFh	E5h	COMMON-DAC-TRIG	节 7.6.11
22h	FFh	E6h	GENERAL-STATUS	节 7.6.12
23h	FFh	E7h	CMP-STATUS	节 7.6.13
24h	FFh	E8h	GPIO-CONFIG	节 7.6.14
25h	FFh	E9h	DEVICE-MODE-CONFIG	节 7.6.15
26h	FFh	EAh	INTERFACE-CONFIG	节 7.6.16
2Bh	FFh	EFh	SRAM-CONFIG	节 7.6.17
2Ch	FFh	F0h	SRAM-DATA	节 7.6.18
40h	不适用	不适用	DAC-0-DATA-8BIT	节 7.6.19
41h	不适用	不适用	DAC-1-DATA-8BIT	节 7.6.19
42h	不适用	不适用	DAC-2-DATA-8BIT	节 7.6.19
43h	不适用	不适用	DAC-3-DATA-8BIT	节 7.6.19
50h	FFh	F1h	BRDCAST-DATA	节 7.6.20
不适用	所有页面	00h	PMBUS-PAGE	节 7.6.21
不适用	00h	01h	PMBIS-OP-CMD-0	节 7.6.22
不适用	01h	01h	PMBUS-OP-CMD-1	节 7.6.22
不适用	02h	01h	PMBUS-OP-CMD-2	节 7.6.22
不适用	03h	01h	PMBUS-OP-CMD-3	节 7.6.22
不适用	所有页面	78h	PMBUS-CML	节 7.6.23
不适用	所有页面	98h	PMBUS-VERSION	节 7.6.24

**表 7-22. 访问类型代码**

访问类型	代码	说明
X	X	不用考虑
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

### 7.6.1 NOP 寄存器 (地址 = 00h) [复位 = 0000h]

PMBus 页面地址 = FFh, PMBus 寄存器地址 = D0h

图 7-22. NOP 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
R-0h															

表 7-23. NOP 寄存器字段说明

位	字段	类型	复位	说明
15-0	NOP	R	0000h	无操作

### 7.6.2 DAC-X-MARGIN-HIGH 寄存器 (地址 = 01h、07h、0Dh、13h) [复位 = 0000h]

PMBus 页面地址 = 00h、01h、02h、03h, PMBus 寄存器地址 = 25h

图 7-23. DAC-X-MARGIN-HIGH 寄存器 (X = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-X-MARGIN-HIGH[11:0] DAC-X-MARGIN-HIGH[9:0]												X			
R/W-0h												X-0h			

表 7-24. DAC-X-MARGIN-HIGH 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-X-MARGIN-HIGH[11:0] DAC-X-MARGIN-HIGH[9:0]	R/W	000h	DAC 输出的裕度高代码 数据采用直接二进制格式。MSB 左对齐。 使用以下位对齐： DAC63004 : {DAC-X-MARGIN-HIGH[11:0]} DAC53004 : {DAC-X-MARGIN-HIGH[9:0], X, X} X = 不用考虑位。
3-0	X	X	0	不用考虑

### 7.6.3 DAC-X-MARGIN-LOW 寄存器 (地址 = 02h、08h、0Eh、14h) [复位 = 0000h]

PMBus 页面地址 = 00h、01h、02h、03h, PMBus 寄存器地址 = 26h

图 7-24. DAC-X-MARGIN-LOW 寄存器 (X = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-X-MARGIN-LOW[11:0] DAC-X-MARGIN-LOW[9:0]												X			
R/W-0h												X-0h			

表 7-25. DAC-X-MARGIN-LOW 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-X-MARGIN-LOW[11:0] DAC-X-MARGIN-LOW[9:0]	R/W	000h	DAC 输出的裕度低代码 数据采用直接二进制格式。MSB 左对齐。 使用以下位对齐： DAC63004 : {DAC-X-MARGIN-LOW[11:0]} DAC53004 : {DAC-X-MARGIN-LOW[9:0], X, X} X = 不用考虑位。
3-0	X	X	0	不用考虑

7.6.4 DAC-X-VOUT-CMP-CONFIG 寄存器 (地址 = 03h、09h、0Fh、15h) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = D1h、D5h、D9h、DDh

图 7-25. DAC-X-VOUT-CMP-CONFIG 寄存器 (X = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		VOUT-GAIN-X				X			CMP-X-OD-EN	CMP-X-OUT-EN	CMP-X-HIZ-IN-DIS	CMP-X-INV-EN	CMP-X-EN		
X-0h		R/W-0h				X-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		

表 7-26. DAC-X-VOUT-CMP-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑
12-10	VOUT-GAIN-X	R/W	0h	000 : 增益 = 1x , VREF 引脚上的外部基准 001 : 增益 = 1x , VDD 作为参考 010 : 增益 = 1.5x , 内部基准 011 : 增益 = 2x , 内部基准 100 : 增益 = 3x , 内部基准 101 : 增益 = 4x , 内部基准 其他 : 无效
9-5	X	X	0h	不用考虑
4	CMP-X-OD-EN	R/W	0	0 : 将 OUTx 引脚设置为推挽输出 1 : 将 OUTx 引脚设置为比较器模式下的开漏输出 ( CMP-X-EN = 1 和 CMP-X-OUT-EN = 1 )
3	CMP-X-OUT-EN	R/W	0	0 : 生成比较器输出, 但内部消耗 1 : 将比较器输出连接到相应的 OUTx 引脚
2	CMP-X-HIZ-IN-DIS	R/W	0	0 : FBx 输入具有高阻抗。输入电压范围受限。 1 : FBx 输入连接到电阻分压器并具有有限阻抗。输入电压范围与满量程相同。
1	CMP-X-INV-EN	R/W	0	0 : 请勿反转比较器输出 1 : 反转比较器输出
0	CMP-X-EN	R/W	0	0 : 禁用比较器模式 1 : 启用比较器模式。电流输出必须处于断电状态。必须启用电压输出模式。

7.6.5 DAC-X-IOUT-MISC-CONFIG 寄存器 (地址 = 04h、0Ah、10h、16h) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = D2h、D6h、DAh、DEh

图 7-26. DAC-X-IOUT-MISC-CONFIG 寄存器 (X = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X			IOUT-RANGE-X					X							
X-0h			R/W-0h					X-0h							

表 7-27. DAC-X-IOUT-MISC-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑
12-9	IOUT-RANGE-X	R/W	0000	0000 : 0 μA 至 25 μA 0001 : 0 μA 至 50 μA 0010 : 0 μA 至 125 μA 0011 : 0 μA 至 250 μA 0100 : 0 μA 至 -24 μA 0101 : 0 μA 至 -48 μA 0110 : 0 μA 至 -120 μA 0111 : 0 μA 至 -240 μA 1000 : -25 μA 至 +25 μA 1001 : -50 μA 至 +50 μA 1010 : -125 μA 至 +125 μA 1011 : -250 μA 至 +250 μA 其他 : 无效
8-0	X	X	000h	不用考虑

7.6.6 DAC-X-CMP-MODE-CONFIG 寄存器 (地址 = 05h、0Bh、11h、17h) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = D3h、D7h、DBh、DFh

图 7-27. DAC-X-CMP-MODE-CONFIG 寄存器 (X = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X			CMP-X-MODE					X							
X-0h			R/W-0h					X-0h							

表 7-28. DAC-X-CMP-MODE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-12	X	X	00h	不用考虑
11-10	CMP-X-MODE	R/W	00	00 : 无迟滞或窗口功能 01 : 使用 DAC-X-MARGIN-HIGH 和 DAC-X-MARGIN-LOW 寄存器提供的迟滞 10 : 由 DAC-X-MARGIN-HIGH 和 DAC-X-MARGIN-LOW 寄存器设置窗口边界的窗口比较器模式 11 : 无效
9-0	X	X	000h	不用考虑

7.6.7 DAC-X-FUNC-CONFIG 寄存器 (地址 = 06h、0Ch、12h、18h) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = D4h、D8h、DCh、E0h

图 7-28. DAC-X-FUNC-CONFIG 寄存器 (X = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLR-SEL-X	SYNC-CONFIG-X	BRD-CONFIG-X	FUNC-GEN-CONFIG-BLOCK												
R/W-0h	R/W-0h	R/W-0h	R/W-0h												

表 7-29. DAC-X-FUNC-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	CLR-SEL-X	R/W	0	0 : 将 DAC-X 清除至零标度 1 : 将 DAC-X 清除至中标度
14	SYNC-CONFIG-X	R/W	0	0 : DAC-X 输出在写命令后立即更新 1 : DAC-X 输出在 LDAC 引脚下降沿或 COMMON-TRIGGER 寄存器中的 LDAC 位设置为 1 时更新
13	BRD-CONFIG-X	R/W	0	0 : 不使用广播命令更新 DAC-X 1 : 使用广播命令更新 DAC-X

表 7-30. 线性转换模式 : FUNC-GEN-CONFIG-BLOCK 字段说明

位	字段	类型	复位	说明
12-11	PHASE-SEL-X	R/W	0	00 : 0° 01 : 120° 10 : 240° 11 : 90°
10-8	FUNC-CONFIG-X	R/W	0	000 : 三角波 001 : 锯齿波 010 : 反锯齿波 100 : 正弦波 111 : 禁用函数生成 其他 : 无效
7	LOG-SLEW-EN-X	R/W	0	0 : 启用线性转换
6-4	CODE-STEP-X	R/W	0	用于线性转换模式的 CODE-STEP : 000 : 1-LSB 001 : 2-LSB 010 : 3-LSB 011 : 4-LSB 100 : 6-LSB 101 : 8-LSB 110 : 16-LSB 111 : 32-LSB

表 7-30. 线性转换模式：FUNC-GEN-CONFIG-BLOCK 字段说明 (continued)

位	字段	类型	复位	说明
3-0	SLEW-RATE-X	R/W	0	用于线性转换模式的 SLEW-RATE： 0000：对于裕度高和裕度低，无转换。波形生成无效。 0001：4μs/步进 0010：8μs/步进 0011：12μs/步进 0100：18μs/步进 0101：27.04μs/步进 0110：40.48μs/步进 0111：60.72μs/步进 1000：91.12μs/步进 1001：136.72μs/步进 1010：239.2μs/步进 1011：418.64μs/步进 1100：732.56μs/步进 1101：1282μs/步进 1110：2563.96μs/步进 1111：5127.92μs/步进

表 7-31. 对数转换模式：FUNC-GEN-CONFIG-BLOCK 字段说明

位	字段	类型	复位	说明
12-11	PHASE-SEL-X	R/W	0	00：0° 01：120° 10：240° 11：90°
10 - 8	FUNC-CONFIG-X	R/W	0	000：三角波 001：锯齿波 010：反锯齿波 100：正弦波 111：禁用函数生成 其他：无效
7	LOG-SLEW-EN-X	R/W	0	1：启用对数转换。 在对数转换模式下，DAC 输出以 3.125% 步进从 DAC-X-MARGIN-LOW 代码移至 DAC-X-MARGIN-HIGH 代码，反之亦然。 在正向转换时，下一步是 (1 + 0.03125) 乘以当前步进。 在反向转换时，下一步是 (1 - 0.03125) 乘以当前步进。 当 DAC-X-MARGIN-LOW 为 0 时，转换从代码 1 开始。 每个步进的时间间隔由 RISE-SLEW-X 和 FALL-SLEW-X 定义。
6-4	RISE-SLEW-X	R/W	0	对数转换模式的 SLEW-RATE ( DAC-X-MARGIN-LOW 至 DAC-X-MARGIN-HIGH )： 000：4μs/步进 001：12μs/步进 010：27.04μs/步进 011：60.72μs/步进 100：136.72μs/步进 101：418.64μs/步进 110：1282μs/步进 111：5127.92μs/步进
3-1	FALL-SLEW-X	R/W	0	对数转换模式的 SLEW-RATE ( DAC-X-MARGIN-HIGH 至 DAC-X-MARGIN-LOW )： 000：4μs/步进 001：12μs/步进 010：27.04μs/步进 011：60.72μs/步进 100：136.72μs/步进 101：418.64μs/步进 110：1282μs/步进 111：5127.92μs/步进

**表 7-31. 对数转换模式 : FUNC-GEN-CONFIG-BLOCK 字段说明 (continued)**

位	字段	类型	复位	说明
0	X	X	0	不用考虑

### 7.6.8 DAC-X-DATA 寄存器 (地址 = 19h、1Ah、1Bh、1Ch) [复位 = 0000h]

PMBus 页面地址 = 00h、01h、02h、03h, PMBus 寄存器地址 = 21h

图 7-29. DAC-X-DATA 寄存器 (X = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-X-DATA[11:0] DAC-X-DATA[9:0]												X			
R/W-0h												X-0h			

表 7-32. DAC-X-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-4	DAC-X-DATA[11:0] DAC-X-DATA[9:0]	R/W	000h	DAC 输出的数据 数据采用直接二进制格式。MSB 左对齐。MSB 左对齐。使用以下位对齐： DAC63004 : {DAC-X-DATA[11:0]} DAC53004 : {DAC-X-DATA[9:0], X, X} X = 不用考虑位。
3-0	X	X	0h	不用考虑

### 7.6.9 COMMON-CONFIG 寄存器 (地址 = 1Fh) [复位 = 0FFFh]

PMBus 页面地址 = FFh, PMBus 寄存器地址 = E3h

图 7-30. COMMON-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	VOUT-PDN-3	IOUT-PDN-3	VOUT-PDN-2	IOUT-PDN-2	VOUT-PDN-1	IOUT-PDN-1	VOUT-PDN-0	IOUT-PDN-0				
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-11b	R/W-1b	R/W-11b	R/W-1b	R/W-11b	R/W-1b	R/W-11b	R/W-1b	R/W-11b	R/W-11b	R/W-1b	R/W-1b

表 7-33. COMMON-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	WIN-LATCH-EN	R/W	0	0: 非锁存窗口比较器输出 1: 锁存窗口比较器输出
14	DEV-LOCK	R/W	0	0: 器件未锁定 1: 器件锁定, 器件会锁定所有寄存器。要将此位置为 0 (解锁器件), 需先将解锁代码写入 COMMON-TRIGGER 寄存器的 DEV-UNLOCK 字段, 然后向 DEV-LOCK 位写入 0。
13	EE-READ-ADDR	R/W	0	0: 故障转储读取使能位于地址 0x00 处 1: 故障转储读取使能位于地址 0x01 处
12	EN-INT-REF	R/W	0	0: 禁用内部基准 1: 启用内部基准。在使用内部基准增益设置之前, 必须设置此位。
11-10、8-7、5-4、2-1	VOUT-PDN-X	R/W	11	00: 为 VOUT-X 加电 01: 将 VOUT-X 断电并通过 10KΩ 连接至 AGND 10: 将 VOUT-X 断电并通过 100KΩ 连接至 AGND 11: 将 VOUT-X 断电并通过高阻态连接至 AGND
9、6、3、0	IOUT-PDN-X	R/W	1	0: 为 IOUT-X 加电 1: 将 IOUT-X 断电



### 7.6.10 COMMON-TRIGGER 寄存器 (地址 = 20h) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = E4h

图 7-31. COMMON-TRIGGER 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DEV-UNLOCK				重置				LDAC	CLR	X	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD	
R/W-0h				R/W-0h				R/W-0h	R/W-0h	X-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-34. COMMON-TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-12	DEV-UNLOCK	R/W	0000	0101 : 器件解锁密码 其他 : 不用考虑
11 - 8	重置	W	0000	1010 : 触发 POR 复位。此位会自行复位。 其他 : 不用考虑
7	LDAC	R/W	0	0 : 不触发 LDAC 操作。 1 : 如果 DAC-X-FUNC-CONFIG 寄存器中相应的 SYNC-CONFIG-X 位为 1, 则触发 LDAC 操作。此位会自行复位。
6	CLR	R/W	0	0 : DAC 寄存器和输出不受影响 1 : DAC 寄存器和输出根据 DAC-X-FUNC-CONFIG 寄存器中相应的 CLR-SEL-X 位设置为零代码或中间代码。此位会自行复位。
5	X	X	0	不用考虑
4	FAULT-DUMP	R/W	0	0 : 不触发故障转储 1 : 触发故障转储序列。此位会自行复位。
3	PROTECT	R/W	0	0 : 不触发 PROTECT 功能 1 : 触发 PROTECT 功能。此位会自行复位。
2	READ-ONE-TRIG	R/W	0	0 : 不触发故障转储读取 1 : 读取 NVM 的一行进行故障转储。此位会自行复位。
1	NVM-PROG	R/W	0	0 : 不触发 NVM 写入 1 : 触发 NVM 写入。此位会自行复位。
0	NVM-RELOAD	R/W	0	0 : 不触发 NVM 重新加载 1 : 将数据从 NVM 重新加载到寄存器映射。此位会自行复位。

7.6.11 COMMON-DAC-TRIG 寄存器 (地址 = 21h) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = E5h

图 7-32. COMMON-DAC-TRIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET-CMP-FLAG-0	TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0	RESET-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1	RESET-CMP-FLAG-2	TRIG-MAR-LO-2	TRIG-MAR-HI-2	START-FUNC-2	RESET-CMP-FLAG-2	TRIG-MAR-LO-3	TRIG-MAR-HI-3	START-FUNC-3
$\bar{W}$ -0h	$\bar{W}$ -0h	$\bar{W}$ -0h	R/ $\bar{W}$ -0h	$\bar{W}$ -0h	$\bar{W}$ -0h	$\bar{W}$ -0h	R/ $\bar{W}$ -0h	$\bar{W}$ -0h	$\bar{W}$ -0h	$\bar{W}$ -0h	R/ $\bar{W}$ -0h	$\bar{W}$ -0h	$\bar{W}$ -0h	$\bar{W}$ -0h	R/ $\bar{W}$ -0h

表 7-35. COMMON-DAC-TRIG 寄存器字段说明

位	字段	类型	复位	说明
15、11、7、3	RESET-CMP-FLAG-X	$\bar{W}$	0	0：锁存比较器输出不受影响 1：复位锁存比较器和窗口比较器输出。此位会自行复位。
14、10、6、2	TRIG-MAR-LO-X	$\bar{W}$	0	0：不用考虑 1：触发低裕度命令。此位会自行复位。
13、9、5、1	TRIG-MAR-HI-X	$\bar{W}$	0	0：不用考虑 1：触发高裕度命令。此位会自行复位。
12、8、4、0	START-FUNC-X	R/ $\bar{W}$	0	0：停止函数生成 1：根据 DAC-X-FUNC-CONFIG 寄存器中的 FUNC-GEN-CONFIG-X 开始函数生成。

7.6.12 GENERAL-STATUS 寄存器 (地址 = 22h) [复位 = 00h、DEVICE-ID、VERSION-ID]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = E6h

图 7-33. GENERAL-STATUS 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	X	DAC-3-BUSY	DAC-2-BUSY	DAC-1-BUSY	DAC-0-BUSY	X	DEVICE-ID						VERSION-ID	
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	X-0h	R						R-0h	

表 7-36. GENERAL-STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	NVM-CRC-FAIL-INT	R	0	0 : OTP 中无 CRC 错误 1 : 表示 OTP 加载失败。软件复位或下电上电可在发生临时故障时使器件脱离此状态。
14	NVM-CRC-FAIL-USER	R	0	0 : NVM 加载中无 CRC 错误 1 : 表示 NVM 加载失败。寄存器设置已损坏。该器件允许在该错误条件下执行所有操作。重新对 NVM 进行编程以获得原始状态。软件复位可使器件摆脱此临时错误状态。
13	X	R	0	不用考虑
12	DAC-3-BUSY	R	0	0 : DAC-3 通道可接受命令 1 : DAC-3 通道不接受命令
11	DAC-2-BUSY	R	0	0 : DAC-2 通道可接受命令 1 : DAC-2 通道不接受命令
10	DAC-1-BUSY	R	0	0 : DAC-1 通道可接受命令 1 : DAC-1 通道不接受命令
9	DAC-0-BUSY	R	0	0 : DAC-0 通道可接受命令 1 : DAC-0 通道不接受命令
8	X	R	0	不用考虑
7-2	DEVICE-ID	R	DAC53004 : 05h DAC63004 : 04h	器件标识符
1-0	VERSION-ID	R	00	版本标识符

### 7.6.13 CMP-STATUS 寄存器 (地址 = 23h) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = E7h

图 7-34. CMP-STATUS 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X						PROTECT-FLAG	WIN-CMP-3	WIN-CMP-2	WIN-CMP-1	WIN-CMP-0	CMP-FLAG-3	CMP-FLAG-2	CMP-FLAG-1	CMP-FLAG-0	
X-0h						R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-37. CMP-STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-9	X	X	0	不用考虑
8	PROTECT-FLAG	R	0	0 : PROTECT 操作不会触发。 1 : PROTECT 功能已完成或正在进行中。读取时该位复位为 0。
7、6、5、4	WIN-CMP-X	R	0	来自相应通道的窗口比较器输出。输出根据 COMMON-CONFIG 寄存器中的 WINDOW-LATCH-EN 设置来锁存或取消锁存。
3、2、1、0	CMP-FLAG-X	R	0	来自相应通道的同步比较器输出。

### 7.6.14 GPIO-CONFIG 寄存器 (地址 = 24h) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = E8h

图 7-35. GPIO-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GF-EN	DEEP-SLEEP-EN	GPO-EN	GPO-CONFIG				GPI-CH-SEL			GPI-CONFIG			GPI-EN		
R/W-0h	R/W-0h	R/W-0h	R/W-0h				R/W-0h			R/W-0h			R/W-0h		

表 7-38. GPIO-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	GF-EN	R/W	0	0 : 为 GP 输入禁用干扰滤波器。此设置可提供更快的响应。 1 : 为 GP 输入启用干扰滤波器。此设置会引入额外的传播延迟，但提供了稳健性。
14	DEEP-SLEEP-EN	R/W	0	0 : 禁用深度睡眠模式 1 : 为 GP 输入启用深度睡眠模式
13	GPO-EN	R/W	0	0 : 禁用 GPIO 引脚的输出模式 1 : 启用 GPIO 引脚的输出模式
12-9	GPO-CONFIG	R/W	0000	STATUS 功能状态。GPIO 引脚映射到以下寄存器位作为输出： 0001 : NVM-BUSY 0100 : DAC-0-BUSY 0101 : DAC-1-BUSY 0110 : DAC-2-BUSY 0111 : DAC-3-BUSY 1000 : WIN-CMP-0 1001 : WIN-CMP-1 1010 : WIN-CMP-2 1011 : WIN-CMP-3 其他 : 无效

**表 7-38. GPIO-CONFIG 寄存器字段说明 (continued)**

位	字段	类型	复位	说明
8-5	GPI-CH-SEL	R/W	0000	每个位对应一个 DAC 通道。0b 表示已禁用，而 1b 表示已启用。 GPI-CH-SEL[0]：通道 0 GPI-CH-SEL[1]：通道 1 GPI-CH-SEL[2]：通道 2 GPI-CH-SEL[3]：通道 3  示例：当 GPI-CH-SEL 为 0101 时，通道 0 和通道 2 均被启用，而通道 1 和通道 3 均被禁用。
4-1	GPI-CONFIG	R/W	0000	GPIO 引脚输入配置。全局设置在整个器件上运行。特定于通道的设置取决于 GPI-CH-SEL 位的通道选择： <ul style="list-style-type: none"> <li>0000：<math>\overline{\text{DEEP-SLEEP}}</math> (全局)。GPIO 下降沿触发深度睡眠模式，GPIO 上升沿使器件退出深度睡眠模式。</li> <li>0010：<math>\overline{\text{FAULT-DUMP}}</math> (全局)。GPIO 下降沿触发故障转储，GPIO = 1 没有任何影响。</li> <li>0011：IOUT 上电/下电 (特定于通道)。GPIO 下降沿触发断电，GPIO 上升沿触发加电。</li> <li>0100：VOUT 上电/下电 (特定于通道)。输出负载根据 VOUT-PDN-X 设置进行设置。GPIO 下降沿触发断电，GPIO 上升沿触发加电。</li> <li>0101：<math>\overline{\text{PROTECT}}</math> 输入 (全局)。GPIO 下降沿使 <math>\overline{\text{PROTECT}}</math> 功能生效，GPIO = 1 没有任何影响。</li> <li>0111：<math>\overline{\text{CLR}}</math> 输入 (全局)。GPIO = 0 使 <math>\overline{\text{CLR}}</math> 功能生效，GPIO = 1 没有任何影响。</li> <li>1000：<math>\overline{\text{LDAC}}</math> 输入 (特定于通道)。GPIO 下降沿使 <math>\overline{\text{LDAC}}</math> 功能生效，GPIO = 1 没有任何影响。必须为每个通道配置 SYNC-CONFIG-X 和 GPI-CH-SEL。</li> <li>1001：启动和停止函数生成 (特定于通道)。GPIO 下降沿停止函数生成。GPIO 上升沿开始函数生成。</li> <li>1010：触发裕度高/低 (特定于通道)。GPIO 下降沿触发裕度低。GPIO 上升沿触发裕度高。</li> <li>1011：<math>\overline{\text{RESET}}</math> 输入 (全局)。GPIO 引脚的下降沿使 <math>\overline{\text{RESET}}</math> 功能生效。<math>\overline{\text{RESET}}</math> 输入必须是一个脉冲。GPIO 上升沿使器件退出复位。<math>\overline{\text{RESET}}</math> 配置必须编程到 NVM 中。否则，该设置会在器件复位后被清除。</li> <li>1100：NVM 写保护 (全局)。GPIO 下降沿允许 NVM 编程。GPIO 上升沿阻止 NVM 编程。</li> <li>1101：寄存器映射锁定 (全局)。GPIO 下降沿允许更新寄存器映射。GPIO 上升沿阻止任何寄存器映射更新，但通过 I<sup>2</sup>C 或 SPI 写入 DEV-UNLOCK 字段和通过 I<sup>2</sup>C 写入 RESET 字段除外。</li> </ul> 其他：不可用
0	GPI-EN	R/W	0	0：禁用 GPIO 引脚的输入模式 1：启用 GPIO 引脚的输入模式

### 7.6.15 DEVICE-MODE-CONFIG 寄存器 (地址 = 25h) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = E9h

图 7-36. DEVICE-MODE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED		DIS-MODE-IN	保留			PROTECT-CONFIG		保留			X				
R/W-0h		R/W-0h	R/W-0h			R/W-0h		R/W-0h			X-0h				

表 7-39. DEVICE-MODE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-14	保留	R/W	00	始终写入 0b00
13	DIS-MODE-IN	R/W	0	向此位写入 1 以实现低功耗。
12-10	保留	R/W	0	始终写入 0b000
9-8	PROTECT-CONFIG	R/W	00	00: 切换到高阻态断电模式 (无转换) 01: 切换到存储在 NVM 中的 DAC 代码 (无转换), 然后切换到高阻态断电模式 10: 转换为裕度低代码, 然后切换到高阻态断电模式 11: 转换为裕度高代码, 然后切换到高阻态断电模式
7-5	保留	R/W	0	始终写入 0b000
4-0	X	R/W	00h	不用考虑

### 7.6.16 INTERFACE-CONFIG 寄存器 (地址 = 26h) [复位 = 0000h]

图 7-37. INTERFACE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		TIMEOUT-EN	X			EN-PMBUS		X			FSDO-EN	X	SDO-EN		
X-0h		R/W-0h	X-0h			R/W-0h		X-0h			R/W-0h	X-0h	R/W-0h		

表 7-40. INTERFACE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑
12	TIMEOUT-EN	R/W	0	0: 禁用 I <sup>2</sup> C 超时 1: 启用 I <sup>2</sup> C 模式
11-9	X	X	0h	不用考虑
8	EN-PMBUS	R/W	0	0: 禁用 PMBus 1: 启用 PMBus
7-3	X	X	00h	不用考虑
2	FSDO-EN	R/W	0	0: 禁用快速 SDO 1: 启用快速 SDO
1	X	X	0	不用考虑
0	SDO-EN	R/W	0	0: 禁用 SDO 1: 在 GPIO 引脚上启用 SDO

### 7.6.17 SRAM-CONFIG 寄存器 (地址 = 2Bh) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = EFh

图 7-38. SRAM-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X								SRAM-ADDR							
X-0h								R/W-0h							

表 7-41. SRAM-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-8	X	X	0h	不用考虑
7-0	SRAM-ADDR	R/W	0h	8 位 SRAM 地址。写入此寄存器字段将配置接下来要访问的 SRAM 地址。此地址会在写入 SRAM 后自动递增。

### 7.6.18 SRAM-DATA 寄存器 (地址 = 2Ch) [复位 = 0000h]

PMBus 页面地址 = FFh , PMBus 寄存器地址 = F0h

图 7-39. SRAM-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAM-DATA															
R/W-0h															

表 7-42. SRAM-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-0	SRAM-ADDR	R/W	0h	16 位 SRAM 数据。此数据会写入 SRAM-CONFIG 寄存器中配置的地址或从该地址读取。

### 7.6.19 DAC-X-DATA-8BIT 寄存器 (地址 = 40h、41h、42h、43h) [复位 = 0000h]

PMBus 页面地址 = 不适用, PMBus 寄存器地址 = 不适用

图 7-40. DAC-X-DATA-8BIT 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-X-DATA-8BIT[7:0]										X					
R/W-0h										X-0h					

表 7-43. DAC-X-DATA-8BIT 寄存器字段说明

位	字段	类型	复位	说明
15-8	DAC-X-DATA-8BIT[7:0]	R/W	00h	电流输出的 8 位数据。此寄存器在 I <sup>2</sup> C 模式下可提供更快的更新速率。数据采用直接二进制格式
7-0	X	X	00h	不可用

### 7.6.20 BRDCAST-DATA 寄存器 (地址 = 50h) [复位 = 0000h]

PMBus 页面地址 = FFh, PMBus 寄存器地址 = F1h

图 7-41. BRDCAST-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRDCAST-DATA[11:0] BRDCAST-DATA[9:0]										X					
R/W-0h										X-0h					

表 7-44. BRDCAST-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-4	BRDCAST-DATA[11:0] BRDCAST-DATA[9:0]	R/W	000h	所有 DAC 通道的广播代码 数据采用直接二进制格式。MSB 左对齐。使用以下位对齐： DAC63004 : {BRDCAST-DATA[11:0]} DAC53004 : {BRDCAST-DATA[9:0], X, X} X = 不用考虑位。 必须针对相应通道使能 DAC-X-FUNC-CONFIG 寄存器中的 BRD-CONFIG-X 位。
3-0	X	X	0h	不用考虑。

### 7.6.21 PMBUS-PAGE 寄存器 [复位 = 0300h]

PMBus 页面地址 = X, PMBus 寄存器地址 = 00h

图 7-42. PMBUS-PAGE 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMBUS-PAGE										X					
R/W-03h										X-00h					

表 7-45. PMBUS\_OPERATION 寄存器字段说明

位	字段	类型	复位	说明
15-8	PMBUS-PAGE	R/W	03h	表 7-21 中指定的 8 位 PMBus 页面地址。
7-0	X	X	00h	不可用



### 7.6.22 PMBUS-OP-CMD-X 寄存器 [复位 = 0000h]

PMBus 页面地址 = 00h、01h、02h、03h，PMBus 寄存器地址 = 01h

图 7-43. PMBUS-OP-CMD-X 寄存器 (X = 0、1、2、3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMBUS-OPERATION-CMD-X								X							
R/W-00h								X-00h							

表 7-46. PMBUS-OP-CMD-X 寄存器字段说明

位	字段	类型	复位	说明
15-8	PMBUS-OPERATION-CMD-X	R/W	00h	PMBus 操作命令： 00h：关闭 80h：打开 A4h：裕度高，DAC 输出裕度高至 DAC-X-MARGIN-HIGH 代码 94h：裕度低，DAC 输出裕度低至 DAC-X-MARGIN-LOW 代码
7-0	X	X	00h	不可用

### 7.6.23 PMBUS-CML 寄存器 [复位 = 0000h]

PMBus 页面地址 = X，PMBus 寄存器地址 = 78h

图 7-44. PMBUS-CML 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X						CML	X	不适用							
X-00h						R/W-0h	X-0h	X-00h							

表 7-47. PMBUS-CML 寄存器字段说明

位	字段	类型	复位	说明
15-10	X	X	00h	不用考虑
9	CML	R/W	0	0：无通信故障 1：PMBus 通信故障：写入时钟数错误、在写入命令前读取、无效命令地址以及无效或不受支持的数据值；此位通过写入 1 复位。
8	X	X	0h	不用考虑
7-0	X	X	00h	不可用

### 7.6.24 PMBUS-VERSION 寄存器 [复位 = 2200h]

PMBus 页面地址 = X，PMBus 寄存器地址 = 98h

图 7-45. PMBUS-VERSION 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMBUS-VERSION								X							
R-22h								X-00h							

表 7-48. PMBUS-VERSION 寄存器字段说明

位	字段	类型	复位	说明
15-8	PMBUS-VERSION	R	22h	PMBus 版本
7-0	X	X	00h	不可用

## 8 应用和实现

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

### 8.1 应用信息

DACx3004 是四通道缓冲、强制检测输出、电压输出和电流输出智能 DAC，包含一个 NVM 和内部基准，并采用微型 3mm × 3mm 封装。在电压输出模式下，将每个通道的 OUTx 和 FBx 引脚短接。在电流输出模式下，将 FBx 引脚保持未连接状态。FBx 引脚在比较器模式下用作输入。在瞬态或稳态条件下，外部基准不得超过 VDD。为了获得出色的高阻态输出性能，需使用上拉电阻器将 VREF 引脚连接至 VDD。如果 VDD 在关断状态下保持悬空，需在 AGND 上放置 100kΩ 电阻器，以便正确检测 VDD 关断状态。所有数字输出均为开漏输出；应在这些引脚上使用外部上拉电阻器。在上电时能检测到接口协议，并且只要 VDD 打开，器件就会锁定到协议。在 I<sup>2</sup>C 模式下，分配系统中的 I<sup>2</sup>C 地址时，还应考虑广播地址。可以启用 I<sup>2</sup>C 超时以确保稳健性。SPI 模式默认为 3 线模式。在 NVM 中将 GPIO 引脚配置为 SDO 可以实现 SPI 回读功能。回读模式下的 SPI 时钟速度比写入模式下的速度慢。默认情况下，断电模式会将 DAC 输出设置为高阻态。需针对不同的断电设置适当地更改配置。DAC 通道还可以通过 NVM 中编程的 DAC 代码上电。

### 8.2 典型应用

电源裕量和调节电路用于修整、调节或测试电源转换器的输出。此示例电路用于通过以下方法来测试系统：为电源提供裕量以进行自适应电压调节，或者对所需的输出端值进行编程。低压降稳压器 (LDO) 和直流/直流转换器等可调节电源提供了反馈或可调节输入，用于设置所需的输出。精密电压输出 DAC 非常适合用于以线性方式控制电源输出。图 8-1 显示了使用 DACx3004 的开关模式电源 (SMPS) 控制电路。电源裕量的典型应用包括通信设备、企业服务器、测试和测量、和通用电源模块。

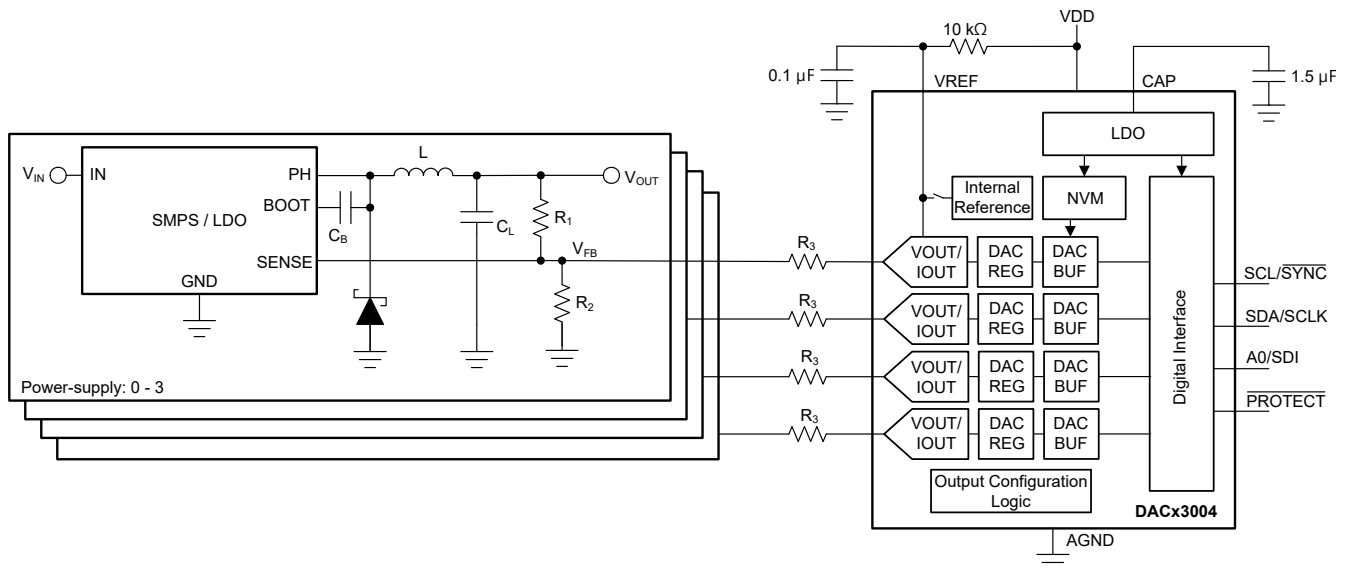


图 8-1. 电压裕量和调节

#### 8.2.1 设计要求

表 8-1. 设计参数

参数	值
电源标称输出	3.3V
转换器的基准电压 (V <sub>FB</sub> )	0.6V

表 8-1. 设计参数 (continued)

参数	值
裕量	±10% (即 2.97V 至 3.63V)
DAC 输出范围	1.8V
通过 R <sub>1</sub> 和 R <sub>2</sub> 的标称电流	100µA

### 8.2.2 详细设计过程

DACx3004 具有高阻态断电模式，在加电时默认设置为该模式，除非使用 NVM 对器件进行编程。当 DAC 输出为高阻态时，通过 R<sub>3</sub> 的电流为零，SMPS 设置为 3.3V 的标称输出电压。要在 DAC 加电时具有相同的标称条件，需将器件调至与 V<sub>FB</sub> 相同的输出 (即 0.6V)。此配置可确保即使在加电时，也没有电流流过 R<sub>3</sub>。R<sub>1</sub> 的计算方式如下： $(V_{OUT} - V_{FB}) / 100\mu A = 27k\Omega$ 。

为了达到 ±10% 的裕度高和裕度低条件，DAC 必须通过 R<sub>1</sub> 吸收或提供额外的电流。计算得出来自 DAC (I<sub>MARGIN</sub>) 的电流为 12µA (使用方程式 10 计算)。

$$I_{MARGIN} = \left( \frac{V_{OUT} \times (1 + MARGIN) - V_{FB}}{R_1} \right) - I_{NOMINAL} \quad (10)$$

其中

- I<sub>MARGIN</sub> 是来自 DAC 或由 DAC 产生的裕量电流。
- MARGIN 是百分比裕度值除以 100。
- I<sub>NOMINAL</sub> 是通过 R<sub>1</sub> 和 R<sub>2</sub> 的标称电流。

要计算 R<sub>3</sub> 的值，首先应确定 DAC 输出范围，并确保避免代码接近零标度和满量程，以确保在线性区域中安全运行。20mV 的 DAC 输出作为最小输出是一项安全考虑因素，同时 (1.8V - 0.6V - 20mV = 1.18V) 作为最大输出。当 DAC 输出为 20mV 时，电源变为裕度高，而当 DAC 输出为 1.18V 时，电源变为裕度低。计算得出 R<sub>3</sub> 的值为 48.3kΩ (使用方程式 11 计算)。选择标准电阻值并调整 DAC 输出。选择 R<sub>3</sub> = 47kΩ 时，则 DAC 裕度高代码为 1.164V，而 DAC 裕度低代码为 36mV。

$$R_3 = \frac{|V_{DAC} - V_{FB}|}{I_{MARGIN}} \quad (11)$$

当 DACx3004 置于电流输出模式时，无需串联电阻器 R<sub>3</sub>。将 DAC 输出设置为 -25µA 至 +25µA 的电流输出范围，并适当设置 DAC 代码以实现 ±12µA 的裕量电流。

DACx3004 具有转换率功能，用于以定义的转换率在裕度高、裕度低和标称输出之间切换。请参阅节 7.6.7，了解转换率设置详细信息。

#### 备注

DACx3004 中的 DAC-X-MARGIN-HIGH 寄存器值导致电源输出处出现裕度低值。同样，DACx3004 中的 DAC-X-MARGIN-LOW 寄存器值会导致电源输出处出现裕度高值。

下面给出了开始使用电源控制应用所需的伪代码：

```
//SYNTAX: WRITE <REGISTER NAME (Hex code)>, <MSB DATA>, <LSB DATA>
//Write DAC code for nominal output (repeat for all DAC channels)
//For a 1.8-V output range, the 10-bit hex code for 0.6 V is 0x155. With 16-bit left alignment, this
becomes 0x5540
WRITE DAC_DATA(0x19), 0x55, 0x40
//Power-up voltage output on all channels, enables internal reference WRITE COMMON-CONFIG(0x1F),
0x12, 0x49
//Set channel 0 gain setting to 1.5x internal reference (1.8 V)
WRITE DAC-0-VOOUT-CMP-CONFIG(0x3), 0x08, 0x00
//Set channel 1 gain setting to 1.5x internal reference (1.8 V)
WRITE DAC-1-VOOUT-CMP-CONFIG(0x9), 0x08, 0x00
//Set channel 2 gain setting to 1.5x internal reference (1.8 V)
WRITE DAC-2-VOOUT-CMP-CONFIG(0xF), 0x08, 0x00
//Set channel 3 gain setting to 1.5x internal reference (1.8 V)
WRITE DAC-3-VOOUT-CMP-CONFIG(0x15), 0x08, 0x00
//Configure GPI for Margin-High, Low trigger for all channels
WRITE GPIO-CONFIG(0x24), 0x01, 0xF5
//Set slew rate and code step (repeat for all channels)
//CODE_STEP: 2 LSB, SLEW_RATE: 60.72 µs/step
WRITE DAC-0-FUNC-CONFIG(0x06), 0x00, 0x17
//Write DAC margin high code (repeat for all channels)
//For a 1.8-V output range, the 10-bit hex code for 1.164 V is 0x296. With 16-bit left alignment,
this becomes 0xA540
WRITE DAC-0-MARGIN-HIGH(0x01), 0xA5, 0x40
//Write DAC margin low code (repeat for all channels)
//For a 1.8-V output range, the 10-bit hex code for 36 mV is 0x14. With 16-bit left alignment, this
becomes 0x0500
WRITE DAC-0-MARGIN-LOW(0x02), 0x05, 0x00
//Save settings to NVM
WRITE COMMON-TRIGGER(0x20), 0x00, 0x02
```

### 8.2.3 应用曲线

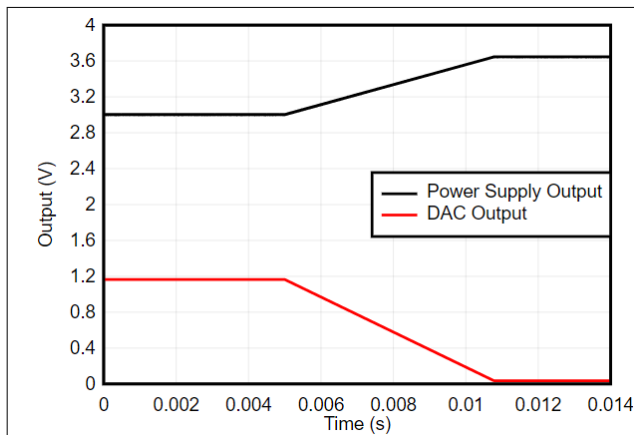


图 8-2. 电源裕度高

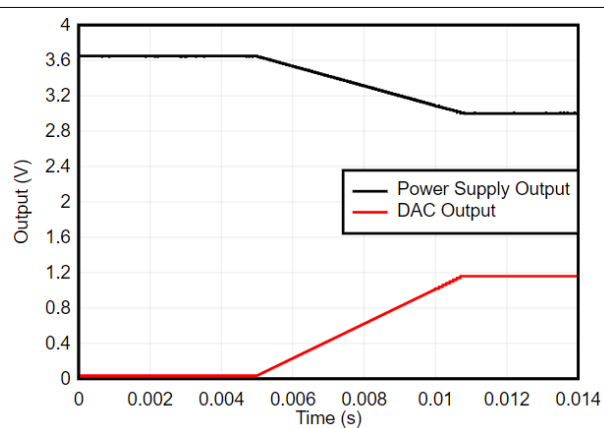


图 8-3. 电源裕度低

## 9 电源相关建议

DACx3004 系列器件不需要特定的电源时序。这些器件需要单个电源  $V_{DD}$ 。但是，应确保在  $V_{DD}$  之后施加外部电压基准。 $V_{DD}$  引脚应使用  $0.1\mu\text{F}$  去耦电容器。 $CAP$  引脚应使用约  $1.5\mu\text{F}$  的旁路电容器。

## 10 布局

### 10.1 布局指南

DACx3004 引脚配置将模拟、数字和电源引脚分开以实现优化布局。为了保证信号完整性，需将数字和模拟走线分开，并将去耦电容器放置在器件引脚附近。

### 10.2 Layout Example

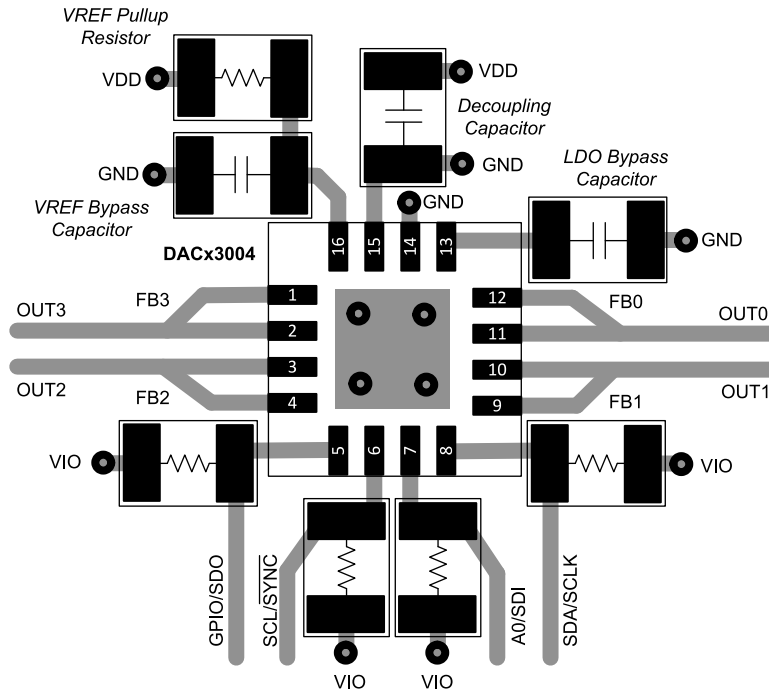


图 10-1. Layout Example

Note: The ground and power planes have been omitted for clarity. Connect the thermal pad to ground.

## 11 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

### 11.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](http://ti.com) 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 11.2 支持资源

TI E2E™ [支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

### 11.3 Trademarks

PMBus™ is a trademark of SMIF, Inc..

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 11.4 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

### 11.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 12 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DAC53004RTER	ACTIVE	WQFN	RTE	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D53004	<a href="#">Samples</a>
DAC53004RTET	ACTIVE	WQFN	RTE	16	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D53004	<a href="#">Samples</a>
DAC63004RTER	ACTIVE	WQFN	RTE	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D63004	<a href="#">Samples</a>
DAC63004RTET	ACTIVE	WQFN	RTE	16	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	D63004	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC53004RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DAC53004RTET	WQFN	RTE	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DAC63004RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DAC63004RTET	WQFN	RTE	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC53004RTER	WQFN	RTE	16	3000	367.0	367.0	35.0
DAC53004RTET	WQFN	RTE	16	250	210.0	185.0	35.0
DAC63004RTER	WQFN	RTE	16	3000	367.0	367.0	35.0
DAC63004RTET	WQFN	RTE	16	250	210.0	185.0	35.0

## GENERIC PACKAGE VIEW

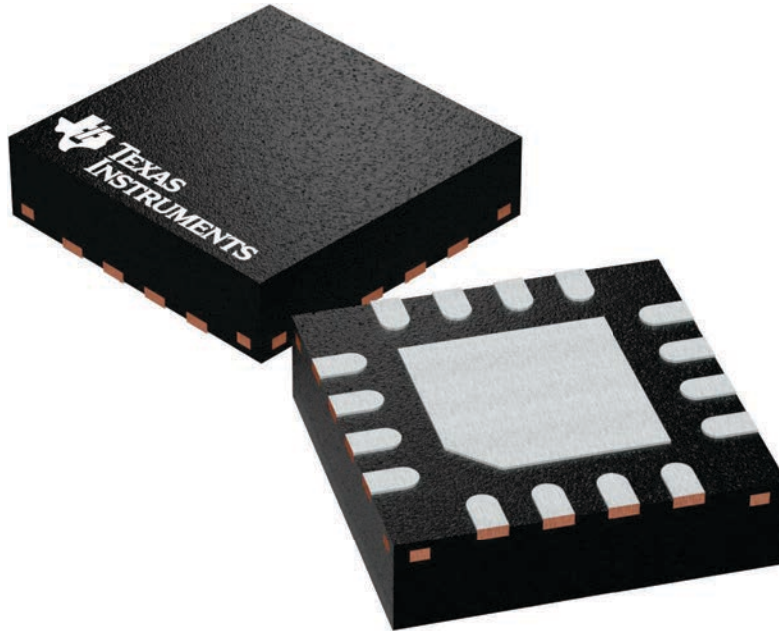
**RTE 16**

**WQFN - 0.8 mm max height**

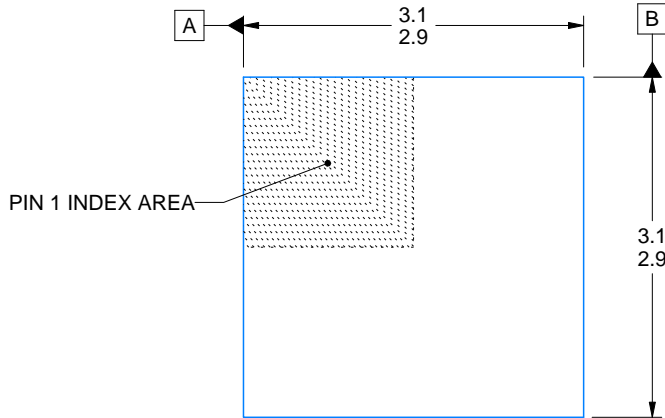
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

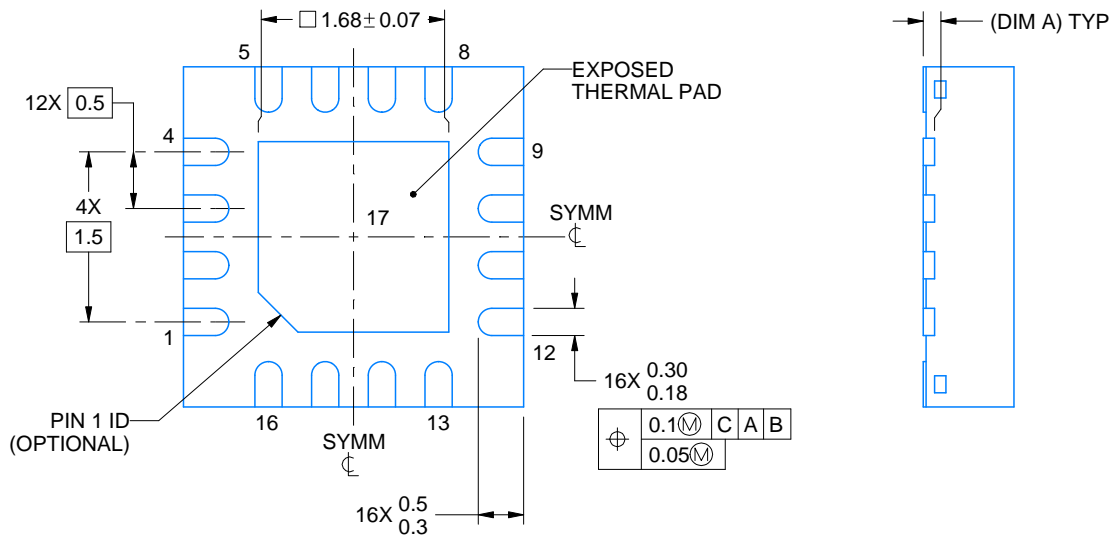
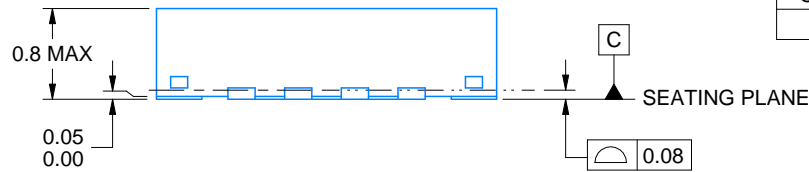
This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4225944/A



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4219117/B 04/2022

NOTES:

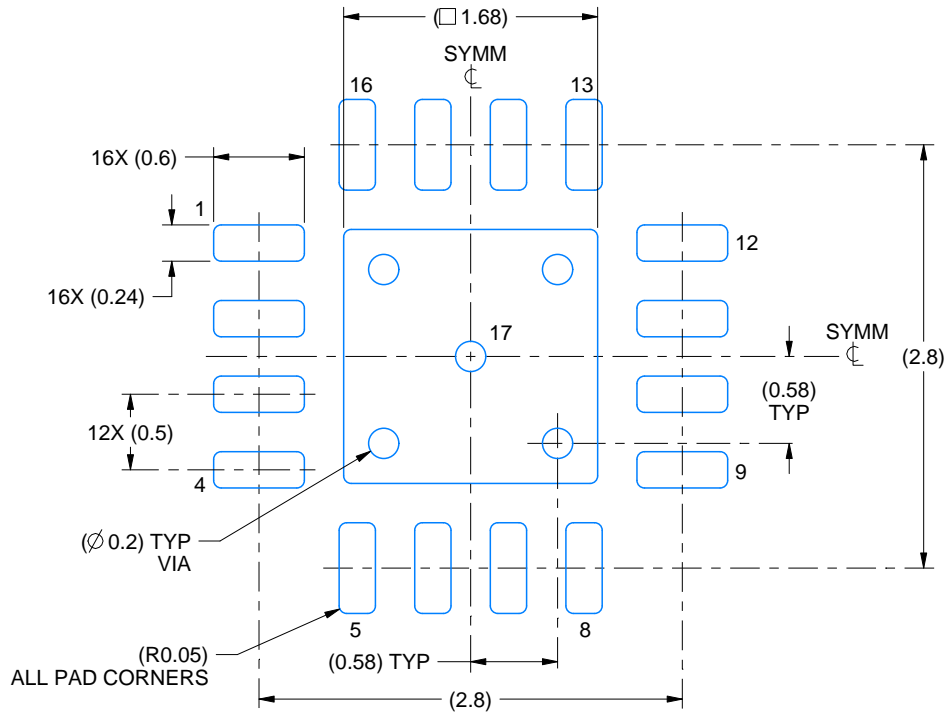
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

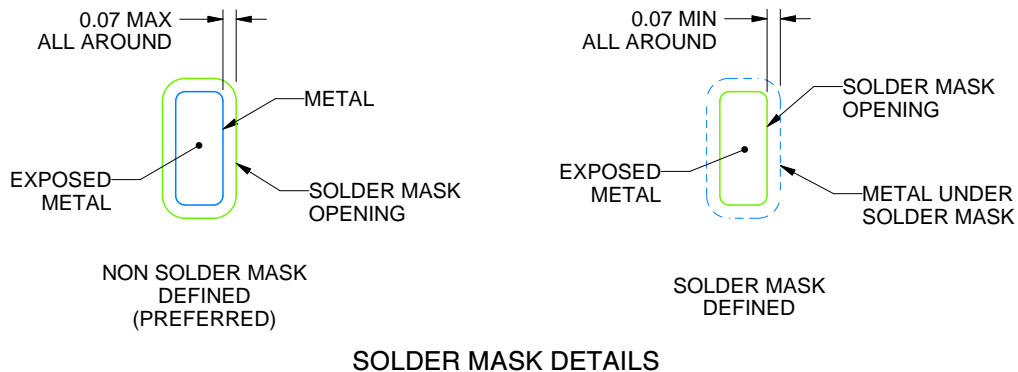
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



4219117/B 04/2022

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sl原因271](http://www.ti.com/lit/sl原因271)).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:  
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司