DDS39RF12 和 DDS39RFS12 12GSPS 至 24GSPS 双通道和单通道多奈奎斯特直接数字合成器 (DDS)

1 特性

- 16 位、12GSPS 至 24GSPS、多奈奎斯特 DAC 内核
- 最大输入数据速率：
  - 16 位、单通道复杂 I/Q：775MSPS
  - 16 位双通道复杂 I/Q：388MSPS
- 输出带宽 (-3dB)：12GHz
- f_{OUT} = 2.997GHz、DES2XL 模式下、DEM 和抖动关闭时的性能
  - 本底噪声（小信号）：-154dBFS/Hz
  - SFDR (-0.1dBFS)：68dBc
  - IMD3（每个音调 -7dBFS）：-74dBc
  - 附加相位噪声，10kHz 偏移：-138dBc/Hz
- 四个集成式数字上变频器 (DUC)
  - 内插：4 倍、6 倍、8 倍、12 倍...256x
  - 用于 I/Q 输出的复基带 DUC
  - 用于双通道直接射频采样的复数到实数上变频
  - 64 位频率分辨率 NCO
- 快速重新配置接口，可实现快速跳频
  - 具有 200MHz 时钟的 4 位数据
  - 60ns 重新配置（32 位频率）
  - 具有相位相干的任何跳频
- JESD204C 接口
  - 最多 2 个通道，每个速率高达 12.8Gbps
  - 符合 C-S 类子类 1
  - 内部交流耦合电容
- 用于自动 SYSREF 计时校准的 SYSREF 窗口

2 应用

- 卫星通信 (SATCOM)
- 相控阵天线系统
- 合成孔径雷达 (SAR) 励磁
- 无线通信测试仪
- 任意波形发生器 (AWG)
- 敏捷低相位噪声 LO 生成

3 说明

DDS39RF12 和 'RFS12 是一系列具有 16 位分辨率数模转换器 (DAC) 的双通道和单通道直接数字合成器。高采样率、输出频率范围、64 位 NCO 频率分辨率和任何具有相位相干的跳频使得该器件能实现任意波形生成 (AWG) 和直接数字合成 (DDS)。

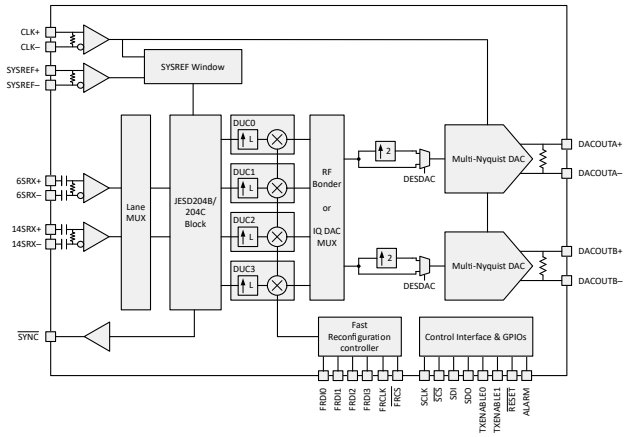
这些器件还可用作内插 DAC，用于窄带直接射频采样或复数基带信号生成。单通道的最大输入数据速率为 775MSPS，双通道的最大输入数据速率为 388MSPS。这些器件可在超过 10GHz 的载波频率下生成高达 620MHz 的信号带宽（16 位输入分辨率），从而支持对 C 带至 X 带进行直接采样。

符合 JESD204B 和 JESD204C 标准的串行接口具有 2 个接收器对，每个速率高达 12.8Gbps。该接口符合 JESD204B 和 JESD204C 子类 1 标准，可通过使用 SYSREF 实现确定性延迟和多器件同步。

封装信息

器件型号	封装(1)	封装尺寸(2)
DDS39RF12 DDS39RFS12	FCBGA (256)	17mm x 17mm， 1mm 间距

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



方框图（双通道器件）

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较.....2
5 引脚配置和功能.....3
6 规格.....7
6.1 绝对最大额定值.....7
6.2 ESD 等级.....7
6.3 建议运行条件.....8
6.4 热性能信息.....8
6.5 电气特性 - 直流规格.....9
6.6 电气特性 - 交流规格.....11
6.7 电气特性 - 功耗.....25
6.8 时序要求.....28
6.9 开关特性.....29
6.10 SPI 和 FRI 时序图.....31
6.11 典型特性：单音光谱.....33
6.12 典型特性：双音光谱.....36
6.13 典型特性：功率耗散和电源电流.....39
7 详细说明.....42
7.1 概述.....42
7.2 功能方框图.....42
7.3 特性说明.....44
7.4 器件功能模式.....71
7.5 编程.....77
8 应用和实施.....135
8.1 应用信息.....135
8.2 典型应用.....140
8.3 电源相关建议.....147
8.4 布局.....150
9 器件和文档支持.....161
9.1 接收文档更新通知.....161
9.2 支持资源.....161
9.3 商标.....161
9.4 静电放电警告.....161
9.5 术语表.....161
10 修订历史记录.....161
11 机械、封装和可订购信息.....161

4 器件比较

器件型号	通道数量	最大采样率（单/双边沿）	辐射耐受性		JESD 接口
			SEL/SEFI	TID	
DAC39RF10	2	10.24/20.48GSPS	不适用	不适用	是
DAC39RFS10	1	10.24/20.48GSPS	不适用	不适用	是
DAC39RF12	2	12/24GSPS	不适用	不适用	是
DAC39RFS12	1	12/24GSPS	不适用	不适用	是
DAC39RF10-EP	2	10.4/20.8GSPS	不适用	不适用	是
DAC39RFS10-EP	1	10.4/20.8GSPS	不适用	不适用	是
DAC39RF10-SP	2	10.4/20.8GSPS	12MeV	300krad	是
DAC39RFS10-SP	1	10.4/20.8GSPS	120MeV	300krad	是
DAC39RF10-SEP	2	10.4/20.8GSPS	43MeV	30krad	是
DAC39RFS10-SEP	1	10.4/20.8GSPS	43MeV	30krad	是
DDS39RF12	2	12/24GSPS	不适用	不适用	仅 2 个通道
DDS39RFS12	1	12/24GSPS	不适用	不适用	仅 2 个通道
DDS39RF10	2	10.24/20.48GSPS	不适用	不适用	仅 2 个通道
DDS39RFS10	1	10.24/20.48GSPS	不适用	不适用	仅 2 个通道
DAC39RF10EF	2	10.24/20.48GSPS	不适用	不适用	输入速率受限
DAC39RFS10EF	1	10.24/20.48GSPS	不适用	不适用	输入速率受限

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	
A	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	AGND	AGND	DACOUTA+	DACOUTA-	AGND	VSSCLK	VSSCLK	A
B	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	AGND	AGND	AGND	AGND	AGND	VSSCLK	VSSCLK	B
C	DGND	DGND	VDDT	VDDT	VDDT	DGND	VDDT	VDDT	DGND	AGND	VEEAM18	VEEAM18	VEEAM18	AGND	VSSCLK	VSSCLK	C
D	DGND	DGND	VDDT	TXEN1	TXEN0	RESETB	SDO	SDI	VDDIO	AGND	VEEAM18	VEEAM18	VEEAM18	AGND	VSSCLK	CLK+	D
E	DGND	DGND	DGND	FRDI0	FRDI1	SCANEN	SCSB	SCLK	VDDIO	VSSCLK	VSSCLK	VDDCLK10	VSSCLK	VSSCLK	VSSCLK	CLK-	E
F	6SRX+	DGND	VDDT	FRCLK	FRDI2	DGND	VDDDIG	VDDEA	VDDEA	VDDLA	VDDCLK10	VSSCLK	VSSCLK	VSSCLK	VSSCLK	VSSCLK	F
G	6SRX-	DGND	VDDT	FRCSB	FRDI3	VDDT	DGND	VDDDIG	DGND	VSSCLK	VSSCLK	VSSCLK	AGND	VDDA18A	AGND	AGND	G
H	DGND	DGND	DGND	ALARM	VDDT	DGND	VDDDIG	DGND	DGND	VDDLA	VDDCLK10	VDDCLK18	VDDCLK18	VDDA18A	AGND	RBIAS-	H
J	DGND	DGND	DGND	SYNCB	VDDT	DGND	VDDDIG	DGND	DGND	VDDLB	VDDCLK10	VDDSYS18	VDDSYS18	VDDA18B	EXTREF	RBIAS+	J
K	14SRX+	DGND	VDDT	VDDR18	DGND	VDDT	DGND	VDDDIG	DGND	VSSCLK	VSSCLK	VSSCLK	AGND	VDDA18B	AGND	AGND	K
L	14SRX-	DGND	VDDT	VDDR18	DGND	DGND	VDDDIG	VDDEB	VDDEB	VDDLB	VDDCLK10	VSSCLK	VSSCLK	VSSCLK	VSSCLK	VSSCLK	L
M	DGND	DGND	DGND	VDDR18	RTEST	VDDT	DGND	VDDDIG	DGND	VSSCLK	VSSCLK	VDDCLK10	VSSCLK	VSSCLK	VSSCLK	SYSREF+	M
N	DGND	DGND	VDDT	VDDR18	DGND	ATEST	VDDDIG	DGND	VQPS	AGND	VEEBM18	VEEBM18	VEEBM18	AGND	VSSCLK	SYSREF-	N
P	DGND	DGND	VDDT	VDDT	VDDT	DGND	VDDT	VDDT	VQPS	AGND	VEEBM18	VEEBM18	VEEBM18	AGND	VSSCLK	VSSCLK	P
R	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	AGND	AGND	AGND	AGND	AGND	VSSCLK	VSSCLK	R
T	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	AGND	AGND	DACOUTB+	DACOUTB-	AGND	VSSCLK	VSSCLK	T
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	

图 5-1. FCBGA 封装，间距为 1mm 的 256 焊球覆晶 BGA（顶视图）

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
DAC 输出			
DACOUTA-	A13	O	DAC 通道 A 模拟输出负极端子。输出电压必须符合 DAC 合规电压才能保持指定的性能。
DACOUTA+	A12	O	DAC 通道 A 模拟输出正极端子。输出电压必须符合 DAC 合规电压才能保持指定的性能。
DACOUTB-	T13	O	DAC 通道 B 模拟输出负极端子。输出电压必须符合 DAC 合规电压才能保持指定的性能。*在单通道器件中不可用。*
DACOUTB+	T12	O	DAC 通道 B 模拟输出正极端子。输出电压必须符合 DAC 合规电压才能保持指定的性能。*在单通道器件中不可用。*
差分时钟和 SYSREF 输入			
CLK-	E16	I	器件时钟输入负极端子。CLK+ 和 CLK- 之间有一个内部 100Ω 差分端接。该输入为自偏置输入，应与时钟源进行交流耦合。
CLK+	D16	I	器件时钟输入正极端子。CLK+ 和 CLK- 之间有一个内部 100Ω 差分端接。该输入为自偏置输入，应与时钟源进行交流耦合。
SYSREF-	N16	I	差分 JESD204C SYSREF 输入负端子。SYSREF+ 和 SYSREF- 之间有一个内部 100Ω 差分端接。
SYSREF+	M16	I	差分 JESD204C SYSREF 输入负端子。SYSREF+ 和 SYSREF- 之间有一个内部 100Ω 差分端接。
串行器/解串器接口			
6SRX-	G1	I	串行器/解串器通道 6 负输入。包括封装中交流耦合串联电容器和到 6SRX+ 的 100Ω 内部端接。
6SRX+	F1	I	串行器/解串器通道 6 正输入。包括封装中交流耦合串联电容器和到 6SRX- 的 100Ω 内部端接。
14SRX-	L1	I	串行器/解串器通道 14 负输入。包括封装中交流耦合串联电容器和到 14SRX+ 的 100Ω 内部端接。
14SRX+	K1	I	串行器/解串器通道 14 正输入。包括封装中交流耦合串联电容器和到 14SRX- 的 100Ω 内部端接。
GPIO 函数			
ALARM	H4	O	当检测到内部未屏蔽警报时，ALARM 引脚被置为有效。报警屏蔽由 ALM_MASK 寄存器设置。
FRCLK	F4	I	快速重新配置接口时钟。
$\overline{\text{FRCS}}$	G4	I	快速重新配置接口芯片选择。内部上拉。
FRDI0	E4	I	快速重新配置接口数据位 0。
FRDI1	E5	I	快速重新配置接口数据位 1。
FRDI2	F5	I	快速重新配置接口数据位 2。
FRDI3	G5	I	快速重新配置接口数据位 3。
$\overline{\text{RESET}}$	D6	I	器件复位输入，低电平有效。必须在上电后切换。内部上拉。
SCANEN	E6	I	仅供 TI 使用，可以保持未连接状态。内部下拉电阻。
SCLK	E8	I	串行编程接口 (SPI) 时钟输入。
$\overline{\text{SCS}}$	E7	I	串行编程接口 (SPI) 器件选择输入，低电平有效。内部上拉。
SDI	D8	I	串行编程接口 (SPI) 数据输入。
SDO	D7	O	串行编程接口 (SPI) 数据输出。不读取 SPI 数据时具有高阻抗。
$\overline{\text{SYNC}}$	J4	O	JESD204C SYNC 输出，低电平有效。
TXEN0	D5	I	通道 A 高电平有效输入的发送使能。必须使用寄存器 USE_TX_EN0 启用此引脚。当传输被禁用时，DAC 输出被强制为中间码（二进制补码为 0x0000）。内部上拉。
TXEN1	D4	I	通道 B 高电平有效输入的发送使能。必须使用寄存器 USE_TX_EN1 启用此引脚。当传输被禁用时，DAC 输出被强制为中间码（二进制补码为 0x0000）。内部上拉。
模拟功能			

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
ATEST	N6	O	供 TI 使用的模拟测试引脚。接头应保持断开。
EXTREF	J15	I/O	基准电压输出或输入，由 EXTREF_EN 寄存器字段确定。如果使用内部基准，则应将焊球通过 0.1uF 连接至 AGND。
RBIAS-	H16	O	满量程输出电流偏置由从该端子连接到 RBIAS+ 的电阻器设置。
RBIAS+	J16	O	满量程输出电流偏置由从该端子连接到 RBIAS- 的电阻器设置。
RTEST	M5	O	仅供 TI 使用。连接至 AGND。
电源			
VDDA18A	G14 H14	I	DAC 通道 A 的电源电压为 1.8V。可与 VDDA18B 搭配使用，但可能会降低通道间抗串扰 (XTALK) 性能。
VDDA18B	J14 K14	I	DAC 通道 A 的电源电压为 1.8V。可与 VDDA18A 搭配使用，但可能会降低通道间抗串扰 (XTALK) 性能。
VDDCLK10	F11 H11 J11 L11 E12 M12	I	内部采样时钟分配路径的 1V 电源电压。该电源上的噪声或杂散可能会降低相位噪声性能。为了获得出色性能，建议将 VDDDIG 和 VDDA 分开。
VDDCLK18	H12 H13	I	时钟 (CLK+/-) 输入缓冲器使用的 1.8V 电源电压。该电源上的噪声或杂散可能会降低相位噪声性能。
VDDDIG	F7 H7 J7 L7 N7 G8 K8 M8	I	数字块的 1V 电源电压。为了获得出色性能，建议将 VDDA 和 VDDCLK 分开。
VDDEA	F8 F9	I	通道 A DAC 编码器的 1V 电源电压。为了获得出色性能，建议与 VDDDIG 分开。可以与 VDDEB 结合使用。
VDDEB	L8 L9	I	通道 B DAC 编码器使用的 1V 电源电压。为了获得出色性能，建议与 VDDDIG 分开。可以与 VDDEA 结合使用。
VDDIO	D9 E9	I	CMOS 输入和输出端子使用的 1.8V 电源。
VDDLA	F10 H10	I	通道 A 的 DAC 模拟锁存器采用 1V 电源，独立于 VDDLB 以实现良好的通道间串扰 (XTALK)。必须与 VDDDIG 分开以获得出色性能。
VDDLB	J10 L10	I	通道 B 的 DAC 模拟锁存器采用 1V 电源，独立于 VDDLA 以实现良好的通道间串扰 (XTALK)。必须与 VDDDIG 分开以获得出色性能。
VDDR18	K4 L4 M4 N4	I	串行器/解串器接收器使用的 1.8V 电源电压。
VDDSYS18	J12 J13	I	SYSREF (SYSREF+/–) 输入缓冲器使用的 1.8V 电源电压。当 SYSREF 在正常运行期间被禁用时，可与 VDDCLK18 组合使用。当 SYSREF 在工作期间持续运行时，该电源应与 VDDCLK18 分离，以避免噪声和杂散耦合并降低相位噪声性能。
VDDT	C3 D3 F3 G3 K3 L3 N3 P3 C4 P4 C5 H5 J5 P5 G6 K6 M6 C7 P7 C8 P8	I	串行器/解串器端接使用的 1V 电源电压。
VEEAM18	C11 D11 C12 D12 C13 D13	I	通道 A 的 DAC 电流源偏置使用 –1.8V 电源电压。可与 VEEBM18 搭配使用，但可能会降低通道间抗串扰 (XTALK) 性能。
VEEBM18	N11 P11 N12 P12 N13 P13	I	通道 B 的 DAC 电流源偏置使用 –1.8V 电源电压。可与 VEEAM18 搭配使用，但可能会降低通道间抗串扰 (XTALK) 性能。
VQPS	N9 P9	I	仅供 TI 使用。可在正常工作期间连接至 DGND。
接地			
AGND	A10 B10 C10 D10 N10 P10 R10 T10 A11 B11 R11 T11 B12 R12 B13 G13 K13 R13 A14 B14 C14 D14 N14 P14 R14 T14 G15 H15 K15 G16 K16	-	模拟地。

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
DGND	A1 B1 C1 D1 E1 H1 J1 M1 N1 P1 R1 T1 A2 B2 C2 D2 E2 F2 G2 H2 J2 K2 L2 M2 N2 P2 R2 T2 A3 B3 E3 H3 J3 M3 R3 T3 A4 B4 R4 T4 A5 B5 K5 L5 N5 R5 T5 A6 B6 C6 F6 H6 J6 L6 P6 R6 T6 A7 B7 G7 K7 M7 R7 T7 A8 B8 H8 J8 N8 R8 T8 A9 B9 C9 G9 H9 J9 K9 M9 R9 T9	-	数字地。
VSSCLK	E10 G10 K10 M10 E11 G11 K11 M11 F12 G12 K12 L12 E13 F13 L13 M13 E14 F14 L14 M14 A15 B15 C15 D15 E15 F15 L15 M15 N15 P15 R15 T15 A16 B16 C16 F16 L16 P16 R16 T16	-	时钟接地。

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数	测试条件	最小值	最大值	单位
电源电压范围	电源电压范围、VDDA18A、VDDA18B(2)	-0.3	2.45	V
	电源电压范围、VEEAM18、VEEBM18(2)	-2.0	0.3	V
	电源电压范围、VDDCLK18、VDDSYS18(3)	-0.3	2.45	V
	电源电压范围、VDDLB、VDDLA、VDDCLK10(3)	-0.3	1.3	V
	电源电压范围、VDDIO、VQPS、VDDR18(4)	-0.3	2.45	V
	电源电压范围、VDDDIG、VDDEB、VDDEA、VDDT(4)	-0.3	1.3	V
AGND、DGND 和 VSSCLK 的任意组合之间的电压	AGND、DGND 和 VSSCLK 的任意组合之间的电压	-0.1	0.1	V
施加到输入引脚的电压	CLK+、CLK-、SYSREF+、SYSREF-(3)	-0.3	VDDCLK18+0.3	V
	6SRX-/+、14SRX-/+ 交流电压		1.6	
	6SRX-/+、14SRX-/+ 直流电压（相对于 GND）	-5	5	
	SCLK、$\overline{SCS}$、SDI、$\overline{RESET}$、SYNC、SCANEN、TXEN[0:1]、FRDI[0:3]、FRCLK、$\overline{FRCS}$、$\overline{SYNC}$ (4)	-0.3	VDDIO+0.3	
	EXTREF(2)	-0.3	VDDA18A + 0.3	
输出引脚处的电压	DACOUTA+、DACOUTA-(2)	-0.3	VDDA18A + 0.5	V
	DACOUTB+、DACOUTB-(2)	-0.3	VDDA18B + 0.5	
	ATEST、RBIAS-/+(2)	-0.5	VDDA18B + 0.3	
	SDI、SDO、ALARM(4)	-0.5	VDDIO + 0.3	
峰值输入电流（任何输入）		-20	20	mA
峰值总输入电流（强制输入或输出的所有电流的绝对值之和，不包括电源电流和 DACOUTA+、DACOUTA –、DACOUTB+ 和 DACOUTB –）			30	mA
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出“绝对最大额定值”下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) AGND 测量。
(3) VSSCLK 测量。
(4) DGND 测量。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	250	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2024 Texas Instruments Incorporated

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
电源电压范围		VDDA18A、VDDA18B(1)	1.71	1.8	1.89	V
		VEEAM18、VEEBM18(1)	-1.89	-1.8	-1.71	V
		VDDCLK18、VDDSYS18、VDDR18(2)	1.71	1.8	1.89	V
		VDDLB、VDDLA、VDDCLK10(2)	0.95	1	1.05	V
		VDDIO(3)	1.71	1.8	1.89	V
		VQPS(3)	0	0	1.89	V
		VDDDIG、VDDEB、VDDEA、VDDT(3)	0.95	1	1.05	V
V_{CMI}	输入共模电压	CLK+、CLK-(2) (4)		0.4		V
V_{CMI}	输入共模电压	SYSREF+、SYSREF –(2) (4)	0	0.4	1.0	V
V_{ID}	输入差分峰峰值电压	SYSREF+ 至 SYSREF –	800	1000	2000	$mV_{PP-DIFF}$
		CLK+ 至 CLK –、f_{CLK} < 5GHz	800	1000	1400	$mV_{PP-DIFF}$
		CLK+ 至 CLK –、5GHz < f_{CLK} < 7.5GHz	800	1000	1800	$mV_{PP-DIFF}$
		CLK+ 至 CLK –、f_{CLK} > 7.5GHz	800	1000	2000	$mV_{PP-DIFF}$
DC_{MIN}	CLK+/– 占空比最小值			45		%
DC_{MAX}	CLK+/- 占空比最大值			55		%

(1) AGND 测量。
(2) VSSCLK 测量。
(3) DGND 测量。
(4) SYSREF+/- 端接有两个选项。在选项 1 中，输入弱自偏置为适合交流耦合的更合适共模电压。在选项 2 中，每个输入端子都通过 50 欧姆接地，这适用于从较高共模电压进行电平转换。

6.4 热性能信息

热指标(1)		17mm x 17mm FC-BGA 256 引脚	单位
$R_{\theta JA}$	结至环境热阻	15.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	0.9	°C/W
$R_{\theta JB}$	结至电路板热阻	4.2	°C/W
Ψ_{JT}	结至顶部特征参数	0.4	°C/W
Ψ_{JB}	结至电路板特征参数	4.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性 - 直流规格

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，2 个通道， DDS 模式，F_{CLK} = 12GHz，F_{OUT} = 2997MHz，NRZ 模式，$I_{FSSWITCH}$ = 20.5mA，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
直流精度						
位	DAC 内核分辨率		16			位
DNL	微分非线性			±2.2		LSB
INL	积分非线性			±9		LSB
DAC 模拟输出（DACOUTA+、DACOUTA－、DACOUTB+、DACOUTB－）						
I_{FS_SWITCH}	开关满量程输出电流	从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 默认值，CUR_2X_EN = 1		41		mA
		从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 默认值		20.5		
		从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0x0 且 FINE_CUR_A/FINE_CUR_B = 默认值，CUR_2X_EN = 1		11		
		从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0x0 且 FINE_CUR_A/FINE_CUR_B = 默认值		5.5		
I_{STATIC}	每个引脚的静态输出电流	从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 默认值		4.8		mA
$I_{FSDRIFT}$	满量程输出电流温漂	从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 默认值		-8.6		uA/℃
				-0.3		PPM/℃
$I_{FSERROR}$	满量程电流误差	从 RBIAS+ 到 RBIAS- 的 3.6kΩ 电阻，COARSE_CUR_A/COARSE_CUR_B= 0xF 且 FINE_CUR_A/FINE_CUR_B = 默认值		±0.1		%
$I_{MIDOFFERR}$	中间码偏移误差	中间码偏移		±0.02		%FSR
V_{COMP}	输出顺从电压范围	从 DACOUTA+、DACOUTA－、DACOUTB+ 或 DACOUTB－ 至 AGND 测得	VDDA18 A/B - 0.5		VDDA18 A/B + 0.5	V
C_{OUT}	输出电容	接地单端电容		0.25		pF
R_{TERM}	输出差分端接电阻			102		Ω
$R_{TERMDRIFT}$	输出差分端接电阻温度系数			-9.6		mΩ/℃
				-42		PPM/℃
时钟和 SYSREF 输入（CLK+、CLK-、SYSREF+、SYSREF-）						
R_T	内部差分端接电阻			100		Ω
C_{IN}	内部差分输入电容			0.5		pF
基准电压						
V_{REF}	基准输出电压			0.9		V

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性 - 直流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，2 个通道， DDS 模式，F_{CLK} = 12GHz，F_{OUT} = 2997MHz，NRZ 模式，$I_{FSSWITCH}$ = 20.5mA，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
$V_{REF-DRIFT}$	基准输出电压绝对值温漂			45		ppm/°C
I_{REF}	带有内部基准的 EXTREF 焊球的最大基准输出拉电流能力			100		nA
JESD204C 串行器/解串器接口（6SRX+/-、14SRX+/-）						
V_{SRDIFF}	串行器/解串器接收器输入振幅		50		1200	mVppdiff
V_{SRCOM}	串行器/解串器输入共模		内部交流耦合			
Z_{SRdiff}	串行器/解串器内部差分终端			100		Ω
CMOS 接口（ALARM、SCLK、$\overline{SCS}$、SDI、SDO、$\overline{RESET}$、FRDI[0:3]、FRCLK、$\overline{FRCS}$、$\overline{SYNC}$、TXENABLE[0:1]）						
I_{IH}	高电平输入电流（带下拉电阻）	SCANEN(1)			200	uA
I_{IH}	高电平输入电流（不带下拉电阻）	$\overline{SCS}$、$\overline{RESET}$、$\overline{FRCS}$、TXEN[0:1]、FRDI[0:3]、FRCLK、SDI、SCLK(1)			2	uA
I_{IL}	低电平输入电流（带上拉电阻）	$\overline{SCS}$、$\overline{RESET}$、$\overline{FRCS}$、TXEN[0:1](1)	-200			uA
I_{IL}	低电平输入电流（不带上拉电阻）	SCANEN、FRDI[0:3]、FRCLK、SDI、SCLK(1)	-3			uA
C_I	输入电容	输入电容		3		pF
V_{IH}	高电平输入电压	SCLK、$\overline{SCS}$、SDI、$\overline{RESET}$、FRDI[0:3]、FRCLK、$\overline{FRCS}$、SCANEN、TXEN[0:1]	0.7 个 VDDIO18			V
V_{IL}	低电平输入电压				0.3 个 VDDIO18	V
V_{OH}	高电平输出电压	ALARM、SDO、$\overline{SYNC}$、I_{LOAD} = –400uA	1.55			V
V_{OL}	低电平输出电压	ALARM、SDO、$\overline{SYNC}$、I_{LOAD} = 400uA			0.2	V
温度传感器						
Res	分辨率			1		℃/LSB
范围	数字范围		-50		150	℃
T_{ERROR}	温度误差	TA = 25℃，器件断电，温度传感器和 SPI 接口除外		±5		℃

(1) 连接器件中没有 IO 电源电压偏移。

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
与模式无关的参数						
F_{CLK}	DAC 时钟频率		0.8		12	GHz
BW	模拟输出带宽 (-3dB)	不包括 sinx/x 响应。可用带宽可能超过 –3dB 点。I_{FS_SWITCH} = 20.5mA		12.15		GHz
		不包括 sinx/x 响应。可用带宽可能超过 –3dB 点。I_{FS_SWITCH} = 41mA		11.95		
串扰	通道 A (DACOUTA+/-) 和通道 B (DACOUTB+/-) 之间的隔离，受扰通道上的 f_{OUT} = -25MHz 偏移	f_{OUT} = 97MHz，NRZ 模式		92		dBc
		f_{OUT} = 1897MHz，NRZ 模式		97		dBc
		f_{OUT} = 3897MHz，NRZ 模式		84		dBc
		f_{OUT} = 5897MHz，射频模式		80		dBc
		f_{OUT} = 7897MHz，射频模式		74		dBc
DAC 输出时域特性						
t_{RISE}	10% 至 90%(1)	JMODE 6，1 倍内插		41		ps
t_{FALL}	90% 至 10%(1)	JMODE 6，1 倍内插		41		ps
f_{CLK} 直流馈通	相对于 1GHz 时的满量程正弦波	NRZ 模式，f_{OUT} = 直流（中间代码），DEM/抖动关闭		61		dBc
		NRZ 模式，f_{OUT} = 直流（中间代码），DEM/抖动打开		65		dBc
		DES2XL 模式，f_{OUT} = 直流（中间代码），DEM/抖动关闭		62		dBc
		DES2XL 模式，f_{OUT} = 直流（中间代码），DEM/抖动打开		67		dBc
2*f_{CLK} 直流馈通	相对于 1GHz 时的满量程正弦波	DES2XL 模式，f_{OUT} = 直流（中间代码），DEM/抖动关闭		86		dBc
		DES2XL 模式，f_{OUT} = 直流（中间代码），DEM/抖动打开		84		dBc

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
12GSPS，双通道或单通道模式，DDS 模式，NRZ 模式						
P_{OUT}	向 100Ω 负载提供输出功率，I_{FS_SWITCH} = 20.5mA(2)	f_{OUT} = 97MHz		1.1		dBm
		f_{OUT} = 997MHz		0.6		dBm
		f_{OUT} = 1997MHz		0.3		dBm
		f_{OUT} = 2997MHz		-0.3		dBm
		f_{OUT} = 3997MHz		-2.2		dBm
		f_{OUT} = 4997MHz		-3.2		dBm
	向 100Ω 负载提供输出功率，I_{FS_SWITCH} = 41mA(2)	f_{OUT} = 97MHz		7.0		dBm
		f_{OUT} = 997MHz		6.5		dBm
		f_{OUT} = 1997MHz		6.2		dBm
		f_{OUT} = 2997MHz		5.6		dBm
		f_{OUT} = 3997MHz		3.7		dBm
		f_{OUT} = 4997MHz		2.6		dBm
SFDR	0 - F_{DAC}/2 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		78		dBc
		f_{OUT} = 997MHz		67		dBc
		f_{OUT} = 1997MHz		66		dBc
		f_{OUT} = 2997MHz		60		dBc
		f_{OUT} = 3997MHz		62		dBc
		f_{OUT} = 4997MHz		55		dBc
	0 - F_{DAC}/2 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		71		dBc
		f_{OUT} = 997MHz		51		dBc
		f_{OUT} = 1997MHz		45		dBc
		f_{OUT} = 2997MHz		48		dBc
		f_{OUT} = 3997MHz		51		dBc
		f_{OUT} = 4997MHz		51		dBc
HD2	二次谐波 (HD2)，0 - F_{DAC}/2，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		-78		dBc
		f_{OUT} = 997MHz		-74		dBc
		f_{OUT} = 1997MHz		-70		dBc
		f_{OUT} = 2997MHz		-66		dBc
		f_{OUT} = 3997MHz		-64		dBc
		f_{OUT} = 4997MHz		-55		dBc
	二次谐波 (HD2)，0 - F_{DAC}/2，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		-66		dBc
		f_{OUT} = 997MHz		-68		dBc
		f_{OUT} = 1997MHz		-64		dBc
		f_{OUT} = 2997MHz		-59		dBc
		f_{OUT} = 3997MHz		-59		dBc
		f_{OUT} = 4997MHz		-52		dBc

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
HD3	三次谐波 (HD3)，0 - F_{DAC}/2，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		-90		dBc
		f_{OUT} = 997MHz		-67		dBc
		f_{OUT} = 1997MHz		-68		dBc
		f_{OUT} = 2997MHz		-63		dBc
		f_{OUT} = 3997MHz		-66		dBc
		f_{OUT} = 4997MHz		-75		dBc
	三次谐波 (HD3)，0 - F_{DAC}/2，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		-73		dBc
		f_{OUT} = 997MHz		-55		dBc
		f_{OUT} = 1997MHz		-49		dBc
		f_{OUT} = 2997MHz		-47		dBc
		f_{OUT} = 3997MHz		-49		dBc
		f_{OUT} = 4997MHz		-52		dBc
$SFDR_{NONHD23}$	非 HD2/3 SFDR，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		94		dBc
		f_{OUT} = 997MHz		87		dBc
		f_{OUT} = 1997MHz		92		dBc
		f_{OUT} = 2997MHz		91		dBc
		f_{OUT} = 3997MHz		89		dBc
		f_{OUT} = 4997MHz		86		dBc
	非 HD2/3 SFDR，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		87		dBc
		f_{OUT} = 997MHz		72		dBc
		f_{OUT} = 1997MHz		73		dBc
		f_{OUT} = 2997MHz		74		dBc
		f_{OUT} = 3997MHz		74		dBc
		f_{OUT} = 4997MHz		72		dBc

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
IMD3	三阶双音互调失真，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97 +/- 10MHz，每个音调 -7dBFS		-100		dBc
		f_{OUT} = 997 +/- 10MHz，每个音调 -7dBFS		-73		dBc
		f_{OUT} = 1997 +/- 10MHz，每个音调 -7dBFS		-75		dBc
		f_{OUT} = 2997 +/- 10MHz，每个音调 -7dBFS		-71		dBc
		f_{OUT} = 3997 +/- 10MHz，每个音调 -7dBFS		-65		dBc
		f_{OUT} = 4997 +/- 10MHz，每个音调 -7dBFS		-61		dBc
	三阶双音互调失真，I_{FS_SWITCH} = 41mA	f_{OUT} = 97 +/- 10MHz，每个音调 -7dBFS		-87		dBc
		f_{OUT} = 997 +/- 10MHz，每个音调 -7dBFS		-61		dBc
		f_{OUT} = 1997 +/- 10MHz，每个音调 -7dBFS		-58		dBc
		f_{OUT} = 2997 +/- 10MHz，每个音调 -7dBFS		-52		dBc
		f_{OUT} = 3997 +/- 10MHz，每个音调 -7dBFS		-51		dBc
		f_{OUT} = 4997 +/- 10MHz，每个音调 -7dBFS		-47		dBc
NSD	噪声频谱密度，大信号，正弦输出，I_{FS_SWITCH} = 20.5mA(3)	f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-158		dBc/Hz
		f_{OUT} = 997MHz，相对于 f_{OUT} 偏移 70MHz		-158		dBc/Hz
		f_{OUT} = 1997MHz，相对于 f_{OUT} 偏移 70MHz		-154		dBc/Hz
		f_{OUT} = 2997MHz，相对于 f_{OUT} 偏移 70MHz		-151		dBc/Hz
		f_{OUT} = 3997MHz，相对于 f_{OUT} 偏移 70MHz		-149		dBc/Hz
		f_{OUT} = 4997MHz，相对于 f_{OUT} 偏移 70MHz		-147		dBc/Hz
NSD	噪声频谱密度，大信号，正弦输出，I_{FS_SWITCH} = 41mA(3)	f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-158		dBc/Hz
		f_{OUT} = 997MHz，相对于 f_{OUT} 偏移 70MHz		-157		dBc/Hz
		f_{OUT} = 1997MHz，相对于 f_{OUT} 偏移 70MHz		-154		dBc/Hz
		f_{OUT} = 2997MHz，相对于 f_{OUT} 偏移 70MHz		-151		dBc/Hz
		f_{OUT} = 3997MHz，相对于 f_{OUT} 偏移 70MHz		-148		dBc/Hz
		f_{OUT} = 4997MHz，相对于 f_{OUT} 偏移 70MHz		-147		dBc/Hz

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度，小信号，正弦输出，I_{FS_SWITCH} = 20.5mA(3)	A_{OUT} = -20dBFS，f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-155		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 997MHz，相对于 f_{OUT} 偏移 70MHz		-157		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 1997MHz，相对于 f_{OUT} 偏移 70MHz		-155		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2997MHz，相对于 f_{OUT} 偏移 70MHz		-153		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 3997MHz，相对于 f_{OUT} 偏移 70MHz		-152		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 4997MHz，相对于 f_{OUT} 偏移 70MHz		-150		dBFS/Hz
NSD	噪声频谱密度，小信号，正弦输出，I_{FS_SWITCH} = 41mA(3)	A_{OUT} = -20dBFS，f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-156		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 997MHz，相对于 f_{OUT} 偏移 70MHz		-158		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 1997MHz，相对于 f_{OUT} 偏移 70MHz		-156		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2997MHz，相对于 f_{OUT} 偏移 70MHz		-154		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 3997MHz，相对于 f_{OUT} 偏移 70MHz		-152		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 4997MHz，相对于 f_{OUT} 偏移 70MHz		-150		dBFS/Hz
PN	附加 DAC 相位噪声，减去外部时钟贡献，NRZ 模式，DEM 和抖动关闭	f_{CLK} = 12GHz，f_{OUT} = 997MHz，100Hz 偏移		-121		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，1KHz 偏移		-132		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，10kHz 偏移		-143		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，100kHz 偏移		-153		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，1MHz 偏移		-159		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，10MHz 偏移		-165		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，100MHz 偏移		-167		dBc/Hz

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
12GSPS，双通道或单通道模式，DDS 模式，射频模式						
P_{OUT}	具有 2:1 平衡-非平衡变压器和 50Ω 负载的输出功率	f_{OUT} = 6997MHz		-2.2		dBm
		f_{OUT} = 7997MHz，I_{FS_SWITCH} = 41mA		3.0		dBm
		f_{OUT} = 7997MHz		-2.4		dBm
		f_{OUT} = 8997MHz		-5.0		dBm
		f_{OUT} = 10997MHz		-8.5		dBm
SFDR	$F_{DAC}/2$ - F_{DAC} 时的无杂散动态范围 (SFDR)	f_{OUT} = 6997MHz		57		dBc
		f_{OUT} = 7997MHz，I_{FS_SWITCH} = 41mA		43		dBc
		f_{OUT} = 7997MHz		55		dBc
		f_{OUT} = 8997MHz		52		dBc
		f_{OUT} = 10997MHz		55		dBc
HD2	$F_{DAC}/2$ - F_{DAC} 内的二次谐波失真	f_{OUT} = 6997MHz		-61		dBc
		f_{OUT} = 7997MHz，I_{FS_SWITCH} = 41mA		-59		dBc
		f_{OUT} = 7997MHz		-57		dBc
		f_{OUT} = 8997MHz		-52		dBc
		f_{OUT} = 10997MHz		-65		dBc
HD3	$F_{DAC}/2$ - F_{DAC} 内的三次谐波失真	f_{OUT} = 6997MHz		-57		dBc
		f_{OUT} = 7997MHz，I_{FS_SWITCH} = 41mA		-43		dBc
		f_{OUT} = 7997MHz		-67		dBc
		f_{OUT} = 8997MHz		-60		dBc
		f_{OUT} = 10997MHz		-55		dBc
$SFDR_{NONHD23}$	$F_{DAC}/2$ - F_{DAC} 内的非 HD2/3 SFDR	f_{OUT} = 6997MHz		78		dBc
		f_{OUT} = 7997MHz，I_{FS_SWITCH} = 41mA		73		dBc
		f_{OUT} = 7997MHz		73		dBc
		f_{OUT} = 8997MHz		76		dBc
		f_{OUT} = 10997MHz		71		dBc
IMD3	三阶双音互调失真	f_{OUT} = 6997 +/- 10MHz，每个音调 -7dBFS		-55		dBc
		f_{OUT} = 7997 +/- 10MHz，每个音调 -7dBFS，I_{FS_SWITCH} = 41mA		-45		dBc
		f_{OUT} = 7997 +/- 10MHz，每个音调 -7dBFS		-58		dBc
		f_{OUT} = 8997 +/- 10MHz，每个音调 -7dBFS		-65		dBc
		f_{OUT} = 10997 +/- 10MHz，每个音调 -7dBFS		-54		dBc

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度，大信号，正弦输出(3)	f_{OUT} = 6997MHz，相对于 f_{OUT} 偏移 70MHz		-146		dBc/Hz
		f_{OUT} = 7997MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 41mA		-146		dBc/Hz
		f_{OUT} = 7997MHz，相对于 f_{OUT} 偏移 70MHz		-145		dBc/Hz
		f_{OUT} = 8997MHz，相对于 f_{OUT} 偏移 70MHz		-144		dBc/Hz
		f_{OUT} = 10997MHz，相对于 f_{OUT} 偏移 70MHz		-141		dBc/Hz
NSD	噪声频谱密度，小信号，正弦输出(3)	A_{OUT} = -20dBFS，f_{OUT} = 6997MHz，相对于 f_{OUT} 偏移 70MHz		-149		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 7997MHz，相对于 f_{OUT} 偏移 70MHz，I_{FS_SWITCH} = 41mA		-151		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 7997MHz，相对于 f_{OUT} 偏移 70MHz		-149		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8997MHz，相对于 f_{OUT} 偏移 70MHz		-148		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 10997MHz，相对于 f_{OUT} 偏移 70MHz		-146		dBFS/Hz
平坦度	奈奎斯特区域的平坦度	从最大输出功率到最小输出功率，测量范围为第二奈奎斯特区域的 10% 到 90%，包括使用平衡-非平衡变压器的 sinx/x 响应		2.4		dB

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
24GSPS，双通道或单通道模式，DDS 模式，DES2XL/H 模式						
P_{OUT}	采用 2:1 平衡-非平衡变压器和 50Ω 负载时的输出功率，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		1.0		dBm
		f_{OUT} = 997MHz		0.7		dBm
		f_{OUT} = 1997MHz		0.6		dBm
		f_{OUT} = 2997MHz		0.4		dBm
		f_{OUT} = 3997MHz		-1.0		dBm
		f_{OUT} = 5997MHz		-1.3		dBm
		f_{OUT} = 6997MHz		-0.3		dBm
		f_{OUT} = 7997MHz		-1.1		dBm
		f_{OUT} = 8997MHz		-4.2		dBm
		f_{OUT} = 10997MHz		-8.4		dBm
P_{OUT}	采用 2:1 平衡-非平衡变压器和 50Ω 负载时的输出功率，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		7.1		dBm
		f_{OUT} = 997MHz		6.7		dBm
		f_{OUT} = 1997MHz		6.5		dBm
		f_{OUT} = 2997MHz		6.2		dBm
		f_{OUT} = 3997MHz		4.9		dBm
		f_{OUT} = 5997MHz		4.5		dBm
		f_{OUT} = 6997MHz		5.3		dBm
		f_{OUT} = 7997MHz		4.3		dBm
		f_{OUT} = 8997MHz		1.2		dBm
		f_{OUT} = 10997MHz		-3.1		dBm
SFDR	0 - F_{DAC}/4 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		77		dBc
		f_{OUT} = 997MHz		66		dBc
		f_{OUT} = 1997MHz		64		dBc
		f_{OUT} = 2997MHz		67		dBc
		f_{OUT} = 3997MHz		74		dBc
	F_{DAC}/4 - F_{DAC}/2 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 5997MHz		71		dBc
		f_{OUT} = 6997MHz		64		dBc
		f_{OUT} = 7997MHz		56		dBc
		f_{OUT} = 8997MHz		51		dBc
		f_{OUT} = 10997MHz		55		dBc
	0 - F_{DAC}/4 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		71		dBc
		f_{OUT} = 997MHz		50		dBc
		f_{OUT} = 1997MHz		43		dBc
		f_{OUT} = 2997MHz		57		dBc
		f_{OUT} = 3997MHz		74		dBc
	F_{DAC}/4 - F_{DAC}/2 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 41mA	f_{OUT} = 5997MHz		70		dBc
		f_{OUT} = 6997MHz		63		dBc
		f_{OUT} = 7997MHz		56		dBc
		f_{OUT} = 8997MHz		50		dBc
		f_{OUT} = 10997MHz		41		dBc

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
IMG_{DES}	$F_{DAC}/2$ - F_{OUT} DES 图像，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		-73		dBc
		f_{OUT} = 997MHz		-64		dBc
		f_{OUT} = 1997MHz		-58		dBc
		f_{OUT} = 2997MHz		-51		dBc
		f_{OUT} = 3997MHz		-46		dBc
		f_{OUT} = 5997MHz		-45		dBc
		f_{OUT} = 6997MHz		-34		dBc
		f_{OUT} = 7997MHz		-38		dBc
		f_{OUT} = 8997MHz		-33		dBc
		f_{OUT} = 10997MHz		-29		dBc
	$F_{DAC}/2$ - F_{OUT} DES 图像，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		-92		dBc
		f_{OUT} = 997MHz		-72		dBc
		f_{OUT} = 1997MHz		-66		dBc
		f_{OUT} = 2997MHz		-58		dBc
		f_{OUT} = 3997MHz		-52		dBc
		f_{OUT} = 5997MHz		-52		dBc
		f_{OUT} = 6997MHz		-37		dBc
		f_{OUT} = 7997MHz		-39		dBc
		f_{OUT} = 8997MHz		-33		dBc
		f_{OUT} = 10997MHz		-27		dBc
HD2	0 - $F_{DAC}/4$ 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		-77		dBc
		f_{OUT} = 997MHz		-79		dBc
		f_{OUT} = 1997MHz		-72		dBc
		f_{OUT} = 2997MHz		-67		dBc
		f_{OUT} = 3997MHz		-72		dBc
	$F_{DAC}/4$ - $F_{DAC}/2$ 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 5997MHz		-72		dBc
		f_{OUT} = 6997MHz		-64		dBc
		f_{OUT} = 7997MHz		-56		dBc
		f_{OUT} = 8997MHz		-51		dBc
		f_{OUT} = 10997MHz		-65		dBc
	0 - $F_{DAC}/4$ 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		-71		dBc
		f_{OUT} = 997MHz		-75		dBc
		f_{OUT} = 1997MHz		-69		dBc
		f_{OUT} = 2997MHz		-57		dBc
		f_{OUT} = 3997MHz		-76		dBc
	$F_{DAC}/4$ - $F_{DAC}/2$ 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 41mA	f_{OUT} = 5997MHz		-72		dBc
		f_{OUT} = 6997MHz		-65		dBc
		f_{OUT} = 7997MHz		-57		dBc
		f_{OUT} = 8997MHz		-51		dBc
		f_{OUT} = 10997MHz		-63		dBc

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
HD3	0 - F_{DAC}/4 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		-88		dBc
		f_{OUT} = 997MHz		-66		dBc
		f_{OUT} = 1997MHz		-64		dBc
		f_{OUT} = 2997MHz		-82		dBc
		f_{OUT} = 3997MHz		-90		dBc
	F_{DAC}/4 - F_{DAC}/2 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 5997MHz		-85		dBc
		f_{OUT} = 6997MHz		-80		dBc
		f_{OUT} = 7997MHz		-85		dBc
		f_{OUT} = 8997MHz		-69		dBc
		f_{OUT} = 10997MHz		-55		dBc
	0 - F_{DAC}/4 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		-73		dBc
		f_{OUT} = 997MHz		-50		dBc
		f_{OUT} = 1997MHz		-44		dBc
		f_{OUT} = 2997MHz		-76		dBc
		f_{OUT} = 3997MHz		-78		dBc
	F_{DAC}/4 - F_{DAC}/2 时的无杂散动态范围 (SFDR)，I_{FS_SWITCH} = 41mA	f_{OUT} = 5997MHz		-81		dBc
		f_{OUT} = 6997MHz		-67		dBc
		f_{OUT} = 7997MHz		-75		dBc
		f_{OUT} = 8997MHz		-72		dBc
		f_{OUT} = 10997MHz		-71		dBc
$SFDR_{NONHD23}$	0 - F_{DAC}/4 内的非 HD2/3 SFDR，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97MHz		93		dBc
		f_{OUT} = 997MHz		85		dBc
		f_{OUT} = 1997MHz		89		dBc
		f_{OUT} = 2997MHz		84		dBc
		f_{OUT} = 3997MHz		84		dBc
	F_{DAC}/4 - F_{DAC}/2 内的非 HD2/3 SFDR，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 5997MHz		82		dBc
		f_{OUT} = 6997MHz		79		dBc
		f_{OUT} = 7997MHz		77		dBc
		f_{OUT} = 8997MHz		77		dBc
		f_{OUT} = 10997MHz		70		dBc
	0 - F_{DAC}/4 内的非 HD2/3 SFDR，I_{FS_SWITCH} = 41mA	f_{OUT} = 97MHz		87		dBc
		f_{OUT} = 997MHz		70		dBc
		f_{OUT} = 1997MHz		86		dBc
		f_{OUT} = 2997MHz		79		dBc
		f_{OUT} = 3997MHz		77		dBc
	F_{DAC}/4 - F_{DAC}/2 内的非 HD2/3 SFDR，I_{FS_SWITCH} = 41mA	f_{OUT} = 5997MHz		77		dBc
		f_{OUT} = 6997MHz		75		dBc
		f_{OUT} = 7997MHz		67		dBc
		f_{OUT} = 8997MHz		75		dBc
		f_{OUT} = 10997MHz		60		dBc

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
IMD3	三阶双音互调失真，I_{FS_SWITCH} = 20.5mA	f_{OUT} = 97 +/- 10MHz，每个音调 -7dBFS		-100		dBc
		f_{OUT} = 997 +/- 10MHz，每个音调 -7dBFS		-74		dBc
		f_{OUT} = 1997 +/- 10MHz，每个音调 -7dBFS		-75		dBc
		f_{OUT} = 2997 +/- 10MHz，每个音调 -7dBFS		-74		dBc
		f_{OUT} = 3997 +/- 10MHz，每个音调 -7dBFS		-67		dBc
		f_{OUT} = 5997 +/- 10MHz，每个音调 -7dBFS		-64		dBc
		f_{OUT} = 6997 +/- 10MHz，每个音调 -7dBFS		-55		dBc
		f_{OUT} = 7997 +/- 10MHz，每个音调 -7dBFS		-58		dBc
		f_{OUT} = 8997 +/- 10MHz，每个音调 -7dBFS		-64		dBc
		f_{OUT} = 10997 +/- 10MHz，每个音调 -7dBFS		-55		dBc
	三阶双音互调失真，I_{FS_SWITCH} = 41mA	f_{OUT} = 97 +/- 10MHz，每个音调 -7dBFS		-87		dBc
		f_{OUT} = 997 +/- 10MHz，每个音调 -7dBFS		-61		dBc
		f_{OUT} = 1997 +/- 10MHz，每个音调 -7dBFS		-53		dBc
		f_{OUT} = 2997 +/- 10MHz，每个音调 -7dBFS		-55		dBc
		f_{OUT} = 3997 +/- 10MHz，每个音调 -7dBFS		-56		dBc
		f_{OUT} = 5997 +/- 10MHz，每个音调 -7dBFS		-54		dBc
		f_{OUT} = 6997 +/- 10MHz，每个音调 -7dBFS		-40		dBc
		f_{OUT} = 7997 +/- 10MHz，每个音调 -7dBFS		-41		dBc
		f_{OUT} = 8997 +/- 10MHz，每个音调 -7dBFS		-44		dBc
		f_{OUT} = 10997 +/- 10MHz，每个音调 -7dBFS		-46		dBc

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度，大信号，正弦输出，I_{FS_SWITCH} = 20.5mA(3)	f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-157		dBc/Hz
		f_{OUT} = 997MHz，相对于 f_{OUT} 偏移 70MHz		-155		dBc/Hz
		f_{OUT} = 1997MHz，相对于 f_{OUT} 偏移 70MHz		-152		dBc/Hz
		f_{OUT} = 2997MHz，相对于 f_{OUT} 偏移 70MHz		-151		dBc/Hz
		f_{OUT} = 3997MHz，相对于 f_{OUT} 偏移 70MHz		-149		dBc/Hz
		f_{OUT} = 5997MHz，相对于 f_{OUT} 偏移 70MHz		-148		dBc/Hz
		f_{OUT} = 6997MHz，相对于 f_{OUT} 偏移 70MHz		-146		dBc/Hz
		f_{OUT} = 7997MHz，相对于 f_{OUT} 偏移 70MHz		-146		dBc/Hz
		f_{OUT} = 8997MHz，相对于 f_{OUT} 偏移 70MHz		-144		dBc/Hz
		f_{OUT} = 10997MHz，相对于 f_{OUT} 偏移 70MHz		-140		dBc/Hz
NSD	噪声频谱密度，大信号，正弦输出，I_{FS_SWITCH} = 41mA(3)	f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-157		dBc/Hz
		f_{OUT} = 997MHz，相对于 f_{OUT} 偏移 70MHz		-156		dBc/Hz
		f_{OUT} = 1997MHz，相对于 f_{OUT} 偏移 70MHz		-153		dBc/Hz
		f_{OUT} = 2997MHz，相对于 f_{OUT} 偏移 70MHz		-151		dBc/Hz
		f_{OUT} = 3997MHz，相对于 f_{OUT} 偏移 70MHz		-150		dBc/Hz
		f_{OUT} = 5997MHz，相对于 f_{OUT} 偏移 70MHz		-148		dBc/Hz
		f_{OUT} = 6997MHz，相对于 f_{OUT} 偏移 70MHz		-147		dBc/Hz
		f_{OUT} = 7997MHz，相对于 f_{OUT} 偏移 70MHz		-146		dBc/Hz
		f_{OUT} = 8997MHz，相对于 f_{OUT} 偏移 70MHz		-144		dBc/Hz
		f_{OUT} = 10997MHz，相对于 f_{OUT} 偏移 70MHz		-140		dBc/Hz

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度，小信号，正弦输出，I_{FS_SWITCH} = 20.5mA(3)	A_{OUT} = -20dBFS，f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-155		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 997MHz，相对于 f_{OUT} 偏移 70MHz		-157		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 1997MHz，相对于 f_{OUT} 偏移 70MHz		-155		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2997MHz，相对于 f_{OUT} 偏移 70MHz		-153		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 3997MHz，相对于 f_{OUT} 偏移 70MHz		-153		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 5997MHz，相对于 f_{OUT} 偏移 70MHz		-151		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 6997MHz，相对于 f_{OUT} 偏移 70MHz		-150		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 7997MHz，相对于 f_{OUT} 偏移 70MHz		-150		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8997MHz，相对于 f_{OUT} 偏移 70MHz		-149		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 10997MHz，相对于 f_{OUT} 偏移 70MHz		-146		dBFS/Hz
NSD	噪声频谱密度，小信号，正弦输出，I_{FS_SWITCH} = 41mA(3)	A_{OUT} = -20dBFS，f_{OUT} = 97MHz，相对于 f_{OUT} 偏移 70MHz		-156		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 997MHz，相对于 f_{OUT} 偏移 70MHz		-158		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 1997MHz，相对于 f_{OUT} 偏移 70MHz		-156		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 2997MHz，相对于 f_{OUT} 偏移 70MHz		-155		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 3997MHz，相对于 f_{OUT} 偏移 70MHz		-153		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 5997MHz，相对于 f_{OUT} 偏移 70MHz		-152		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 6997MHz，相对于 f_{OUT} 偏移 70MHz		-152		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 7997MHz，相对于 f_{OUT} 偏移 70MHz		-152		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 8997MHz，相对于 f_{OUT} 偏移 70MHz		-151		dBFS/Hz
		A_{OUT} = -20dBFS，f_{OUT} = 10997MHz，相对于 f_{OUT} 偏移 70MHz		-150		dBFS/Hz

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性 - 交流规格（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，DDS 模式，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，SE DEM 和抖动（低于 750MHz 时 DEM_ADJ = 1，高于 750MHz 时 DEM_ADJ = 0），除非另有说明。在 NRZ 和 RF 模式中，$F_{DAC} = F_{CLK}$，而在 DES2XL/H 模式中，$F_{DAC} = 2*F_{CLK}$。

参数		测试条件	最小值	典型值	最大值	单位
PN	附加 DAC 相位噪声，减去外部时钟贡献，DES 模式，DEM 和抖动关闭	f_{CLK} = 12GHz，f_{OUT} = 997MHz，100Hz 偏移		-128		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，1KHz 偏移		-137		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，10kHz 偏移		-148		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，100kHz 偏移		-158		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，1MHz 偏移		-166		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，10MHz 偏移		-167		dBc/Hz
		f_{CLK} = 12GHz，f_{OUT} = 997MHz，100MHz 偏移		-170		dBc/Hz
PN	附加 DAC 相位噪声，减去外部时钟贡献，DES 模式，DEM 和抖动关闭	f_{CLK} = 8GHz，f_{OUT} = 997MHz，100Hz 偏移		-127		dBc/Hz
		f_{CLK} = 8GHz，f_{OUT} = 997MHz，1KHz 偏移		-136		dBc/Hz
		f_{CLK} = 8GHz，f_{OUT} = 997MHz，10kHz 偏移		-147		dBc/Hz
		f_{CLK} = 8GHz，f_{OUT} = 997MHz，100kHz 偏移		-157		dBc/Hz
		f_{CLK} = 8GHz，f_{OUT} = 997MHz，1MHz 偏移		-165		dBc/Hz
		f_{CLK} = 8GHz，f_{OUT} = 997MHz，10MHz 偏移		-167		dBc/Hz
		f_{CLK} = 8GHz，f_{OUT} = 997MHz，100MHz 偏移		-169		dBc/Hz

(1) 在 50Ω 负载下以单端方式测量
(2) 一个 100Ω 负载相当于两个 50Ω 单端负载
(3) 可通过禁用 DEM 和抖动来改进 NSD。

Copyright © 2024 Texas Instruments Incorporated

6.7 电气特性 - 功耗

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，2 个通道，DDS 模式，F_{CLK} = 12GHz，F_{OUT} = 2997MHz，NRZ 模式，$I_{FSSWITCH}$ = 20.5mA，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 1：双路 DAC，两个 DAC 共享 1 个 DUC，DDS 模式，F_{DAC} = 12GSPS，F_{OUT} = 2997MHz，NRZ 模式（仅限双通道版本）		86		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18 和 VDDR18 的 1.8V 组合电源电流			92		
I_{VDDL}	VDDLB 和 VDDLA 的 1.0V 组合电源电流			363		
I_{VDDCLK}	VDDCLK10 的 1.0V 电源电流			569		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 1.0V 电源电流			1356		
I_{VEE}	VEEAM18 和 VEEBM18 的 –1.8V 组合电源电流			123		
P_{DIS}	总功率损耗			2831		mW
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 2：双路 DAC，每个 DAC 1 个 DUC，DDS 模式，F_{DAC} = 12GSPS，F_{OUT1} = 2997MHz，F_{OUT2} = 3997MHz，NRZ 模式（仅限双通道版本）		86		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18 和 VDDR18 的 1.8V 组合电源电流			92		
I_{VDDL}	VDDLB 和 VDDLA 的 1.0V 组合电源电流			366		
I_{VDDCLK}	VDDCLK10 的 1.0V 电源电流			569		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 1.0V 电源电流			1529		
I_{VEE}	VEEAM18 和 VEEBM18 的 –1.8V 组合电源电流			123		
P_{DIS}	总功率损耗			3007		mW
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 3：双路 DAC，每个 DAC 2 个 DUC，DDS 模式，F_{DAC} = 12GSPS，F_{OUT1} = 2997MHz，F_{OUT2} = 3997MHz，NRZ 模式（仅限双通道版本）		86		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18 和 VDDR18 的 1.8V 组合电源电流			93		
I_{VDDL}	VDDLB 和 VDDLA 的 1.0V 组合电源电流			365		
I_{VDDCLK}	VDDCLK10 的 1.0V 电源电流			570		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 1.0V 电源电流			1756		
I_{VEE}	VEEAM18 和 VEEBM18 的 –1.8V 组合电源电流			123		
P_{DIS}	总功率损耗			3235		mW

Copyright © 2024 Texas Instruments Incorporated

6.7 电气特性 - 功耗（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，2 个通道，DDS 模式，F_{CLK} = 12GHz，F_{OUT} = 2997MHz，NRZ 模式，$I_{FSSWITCH}$ = 20.5mA，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 4：双路 DAC，每个 DAC 2 个 DUC，JMODE 6，64 倍内插，F_{DAC} = 12GSPS，F_{OUT1} = 2997MHz，F_{OUT2} = 3997MHz，NRZ 模式（仅限双通道版本）		86		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18 和 VDDR18 的 1.8V 组合电源电流			112		
I_{VDDL}	VDDLB 和 VDDLA 的 1.0V 组合电源电流			355		
I_{VDDCLK}	VDDCLK10 的 1.0V 电源电流			571		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 1.0V 电源电流			2734		
I_{VEE}	VEEAM18 和 VEEBM18 的 –1.8V 组合电源电流			123		
P_{DIS}	总功率损耗			4238		mW
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 5：单通道器件 (DDS39RFS12)，1 个 DUC，DDS 模式，F_{DAC} = 12GSPS，F_{OUT} = 2997MHz，DES 模式		58		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18 和 VDDR18 的 1.8V 组合电源电流			93		
I_{VDDL}	VDDLB 和 VDDLA 的 1.0V 组合电源电流			182		
I_{VDDCLK}	VDDCLK10 的 1.0V 电源电流			353		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 1.0V 电源电流			896		
I_{VEE}	VEEAM18 和 VEEBM18 的 –1.8V 组合电源电流			71		
P_{DIS}	总功率损耗			1837		mW
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 6：单通道器件 (DDS39RFS12)，2 个 DUC，DDS 模式，F_{DAC} = 12GSPS，F_{OUT} = 2997MHz，NRZ 模式		58		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18 和 VDDR18 的 1.8V 组合电源电流			93		
I_{VDDL}	VDDLB 和 VDDLA 的 1.0V 组合电源电流			183		
I_{VDDCLK}	VDDCLK10 的 1.0V 电源电流			353		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 1.0V 电源电流			1048		
I_{VEE}	VEEAM18 和 VEEBM18 的 –1.8V 组合电源电流			71		
P_{DIS}	总功率损耗			1985		mW

Copyright © 2024 Texas Instruments Incorporated

6.7 电气特性 - 功耗（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，2 个通道，DDS 模式，F_{CLK} = 12GHz，F_{OUT} = 2997MHz，NRZ 模式，$I_{FSSWITCH}$ = 20.5mA，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 7：单通道器件 (DDS39RFS12)，4 个 DUC，DDS 模式，F_{DAC} = 12GSPS，F_{OUT1} = 2997MHz，F_{OUT2} = 3997MHz，NRZ 模式		58		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18 和 VDDR18 的 1.8V 组合电源电流			93		
I_{VDDL}	VDDLB 和 VDDLA 的 1.0V 组合电源电流			182		
I_{VDDCLK}	VDDCLK10 的 1.0V 电源电流			354		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 1.0V 电源电流			1255		
I_{VEE}	VEEAM18 和 VEEBM18 的 –1.8V 组合电源电流			71		
P_{DIS}	总功率损耗			2192		mW
I_{VDDA18}	VDDA18A 和 VDDA18B 的 1.8V 组合电源电流	电源模式 8：单通道器件 (DDS39RFS12)，4 个 DUC，JMODE 7，64 倍内插，F_{DAC} = 24GSPS，F_{OUT} = 7997MHz，DES 模式		58		mA
I_{VDDIO}	VDDIO 的 1.8V 电源电流			1		
I_{VDDCSR}	VDDCLK18、VDDSYS18 和 VDDR18 的 1.8V 组合电源电流			112		
I_{VDDL}	VDDLB 和 VDDLA 的 1.0V 组合电源电流			178		
I_{VDDCLK}	VDDCLK10 的 1.0V 电源电流			354		
I_{DVDD}	VDDDIG、VDDT、VDDEB 和 VDDEA 的 1.0V 电源电流			2150		
I_{VEE}	VEEAM18 和 VEEBM18 的 –1.8V 组合电源电流			70		
P_{DIS}	总功率损耗			3118		mW
P_{DIS}	总功率损耗	电源模式 14：睡眠，MODE[1:0] = 0b11。		171		mW

Copyright © 2024 Texas Instruments Incorporated

6.8 时序要求

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，启用抖动和 DEM，除非另有说明。

			最小值	标称值	最大值	单位
输入时钟 (CLK+、CLK-)						
f_{CLK}	输入时钟频率		800		12000	MHz
SYSREF (SYSREF+、SYSREF-)						
t_{SYSREF_LOW}	SYSREF 低电平时序		$5*t_{CLK}$ + 1ns			
t_{SYSREF_HIGH}	SYSREF 高电平时序		$5*t_{CLK}$ + 1ns			
$t_{INV(SYSREF)}$	由 SYSREF_POS 状态寄存器测量的 CLK± 周期的无效 SYSREF 采集区域的宽度， 表示建立或保持时间违例(1)			13		ps
$t_{INV(TEMP)}$	无效 SYSREF 采集区域在温度范围内的漂移，正数表示向 SYSREF_POS 寄存器的 MSB 移位			-0.05		ps/°C
$t_{INV(VA11)}$	VDDSYS18 电源电压上的无效 SYSREF 采集区域漂移，正数表示向 SYSREF_POS 寄存器的 MSB 移位			0.19		ps/mV
$t_{STEP(SP)}$	SYSREF_POS LSB 的延迟	SYSREF_ZOOM = 0		20		ps
		SYSREF_ZOOM = 1		9		
$DC_{(SYSREF)}$	使用周期性 SYSREF 信号时的 SYSREF 占空比 (有效)	使用周期性 SYSREF 信号时的 SYSREF 占空比 (有效)		50%	55%	
$t_{(PH_SYS)}$	SYSREF± 上升沿事件后的最小 SYSREF± 置位持续时间			8		ns
复位						
t_{RESET}	最小 $\overline{\text{RESET}}$ 脉冲宽度			100		ns
TXENABLE						
$t_{TXENABLE_LOW}$	TXENABLE 低电平时间		102			时钟周期

(1) 使用 SYSREF_POS 为 SYSREF 采集选择理想的 SYSREF_SEL 值，更多有关 SYSREF 窗口化的信息，请参阅 SYSREF 位置检测器部分。由 $t_{INV(SYSREF)}$ 指定的无效区域，表示由 SYSREF_SEL 测量的 CLK± 周期 (t_{CLK}) 的一部分，该部分可能导致建立和保持时间违例。验证 SYSREF± 和 CLK± 在系统工作条件下与在标称条件 (用于查找更优 SYSREF_SEL) 下的计时偏斜不会导致在 SYSREF_POS 中选定的 SYSREF_SEL 位置发生无效区域。否则，可能需要依赖温度的 SYSREF_SEL 选择来跟踪 CLK± 和 SYSREF± 之间的偏斜。

Copyright © 2024 Texas Instruments Incorporated

6.9 开关特性

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，启用抖动和 DEM，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
JESD204C 串行器/解串器接口 6SRX-/+、14SRX-/+						
f_{SERDES}	串行器/解串器比特率(4)		.78125		12.8	Gbps
UI	单位间隔		78.125		1280	ps
延迟						
T_{DAC}	DAC 时钟周期			1 / f_{CLK}		s
$t_{PD(RX)}$	串行器/解串器 RX 模拟传播延迟	串行器/解串器 RX 模拟传播延迟		215		ps
t_{PDI}	输入时钟上升沿交叉至输出采样交叉	输入时钟上升沿交叉至输出采样交叉		500		ps
t_{DACLAT}	从 SYSREF 上升沿到 DAC 输出的数字路径延迟			请参阅“XLS 计算器”		
$t_{RELEASE}$	从 SYSREF 上升沿到弹性缓冲器释放的延迟			请参阅“XLS 计算器”		
t_{RXIN}	从 SERDES 输入到弹性缓冲器释放的延迟			请参阅“XLS 计算器”		
t_{TXEN_OUTPUT}	TXENABLE 上升沿到 DAC 的数据输出	FAST_TX_EN = 0		不尽相同(1)		个 CLK 周期
		FAST_TX_EN=1 和 QUIET_TX_DISABLE=0			93	
		FAST_TX_EN=1 和 QUIET_TX_DISABLE=1			133	
t_{TXEN_MUTE}	TXENABLE 下降沿至 DAC 输出被静音	QUIET_TX_DISABLE=0			93	
		QUIET_TX_DISABLE=1			133	
t_{TXEN_PW}	所需的 TXENABLE 脉冲宽度	FAST_TX_EN = 0(2)	102			
		FAST_TX_EN = 1(3)	20			
串行编程接口						
F_{s_c}	串行时钟频率				15.625	MHz
F_{s_cts}	串行时钟频率温度传感器	TS_TEMP 寄存器读取			1	MHz
t_P	串行时钟周期		64			ns
t_{PH}	串行时钟脉冲宽度高电平		32			ns
t_{PL}	串行时钟脉冲宽度低电平		32			ns
t_{SU}	SDI 设置时间		30			ns
t_H	SDI 保持时间		3			ns
t_{IZ}	SDI 三态			3		ns
t_{ODZ}	SDO 被驱动至三态	200fF 负载		5		ns
t_{OZD}	SDO 三态到被驱动	200fF 负载		3		ns
t_{OD}	SDO 输出延迟	200fF 负载		3		ns
t_{CSS}	$\overline{SCS}$ 设置		30			ns
t_{CSH}	$\overline{SCS}$ 保持		3			ns
t_{RS}	$\overline{RESET}$ 设置为串行时钟	$\overline{RESET}$ 高电平	30			ns
t_{RH}	$\overline{RESET}$ 保持串行时钟	$\overline{RESET}$ 高电平	30			ns
t_{IAG}	接入间隙		30			ns
快速重新配置 (FR) 接口						
F_{FRCLK}	FRCLK 频率				200	MHz
t_{FRCLK_P}	FRCLK 周期		5			ns

Copyright © 2024 Texas Instruments Incorporated

6.9 开关特性（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，I_{FS_SWITCH} = 20.5mA，单音调振幅 = 0dBFS，启用抖动和 DEM，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
t_{FRCLK_PH}	FRCLK 脉冲宽度高电平		2			ns
t_{FRCLK_PL}	FRCLK 脉冲宽度低电平		2			ns
t_{FRDI_SU}	FRDI 设置时间		1			ns
t_{FRDI_H}	FRDI 保持时间		1			ns
$t_{\overline{FRCS}_SU}$	$\overline{FRCS}$ 建立时间		1			ns
$t_{\overline{FRCS}_H}$	$\overline{FRCS}$ 保持时间		1			ns
t_{FR_IAG}	接入间隙		1			ns

(1) 延迟取决于 JESD 链路启动所需的时间以及与模式相关的器件延迟。从延迟计算器电子表格中添加链路层启动时间和取决于模式的延迟 (T_{DAC_LAT})。
(2) 脉冲持续时间小于此值会产生未定义的行为。
(3) 脉冲持续时间小于此值可能不会对输出产生影响。
(4) 2Gbps 以下时需要使用 8b/10b 编码

Copyright © 2024 Texas Instruments Incorporated

6.10 SPI 和 FRI 时序图

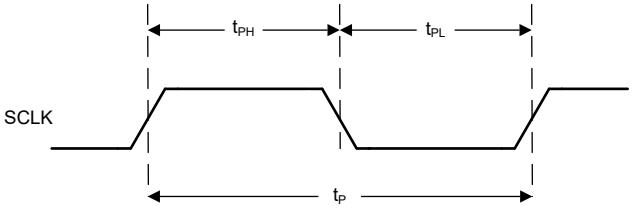


图 6-1. SPI 时钟时序图

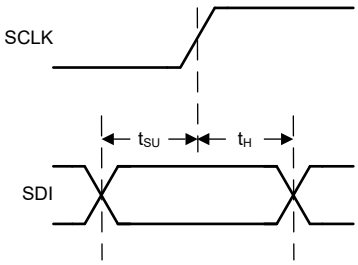


图 6-2. SPI 数据输入时序图

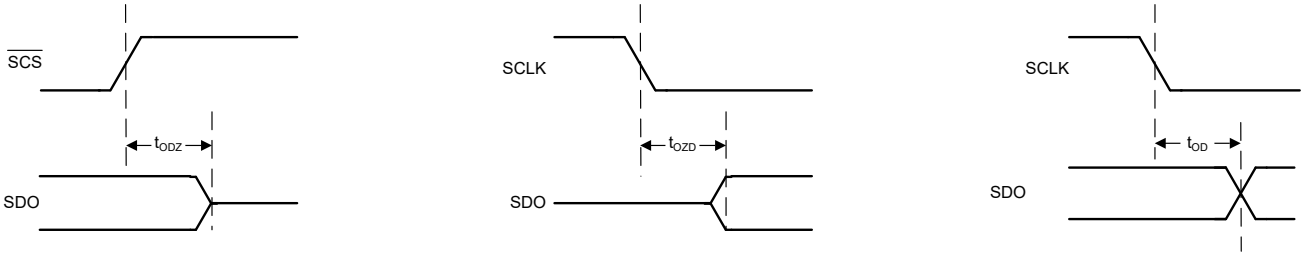


图 6-3. SPI 数据输出时序图

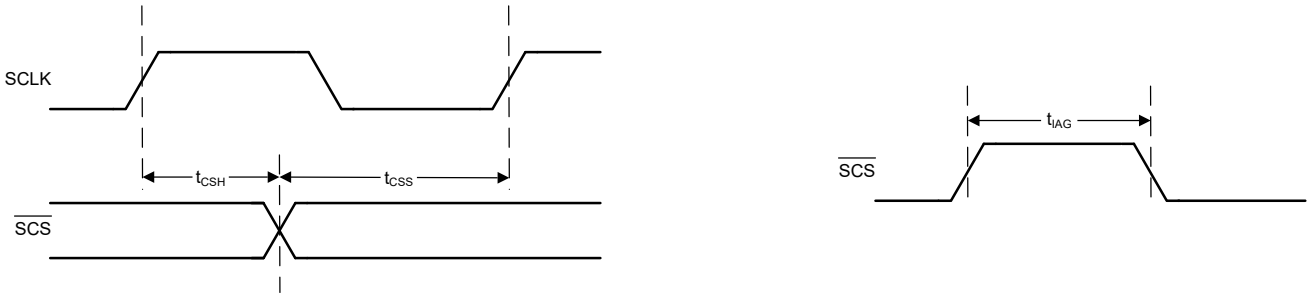


图 6-4. SPI 片选时序图

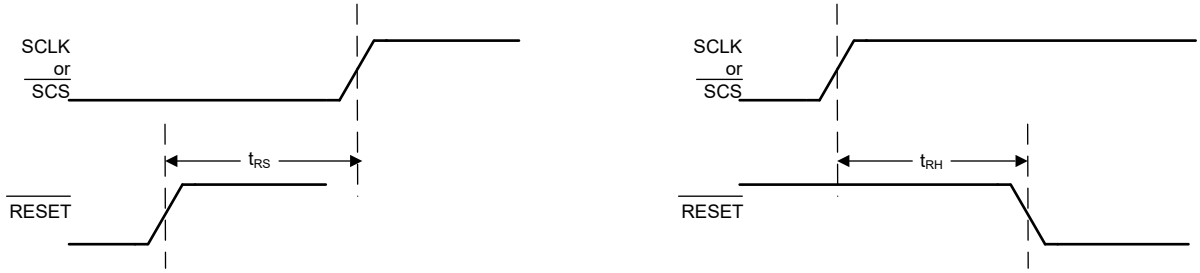


图 6-5. $\overline{\text{RESET}}$ 时序图

Copyright © 2024 Texas Instruments Incorporated

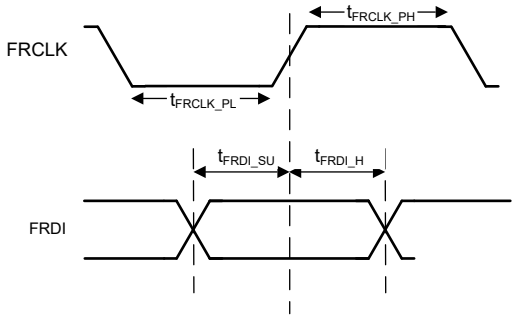


图 6-6. FRDI 时序图

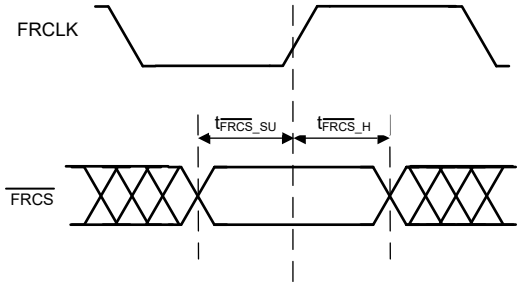
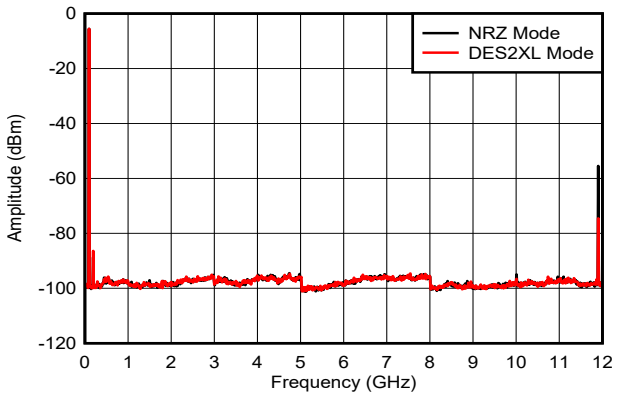


图 6-7. $\overline{\text{FRCS}}$ 时序图

Copyright © 2024 Texas Instruments Incorporated

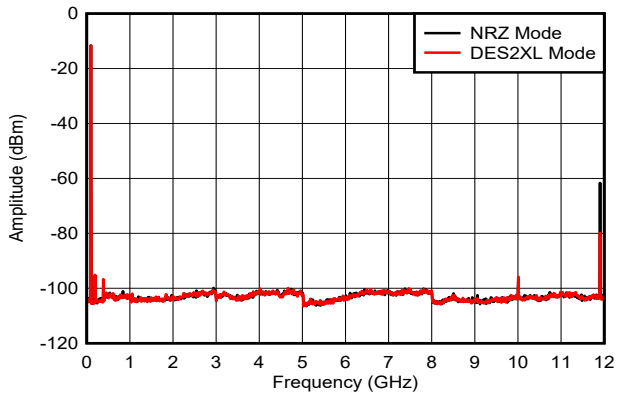
6.11 典型特性：单音光谱

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，I_{FS_SWITCH} = 20.5mA，启用抖动和 DEM，除非另有说明。



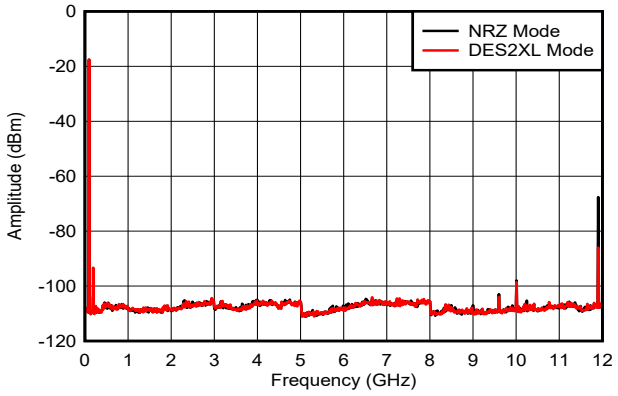
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-8. f_{OUT} = 97MHz，0dBFS



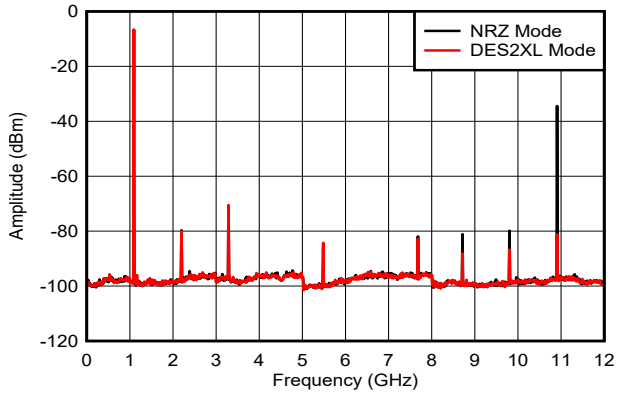
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-9. f_{OUT} = 97MHz，-6dBFS



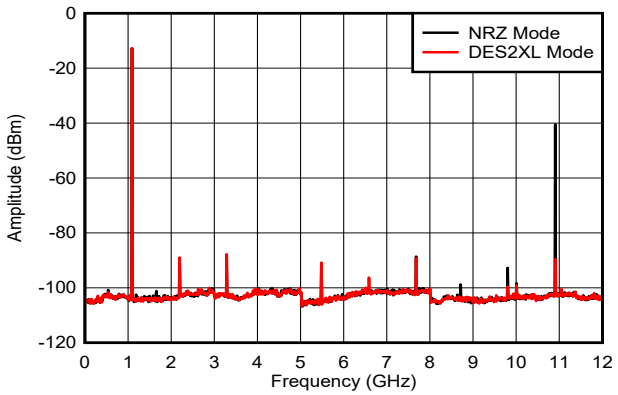
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-10. f_{OUT} = 97MHz，-12dBFS



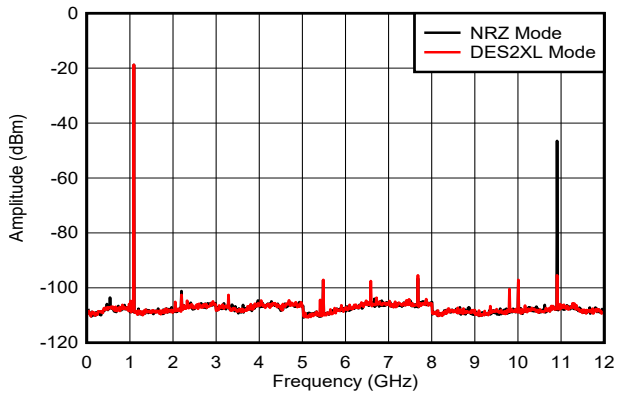
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-11. f_{OUT} = 1097MHz，0dBFS



包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-12. f_{OUT} = 1097MHz，-6dBFS



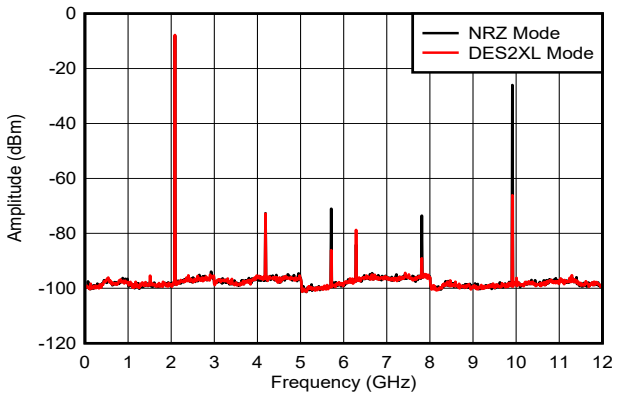
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-13. f_{OUT} = 1097MHz，-12dBFS

Copyright © 2024 Texas Instruments Incorporated

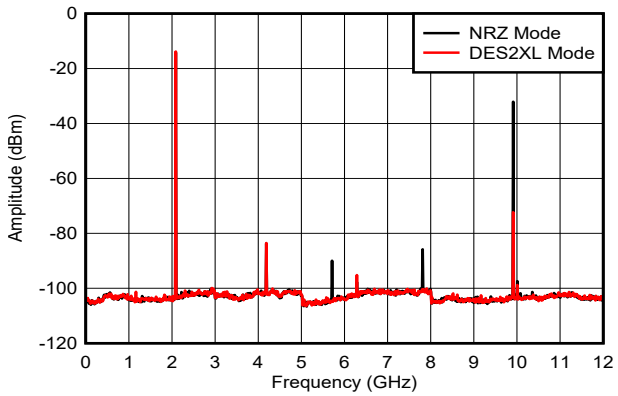
6.11 典型特性：单音光谱 （续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，I_{FS_SWITCH} = 20.5mA，启用抖动和 DEM，除非另有说明。



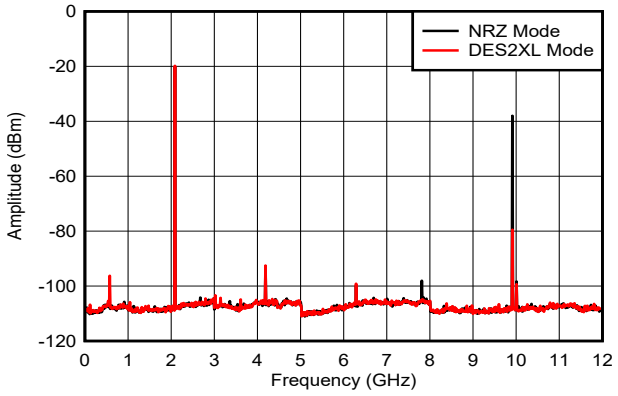
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-14. f_{OUT} = 2097MHz，0dBFS



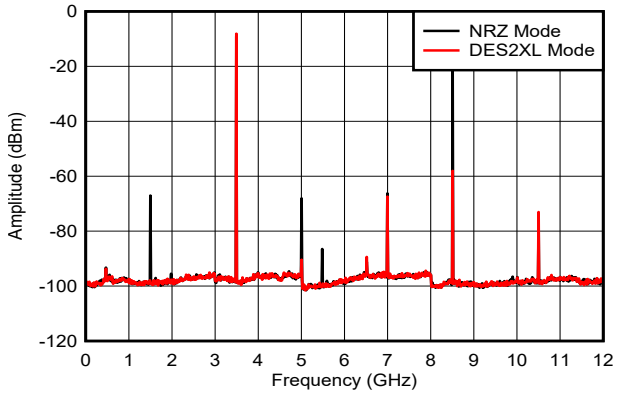
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-15. f_{OUT} = 2097MHz，-6dBFS



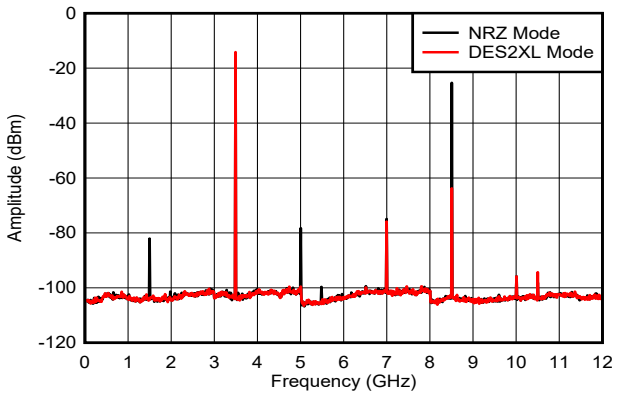
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-16. f_{OUT} = 2097MHz，-12dBFS



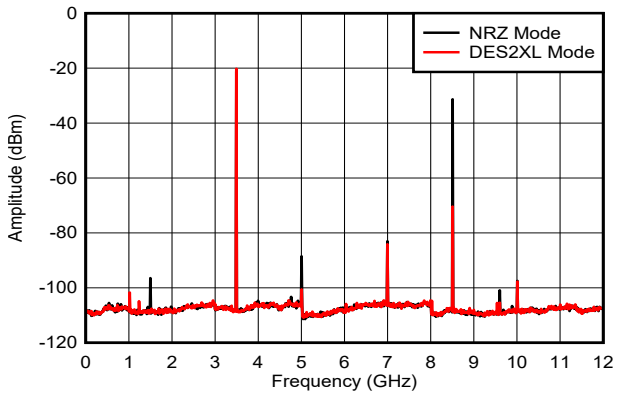
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-17. f_{OUT} = 3497MHz，0dBFS



包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-18. f_{OUT} = 3497MHz，-6dBFS



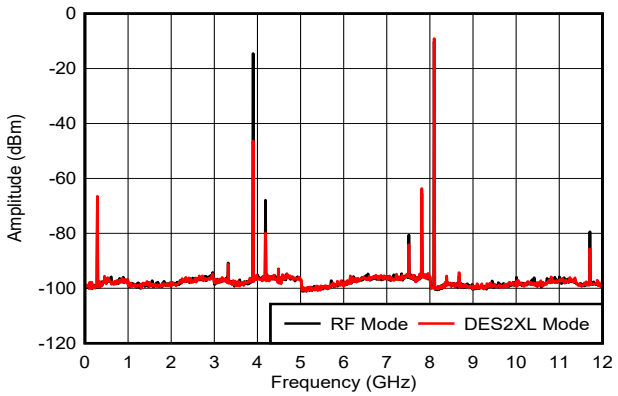
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-19. f_{OUT} = 3497MHz，-12dBFS

Copyright © 2024 Texas Instruments Incorporated

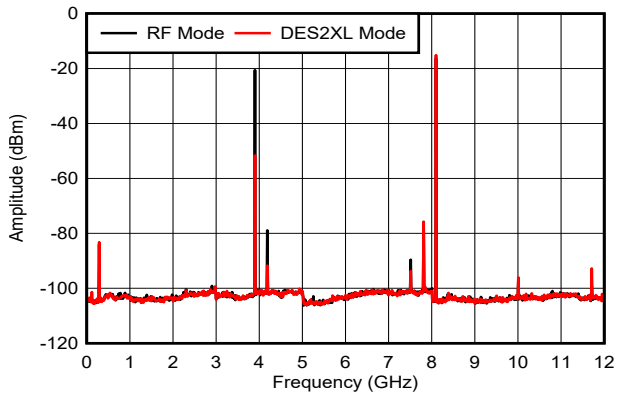
6.11 典型特性：单音光谱 （续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 12GHz，I_{FS_SWITCH} = 20.5mA，启用抖动和 DEM，除非另有说明。



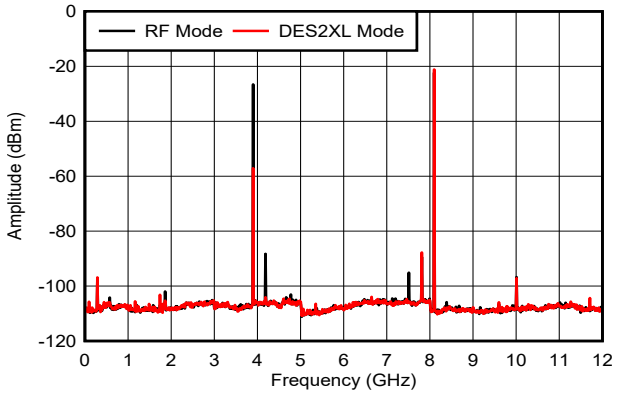
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-20. f_{OUT} = 8097MHz，0dBFS



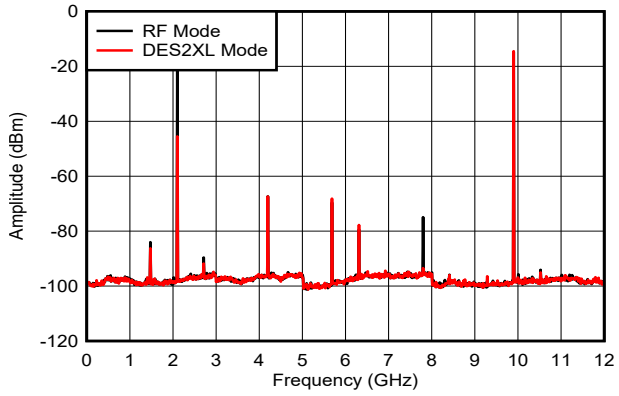
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-21. f_{OUT} = 8097MHz，-6dBFS



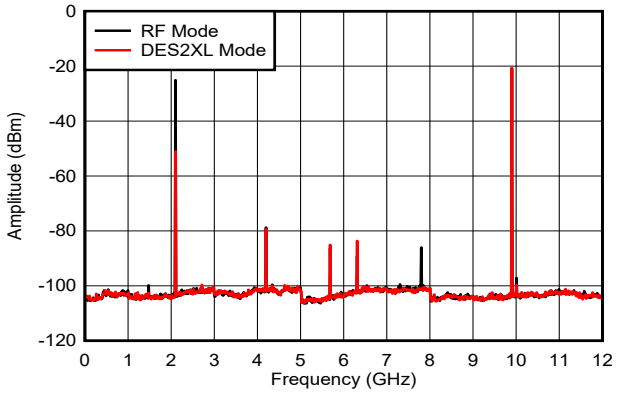
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-22. f_{OUT} = 8097MHz，-12dBFS



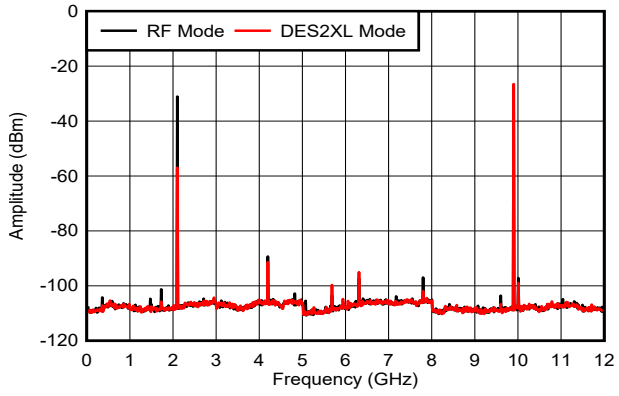
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-23. f_{OUT} = 9897MHz，0dBFS



包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-24. f_{OUT} = 9897MHz，-6dBFS



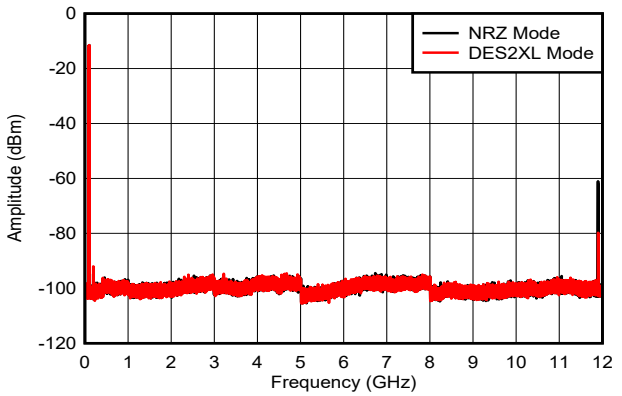
包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-25. f_{OUT} = 9897MHz，-12dBFS

Copyright © 2024 Texas Instruments Incorporated

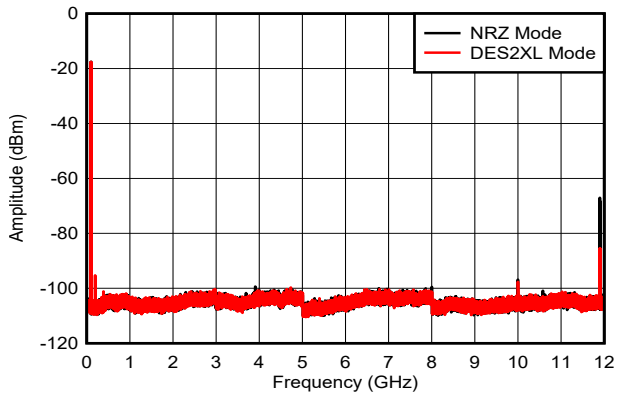
6.12 典型特性：双音光谱

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 10.24GHz，I_{FS_SWITCH} = 20.5mA，启用抖动和 DEM，除非另有说明。



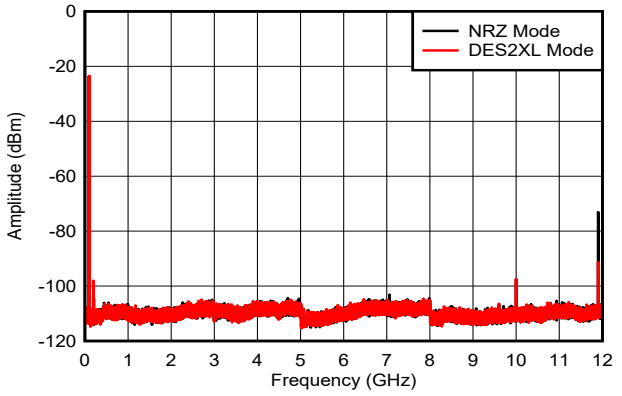
10MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-26. 双音，f_{OUT} = 97MHz，0dBFS



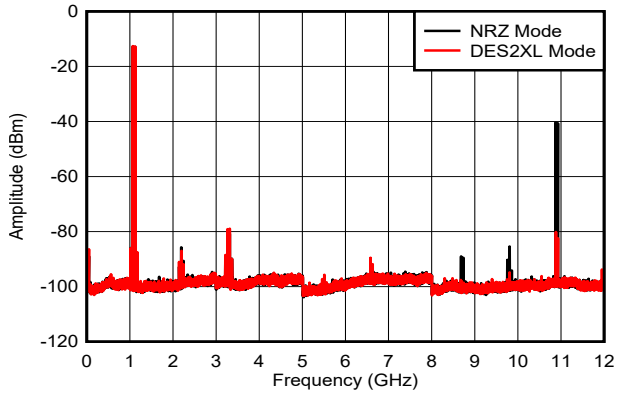
10MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-27. 双音，f_{OUT} = 97MHz，-6dBFS



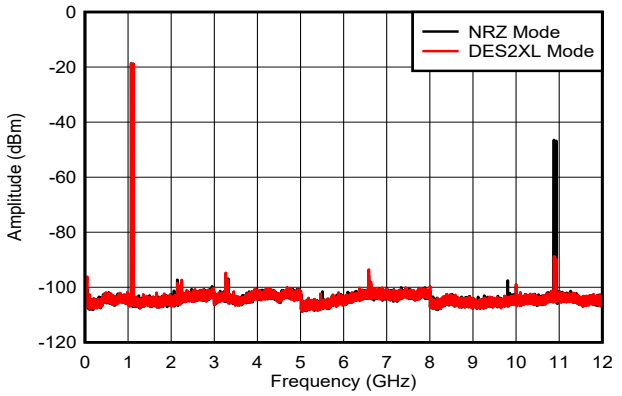
10MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-28. 双音，f_{OUT} = 97MHz，-12dBFS



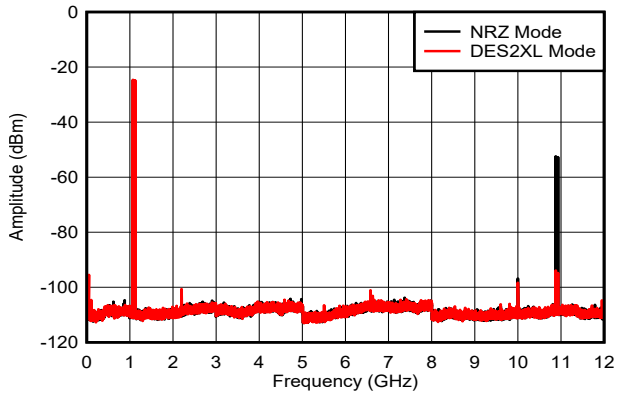
50MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-29. 双音，f_{OUT} = 1097MHz，0dBFS



50MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-30. 双音，f_{OUT} = 1097MHz，-6dBFS



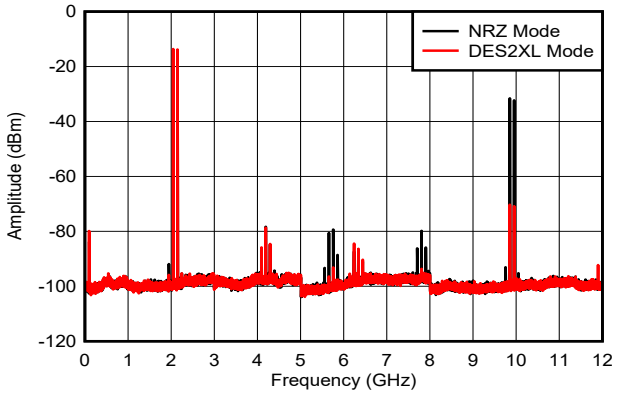
50MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-31. 双音，f_{OUT} = 1097MHz，-12dBFS

Copyright © 2024 Texas Instruments Incorporated

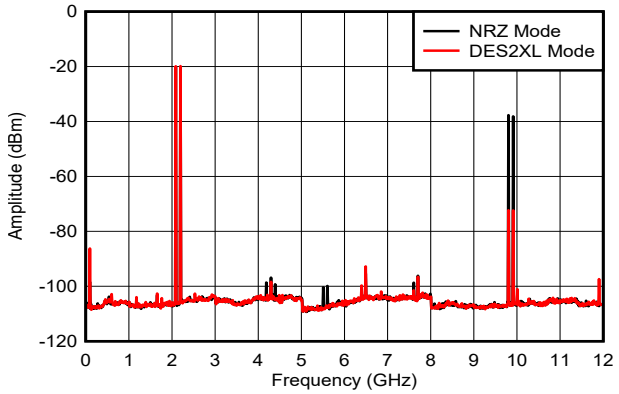
6.12 典型特性：双音光谱（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 10.24GHz，I_{FS_SWITCH} = 20.5mA，启用抖动和 DEM，除非另有说明。



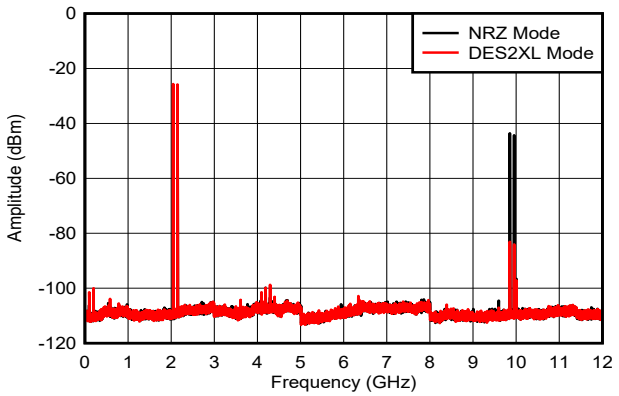
100MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-32. 双音，f_{OUT} = 2097MHz，0dBFS



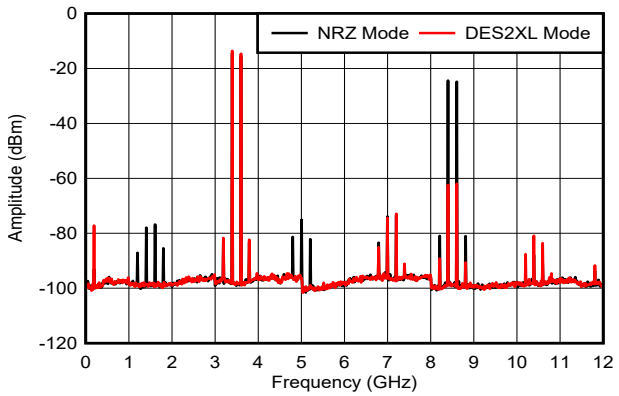
100MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-33. 双音，f_{OUT} = 2097MHz，-6dBFS



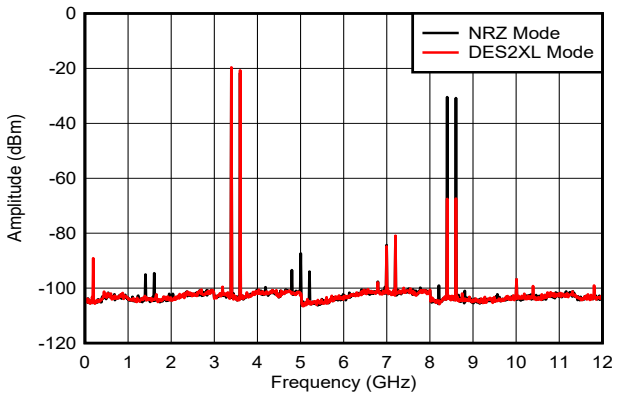
100MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-34. 双音，f_{OUT} = 2097MHz，-12dBFS



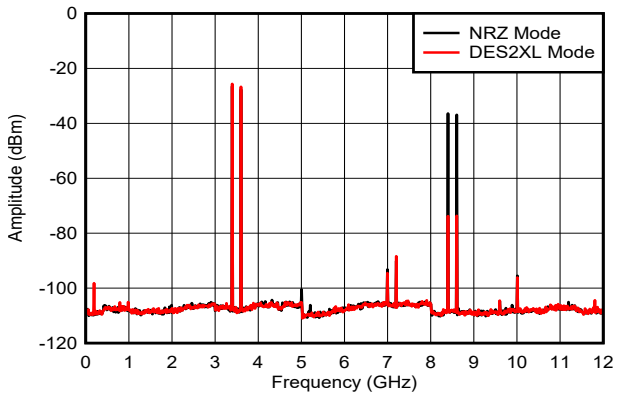
200MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-35. 双音，f_{OUT} = 3497MHz，0dBFS



200MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-36. 双音，f_{OUT} = 3497MHz，-6dBFS



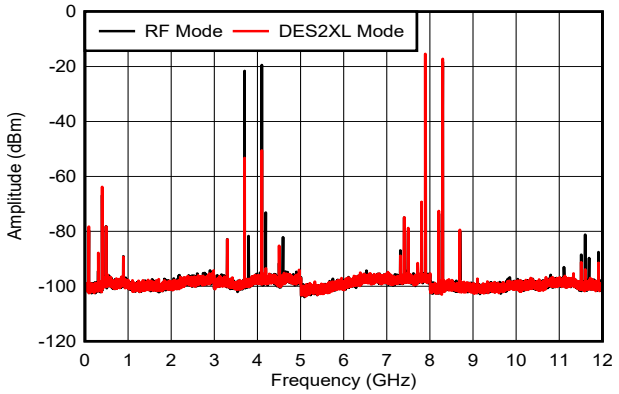
200MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-37. 双音，f_{OUT} = 3497MHz，-12dBFS

Copyright © 2024 Texas Instruments Incorporated

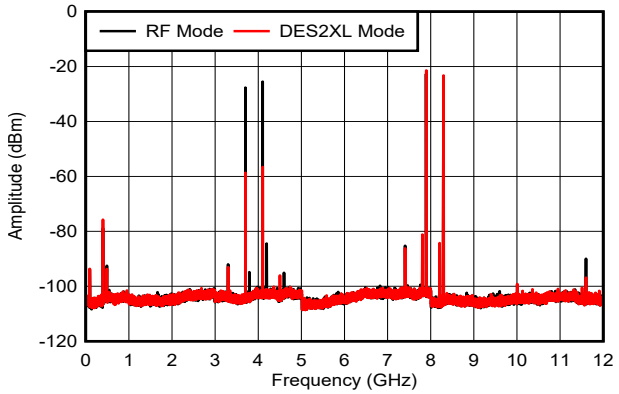
6.12 典型特性：双音光谱（续）

T_A = +25°C 时的典型值，自然通风工作温度范围内的最小值和最大值，典型电源电压，f_{CLK} = 10.24GHz，I_{FS_SWITCH} = 20.5mA，启用抖动和 DEM，除非另有说明。



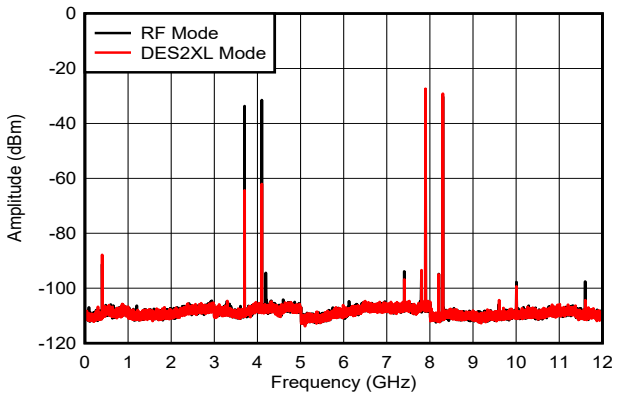
400MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-38. 双音，f_{OUT} = 8097MHz，0dBFS



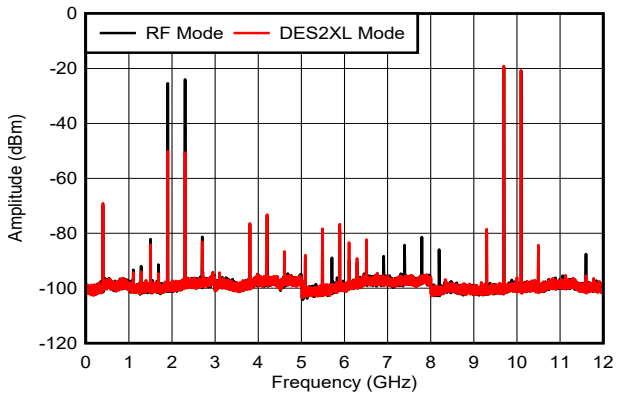
400MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-39. 双音，f_{OUT} = 8097MHz，-6dBFS



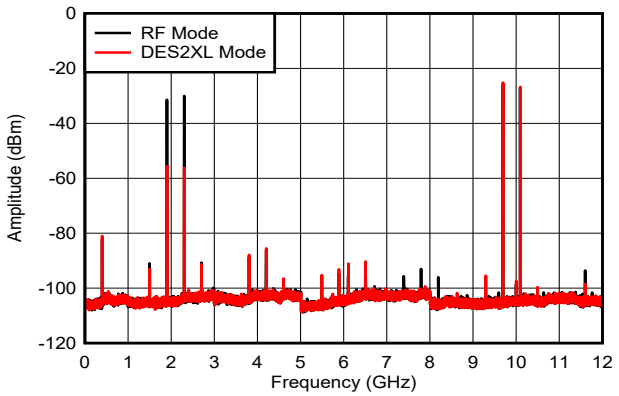
400MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-40. 双音，f_{OUT} = 8097MHz，-12dBFS



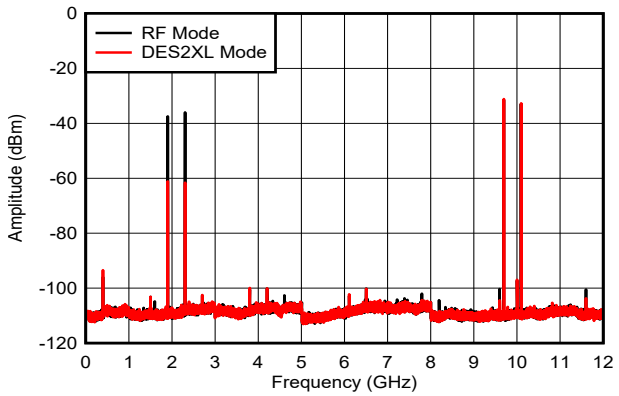
400MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-41. 双音，f_{OUT} = 9897MHz，0dBFS



400MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-42. 双音，f_{OUT} = 9897MHz，-6dBFS



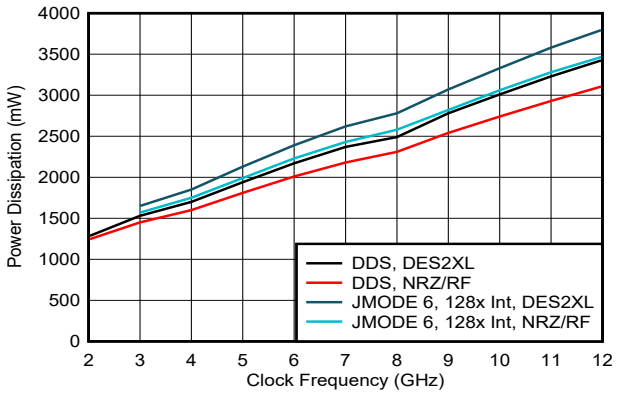
400MHz 频率间隔，包括 PCB、电缆和平衡-非平衡变压器损耗

图 6-43. 双音，f_{OUT} = 9897MHz，-12dBFS

Copyright © 2024 Texas Instruments Incorporated

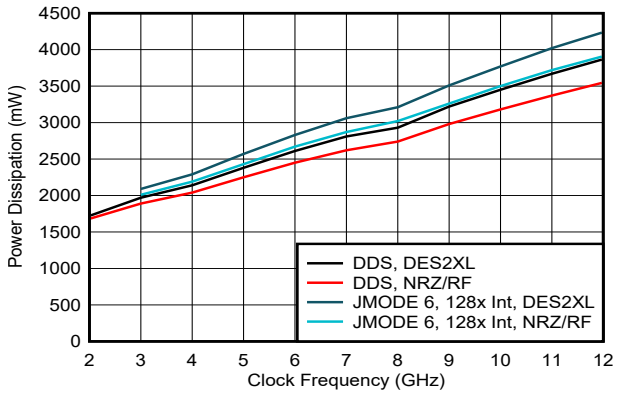
6.13 典型特性：功率耗散和电源电流

T_A = +25°C 和标称电源电压下的典型值，I_{FS_SWITCH} = 20.5mA，2 个 DAC = DDS39RF12，1 个 DAC = DDS39RFS12，除非另有说明。



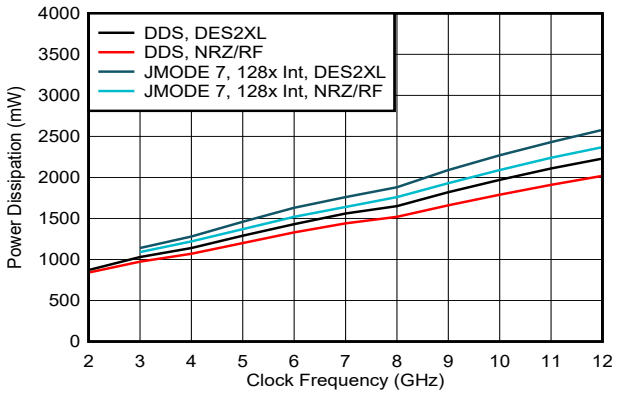
双路 DAC、I_{FS_SWITCH} = 20.5mA

图 6-44. 功率损耗与时钟频率和数字模式间的关系



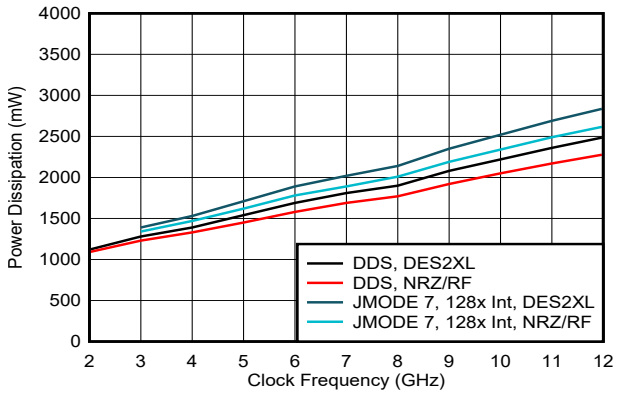
双路 DAC、I_{FS_SWITCH} = 41mA

图 6-45. 功率损耗与时钟频率和数字模式间的关系



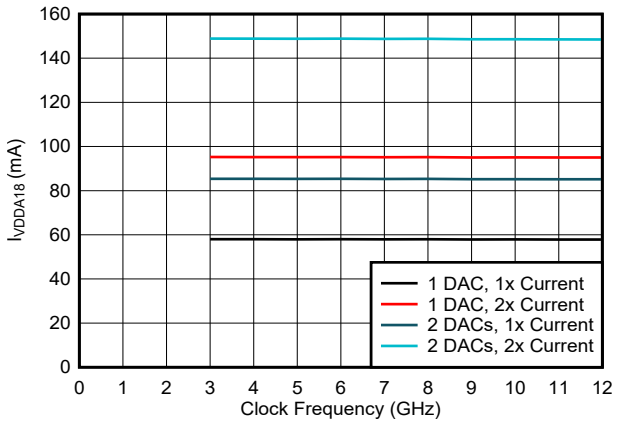
单路 DAC、I_{FS_SWITCH} = 20.5mA

图 6-46. 功率损耗与时钟频率和数字模式间的关系



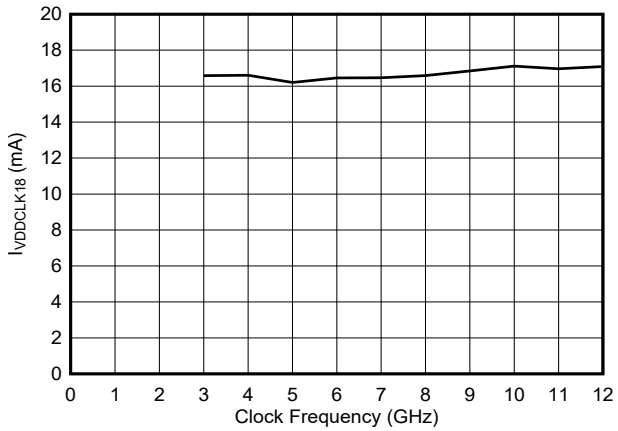
单路 DAC、I_{FS_SWITCH} = 41mA

图 6-47. 功率损耗与时钟频率和数字模式间的关系



独立于 JMODE 和内插

图 6-48. VDDA18 电流与时钟频率和 DAC 模式间的关系



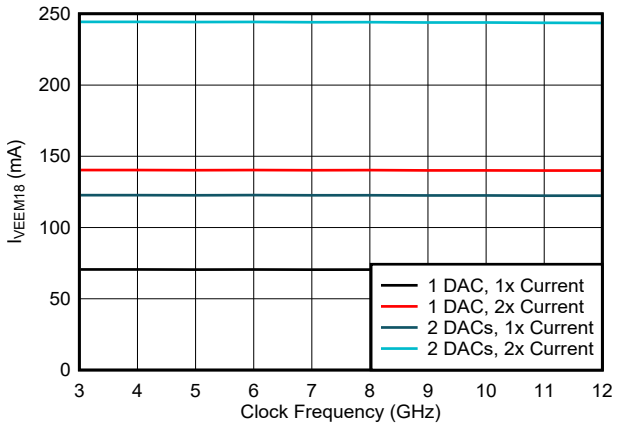
独立于 JMODE，内插和单路/双路 DAC 器件

图 6-49. VDDCLK18 电流与时钟频率间的关系

Copyright © 2024 Texas Instruments Incorporated

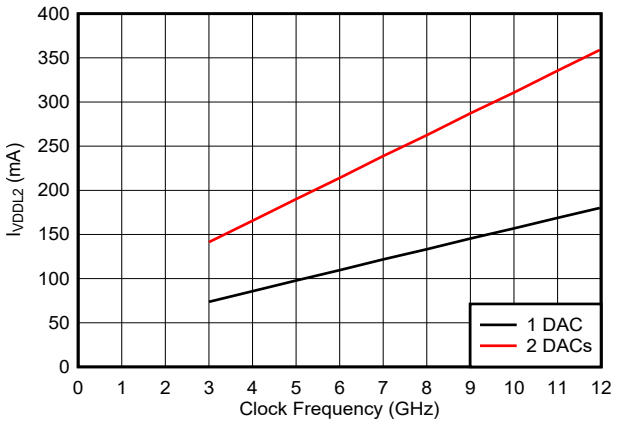
6.13 典型特性：功率耗散和电源电流（续）

T_A = +25°C 和标称电源电压下的典型值，I_{FS_SWITCH} = 20.5mA，2 个 DAC = DDS39RF12，1 个 DAC = DDS39RFS12，除非另有说明。



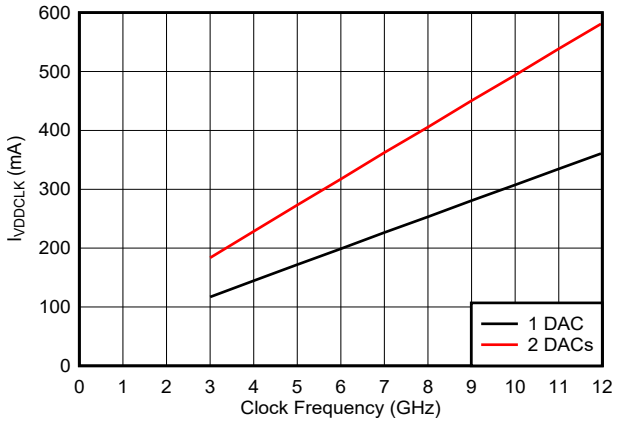
独立于 JMODE 和内插

图 6-50. VEEM18 电流与时钟频率和输出电流的关系



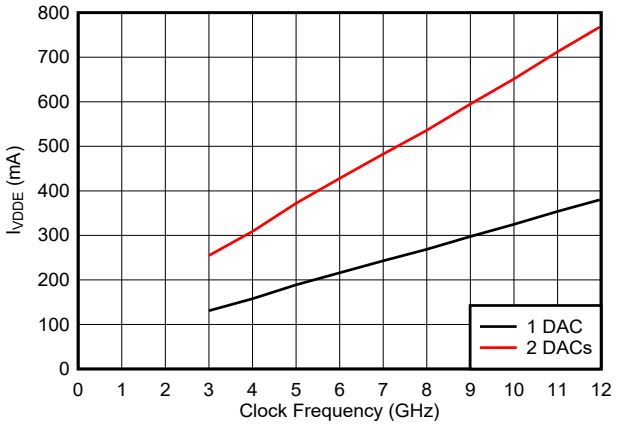
独立于 JMODE 和内插

图 6-51. VDDLx 电流与时钟频率间的关系



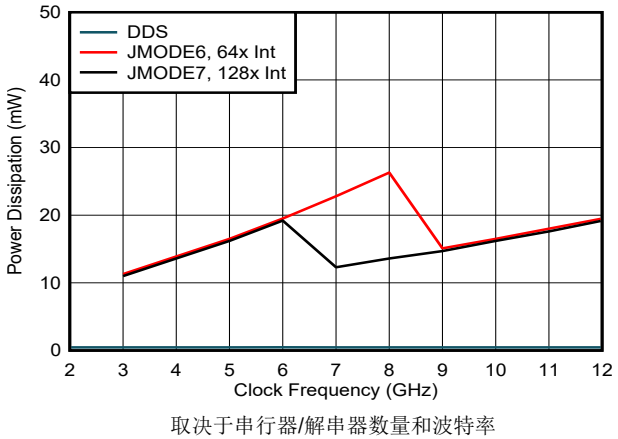
独立于 JMODE 和内插

图 6-52. VDDCLK 电流与时钟频率间的关系



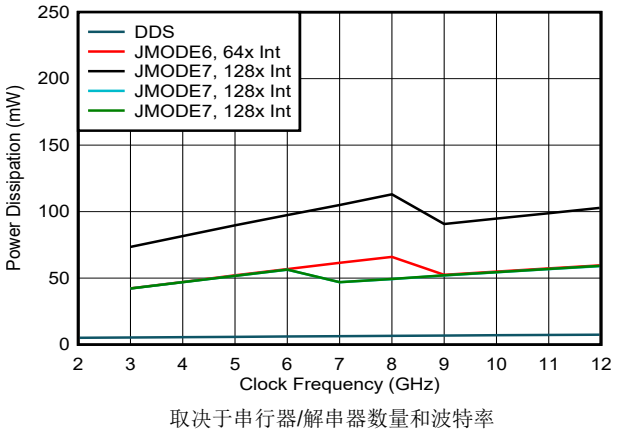
独立于 JMODE 和内插

图 6-53. VDDE 电流与时钟频率间的关系



取决于串行器/解串器数量和波特率

图 6-54. VDDR18 电流与时钟频率和接口模式间的关系



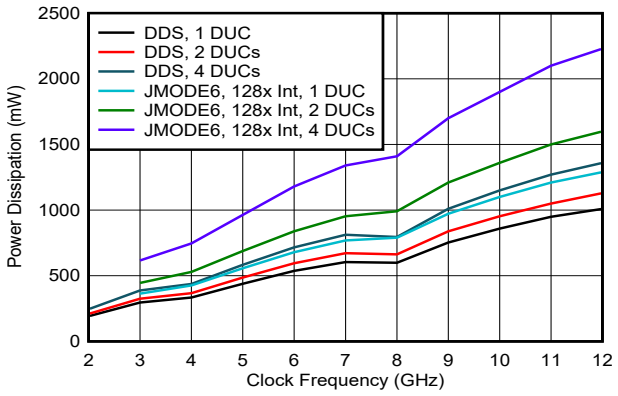
取决于串行器/解串器数量和波特率

图 6-55. VDDT 电流与时钟频率和接口模式间的关系

Copyright © 2024 Texas Instruments Incorporated

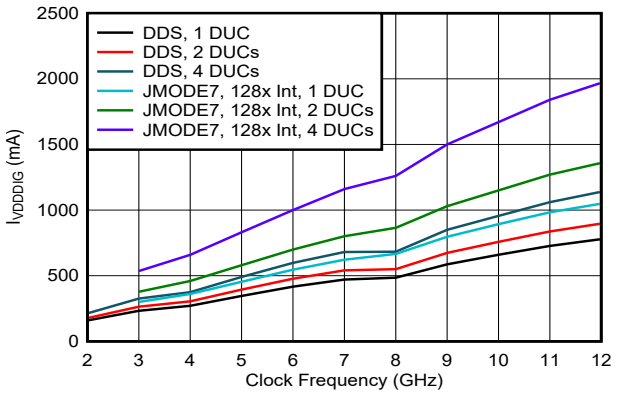
6.13 典型特性：功率耗散和电源电流（续）

T_A = +25°C 和标称电源电压下的典型值，I_{FS_SWITCH} = 20.5mA，2 个 DAC = DDS39RF12，1 个 DAC = DDS39RFS12，除非另有说明。



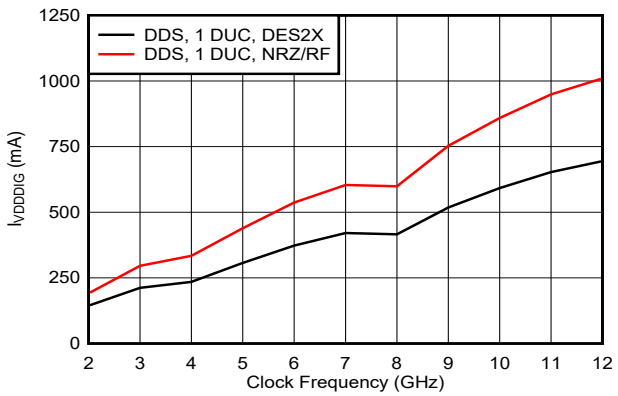
双路 DAC 器件

图 6-56. VDDDIG 电流与时钟频率和数字模式间的关系



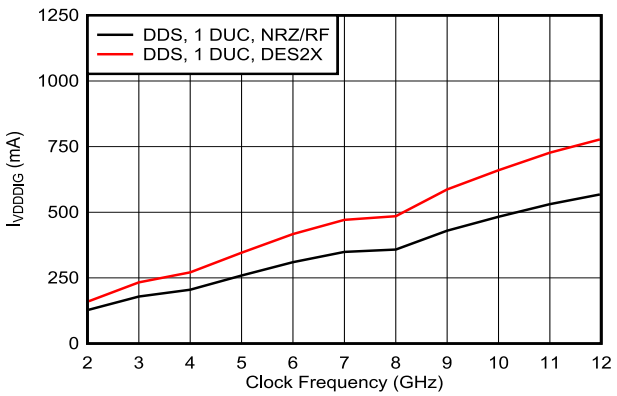
单路 DAC 器件

图 6-57. VDDDIG 电流与时钟频率和数字模式间的关系



双路 DAC 器件

图 6-58. VDDDIG 电流与时钟频率和 DAC 模式间的关系



单路 DAC 器件

图 6-59. VDDDIG 电流与时钟频率和 DAC 模式间的关系

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

DDS39RF12 和 'RFS12 是具有 16 位分辨率数模转换器 (DAC) 的双通道和单通道直接数字合成器系列。该器件具有高采样率、输出频率范围、64 位 NCO 频率分辨率，并可在任何跳频时保持相位相干，能够实现任意波形生成 (AWG) 和直接数字合成 (DDS)。这些器件还可用作非内插或内插 DAC，用于窄带直接射频采样或复数基带信号生成。单通道的最大输入数据速率为 750MSPS，双通道的最大输入数据速率为 325MSPS。这些器件可在超过 10GHz 的载波频率下生成具有高达 600MHz 信号带宽（16 位输入分辨率）的信号，从而支持对 C 带至 X 带进行直接采样。

64 位 NCO 频率分辨率和具有相位相干、连续性和复位选项的无限跳频使该器件非常适合任意波形生成 (AWG) 和直接数字合成 (DDS)。

具有 8b/10b 和 64b/66b 编码选项的 JESD204C 兼容串行接口具有 2 个接收器对，支持高达 12.8Gbps 的速率。该接口符合 JESD204C 子类 1 标准，可通过使用 SYSREF 实现确定性延迟和多器件同步。SYSREF 窗口化功能支持自动 SYSREF 计时校准。

7.2 功能方框图

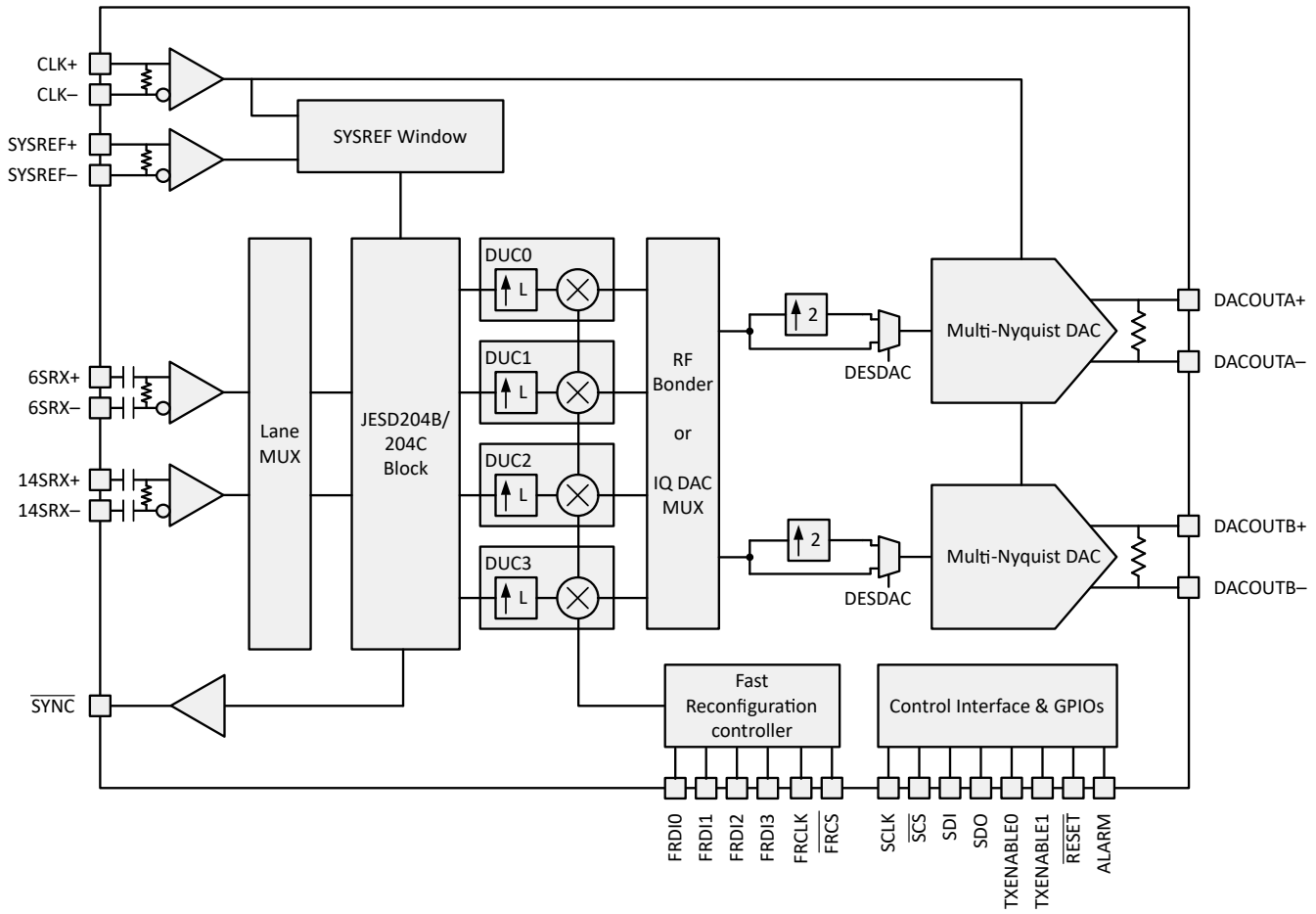


图 7-1. 双通道器件

Copyright © 2024 Texas Instruments Incorporated

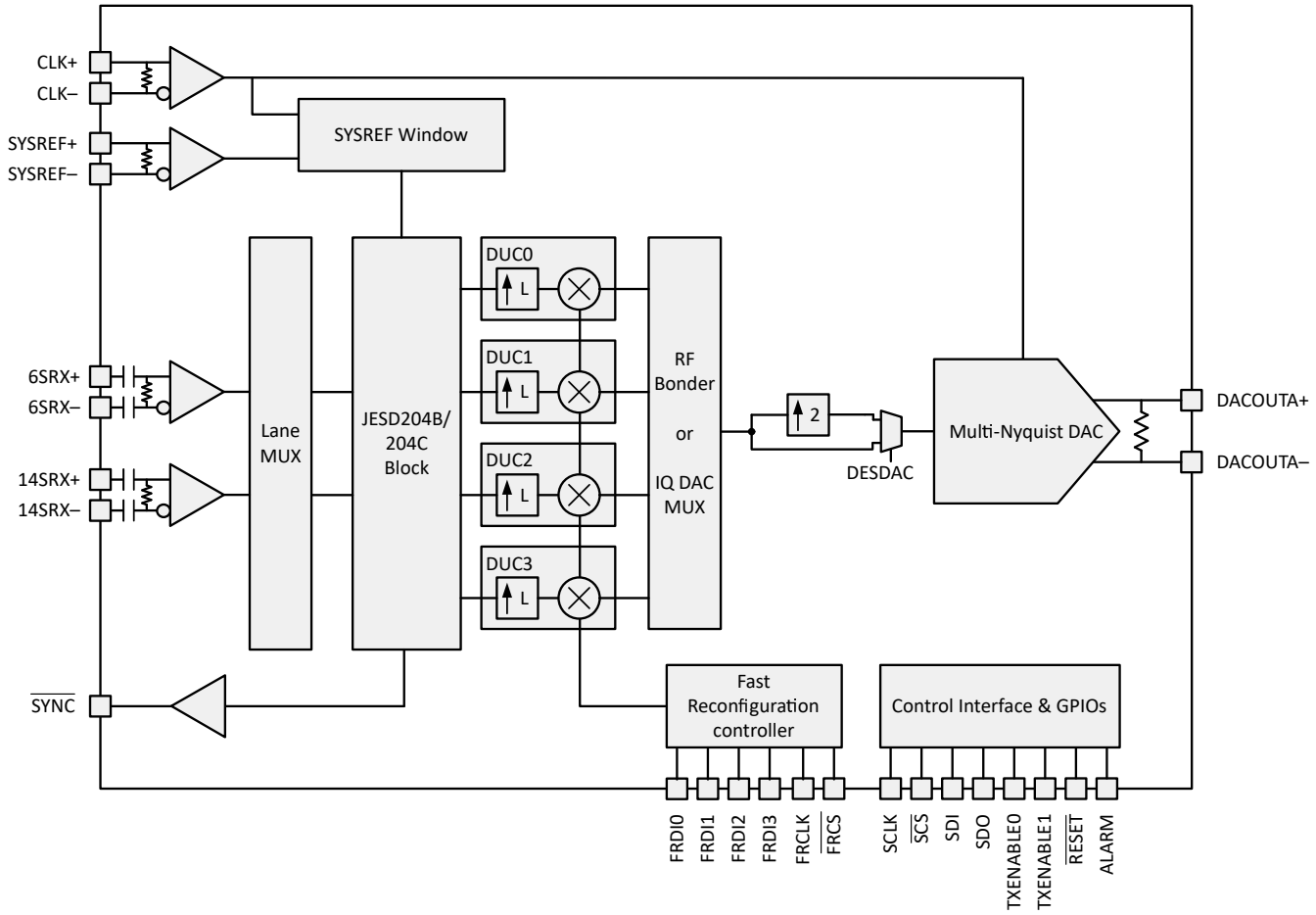

CLK+
CLK–
SYSREF+
SYSREF–
SYSREF Window
6SRX+
6SRX–
14SRX+
14SRX–
Lane MUX
JESD204B/ 204C Block
DUC0
DUC1
DUC2
DUC3
L
RF Bonder
or
IQ DAC MUX
2
DESDAC
Multi-Nyquist DAC
DACOUTA+
DACOUTA–
SYNC
Fast Reconfiguration controller
Control Interface & GPIOs
FRDI0
FRDI1
FRDI2
FRDI3
FRCLK
FRCS
SCLK
SCS
SDI
SDO
TXENABLE0
TXENABLE1
RESET
ALARM

图 7-2. 单通道器件

7.3 特性说明

本部分介绍了器件的模拟和数字特性。

7.3.1 DAC 输出模式

DDS39RF12 和 'RFS12 包含一个能够通过第三奈奎斯特区域直接传输的多奈奎斯特 DAC 内核。高输出频率功能通过改变输出波形的特定输出开关波形来实现，从而更改 DAC 频率响应以增强交替奈奎斯特区域中的 DAC 图像。所需的开关波形可通过串行接口来选择。表 7-1 中提供了模式及其属性和用途的列表。本节中显示的响应不考虑 DAC 模拟带宽或外部无源或有源信号链元件的影响。

表 7-1. 多奈奎斯特输出模式和用途摘要

DAC 输出模式	通过直流	理想频率范围	峰值输出功率(1)	其他
非归零 (NRZ)	是	0 - $F_{CLK}/2$	0dBFS	
归零 (RTZ)	是	0 - F_{CLK}	-6dBFS	
射频 (RF)	否	$F_{CLK}/2$ - F_{CLK}	-2.8dBFS	
双边沿采样 (DES)	是	0 - F_{CLK}	0dBFS	F_{CLK} - F_{OUT} 时的占空比图像

(1) 此处的峰值功率不包括寄生无源器件或外部元件导致的模拟输出带宽的影响

Copyright © 2024 Texas Instruments Incorporated

7.3.1.1 NRZ 模式

非归零 (NRZ) 模式是标准零阶保持模式。图 7-3 给出了 NRZ 模式的时序图。采样在 CLK 上升沿从 DAC 输出并一直保持到上升沿。该输出波形可视为时域中的矩形滤波器，从而在频域中产生正弦响应。结果是第二奈奎斯特和第三奈奎斯特区域的频率响应具有显著的功率损耗，采样率为零，仅适用于第一奈奎斯特区域运行。NRZ 模式的频率响应图如图 7-4 所示。

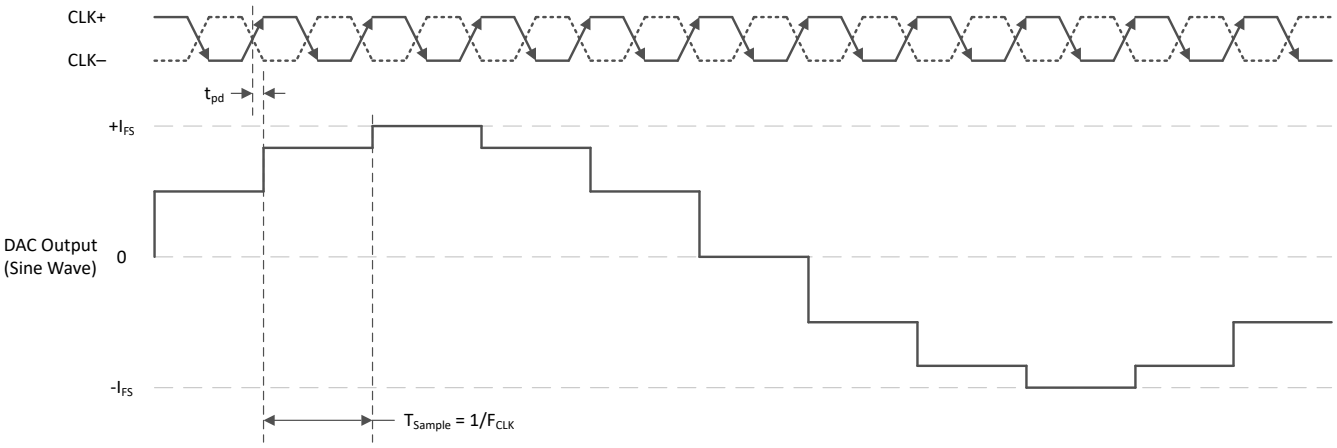


图 7-3. NRZ 模式时序图

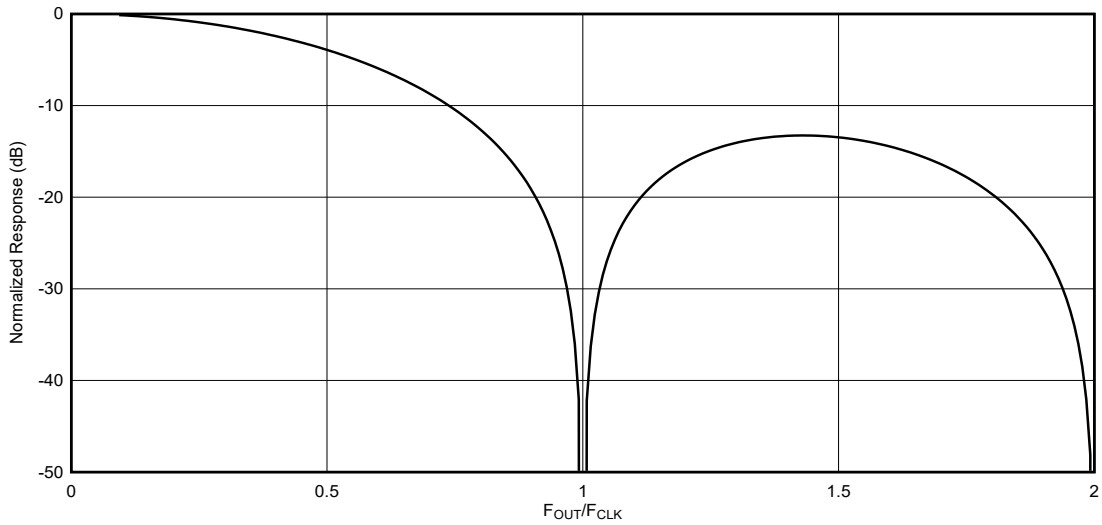


图 7-4. NRZ 模式输出频率响应

7.3.1.2 RTZ 模式

归零 (RTZ) 模式类似于 DAC 使用的标准零阶保持模式，但是响应会在采样周期的后半部分增加一个归零脉冲。图 7-5 给出了 RTZ 模式的时序图。该输出波形可被视为时域中长度为 NRZ 模式下所用时域长度一半的矩形滤波器，从而在频域中产生两倍的正弦响应。结果是第二奈奎斯特区域的频率响应功耗更低，采样率加倍时为空。它可用于第一奈奎斯特和第二奈奎斯特区域应用。归零脉冲通过第一个奈奎斯特区域提供更平坦的响应，但代价是峰值功率降低 6dB。RTZ 模式的频率响应图如图 7-6 所示。

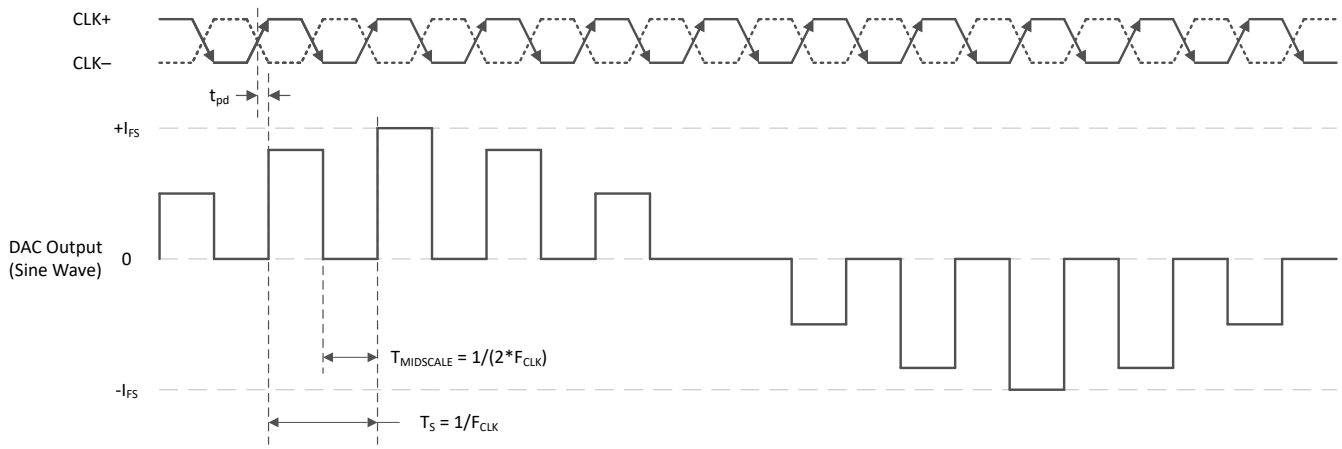


图 7-5. RTZ 模式时序图

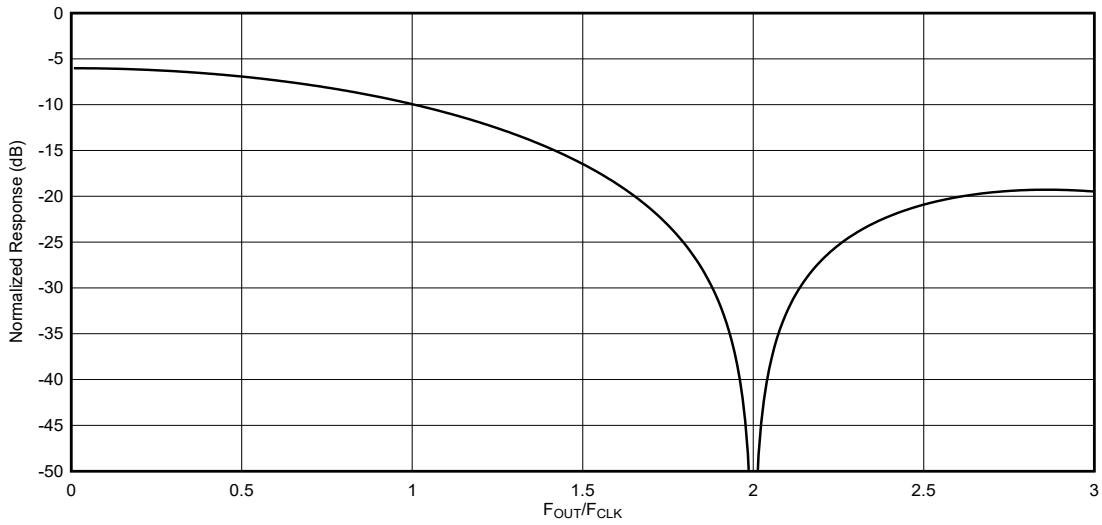


图 7-6. RTZ 模式输出频率响应

7.3.1.3 射频模式

射频模式通过在采样周期的中途将采样反相，向 DAC 输出添加了一个混合功能。结果是正弦响应在第二奈奎斯特区域达到峰值并提供最大平坦度。射频模式的时序图如图 7-7 所示。射频模式的频率响应图如图 7-8 所示。

Copyright © 2024 Texas Instruments Incorporated

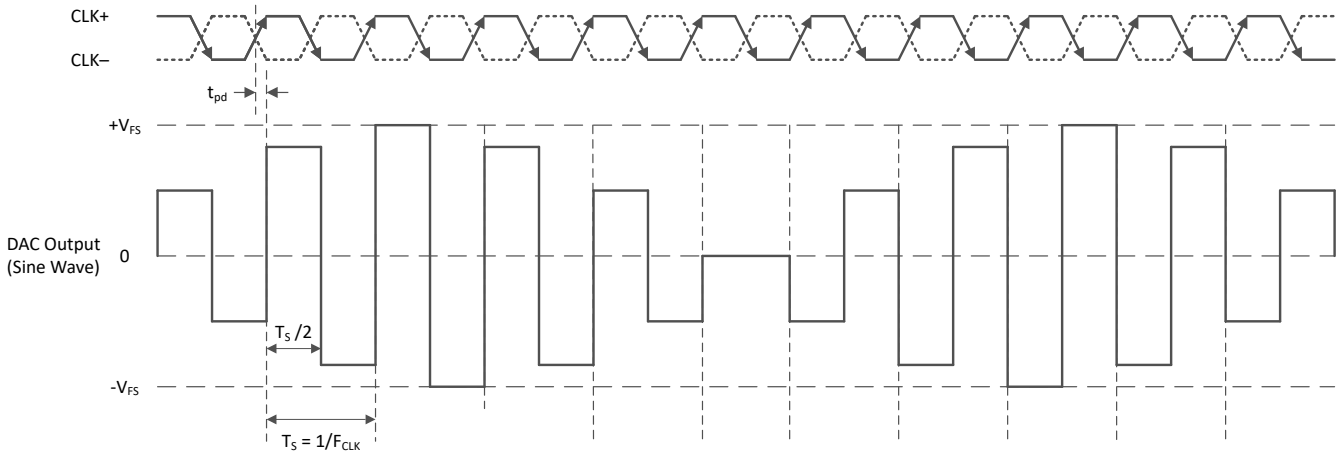


图 7-7. 射频模式时序图

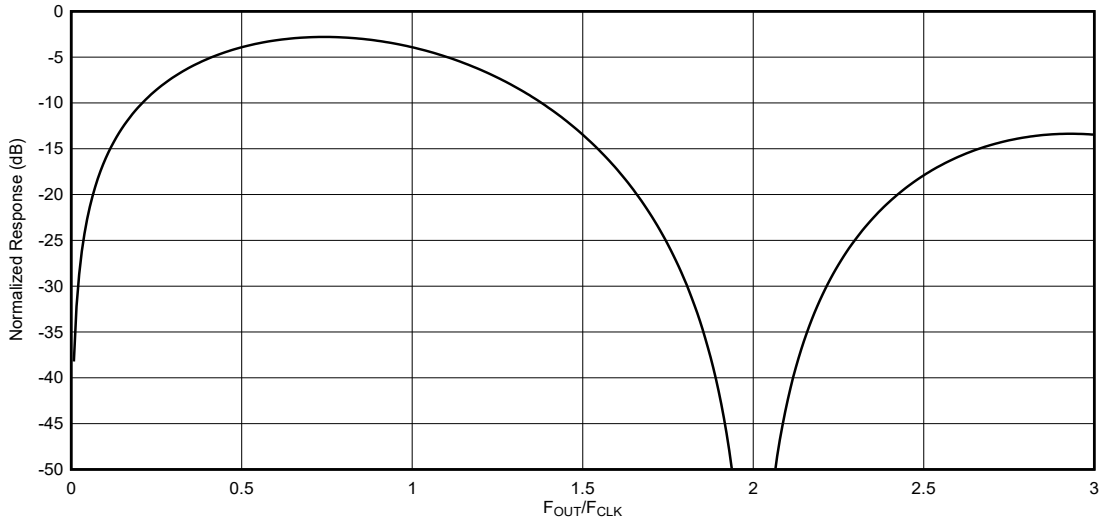


图 7-8. 射频模式输出频率响应

7.3.1.4 DES 模式

双边沿采样 (DES) 模式在 CLK 的上升沿和下降沿输出不同的采样点，使得在同一时钟频率下的采样率翻倍。器件中包含一个额外的 2 级数字内插，以实现双倍采样率。

如果 CLK 占空比不是 50%，将以 F_{CLK} - F_{OUT} 生成信号图像。与具有相同时钟频率的 NRZ 模式相比，DES 模式显著降低了图像振幅，并降低了滤波器要求。DES2XL 使用低通 2 倍内插滤波器从单边沿采样率提高到双边沿采样率，并支持 0 - 0.4*F_{CLK} 之间的输出频率，。DES2XH 使用高通内插滤波器，支持 0.6 - 1.0*F_{CLK} 之间的输出频率，信号带宽与 DES2XL 相同。

Copyright © 2024 Texas Instruments Incorporated

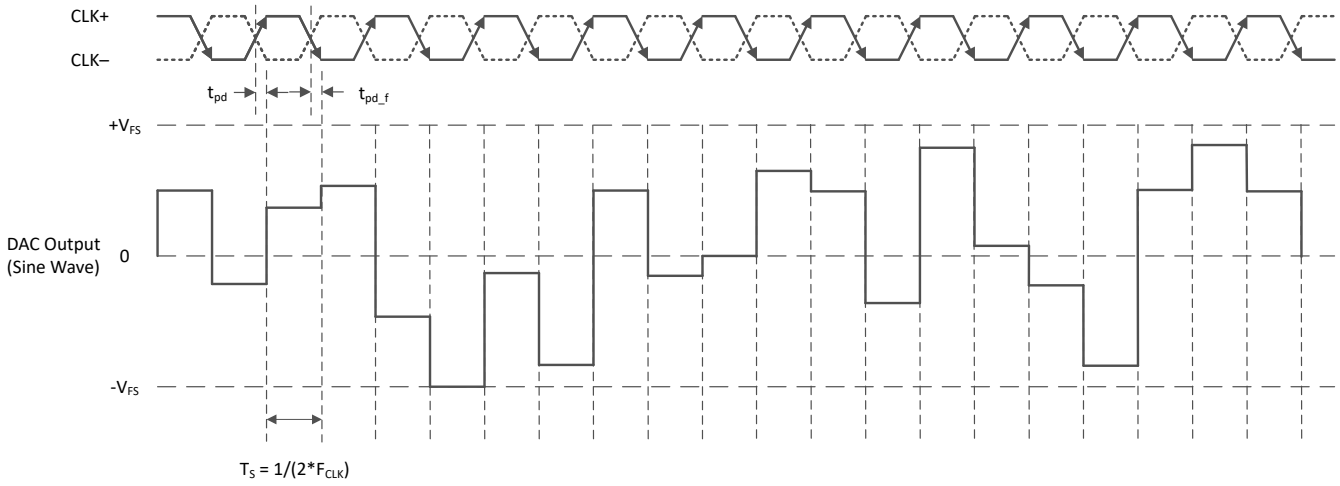


图 7-9. DES 模式时序图

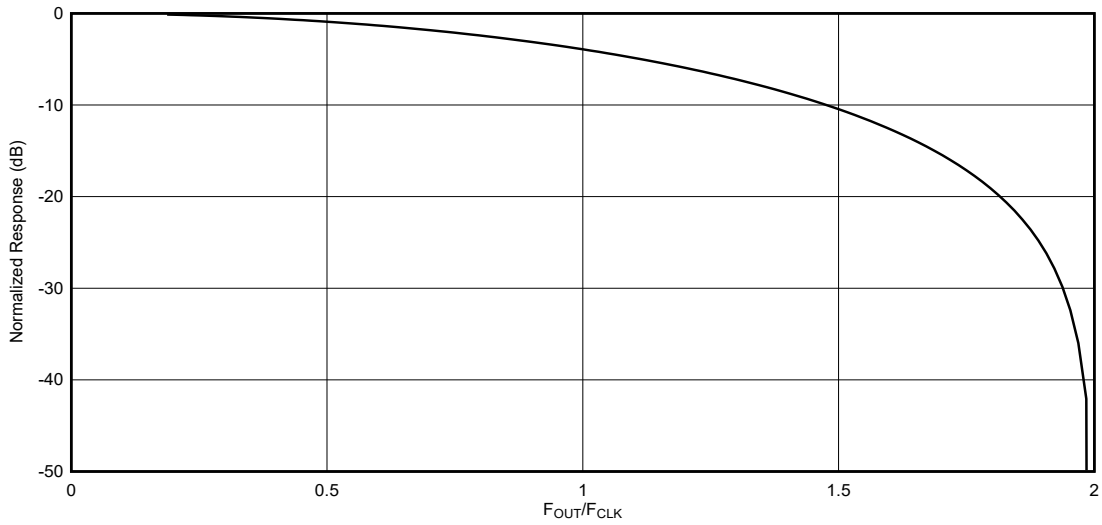


图 7-10. DES 输出频率响应

7.3.2 DAC 内核

该器件具有两个 16 位 DAC 内核。

7.3.2.1 DAC 输出结构

图 7-11 展示了一个 DAC 通道的 DAC 内核模拟输出结构。两个电流输出引脚 DACOUTx± 之间有一个差分端接电阻。电流转向开关阵列连接到输出引脚，并根据数字代码在输出引脚之间调节电流。恒定直流电流偏置 I_{BIAS} 从两个输出端消耗电流，而不考虑数字代码。I_{BIAS} 电流为：

$$3mA \times 2^{CUR_2X_EN} (COARSE_CUR_x + 5)/20 \quad (1)$$

在 RBIAS+ 和 RBIAS- 之间连接一个 3.6kΩ 电阻器。

Copyright © 2024 Texas Instruments Incorporated

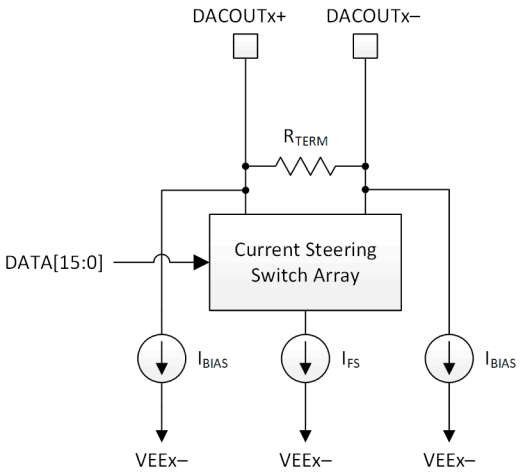


图 7-11. 模拟输出结构

表 7-2 给出了 IOUTx± 输出上从数字代码转换为电流的示例。表 7-2 中展示的电流包括电流转向部分和每个桥臂上的偏置电流。

表 7-2. 将数字代码转换为模拟电流的示例

数字代码	二进制补码	偏移二进制	$I_{DACOUTx+}$	$I_{DACOUTx-}$	$I_{DACOUTx+} - I_{DACOUTx-}$
32767	0111 1111 1111 1111	1111 1111 1111 1111	0.9999847 × I_{FS} + I_{BIAS}	0.0000153 × I_{FS} + I_{BIAS}	0.9999694 × I_{FS}
16384	0100 0000 0000 0000	1100 0000 0000 0000	¾ × I_{FS} + I_{BIAS}	¼ × I_{FS} + I_{BIAS}	½ × I_{FS}
0	0000 0000 0000 0000	0000 0000 0000 0000	½ × I_{FS} + I_{BIAS}	½ × I_{FS} + I_{BIAS}	0
-16384	1100 0000 0000 0000	0100 0000 0000 0000	¼ × I_{FS} + I_{BIAS}	¾ × I_{FS} + I_{BIAS}	– ½ × I_{FS}
-32768	1000 0000 0000 0000	0000 0000 0000 0000	I_{BIAS}	I_{FS} + I_{BIAS}	– I_{FS}

7.3.2.2 调整满量程电流

总 DAC 输出电流通过外部 RBIAS 电阻器和 COARSE_CUR_A 或 COARSE_CUR_B 以及 FINE_CUR_A 或 FINE_CUR_B 寄存器进行设置。有开关满量程电流和静态满量程电流。开关电流在 DACOUTA/B+ 和 DACOUTA/B- 之间按 DAC 数字信号值的比例进行分压。静态电流在每个焊球 DACOUTA/B+ 和 DACOUTA/B- 的输出端固定。

DAC 开关输出电流的公式为

$$I_{FSSWITCH} = \frac{3.6k\Omega}{R_{BIAS}} \times (5mA + 1mA{*}COARSE + 0.0156mA{*}FINE) \times 2^{CUR_2X_EN} \quad (2)$$

其中

- R_{bias} 是外部偏置电阻器
- COARSE 是寄存器 COARSE_CUR_A 或 COARSE_CUR_B 的值（0 到 15）
- FINE 是寄存器 FINE_CUR_A 或 FINE_CUR_B 的值（0 到 63）
- CUR_2X_EN 是寄存器 CUR_2X_EN 的值（0 或 1）

静态电流是开关电流的固定部分

$$I_{FSSTATIC} = 0.235 \times I_{FSSWITCH} \quad (3)$$

Copyright © 2024 Texas Instruments Incorporated

使用 3.6kΩ 偏置电阻时，COARSE_CUR_A 或 COARSE_CUR_B = 15，FINE_CUR_A 或 FINE_CUR_B = 31，$I_{FSSWITCHED}$ 约为 20.5mA，$I_{FSSTATIC}$ 约为 4.82mA（在每个焊球 + 和 - 上）。启用 CUR_2X_EN 会使电流加倍。

7.3.3 DEM 和抖动

该器件包含两个可选特性，可改善因电流段和开关时序不匹配而产生的非线性：动态元素混合 (DEM) 和抖动。

DAC 内核包括

1. 温度计编码电流源/开关，表示头几个 MSB
2. 温度计编码电流源/开关，表示中间位（称为 ULSB）
3. 二进制加权电流源/开关，表示较低的几个 LSB。
4. 用于抖动的附加电流源/开关

DEM 会随机选择使用哪个 MSB 和 ULSB 电流源/开关来生成输出，这会因电流源和开关时序不匹配而使非线性白化。DEM_DACA/B 和 DEM_ADJ 寄存器控制电流源/段移位的频率和幅度。

抖动会使数字数据添加或减去 8 个不同的数字代码值，然后通过切换具有相同振幅的其他电流源来消除这些数字代码值。数字数据路径会扩展，因此保持完整的 16 位范围。DITH_DACA/B 寄存器控制抖动的频率。

使用 DEM 通常可改善接近满量程的低阶谐波。抖动通常可改善接近满量程的高阶谐波以及较低数字振幅下的所有谐波。由于非线性问题的白化和额外的开关活动，DEM 和抖动都会增加输出的本底噪声（振幅和相位）。可通过 DEM 和抖动设置以及减少开关活动（即，依赖于数据的 DEM 或减少活动 DEM）来降低本底噪声。然而，在较高的输出频率下，依赖数据或减少活动 DEM 的效率较低。对于 *电气特性 - 交流规格* 中的数据表规格测试，依赖于数据的 DEM (DEM_ADJ = 1) 在 750MHz 以下使用，正常活动 DEM (DEM_ADJ = 0) 在 750MHz 以上使用，但可以测试不同的设置（包括禁用 DEM 和/或抖动），并根据特定用例进行适当选择。

7.3.4 偏移量调整

该器件允许对 DAC 输出端的信号进行偏移量调节。偏移量调节不会删减 DAC 数据的完整 16 位数字范围。

偏移量分别由 DACA 和 DACB 的 DAC_OFS[0] 或 DAC_OFS[1] 寄存器值设置。如果启用了抖动（请参阅寄存器 DEM_DITH），则该值将饱和至 ±128 的范围。如果禁用抖动，该值将饱和至 ±3968 范围。这样可确保绝不会超出初级 DAC 范围。

7.3.5 时钟子系统

该器件需要一个运行时钟，该时钟的运行频率与 NRZ、RTZ 和 RF 模式下的 DAC 内核采样率相等，或者是 DES 模式下 DAC 内核采样率的一半。时钟子系统如图 7-12 所示。

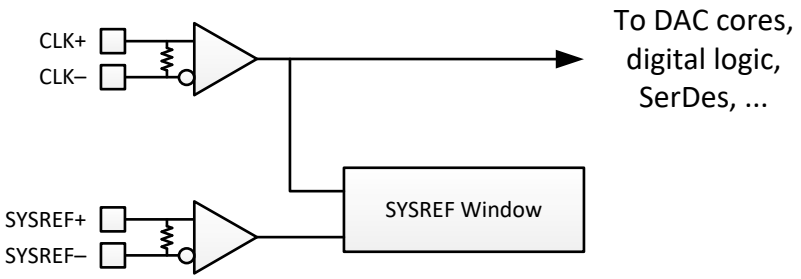


图 7-12. 器件时钟子系统

7.3.5.1 SYSREF 频率要求

SYSREF 输入周期必须是器件中所有时钟（包括 LMFC/LEMC）的整数倍。下表描述了 SYSREF 周期的要求：

表 7-3. SYSREF 周期的要求

对 SYSREF 周期的要求	Reason（原因）
SYSREF 周期必须是 16 个 CLK 周期的倍数。	DAC 编码器/DEM 始终使用与 SYSREF 对齐的 F_{DAC}/16 时钟运行。

Copyright © 2024 Texas Instruments Incorporated

表 7-3. SYSREF 周期的要求（续）

对 SYSREF 周期的要求	Reason（原因）
SYSREF 周期必须是 LT CLK 周期的倍数。此约束不适用于 DDS 模式 (DDS_EN=1)。	确保 SYSREF 周期是输入采样周期的倍数。
SYSREF 周期必须是 4*LT*S/F CLK 周期的倍数。此约束不适用于 DDS 模式 (DDS_EN=1)。	确保 SYSREF 周期是有效链路层时钟周期的倍数。
SYSREF 周期必须是 LT*S*K CLK 周期的倍数。此约束不适用于子类 0 模式 (SUBCLASS=0) 或 DDS 模式 (DDS_EN=1)	确保 SYSREF 周期是 LMFC/LEMC 周期的倍数。请注意，在 64b/66B 模式下，K=256*E/F。

7.3.5.2 SYSREF 位置检测器和采样位置选择（SYSREF 窗口）

SYSREF 窗口化块用于首先检测 SYSREF 相对于输入时钟 CLK± 上升沿的位置。根据窗口信息，选择最优的 SYSREF 采样时间，以尽可能提高相对于输入时钟的建立和保持时序裕度。在很多情况下，单个 SYSREF 采样位置 SYSREF_SEL 足以满足所有系统（器件间的差异）和条件（温度和电压差异）的时序要求。但是，系统也可以使用此功能来扩展计时窗口（方法是在工作条件发生变化时跟踪 SYSREF 的移动），或者在生产测试时消除系统间的差异（方法是为每个系统在标称条件下寻找唯一的更优值）。

本节介绍了 SYSREF 窗口化块的正确用法（SYSREF_RECV_SLEEP 必须编程为 0）。首先，将器件时钟和 SYSREF 应用于器件。SYSREF 相对于器件时钟周期的位置将被确定并存储在 SYSREF_POS 字段中。SYSREF_POS 的每个位代表一个潜在的 SYSREF 采样位置。如果 SYSREF_POS 中的位设置为 1，则相应的 SYSREF 采样位置可能存在建立或保持时间违例。确定有效的 SYSREF 采样位置（SYSREF_POS 的位置设置为 0）后，可以通过将 SYSREF_SEL 设置为对应于该 SYSREF_POS 位置的值来选择所需的采样位置。通常，选择两个建立和保持实例之间的中间采样位置。SYSREF_SEL 在系统的标称工作条件（温度和电源电压）下确定，以便提供最大裕度来适应工作条件的变化。此过程可在最终测试中执行，并且可存储更优 SYSREF_SEL 设置，以便在每次系统上电时使用。此外，SYSREF_POS 可用于通过扫描系统温度和电源电压来表征系统工作条件下 CLK± 和 SYSREF± 之间的偏斜。对于 CLK± 到 SYSREF± 偏斜有较大变化的系统，此表征可用于在系统工作条件发生变化时跟踪更优 SYSREF 采样位置。通常，可以找到满足匹配良好的系统在所有条件下的时序要求的单个值，例如 CLK± 和 SYSREF± 来自单个时钟器件的条件。

每个 SYSREF_POS 采样位置之间的步长可使用 SYSREF_ZOOM 进行调整。当 SYSREF_ZOOM 设置为 0 时，延迟步长较粗。当 SYSREF_ZOOM 设置为 1 时，延迟步长较细。请参阅电气规格表，了解当 SYSREF_ZOOM 被启用和禁用时的延迟步长。通常，建议始终使用 SYSREF_ZOOM (SYSREF_ZOOM = 1)，除非未观察到转换区域（体现在 SYSREF_POS 中就是 1），低时钟速率就是这种情况。SYSREF_POS 的位 0 和 19 始终设置为 1，因为没有足够的信息来确定这些设置是否接近时序违例，尽管实际有效窗口可以扩展到这些采样位置之外。编程到 SYSREF_SEL 中的值是表示 SYSREF_POS 中所需位位置的十进制数。表 7-4 列出了一些 SYSREF_POS 读数示例和更优 SYSREF_SEL 设置。尽管 SYSREF_POS 状态寄存器提供了 20 个采样位置，但 SYSREF_SEL 仅允许选择前 16 个采样位置，对应于 SYSREF_POS 位 0 至 15。附加的 SYSREF_POS 状态位仅用于提供 SYSREF 有效窗口的额外信息。通常，由于电源电压的延迟变化，选择较低的 SYSREF_SEL 值，但在第四个示例中，值 14 可提供额外裕度，因此可以选择该值。

如果 SYSREF_PS_EN 设置为 0，则仅最后一个 SYSREF 边沿用于 SYSREF_POS 值。将 SYSREF_PS_EN 设置为 1 会启用“无限持续”模式，其中，如果自启用 SYSREF_PS_EN 以来的任何 SYSREF 边沿在某个位置具有 1，则 SYSREF_POS 值会设置为 1。这为 SYSREF_POS 提供了最坏情况下的值，以选择合适的 SYSREF_SEL 设置。

表 7-4. SYSREF_POS 读数和 SYSREF_SEL 选择示例

SYSREF_POS[19:0]			更优 SYSREF_SEL 设置
0x092[3:0]（位置 19-16）	0x091[7:0](1)（位置 15-8）	0x090[7:0](1)（位置 7-0）	
b1000	b01100000	b00011001	8 或 9
b1000	b00000000	b00110001	12
b1000	b01100000	b00000001	6 或 7
b1000	b00000011	b00000001	4 或 14

Copyright © 2024 Texas Instruments Incorporated

表 7-4. SYSREF_POS 读数和 SYSREF_SEL 选择示例（续）

SYSREF_POS[19:0]			更优 SYSREF_SEL 设置
0x092[3:0]（位置 19-16）	0x091[7:0](1)（位置 15-8）	0x090[7:0](1)（位置 7-0）	
b1100	b01100011	b00011001	6

(1) 下划线 0 表示选定的位，如该表最后一列中所示。

要使用 SYSREF 窗口化：

1. 应用 SYSREF 和 CLK
2. 设置 SYSREF_RECV_SLEEP = 0 和 SYSREF_ZOOM = 1
3. 如果需要持久性，请设置 SYSREF_PS_EN = 1 并允许进行多次 SYSREF 转换以构建 SYSREF_POS。
4. 读取 SYSREF_POS 并确定 SYSREF_SEL 的正确设置，如上所示。如果无法确定正确的采样点，则设置 SYSREF_ZOOM = 0 并重试。
5. 应用 SYSREF_SEL 的正确值后，进行编程，使 SYSREF_PROC_EN = 1 和 SYSREF_ALIGN_EN = 1。
6. 现在，器件未对 SYSREF 进行正确处理，用户可以继续使用依赖于 SYSREF 的 JESD204C 接口（或其他功能）。
7. SYSREF 可能需要在较大温度或电源电压摆幅下进行调节，具体取决于输入时钟频率。节 6.8 中给出了 SYSREF 对温度的无效窗口相关性 ($t_{INV(TEMP)}$) 和 VA11 电源电压 ($t_{INV(VA11)}$)。要调整 SYSREF_SEL 以跟踪 SYSREF 中相对于输入时钟的变化，可以循环以下步骤（即 JESD204C 链路运行期间在后台执行）：
   a. 如果需要持久性，请清除并设置 SYSREF_PS_EN，并允许进行多次 SYSREF 转换来构建 SYSREF_POS 数据。
   b. 读取 SYSREF_POS 并确定 SYSREF_SEL 的新值（但尚未对其进行编程）。递增调整 SYSREF_SEL 的过程应首选更接近之前 SYSREF_SEL 值的值，而不是选择最小有效 SYSREF_SEL 值。这有助于确保选择并跟踪原始有效窗口，而不是选择会导致时钟重新对准的不同窗口。
   c. 对 SYSREF_PROC_EN = 0 进行编程。写入新的 SYSREF_SEL 值，然后设置 SYSREF_PROC_EN = 1。器件现在会使用新的 SYSREF_SEL 值。
   d. 等待一段时间，然后返回上面的步骤 7a。

7.3.6 数字信号处理块

数字信号处理块如图 7-13 所示。该器件包含四个数字上变频器 (DUC) 块，支持四个复数 (IQ) 输入流，这些输入流可以在不同的射频频率下进行组合。可以灵活地分配这四个 DUC 和将其相加，用于通道接合器中的任一 DAC 输出。最后一个信号处理块是一个额外的 2 倍内插滤波器，用于 DES2XL/H 模式。

表 7-5 和表 7-6 分别列出了单通道和双通道输出的可用模式。

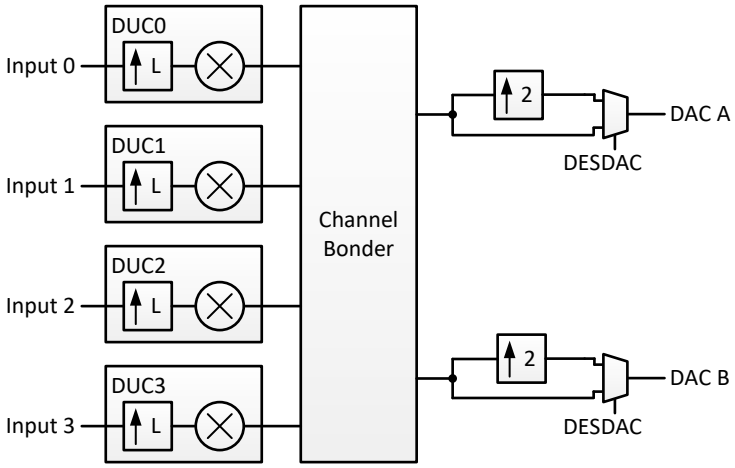


图 7-13. 具有实数输出的 DUC 块

Copyright © 2024 Texas Instruments Incorporated

表 7-5. 具有单输出信号的 DSP 模式

输入流	LT（内插）	NCO_EN	DUC_FORMAT	DAC_SRC0 值	MXMODE0/1	说明
1	1	0	实数	0x1	NRZ、RTZ、RF、DES2x	单通道模式（无上变频）。
2、4、6 或 8	2-256x	1	实数	0x1、0x3、0x7、0xF	NRZ、RTZ、RF、DES2x	具有单个实数输出 DAC_SRC0 设置的 1-4 个 DUC 通道分别用于 1、2、3 或 4 个 DUC 通道。
这些模式只会产生一个输出信号，因此只需要一个 DAC。该表显示了使用 DACA 的编程（MXMODE1 应设置为禁用）。用户可以通过对 DAC_SRC1 和 MXMODE1 进行编程（并将 MXMODE0 设置为禁用）来选择使用 DACB。用户还可以对 DAC_SRC1=DAC_SRC0 和 MXMODE1=MXMODE0 进行编程，然后将 DAC 输出连接在一起以获得更大的输出功率。						

表 7-6. 具有双路输出信号的 DSP 模式

输入流	LT（内插）	NCO_EN	DUC_FORMAT	DAC_SRC0 值	DAC_SRC1 值	MXMODE0/1	说明
2	1	0	不适用	0x1	0x2	NRZ、RTZ、RF、DES2x	双通道模式（无上变频）
2、4、6 或 8	2-256x	1	实数	设置的任何位	设置的任何位	NRZ、RTZ、RF、DES2x	具有两个实数输出的 1-4 个 DUC 通道
2	2-256x	1 或 0	复数	0x1	0x4	NRZ、RTZ、RF、DES2x	1 个具有复数输出的 DUC 通道： DACA 输出实数样本 DACB 输出虚数样本
4	2-256x	1 或 0	复数	0x3	0xC	NRZ、RTZ、RF、DES2x	2 个具有复数输出的 DUC 通道
这些模式会产生两个输出信号（并使用两个 DAC）。用户可以选择交换编程到 DAC_SRC0 和 DAC_SRC1 中的值来交换输出信号。通常情况下，MXMODE0 和 MXMODE1 设置为同一设置，但这不是必需的。							

7.3.6.1 数字上变频器 (DUC)

每个 DUC 通过 LT = 2、3、4、6、8、12、16、24、32、48、64、96、128、192 和 256 范围内的因子内插 I 和 Q 信号。然后，生成的上变频基带 I/Q 信号乘以由数控振荡器 (NCO) 生成的复正弦信号，将信号混合到 DAC 输出所需的载波频率。表 7-7 中列出了支持的内插因子与启用的 DUC 数。

表 7-7. 支持的内插因子与启用的 DUC 数间的关系

流数 (JESD_M)	支持的内插因子 (LT)	已启用 DUC
2	2-256x	DUC0
4	4-256x	DUC0、DUC1
6	8-256x	DUC0、DUC1、DUC2
8	8-256x	DUC0、DUC1、DUC2、DUC3

可以绕过 NCO 和混频器，基本上将频率和相位设置为 0；在这种情况下，I 输入传递到 I 输出，Q 输入传递到 Q 输出。

Copyright © 2024 Texas Instruments Incorporated

7.3.6.1.1 内插滤波器

DUC 的第一个操作是将输入信号内插到更高的数据速率。表 7-8 中总结了可用的内插选项。将输入信号的采样率乘以指定的内插量即可确定 DAC 输出速率，这取决于 DDS39RF12 和 'RFS12 的最大采样率。这种速率不包括 DES 模式的可选 2 倍内插。对于 6 倍及以下的内插率，可用的 DUC 通道数会减少。

表 7-8. 内插选项总结

内插	DUC 通道的最大数量
2x	1
3x	1
4x	2
6x	2
8x	4
12x	4
16x	4
24x	4
32x	4
48x	4
64x	4
96x	4
128x	4
192x	4
256x	4

每个 DUC 包含多个 2 倍或 3 倍内插滤波器。表 7-9 列出了每个滤波器的滤波器系数，而表 7-10 显示了用于实现每个内插因子的滤波器。复合内插滤波器复合响应在图 7-14 至图 7-42 中给出。这些滤波器旨在输入带宽上提供 80% 的通带宽和小于 0.01dB 的通带纹波。通带内的任何信号的阻带衰减大于 90dB。

表 7-9. 内插滤波器系数

滤波器	系数（中心抽头以粗体显示）
fir1	[6 0 -19 0 47 0 -100 0 192 0 -342 0 572 0 -914 0 1409 0 -2119 0 3152 0 -4729 0 7420 0 -13334 0 41527 **65536** 41527 0 -13334 0 7420 0 -4729 0 3152 0 -2119 0 1409 0 -914 0 572 0 -342 0 192 0 -100 0 47 0 -19 0 6]*2^{-16}
fir2	[-12 0 84 0 -336 0 1006 0 -2691 0 10141 **16384** 10141 0 -2691 0 1006 0 -336 0 84 0 -12]*2^{-14}
fir3	[29 0 -214 0 1209 **2048** 1209 0 -214 0 29]*2^{-11}
fir4	[3 0 -25 0 150 **256** 150 0 -25 0 3]*2^{-8}
fir5	[-1 0 9 **16** 9 0 -1]*2^{-4}
fir_3x	-38 -38 0 83 117 0 -214 -281 0 464 584 0 -900 -1102 0 1612 1929 0 -2713 -3190 0 4346 5040 0 -6699 -7684 0 10023 11408 0 -14701 -16661 0 21389 24260 0 -31417 -35960 0 48101 56540 0 -82781 -105224 0 215190 432780 **524288** 432780 215190 0 -105224 -82781 0 56540 48101 0 -35960 -31417 0 24260 21389 0 -16661 -14701 0 11408 10023 0 -7684 -6699 0 5040 4346 0 -3190 -2713 0 1929 1612 0 -1102 -900 0 584 464 0 -281 -214 0 117 83 0 -38 -38]*2^{-19}

表 7-10. 使用的滤波器与 DUC 内插因子

DUC 内插因子 (L_{DUC})	DUC 中使用的滤波器							
	第 1 个滤波器	第 2 个滤波器	第 3 个滤波器	第 4 个滤波器	第 5 个滤波器	第 6 个滤波器	第 7 个滤波器	第 8 个滤波器
2x	fir1							
3x	fir_3x							
4x	fir1	fir2						
6x	fir_3x	fir2						
8x	fir1	fir2	fir3					
12x	fir_3x	fir2	fir3					

Copyright © 2024 Texas Instruments Incorporated

表 7-10. 使用的滤波器与 DUC 内插因子（续）

DUC 内插因子 (L_{DUC})	DUC 中使用的滤波器							
	第 1 个滤波器	第 2 个滤波器	第 3 个滤波器	第 4 个滤波器	第 5 个滤波器	第 6 个滤波器	第 7 个滤波器	第 8 个滤波器
16x	fir1	fir2	fir3	fir4				
24x	fir_3x	fir2	fir3	fir4				
32x	fir1	fir2	fir3	fir4	fir5			
48x	fir_3x	fir2	fir3	fir4	fir5			
64x	fir1	fir2	fir3	fir4	fir5	fir5		
96x	fir_3x	fir2	fir3	fir4	fir5	fir5		
128x	fir1	fir2	fir3	fir4	fir4	fir5	fir5	
192x	fir_3x	fir2	fir3	fir4	fir4	fir5	fir5	
256x	fir1	fir2	fir3	fir4	fir4	fir4	fir5	fir5

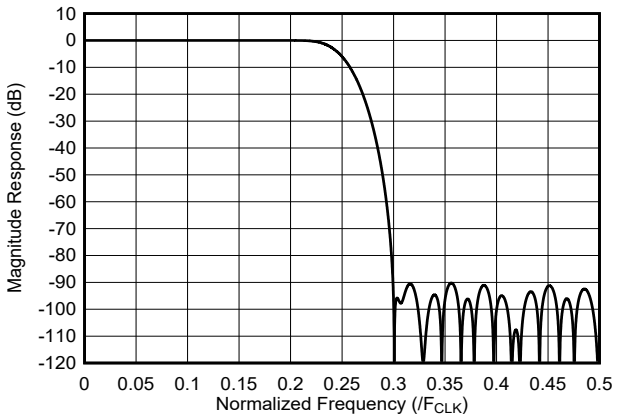


图 7-14. 2 倍内插滤波器响应

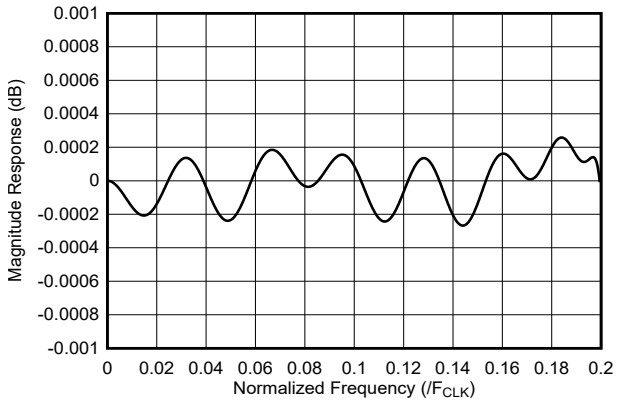


图 7-15. 2 倍内插滤波器通带响应

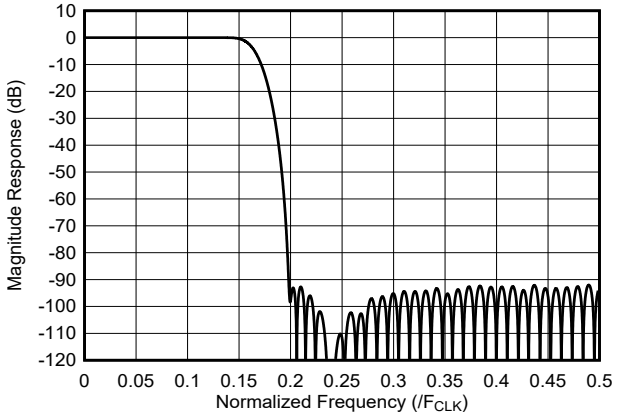


图 7-16. 3 倍内插滤波器响应

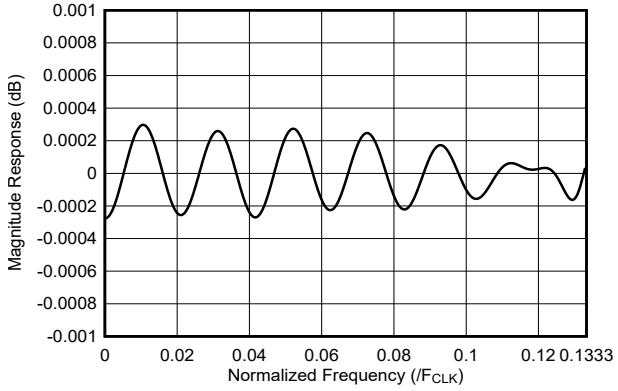


图 7-17. 3 倍内插滤波器通带响应

Copyright © 2024 Texas Instruments Incorporated

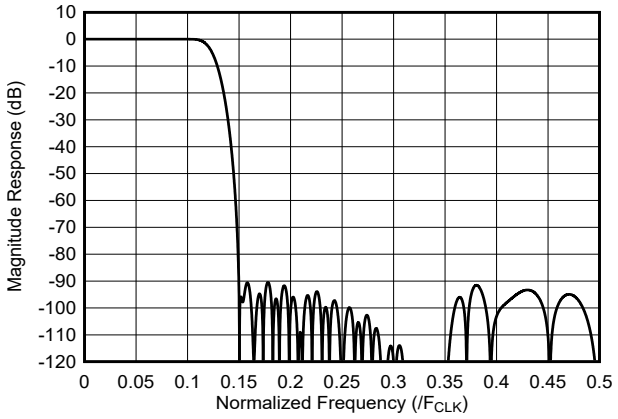


图 7-18. 4 倍内插滤波器响应

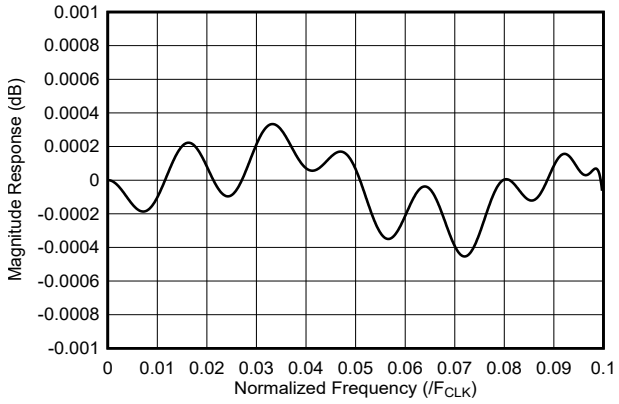


图 7-19. 4 倍内插滤波器通带响应

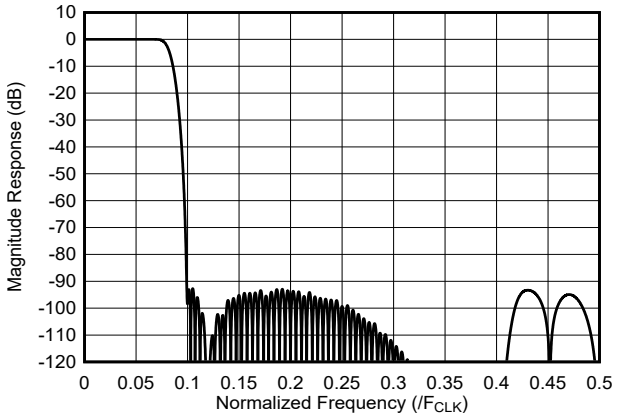


图 7-20. 6 倍内插滤波器响应

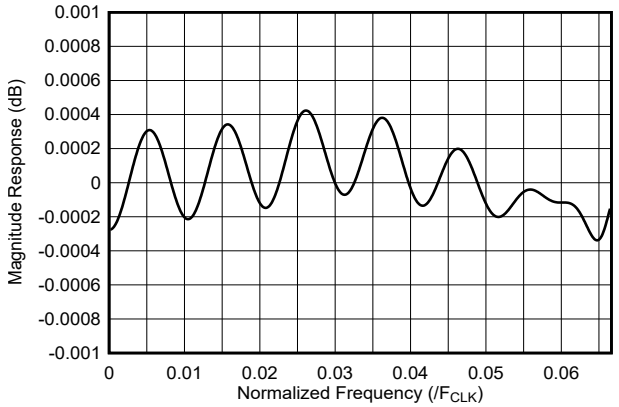


图 7-21. 6 倍内插滤波器通带响应

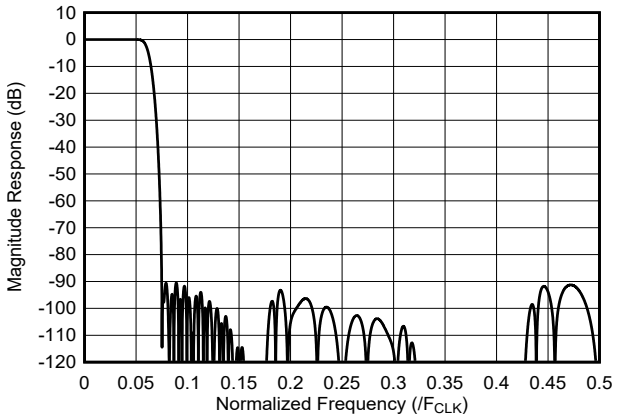


图 7-22. 8 倍内插滤波器响应

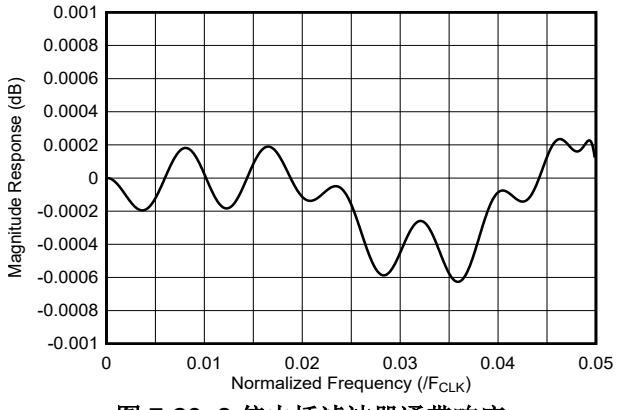


图 7-23. 8 倍内插滤波器通带响应

Copyright © 2024 Texas Instruments Incorporated

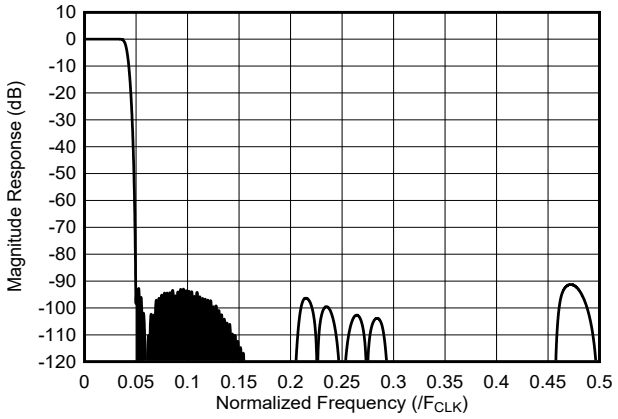


图 7-24. 12 倍内插滤波器响应

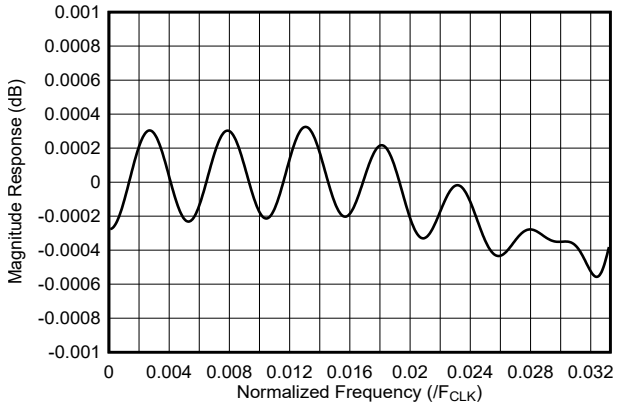


图 7-25. 12 倍内插滤波器通带响应

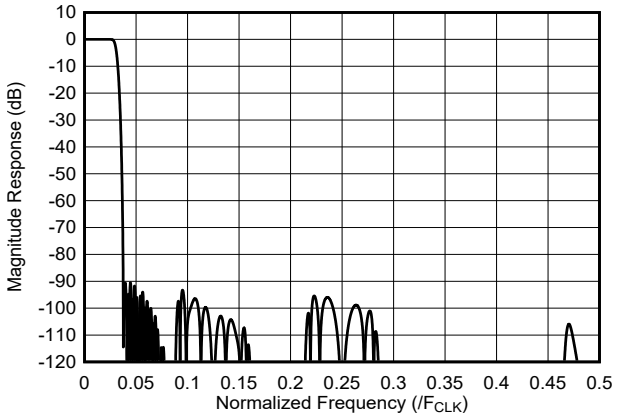


图 7-26. 16 倍内插滤波器响应

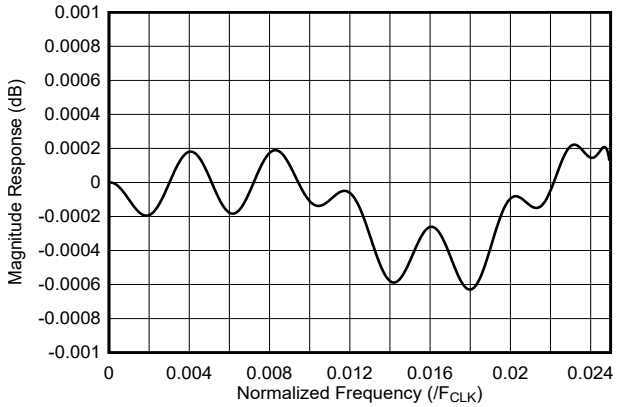


图 7-27. 16 倍内插滤波器通带响应

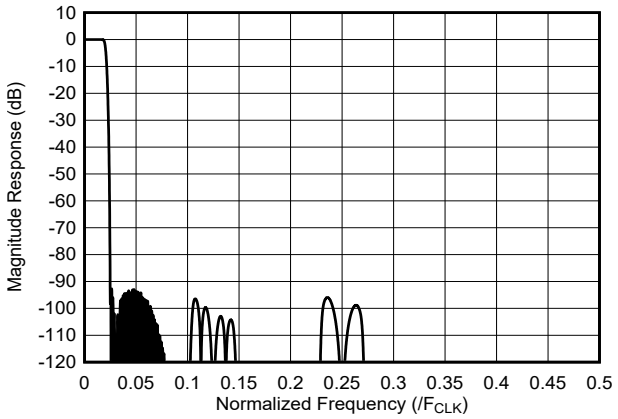


图 7-28. 24 倍内插滤波器响应

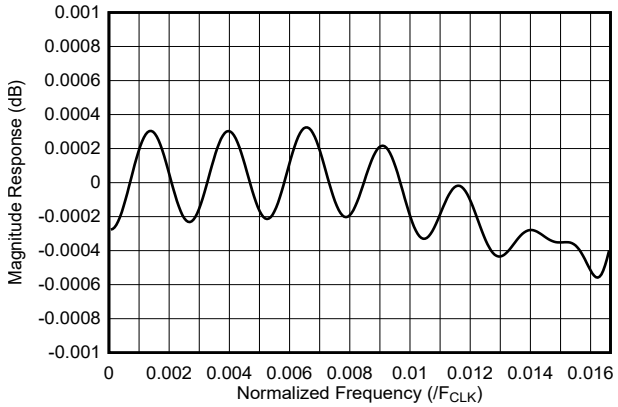


图 7-29. 24 倍内插滤波器通带响应

Copyright © 2024 Texas Instruments Incorporated

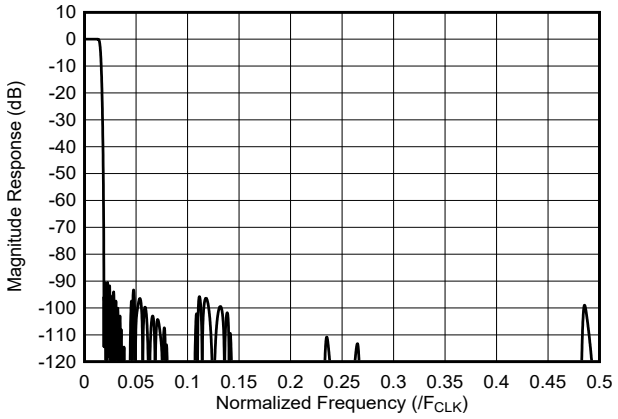


图 7-30. 32 倍内插滤波器响应

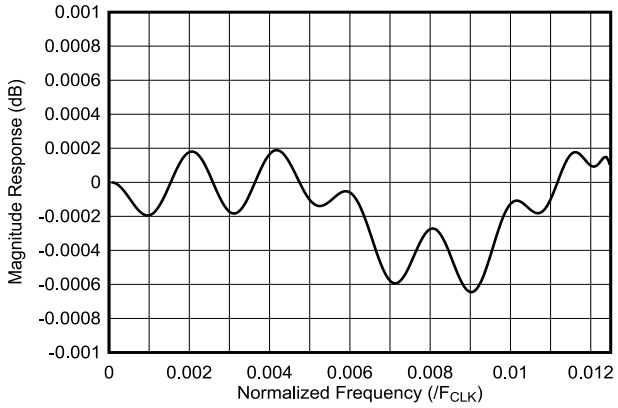


图 7-31. 32 倍内插滤波器通带响应

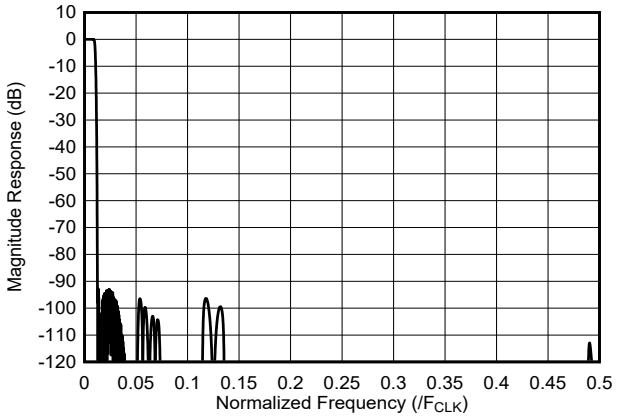


图 7-32. 48 倍内插滤波器响应

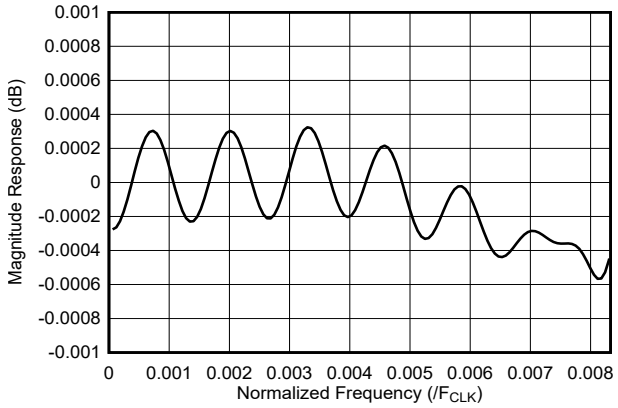


图 7-33. 48 倍内插滤波器通带响应

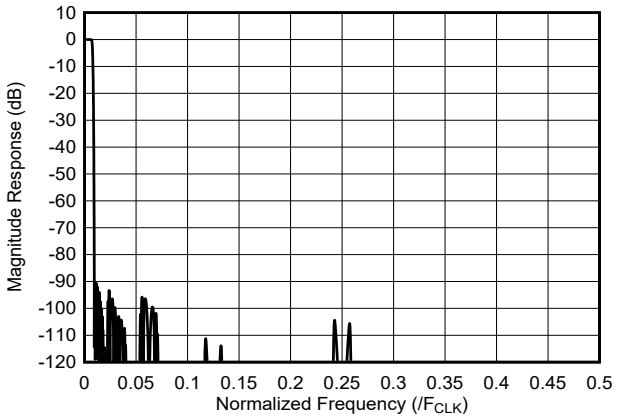


图 7-34. 64 倍内插滤波器响应

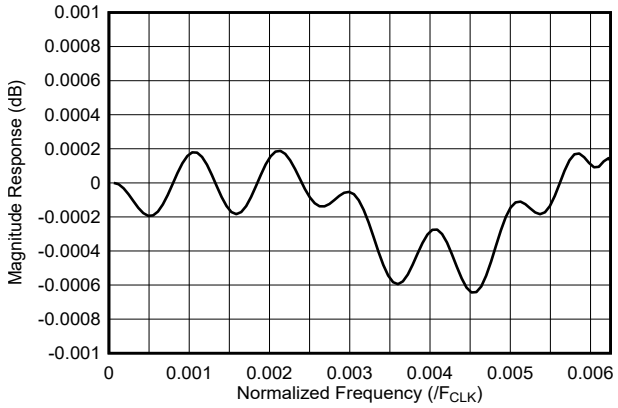


图 7-35. 64 倍内插滤波器通带响应

Copyright © 2024 Texas Instruments Incorporated

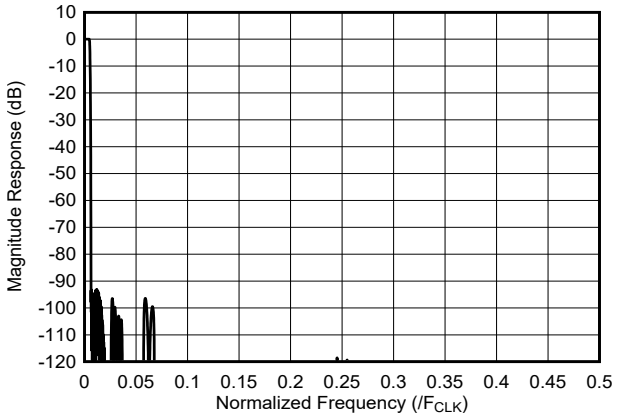


图 7-36. 96 倍内插滤波器响应

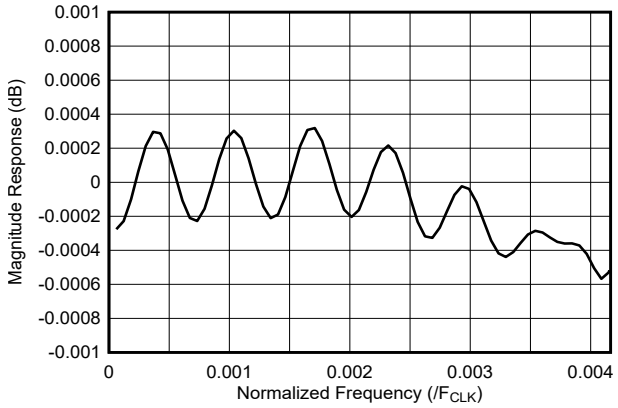


图 7-37. 96 倍内插滤波器通带响应

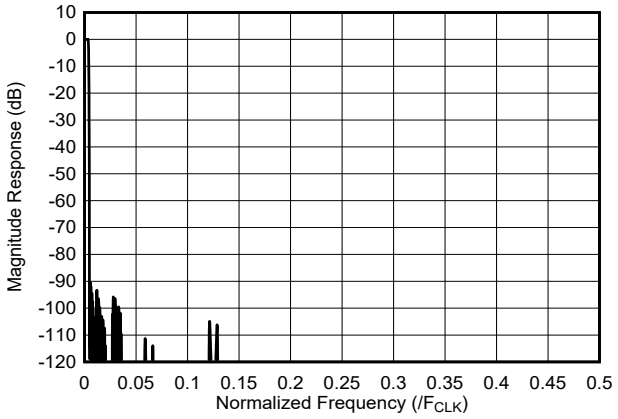


图 7-38. 128 倍内插滤波器响应

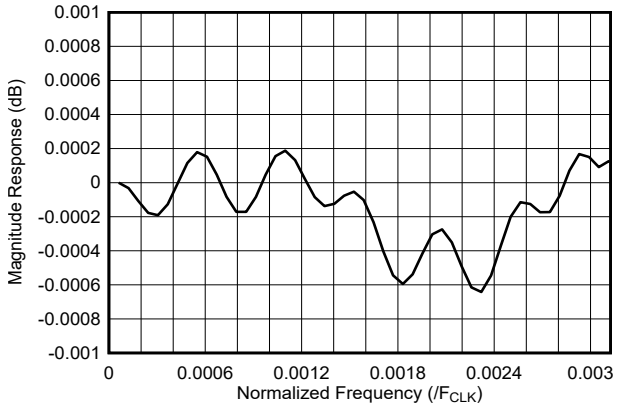


图 7-39. 128 倍内插滤波器通带响应

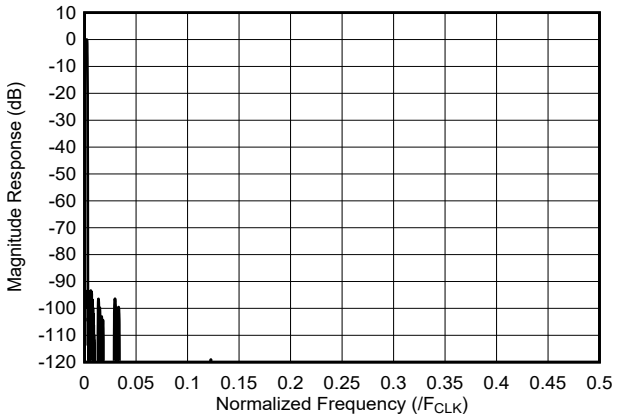


图 7-40. 192 倍内插滤波器响应

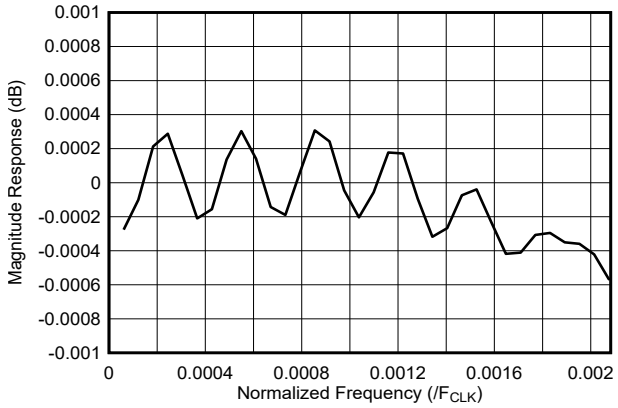


图 7-41. 192 倍内插滤波器通带响应

Copyright © 2024 Texas Instruments Incorporated

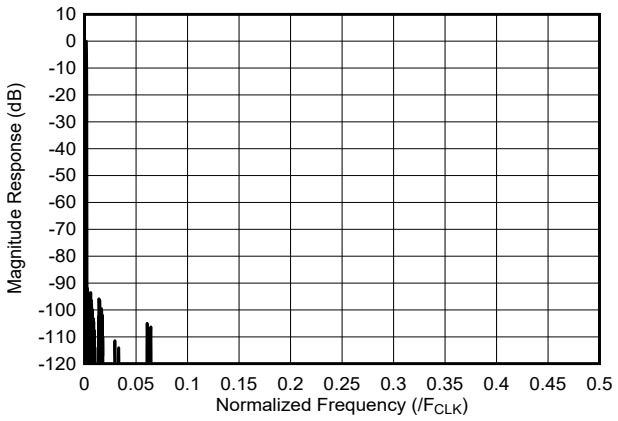


图 7-42. 256 倍内插滤波器响应

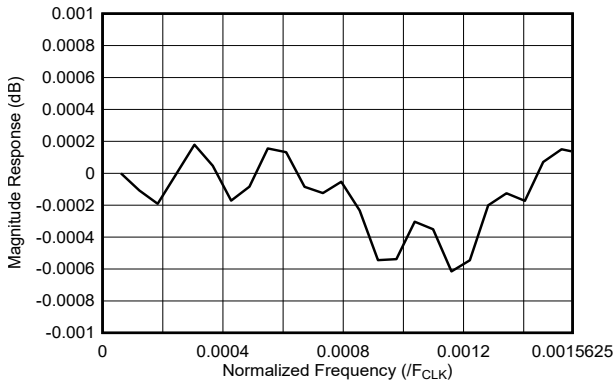


图 7-43. 256 倍内插滤波器通带响应

7.3.6.1.2 数控振荡器 (NCO)

每个 DUC 都具有一个 NCO 模块，该模块能够通过具有 64 位频率和 16 位相位字的 NCO 实现相位连续跳频和相位同调跳频。NCO 提供用于复杂混合操作的复正弦信号。NCO 也可以与 DDS 模式配合使用，从而在不使用 DUC 滤波器路径的情况下生成音调。

NCO 更新模式是相位连续（参见相位连续 NCO 更新模式）、相位同调（参见相位同调 NCO 更新模式）或相位同步（参见相位同步 NCO 更新模式）。

NCO 频率通过标准 SPI 接口或快速重新配置 (FR) 接口写入 NCO 频率字寄存器设置，从而加快频率更新。频率更新会在写入新频率字后立即发生，或者在被所选触发源触发后发生。可用的触发源包括 SPI 寄存器、SYSREF 信号或通过用同步信号替换 I 输入信号的 LSB 来实现（由 NCO_SYNC_SRC 寄存器确定）。

7.3.6.1.2.1 相位连续 NCO 更新模式

在相位连续 NCO 更新模式下，相位频率在不复位相位累加器的情况下进行更新，该相位累加器在更改频率时保持当前正弦波相位，以减少输出响应中的不连续情况。相位连续 NCO 模式操作如图 7-44 所示，并可通过编程 NCO_CONT = 1 和 NCO_AR = 0 进行选择。

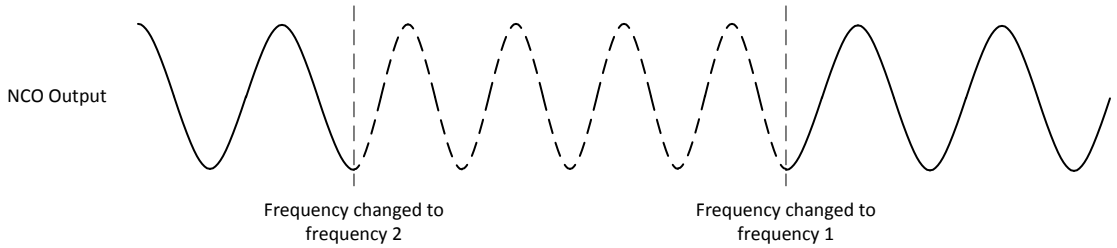


图 7-44. 相位连续 NCO 模式运行示例

7.3.6.1.2.2 相位同调 NCO 更新模式

在相位同调 NCO 更新模式下，频率字会更新并与计数器相乘以更新累加器。这使得特定频率的相位与之前使用的频率“一致”，就好像 NCO 从未被调谐到与该频率不一致的频率一样。由于相位信息由计数器维护，因此任何频率都可以是相位同调的。相位同调 NCO 模式操作如图 7-45 所示，并可通过编程 NCO_CONT = 0 和 NCO_AR = 0 进行选择。如果需要在多个器件之间进行对齐，则必须在初始 NCO 同步期间将 NCO_AR 编程为 1，以使所有器件的主累加器对齐。

Copyright © 2024 Texas Instruments Incorporated

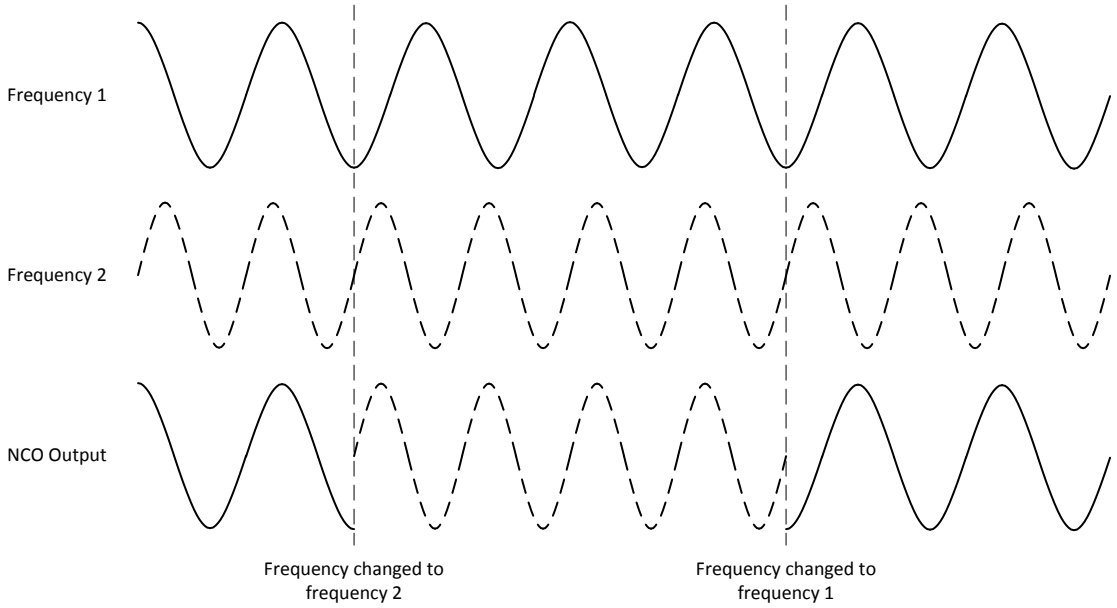


图 7-45. 相位同调 NCO 模式运行示例

7.3.6.1.2.3 相位同步 NCO 更新模式

在相位同步 NCO 更新模式中，频率字被更新（如果它改变了）并且累加器被复位。通过在所有器件上同时提供同步信号，该模式可用于在多个器件上对齐 NCO。此模式通过编程 NCO_AR = 1 来选择。

7.3.6.1.2.4 NCO 同步

使用数字上变频功能时，许多系统需要 DAC 通道之间的同步，包括内部 NCO 的相位。此外，跳频系统可能对同步跳频有其他要求，以便在 NCO 频率变化期间保持 NCO 同步。该器件具有多种更新 NCO 变化的方法。其中包括：

- 通过 JESD204C 输入数据流中 DUC0 的“I”输入的 LSB 实现同步
- 通过 SYSREF 同步
- 通过 SPI_SYNC 寄存器位更新
- 如果 FRS 位被置位，则在 FRI 接口的 FRCS 上升沿更新。

用于 NCO 同步的方法通过寄存器设置进行控制。

JESD204C LSB 方法允许在输入数据中嵌入同步信息，因此可由数据源（即 FPGA）轻松控制。通过控制多个器件上同步位的时序，可以实现多器件同步。

通过发出 SYSREF 脉冲实现同步需要一个直流耦合 SYSREF 接口，并且能够发出单个 SYSREF 脉冲，除非 NCO 频率是 SYSREF 频率的整数倍。许多系统将使用交流耦合 SYSREF 信号，这使得无法可靠地发出单个 SYSREF 脉冲。谨慎的 SPI 接口时序，尤其是对于非常慢的 SYSREF 信号 (< 10MHz)，可能会使在多个器件上屏蔽和取消屏蔽 SYSREF 成为可能，但由于 SPI 路径是异步的，因此没有对其进行表征。

借助 SPI_SYNC 同步，器件内的所有 NCO 均可同时更新。

7.3.6.1.2.4.1 JESD204C LSB 同步

NCO 块可使用复数输入 JMODES 中 JESD204C 接口上 DUC0 通道“I”输入的 LSB 进行同步。替换数据样本 LSB 的控制位用于复位 NCO 相位或 NCO 频率变化。表 7-11 展示了在使用 LSB 替换时，SYNC 位如何替换 I 采样 LSB。当 SPI_SYNC 寄存器位为高电平且 NCO_SYNC_SRC 设置为 3 时，将启用 LSB 替换模式。要触发事件，LSB 必须在 4 个或更多连续样本中为低电平，然后在 4 个连续样本中为高电平。当第 4 个高电平样本到达 DUC0 输入时，将同时发生同步。当使用 SPI 接口更新 NCO 频率字时，用户必须将 SPI_SYNC 设置回 0 以改回表示 I 样本数据的 LSB。当使用 FR 接口更新 NCO 时，LSB 会在同步事件触发后改回表示 I 样本数据。

Copyright © 2024 Texas Instruments Incorporated

表 7-11. 使用 LSB 替换进行位分配

位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I 样本	I[15:1]															同步
Q 样本	Q[15:0]															

7.3.6.1.2.5 NCO 模式编程

表 7-13 和 表 7-12 展示了针对不同 NCO 模式的寄存器编程。每个 NCO[*n*] 可以有单独的模式选择。

表 7-12. NCO 编程：SPI 用法 (FR_EN = 0)

NCO_AR[*n*]	NCO_CONT[*n*]	模式
0	0	相位同调
	1	相位连续
1	0Ω	相位复位
	1	

表 7-13. NCO 编程：FRI 用法 (FR_EN = 1)

FR_NCO_AR[*n*]	NCO_CONT[*n*]	模式
0	0	相位同调
	1	相位连续
1	0Ω	相位复位
	1	

7.3.6.1.3 混频器扩展

DUC 混频器支持通过 NCO 频率对复数内插输入信号进行复数到复数或复数到实数的混合。混频器中的缩放比例恰好为 1:1，因此满量程 16 位（绝对幅度= 32767）复数音调会在输出端产生满量程实音或复音。如果复数振幅的输入绝对值超过 32767，混频器将饱和，从而导致波形损坏。图 7-46 对此进行了说明，其中以白色显示有效的圆形区域，并以灰色显示无效转角。

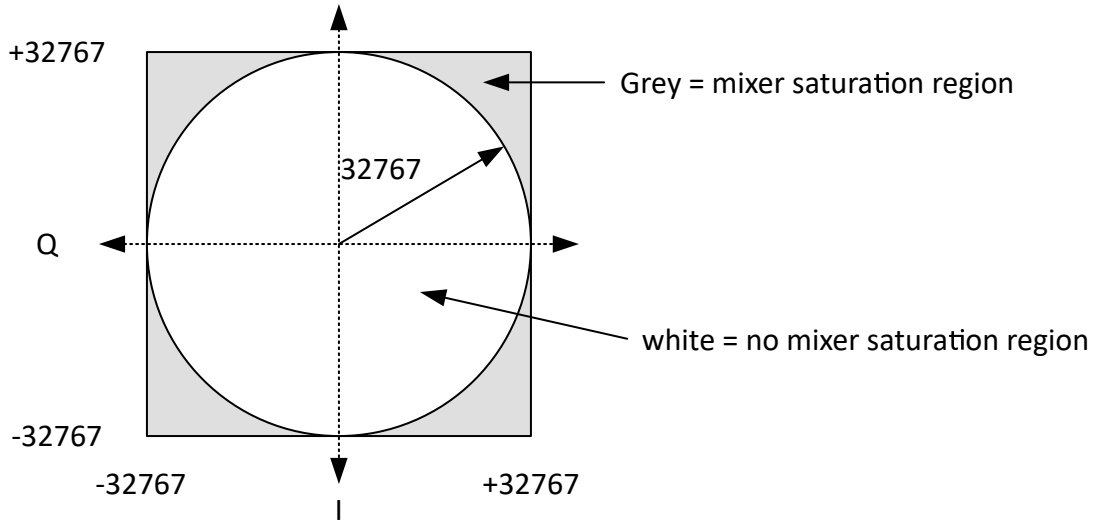


图 7-46. 16 位复数输入的混频器饱和区域

7.3.6.2 通道接合器

通道接合器位于 DUC 模块之后，用于组合 DUC 的输出。图 7-47 展示了一个 DAC 通道的方框图。DUC 输出可缩放 1 (0dB)、0.5 (-6dB) 或 0.25 (-12dB)，以防止在对信号求和时发生饱和。信号以满精度（由 DAC_SRC 寄存

Copyright © 2024 Texas Instruments Incorporated

器的设置决定）进行求和，然后在组合信号上发生饱和和舍入。当 DUC 输出为实数时，每个 DAC 最多可组合四个 DUC。当 DUC 输出为复数时，每个 DAC 只有两个 DUC 可用。通道接合器可以组合每个 DAC 的实数或复数 DUC 输出的任意组合。

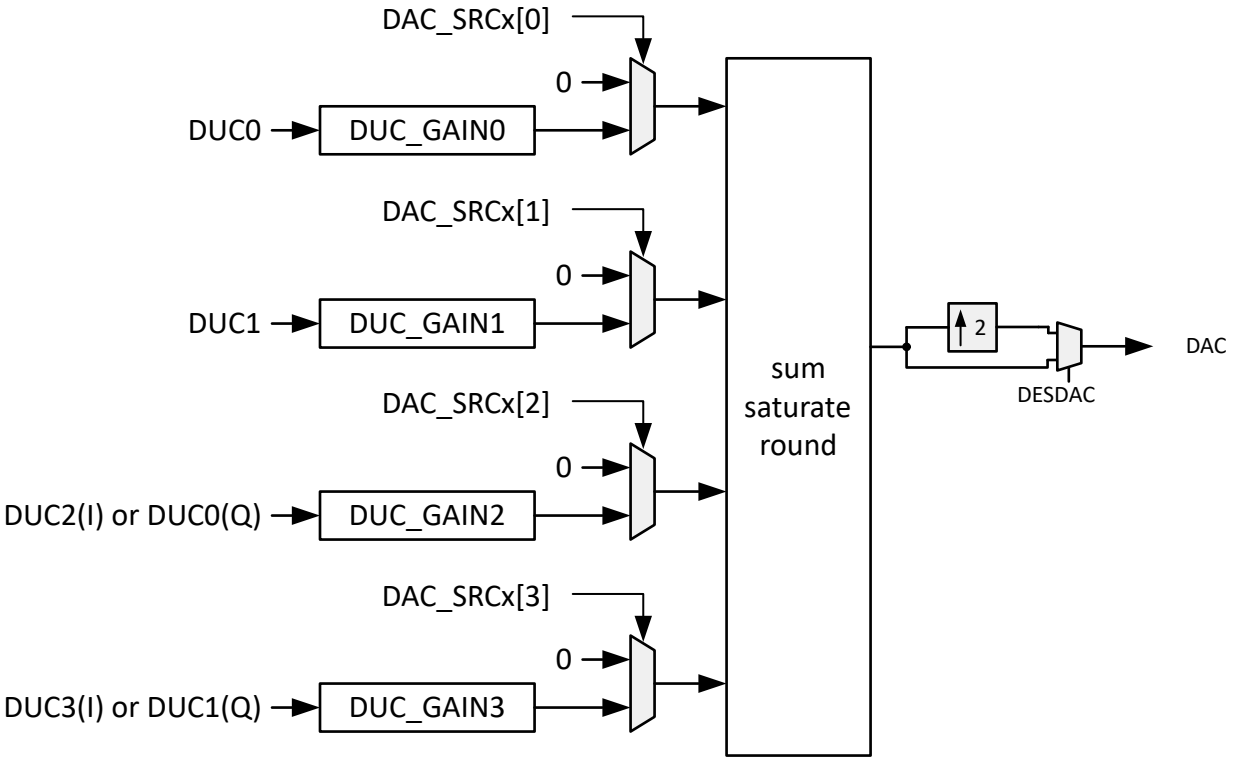


图 7-47. 通道接合器方框图

7.3.6.3 DES 内插器

在 DES2XL 和 DES2XH 输出模式下，求和块的输出或非内插输入信号可选择由 DES 内插器进行 2 倍内插，使采样速率加倍。DES 内插器具有 80% 的通带宽、54dB 的阻带衰减和小于 ±0.02dB 的纹波。DES 内插器可用作具有反相频谱的高通 (DES2XH) 或低通 (DES2XL)。表 7-14 列出了 DES2X 滤波器系数，图 7-48 中显示了对应的响应，而图 7-49 中显示了 DES2XL 的通带纹波。由于在上升沿和下降沿都有样本，插值后的采样速率为 $2*f_{CLK}$，因此图 7-48 中的 x 轴覆盖奈奎斯特区域。

表 7-14. DES2X 滤波器系数

滤波器	系数（中心抽头以粗体显示）
DES2X	[-9 0 19 0 -39 0 70 0 -122 0 211 0 -403 0 1293 **2048** 1293 0 -403 0 211 0 -122 0 70 0 -39 0 19 0 -9]*2^{-11}

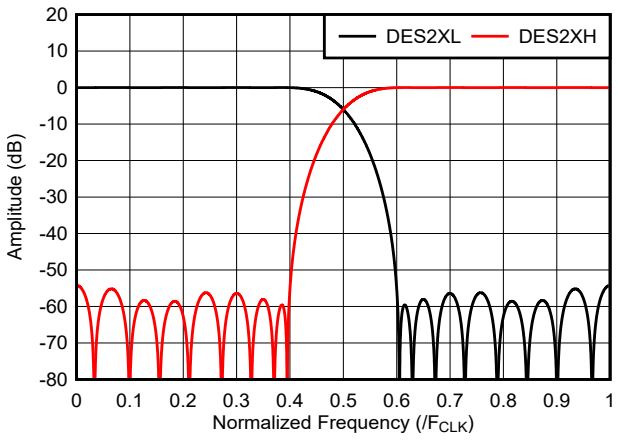


图 7-48. DES 内插器频率响应

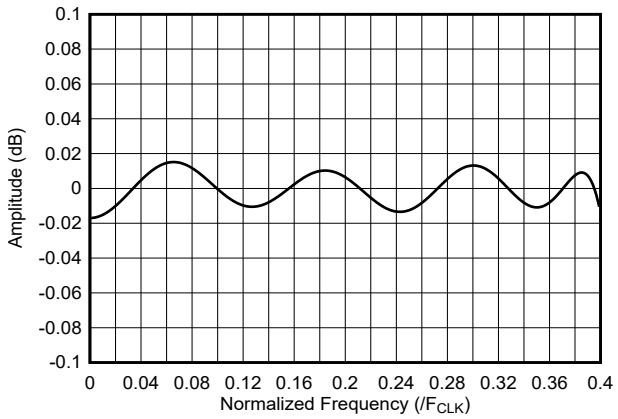


图 7-49. DES 内插器频率响应（通带）

7.3.7 JESD204C 接口

该器件使用 JESD204C 高速串行接口将数据从逻辑器件传输到接收 DAC。器件串行通道能够以 8b/10b 编码和 64b/66b 编码运行。使用 8b/10b 编码的 JESD204C 格式向后兼容现有的 JESD204B 接收器。最多可使用 2 个信道来降低与速度受限逻辑器件连接时的信道速率。8b/10b 和 64b/66b 编码之间存在一些差异，本节将重点介绍这些差异。图 7-50 展示了 8b/10b 编码 JESD204C 接口的简化方框图，图 7-51 展示了 64b/66b 编码 JESD204C 接口的简化方框图。

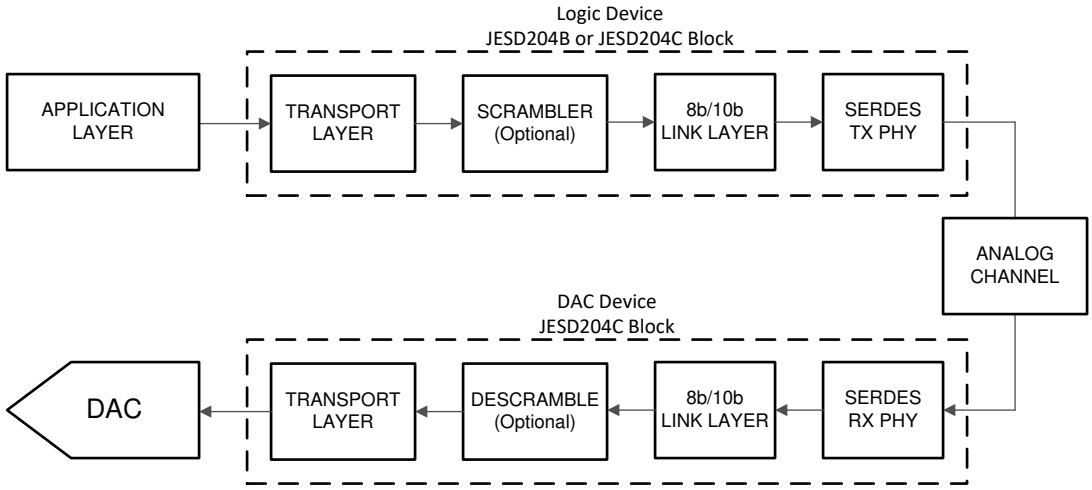


图 7-50. 具有 8b/10b 编码的简化 JESD204C 接口图

Copyright © 2024 Texas Instruments Incorporated

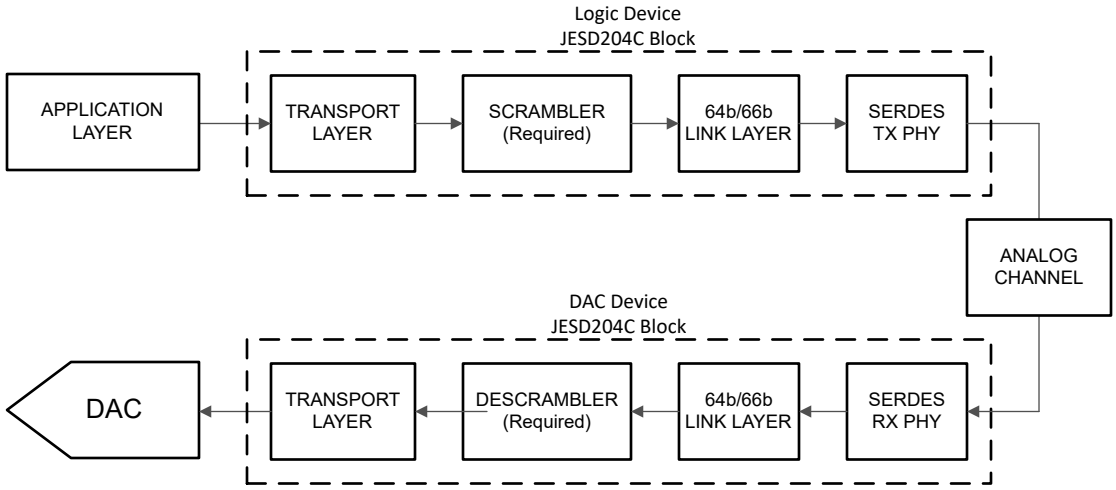


图 7-51. 具有 64b/66b 编码的简化 JESD204C 接口图

该器件并不支持 JESD204C 的所有可选特性。表 7-15 中提供了支持的特性和不支持的特性的列表

表 7-15. 支持的 JESD204C 特性声明

字母标识符	特性	器件是否支持？
a	8b/10b 链路层	是
b	64b/66b 链路层	是
c	64b/80b 链路层	否
d	使用 64b/66b 或 64b/80b 链路层时的命令通道	否
e	使用 64b/66b 或 64b/80b 链路层时的正向纠错 (FEC)	否
f	使用 64b/66b 或 64b/80b 链路层时的 CRC3	否
g	使用 8b/10b 链路层时的物理 $\overline{\text{SYNC}}$ 引脚	是
h	子类 0	是
i	子类 1	是
j	子类 2	否
k	单个链路中的通道对齐	是
l	子类 1，通过 MULTIREF 信号支持多点链路上的通道对齐	否
m	$\overline{\text{SYNC}}$ 接口时序与 JESD204A 兼容	是
n	$\overline{\text{SYNC}}$ 接口时序与 JESD204B 兼容	是

表 7-16 中简要总结了 JESD204C 接口中使用的各种信号以及相关器件引脚名称以供参考。

表 7-16. JESD204C 信号总结

信号名称	器件引脚名称	说明
数据	6SRX±、14SRX±	8b/10b 或 64b/66b 编码后的高速串行化数据，该数据由串行器/解串器接收器接收。
$\overline{\text{SYNC}}$	$\overline{\text{SYNC}}$	链路初始化信号（握手），切换为低电平以启动代码组同步 (CGS) 过程。不用于 64B/66B 编码模式。
器件时钟	CLK+、CLK-	DAC 采样时钟，也用于为数字逻辑和串行器/解串器接收器计时。

Copyright © 2024 Texas Instruments Incorporated

表 7-16. JESD204C 信号总结（续）

信号名称	器件引脚名称	说明
SYSREF	SYSREF+、SYSREF–	用于确定性复位每个 JESD204C 器件中的内部本地多帧时钟 (LMFC) 或本地扩展多块时钟 (LEMC) 计数器的系统计时参考

7.3.7.1 偏离 JESD204C 标准

JESD204C 第 4.3.4 节要求子类 1 器件能够测量检测到的 SYSREF 信号活动边沿与其预期位置偏离的器件时钟周期数，并且若与预期位置的偏差小于可编程的器件时钟周期数，则不会重新对齐 LMFC/LEMC。此设计不包含此功能，但在这方面符合 JESD204B 标准。如果启用了 JESD204C 子系统和 SYSREF 处理器（且 SYSREF_ALIGN_EN=1），则 LMFC 和其他支持时钟与检测到的 SYSREF 对齐。

7.3.7.2 传输层

在发送器（逻辑器件）中，传输层从应用层获取样本，并将样本映射到帧内的八位位组。然后，将帧映射到可用的串行器/解串器通道。在接收器 (DAC) 中，传输层执行反向操作，以便从串行化数据中提取样本。八位位组到帧和帧到通道的映射由传输层设置（例如 L、M、F、S、N 和 N'）定义。八位位组为 8 位（在 8b/10b 或 64b/66b 编码之前），帧由 F 八位位组组成，帧映射到 L 通道。样本为 N 位，但通过链路以 N' 位的形式发送。样本来自 M 转换器，每个转换器每帧周期有 S 个样本。

在 JESD204C 接口模式中定义的器件中有许多预定义的传输层模式。JESD204C 块的各种配置参数在 JESD204C 接口参数定义中定义。

链路层会进一步将帧映射到多帧。

7.3.7.3 扰频器和解码器

DAC 器件中提供了数据解扰器，用于在接收后对数据进行解扰。扰频用于避免因重复数据流而导致在传输的数据中出现频谱峰值。扰频器对于 8b/10b 编码模式是可选的，但对于 64b/66b 编码模式是必需的，以便有足够的频谱内容用于时钟恢复和自适应均衡。扰频器在编码前对数据进行操作，以使 8b/10b 扰频器在 10 位编码前对 8 位的八位位组进行扰频，64b/66b 扰频器在同步报头插入（66 位编码）之前对 64 位块进行扰频。JESD204C 接收器会自动将其解扰器与传入的扰频数据流同步。对于 8b/10b 编码，初始通道对齐序列 (ILA) 绝不会进行扰频。可通过为 8b/10b 编码模式设置 SCR 来启用解扰器，但是，解扰器会在 64b/66b 模式下自动启用。对于由 JESD204C 标准定义的 8b/10b 编码以及 64b/66b 编码方案，扰频多项式是不同的。

7.3.7.4 链路层

链路层在 JESD204C 中为 8b/10b 和 64b/66b 编码模式提供多种用途，但是每种编码方案的实现存在一些差异。一般而言，链路层的职责包括：对数据换序（请参阅扰频器和解码器）、建立代码 (8b/10b) 或块 (64b/66b) 边界以及多帧 (8b/10b) 或多块 (64b/66b) 边界以校正串行器/解串器通道、初始化链路、对数据进行编码以及监控链路运行状况。

7.3.7.5 物理层

器件 JESD204C 物理层包含 16 个串行器/解串器接收器。每个串行器/解串器通道都有一个用于通道损耗均衡的连续时间线性均衡器 (CTLE)。

7.3.7.6 串行器/解串器 PLL 控制

如果更改了各种参数，串行器/解串器接收器可在较宽的频率范围下工作。在设置 JESD_EN 之前，用户必须对各种参数进行编程，串行器/解串器接收器才能工作。这些参数经过调整以保持所有这些限制：

1. VCO 时钟频率 (F_{VCO}) 必须介于 1.5625GHz 和 3.2GHz 之间。
2. 当 VCO 时钟频率 (F_{VCO}) 低于 2.17GHz 时，必须设置 VRANGE。
3. REFDIV、MPY 和 RATE 设置都与频率变化相关。所有频率变化的乘积必须与所选 JMODE 的 R 值相匹配。
4. 优先选择具有较高 PLL 参考时钟（和较小 MPY 乘法器）的设置。

Copyright © 2024 Texas Instruments Incorporated

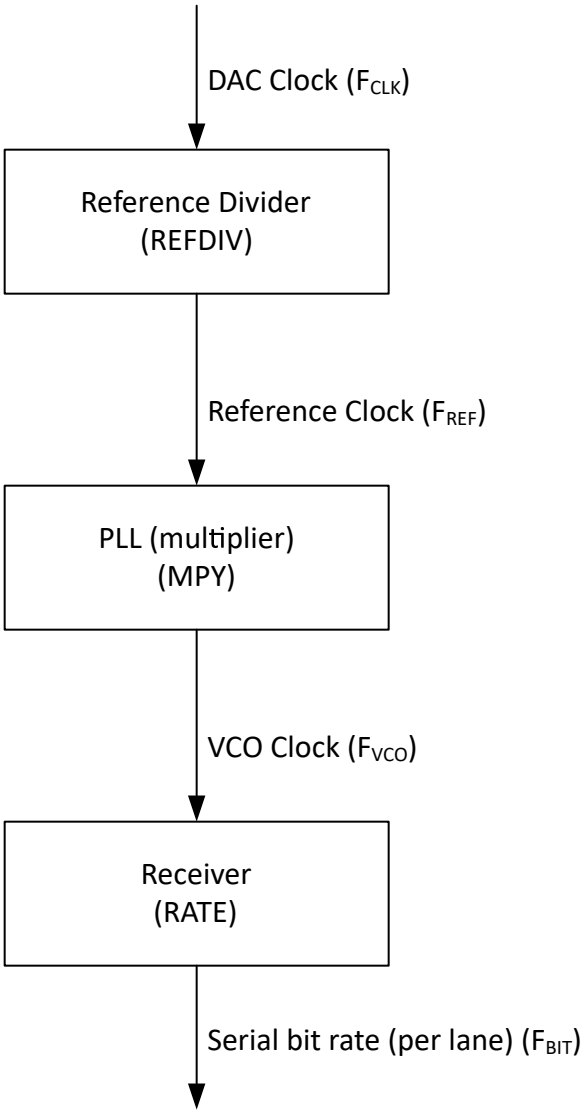


图 7-52. 串行器/解串器时钟频率生成

表 7-17. 8b/10b 编码模式的 PLL 配置表

R 十进制（分数）	CLK 范围 (F_{CLK}) (GHz)	要编程的寄存器值				实际倍频器			通道比特率 (Gbps)
		REFDIV	MPY	RATE	VRANGE	REFDIV	MPY	RATE	
0.3125 (40/128)	2.5-5.12	0x08	0x14	0x3	F_{CLK}<3.472GHz	1/8	5	0.5	0.78125 – 1.6
0.3125 (40/128)	5.0-10.24	0x10	0x14	0x2	F_{CLK}<6.994GHz	1/16	5	1	1.5625 – 3.2
0.3125 (40/128)	10.0-12.8	0x20	0x14	0x1	1	1/32	5	2	3.125 – 4.0
0.4167 (40/96)	1.88-3.84	0x06	0x14	0x3	F_{CLK}<2.604GHz	1/6	5	0.5	0.78125 – 1.6
0.4167 (40/96)	3.75-7.68	0x0C	0x14	0x2	F_{CLK}<5.208GHz	1/12	5	1	1.5625 – 3.2
0.4167 (40/96)	7.50-12.8	0x18	0x14	0x1	F_{CLK}<10.416GHz	1/24	5	2	3.125 – 5.333
0.625 (40/64)	1.25-2.56	0x04	0x14	0x3	F_{CLK}<1.736GHz	1/4	5	0.5	0.78125 – 1.6
0.625 (40/64)	2.5-5.12	0x08	0x14	0x2	F_{CLK}<3.472GHz	1/8	5	1	1.5625 – 3.2
0.625 (40/64)	5.00-10.24	0x10	0x14	0x1	F_{CLK}<6.994GHz	1/16	5	2	3.125 – 6.4
0.625 (40/64)	10.00-12.8	0x20	0x14	0x0	1	1/32	5	4	6.25 – 8.0
0.833 (40/48)	0.94-1.92	0x03	0x14	0x3	F_{CLK}<1.302GHz	1/3	5	0.5	0.78125 – 1.6
0.833 (40/48)	1.88-3.84	0x06	0x14	0x2	F_{CLK}<2.604GHz	1/6	5	1	1.5625 – 3.2
0.833 (40/48)	3.75-7.68	0x0C	0x14	0x1	F_{CLK}<5.208GHz	1/12	5	2	3.125 – 6.4
0.833 (40/48)	7.50-12.8	0x18	0x14	0x0	F_{CLK}<10.416GHz	1/24	5	4	6.25 – 10.667

Copyright © 2024 Texas Instruments Incorporated

表 7-17. 8b/10b 编码模式的 PLL 配置表（续）

R 十进制（分数）	CLK 范围 (F_{CLK}) (GHz)	要编程的寄存器值				实际倍频器			通道比特率 (Gbps)
		REFDIV	MPY	RATE	VRANGE	REFDIV	MPY	RATE	
1 (40/40)	0.781-1.6	0x02	0x10	0x3	F_{CLK}<1.085GHz	1/2	4	0.5	0.78125 – 1.6
1 (40/40)	1.5625-3.2	0x04	0x10	0x2	F_{CLK}<2.17GHz	1/4	4	1	1.5625 – 3.2
1 (40/40)	3.125-6.4	0x08	0x10	0x1	F_{CLK}<4.34GHz	1/8	4	2	3.125 – 6.4
1 (40/40)	6.25-12.8	0x10	0x10	0x0	F_{CLK}<8.68GHz	1/16	4	4	6.25 – 12.8
1.25 (40/32)	0.625-1.28	0x02	0x14	0x3	F_{CLK}<0.868GHz	1/2	5	0.5	0.78125 – 1.6
1.25 (40/32)	1.25-2.56	0x04	0x14	0x2	F_{CLK}<1.736GHz	1/4	5	1	1.5625 – 3.2
1.25 (40/32)	2.5-5.12	0x08	0x14	0x1	F_{CLK}<3.472GHz	1/8	5	2	3.125 – 6.4
1.25 (40/32)	5.0-10.24	0x10	0x14	0x0	F_{CLK}<6.994GHz	1/16	5	4	6.25 – 12.8
1.667 (40/24)	0.47-0.96	0x03	0x28	0x3	F_{CLK}<0.651GHz	1/3	10	0.5	0.78125 – 1.6
1.667 (40/24)	0.94-1.92	0x03	0x14	0x2	F_{CLK}<1.302GHz	1/3	5	1	1.5625 – 3.2
1.667 (40/24)	1.88-3.84	0x06	0x14	0x1	F_{CLK}<2.604GHz	1/6	5	2	3.125 – 6.4
1.667 (40/24)	3.75-7.68	0x0C	0x14	0x0	F_{CLK}<5.208GHz	1/12	5	4	6.25 – 12.8
2 (40/20)	0.781-1.6	0x02	0x10	0x2	F_{CLK}<1.085GHz	1/2	4	1	1.5625 – 3.2
2 (40/20)	1.5625-3.2	0x04	0x10	0x1	F_{CLK}<2.17GHz	1/4	4	2	3.125 – 6.4
2 (40/20)	3.125-6.4	0x08	0x10	0x0	F_{CLK}<4.34GHz	1/8	4	4	6.25 – 12.8
2.5 (40/16)	0.625-1.28	0x02	0x14	0x2	F_{CLK}<0.868GHz	1/2	5	1	1.5625 – 3.2
2.5 (40/16)	1.25-2.56	0x04	0x14	0x1	F_{CLK}<1.736GHz	1/4	5	2	3.125 – 6.4
2.5 (40/16)	2.5-5.12	0x08	0x14	0x0	F_{CLK}<3.472GHz	1/8	5	4	6.25 – 12.8
3.3333 (40/12)	0.47 – 0.96	0x03	0x28	0x2	F_{CLK}<0.651GHz	1/3	10	1	1.5625 – 3.2
3.3333 (40/12)	0.94 – 1.92	0x03	0x14	0x1	F_{CLK}<1.302GHz	1/3	5	2	3.125 – 6.4
3.3333 (40/12)	1.88 – 3.84	0x06	0x14	0x0	F_{CLK}<2.604GHz	1/6	5	4	6.25 – 12.8
4 (40/10)	0.781 – 1.6	0x02	0x10	0x1	F_{CLK}<1.085GHz	1/2	4	2	3.125 – 6.4
4 (40/10)	1.5625 – 3.2	0x04	0x10	0x0	F_{CLK}<2.17GHz	1/4	4	4	6.25 – 12.8
5 (40/8)	0.625-1.28	0x02	0x14	0x1	F_{CLK}<0.868GHz	1/2	5	2	3.125 – 6.4
5 (40/8)	1.25-2.56	0x04	0x14	0x0	F_{CLK}<1.736GHz	1/4	5	4	6.25 – 12.8

表 7-18. 64b/66b 编码模式的 PLL 配置表

R 十进制（分数）	CLK 范围 (F_{CLK}) (GHz)	要编程的寄存器值				实际倍频器			通道比特率 (F_{BIT}) (Gbps)
		REFDIV	MPY	RATE	VRANGE	REFDIV	MPY	RATE	
0.515625 (33/64)	6.06 – 12.41	0x20	0x21	0x1	F_{CLK}<8.417GHz	1/32	8.25	2	3.125 – 6.4
0.6875 (33/48)	4.55 – 9.31	0x18	0x21	0x1	F_{CLK}<6.313GHz	1/24	8.25	2	3.125 – 6.4
0.6875 (33/48)	9.09 – 12.8	0x30	0x21	0x0	F_{CLK}<12.625GHz	1/48	8.25	4	6.25 – 8.8
0.825 (33/40)	3.79 – 7.76	0x14	0x21	0x1	F_{CLK}<5.261GHz	1/20	8.25	2	3.125 – 6.4
0.825 (33/40)	7.58 – 12.8	0x28	0x21	0x0	F_{CLK}<10.521GHz	1/40	8.25	4	6.25 – 10.56
1.03125 (33/32)	3.03 – 6.21	0x10	0x21	0x1	F_{CLK}<4.208GHz	1/16	8.25	2	3.125 – 6.4
1.03125 (33/32)	6.06 – 12.41	0x20	0x21	0x0	F_{CLK}<8.417GHz	1/32	8.25	4	6.25 – 12.8
1.375 (33/24)	2.27 – 4.65	0x0C	0x21	0x1	F_{CLK}<3.156GHz	1/12	8.25	2	3.125 – 6.4
1.375 (33/24)	4.55 – 9.31	0x18	0x21	0x0	F_{CLK}<6.313GHz	1/24	8.25	4	6.25 – 12.8
1.65 (33/20)	1.89 – 3.88	0x0A	0x21	0x1	F_{CLK}<2.630GHz	1/10	8.25	2	3.125 – 6.4
1.65 (33/20)	3.79 – 7.76	0x14	0x21	0x0	F_{CLK}<5.261GHz	1/20	8.25	4	6.25 – 12.8
2.0625 (33/16)	1.52 – 3.10	0x08	0x21	0x1	F_{CLK}<2.104GHz	1/8	8.25	2	3.125 – 6.4
2.0625 (33/16)	3.03 – 6.21	0x10	0x21	0x0	F_{CLK}<4.208GHz	1/16	8.25	4	6.25 – 12.8
2.75 (33/12)	1.14 – 2.33	0x06	0x21	0x1	F_{CLK}<1.578GHz	1/6	8.25	2	3.125 – 6.4
2.75 (33/12)	2.27 – 4.65	0x0C	0x21	0x0	F_{CLK}<3.156GHz	1/12	8.25	4	6.25 – 12.8
3.3 (33/10)	0.95 – 1.94	0x05	0x21	0x1	F_{CLK}<1.315GHz	1/5	8.25	2	3.125 – 6.4
3.3 (33/10)	1.89 – 3.88	0x0A	0x21	0x0	F_{CLK}<2.630GHz	1/10	8.25	4	6.25 – 12.8
4.125 (33/8)	0.76 – 1.55	0x04	0x21	0x1	F_{CLK}<1.052GHz	1/4	8.25	2	3.125 – 6.4
4.125 (33/8)	1.52 – 3.10	0x08	0x21	0x0	F_{CLK}<2.104GHz	1/8	8.25	4	6.25 – 12.8

Copyright © 2024 Texas Instruments Incorporated

7.3.7.7 串行器/解串器纵横制

该器件在从 PHY 发出后即包含一个纵横制，允许在通道之间映射信号以简化 Tx 和 Rx 之间的 PCB 布线，从而降低 PCB 复杂性或缩短布线（减少损耗）。请参阅 LANE_SEL ***n*** 。

物理层信道（±6SRX±、14SRX±）必须根据 JESD204C 格式图中所示位封装图内定义的信道路由到相应的 JESD204C 信道（JESD0 至 JESD15）。

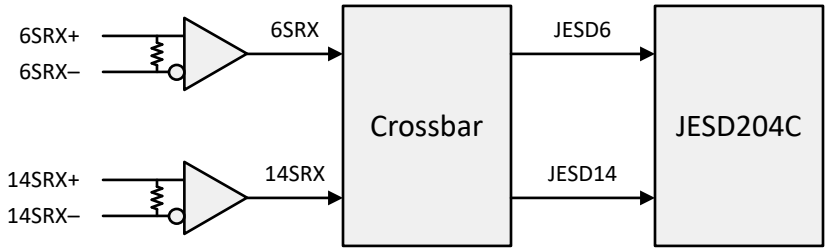


图 7-53. 纵横制方框图

7.3.7.8 多器件同步和确定性延迟

JESD204C 子类 1 概述了一种通过串行链路实现确定性延迟的方法。如果两个器件实现相同的确定性延迟，则可以将这两个器件视为已同步。从系统启动到启动的这一延迟必须是确定性的。实现确定性延迟有两个关键要求。第一项要求是正确采集 SYSREF。SYSREF 将每个器件中的 LMFC 计数器复位，以用作已知的时序基准。

第二项要求是在接收器中选择适当的弹性缓冲器释放点。转换器器件是 JESD204C 链路中的接收器 (RX)，逻辑器件是发送器 (TX)。弹性缓冲器是实现确定性延迟的关键块，通过在数据从发送器传输到接收器时吸收串行化数据传播延迟的变化来实现。适当的释放点是针对延迟变化提供足够裕度的释放点。要选择合适的释放点，需要了解弹性缓冲器中以 LMFC 边沿为基准的数据的平均到达时间以及所有器件的总预期延迟变化。利用此信息，可以定义 LMFC 周期内无效释放点的区域，该区域从所有通道的最小延迟一直延展到最大延迟。本质上，设计人员必须确保所有通道的数据在前一个释放点发生后、下一个释放点发生之前到达所有器件。另外，也可以通过实验找到无效区域 - 请参阅编程 RBD。

图 7-54 提供了用于演示此要求的简化时序图。在此图中，显示了两个发送器（ADC 或逻辑器件）的数据。第二个发送器 (TX 2) 具有更长的布线距离 (t_{PCB})，因此链路延迟比第一个发送器 (TX 1) 更长。首先，根据所有器件的数据到达时间，将 LMFC 周期的无效区域标记为关闭。然后，使用释放缓冲器延迟 (RBD) 参数设置释放点，将释放点从 LMFC 边缘移动适当数量的四位/八位位组步长，以便释放点发生在 LMFC 周期的有效区域内。在图 7-54 中，由于有效区域的每一侧都有足够的裕度，因此 LMFC 边沿 (RBD = 0) 是释放点的理想选择。

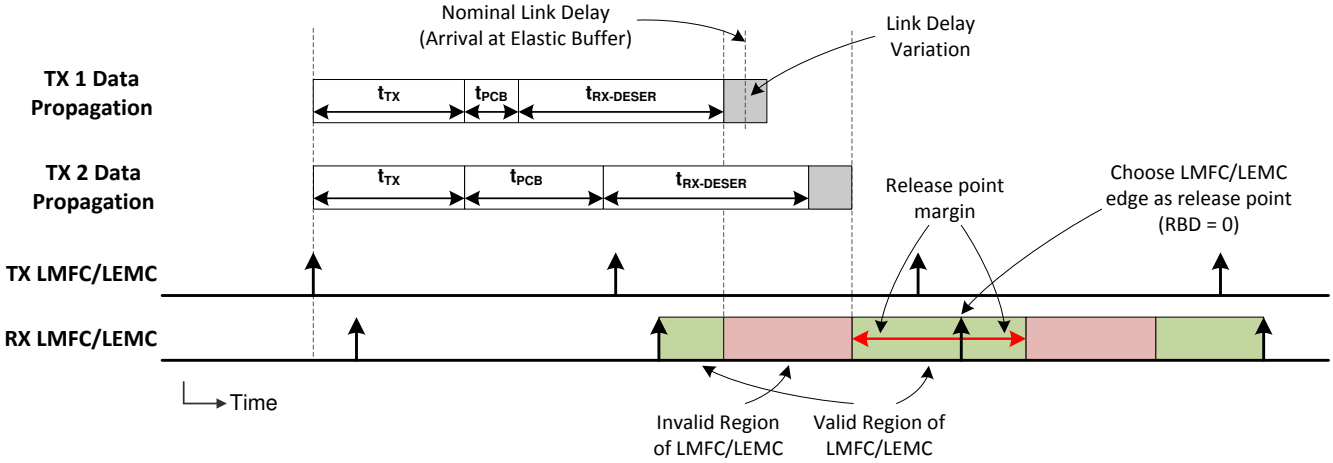


图 7-54. 用于弹性缓冲器释放点选择的 LMFC 有效区域定义

Copyright © 2024 Texas Instruments Incorporated

TX 和 RX LMFC 未必需要进行相位对齐，但了解其相位对于正确选择弹性缓冲器释放点至关重要。此外，弹性缓冲器释放点在每个 LMFC 周期内发生，但缓冲器仅在所有通道均已到达时释放。因此，总链路延迟可能超过单个 LMFC 周期；请参阅 *JESD204B 多器件同步：将要求进行分解* 了解更多信息。

7.3.7.8.1 对 RBD 进行编程

RBD 的合适值范围取决于 Rx 和 Tx LMFC/LEMC 之间的相位差以及 Tx、通道和 Rx 中的链路延迟。因此，请勿提供预先确定好适用于所有系统的 RBD 值。提供的 LANE_ARR 寄存器可帮助用户测量通道到达时间并为系统选择适当的 RBD 值。为了确保确定性延迟，可在系统原型设计期间选择 RBD 值并将其存储在系统固件中。每次打开系统时计算 RBD 可能会导致不确定的延迟。

到达时间以四字节为单位进行报告，并以模数 64 基准计数器为基准进行测量，该计数器会针对接收到的每个四字节（每通道）递增。基准计数器由 SYSREF 对齐（复位）。

由于通道到达时间是模值，因此使用考虑模值的算术非常重要（与最早到达的通道相比，*最近* 到达的通道实际上可能具有 *更小* 的 LANE_ARR 值）。图 7-55 和图 7-56 以图形方式描述了 RBD 计算，以强调这一点。通道到达时间被映射到周长为 64 个四字节的圆上，这对应于用于测量通道到达时间的模数 64 计数器。

最早可用的 RBD 值等于最新的 LANE_ARR 值加 1（模数 64）。最新可用的 RBD 值等于最早的 LANE_ARR 值加上缓冲区深度（模数 64）（缓冲区深度为 16 个四位/八位位组，除非 K x F = 32，此时缓冲区深度减少为 8 个四位/八位位组)。请注意，最新的可用 RBD 值会导致最早到达的通道在数据被读出的相同时钟周期内覆盖缓冲区数据（这是可以接受的，不会导致溢出）。

在可用范围的中间选择 RBD 值将更大程度地提高偏差容限，但如果需要更低的延迟，用户可以选择更接近最新到达通道的值。

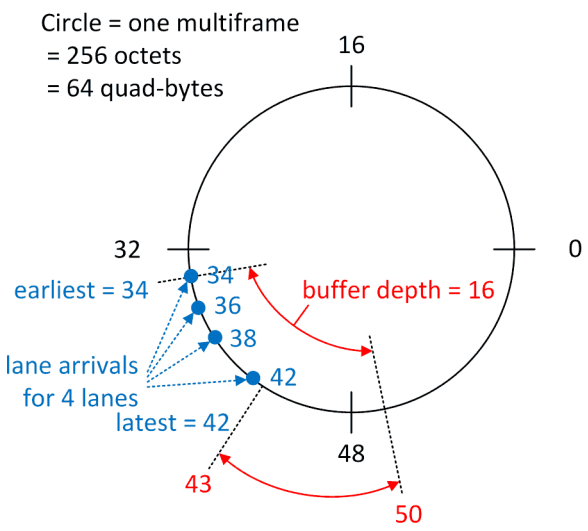


图 7-55. RBD 示例（通道到达时间不会跨越零）

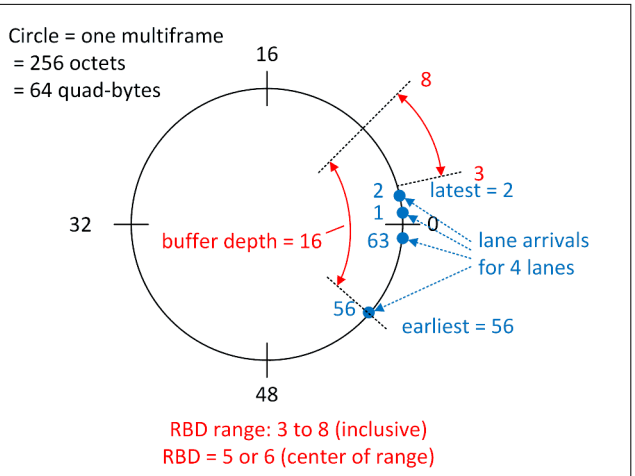


图 7-56. RBD 示例（通道到达时间跨越零）

7.3.7.9 在子类 0 系统中运行

该器件可与子类 0 兼容，前提是不需要多 DAC 同步和确定性延迟。由于这些限制，该器件无需 SYSREF 应用即可运行。内部 LMFC 自动自生成，起始相位未知。RBD 不需要进行编程，因为在最后到达的通道开始写入弹性缓冲器之后，弹性缓冲器会自动释放。$\overline{\text{SYNC}}$ 照常用来启动 CGS 和 ILAS。

Copyright © 2024 Texas Instruments Incorporated

7.3.7.10 链路复位

所有通道的整个链路层在以下情况下随时复位：

- 在 JESD 链路使用的通道上检测到齿轮箱 FIFO 下溢/上溢 (LANE_ERR[0])
- 在 JESD 链路使用的通道上检测到弹性缓冲器溢出 (EB_ERR)
- JESD 链路中断 (JESD_LINK_DOWN_ALM)
- SYSREF 导致时钟分频器或 LMFC/LEMC 重新校准 (REALIGNED)
- JTimer 到期 (JTIMER_EXPIRED_ALM)

7.3.8 生成警报

警报引脚可用于通知主机控制器可能需要干预的事件。如果在 ALM_MASK 寄存器中未屏蔽 SYS_ALM 寄存器中的任何活动警报，这些警报会使警报输出变为有效。

7.4 器件功能模式

本节介绍了器件的功能模式。特性说明中对本节中的某些特性进行了更详细的讨论。

7.4.1 DUC 和 DDS 模式

此器件包含一个 DUC 模式和一个直接数字合成 (DDS) 模式。数据路径模式使用来自 JESD 接口的复数 (I 和 Q) 数据，在 DUC 中对其进行内插和上变频，对 DUC 输出求和并在 DAC 中生成模拟信号。在 DDS 模式下，DUC NCO 直接用于生成音调，而无需输入数据。

下面的列表总结了 DDS 模式与 DUC 模式的区别：

1. 未启用内插滤波器
2. JESD204C 接口未启用
3. NCO 功耗更低 (无复混频)
4. AMP 寄存器为每个 DUC (DDS) 通道提供唯一的振幅，允许 DDS 通道生成音调以消除 DAC 输出中的谐波音调。例如，DDS 通道 0 产生基音，通道 1 产生用于取消 HD2 的音调，而通道 2 产生用于取消 HD3 的音调。
5. JMODE 和 DUC_L 寄存器会被忽略，JESD204C 系统和内插滤波器施加的 SYSREF 周期限制被移除。请参阅表 7-3

Copyright © 2024 Texas Instruments Incorporated

7.4.2 JESD204C 接口模式

每个运行模式都有一组有限的可用接口格式（通道数、分辨率）。

7.4.2.1 JESD204C 接口模式

器件 JESD204C 模式使用表 7-19、表 7-20 和表 7-21 中定义的参数进行配置。

表 7-19. JESD204C 接口参数定义

参数	说明
JMODE	JESD204C 模式编号。用户将此参数配置为选择支持的模式。大多数其他参数都是从此设置派生出来的。请参阅表 7-22。
LS	每个样本流的通道数。这是从 JMODE 得出的。请参阅表 7-22。
LT	时钟与输入采样率之比。LT = F_{CLK} / F_{INPUT}。并不是说 DES2X 模式不会影响 LT 的值。 内插因子 1-256x 在 DUC_L 寄存器中进行编程。
Lx	用于给定 JMODE 的最大通道数。链路会根据启用的通道数量缩减运行信道 (L) 的数量。请参阅 JESD_M 寄存器。
Mx	给定 JMODE 的最大流数。Mx 根据表 7-22 自动计算得出。用户可以使用 JESD_M 寄存器指定实际流数 (M)。
R	每个 CLK 周期中每个通道传输的位数。从 JMODE 和 LT 得出（请参阅）表 7-22。根据 R，用户必须对 REFDIV、MPY 和 RATE 寄存器进行编程。此外，最大 CLK 频率是 R 的函数。
SI	采样交错/增量因子。值 1 表示应用符合 JESD204C 标准的标准传输层映射（样本从 0 线性映射到 S-1）。大于 1 的值表示按如下所述使用备用映射：从样本 0 开始映射样本，按 SI 递增索引。根据需要多次重复此步骤以映射所有 S 样本，每次开始重复步骤时使用的索引要比上一次大 1。请参阅 JESD 格式图 JESD 格式图。
KR	对于 8b/10b 操作，KR 定义了 K（每个多帧的帧数）的合法值。限制合法值以提高弹性缓冲器的抗翻转度。多帧长度限制为 64 个字符的弹性缓冲器深度的倍数（如果 K=32 且 F=1，则缓冲器深度减少到 32 个字符）。对于 8b/10b 模式，K 通过 KM1 寄存器进行编程。

Copyright © 2024 Texas Instruments Incorporated

表 7-20. JESD204C 链路参数

参数	说明	ILAS 字段名称	该器件的值(1)
ADJCNT	DAC LMFC 调整	ADJCNT[3:0]	不适用
ADJDIR	DAC LMFC 调整方向	ADJDIR[0]	不适用
BID	存储体 ID	BID[3:0]	不适用
CF	每帧的控制字数	CF[4:0]	0
CS	每样本的控制位数	CS[1:0]	0
DID	器件标识号	DID[7:0]	不适用
F	每帧的八位位组数（每通道）	F[7:0]	请参阅表 7-22
HD	高密度格式	HD[0]	请参阅表 7-22
JESDV	JESD204 版本	JESDV[2:0]	不适用
K	每个多帧的帧数	K[7:0]	由 KM1 寄存器设置
L	每个链路的通道数	L[4:0]	ceiling(M/Mx*Lx)
LID	通道标识号	LID[4:0]	不适用
M	每个链路的样本流数（请参阅(1)）	M[7:0]	由 JESD_M 寄存器设置
N	JESD204C 接口每个样本的位数（在添加控制或尾位之前）。	N[4:0]	请参阅表 7-22
N'	JESD204C 接口每个样本的总位数（包括控制位和尾位）。	N’[4:0]	请参阅表 7-22
PHADJ	向 DAC 发出的相位调整请求	PHADJ[0]	不适用
S	每帧每个流的样本数	S[4:0]	请参阅表 7-22
SCR	启用扰频	SCR[0]	由 SCR 寄存器设置
SUBCLASSV	器件子类版本	SUBCLASSV[2:0]	不适用
RES1	保留字段 1	RES1[7:0]	不适用
RES2	保留字段 2	RES2[7:0]	不适用
CHKSUM	校验和（以上所有字段的总和，模数为 256）	FCHK[7:0]	不适用

(1) 在 8b/10b 模式下，发送器可在 ILAS 期间发送链路配置八位位组。发送器发送的值不是由该接收器检查，也不需要与接收器的工作值保持一致。

表 7-21. 链路参数（仅适用于 64b/66b 编码）

参数	说明	该器件的值(1)
E	每个扩展多块的多块数量（仅限 64b/66b 编码）	1

每个支持的模式都分配了一个模式编号，该编号可以通过表 7-22 中列出的参数编程到 JMODE 寄存器中。

1. 在最小内插速率下

Copyright © 2024 Texas Instruments Incorporated

表 7-22. JESD 接口模式

JMODE	编码	每个流的最大输入采样率 (MSPS)#none#	最大串行器/解串器波特率 (Gbps)	R = F_{BIT}/ F_{CLK}	N	Mx = 最大流数	Ls = 每个流的通道数	Lx = 通道数上限	LT = 内插		JESD 格式				KR
									最小值	最大值	F	S	HD	SI	
4	8b/10b	640	12.8	20/LT	16	2	1	2	4	64	2	1	0	1	32、64、128
	64b/66b	775.8	12.8	16.5/LT											
5	8b/10b	320	12.8	40/LT	16	4	½	2	8	128	4	1	0	1	16、32、64
	64b/66b	387.9	12.8	33/LT											
6	8b/10b	160	12.8	80/LT	16	8	¼	2	16	256	8	1	0	1	8、16、32
	64b/66b	193.9	12.8	66/LT											
7	8b/10b	80	12.8	160/LT	16	8	⅛	1	32	256	16	1	0	1	4、8、16
	64b/66b	97.0	12.8	132/LT											

7.4.2.2 JESD204C 格式图

以下各小节对每个输出格式进行了描述，说明了如何将样本和尾位映射到通道。未显示在输出格式表中的所有通道均未使用。每个表只描述了一个帧。尾位被丢弃并被传输层忽略。所有图均以逻辑通道编号为基准，可使用 LANE_SELn 随意将其映射到外部物理通道。

表 7-23. 格式表示法说明

表示法	说明
T	尾位（用于某些 12 位模式）
CH0_I[n]	通道 0 的同相样本。当输入不被视为复数数据时，也可以将其视为“通道 A”。
CH0_Q[n]	通道 0 的正交样本。当输入不被视为复数数据时，也可以将其视为“通道 B”。
CH1_I[n]	通道 1 的同相样本。
CH1_Q[n]	通道 1 的正交样本。
CH2_I[n]	通道 2 的同相样本。
CH2_Q[n]	通道 2 的正交样本。
CH3_I[n]	通道 3 的同相样本。
CH3_Q[n]	通道 3 的正交样本。

在上述所有表示法中，n 表示样本数。某些 JESD204C 模式的 S=1（每帧每个流一个样本）。在这些情况下，说明中省略了“[n]”。

7.4.2.2.1 16 位格式

表 7-24. JMODE 4（16 位，每个流 1 个通道，最多 8 个流）

八位位组	0		1	
半字节	0	1	2	3
通道 0	CH0_I			
通道 1	CH0_Q			

表 7-25. JMODE 5（16 位，每个流 1/2 个通道，最多 8 个流）

八位位组	0		1		2		3	
半字节	0	1	2	3	4	5	6	7
通道 0	CH0_I				CH0_Q			
通道 1	CH1_I				CH1_Q			

Copyright © 2024 Texas Instruments Incorporated

表 7-26. JMODE 6（16 位，每个流 1/4 个通道，最多 8 个流）

八位位组	0		1		2		3		4		5		6		7	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
通道 0	CH0_I				CH0_Q				CH1_I				CH1_Q			
通道 1	CH2_I				CH2_Q				CH3_I				CH3_Q			

表 7-27. JMODE 7（16 位，每个流 1/8 个通道，最多 8 个流）

八位位组	0		1		2		3		4		5		6		7		8		9		10		11		12		13		14		15	
半字节	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
通道 0	CH0_I				CH0_Q				CH1_I				CH1_Q				CH2_I				CH2_Q				CH3_I				CH3_Q			

7.4.3 NCO 同步延迟

同步 NCO 有两种确定性方法（频率或相位变化、累加器复位）：通过 JESD204C 接口的 LSB 或通过 SYSREF。表 7-28 中列出了每个同步方法的延迟参数。

使用 SYSREF 作为同步源，延迟参数 T_{SYSREF_NCO} 是从 SYSREF 通过 CLK 采样高电平与 NCO 变化到达 DAC 输出端的间隔时间。可以通过节 7.4.4 中讨论的 Excel 电子表格延迟计算器计算与数据路径样本的对齐。

使用 JESD204C 接口 LSB 时，延迟参数 T_{JSYNC_NCO} 是 NCO 同步事件相对于与 LSB 对齐的相应数据样本的时间差异。T_{JSYNC_NCO} 是确定性的，但对于某些模式，则取决于 LSB 上升沿与多帧边界的对齐（请参阅表 7-29）。

表 7-28. NCO 同步延迟参数

延迟参数	说明	值
T_{SYSREF_NCO}	从 SYSREF 采样高电平（通过 CLK）到 DAC 输出响应 NCO 同步事件（由 SYSREF 触发）的延迟。	477.5 个 CLK 周期
T_{JSYNC_NCO}	通过内插滤波器到 NCO 的延迟减去同步 NCO 的 LSB 的延迟。仅在使用输入数据的 LSB 来同步 NCO 时适用。为了使输入采样 **n** 成为第一个与新 NCO 频率或相位混合的采样，在采样 **n'** = **n**+T_{JSYNC_NCO}/LT 时，LSB 应该被拉高。请注意，**n'** 可能不是整数，因为同步路径并非总是输入采样周期的整数倍。	请参阅表 7-29

表 7-29. T_{JSYNC_NCO} 与 LT 间的关系

内插因子 (LT)	T_{JSYNC_NCO} [CLK 周期](1)
2	-144、-142、-140、-138、-136、-134、-132、-130
3	-89、-86、-83、-81、-80、-78、-77、-75、-74、-72、-71、-69、-68、-66、-63、-60
4	-36、-32、-28、-24
6	34、40、42、46、48、52、54、60
8	86、94
12	186、194、198、206
16	290
24	458、466
32	648
48	968
64	1396
96	2036
128	2932
192	4212
256	6004

(1) 当列出多个值时，表示 T_{JSYNC_NCO} 取决于 LSB 何时相对于多帧边界上升。

Copyright © 2024 Texas Instruments Incorporated

7.4.4 数据路径延迟

为器件定义了多种不同的延迟，如图 7-57 所示并列于表 7-30 中。器件内的延迟取决于运行模式，包括 JMODE、插值因子、RBD 设置、NCO 使用情况和 DES 设置。TI 提供了 Excel 电子表格计算器，用于计算不同运行模式下的器件延迟。

在 JESD204C 子类 0 操作中，从串行器/解串器输入到 DAC 输出的延迟称为 T_{DAC_LAT0}，不具有确定性，Excel 电子表格计算器中提供了最小和最大范围。

在 JESD204C 子类 1 操作中，从 SYSREF 输入到 DAC 输出的延迟 T_{DAC_LAT} 是确定性的，并在 Excel 电子表格计算器中提供。只要可靠地对 SYSREF 进行采样并且正确设置 RBD 值，JESD204C 链路延迟就是确定性的。

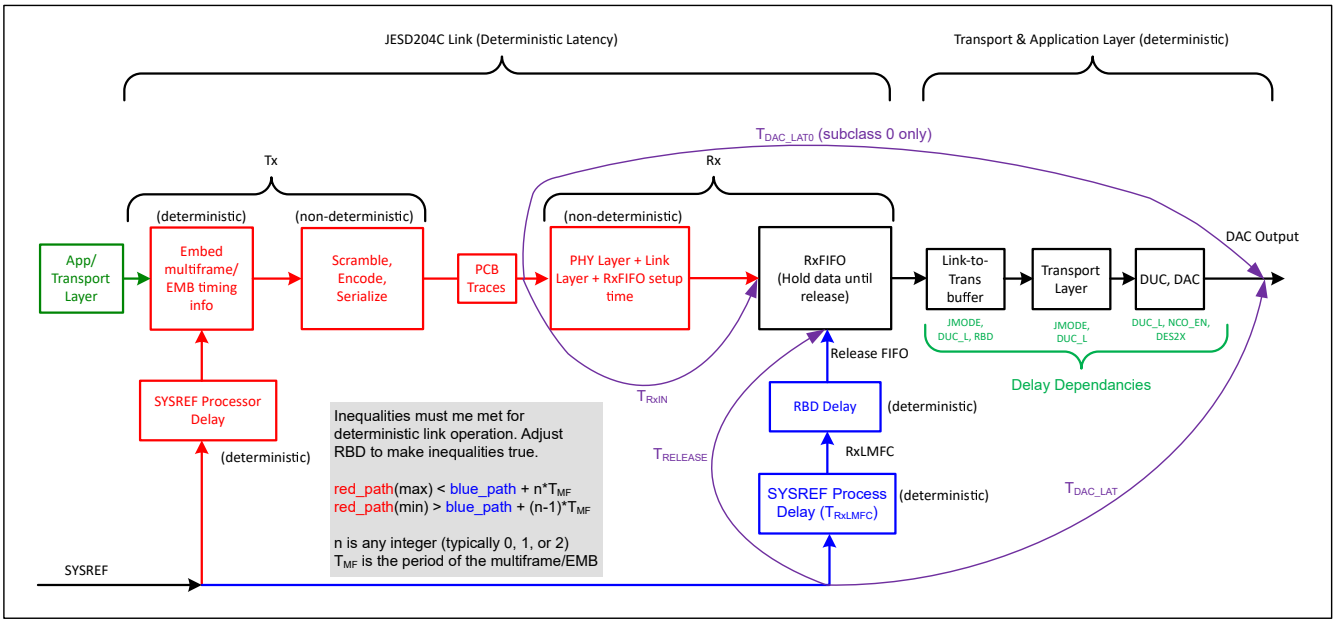


图 7-57. 器件延迟的定义

表 7-30. 延迟定义

延迟参数	定义
$T_{RELEASE}$	从跟随 SYSREF 上升沿的 CLK 上升沿到弹性缓冲器释放事件的延迟。（仅限子类 1。）
T_{DAC_LAT}	从跟随 SYSREF 上升沿的 CLK 上升沿到 SYSREF 在 DAC 输出端启动首次多帧/扩展多块采样的延迟（仅限子类 1）。
T_{RxIN}	从接收器数据输入到弹性缓冲器输入的延迟，包括弹性缓冲器的最短设置时间。这是非确定性的，因此提供了最小和最大限制。
T_{DAC_LAT0}	从接收器数据输入（多帧/EMB 边界）到 DAC 输出上启动的首次多帧采样的延迟。这是非确定性的，因此提供了最小和最大限制（仅限子类 0）。

Copyright © 2024 Texas Instruments Incorporated

7.5 编程

该器件包含两个编程接口：一个 SPI 接口和一个快速重新配置 (FR) 接口，用于对 NCO 频率和相位进行快速编程。

7.5.1 使用标准 SPI 接口

使用以下四个引脚访问标准 SPI 接口：串行时钟 (SCLK)、串行数据输入 (SDI)、串行数据输出 (SDO) 和串行接口片选 ($\overline{SCS}$)。通过 $\overline{SCS}$ 引脚启用寄存器访问。

7.5.1.1 $\overline{SCS}$

该信号必须置位低电平才能通过串行接口访问寄存器。必须遵守相对于 SCLK 的建立和保持时间。

7.5.1.2 SCLK

在该信号的上升沿接受串行数据输入。SCLK 没有最低频率要求。

7.5.1.3 SDI

每个寄存器访问都需要在此输入端采用特定的 24 位模式。该模式包含一个读写 (R/W) 位、寄存器地址和寄存器值。数据以 MSB 优先的方式移动，多字节寄存器始终采用小端字节序格式（存储在最低地址的最低有效字节）。必须遵守相对于 SCLK 的建立和保持时间（请参阅“开关特性”表）。

7.5.1.4 SDO

SDO 信号提供读取命令所请求的输出数据。该输出在写入总线周期以及读取总线周期的读取位和寄存器地址部分期间具有高阻抗。

7.5.1.5 串行接口协议

如图 7-58 所示，每个寄存器访问都由 24 位组成。第一个位为高电平时进行读取，为低电平时进行写入。

接下来的 15 位是要写入的寄存器的地址。在写入操作期间，最后 8 位是写入到已寻址寄存器的数据。在读取操作期间，SDI 上的最后 8 个位将被忽略，在此期间，SDO 将输出来自已寻址寄存器的数据。图 7-58 展示了串行协议详细信息。

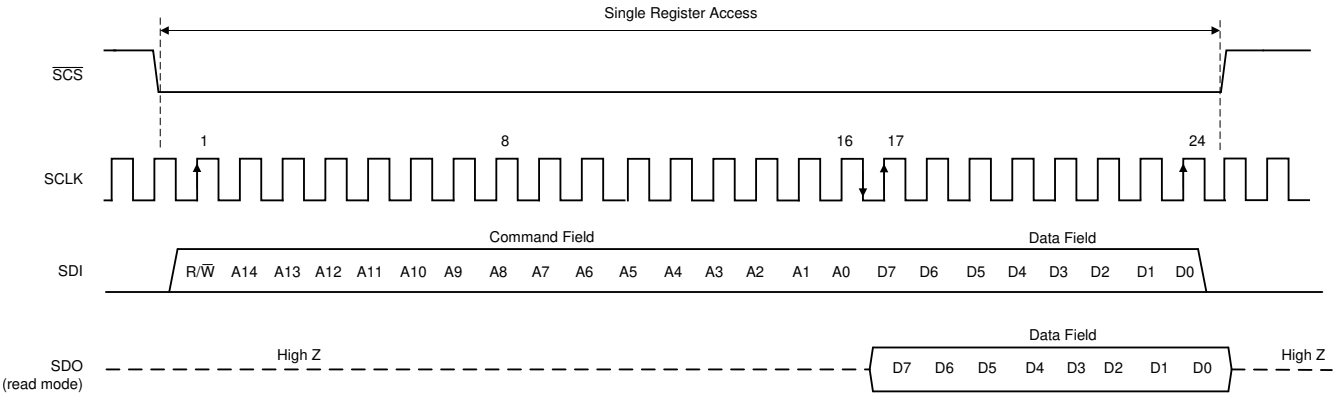


图 7-58. 串行接口协议：单独读取和写入

7.5.1.6 流模式

串行接口支持流式读取和写入。在此模式下，事务的前 24 位将照常指定访问类型、寄存器地址和数据值。只要 $\overline{SCS}$ 输入保持在置位（逻辑低电平）状态，读/写数据的额外时钟周期就会立即传输。对于每次后续的 8 位流事务传输，寄存器地址都会自动递增（默认）或递减。ASCEND 位（寄存器 000h，位 5）控制地址值是上升（递增）还是下降（递减）。图 7-59 展示了流模式事务详细信息。

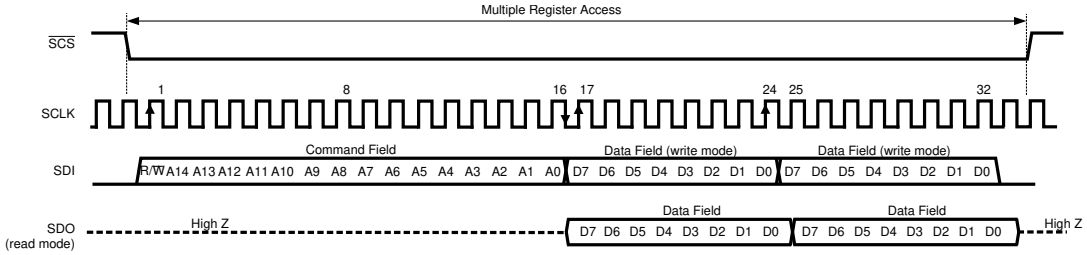


图 7-59. 串行接口协议：流式读写

7.5.2 使用快速重新配置接口

FR 接口提供快速的只写访问来配置 NCO 频率和同步。FR 接口与 SPI 接口类似，但每个时钟周期发送 4 位。图 7-60 展示了 FR 时序图。它使用 R/W 位（对于该器件始终为写操作）、事务同步位 (FRS) 和 14 位地址，后跟一定数量的数据字节。地址在每个数据字节后递减（与小端字节序一致）。该接口可按字节寻址，数据在每个字节后提交。FR 接口每时钟占用 4 位（一个半字节）。对于多半字节字段，系统会首先发送数据的半字节最高有效位。当事务同步位 (FRS) 被置位时，NCO_SYNC_SRC 寄存器字段中指定的同步事件发生在 $\overline{FRCS}$ 的上升沿。在第一个数据字节完成之前结束的事务可能不会触发同步事件。

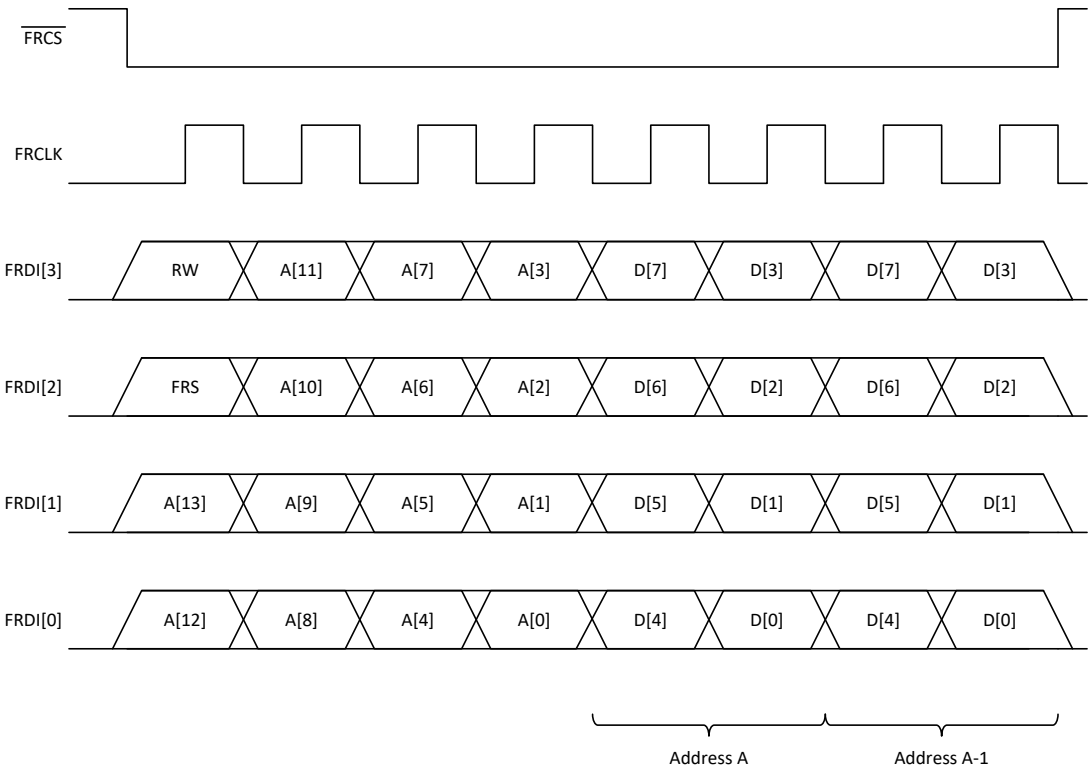


图 7-60. FR 接口时序图

Copyright © 2024 Texas Instruments Incorporated

表 7-31 中列出了 FR 接口寄存器。有两个寄存器可以更改 NCO 频率 - FR_FREQL[3:0] 为 64 位（对于每个 NCO），会更改整个频率字。FR_FREQS[3:0] 为 32 位（对于每个 NCO），仅会更改频率字的高 32 位，从而实现更快的频率变化。

表 7-31. FR 接口寄存器

地址	名称	说明
0x00FF	FR_NCO_AR	FR NCO 累加器复位（默认值：0x0f) [7:4] 保留 [3:0] FR_NCO_AR 对于每个位 FR_NCO_AR[n]，如果置位，NCOn 的累加器在 NCO_SYNC_SRC 指定的每个同步事件上都会复位。 注意：当 FR_EN=0 时，该寄存器无效。
0x0100-0x011F	FR_FREQL[3:0]	NCO 累加器的 FR 64 位频率（FR_FREQL[n]=0x00 时的默认值） FR_FREQL[0] 的频率设置位于最低地址。 [63:0] FR_FREQL[n] 当 FR_EN=1 时，使用该寄存器代替 FREQ[n]。对该寄存器高 32 位的更改也会更改 FR_FREQS[n]。 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：当 FR_EN=0 时，该寄存器无效。
0x0120-0x0127	FR_PHASE[3:0]	NCO 累加器的 FR 相位（FR_PHASE[n]=0x0000 时的默认值） FR_PHASE[0] 的相位设置位于最低地址。 [15:0] FR_PHASE[n] 当 FR_EN=1 时，使用该寄存器代替 PHASE[n]。 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：当 FR_EN=0 时，该寄存器无效。
0x0128-0x0137	FR_FREQS[3:0]	NCO 累加器的 FR 32 位频率（FR_FREQS[n]=0x00 时的默认值） FR_FREQS[0] 的频率设置位于最低地址。 [31:0] FR_FREQS[n] 当 FR_EN=1 时，使用该寄存器代替 FREQ[n]。对该寄存器的更改也会更改 FR_FREQL[n] 的高 32 位。该寄存器仅控制频率的高 32 位。频率的低 32 位始终由 FR_FREQL[n] 控制。 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：当 FR_EN=0 时，该寄存器无效。

Copyright © 2024 Texas Instruments Incorporated

7.5.3 SPI 寄存器映射

表 7-32 列出了 SPI 寄存器。表 7-32 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。在具有非保留 R/W 字段的地址中的保留寄存器字段始终会在读取期间返回默认/复位值，而不是写入值。

表 7-32. SPI 寄存器

偏移	首字母缩写词	寄存器名称	部分
0x0000	CONFIG_A	配置 A	转到
0x0002	DEVICE_CONFIG	器件配置	转到
0x0003	CHIP_TYPE	芯片类型	转到
0x0004	CHIP_ID	芯片标识	转到
0x0006	CHIP_VERSION	芯片版本	转到
0x000C	VENDOR_ID	供应商标识	转到
0x0010-0x007F	保留		
0x0080	SYSREF_CTRL	SYSREF 控制	转到
0x0081-0x008F	保留		
0x0090-0x0092	SYSREF_POS	SYSREF 捕获位置	转到
0x0093-0x009F	保留		
0x00A0	SYSREF_ALIGN	SYSREF 对齐控制	转到
0x00A1	SYSREF_TERM	SYSREF 端接配置	转到
0x00A2-0x00FF	保留		
0x0100	JESD_EN	JESD204C 子系统启用	转到
0x0101	JMODE	JESD204C 模式	转到
0x0102	JESD_M	JESD204C 流数量	转到
0x0103	JCTRL	JESD204C 控制	转到
0x0104	SHMODE	JESD204C 同步字模式	转到
0x0105	KM1	JESD204C K 参数	转到
x0106	RBD	JESD204C 释放缓冲器延迟	转到
0x0107	JESD_STATUS	JESD204C 系统状态寄存器	转到
0x0108	REFDIV	JESD204C 基准分频器	转到
0x0109	MPY	JESD204C PLL 倍频器	转到
0x010A	RATE	JESD204C 接收速率	转到
0x010B	LB_VRANGE	JESD204C VCO 范围	转到
0x010C-0x011F	保留		
0x0120	JSYNC_N	JESD204C 手动同步请求	转到
0x0121	JTEST	JESD204C 测试控制	转到
0x0122-0x0123	RESERVED	RESERVED	
0x0124	JTIMER	JESD204C 看门狗计时器	转到
0x0125-0x0126	保留		
0x0127	SYNC_EPW	JESD204C $\overline{\text{SYNC}}$ 错误报告脉冲宽度	转到
0x0128	CRC_TH	JESD204C CRC 错误阈值	转到
0x0129-0x012B	保留		
0x012C	LANE_ARSTAT	通道到达状态	转到
0x012D	保留		
0x012E-0x012F	LANE_INV	PHY 通道反转	转到
0x0130-0x013F	LANE_SEL[15:0]	逻辑通道 *n* 的 PHY 通道选择	转到

Copyright © 2024 Texas Instruments Incorporated

表 7-32. SPI 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
0x0140-0x014F	LANE_ARR[15:0]	通道 *n* 到达时间	转到
0x0150-0x015F	LANE_STATUS[15:0]	通道 *n* 状态	转到
0x0160-0x016F	LANE_ERR[15:0]	通道 *n* 错误标志	转到
0x0170-0x017F	FIFO_STATUS[15:0]	逻辑通道 *n* 的齿轮箱 FIFO 状态	转到
0x0180-0x0189	保留		
0x018A-0x019F	保留		
0x01A0	BER_EN	BER 测量控制	转到
0x01A1-0x01AF	保留		
0x01B0-0x01BF	BER_CNT[15:0]	通道 *n* 的 BER 错误计数	转到
0x01C0	保留		
0x01C1	JPHY_CTRL	串行器/解串器 PHY 控制	转到
0x01C2	EQ_CTRL	串行器/解串器均衡器控制	转到
0x01C3	EQZERO	串行器/解串器均衡器零点	转到
0x01D0-0x01DF	LANE_EQ[15:0]	通道 *n* 的串行器/解串器均衡器电平	转到
0x01E0-0x01EF	LANE_EQS[15:0]	通道 *n* 的串行器/解串器均衡器状态	转到
0x1F0	ESRUN	串行器/解串器眼图扫描运行控制	转到
0x01F1	ES_CTRL	串行器/解串器眼图扫描控制	转到
0x01F2	ESPO	串行器/解串器眼图扫描相位偏移	转到
0x01F3	ESVO	串行器/解串器眼图扫描电压偏移	转到
0x01F4	ES_BIT_SELECT	串行器/解串器眼图扫描位选择	转到
0x01F5	ESCOUNT_CLR	串行器/解串器错误计数器清零	转到
0x01F6-0x01F7	ESDONE	串行器/解串器眼图扫描过程完成	转到
0x01F8-0x01FF	保留		
0x0200-0x020F	ESVO_S[15:0]	通道 *n* 的串行器/解串器眼图扫描电压偏移	转到
0x0210-0x022F	ECOUNT[15:0]	通道 *n* 的串行器/解串器错误/不匹配计数	转到
0x0230-0x0233	保留		
0x0234	LOS_TH	串行器/解串器信号丢失阈值	转到
0x0235	EQCNTSZ	串行器/解串器均衡器计数器大小	转到
0x0236-0x237	保留		
0x0238	CDRLOCK	串行器/解串器 CDR 锁定/冻结	转到
0x0239	CDRPHASE	串行器/解串器 CDR 相位状态	转到
0x023A-0x024F	保留		
0x0250	PLL_STATUS	串行器/解串器 PLL 状态	转到
0x0251-0x0252	保留		
0x0253	JESD_RST	JESD 复位	转到
0x0254-0x02AF	保留		
0x02B0	EXTREF_EN	启用外部基准	转到
0x02B1	CUR_2X_EN	DAC 倍流器启用	转到
0x02B2-0x02C1	保留		
0x02C2-0x02CE	保留		
0x02CF	DAC_OFS_CHG_BLK	DAC 偏移量调节更改块	转到
0x02D0-0x02DF	保留		
0x02E0	DP_EN	数据路径启用	转到

Copyright © 2024 Texas Instruments Incorporated

表 7-32. SPI 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
0x02E1	DUC_L	DUC 内插因子	转到
0x02E2	DUC_GAIN	DUC 增益	转到
0x02E3	DUC_FORMAT	DUC 输出格式	转到
0x02E4	DAC_SRC	DAC 源	转到
0x02E5-0x02E7	保留		
0x02E8	MXMODE	DAC 输出模式	转到
0x02E9	保留		
0x02EA	TRUNC_HLSB	截断半 LSB 偏移	转到
0x02EB-0x02F7	保留		
0x02F8	TX_EN_SEL	发送器使能控制选择	转到
0x02F9	TX_EN	发送器使能配置	转到
0x02FA-0x02FF	保留		
0x0300	NCO_CTRL	NCO 控制	转到
0x0301	NCO_CONT	NCO 相位连续模式	转到
0x0302	NCO_SYNC	NCO 同步配置	转到
0x0303	NCO_AR	NCO 累加器复位	转到
0x0304	SPI_SYNC	SPI 同步	转到
0x0305	NCO_SS	NCO 连续自同步模式	转到
0x0306-0x0317	保留		
0x0318-0x031F	AMP[3:0]	DDS 振幅	转到
0x0320-0x0327	FREQ[0]	NCO*0* 累加器的频率	转到
0x0328-0x032F	FREQ[1]	NCO*1* 累加器的频率	转到
0x0330-0x0337	FREQ[2]	NCO*2* 累加器的频率	转到
0x0338-0x033F	FREQ[3]	NCO*3* 累加器的频率	转到
0x0340-0x0347	PHASE[3:0]	NCO*n* 累加器的相位	转到
0x0348-0x0377	保留		
0x0378-0x037F	AMP_R[3:0]	NCO*n* 振幅字回读	转到
0x0380-0x039F	FREQ_R[3:0]	NCO*n* 累加器频率回读	转到
0x03A0-0x03A7	PHASE_R[3:0]	NCO*n* 累加器相位字回读	转到
0x03A8-0x03DF	保留		
0x03E0	FR_FRS_R	FR 同步回读	转到
0x03E1	FR_NCO_AR_R	FR NCO 累加器复位回读	转到
0x03E2-0x03FF	保留		
0x0400	TS_TEMP	摄氏温度读数	转到
0x0401	TS_SLEEP	温度传感器睡眠	转到
0x0402-0x040F	保留		
0x0410	SYNC_STATUS	同步状态	转到
0x0411-0x042F	保留		
0x0430	SYS_ALM	系统警报状态	转到
0x0431	ALM_MASK	警报屏蔽	转到
0x0432	MUTE_MASK	DAC 静音屏蔽	转到
0x0433	MUTE_REC	DAC 静音恢复	转到
0x0434-0x05FF	保留		

Copyright © 2024 Texas Instruments Incorporated

表 7-32. SPI 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
0x0600	FUSE_STATUS	保险丝状态	转到
0x0601-0x0722	保留		
0x0723	FINE_CUR_A	DACA 精细偏置电流控制	转到
0x0724	COARSE_CUR_A	DACA 粗略偏置电流控制	转到
0x0725	FINE_CUR_B	DACB 精细偏置电流控制	转到
0x0726	COARSE_CUR_B	DACB 粗略偏置电流控制	转到
0x0727	DEM_ADJ	DEM 调节	转到
0x0728	保留		
0x0729	DEM_DITH	DEM 和抖动控制	转到
0x72A-0x072D	DAC_OFS	DAC_Offset_Adjustment	转到
0x72E - 0x7FF	保留		

7.5.3.1 CONFIG_A 寄存器（偏移 = 0h）[复位 = 30h]

图 7-61 展示了 CONFIG_A，表 7-33 中对此进行了介绍。

返回到寄存器汇总表。

配置 A（默认值：0x30）

图 7-61. CONFIG_A 寄存器

7	6	5	4	3	2	1	0
SOFT_RESET	保留	ASCEND	保留	保留			
R/W-0h	R/W-0h	R/W-1h	R/W-1h	R/W-0h			

表 7-33. CONFIG_A 寄存器字段说明

位	字段	类型	复位	说明
7	SOFT_RESET	R/W	0h	向该位写入 1 会导致芯片和所有 SPI 寄存器（包括 CONFIG_A）完全复位。该位将自行清零，并且读数始终为零。写入该位后，器件可能需要长达 5ns 的时间才能复位。在此期间，请勿执行任何 SPI 事务。
6	保留	R/W	0h	
5	ASCEND	R/W	1h	0：在流式读取/写入期间地址递减 1：在流式读取/写入期间地址递增（默认）
4	保留	R	1h	始终读为 1。
3-0	保留	R/W	0h	

7.5.3.2 DEVICE_CONFIG 寄存器（偏移 = 2h）[复位 = 00h]

图 7-62 展示了 DEVICE_CONFIG，表 7-34 中对此进行了介绍。

返回到寄存器汇总表。

器件配置（默认值：0x00）

图 7-62. DEVICE_CONFIG 寄存器

7	6	5	4	3	2	1	0
保留						模式	
R/W-0h						R/W-0h	

Copyright © 2024 Texas Instruments Incorporated

图 7-62. DEVICE_CONFIG 寄存器（续）

表 7-34. DEVICE_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7-2	保留	R/W	0h	
1-0	模式	R/W	0h	0：正常运行（默认） 1：保留 2：保留 3：全断电。在这种模式下，用户应遵循节 8.1.6 中的建议，以避免可靠性问题。

7.5.3.3 CHIP_TYPE 寄存器（偏移 = 3h）[复位 = 04h]

图 7-63 展示了 CHIP_TYPE，表 7-35 中对此进行了介绍。

返回到寄存器汇总表。

芯片类型（只读：0x04）

图 7-63. CHIP_TYPE 寄存器

7	6	5	4	3	2	1	0
保留				CHIP_TYPE			
R/W-0h				R-4h			

表 7-35. CHIP_TYPE 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	
3-0	CHIP_TYPE	R	4h	始终返回 0x4，表示该器件是高速 DAC。

7.5.3.4 CHIP_ID 寄存器（偏移 = 4h）[复位 = 003Bh]

图 7-64 展示了 CHIP_ID，表 7-36 中对此进行了介绍。

返回到寄存器汇总表。

芯片标识（只读）

图 7-64. CHIP_ID 寄存器

15	14	13	12	11	10	9	8
CHIP_ID							
R-0h							
7	6	5	4	3	2	1	0
CHIP_ID							
R-3Bh							

表 7-36. CHIP_ID 寄存器字段说明

位	字段	类型	复位	说明
15-0	CHIP_ID	R	003Bh	始终返回 0x003B，表示它是 DAC39RF10 器件系列

Copyright © 2024 Texas Instruments Incorporated

7.5.3.5 CHIP_VERSION 寄存器（偏移 = 6h）[复位 = 02h]

图 7-65 展示了 CHIP_VERSION，表 7-37 中对此进行了介绍。

返回到寄存器汇总表。

芯片版本（只读）

图 7-65. CHIP_VERSION 寄存器

7	6	5	4	3	2	1	0
CHIP_VERSION							
R-2h							

表 7-37. CHIP_VERSION 寄存器字段说明

位	字段	类型	复位	说明
7-0	CHIP_VERSION	R	02h	1：PG1.0 2：PG2.0

7.5.3.6 VENDOR_ID 寄存器（偏移 = Ch）[复位 = 0451h]

图 7-66 展示了 VENDOR_ID，表 7-38 中对此进行了介绍。

返回到寄存器汇总表。

供应商标识（默认值：0x0451）

图 7-66. VENDOR_ID 寄存器

15	14	13	12	11	10	9	8
VENDOR_ID							
R-04h							
7	6	5	4	3	2	1	0
VENDOR_ID							
R-51h							

表 7-38. VENDOR_ID 寄存器字段说明

位	字段	类型	复位	说明
15-0	VENDOR_ID	R	451h	TI 供应商 ID

7.5.3.7 SYSREF_CTRL 寄存器（偏移 = 0080h）[复位 = 40h]

图 7-67 展示了 SYSREF_CTRL，表 7-39 中对此进行了介绍。

返回到寄存器汇总表。

SYSREF 控制

图 7-67. SYSREF_CTRL 寄存器

7	6	5	4	3	2	1	0
SYSREF_PROC_EN	SYSREF_RECV_SLEEP	SYSREF_PS_EN	SYSREF_ZOOM	SYSREF_SEL			
R/W-0b	R/W-1b	R/W-0b	R/W-0b	R/W-0h			

Copyright © 2024 Texas Instruments Incorporated

表 7-39. SYSREF_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	SYSREF_PROC_EN	R/W	0h	该位设置后可启用 SYSREF 处理器。启用此功能后，系统将接收并处理每个新的 SYSREF 边沿。设置该位之前，用户应始终将 SYSREF_RECV_SLEEP 清零。提供该位是为了在允许 SYSREF 变为数字之前，使 SYSREF 接收器稳定下来。
6	SYSREF_RECV_SLEEP	R/W	1b	将该位清零可启用 SYSREF 接收器电路。设置该位之前，用户应始终将 SYSREF_PROC_EN 清零。
5	SYSREF_PS_EN	R/W	0b	设置后，SYSREF_POS 将包含自该位设置以来检测到靠近 SYSREF 边沿的所有位置的 1。清零后，SYSREF_POS 将只包含检测到的最后一个 SYSREF 边沿的 1。
4	SYSREF_ZOOM	R/W	0b	在 SYSREF 选通状态下将该位设置为“缩放”（影响 SYSREF_POS 和 SYSREF_SEL 的步长）。
3-0	SYSREF_SEL	R/W	0b	设置该字段以选择要使用的 SYSREF 延迟。根据 SYSREF_POS 返回的结果进行设置。

7.5.3.8 SYSREF_POS 寄存器（偏移 = 90h）[复位 = 不适用]

图 7-68 展示了 SYSREF_POS，表 7-40 中对此进行了介绍。

返回到寄存器汇总表。

SYSREF 位置捕获

图 7-68. SYSREF_POS 寄存器

23	22	21	20	19	18	17	16
保留				SYSREF_POS			
R				R			
15	14	13	12	11	10	9	8
SYSREF_POS							
R							
7	6	5	4	3	2	1	0
SYSREF_POS							
R							

表 7-40. SYSREF_POS 寄存器字段说明

位	字段	类型	复位	说明
23-20	保留	R	0x0	保留
19-0	SYSREF_POS	R	不适用	返回一个 20 位状态值，指示 SYSREF 边沿相对于 CLK 的位置。使用它来确定 SYSREF_SEL 和 SYSREF_ZOOM 的正确编程。

7.5.3.9 SYSREF_ALIGN 寄存器（偏移 = 00A0h）[复位 = 00h]

图 7-69 展示了 SYSREF_ALIGN，表 7-41 中对此进行了介绍。

返回到寄存器汇总表。

SYSREF 对齐控制

图 7-69. SYSREF_ALIGN 寄存器

7	6	5	4	3	2	1	0
保留							SYSREF_ALIGN_EN
R/W-00h							R/W-0b

Copyright © 2024 Texas Instruments Incorporated

图 7-69. SYSREF_ALIGN 寄存器（续）

表 7-41. SYSREF_ALIGN 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	保留
0	SYSREF_ALIGN_EN	R/W	0b	设置该位后，芯片会重新对齐每个检测到的 SYSREF 边沿。这会影响外部时钟分频器和 JESD 子系统。

SYSREF_TERM 寄存器（偏移 = 00A1h）[复位 = 00h]

图 7-70 展示了 SYSREF_TERM，表 7-42 中对此进行了介绍。

返回到寄存器汇总表。

SYSREF 端接配置

图 7-70. SYSREF_TERM 寄存器

7	6	5	4	3	2	1	0
保留							SYSREF_RECV_LVPECL
R/W-00h							R/W-0b

表 7-42. SYSREF_TERM 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	保留
0	SYSREF_RECV_LVPECL	R/W	0b	0：SYSREF 端接为 100Ω 差分电阻，VCM 为 0.4V 1：SYSREF 端接是单端 50Ω 至 GND（LVPECL 模式）

7.5.3.10 JESD_EN 寄存器（偏移 = 0100h）[复位 = 00h]

图 7-71 展示了 JESD_EN，表 7-43 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 子系统启用

图 7-71. JESD_EN 寄存器

7	6	5	4	3	2	1	0
保留							JESD_EN
R/W-00h							R/W-0b

表 7-43. JESD_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	JESD_EN	R/W	0b	0：禁用 JESD204C 接口 1：启用 JESD204C 接口 当 JESD_EN=0 时，JESD204C 子系统保持复位状态并且 SERDES PHY 被禁用。LMFC/LEMC 计数器也保持在复位状态，因此 SYSREF 不会对齐 LMFC/LEMC。 注意：仅当 DP_EN=0 时，才应更改该寄存器。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.11 JMODE 寄存器（偏移 = 0101h）[复位 = 00h]

图 7-72 展示了 JMODE，表 7-44 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 模式

图 7-72. JMODE 寄存器

7	6	5	4	3	2	1	0
保留		JMODE					
R/W-00b		R/W-000000b					

表 7-44. JMODE 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R/W	00b	
5-0	JMODE	RW	000000b	指定 JESD204C 接口模式。请参阅表 7-22 注意：仅当 JESD_EN=0 时，才应更改该寄存器。

7.5.3.12 JESD_M 寄存器（偏移 = 0102h）[复位 = 01h]

图 7-73 展示了 JESD_M，表 7-45 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 流数量

图 7-73. JESD_M 寄存器

7	6	5	4	3	2	1	0
				JESD_M			
R/W-0h				R/W-1h			

表 7-45. JESD_M 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	
3-0	JESD_M	R/W	1h	指定要启用的样本流数量（JESD204C M 参数）。JESD_M 支持的设置取决于 DUC 内插 (DUC_L) 和 Mx。 **L_{DUC}：JESD_M 支持的设置** 1x：1 或 2（但绝不大于 Mx） 2x 或 3x：2（但绝不大于 Mx） 4x 或 6x：2 或 4（但绝不大于 Mx） 8x 或更高：2、4、6 或 8（但绝不大于 Mx） 有关与每个 JMODE 关联的 Mx 值，请参阅表 7-22。启用的通道数 (L) 的计算公式如下：L=ceiling(M/Mx*Lx)。一个 I/Q 对计为两个流。例如，输入 4 个 IQ 流时，编程为 JESD_M=8。 注意：仅当 JESD_EN=0 且 DP_EN=0 时，才应更改该寄存器。

7.5.3.13 JCTRL 寄存器（偏移 = 0103h）[复位 = 03h]

图 7-74 展示了 JCTRL，表 7-46 中对此进行了介绍。

返回到寄存器汇总表。

Copyright © 2024 Texas Instruments Incorporated

JESD204C 控制。仅当 JESD_EN=0 时，才应更改该寄存器。

图 7-74. JCTRL 寄存器

7	6	5	4	3	2	1	0
保留	TI_MODE	SUBCLASS	JENC	保留		SFORMAT	SCR
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-1b	R/W-1b

表 7-46. JCTRL 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R/W	0b	
6	TI_MODE	R/W	0b	0：JESD204C 标准模式（默认） 1：TI 模式 - 使用 TI FPGA 发送器 IP 时设置此模式
5	SUBCLASS	R/W	0b	指定如何释放弹性缓冲器： 0：子类 0 操作（默认）。一旦所有通道都开始写入缓冲器，立即释放弹性缓冲器。 1：子类 1 操作。在 LMFC/LEMC 和 RBD 定义的释放时机释放弹性缓冲器。
4	JENC	R/W	0b	0：使用 8b/10b 链路层 1：使用 64b/66b 链路层
3-2	保留	R/W	0b	
1	SFORMAT	R/W	1b	JESD204C 样本的输入样本格式 0：偏移二进制 1：有符号的二进制补码（默认）
0	SCR	R/W	1b	0：8b/10b 扰频器已禁用 1：8b/10b 扰频器已启用（默认） 建议使用 8b/10b 扰频器来降低杂散噪声，并确保某些样本有效载荷不能阻止 JESD204C 接收器检测不正确的代码组或通道对齐。该寄存器对 64b/66b 模式（始终进行扰频）没有影响。

7.5.3.14 SHMODE 寄存器（偏移 = 0104h）[复位 = 00h]

图 7-75 展示了 SHMODE，表 7-47 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 同步字模式

图 7-75. SHMODE 寄存器

7	6	5	4	3	2	1	0
保留						SHMODE	
R/W-0b						R/W-00b	

表 7-47. SHMODE 寄存器字段说明

位	字段	类型	复位	说明
7-2	保留	R/W	00h	

Copyright © 2024 Texas Instruments Incorporated

表 7-47. SHMODE 寄存器字段说明（续）

位	字段	类型	复位	说明
1-0	SHMODE	R/W	00b	为 64b/66b 同步字（每个多块 32 位数据）选择模式。这仅在 JENC=1（64b/66b 模式）时适用。 0：启用 CRC-12 检查（JESD204C 表 41）（默认设置） 1：保留 2：保留 3：保留 注意：该器件不支持任何 JESD204C 命令特性。接收器会忽略所有命令字段。 注意：仅当 JESD_EN=0 时，才应更改该寄存器。

7.5.3.15 KM1 寄存器（偏移 = 0105h）[复位 = 1Fh]

图 7-76 展示了 KM1，表 7-48 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C K 参数 (-1)

图 7-76. KM1 寄存器

7	6	5	4	3	2	1	0
KM1							
R/W-1Fh							

表 7-48. KM1 寄存器字段说明

位	字段	类型	复位	说明
7-0	KM1	R/W	1Fh	K 是每个多帧的帧数，当使用 8b/10b 链路层时，应在此处对 K-1 进行编程（请参阅 JENC）。根据 JMODE 设置，K 的合法值受到约束（请参阅表 7-22 和 KR）。为 K 编程一个非法值将导致链路故障。默认值为 KM1=31，对应于 K=32。 注意：对于使用 64b/66b 链路层的模式，忽略 KM1 寄存器。K 的有效值为 256*E/F。 注意：仅当 JESD_EN=0 时，才应更改该寄存器。

7.5.3.16 RBD 寄存器（偏移 = 106h）[复位 = 00h]

图 7-77 展示了 RBD，表 7-49 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 释放缓冲器延迟

图 7-77. RBD 寄存器

7	6	5	4	3	2	1	0
保留		RBD					
R/W-0b		R/W-000000b					

表 7-49. RBD 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R/W	00b	

Copyright © 2024 Texas Instruments Incorporated

表 7-49. RBD 寄存器字段说明（续）

位	字段	类型	复位	说明
5-0	RBD	R/W	000000b	该寄存器改变了弹性缓冲器释放机会。将 RBD 增加 1 会将释放机会延迟 4 个字节（八位位组）。 合法的 RBD 范围为 0 至 K*F/4-1。 对于 64b/66b 模式，合法的 RBD 范围为 0 至 63。 请参阅“对 RBD 进行编程”。 注意：仅当 JESD_EN=0 时，才应更改该寄存器。

7.5.3.17 JESD_STATUS 寄存器（偏移 = 0107h）[复位 = 不适用]

图 7-78 展示了 JESD_STATUS，表 7-50 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C/系统状态

图 7-78. JESD_STATUS 寄存器

7	6	5	4	3	2	1	0
EB_ERR	LINK_UP	JSYNC_STATE	REALIGNED	ALIGNED	PLL_LOCKED	保留	
R/W1C	R	R	R/W1C	R	R	R	

表 7-50. JESD_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	EB_ERR	R/W1C	不适用	弹性缓冲器出现下溢/溢出。检查 RBD。 写入 1 以将该位清零。
6	LINK_UP	R	不适用	设置后，表示 JESD204C 链路已启动（释放弹性缓冲器）。
5	JSYNC_STATE	R	不适用	返回 JESD204C $\overline{\text{SYNC}}$ 信号的状态。 0：$\overline{\text{SYNC}}$ 置为有效 1：$\overline{\text{SYNC}}$ 置为无效
4	REALIGNED	R/W1C	不适用	当任何时钟分频器或 LMFC/LEMC 计数器由 SYSREF 重新对齐时，会设置该位。写入 1 以将该位清零。 当 SUBCLASS=0 时，该位的行为未定义。
3	ALIGNED	R	不适用	设置后，表示最后一个 SYSREF 脉冲与 SYSREF 相关时钟分频器（包括 LMFC/LEMC）一致。该位为只读（不能通过 SPI 清零）。设置 JESD_EN 后，该器件可能需要多达 7 个 SYSREF 脉冲才能实现完全对齐并设置该位。 当 SUBCLASS=0 时，该位的行为未定义。
2	PLL_LOCKED	R	不适用	当设置为高电平时，表示所有启用的串行器/解串器 PLL 均锁定。
1-0	保留	R	不适用	

7.5.3.18 REFDIV 寄存器（偏移 = 0108h）[复位 = 30h]

图 7-79 展示了 REFDIV，表 7-51 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 基准分频器

Copyright © 2024 Texas Instruments Incorporated

图 7-79. REFDIV 寄存器

7	6	5	4	3	2	1	0
保留		REFDIV					
R/W-0b		R/W-30h					

表 7-51. REFDIV 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R/W	00b	
5-0	REFDIV	R/W	30h	指定频率分频值，以从 DAC 时钟 (F_{CLK}) 生成 PHY PLL 基准时钟 (FREF)。请参阅“PLL 控制”。 以下值合法：2、3、4、5、6、8、10、12、16、20、24、32、40、48。保留所有其他值，并产生未定义的行为。

7.5.3.19 MPY 寄存器（偏移 = 0109h）[复位 = 14h]

图 7-80 展示了 MPY，表 7-52 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C PLL 倍频器

图 7-80. MPY 寄存器

7	6	5	4	3	2	1	0
MPY							
R/W-14h							

表 7-52. MPY 寄存器字段说明

位	字段	类型	复位	说明
7-0	MPY	R/W	14h	指定 PHY 的 PLL 倍频器。请参阅“PLL 控制”。此设计允许使用以下值： **MPY：倍频器** 16 (0x10)：4 20 (0x14)：5 33 (0x21)：8.25 40 (0x28)：10 注意：仅当 JESD_EN=0 时，才应更改该寄存器。

7.5.3.20 RATE 寄存器（偏移 = 010Ah）[复位 = 00h]

图 7-81 展示了 RATE，表 7-53 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 接收速率

图 7-81. RATE 寄存器

7	6	5	4	3	2	1	0
保留						RATE	
R/W-00h						R/W-00b	

Copyright © 2024 Texas Instruments Incorporated

表 7-53. RATE 寄存器字段说明

位	字段	类型	复位	说明
7-2	保留	R/W	00h	
1-0	RATE	R/W	00b	控制从 PHY PLL 到串行线速率的倍频器。请参阅“PLL 控制”。影响所有通道。 **RATE：倍频器** 00b：4 01b：2 10b：1 11b：0.5 注意：仅当 JESD_EN=0 时，才应更改该寄存器。

7.5.3.21 LB_VRANGE 寄存器（偏移 = 010Bh）[复位 = 00h]

图 7-82 展示了 LB_VRANGE，表 7-54 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C PLL VCO 范围。注意：仅当 JESD_EN=0 时，才应更改该寄存器。

图 7-82. LB_VRANGE 寄存器

7	6	5	4	3	2	1	0
保留							VRANGE
R/W-0h							R/W-0b

表 7-54. LB_VRANGE 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	VRANGE	R/W	0b	如果 PLL/VCO 频率低于 2.17GHz，则必须设置该位。请参阅“PLL 控制”。

7.5.3.22 JSYNC_N 寄存器（偏移 = 0120h）[复位 = 01h]

图 7-67 展示了 JSYNC_N，表 7-39 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 手动同步请求

图 7-83. JSYNC_N 寄存器

7	6	5	4	3	2	1	0
保留							JSYNC_N
R/W-00h							R/W1C

表 7-55. JSYNC_N 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	JSYNC_N	R/W	1b	将该位设置为 0，手动将 $\overline{\text{SYNC}}$ 信号置为有效。正常运行时，将该位设置为 1。 注意：当 JENC=1 时，JSYNC_N=0 的行为未定义。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.23 JTEST 寄存器（偏移 = 0121h）[复位 = 00h]

图 7-84 展示了 JTEST，表 7-56 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 测试控制

图 7-84. JTEST 寄存器

7	6	5	4	3	2	1	0
保留			JTEST				
R/W-000b			R/W-00h				

表 7-56. JTEST 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	0h	
4-0	JTEST	R/W	0b	PRBS 测试模式： 0：测试模式已禁用。正常运行（默认） 1：PRBS7 测试模式 2：PRBS9 测试模式 3：PRBS15 测试模式 4：PRBS31 测试模式 5-31：保留 启用 PRBS 测试模式后，请参阅 BER_EN。 注意：仅当 JESD_EN=0 时，才应更改该寄存器。

7.5.3.24 JTIMER 寄存器（偏移 = 0124h）[复位 = 00h]

图 7-85 展示了 JTIMER，表 7-57 中对此进行了介绍。

返回到寄存器汇总表。

注意：仅当 JESD_EN=0 时，才应更改该寄存器。

JESD204C 看门狗计时器

图 7-85. JTIMER 寄存器

7	6	5	4	3	2	1	0
JTPLL	保留	JTR		保留	JTT		
R/W-0b	R/W-0b	R/W-0b		R/W-0b	R/W-000b		

表 7-57. JTIMER 寄存器字段说明

位	字段	类型	复位	说明
7	JTPLL	R/W	1b	设置该位后，当看门狗计时器到期时，串行器/解串器 PLL 也会复位。 当该位为 0 时，仅复位串行器/解串器接收器。
6	保留	R/W	0b	

Copyright © 2024 Texas Instruments Incorporated

表 7-57. JTIMER 寄存器字段说明（续）

位	字段	类型	复位	说明
5-4	JTR	R/W	00b	该寄存器可确定在链路建立且未设置 CRC_FAULT 时看门狗计数器递减的量。 **JTR：看门狗计数器递减：防止串行器/解串器复位所需的近似链路正常运行时间百分比** 0：1：99.25% 1：2：98.46% 2：8：94.12% 3：16：88.89%
3	保留	R/W	0b	
2-0	JTT	R/W	0b	JESD204C 看门狗计数器阈值。当看门狗计数器达到 JTT 定义的阈值时，PHY 层复位（如果 JTPLL=1，则包括 PHY PLL）并且看门狗计时器复位。JTT 的值越大，看门狗计时器的干预时间就越长。 JTT：看门狗计数器阈值：计数器持续时间 [假设 F_{CLK} = 10.24GHz 0：<看门狗计时器已禁用>：<已禁用> 1：2^{17}：102.4 µs 2：2^{19}：409.6 µs 3：2^{32}：1.63ms 4：2^{23}：6.55ms 5-7：RESERVED：保留 注意：看门狗可能检测不到短于 2^{10} (1024) 个 CLK 周期的链路建立事件。

7.5.3.25 SYNC_EPW 寄存器（偏移 = 0127h）[复位 = 00h]

图 7-86 展示了 SYNC_EPW，表 7-58 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C SYNC 错误报告脉冲宽度

图 7-86. SYNC_EPW 寄存器

7	6	5	4	3	2	1	0
保留					SYNC_EPW		
R/W-00h					R/W-000b		

表 7-58. SYNC_EPW 寄存器字段说明

位	字段	类型	复位	说明
7-3	保留	R/W	00h	
2-0	SYNC_EPW	R/W	000b	指定用于向发送器报告错误的 $\overline{\text{SYNC}}$ 的脉冲宽度。当检测到不需要链路重新同步的错误时，SYNC_EPW 链路时钟周期（等于 4*SYNC_EPW 字符持续时间）的 $\overline{\text{SYNC}}$ 将置为有效。要通过 $\overline{\text{SYNC}}$ 禁用错误报告，请设置 SYNC_EPW=0。SYNC_EPW 的合法范围为 0 至 7。 注意：仅当 JESD_EN=0 时，才应更改该寄存器。

7.5.3.26 CRC_TH 寄存器（偏移 = 0128h）[复位 = 00h]

图 7-87 展示了 CRC_TH，表 7-59 中对此进行了介绍。

Copyright © 2024 Texas Instruments Incorporated

返回到寄存器汇总表。

JESD204C CRC 错误阈值

图 7-87. CRC_TH 寄存器

7	6	5	4	3	2	1	0
保留				CRC_ERR_REC		CFC_ERR_TH	
R/W-0h				R/W-00b		R/W-00b	

表 7-59. CRC_TH 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	
3-2	CRC_ERR_REC	R/W	0b	指定必须接收多少个连续、无错误多块才能复位 CRC 错误计数器（如果触发了 CRC 警报，则取消触发该警报）。 0：1 个多块 1：4 个多块 2：16 个多块 3：64 个多块
1-0	CRC_ERR_TH	R/W	0b	指定必须有多少个多块出现 CRC 错误才能触发 CRC 警报。接收器会对每个错误进行计数，但如果出现一连串无错误多块（由 CRC_ERR_REC 指定），则错误计数器会复位。 0：1 个多块 1：2 个多块 2：4 个多块 3：8 个多块
注意：对于每个通道，如果出现 CRC 错误的多块数量超过 CRC_ERR_TH 设置的阈值，而没有一连串由 CRC_ERR_REC 指定的连续、无错误多块，则设置内部信号 CRC_FAULT。当检测到由 CRC_ERR_REC 指定的一连串连续、无错误多块时，系统会将 CRC_FAULT 清零。 注意：仅当 JESD_EN=0 时，才应更改该寄存器。				

7.5.3.27 LANE_ARSTAT 寄存器（偏移 = 012Ch）[复位 = 不适用]

图 7-88 展示了 LANE_ARSTAT，表 7-60 中对此进行了介绍。

返回到寄存器汇总表。

通道到达状态

图 7-88. LANE_ARSTAT 寄存器

7	6	5	4	3	2	1	0
保留							LANE_ARR_RDY
R/W-00h							R

表 7-60. LANE_ARSTAT 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	LANE_ARR_RDY	R	不适用	当捕获到通道到达时间并可在 LANE_ARR 中进行读取时，将设置该位。当所有通道都就绪并且芯片尝试释放弹性缓冲器时，将捕获通道到达数据。当 JESD_EN=0 或 JESD_RST=1 时，该位清零。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.28 LANE_INV 寄存器（偏移 = 012Eh）[复位 = 0000h]

图 7-89 展示了 LANE_INV，表 7-61 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器通道反转

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

图 7-89. LANE_INV 寄存器

15	14	13	12	11	10	9	8
LANE_INV[15:8]							
R/W-00h							
7	6	5	4	3	2	1	0
LANE_INV[7:0]							
R/W-00h							

表 7-61. LANE_INV 寄存器字段说明

位	字段	类型	复位	说明
15-0	LANE_INV	R/W	0000h	编程 LANE_INV[n]=1，使通过物理通道 n 的比特流反转。如果在发送器和接收器之间交换差分对，则使用此选项。

7.5.3.29 LANE_SEL[15:0] 寄存器（偏移 = 0130h）[LANE_SEL[*n*]= *n* 复位]

LANE_SEL[15:0] 构成交叉开关，是一组 16 个寄存器，用于指定哪个物理通道绑定到逻辑通道 *n*。图 7-90 展示了 LANE_SEL[15:0]，表 7-62 中对此进行了介绍。

返回到寄存器汇总表。

逻辑通道 *n* (*n* = 0 - 15) 的串行器/解串器通道选择。LANE_SEL[0] 位于最低地址。

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

图 7-90. LANE_SEL[15:0] 寄存器

7	6	5	4	3	2	1	0
保留				LANE_SEL[*n*]			
R/W-0h				R/W-*n*			

表 7-62. LANE_SEL[15:0] 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	
3-0	LANE_SEL[*n*]	R/W	*n*	指定哪个物理通道（0 至 15）绑定到逻辑通道 *n*。要将物理通道 *p* 绑定到逻辑通道 *n*，请编程 LANE_SEL[*n*]=*p*。例如，要将逻辑通道 0 绑定到物理通道 3，请编程 LANE_SEL[0]=3。 注意：仅当 JESD_EN=0 时，才应更改该寄存器。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.30 LANE_ARR[15:0] 寄存器（偏移 = 0140h）[只读，复位 = 不适用]

LANE_ARR[15:0] 是一组 16 个寄存器，用于测量通道 *n* 的到达时间。图 7-91 展示了 LANE_ARR[15:0]，表 7-63 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器通道 *n* 到达时间 (*n* = 0 - 15)。LANE_ARR[0] 位于最低地址。

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

图 7-91. LANE_ARR[15:0] 寄存器

7	6	5	4	3	2	1	0
保留		LANE_ARR[*n*]					
R-00b		R					

表 7-63. LANE_ARR[15:0] 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R	0h	
5-0	LANE_ARR[*n*]	R	不适用	返回通道 *n* 相对于内部 LMFC/LEMC（SYSREF 建立）的到达时间。无论多帧/EMB 长度如何，返回的值都可以介于 0 和 63（含）之间。这些寄存器仅在 LANE_ARR_RDY=1 时有效。请参阅“对 RBD 进行编程”。 注意：当尝试释放弹性缓冲器且 LANE_ARR_RDY=0 时，系统将捕获通道到达数据。所有值均来自同一释放尝试。 注意：启动链路时，可能需要使用 JESD_RST 来获得准确的通道到达值。

7.5.3.31 LANE_STATUS[15:0] 寄存器（偏移 = 0150h）[只读，复位 = 不适用]

LANE_STATUS[15:0] 是一组 16 个寄存器，用于显示通道 *n* 的状态。图 7-92 展示了 LANE_STATUS[15:0]，表 7-64 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器通道 *n* 状态 (*n* = 0 - 15)。LANE_STATUS[0] 位于最低地址。

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

图 7-92. LANE_STATUS[15:0] 寄存器

7	6	5	4	3	2	1	0
保留						LANE_STATUS[*n*]	
R-00h						R	

表 7-64. LANE_STATUS[15:0] 寄存器字段说明

位	字段	类型	复位	说明
7-3	保留	R	00h	
2	F_EMB_SYNC[*n*]	R	不适用	如果逻辑通道 n 具有帧或 EMB 同步，则返回 1。
1	CG_BK_SYNC[*n*]	R	不适用	如果逻辑通道 *n* 具有代码组或块同步，则返回 1。

Copyright © 2024 Texas Instruments Incorporated

表 7-64. LANE_STATUS[15:0] 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SIG_DET[*n*]	R	不适用	如果逻辑通道 *n* 正在检测数据信号（使用 PHY 中的信号丢失检测器），则返回 1。

7.5.3.32 LANE_ERR[15:0] 寄存器（偏移 = 0160h）[复位 = 00h]

LANE_ERR[15:0] 是一组 16 个寄存器，用于报告通道 *n* 的错误。图 7-93 展示了 LANE_ERR[15:0]，表 7-65 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器通道 *n* 错误标志 (*n* = 0 - 15)。LANE_ERR[0] 位于最低地址。

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

图 7-93. LANE_ERR[15:0] 寄存器

7	6	5	4	3	2	1	0
LANE_ERR[*n*]							
R/W1C							

表 7-65. LANE_ERR[15:0] 寄存器字段说明

位	字段	类型	复位	说明
7-0	LANE_ERR[*n*]	R/W1C	00h	粘滞位，指示通道 n 上的各种错误。设置一个位以指示错误。写入 1 以将某个位清零。 [7] 在非预期位置 (8b/10b) 发现对齐字符，或（扩展）多块引导信号未处于预期位置 (64b/66b) [6] 多帧、多块或扩展多块对齐丢失。 [5] 帧对齐丢失（仅限 8b/10b）或 CRC_FAULT=1 (64b/66b)。 [4] 代码组或块同步丢失。 [3] RESERVED [2] 发生了非表内或意外控制字符 (8b/10b) 或 CRC (64b/66b) 错误。 [1] 发生了视差错误 (8b/10b) 或无效的同步报头 (64b/66b)。 [0] 齿轮箱 FIFO 溢出或下溢。只要写入时钟频率正确，齿轮箱写入时钟就可以在该标志之后至少漂移 3UI 而不会导致数据损坏。 注意：未定义额外或已禁用通道的通道错误标志。 注意：当 sync_n=1 时，仅在 8b/10b 操作中检测到 LANE_ERR[6:1]

7.5.3.33 FIFO_STATUS[15:0] 寄存器（偏移 = 0170h）[只读，复位 = 不适用]

FIFO_STATUS[15:0] 是一组 16 个寄存器，用于显示通道 *n* 的状态。图 7-94 展示了 LANE_STATUS[15:0]，表 7-66 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器通道 *n* 状态 (*n* = 0 - 15)。FIFO_STATUS[0] 位于最低地址。

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

Copyright © 2024 Texas Instruments Incorporated

图 7-94. FIFO_STATUS[15:0] 寄存器

7	6	5	4	3	2	1	0
保留			PDIFF[*n*]				
R-000b			R				

表 7-66. FIFO_STATUS[15:0] 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R	000b	
4-0	PDIFF[*n*]	R	不适用	该寄存器返回逻辑通道 n 齿轮箱 FIFO 内的写入指针和读取指针之间的差值。 对于 8b/10b，将返回 0-14 的值。对于 64b/66b，将返回 0-16 的值。范围两端的值（对于 8b/10b 为 0 和 14，对于 64b/66b 为 0 和 16）表示将导致在 LANE_ERR 中设置齿轮箱 FIFO 溢出/下溢标志的错误位置。在这两种情况下，1 表示最小设置，最大值减 1 表示最小保持。 在读取时钟中测量值。胎面尺寸约为有效链路层时钟周期的 ½ (0.5/(LCR*FDR))。若以 UI 为单位： • 在 8b/10b 模式下，标称胎面尺寸为 20UI。最终胎面 (14) 的标称胎面尺寸为 380UI±20UI。 • 在 64b/66b 模式下，标称胎面尺寸为 16.5UI。最终胎面 (16) 的标称胎面尺寸为 412.5UI±16.5UI。 未定义已禁用通道和由 EXTRA_LANE 启用的通道的 PDIFF[n] 值。

7.5.3.34 BER_EN 寄存器（偏移 = 01A0h）[复位 = 00h]

图 7-95 展示了 BER_EN，表 7-67 中对此进行了介绍。

返回到寄存器汇总表。

BER 测量控制

图 7-95. BER_EN 寄存器

7	6	5	4	3	2	1	0
保留							BER_EN
R/W-0b							R/W-0b

表 7-67. BER_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	BER_EN	R/W	0b	BER（误码率）测试启用。设置接收器参数后，用户可以将 JTEST 编程为 PRBS 模式，设置 JESD_EN，然后设置 BER_EN 以启用 BER 计数器（请参阅 BER_CNTn）。要清零并重新启动计数器，请将 BER_EN 编程为 0，然后再编程回 1。BER 逻辑将在 BER_EN 上升沿之后与传入的 PRBS 数据自同步。

7.5.3.35 BER_CNT 寄存器（偏移 = 01B0h）[复位 = 不适用，只读]

图 7-96 展示了 BER_CNT，表 7-68 中对此进行了介绍。

返回到寄存器汇总表。

Copyright © 2024 Texas Instruments Incorporated

通道 *n* 的 BER 错误计数。通道 0 是最低地址

图 7-96. BER_CNT 寄存器

7	6	5	4	3	2	1	0
BER_CNT[*n*]							
R/W-0b							

表 7-68. BER_CNT 寄存器字段说明

位	字段	类型	复位	说明
7-0	BER_CNT[*n*]	R/W	0h	返回在通道 n 上检测到的位错误数。该值将在 255 达到饱和。通道 n 的 BER 计算如下： BER = BER_CNT[n] / FBIT / TBER 其中，TBER 是从设置 BER_EN 到读取 BER_CNT[n] 之间经过的秒数。TBER 由主机系统或时钟测量。 示例：如果 BER_CNT[n] 返回 2，且 FBIT 为 12.8Gbps，TBER 为 3600 秒，则误码率为 2/12.8e9/3600 = 43e-15 注意：未定义已禁用通道和由 EXTRA_LANE 启用的通道上的错误计数器。

7.5.3.36 JPHY_CTRL 寄存器（偏移 = 01C1h）[复位 = 43h]

图 7-97 展示了 JPHY_CTRL，表 7-69 中对此进行了介绍。

返回到寄存器汇总表。

JESD204C 串行器/解串器控制。注意：仅当 JESD_EN=0 时，才应更改该寄存器。

图 7-97. JPHY_CTRL 寄存器

7	6	5	4	3	2	1	0
保留	CDR			保留		OC_EN	LOS_EN
R/W-0b	R/W-100b			R/W-0b		R/W-1b	R/W-1b

表 7-69. JPHY_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R/W	0b	
6-4	CDR	R/W	100b	控制 CDR（时钟数据恢复）设置。默认值应适当，但其他设置可用于调节跟踪速率或降低 CDR 功耗。二阶模式用于在 Tx 和 Rx 不共享通用基准时钟时跟踪频率偏移。这不适用于 JESD204C。请参阅 CDR 设置。
3-2	保留	R/W	00b	
1	OC_EN	R/W	1b	为所有通道启用偏移补偿/校准。
0	LOS_EN	R/W	1b	为所有通道启用信号丢失检测器。

表 7-70. CDR 设置

CDR	投票阈值	跟踪速率 [ppm]	阶次	稳定时间 [UI]	活动比例 (%)
0	15	313	二阶	36	83
1	7	607	二阶	36	70
2	3	723	二阶	36	50
3	1	868	二阶	36	25
4（默认值）	15	96	一阶	36	83

Copyright © 2024 Texas Instruments Incorporated

表 7-70. CDR 设置（续）

CDR	投票阈值	跟踪速率 [ppm]	阶次	稳定时间 [UI]	活动比例 (%)
5	3	289	一阶	36	50
6	1	434	一阶	36	25
7	7	13	一阶	1524	5

7.5.3.37 EQ_CTRL 寄存器（偏移 = 01C2h）[复位 = 00h]

图 7-98 展示了 EQ_CTRL，表 7-71 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器均衡器控制

图 7-98. EQ_CTRL 寄存器

7	6	5	4	3	2	1	0
保留			EQ_OVR	EQZ_OVR	EQHLD	EQMODE	
R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-00b	

表 7-71. EQ_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	000b	
4	EQ_OVR	R/W	0b	当 EQMODE=1 时，您可以使用 EQLEVEL[n] 寄存器编程 EQ_OVR=1，以覆盖均衡器电平。影响所有通道。
3	EQZ_OVR	R/W	0b	设置该位可以启用 EQZERO 寄存器（覆盖均衡器的零点频率）。当 EQZ_OVR=0 时，根据 RATE 寄存器设置频率。影响所有通道。
2	EQHLD	R/W	0b	当均衡器处于完全自适应模式（EQMODE=1 和 EQ_OVR=0）时，对 EQHLD 进行编程将冻结（保持）自适应环路（针对所有通道）。
1-0	EQMODE	R/W	00b	设置均衡器模式（针对所有通道）：请参阅“均衡器”。 0：已禁用均衡器。具有最大增益的平坦响应。 1：已启用均衡器。如果 EQ_OVR=0，则均衡器完全自适应。 2：前标均衡分析。 3：后标均衡分析。

7.5.3.38 EQZERO 寄存器（偏移 = 01C3h）[复位 = 00h]

图 7-99 展示了 EQZERO，表 7-72 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器均衡器零点。

图 7-99. EQZERO 寄存器

7	6	5	4	3	2	1	0
保留			EQZERO				
R/W-000b			R/W-00h				

表 7-72. EQZERO 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	000b	

Copyright © 2024 Texas Instruments Incorporated

表 7-72. EQZERO 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	EQZERO	R/W	00h	当 EQZ_OVR=1 时，该字段覆盖均衡器的零点频率（针对所有通道）。当 EQZ_OVR=0 时，根据 RATE 设置自动设置零点频率。 0x1F：365MHz（全速率和半速率的默认设置，RATE = 0 或 1） 0x1E：275MHz 0x1D：195MHz 0x1B：140MHz（四分之一速率模式的默认设置，RATE = 2） 0x19：105MHz 0x10：75MHz 0x08：55MHz（八分之一速率的默认设置，RATE = 3） 0x00：50MHz

7.5.3.39 LANE_EQ[15:0] 寄存器（偏移 = 01D0h）[复位 = 08h]

图 7-100 展示了 LANE_EQ[15:0]，表 7-73 中对此进行了介绍。

返回到寄存器汇总表。

物理通道 [*n*] 的串行器/解串器均衡器电平。LANE_EQ[0] 位于最低地址。

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

图 7-100. LANE_EQ[15:0] 寄存器

7	6	5	4	3	2	1	0
保留	EQBOOST[*n*]		EQLEVEL[*n*]				
R/W-0b	R/W-00b		R/W-00h				

表 7-73. LANE_EQ[15:0] 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R/W	0b	
6-5	EQBOOST[*n*]	R/W	00b	控制物理通道 *n* 的 EQ 升压。 **EQBOOST：增益提升：BW 更改：功率提高** 0：0dB：0%：0mW 1：2dB：-30%：0mW 2：4dB：+10%：5mW 3：6dB：-20%：5mW
4-0	EQLEVEL[*n*]	R/W	00h	当 EQ_OVR=1 时，该字段控制通道 n 的均衡级别。有效范围为 0（最不均衡）至 16（最均衡）。

7.5.3.40 LANE_EQS[15:0] 寄存器（偏移 = 01E0h）[复位 = 不适用，只读]

图 7-101 展示了 LANE_EQS[15:0]，表 7-74 中对此进行了介绍。

返回到寄存器汇总表。

物理通道 *n* 的串行器/解串器均衡器状态

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

Copyright © 2024 Texas Instruments Incorporated

图 7-101. LANE_EQS[15:0] 寄存器

7	6	5	4	3	2	1	0
保留	EQOVER[*n*]	EQUNDER[*n*]	EQLEVEL_S[*n*]				
R	R	R	R				

表 7-74. LANE_EQS[15:0] 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R		
6	EQOVER[*n*]	R		用于 PHY 通道 *n* 前标/后标分析的 EQOVER 状态。请参阅前标/后标分析流程。
5	EQUNDER[*n*]	R		用于 PHY 通道 *n* 前标/后标分析的 EQUNDER 状态。请参阅前标/后标分析流程。
4	EQLEVEL_S[*n*]	R		该字段返回当前对通道 *n* 有效的均衡器电平。这是在通道 *n* 的 stsrx EQLEVEL_S 字段的温度计编码值中设置的位数计数。

7.5.3.41 ESRUN 寄存器（偏移 = 01F0h）[复位 = 00h]

图 7-102 展示了 ESRUN，表 7-75 中对此进行了介绍。

返回到寄存器汇总表。

眼图扫描运行控制

图 7-102. ESRUN 寄存器

7	6	5	4	3	2	1	0
保留							ESRUN
R/W-00h							R/W-0b

表 7-75. ESRUN 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	ESRUN	R/W	0b	设置眼图扫描后，请设置 ESRUN=1 以运行眼图扫描测试。请参阅眼图扫描流程。

7.5.3.42 ES_CTRL 寄存器（偏移 = 01F1h）[复位 = 00h]

图 7-103 展示了 ES_CTRL，表 7-76 中对此进行了介绍。

返回到寄存器汇总表。注意：仅在 ESRUN=0 时更改该寄存器。

眼图扫描控制

图 7-103. ES_CTRL 寄存器

7	6	5	4	3	2	1	0
保留		ESLEN		ES			
R/W-00b		R/W-00b		R/W-0h			

表 7-76. ES_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-6	ES_CTRL	R/W	00b	

Copyright © 2024 Texas Instruments Incorporated

表 7-76. ES_CTRL 寄存器字段说明（续）

位	字段	类型	复位	说明
5-4	ESLEN	R/W	00b	指定眼图扫描测试的长度。值越大，结果越一致，但需要的时间越长。 **ESLEN：分析的样本数** 0：127 1：1032 2：8191 3：65535 注意：许多眼图扫描模式仅分析零（或一）。由于它们不会分析每个样本，因此与分析所有样本的模式相比，这些模式将需要更长时间才能完成。
3-0	ES	R/W	0h	指定眼图扫描模式。适用于所有通道。 ES：眼图扫描模式 0：已禁用眼图扫描（默认） 1：比较。统计普通采样器和眼图扫描采样器之间的不匹配。分析零和一。 2：比较零。与 ES=1 相同，但只分析零。 3：比较一。与 ES=1 相同，但仅分析一。 4：计数一。当眼图扫描样本为 1 时，ECOUNTn 递增。 5-7：保留 8：平均零。将 ESVO_Sn 调节为零的平均电压。 9：外零。将 ESVO_Sn 调节为零的最低电压。 10：内零。将 ESVO_Sn 调节为零的最高电压。 11：保留 12：平均一。将 ESVO_Sn 调节为一的平均电压。 13：外一。将 ESVO_Sn 调节为一的最高电压。 14：内一。将 ESVO_Sn 调节为一的最低电压。 15：保留

7.5.3.43 ESPO 寄存器（偏移 = 01F2h）[复位 = 00h]

图 7-104 展示了 ESPO，表 7-77 中对此进行了介绍。

返回到寄存器汇总表。

眼图扫描相位偏移

图 7-104. ESPO 寄存器

7	6	5	4	3	2	1	0
保留	ESPO						
R/W-0b	R/W-00h						

表 7-77. ESPO 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R/W	0h	
6-0	ESPO	R/W	0b	所有通道的眼图扫描相位偏移。与普通采样器相比，这可调节眼图扫描采样器的采样时刻。这是一个介于 -64 和 +63 之间的有符号值，步长为 UI 的 1/32。 注意：仅在 ESRUN=0 时更改该寄存器。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.44 ESVO 寄存器（偏移 = 01F3h）[复位 = 00h]

图 7-105 展示了 ESVO，表 7-78 中对此进行了介绍。

返回到寄存器汇总表。

眼图扫描电压偏移量

图 7-105. ESVO 寄存器

7	6	5	4	3	2	1	0
保留				ESVO			
R/W-00b				R/W-00h			

表 7-78. ESVO 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R/W	0h	
5-0	ESVO	R/W	00h	所有通道的眼图扫描电压偏移量。这将调节眼图扫描采样器的电压阈值。这是一个介于 -32 和 +31 之间的有符号值。步长约为 10mV（提供大约 -320mV 至 +310mV 的调节范围）。对于自动调节电压偏移量并在 ESVO_S[*n*] 上返回结果的眼图扫描模式，将忽略该字段。 注意：仅当 ESRUN=0 时，才应更改该寄存器。

7.5.3.45 ES_BIT_SELECT 寄存器（偏移 = 01F4h）[复位 = 00h]

图 7-106 展示了 ES_BIT_SELECT，表 7-79 中对此进行了介绍。

返回到寄存器汇总表。

眼图扫描位选择。

图 7-106. ES_BIT_SELECT 寄存器

7	6	5	4	3	2	1	0
保留			ES_BIT_SELECT				
R/W-000b			R/W-00h				

表 7-79. ES_BIT_SELECT 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R/W	000b	
4-0	ES_BIT_SELECT	R/W	00h	眼图扫描仅每 20 位运行一次。该字段指定运行眼图扫描的位位置（有效范围为 0 至 19）。可以使用 ES_BIT_SELECT 的所有可能值运行眼图扫描并将结果合并。或者，可以将结果分开，以查看任何占空比失真/重复抖动的影响。 注意：仅当 ESRUN=0 时，才应更改该寄存器。

7.5.3.46 ECOUNT_CLR 寄存器（偏移 = 01F5h）[复位 = 00h]

图 7-107 展示了 ECOUNT_CLR，表 7-80 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器错误计数器清零

图 7-107. ECOUNT_CLR 寄存器

7	6	5	4	3	2	1	0

Copyright © 2024 Texas Instruments Incorporated

图 7-107. ECOUNT_CLR 寄存器（续）

保留	ECOUNT_CLR
R/W-00h	R/W-0b

表 7-80. ECOUNT_CLR 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	ECOUNT_CLR	R/W	0b	将其编程为 1，然后编程为 0，以将 ECOUNT 计数器清零

7.5.3.47 ESDONE 寄存器（偏移 = 01F6h）[复位 = 不适用，只读]

图 7-108 展示了 ESDONE，表 7-81 中对此进行了介绍。

返回到寄存器汇总表。

眼图扫描过程完成

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

图 7-108. ESDONE 寄存器

7	6	5	4	3	2	1	0
ESDONE[15:8]							
R							
ESDONE[7:0]							
R							

表 7-81. ESDONE 寄存器字段说明

位	字段	类型	复位	说明
15-0	ESDONE[15:0]	R	不适用	ESDONE[*n*] 返回 1 以指示已在物理通道 *n* 上完成眼图扫描过程。读取 ESVO_S[*n*] 或 ECOUNT[*n*] 之前，必须确保 ESDONE[*n*] 返回 1。

7.5.3.48 ESVO_S[15:0] 寄存器（偏移 = 0200h）[复位 = 不适用，只读]

图 7-109 展示了 ESVO_S[15:0]，表 7-82 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器通道 *n* 的眼图扫描电压偏移量，*n* = 0 - 15。ESVO_S[0] 位于最低地址。

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

图 7-109. ESVO_S[15:0] 寄存器

7	6	5	4	3	2	1	0
保留				ESVO_S[*n*]			
R				R			

表 7-82. ESVO_S[15:0] 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R	不适用	

Copyright © 2024 Texas Instruments Incorporated

表 7-82. ESVO_S[15:0] 寄存器字段说明（续）

位	字段	类型	复位	说明
5-0	ESVO_S[*n*]	R	不适用	返回物理通道 *n* 上眼图扫描的电压偏移量结果。适用于自动计算电压偏移量的眼图扫描模式。仅当 ESDONE[*n*] 返回 1 时有效。

7.5.3.49 ESCOUNT[15:0] 寄存器（偏移 = 0210h）[复位 = 不适用，只读]

图 7-110 展示了 ESCOUNT[15:0]，表 7-83 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器通道 *n* 的眼图扫描电压偏移量，*n* = 0 - 15。ESCOUNT[0] 位于最低地址。

备注

DDS 器件上仅连接信道 6 和 14。所有其他信道都断开连接。

图 7-110. ESCOUNT[15:0] 寄存器

7	6	5	4	3	2	1	0
ESCOUNT[15:8][*n*]							
R							
ESCOUNT[7:0][*n*]							
R							

表 7-83. ESCOUNT[15:0] 寄存器字段说明

位	字段	类型	复位	说明
15-0	ESCOUNT[*n*]	R	不适用	返回物理通道 *n* 的不匹配计数（适用于计数不匹配的眼图扫描模式）。仅当 ESDONE[*n*] 返回 1 时有效。

7.5.3.50 LOS_TH 寄存器（偏移 = 0234h）[复位 = 08h]

图 7-111 展示了 LOS_TH，表 7-84 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器信号丢失阈值

图 7-111. LOS_TH 寄存器

7	6	5	4	3	2	1	0
保留				LOS_TH			
R/W-0h				R/W-0h			

表 7-84. LOS_TH 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	
3-0	LOS_TH	R/W	0h	指定信号丢失检测器的阈值。当 LOS_EN=1 时适用。影响所有通道。 LOS_TH：近似阈值 (mV) 0、1：保留 2 - 15：15*(LOS_TH)

Copyright © 2024 Texas Instruments Incorporated

7.5.3.51 EQCNTSZ 寄存器（偏移 = 0235h）[复位 = 00h]

图 7-112 展示了 EQCNTSZ，表 7-85 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器均衡器计数器大小

图 7-112. EQCNTSZ 寄存器

7	6	5	4	3	2	1	0
R/W-0h				R/W-0h			

表 7-85. EQCNTSZ 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	
3-0	EQCNTSZ	R/W	0h	均衡器计数器大小：调节为使自适应均衡器增益发生变化而必须累积的票数。影响所有通道。这仅用于调试目的，用户通常不需要更改此设置。 EQCNTSZ：均衡器投票计数器大小（调节增益所需的票数） 0：（默认值）511 1：保留 2：1 3：3 4：7 5：15 6：31 7：63 8：127 9：255 10-15：保留

7.5.3.52 CDRLOCK 寄存器（偏移 = 0238h）[复位 = 00h]

图 7-113 展示了 CDRLOCK，表 7-86 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器 CDR 锁定/冻结。

图 7-113. CDRLOCK 寄存器

7	6	5	4	3	2	1	0
保留							CDRLOCK
R/W-00h							R/W-0b

表 7-86. CDRLOCK 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	CDRLOCK	R/W	0b	设置后，CDR 将冻结，不再跟踪。当 CDR 以一阶模式运行时，设置 CDRLOCK 以冻结 CDRPHASE 值进行检查。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.53 CDRPHASE 寄存器（偏移 = 0239h）[复位 = 不适用，只读]

图 7-114 展示了 CDRPHASE，表 7-87 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器 CDR 相位状态

图 7-114. CDRPHASE 寄存器

7	6	5	4	3	2	1	0
CDRPHASE							
R							

表 7-87. CDRPHASE 寄存器字段说明

位	字段	类型	复位	说明
7-0	CDRPHASE	R		返回 RXDLANE 指定的通道的当前 CDR 相位值。建议在读取该寄存器之前设置 CDRLOCK=1。格式为灰度编码。有关编码，请参阅“CDRPHASE 状态”。

7.5.3.54 PLL_STATUS 寄存器（偏移 = 0250h）[复位 = 不适用，只读]

图 7-67 展示了 PLL_STATUS，表 7-39 中对此进行了介绍。

返回到寄存器汇总表。

串行器/解串器 PLL 状态

图 7-115. PLL_STATUS 寄存器

7	6	5	4	3	2	1	0
PLL_LOCK_STS				PLL_LOCK_LOST			
R-0h				R/W1C-0h			

表 7-88. PLL_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-4	PLL_LOCK_STS	R	0h	该字段返回全部四个串行器/解串器宏 (3:0) 的 LOCK 信号。该字段可用于 PLL 锁定检测器的功能（故障）测试。
3-0	PLL_LOCK_LOST	R/W1C	0h	只要来自串行器/解串器 PLL 的 LOCK 信号为低电平，就会设置 PLL_LOCK_LOST[n]。 位 0：通道 0 - 3 位 1：通道 4 - 7 位 2：通道 8 - 11 位 3：通道 12 - 15 这是一个粘滞位（即使 PLL 获得锁定也保持置位状态）。写入 1 以将某个位清零。这些位用于调试目的，并允许 SPI 监测是否有任何串行器/解串器 PLL 失去锁定（即使短暂失去锁定）。

7.5.3.55 JESD_RST 寄存器（偏移 = 0253h）[复位 = 0x00]

图 7-116 展示了 JESD_RST，表 7-89 中对此进行了介绍。

返回到寄存器汇总表。

JESD 复位

Copyright © 2024 Texas Instruments Incorporated

图 7-116. JESD_RST 寄存器

7	6	5	4	3	2	1	
保留							JESD_RST
R/W-00h							R/W-0h

表 7-89. JESD_RST 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	保留
0	JESD_RST	R/W	0b	设置后，该位保持 JESD 电路的数字部分处于复位状态，但不影响物理通道。可能需要在设置 JESD_EN=1 之前设置该位，然后在稍后将该位清零，以开始处理 JESD 数据。这使得电源能够在启动 PHY 和 JESD 时钟时，从发生的功率显著变化中稳定下来。如果用户计划使用 LANE_ARR 值，那么这一点尤其重要，因为仅在弹性缓冲器首次尝试释放时才捕获这些值。

7.5.3.56 EXTREF_EN 寄存器（偏移 = 02B0h）[复位 = 00h]

图 7-117 展示了 EXTREF_EN，表 7-90 中对此进行了介绍。

返回到寄存器汇总表。

启用外部基准

图 7-117. EXTREF_EN 寄存器

7	6	5	4	3	2	1	0
保留							EXTREF_EN
R/W-00h							R/W-0b

表 7-90. EXTREF_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	EXTREF_EN	R/W	0b	设置该位可以在 EXTREF 焊球上使用外部基准电压。

CUR_2X_EN 寄存器（偏移 = 02B1h）[复位 = 00h]

图 7-118 展示了 CUR_2X_EN，表 7-91 中对此进行了介绍。

返回到寄存器汇总表。

DAC 倍流器启用

图 7-118. CUR_2X_EN 寄存器

7	6	5	4	3	2	1	0
保留							CUR_2X_EN
R/W-00h							R/W-0b

表 7-91. CUR_2X_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	CUR_2X_EN	R/W	0b	设置该位会使 DAC 输出电流加倍。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.57 DAC_OFS_CHG_BLK 寄存器（偏移 = 02CFh）[复位 = 00h]

图 7-119 展示了 DAC_OFS_CHG_BLK，表 7-92 中对此进行了介绍。

返回到寄存器汇总表。

DAC 偏移量调节更改块

图 7-119. DAC_OFS_CHG_BLK 寄存器

7	6	5	4	3	2	1	0
保留							DAC_OFS_CHG_BLK
R/W-00h							R/W-0b

表 7-92. DAC_OFS_CHG_BLK 寄存器字段说明

位	字段	类型	复位	说明
7-1		R/W	00h	
0	DAC_OFS_CHG_BLK	R/W	0b	设置后，对 DAC_OFS[n] 的更改不会传播到高速时钟，两个 DAC 继续使用其当前值。当这个值从 1 更改为 0 时，新的 DAC_OFS[n] 值将在同一时钟周期内应用于两个 DAC。

7.5.3.58 DP_EN 寄存器（偏移 = 02E0h）[复位 = 00h]

图 7-120 展示了 DP_EN，表 7-93 中对此进行了介绍。

返回到寄存器汇总表。

数据路径启用。

图 7-120. DP_EN 寄存器

7	6	5	4	3	2	1	0
保留							DP_EN
R/W-00h							R/W-0b

表 7-93. DP_EN 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	DP_EN	R/W	0b	设置该位将启用数据路径操作。清零后，数据路径保持复位状态。应在芯片配置完成后设置该位，以便正常运行。 注意：仅当 FUSE_DONE=1 时，才应将该寄存器从 0 更改为 1。

7.5.3.59 DUC_L 寄存器（偏移 = 02E1h）[复位 = 00h]

图 7-121 展示了 DUC_L，表 7-94 中对此进行了介绍。

返回到寄存器汇总表。

DUC 内插因子。

图 7-121. DUC_L 寄存器

7	6	5	4	3	2	1	0
保留				DUC_L			
R/W-0h				R/W-0h			

Copyright © 2024 Texas Instruments Incorporated

表 7-94. DUC_L 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	
3-0	DUC_L	R/W	0h	DUC 内插因子 0：1x 1：2x 2：3x 3：4x 4：6x 5：8x 6：12x 7：16x 8：24x 9：32x 10：48x 11：64x 12：96x 13：128x 14：192x 15：256x 注意：仅当 JESD_EN=0 且 DP_EN=0 时，才应更改该寄存器。

7.5.3.60 DUC_GAIN 寄存器（偏移 = 02E2h）[复位 = 00h]

图 7-122 展示了 DUC_GAIN，表 7-95 中对此进行了介绍。

返回到寄存器汇总表。

图 7-122. DUC_GAIN 寄存器

7	6	5	4	3	2	1	0
DUC_GAIN3		DUC_GAIN2		DUC_GAIN1		DUC_GAIN0	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

表 7-95. DUC_GAIN 寄存器字段说明

位	字段	类型	复位	说明
7-6	DUC_GAIN3	R/W	00b	DUC_GAIN*n* 调节 DUC*n* 的增益（在通道接合器中） 0：0dB 1：-6dB 2：-12dB 3：保留 注意：当 DUC 配置为复数输出 (DUC_FORMAT=1) 时，不能使用 DUC2 和 DUC3。在这种情况下，DUC_GAIN2 和 DUC_GAIN3 分别调节 DUC0 和 DUC1 虚数输出的增益。 注意：仅当 DP_EN=0 时，才应更改该寄存器。
5-4	DUC_GAIN2	R/W	00b	
3-2	DUC_GAIN1	R/W	00b	
1-0	DUC_GAIN0	R/W	00b	

7.5.3.61 DUC_FORMAT 寄存器（偏移 = 02E3h）[复位 = 00h]

图 7-123 展示了 DUC_FORMAT，表 7-96 中对此进行了介绍。

返回到寄存器汇总表。

DUC 输出格式

Copyright © 2024 Texas Instruments Incorporated

图 7-123. DUC_FORMAT 寄存器

7	6	5	4	3	2	1	0
保留							DUC_FORMAT
R/W-00h							R/W-0b

表 7-96. DUC_FORMAT 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	DUC_FORMAT	R/W	0b	0：DUC 输出为实数（DUC 混频器通过丢弃虚部将复数转换为实数）。最多可启用 4 个 DUC。 1：DUC 输出为复数。最多可启用 2 个 DUC（DUC0 和 DUC1）。 注意：仅当 DP_EN=0 时，才应更改该寄存器。

7.5.3.62 DAC_SRC 寄存器（偏移 = 02E4h）[复位 = 00h]

图 7-124 展示了 DAC_SRC，表 7-97 中对此进行了介绍。

返回到寄存器汇总表。

DAC 源

图 7-124. DAC_SRC 寄存器

7	6	5	4	3	2	1	0
DAC_SRC1				DAC_SRC0			
R/W-0h				R/W-0h			

Copyright © 2024 Texas Instruments Incorporated

表 7-97. DAC_SRC 寄存器字段说明

位	字段	类型	复位	说明
7-4	DAC_SRC1	R/W	0h	当 DUC 处于禁用状态 (LT<=1) 时，DAC_SRCn 选择将哪个输入流发送到 DACn。当 DUC 处于启用状态 (LT>=2) 时，DAC_SRCn 控制将哪些 DUC 输出路由（相加）到 DACn（位的含义取决于 DUC_FORMAT）。 设置 DAC_SRCn[m] 后路由到 DACn 的信号： LT=0.5 或 1（禁用 DUC） DAC_SRCn[0]：输入流 0 (I) DAC_SRCn[1]：输入流 1 (Q) DAC_SRCn[2]：不适用 DAC_SRCn[3]：不适用 LT 为 2 或更高（启用 DUC）寄存器位 DAC_SRCn[x]：DUC_FORMAT=0（实数）：DUC_FORMAT=1（复数） DAC_SRCn[0]：DUC0（实数）：DUC0（实数） DAC_SRCn[1]：DUC1（实数）：DUC1（实数） DAC_SRCn[2]：DUC2（实数）：DUC0（虚数） DAC_SRCn[3]：DUC3（实数）：DUC1（虚数） 如果有多个信号路由到同一 DAC，这些信号会相加。在这种情况下，请使用 DUC_GAIN 来避免饱和。 虽然可以将实数输出与虚数输出相加，但没有实际应用要求这样做，因此不对其进行测试或支持。当 LT=0.5 或 1 时，不支持相加。只应设置 DAC_SRCn[0] 或 DAC_SRCn[1] 注意：仅当 DP_EN=0 时，才应更改该寄存器。
3-0	DAC_SRC0	R/W	0b	

7.5.3.63 MXMODE 寄存器（偏移 = 02E8h）[复位 = 00h]

图 7-125 展示了 MXMODE，表 7-98 中对此进行了介绍。

返回到寄存器汇总表。

DAC 输出模式。注意：仅当 DP_EN=0 时，才应更改该寄存器。

图 7-125. MXMODE 寄存器

7	6	5	4	3	2	1	0
保留	MXMODE1			保留	MXMODE0		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 7-98. MXMODE 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R/W	0b	
6-4	MXMODE1	R/W	000b	为 DACB 指定 DAC 脉冲格式。 0：正常模式（非归零 (NRZ)）（n*FS 处 sinc 空值） 1：射频模式（恢复为逆变换 (RTI)）（直流和 2n*FS 处 sinc 空值） 2：归零 (RTZ)（2n*FS 处 sinc 空值） 3：DES2X – DES 内插器提供的样本（低通模式） 4：DES2XH – DES 内插器提供的样本（高通模式） 6：禁用 – 禁用 DACA 7：保留
3	保留	R/W	0b	

Copyright © 2024 Texas Instruments Incorporated

表 7-98. MXMODE 寄存器字段说明（续）

位	字段	类型	复位	说明
2-0	MXMODE0	R/W	0b	为 DACA 指定 DAC 脉冲格式。 0：正常模式（非归零 (NRZ)）（n*FS 处 sinc 空值） 1：射频模式（恢复为逆变换 (RTI)）（直流和 2n*FS 处 sinc 空值） 2：归零 (RTZ)（2n*FS 处 sinc 空值） 3：DES2X – DES 内插器提供的样本（低通模式） 4：DES2XH – DES 内插器提供的样本（高通模式） 6：禁用 – 禁用 DACA 7：保留

7.5.3.64 TRUNC_HLSB 寄存器（偏移 = 02EAh）[复位 = 00h]

图 7-126 展示了 TRUNC_HLSB，表 7-99 中对此进行了介绍。

返回到寄存器汇总表。

截断半 LSB 偏移

图 7-126. TRUNC_HLSB 寄存器

7	6	5	4	3	2	1	0
保留							TRUNC_HLSB
R/W-00h							R/W-0b

表 7-99. TRUNC_HLSB 寄存器字段说明

位	字段	类型	复位	说明
7-1		R/W	0h	
0	TRUNC_HLSB	R/W	0b	为小于 16 位分辨率的模式或器件添加 ½ LSB 偏移。对于输出分辨率小于 16 位的模式或器件，设置该位会添加 1/2 LSB 偏移，以减少截断引起的平均偏移。 注意：仅当 DP_EN=0 时，才应更改该寄存器

7.5.3.65 TX_EN_SEL 寄存器（偏移 = 02F8h）[复位 = 03h]

图 7-127 展示了 TX_EN_SEL，表 7-100 中对此进行了介绍。

返回到寄存器汇总表。

发送器使能控制选择。

图 7-127. TX_EN_SEL 寄存器

7	6	5	4	3	2	1	0
保留				QUIET_TX_DISABLE	FAST_TX_EN	USE_TX_EN1	USE_TX_EN0
R/W-0h				R/W-0b	R/W-0b	R/W-1b	R/W-1b

表 7-100. TX_EN_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	

Copyright © 2024 Texas Instruments Incorporated

表 7-100. TX_EN_SEL 寄存器字段说明（续）

位	字段	类型	复位	说明
3	QUIET_TX_DISABLE	R/W	0b	0：通过发送静态老化安全代码，在 DEM 和抖动之后禁用传输。对于某些配置和频率，输出的噪声将高于静态中标度代码通常具有的噪声。然而，该模式从发送使能到 DAC 输出的延迟最低。 1：禁用传输后，对 DEM 和抖动的输入将静音，更大程度降低了输出噪声。这会将从发送使能到 DAC 输出的延迟增加 56 个 DAC 时钟 注意：仅当 FAST_TX_EN=1 时才设置该位。
2	FAST_TX_EN	R/W	0b	0：当发送使能均为低电平时，JESD 和数据路径时钟将关断以省电。重新启用传输后，输出将保持静音状态，直到输出端出现有效数据为止。 1：不执行省电操作，可单独使用发送使能。在此模式下，从发送使能到 DAC 输出的延迟降低。
1	USE_TX_EN1	R/W	1b	0：DACB 由 TXEN1 焊球控制。在此模式下，忽略 TX_EN1 寄存器。 1：DACB 由 TX_EN1 寄存器控制。在此模式下，TXEN1 焊球输入不会影响 DACB 的发送使能。 ***注意：应将 USE_TX_EN1 和 USE_TX_EN0 编程为相同的值（不支持单独的通道控制）。***
0	USE_TX_EN0	R/W	1b	0：DACA 由 TXEN0 焊球控制。在此模式下，忽略 TX_EN0 寄存器。 1：DACA 由 TX_EN0 寄存器控制。在此模式下，TXEN0 焊球输入不会影响 DACA 的发送使能。 ***注意：应将 USE_TX_EN1 和 USE_TX_EN0 编程为相同的值（不支持单独的通道控制）。***

7.5.3.66 TX_EN 寄存器（偏移 = 02F9h）[复位 = 03h]

图 7-128 展示了 TX_EN，表 7-101 中对此进行了介绍。

返回到寄存器汇总表。

发送器使能控制

图 7-128. TX_EN 寄存器

7	6	5	4	3	2	1	0
						TX_EN1	TX_EN0
R/W-00h						R/W-1b	R/W-1b

表 7-101. TX_EN 寄存器字段说明

位	字段	类型	复位	说明
7-2	保留	R/W	00h	
1	TX_EN1	R/W	1b	当 USE_TX_EN1=1 时，该位控制 DACB 的发送使能。 ***注意：应将 TX_EN1 和 TX_EN0 编程为相同的值（不支持单独的通道控制）。***
0	TX_EN0	R/W	1b	当 USE_TX_EN0=1 时，该位控制 DACA 的发送使能 ***注意：应将 TX_EN1 和 TX_EN0 编程为相同的值（不支持单独的通道控制）。***

Copyright © 2024 Texas Instruments Incorporated

7.5.3.67 NCO_CTRL 寄存器（偏移 = 0300h）[复位 = 00h]

图 7-129 展示了 NCO_CTRL，表 7-102 中对此进行了介绍。

返回到寄存器汇总表。注意：仅当 DP_EN=0 时，才应更改该寄存器。

NCO 使能

图 7-129. NCO_CTRL 寄存器

7	6	5	4	3	2	1	0
FR_EN	保留				NCO_SC	DDS_EN	NCO_EN
R/W-0b	R/W-0h				R/W-0b	R/W-0b	R/W-0b

表 7-102. NCO_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	FR_EN	R/W	0b	设置后，快速重新配置 (FR) 接口启用，NCO 频率、相位、抖动和累加器复位由 FR 寄存器而不是 SPI 寄存器控制。
6-3	保留	R/W	0h	
2	NCO_SC	R/W	0b	自相干 NCO 模式：设置该位后，所有 NCO 均使用 DDS/DUC 通道 0 中 NCO 的基准计数器。这通常与 NCO_SS 寄存器一起使用。这仅影响相位相干模式 (NCO_CONT=0)。
1	DDS_EN	R/W	0b	设置后，一旦设置 DP_EN，将为 DDS 运行配置所有 DUC。有关详细信息，请参阅节 7.4.1 中的“DDS 运行”。
0	NCO_EN	R/W	0b	设置后，DUC 样本与 NCO 混合。

7.5.3.68 NCO_CONT 寄存器（偏移 = 0301h）[复位 = 00h]

图 7-130 展示了 NCO_CONT，表 7-103 中对此进行了介绍。

返回到寄存器汇总表。

NCO 相位连续模式

图 7-130. NCO_CONT 寄存器

7	6	5	4	3	2	1	0
保留				NCO_CONT			
R/W-0h				R/W-0h			

表 7-103. NCO_CONT 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	
3-0	NCO_CONT	R/W	0h	对于每个位 NCO_CONT[*n*]，如果设置，则 NCO*n* 在相位连续模式下运行。这意味着无需为相位累加器播种即可发生频率变化。如果该位清零，则 NCO*n* 在相位同调模式下运行。在频率变化期间，通过主计数器为相位累加器播种。这意味着，如果从频率 A 变为 B，然后再返回到 A，则相位将恢复到从未发生过变化时的状态。 注意：仅当 DP_EN=0 时，才应更改该寄存器。

7.5.3.69 NCO_SYNC 寄存器（偏移 = 0302h）[复位 = 00h]

图 7-131 展示了 NCO_SYNC，表 7-104 中对此进行了介绍。

返回到寄存器汇总表。

Copyright © 2024 Texas Instruments Incorporated

NCO 同步配置

图 7-131. NCO_SYNC 寄存器

7	6	5	4	3	2	1	0
保留						NCO_SYNC_SRC	
R/W-00h						R/W-00b	

表 7-104. NCO_SYNC 寄存器字段说明

位	字段	类型	复位	说明
7-2	保留	R/W	00h	
1-0	NCO_SYNC_SRC	R/W	00b	如果 FR_EN=0： 该寄存器决定如何触发 NCO 同步事件。这包括由 NCO_AR 指定的累加器复位，以及应用对 NCO_DITH_EN、FREQ 和 PHASE 的更改。 0：设置 SPI_SYNC 将立即执行指定事件。（所有这些都将在同一时钟周期内发生。） 1：设置 SPI_SYNC 将导致指定事件在下一个 SYSREF 上升沿发生。 2：当 SPI_SYNC 为高电平时，指定事件将在每个 SYSREF 上升沿发生。 3：当 SPI_SYNC 为高电平时，DUC0 的“I”输入的 LSB 将引发指定事件。要触发事件，LSB 必须在 4 个或更多连续样本中为低电平，然后在 4 个连续样本中为高电平。第 4 个高电平样本到达 DUC0 输入时，将同时进行同步。 如果 FR_EN=1： 该寄存器决定如何触发 NCO 同步事件。这包括 FR_NCO_AR 指定的累加器复位，以及应用对 FR_NCO_DITH_EN、FR_FREQL、FR_FREQS 和 FR_PHASE 的更改。 0：如果设置了 FRS，则会在 $\overline{\text{FRCS}}$ 的上升沿执行指定事件。（所有这些都将在同一时钟周期内发生。） 1：保留 2：保留 3：如果设置了 FRS，则 DUC0 的“I”输入的 LSB 将在 $\overline{\text{FRCS}}$ 的上升沿之后引发指定事件。要触发事件，LSB 必须在 4 个或更多连续样本中为低电平，然后在 4 个连续样本中为高电平。第 4 个高电平样本到达 DUC0 输入时，将同时进行同步。等待 LSB 触发期间，将对 LSB 数据使用零。在第 4 个连续高电平样本之后，LSB 将立即恢复作为数据。 注意：仅当 SPI_SYNC=0 且 FR 接口空闲 ($\overline{\text{FRCS}}$=1) 时，才应更改该寄存器。

7.5.3.70 NCO_AR 寄存器（偏移 = 0303h）[复位 = 0Fh]

图 7-132 展示了 NCO_AR，表 7-105 中对此进行了介绍。

返回到寄存器汇总表。

NCO 累加器复位

图 7-132. NCO_AR 寄存器

7	6	5	4	3	2	1	0
保留				NCO_AR			
R/W-0h				R/W-0h			

Copyright © 2024 Texas Instruments Incorporated

图 7-132. NCO_AR 寄存器（续）

表 7-105. NCO_AR 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	0h	
3-0	NCO_AR	R/W	0h	对于每个位 NCO_AR[n]，如果设置，NCOn 的累加器将在 NCO_SYNC_SRC 指定的每个同步事件上复位。 注意：当 FR_EN=1 时，该寄存器无效。

7.5.3.71 SPI_SYNC 寄存器（偏移 = 0304h）[复位 = 00h]

图 7-133 展示了 SPI_SYNC，表 7-106 中对此进行了介绍。

返回到寄存器汇总表。

SPI 同步位

图 7-133. SPI_SYNC 寄存器

7	6	5	4	3	2	1	0
保留							SPI_SYNC
R/W-00h							R/W-0b

表 7-106. SPI_SYNC 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	SPI_SYNC	R/W	0b	当该寄存器为“0”时，向寄存器写入“1”将触发绑定到寄存器的同步事件（请参阅 NCO_SYNC_SRC）。该寄存器将返回最后写入的值。 注意：该寄存器是边沿敏感还是电平敏感取决于 NCO_SYNC_SRC 的设置。 注意：当 FR_EN=1 时，该寄存器无效。

NCO_SS 寄存器（偏移 = 0305h）[复位 = 00h]

图 7-134 展示了 NCO_SS，表 7-107 中对此进行了介绍。

返回到寄存器汇总表。

NCO_SS 位

图 7-134. NCO_SS 寄存器

7	6	5	4	3	2	1	0
保留							NCO_SS
R/W-00h							R/W-0b

表 7-107. NCO_SS 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	

Copyright © 2024 Texas Instruments Incorporated

表 7-107. NCO_SS 寄存器字段说明（续）

位	字段	类型	复位	说明
0	NCO_SS	R/W	0b	设置该位后，所有 NCO 都将连续自同步，每 256 个 DAC 时钟周期同步一次。 可在 NCO 运行 (DP_EN=1) 时更改 NCO_SS。要写入新的 FREQ、AMP 或 PHASE 值，请先将 NCO_SS 清零，然后在写入新值后重新设置。所有值在所有 NCO 上同时生效。 用户应确保每当 NCO_SS=1 时 NCO_AR=0（否则 NCO 累加器和/或基准计数器将不断复位）。 如果用户还设置 NCO_SC=1 和 NCO_CONT=0，则所有四个 NCO 在辐射下均保持彼此相干性，但可能与外部元件不相干。从 DUC/DDS 通道 0 中的基准计数器连续为每个 NCO 累加器播种。该特性可用于生成相干谐波音调，以消除 DAC 中的谐波失真。

AMP[3:0] 寄存器（偏移 = 0318h）[复位 = 0000h]

表 7-108 中介绍了 AMP[3:0]。AMP[0] 从地址 0x0318 开始，AMP[1] 从地址 0x031A 开始，AMP[2] 从地址 0x031C 开始，AMP[3] 从地址 0x031E 开始。

返回到寄存器汇总表。

表 7-108. AMP[3:0] 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP[3:0]	R/W	0000h	指定 DDS 通道 n 的 DDS 振幅。16 位有符号值。该寄存器仅适用于 DDS 运行。 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：仅当 DP_EN=0 或计划在更改之后更新 NCO 时，才应更改该寄存器。（请参阅 NCO_SYNC。）FREQ[0] 寄存器（偏移 = 0320h）[复位 = 0000000000000000h]

表 7-109 中介绍了 FREQ[0]。

返回到寄存器汇总表。

NCO*0* 累加器的 FREQ。

表 7-109. FREQ[0] 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ[0]	R/W	0000 0000 0000 0000h	NCO 频率 (F_{NCO}) 为： $F_{NCO} = FREQ[0] * 2^{-64} * F_{CLK}$ 其中 F_{CLK} 是 DAC 的采样频率。FREQ[0] 是该寄存器的整数值。该寄存器可以解释为有符号或无符号（两种解释均有效）。 使用以下公式确定要编程的值： $FREQ[0] = 2^{64} * F_{NCO} / F_{CLK}$ 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：仅当 DP_EN=0 或计划在更改之后更新 NCO 时，才应更改该寄存器。（请参阅 NCO_SYNC。） 注意：当 FR_EN=1 时，该寄存器无效。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.73 FREQ[1] 寄存器（偏移 = 0328h）[复位 = 0000000000000000h]

表 7-110 中介绍了 FREQ[1]。

返回到寄存器汇总表。

NCO*1* 累加器的 FREQ。

表 7-110. FREQ[1] 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ[1]	R/W	0000 0000 0000 0000h	NCO 频率 (F_{NCO}) 为： F_{NCO} = FREQ[1] * 2^{-64} * F_{CLK} 其中 F_{CLK} 是 DAC 的采样频率。FREQ[1] 是该寄存器的整数值。该寄存器可以解释为有符号或无符号（两种解释均有效）。 使用以下公式确定要编程的值： FREQ[1] = 2^{64} * F_{NCO} /F_{CLK} 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：仅当 DP_EN=0 或计划在更改之后更新 NCO 时，才应更改该寄存器。（请参阅 NCO_SYNC。） 注意：当 FR_EN=1 时，该寄存器无效。

7.5.3.74 FREQ[2] 寄存器（偏移 = 0330h）[复位 = 0000000000000000h]

表 7-111 中介绍了 FREQ[2]。

返回到寄存器汇总表。

NCO*2* 累加器的 FREQ。

表 7-111. FREQ[2] 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ[2]	R/W	0000 0000 0000 0000h	NCO 频率 (F_{NCO}) 为： F_{NCO} = FREQ[2] * 2^{-64} * F_{CLK} 其中 F_{CLK} 是 DAC 的采样频率。FREQ[2] 是该寄存器的整数值。该寄存器可以解释为有符号或无符号（两种解释均有效）。 使用以下公式确定要编程的值： FREQ[2] = 2^{64} * F_{NCO} /F_{CLK} 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：仅当 DP_EN=0 或计划在更改之后更新 NCO 时，才应更改该寄存器。（请参阅 NCO_SYNC。） 注意：当 FR_EN=1 时，该寄存器无效。

7.5.3.75 FREQ[3] 寄存器（偏移 = 0338h）[复位 = 0000000000000000h]

表 7-112 中介绍了 FREQ[3]。

返回到寄存器汇总表。

NCO*3* 累加器的 FREQ。

Copyright © 2024 Texas Instruments Incorporated

表 7-112. FREQ[3] 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ[3]	R/W	0000 0000 0000 0000h	NCO 频率 (F_{NCO}) 为： F_{NCO} = FREQ[3] * 2^{-64} * F_{CLK} 其中 F_{CLK} 是 DAC 的采样频率。FREQ[3] 是该寄存器的整数值。该寄存器可以解释为有符号或无符号（两种解释均有效）。 使用以下公式确定要编程的值： FREQ[3] = 2^{64} * F_{NCO} /F_{CLK} 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：仅当 DP_EN=0 或计划在更改之后更新 NCO 时，才应更改该寄存器。（请参阅 NCO_SYNC。） 注意：当 FR_EN=1 时，该寄存器无效。

7.5.3.76 PHASE0 寄存器（偏移 = 0340h）[复位 = 0000h]

表 7-113 中介绍了 PHASE0。

返回到寄存器汇总表。

NCO*0* 累加器的相位。

表 7-113. PHASE0 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE0	R/W	0h	相位的添加时间较晚，因此可以在运行期间写入该寄存器以更改相位，而无需复位 NCO。 该值左对齐到 32 位字段中，然后添加到相位累加器。相位（以弧度为单位）为 PHASE0 * 2^{-16} * 2 π。该寄存器可以解释为有符号或无符号。 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：仅当 DP_EN=0 或计划在更改之后更新 NCO 时，才应更改该寄存器。（请参阅 NCO_SYNC。） 注意：当 FR_EN=1 时，该寄存器无效。

7.5.3.77 PHASE1 寄存器（偏移 = 0342h）[复位 = 0000h]

表 7-114 中介绍了 PHASE1。

返回到寄存器汇总表。

NCO*1* 累加器的相位。

Copyright © 2024 Texas Instruments Incorporated

表 7-114. PHASE1 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE1	R/W	0h	相位的添加时间较晚，因此可以在运行期间写入该寄存器以更改相位，而无需复位 NCO。 该值左对齐到 32 位字段中，然后添加到相位累加器。相位（以弧度为单位）为 PHASE1 * 2^{-16} * 2 π。该寄存器可以解释为有符号或无符号。 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：仅当 DP_EN=0 或计划在更改之后更新 NCO 时，才应更改该寄存器。（请参阅 NCO_SYNC。） 注意：当 FR_EN=1 时，该寄存器无效。

7.5.3.78 PHASE2 寄存器（偏移 = 0344h）[复位 = 0000h]

表 7-115 中介绍了 PHASE2。

返回到寄存器汇总表。

NCO*2* 累加器的相位。

表 7-115. PHASE2 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE2	R/W	0h	相位的添加时间较晚，因此可以在运行期间写入该寄存器以更改相位，而无需复位 NCO。 该值左对齐到 32 位字段中，然后添加到相位累加器。相位（以弧度为单位）为 PHASE2 * 2^{-16} * 2 π。该寄存器可以解释为有符号或无符号。 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：仅当 DP_EN=0 或计划在更改之后更新 NCO 时，才应更改该寄存器。（请参阅 NCO_SYNC。） 注意：当 FR_EN=1 时，该寄存器无效。

7.5.3.79 PHASE3 寄存器（偏移 = 0346h）[复位 = 0000h]

表 7-116 中介绍了 PHASE3。

返回到寄存器汇总表。

NCO*3* 累加器的相位。

Copyright © 2024 Texas Instruments Incorporated

表 7-116. PHASE3 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE3	R/W	0h	相位的添加时间较晚，因此可以在运行期间写入该寄存器以更改相位，而无需复位 NCO。 该值左对齐到 32 位字段中，然后添加到相位累加器。相位（以弧度为单位）为 PHASE3 * 2^{-16} * 2 π 。该寄存器可以解释为有符号或无符号。 注意：直到 NCO_SYNC_SRC 指定的下一个同步事件发生之后，对该寄存器的更改才会生效。 注意：仅当 DP_EN=0 或计划在更改之后更新 NCO 时，才应更改该寄存器。（请参阅 NCO_SYNC。） 注意：当 FR_EN=1 时，该寄存器无效。

AMP_R[3:0] 寄存器（偏移 = 0378h）[复位 = 不适用]

表 7-117 中介绍了 AMPR[3:0]。AMP_R[0] 从地址偏移 0x0378 开始，AMP_R[1] 从地址偏移 0x37A 开始，AMP_R[2] 从地址偏移 0x37C 开始，AMP_R[3] 从地址偏移 0x37E 开始

返回到寄存器汇总表。

表 7-117. AMP_R[3:0] 寄存器字段说明

位	字段	类型	复位	说明
15-0	AMP_R[n]	R	不适用	这提供了对 DDS 通道 n 当前使用的振幅设置的回读。格式为 16 位有符号。该寄存器仅在 DDS_EN=1 时适用。当 DDS_EN=0 时，返回值未定义。在读取每个字节时对该值进行采样，因此，如果回读过程中振幅发生变化，则可能返回非相干数据。

7.5.3.80 FREQ_R0 寄存器（偏移 = 0380h）[复位 = 不适用，只读]

表 7-118 中介绍了 FREQ_R0。

返回到寄存器汇总表。

NCO*0* 频率回读

表 7-118. FREQ_R0 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ_R0	R	不适用	这提供了系统当前用于 NCO*0* 的 FREQ 设置的回读。在读取每个字节时对该值进行采样，因此，如果回读过程中运行值发生变化，则可能返回非相干数据。

7.5.3.81 FREQ_R1 寄存器（偏移 = 0388h）[复位 = 不适用，只读]

表 7-119 中介绍了 FREQ_R1。

返回到寄存器汇总表。

NCO*1* 频率回读

表 7-119. FREQ_R1 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ_R1	R	不适用	这提供了系统当前用于 NCO*1* 的 FREQ 设置的回读。在读取每个字节时对该值进行采样，因此，如果回读过程中运行值发生变化，则可能返回非相干数据。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.82 FREQ_R2 寄存器（偏移 = 0390h）[复位 = 不适用，只读]

表 7-120 中介绍了 FREQ_R2。

返回到寄存器汇总表。

NCO*2* 频率回读

表 7-120. FREQ_R2 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ_R2	R	不适用	这提供了系统当前用于 NCO*2* 的 FREQ 设置的回读。在读取每个字节时对该值进行采样，因此，如果回读过程中运行值发生变化，则可能返回非相干数据。

7.5.3.83 FREQ_R3 寄存器（偏移 = 0398h）[复位 = 不适用，只读]

表 7-121 中介绍了 FREQ_R3。

返回到寄存器汇总表。

NCO*3* 频率回读

表 7-121. FREQ_R3 寄存器字段说明

位	字段	类型	复位	说明
63-0	FREQ_R3	R	不适用	这提供了系统当前用于 NCO*3* 的 FREQ 设置的回读。在读取每个字节时对该值进行采样，因此，如果回读过程中运行值发生变化，则可能返回非相干数据。

7.5.3.84 PHASE_R0 寄存器（偏移 = 03A0h）[复位 = 不适用，只读]

表 7-122 中介绍了 PHASE_R0。

返回到寄存器汇总表。

NCO*0* 相位字回读

表 7-122. PHASE_R0 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE_R0	R/W	0h	这提供了系统当前用于 NCO*0* 的 PHASE 设置的回读。在读取每个字节时对该值进行采样，因此，如果回读过程中运行值发生变化，则可能返回非相干数据。

7.5.3.85 PHASE_R1 寄存器（偏移 = 03A2h）[复位 = 不适用，只读]

表 7-123 中介绍了 PHASE_R1。

返回到寄存器汇总表。

NCO*1* 相位字回读

表 7-123. PHASE_R1 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE_R1	R/W	不适用	这提供了系统当前用于 NCO*1* 的 PHASE 设置的回读。在读取每个字节时对该值进行采样，因此，如果回读过程中运行值发生变化，则可能返回非相干数据。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.86 PHASE_R2 寄存器（偏移 = 03A4h）[复位 = 不适用，只读]

表 7-124 中介绍了 PHASE_R2。

返回到寄存器汇总表。

NCO*2* 相位字回读

表 7-124. PHASE_R2 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE_R2	R/W	不适用	这提供了系统当前用于 NCO*2* 的 PHASE 设置的回读。在读取每个字节时对该值进行采样，因此，如果回读过程中运行值发生变化，则可能返回非相干数据。

7.5.3.87 PHASE_R3 寄存器（偏移 = 03A6h）[复位 = 不适用，只读]

表 7-125 中介绍了 PHASE_R3。

返回到寄存器汇总表。

NCO*3* 相位字回读

表 7-125. PHASE_R3 寄存器字段说明

位	字段	类型	复位	说明
15-0	PHASE_R3	R/W	不适用	这提供了系统当前用于 NCO*3* 的 PHASE 设置的回读。在读取每个字节时对该值进行采样，因此，如果回读过程中运行值发生变化，则可能返回非相干数据。

7.5.3.88 FR_FRS_R 寄存器（偏移 = 03E0h）[复位 = 不适用，只读]

图 7-135 展示了 FR_FRS_R，表 7-126 中对此进行了介绍。

返回到寄存器汇总表。

FR 同步回读

图 7-135. FR_FRS_R 寄存器

7	6	5	4	3	2	1	0
FR_FRS_R	保留						
R	R						

表 7-126. FR_FRS_R 寄存器字段说明

位	字段	类型	复位	说明
7	FR_FRS_R	R	不适用	这为最后一个事务中的 FRS 值提供了回读。 注意：该值不同步，只能在 FR 接口为静态时读取。
6-0	保留	R	不适用	

7.5.3.89 FR_NCO_AR_R 寄存器（偏移 = 03E1h）[复位 = 不适用，只读]

图 7-136 展示了 FR_NCO_AR_R，表 7-127 中对此进行了介绍。

返回到寄存器汇总表。

FR NCO 累加器复位回读

Copyright © 2024 Texas Instruments Incorporated

图 7-136. FR_NCO_AR_R 寄存器

7	6	5	4	3	2	1	0
保留				FR_NCO_AR_R			
R				R			

表 7-127. FR_NCO_AR_R 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R	不适用	
3-0	FR_NCO_AR_R	R	不适用	这为写入 FR_NCO_AR 的最后一个值提供了回读。 注意：该值不同步，只能在 FR 接口为静态时读取。

7.5.3.90 TS_TEMP 寄存器（偏移 = 0400h）[复位 = 不适用，只读]

图 7-137 展示了 TS_TEMP，表 7-128 中对此进行了介绍。

返回到寄存器汇总表。

摄氏温度读数

图 7-137. TS_TEMP 寄存器

7	6	5	4	3	2	1	0
TS_TEMP							
R							

表 7-128. TS_TEMP 寄存器字段说明

位	字段	类型	复位	说明
7-0	TS_TEMP	R	不适用	返回温度传感器读数。这将返回一个介于 0 和 255 之间的无符号值。 从该值减去 80 即可得到摄氏度。例如，值 110 表示 30C。 请参阅“温度传感器”。 注意：读取该寄存器需要较慢的 SPI 时序。请参阅开关特性。 注意：除非 TS_SLEEP=0，否则该寄存器不会返回有效数据。

7.5.3.91 TS_SLEEP 寄存器（偏移 = 0401h）[复位 = 00h]

图 7-138 展示了 TS_SLEEP，表 7-129 中对此进行了介绍。

返回到寄存器汇总表。

温度传感器睡眠

图 7-138. TS_SLEEP 寄存器

7	6	5	4	3	2	1	0
保留							TS_SLEEP
R/W-00h							R/W-0b

表 7-129. TS_SLEEP 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R/W	00h	
0	TS_SLEEP	R/W	0b	如果不需要温度转换，则设置该位可使温度传感器处于睡眠状态。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.92 SYNC_STATUS 寄存器（偏移 = 0410h）[复位 = 不适用]

图 7-139 展示了 SYNC_STATUS，表 7-130 中对此进行了介绍。

返回到寄存器汇总表。

同步状态

图 7-139. SYNC_STATUS 寄存器

7	6	5	4	3	2	1	0
保留				CLK_REALIGNED	CLK_ALIGNED	NCO_SYNC_DET	SYSREF_DET
R				R/W1C	R	R/W1C	R/W1C

表 7-130. SYNC_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R/W	不适用	
3	CLK_REALIGNED	R/W1C	不适用	只要与 SYSREF 关联的时钟分频器（不包括 LMFC/LEMC）与 SYSREF 重新对齐，就会设置该位。该位可用于确认内部采样的 SYSREF 信号在 DDS 模式下具有正确且稳定的周期（或用于 JESD204C 模式下的调试目的）。写入 1 以将该位清零。
2	CLK_ALIGNED	R	不适用	设置后，表示最后一个 SYSREF 脉冲与 SYSREF 相关时钟分频器（LMFC/LEMC 除外）一致。由于 LMFC/LEMC 不会影响该位，因此适合在 DDS 模式下使用，但也可在启用 JESD204C 接口时使用。该位为只读（不能通过 SPI 清零）。
1	NCO_SYNC_DET	R/W1C	不适用	只要一个或多个 NCO 接收到同步事件，就会设置该位。写入 1 以将该位清零。
0	SYSREF_DET	R/W1C	不适用	检测到 SYSREF 时会设置该位。写入 1 可将该位清零并允许重新检测该位。

7.5.3.93 SYS_ALM 寄存器（偏移 = 0430h）[复位 = 不适用，读取/写入 1 以清零]

图 7-140 展示了 SYS_ALM，表 7-131 中对此进行了介绍。

返回到寄存器汇总表。

系统警报状态

图 7-140. SYS_ALM 寄存器

7	6	5	4	3	2	1	0
JESD_LINK_DOWN_ALM	JTIMER_EXPIRED_ALM	JESD_CRC_ALM	保留			SYSRST_ALM	SYSREF_ALM
R/W1C	R/W1C	R/W1C	R			R/W1C	R/W1C

表 7-131. SYS_ALM 寄存器字段说明

位	字段	类型	复位	说明
7	JESD_LINK_DOWN_ALM	R/W1C		当 JESD_EN=1 时，只要 LINK_UP 从 1 转换为 0，就会设置该位。写入 1 以清除警报。
6	JTIMER_EXPIRED_ALM	R/W1C		如果 JESD 链路断开（在 JESD_EN=1 时 LINK_UP=0）的时间超过 JTIMER 允许的时间，则设置该位。写入 1 以清除警报。
5	JESD_CRC_ALM	R/W1C		只要在启用的通道上检测到 CRC_FAULT，就会设置该位。仅适用于 64b/66b 模式。写入 1 以清除警报。
4-2	保留	R		
1	SYSRST_ALM	R/W1C		只要芯片由于 $\overline{\text{RESET}}$ 焊球、上电复位或 SOFT_RESET 而复位，就会设置该位。写入 1 以清除警报。

Copyright © 2024 Texas Instruments Incorporated

表 7-131. SYS_ALM 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SYSREF_ALM	R/W1C		只要时钟分频器或 JESD 子系统（当 JESD_EN=1 时）在不正确对齐时检测到 SYSREF 边沿，就会设置该位。写入 1 以清除警报。

7.5.3.94 ALM_MASK 寄存器（偏移 = 0431h）[复位 = 00h]

图 7-141 展示了 ALM_MASK，表 7-132 中对此进行了介绍。

返回到寄存器汇总表。

警报屏蔽

图 7-141. ALM_MASK 寄存器

7	6	5	4	3	2	1	0
JESD_LINK_DOWN_MASK	JTIMER_EXPIRED_MASK	JESD_CRC_MASK	保留				SYSREF_ALM_MASK
R/W-0b	R/W-0b	R/W-0b	R/W-0h				R/W-0b

表 7-132. ALM_MASK 寄存器字段说明

位	字段	类型	复位	说明
7	JESD_LINK_DOWN_MASK	R/W	0h	设置后，来自 JESD_LINK_DOWN_ALM 寄存器的警报被屏蔽，将不会影响警报输出。
6	JTIMER_EXPIRED_MASK	R/W	0b	设置后，来自 JTIMER_EXPIRED_ALM 寄存器的警报被屏蔽，将不会影响警报输出。
5	JESD_CRC_MASK	R/W	0b	设置后，来自 JESD_CRC_ALM 寄存器的警报被屏蔽，将不会影响警报输出。
4-1	保留	R/W	0h	
0	SYSREF_ALM_MASK	R/W	0b	设置后，来自 SYSREF_ALM 寄存器的警报被屏蔽，将不会影响警报输出。

7.5.3.95 MUTE_MASK 寄存器（偏移 = 0432h）[复位 = 21h]

图 7-142 展示了 MUTE_MASK，表 7-133 中对此进行了介绍。

返回到寄存器汇总表。

DAC 静音屏蔽

图 7-142. MUTE_MASK 寄存器

7	6	5	4	3	2	1	0
保留		JESD_CRC_MUTE_MASK	保留				SYSREF_MUTE_MASK
R/W-00b		R/W-1b	R/W-0h				R/W-1b

表 7-133. MUTE_MASK 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R/W	00b	
5	JESD_CRC_MUTE_MASK	R/W	1b	除非设置该位，否则 JESD CRC 警报将根据 JESD_CRC_REC 使 DAC 静音。
4-1	保留	R/W	0h	
0	SYSREF_MUTE_MASK	R/W	1b	除非设置该位，否则 SYSREF_ALM 寄存器发出的警报将使 DAC 静音。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.96 MUTE_REC 寄存器（偏移 = 0433h）[复位 = A0h]

图 7-143 展示了 MUTE_REC，表 7-134 中对此进行了介绍。

返回到寄存器汇总表。

DAC 静音恢复

图 7-143. MUTE_REC 寄存器

7	6	5	4	3	2	1	0
JESD_LINK_DOWN_REC	保留	JESD_CRC_REC	保留				
R/W-1b	R/W-0b	R/W-1b	R/W-00h				

表 7-134. MUTE_REC 寄存器字段说明

位	字段	类型	复位	说明
7-6	JESD_LINK_DOWN_REC	R/W	1b	0：DAC 将保持静音状态，直到 JESD_LINK_DOWN_ALM=0。 1：当 JESD 链路恢复时，DAC 将自动取消静音。
6	保留	R/W	0b	
5	JESD_CRC_MUTE_MASK	R/W	1b	仅当 JESD_CRC_MUTE_MASK=0 时使用该位。 0：DAC 将保持静音状态，直到 JESD_CRC_ALM=0 1：当 CRC_FAULT=0 时，DAC 将自动取消静音。
4-0	保留	R/W	0h	

7.5.3.97 FUSE_STATUS 寄存器（偏移 = 0600h）[复位 = 不适用]

图 7-142 展示了 FUSE_STATUS，表 7-133 中对此进行了介绍。

返回到寄存器汇总表。

保险丝状态

图 7-144. FUSE_STATUS 寄存器

7	6	5	4	3	2	1	0
保留							FUSE_DONE
R-NA							R-NA

表 7-135. FUSE_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-1	保留	R	不适用	
0	FUSE_DONE	R	不适用	当保险丝控制器空闲时返回“1”，这意味着控制器已经完成保险丝自动加载序列。该序列需要不到 523,000 个 CLK 周期来完成，或者可以轮询 FUSE_DONE，直到其为“1”。 当 FUSE_DONE 为“0”时，用户不应读取或写入任何由保险丝支持的寄存器。

7.5.3.98 FINE_CUR_A 寄存器（偏移 = 0723h）[复位 = 不尽相同]

图 7-145 展示了 FINE_CUR_A，表 7-136 中对此进行了介绍。

返回到寄存器汇总表。

DACA 精细偏置电流控制

Copyright © 2024 Texas Instruments Incorporated

图 7-145. FINE_CUR_A 寄存器

7	6	5	4	3	2	1	0
保留				FINE_CUR_A			
R-00b				R/W - 不尽相同			

表 7-136. FINE_CUR_A 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R	00b	
5-0	FINE_CUR_A	R/W	不尽相同	DAC A 精细电流控制设置。请参阅节 7.3.2.2。默认值不尽相同，以便与输出电流规格相匹配。

7.5.3.99 COARSE_CUR_A 寄存器（偏移 = 0724h）[复位 = 0Fh]

图 7-146 展示了 COARSE_CUR_A，表 7-137 中对此进行了介绍。

返回到寄存器汇总表。

DACA 粗略偏置电流控制

图 7-146. COARSE_CUR_A 寄存器

7	6	5	4	3	2	1	0
DAC0_CBIAS_SLEEP				COARSE_CUR_A			
R/W-0h				R/W-0xF			

表 7-137. COARSE_CUR_A 寄存器字段说明

位	字段	类型	复位	说明
7-4	DAC0_CBIAS_SLEEP	R/W	0h	睡眠期间的 DAC 粗略电流设置。请参阅 节 8.1.6 中有关直流耦合输出的讨论
3-0	COARSE_CUR_A	R/W	0xF	DAC A 粗略电流控制设置。请参阅节 7.3.2.2。

7.5.3.100 FINE_CUR_B 寄存器（偏移 = 0725h）[复位 = 不尽相同]

图 7-147 展示了 FINE_CUR_B，表 7-138 中对此进行了介绍。

返回到寄存器汇总表。

DAC B 精细偏置电流控制

图 7-147. FINE_CUR_B 寄存器

7	6	5	4	3	2	1	0
保留				FINE_CUR_B			
R-00b				R/W - 不尽相同			

表 7-138. FINE_CUR_B 寄存器字段说明

位	字段	类型	复位	说明
7-6	保留	R	00b	
5-0	FINE_CUR_B	R/W	不尽相同	DAC B 精细电流控制设置。请参阅节 7.3.2.2。默认值不尽相同，以便与输出电流规格相匹配。

Copyright © 2024 Texas Instruments Incorporated

7.5.3.101 COARSE_CUR_B 寄存器（偏移 = 0726h）[复位 = 0Fh]

图 7-148 展示了 COARSE_CUR_B，表 7-139 中对此进行了介绍。

返回到寄存器汇总表。

DACB 粗略偏置电流控制

图 7-148. COARSE_CUR_B 寄存器

7	6	5	4	3	2	1	0
DAC1_CBIAS_SLEEP				COARSE_CUR_B			
R/W-0h				R/W-0xF			

表 7-139. COARSE_CUR_B 寄存器字段说明

位	字段	类型	复位	说明
7-4	DAC1_CBIAS_SLEEP	R/W	0h	睡眠期间的 DAC 粗略电流设置。请参阅 节 8.1.6 中有关直流耦合输出的讨论
3-0	COARSE_CUR_B	R/W	0xF	DAC B 粗略电流控制设置。请参阅节 7.3.2.2。

7.5.3.102 DEM_ADJ 寄存器（偏移 = 0727h）[复位 = 11h]

图 7-148 展示了 DEM_ADJ，表 7-139 中对此进行了介绍。

返回到寄存器汇总表

DEM 调节

表 7-140. 单边沿 DEM 调节

7	6	5	4	3	2	1	0
DEM_ADJ1				DEM_ADJ0			
R/W-0x1				R/W-0x1			

表 7-141. DEM_ADJ 寄存器字段说明

位	字段	类型	复位	说明
7-4	DEM_ADJ1	R/W	0x1	针对 DAC1 的单边沿数据无关 DEM 调节 DEM 行为。除非为单边沿数据无关 DEM 配置 DAC1，否则该寄存器无效。只有 0 至 3 是有效设置，4 至 15 是保留值。
3-0	DEM_ADJ0	R/W	0x1	针对 DAC0 的单边沿数据无关 DEM 调节 DEM 行为。除非为单边沿数据无关 DEM 配置 DAC0，否则该寄存器无效。只有 0 至 3 是有效设置，4 至 15 是保留值。

7.5.3.103 DEM_DITH 寄存器（偏移 = 0729h）[复位 = 00h]

图 7-149 展示了 DEM_DITH，表 7-142 中对此进行了介绍。

返回到寄存器汇总表。

DAC DEM 和抖动控制

图 7-149. DEM_DITH 寄存器

7	6	5	4	3	2	1	0
DEM_DACB		DEM_DACA		DITHER_DACB		DITHER_DACA	
R/W-00b		R/W-00b		R/W-00b		R/W-00b	

Copyright © 2024 Texas Instruments Incorporated

表 7-142. DEM_DITH 寄存器字段说明

位	字段	类型	复位	说明
7-6	DEM_DACB	R/W	00b	0：为 DACB 启用单边沿数据无关 DEM 1：为 DACB 启用双边沿数据无关 DEM 2：为 DACB 启用数据相关 DEM 3：为 DACB 禁用了 DEM
5-4	DEM_DACA	R/W	00b	0：为 DACA 启用单边沿数据无关 DEM 1：为 DACA 启用双边沿数据无关 DEM 2：为 DACA 启用数据相关 DEM 3：为 DACA 禁用了 DEM
3-2	DITHER_DACB	R/W	00b	0：为 DACB 启用单边沿抖动 1：为 DACB 启用双边沿抖动 2：保留 3：为 DACB 禁用了抖动
1-0	DITHER_DACA	R/W	00b	0：为 DACA 启用单边沿抖动 1：为 DACA 启用双边沿抖动 2：保留 3：为 DACA 禁用了抖动

7.5.3.104 DAC_OFS[0:1] 寄存器（偏移 = 072Ah）[复位 = 00h]

表 7-143 中介绍了 DAC_OFS[0:1]。

返回到寄存器汇总表。

DAC 偏移控制。DAC_OFS[0] 位于最低地址。

表 7-143. DAC_OFS[0:1] 寄存器字段说明

位	字段	类型	复位	说明
15-13	保留	R/W	000b	
12-0	DAC_OFS[n]	R/W	00b	DACn 偏移调节（n = 0 或 1）。该寄存器中的值添加到 DACn 输出。这是一个二进制补码 13 位有符号值。LSB 权重是一个 DAC LSB。编程到该寄存器中的值通过一个饱和函数传递，以将调节限制在可能的范围内。如果在 DACn 上启用抖动（请参阅 DEM_DITH），则将 DAC_OFS[n] 饱和处理为 +/-128 范围。如果在 DACn 上禁用抖动，则饱和范围为 +/-3968。 请参阅节 7.3.4。 注意：仅当 DP_EN=0 或 DAC_OFS_CHG_BLK=1 时，才应更改此值。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.1.1 DUC/旁路模式的启动过程

下面列出了器件的启动过程：

1. 使用节 8.3.1 中的过程在焊球 $\overline{\text{RESET}}$ 被置为有效的情况下为器件加电。
2. 应用 CLK，然后使 $\overline{\text{RESET}}$ 失效。
3. 等待加载保险丝值（寄存器 FUSE_DONE 返回 1）。
4. 设置所有操作参数（可以按任何顺序对寄存器进行编程）：
   a. 在 DUC_L 寄存器中编程内插因子。
   b. 确定总内插因子 (LT)，因为在后续步骤中需要它。LT = DUC_L。
   c. 确定需要多少个样本流并对 JESD_M 寄存器进行编程。
   d. 从表 7-22 中选择 JESD204C 模式。确保所选模式支持先前计算的 LT 值和所需的链路层编码。此外，确保该模式支持在 JESD_M 寄存器中设置的所需流数。将模式编号编程到 JMODE 寄存器中。
   e. 对 JENC 寄存器进行编程，以选择 8b/10b 或 64b/66b 操作。
   f. 使用表 7-22 和之前计算出的 LT 值来计算 R 的值。
   g. 使用表 7-17 (8b/10b) 或表 7-18 (64b/66b) 标识与 R 值和 DAC 时钟频率相匹配的行。根据这些表对 REFDIV、MPY、RATE 和 VRANGE 进行编程。
   h. 如有必要，对 LANE_SELn 进行编程，以将物理信道 6 和 14 绑定到逻辑信道 0 和 1。如有必要，对 LANE_INV 进行编程以解决任何通道反转问题（在 PCB 上交换差分对）。
   i. 根据您所需的用途对其它常用设置进行编程（JCTRL 中的 SUBCLASS、SFORMAT、SCR）。
   j. 如果使用 8b/10b 编码，则对 KM1 寄存器进行编程以设置 K 参数。KM1 必须与链路伙伴匹配。确保遵守表 7-22 中 KR 参数施加的约束。
   k. 如果需要子类 1 操作 (SUBCLASS=1)，您还必须对 RBD 进行编程。通过参考以下内容来确定 RBD 的适当值：对 RBD 进行编程。
   l. 如有必要，还可对可选的串行器/解串器参数进行编程（即 JPHY_CNTL、EQ_CNTL、EQZERO、LANE_EQn）。
   m. 对任何 DAC 或 DUC 相关寄存器进行编程，例如，设置 DAC_SRC 寄存器可将数据路由到所需的 DAC，并配置 MXMODE 可设置 DAC 输出模式。
5. 对发送器（链路伙伴，即 FPGA 或 ASIC）进行编程，并指示发送器开始传输。
6. 编程 JESD_EN= 1 以启动接收器。
7. 编程 DP_EN=1 以启用数据路径。这是允许数据流至 DAC 所必需的。如果仅执行 JESD204C 诊断，则可以将 DP_EN 保留为 0。
8. 等待 VDDDIG 电源电压重新稳定，因为电源电流瞬变可能会导致电源电压下降。80 微秒足够了，但可以根据实际测量结果进行优化。
9. 如果 SUBCLASS=1，则需要 SYSREF 才能在接收器中建立 LMFC/LEMC 相位。执行以下过程：
   a. 使用两个单独的事务，对 SYSREF_RECV_SLEEP=0 进行编程，然后对 SYSREF_PROC_EN=1 进行编程（这二者均在寄存器 SYSREF_CNTL 中）。
   b. 将 SYSREF_SEL 编程为已知的正确值（有关如何使用 SYSREF 窗口化函数计算 SYSREF_SEL 的详细信息，请参阅 SYSREF 窗口）。
   c. 对 SYSREF_ALIGN_EN=1 进行编程。
   d. 向 SYSREF 输入施加至少五个 SYSREF 脉冲。每个 SYSREF 周期的时间段必须满足表 7-3 中的要求。
10. 读取 JESD_STATUS 寄存器以确认链路运行（JESD_STATUS = 1 中的 LINK_UP 字段）。如果 LINK_UP 字段返回 0，请验证这些项目：

Copyright © 2024 Texas Instruments Incorporated

a. 如果 JESD_STATUS 中的 PLL_LOCKED 字段返回 0，请验证 PLL 设置是否正确（REFDIV、MPY、RATE 和 VRANGE）。验证 CLK 频率是否正确。
b. 如果 SUBCLASS = 1，且 JESD_STATUS 中的 ALIGNED 字段返回 0，请验证是否已应用 SYSREF 并启用 SYSREF 处理器 SYSREF_PROC_EN。
c. 如果以上都不是问题，则读取 LANE_STATUSn（仅读取逻辑通道 0 至 L-1 的寄存器）。确定某些通道是否无法获取代码组或块同步。如果是，请验证发送器是否已正确编程。验证是否正确对 LANE_SELn 进行了编程。考虑执行 PHY 测试以验证/优化 PHY 操作（使用 JTEST 的 PRBS 测试、眼图扫描测试或均衡器优化）。

11. 如果需要多个 NCO 之间保持一致性，则必须使用 NCO 同步一节中所述的其中一种方法对 NCO 进行重新同步，以实现多器件/确定性同步，如果仅需要内部 NCO 相位，则使用 SPI_SYNC 和 NCO_SYNC_SRC。
12. 要将器件配置为不同模式，请设置 DP_EN=0 和 JESD_EN=0。然后，返回到步骤 4。

8.1.2 DDS 模式的启动过程

DUC 通道可在 DDS 模式下运行，方法是在设置 DP_EN 之前设置 DDS_EN 寄存器。

要使用 DDS 模式，请执行以下步骤：

1. 编程 DDS_EN=1（DDS 在设置 DP_EN 之前不启用）
2. 将 JESD_M 编程为 2、4、6 或 8，以分别启用 1、2、3 或 4 个 DDS 通道
3. 对 AMP、FREQ 和 PHASE 的初始值进行编程
4. 无需对 NCO_EN 进行编程（DDS_EN=1 暗示了这一点）
5. 如果需要复数输出，则对 DUC_FORMAT=1 进行编程。如果 DUC_FORMAT=1，则 JESD_M 必须设置为 2 或 4（1 或 2 个通道）。
6. 对 DAC_SRC 进行编程，将 DUC (DDS) 通道绑定到 DAC
7. 保持 JESD_EN=0
8. 编程 DP_EN=1
9. 等待 VDDDIG 电源电压重新稳定，因为电源电流瞬变可能会导致电源电压下降。80 微秒足够了，但可以根据实际测量结果进行优化。
10. 如果需要多个 NCO 之间保持一致性，则必须使用 NCO 同步一节中所述的其中一种方法对 NCO 进行重新同步，以实现多器件/确定性同步，如果仅需要内部 NCO 相位，则使用 SPI_SYNC 和 NCO_SYNC_SRC。
11. DUC 通道现在以 DDS 模式运行并开始输出音调。使用 AMP、FREQ 和 PHASE 更新波形参数。您必须重新同步 NCO 以将新值应用到 NCO。使用 AMP_R、FREQ_R 和 PHASE_R 来检查当前有效的值。
12. 其他 NCO 设置也适用于 DDS 模式，例如 NCO_AR 和 NCO_CONT。NCO 可以与 DUC 模式相同的方式进行同步。

8.1.3 了解双边采样模式

与 NRZ、RTZ 或 RF 模式相比，双边沿采样模式（DES2XL/H）在 CLK 的上升沿和下降沿输出不同的采样点，使得在同一时钟频率下的采样率翻倍。DES2XL/H 模式通过数字内插来生成下降沿采样点。2 倍 DES 内插器具有 80% 通带带宽和 55dB 阻带衰减，并可配置为低通或高通（响应如图 8-1 所示）。DES 内插器在 DES2XL 模式下为低通，传递低于 $0.4*F_{CLK}$ 的信号并消除高于 $0.6*F_{CLK}$ 的图像。DES2XH 模式下则传递高于 $0.6*F_{CLK}$ 的信号，并消除低于 $0.4*F_{CLK}$ 的图像。在 $0.4*F_{CLK}$ 和 $0.6*F_{CLK}$ 之间的过渡频带中，通带衰减多达 6dB，图像衰减显著减少。

Copyright © 2024 Texas Instruments Incorporated

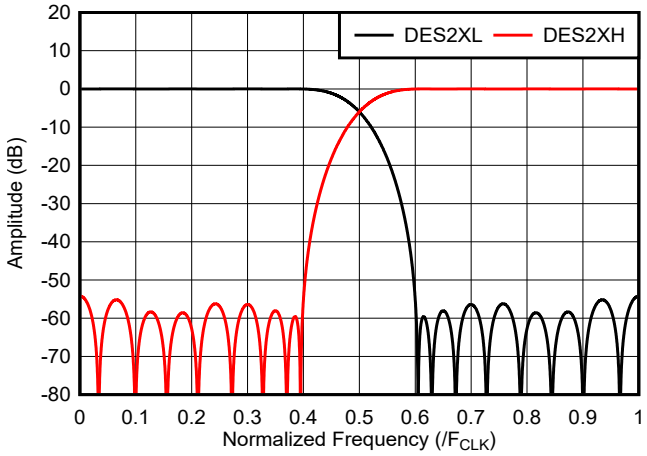


图 8-1. DES 内插器频率响应

如果 CLK 占空比不是 50%，将以 F_{CLK} - F_{OUT} 生成信号图像。图 8-2 展示了 DES2XL/H 模式与 NRZ/RF 模式相比的图像振幅。DES2XL 提供的抑制性能比 NRZ 模式超出 30dB，而 DES2XH 提供的抑制性能比 RF 模式超出 20dB 至 30dB。这减少了 DAC 后消除无用图像所需的模拟滤波。

图 8-2. DES2XL/H 图像与 NRZ 和 RF 模式的比较

NRZ、RF、RTZ、DES2XL 和 DES2XH 模式的输入时钟频率和输入数据速率相同。仅更改 DAC 生成的输出波形（请参阅节 7.3.1）。在模式之间切换只需要对 MXMODE 寄存器进行不同的设置。

图 8-3 比较了 10GSPS 时钟频率和 3497MHz 满量程音调情况下的 DES2XL 和 NRZ 模式。除了在 F_{CLK} - F_{OUT} = 6743MHz 时减少图像外，DES2XL 模式还可以抑制在 NRZ 模式下折返到 $F_{CLK}/2$ 以下的谐波。在图中，HD2 在 3006MHz 处的图像在 NRZ 模式下为-65dBc，在 DES2XL 模式下为 -80dBc。同样，491MHz 处的 HD3 图像从 NRZ 模式下的 -70dBc 提高到 DES2XL 模式下的 -90dBc。0 和 $F_{CLK}/2$ 之间的 SFDR 受到 HD2 的限制，因此从 65dBc 提高到 80dBc。请注意，节 6 中 DES2XL 模式的非线性规格是在 0 到 $F_{CLK}/2$（与 NRZ 模式相同）之间测量的，而 DES2XH 模式的相应规格则是在 $F_{CLK}/2$ 和 F_{CLK} 之间测量的。

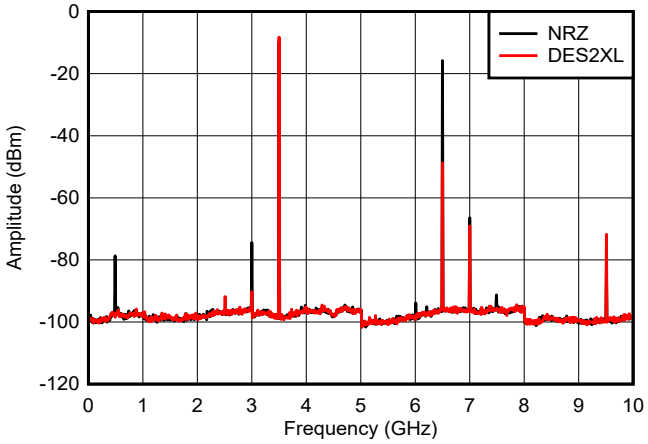


图 8-3. DES2XL 和 NRZ 模式的输出频谱比较

RF 和 DES2XH 模式的行为类似。图 8-4 展示了 RF 和 DES2XH 模式下 10GHz 时钟、7997MHz 的音调。HD2 和 HD3 在 NRZ 模式下具有约 6GHz 的折叠频率，这些频率在 DES2XH 模式下抑制性能大于 10dB。

Copyright © 2024 Texas Instruments Incorporated

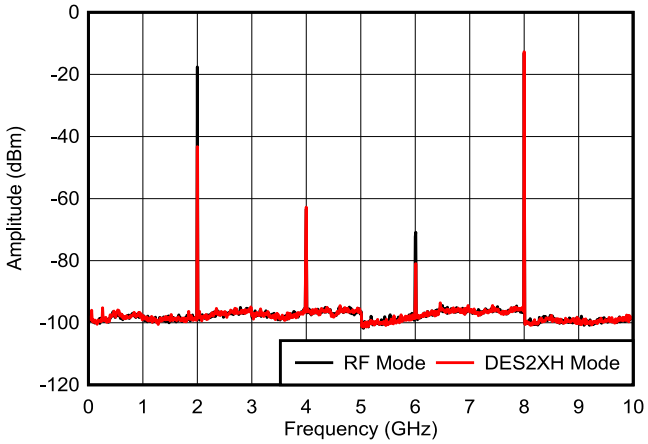


图 8-4. DES2XH 和 RF 模式的输出频谱比较

与 NRZ 模式相比，DES2XL 的另一个好处是将偏移频率 1/f 区域中的附加相位噪声改善了约 6dB（请参阅图 8-5）。这是因为 DES2XL 同时使用时钟的上升沿和下降沿，从而消除了时钟路径中的一些共模噪声。由于 RF 模式还使用下降沿生成反向采样，因此 RF 模式和 DES2XH 模式之间没有显著差异。

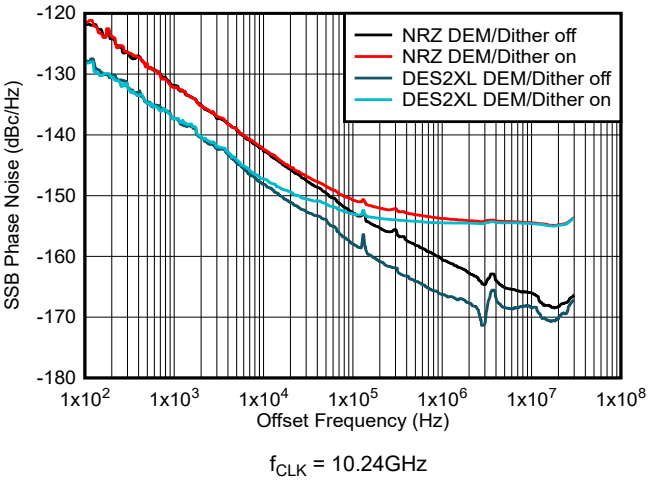


图 8-5. 1GHz 条件下相位噪声与偏移频率间的关系

请注意，DES2XL 和 DES2XH 模式存在以下 3 个小缺点：

1. DES 内插滤波器过渡带中的信号衰减介于 0.4*F_{CLK} 和 0.6*F_{CLK} 之间
2. 由于存在 DES 内插滤波器，在时钟为 10GHz 时延迟增加了 97 个时钟周期，即 9.7ns
3. 由于使用 DES 内插滤波器，在 10GHz 时钟下功耗增加了 250mW

8.1.4 眼图扫描流程

PHY 层包含用于生成眼图的功能，并支持多种不同的模式（如需模式列表，请参阅 ES 寄存器）。以下各节介绍了如何从器件生成眼图扫描数据以及一些构建眼图的方法。

1. 按照 DUC 模式的启动过程中的步骤，为 JESD204C 运行配置器件。设置 JESD_EN=1 后返回此处。既可以使用 JESD204C 位流运行眼图扫描，也可以使用通用 PRBS 输入激励来运行。眼图扫描同时在所有已启用的物理通道上运行。
2. 将 ES 编程为所需的眼图扫描模式。
3. 如果 ES 小于 8，则必须将 ESVO 编程为所需的电压偏移。在其他模式下，眼图扫描逻辑会自动调节眼图扫描采样器的失调电压。

Copyright © 2024 Texas Instruments Incorporated

4. 将 ESPO 编程为所需的相位偏移。
5. 将 ES_BIT_SELECT 编程为 0 至 19 之间的值。每 20 个接收位（抽取因子为 20）进行一次眼图扫描分析。ES_BIT_SELECT 用于调节该抽取相位。对于随机激励，这不会影响结果。如果输入具有重复模式，这可能会影响结果。
6. 将 ESLEN 编程为所需的样本数。设置越高，结果越一致。
7. 设置 ECOUNT_CLR = 1，然后设置 ECOUNT_CLR 以清除错误计数器。建议执行此步骤，但如果需要，则可以跳过此步骤（例如，将来自多个眼图扫描运行的计数相加）。如果不使用 ECOUNT（对于 ES 为 8 或更大的模式），也可以跳过此设置。
8. 编程 ESRUN = 1 以开始扫描。
9. 轮询 ESDONE，直到 ESDONE 为您要运行眼图扫描的每个通道返回 1。
10. 如果所选的眼图扫描模式修改了眼图扫描电压偏移（内部/外部/平均模式），则读取 ESVO_S 以获得内部/外部/平均眼图边界。对于其他眼图扫描模式，则读取 ECOUNT 以返回记录的不匹配（或匹配）数量。
11. 编程设定 ESRUN = 0。
12. 返回至步骤 2，以运行另一个眼图扫描数据收集过程。在步骤 2 到 12 的多次迭代期间，接收器可以保持启用状态。

有两种基本方法可以使用眼图扫描功能构建眼图。

1. 1.使用 ESVO_S 的快速方法：
   a. 对 ESPO 的每个有效值重复上述过程。对于 ESPO 的每个值，运行 0 和 1 的内眼分析。这会找到 ESPO 的每个值的最大零 ($ESVO_{max0}$) 和最小一 ($ESVO_{min1}$)。
   b. $ESVO_{max0}$ 和 $ESVO_{min1}$（含）之间的所有眼图单元均为黑色，其他单元均为白色。
   c. 通过包括外部和/或平均分析，可以将其他详细信息添加到眼图中（请参阅 ES）。例如，通过平均分析生成的 ESVO_S 值可以标为红色，而包括内部分析值和外部分析值在内的所有其他值都标为白色。
2. 使用 ECOUNT 的详细方法：
   a. 选择一种可以对不匹配问题进行计数的眼图扫描模式。对 ESVO 和 ESPO 的每个有效值重复上述步骤。
   b. 每次运行后，记录 ECOUNT 值（每次运行前复位 ECOUNT）。
   c. 每次眼图扫描对应于眼图的一个单元。ESPO 是单元的 x 坐标。ESVO 是单元的 y 坐标。单元的强度与 ECOUNT/Nsamples 成正比，其中 Nsamples 是每次运行所分析的样本数量（由 ESLEN 确定）。
   d. 这种方法需要更多的时间来运行，但可以提供更精细的眼图。

8.1.5 前标/后标分析流程

前标/后标分析可用于确定发送器中预加重的最佳设置。

1. 如有必要，编程 JESD_EN = 0。编程 EQMODE = 1。编程 JESD_EN = 1，并为均衡器留出足够的时间来进行适应和稳定。您可以多次读取 EQLEVEL_S 来验证该值是稳定的，还是会在相邻值之间切换。
2. 设置 EQHOLD = 1 来锁定均衡器（禁用调整）。这也会导致 EQOVER 和 EQUNDER 字段变为低电平。
3. 等待至少 48UI，如果 CDR 活动小于 100%，则按比例等待更长的时间，以便对 EQHOLD 上的 1 进行采样并执行操作。SPI 足够慢，无需显式延迟。
4. 将 EQMODE 设为 2 或 3，以分别选择前标或后标分析。对于单独的 SPI 事务，设置 EQHOLD = 0。分析接收到的信号的均衡特性（均衡器响应继续被锁定）。
5. 等待至少 150,000UI，以便有时间进行分析，如果 CDR 活动低于 100%，则时间按比例延长
6. 检查 EQOVER 和 EQUNDER 以获得分析结果：
   a. EQOVER 高电平表示该信号过度均衡；
   b. EQUNDER 高电平表示该信号均衡不足；
7. 设置 EQHOLD = 1
8. 调整发送器预加重，并根据需要重复步骤 3 至 7。
9. 设置 EQMODE = 1，并通过单独的 SPI 事务设置 EQHOLD = 0 以退出分析模式并返回正常自适应均衡。

Copyright © 2024 Texas Instruments Incorporated

8.1.6 睡眠和禁用模式

有多种方法可以关闭或暂时禁用 DAC 输出。为了防止器件电路的不对称老化，在某些选项中，DAC 的输出会保持低电平。表 8-1 列出了睡眠或禁用 DAC 输出的选项。

在完全断电模式下可节省最多电量，通过将 MODE 寄存器设置为 0x3 即可启用该模式。在该模式下，会保持低电平输出信号，以防止出现不对称老化。从完全断电状态恢复到完全运行需要数百微秒。

通过将相应的 MXMODE 寄存器设置为 0x6，可以禁用一个或两个 DAC 输出。这样可以节省一些功耗，并且 DAC 输出低电平信号，以防止出现不对称老化。如果只禁用一个通道，则来自已禁用通道的低电平杂散可以馈入活动通道，从而产生约 -80dBFS 的杂散。

TX ENABLE 功能通过 TXEN0/1 焊球或 TX_EN 寄存器启用，它提供了一种通过强制数字代码为 0（中量程）来快速禁用 DAC 输出的方法（有关 TX ENABLE 延迟，请参阅节 6.9）。当 QUITE_TX_ENABLE 寄存器为 0 时，输出端仍会保持低电平信号，以防止出现饱和。当 QUITE_TX_ENABLE 为 1 时，如果启用了数据无关的 DEM 和抖动，则可以防止不对称老化。如果禁用了 DEM 和抖动，或者将 DEM 设置为依赖于数据的 DEM，则当器件大多数时间都处于此模式下时，DAC 可能会在器件的生命周期内出现性能下降。性能下降是特定于通道的，只会影响已禁用的通道。

表 8-1. DAC 睡眠和输出禁用选项

选项	MXMODE	TX_EN	QUIET_TX_DISABLE	DEM	抖动	低电平输出	长期性能下降	节能
器件完全断电 (MODE = 0b11)	-	-	-	-	-	是	否	大多数
DAC 禁用	6	1	-	-	-	是	否	某些
启用 TX	不限	0	0	-	-	是	否	最少
启用 TX	0-5	0	1	0.1	0.1	否	否	最少
启用 TX	0-5	0	1	2、3	3	否	是	最少
启用 TX	6	0	1	0.1	0.1	否	否	最少
启用 TX	6	0	1	2.3	3	否	是	最少

当 DAC 处于完全断电状态时，睡眠期间 DAC 输出的共模电压需要保持在 2V 以下。对于交流耦合输出，偏置通常由电感器或平衡-非平衡变压器中心抽头提供至 1.8V，这也会强制共模电压也达到 1.8V。对于直流耦合输出，通常通过一个电阻器端接至高于 1.8V 的电压（例如 2.3V）的应用，必须提供足够的 DAC 输出电流以将共模电压降至 2V 以下。这是通过根据以下公式对 DACx_CBIAS_SLEEP（DACA 为地址 0x724 位 7:4，而 DACB 为地址 0x726 位 7:4）进行编程来实现的：

$$DAC_CBIAS_SLEEP = ceil\left(\frac{2 \cdot \frac{V_{BIAS} - V_{OUT_CM_SLEEP}}{R_{TERM}} - 7.36mA}{1.47mA}\right) \quad (4)$$

其中：

- V_{OUT_SLEEP} 是睡眠模式下的 DAC 输出共模电压 (≤ 2V)
- V_{BIAS} 是外部直流偏置
- R_{TERM} 是外部偏置电阻/端接至 V_{BIAS}
- *ceil* 是上限运算符（整数向上舍入）

8.2 典型应用

8.2.1 S 频带雷达发送器

8.2.2 设计要求

S 频段涵盖 2GHz 至 4GHz 的频率范围。本示例中使用信号带宽为 200MHz、中心频率为 3.2GHz 的雷达。

Copyright © 2024 Texas Instruments Incorporated

多普勒雷达使用返回信号的频移来测量物体的速度。来自地面杂波的大反射信号与 TX 和 RX 相位噪声混合，这可能会使小型移动物体的返回信号变大。这就对雷达线性调频脉冲的近端相位噪声提出了要求。

雷达对杂散信号也很敏感，对于本示例，我们假设带内 SFDR 需要 90dBFS。

8.2.3 详细设计过程

表 8-2 中列出了设计参数的摘要。250MSPS 复数输入采样速率覆盖 200MHz 信号带宽，使用 32 倍内插将 TX 采样速率提高到 8GSPS。该器件的数控振荡器 (NCO) 用于在 3.2GHz 下将信号置于 TX 输出上。在 DES2XL 模式下额外应用了 2 倍内插，将采样速率提高到 16GSPS。

在 DES2XL 模式下，4.7GHz 至 4.9GHz 时的图像抑制将受到 2 倍 DES 内插器的限制，限制为 40dB。

为了优化低偏移频率相位噪声，禁用 DEM 和抖动。

JMODE 5 中的 JESD204C 接口配置为每个 IQ 对具有 4 个流（2 个 IQ 对）和 1 个串行器/解串器通道。使用 64/66 位编码时，串行器/解串器波特率为 8.25Gbps。

表 8-2. S 频带发送器的设计参数

参数	值
输入时钟	8GHz
DAC 采样速率	16GSPS
输出模式	DES2XL
DEM 和抖动设置	关闭
TX 内插因子	32x
TX 输入速率	250MSPS 复频率
NCO 频率	3.2GHz
JMODE	5
流数	4（2 个 IQ 对，1/DAC）
串行器/解串器通道数	2
编码	64/66
串行器/解串器波特率	8.25Gbps

8.2.4 时钟子系统详细设计过程

DDS39RF12 和 'RFS12 在多普勒雷达、量子计算和无线测试等应用中的主要优势之一是能够直接合成极低相位噪声信号，一直到 X 频段 (12GHz)。为了充分利用 DAC 的超低附加相位噪声，需要一个高性能的时钟。

在大多数系统中，尺寸、重量、面积、功率和成本 (SWAP-C) 的影响同样重要。这意味着每个系统架构师必须根据系统要求在性能与整体系统 SWAP-C 之间进行权衡。在本节中，我们介绍了三个基于 SWAP-C 与性能权衡的时钟示例。

图 8-6 展示了由集成 PLL+VCO、具有外部高性能 VCO 的集成 PLL 和完全分立式高性能模拟 PLL 生成的 8GHz 采样时钟的相位噪声图。所有示例均假设基准时钟作为合成器的输入提供，其涵盖范围很广，从低成本表面贴装晶体振荡器一直到非常昂贵的参考子系统，不一而足。还提供了 8GHz 时的 DDS39RF12 和 'RFS12 附加相位噪声进行比较，即使对于模拟 PLL，在低于 5MHz 的偏移频率下，时钟相位噪声也会降低 DDS39RF12 和 'RFS12 输出相位噪声。

Copyright © 2024 Texas Instruments Incorporated

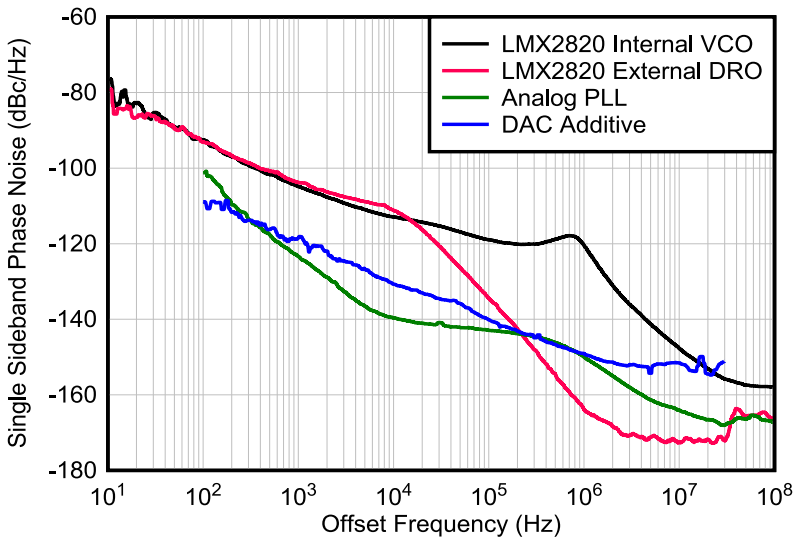


图 8-6. 具有器件附加相位噪声的 DAC 时钟相位噪声示例

8.2.4.1 示例 1：SWAP-C 优化

出色的 SWAP-C 子系统利用了现代 PLL+VCO 器件（例如 LMX2820）提供的高度集成。图 8-7 展示了时钟子系统的方框图。外部基准时钟馈送 LMX2820 输入，然后用于在馈送至输出缓冲器之前锁定内部 PLL+VCO。构建环路滤波器并完成子系统只需外部无源器件。

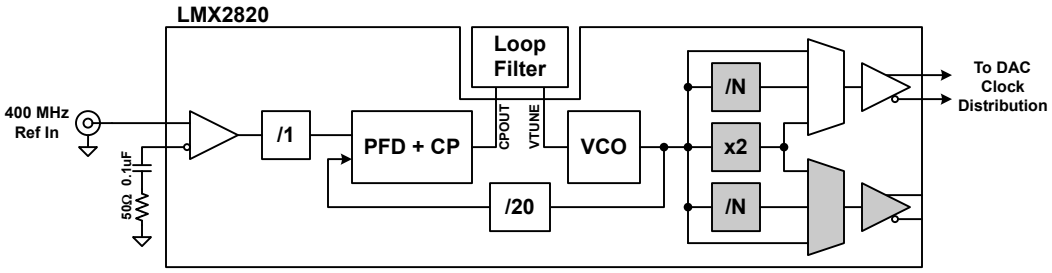


图 8-7. 带内部 VCO 的 LMX2820

LMX2820 是一款灵活的器件，可能很难配置，例如决定如何解密配置分频器、设置环路滤波器元件等。为了优化相位噪声，可以考虑一些高级指南。

首先，应尽可能始终以整数模式（而不是小数模式）运行 LMX2820。这意味着基准时钟和输出时钟之间的关系遵循以下一般形式：

$$F_{OUT} = (F_{REF}/N_{REF}) \times N_{DIV}/N_{OUT} \quad (5)$$

其中 N_{REF}、N_{DIV} 和 N_{OUT} 分别是基准、反馈和输出分频器。F_{REF} 是输入基准频率，F_{OUT} 是用作 DAC 时钟的输出频率。如果找不到该比率，则必须使用小数模式，但这样会降低整体相位噪声。

其次，当相位检测器频率达到最大且反馈分频器达到最小时，可实现理想的带内相位噪声。LMX2820 的最大相位检测器频率为 400MHz，可选的基准倍频器可用于高达 200MHz 的基准输入。对于同一输出频率，相位检测器频率每加倍一次（同时将反馈分频器减半）都会使带内相位噪声降低 3dB。

对于 8GHz 输出，使用 400MHz 的最大相位检测器频率。设置 N_{REF} = 1、N_{DIV} = 20 且 N_{OUT} = 1（分频器旁路）。如果带内噪声略有下降，可将输入设置为 200MHz，并使用基准倍频器。

Copyright © 2024 Texas Instruments Incorporated

第三，请注意，在带内噪声开始占主导地位之前，基准输入上的任何噪声都会影响近端相位噪声。带内噪声是 PLL 噪声（相位检测器、电荷泵和分频器）和 VCO 噪声的组合，而宽带噪声受输出缓冲器的本底噪声的限制。近端噪声受器件闪烁的限制，该闪烁与相位检测器频率无关，并随输出频率缩放 20 x LOG_{base10}。

最后，在高于 11GHz 的频率下运行 LMX2820 时，必须使用集成输出倍频器，这会产生次谐波（即输出频率除以 2），从而可能需要使用高通或带通滤波器进行外部滤波（具体取决于系统要求）。通过窄带通滤波器跟踪 LMX2820 输出也可用于抑制宽带噪声。

TI 提供 PLLatinumSim 软件来设计外部环路滤波器无源值。

8.2.4.2 示例 2：通过外部 VCO 改善相位噪声 LMX2820

外部 VCO 可以显著改善带内噪声和宽带噪声，通常使用窄带 VCO（例如压控晶体振荡器 (VCXO)、压控表面声波振荡器 (VCSO) 和电介质谐振振荡器 (DRO)）实现更低的相位噪声。本设计采用了 Synergy Microwave 8GHz DRO (SDRO800-8)，可实现出色的宽带噪声 (-170dBc/Hz) 和低闪烁噪声转角（1MHz 时为 -160dBc/Hz）。DRO 通常可在大约 5GHz 到 25GHz 以上的频率范围内使用。

图 8-8 展示了合成器的方框图。外部有源环路滤波器用于提高噪声性能并扩展 DRO 所需的调谐电压范围（0V 至 10V）。DRO 输出被分离，一个输出反馈回 LMX2820，另一个输出被发送到 DAC 时钟分配网络。

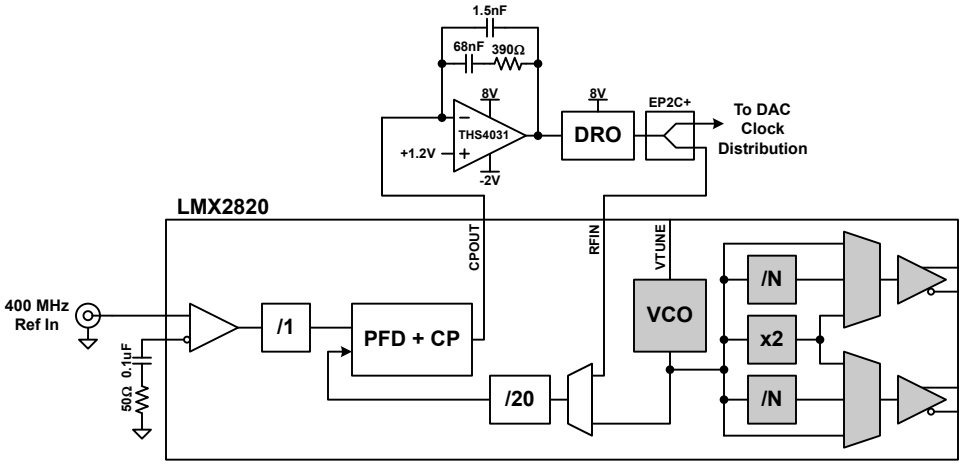


图 8-8. 具有外部 VCO 的外部 LMX2820

在该实现中，环路带宽设置为约 24kHz，PLL 的闪烁噪声与 DRO 的开环噪声相交。这可提供理想的整体集成相位噪声。由于未使用输出缓冲器，并且 DRO 具有大约 -170dBc/Hz 的出色宽带噪声，因此与完全集成的示例相比，本底噪声降低了大约 10dB。

与集成式 VCO 一样，环路滤波器元件可使用 PLLatinumSim 软件进行设计。

8.2.4.3 示例 3：分立式模拟 PLL，可实现出色的 DAC 性能

当相位噪声性能至关重要时，分立式模拟 PLL (APLL) 可提供比集成示例低得多的相位噪声。代价是增加了 SWAP-C。图 8-9 展示了此类实现方案的方框图，该实现方案使用与之前讨论的 LMX2820 外部 VCO 示例相同的 Synergy Microwave 8GHz DRO。

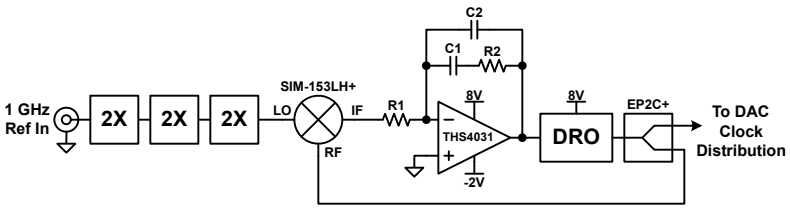


图 8-9. 分立式模拟 PLL

APLL 优先于先前的示例，可避免使用数字分频器和相位检测器，从而显著降低相位噪声。它使用基于无源二极管的倍频器和混频器，这些倍频器和混频器几乎不会产生附加相位噪声。与所有合成器一样，为了获得出色性能，需要一个具有非常好的近端相位噪声且低于 APLL 环路带宽的频率基准。

在这种情况下，选择 1GHz 基准来方便对采样率进行除法，它可作为 R&S SMA100B 射频信号发生器的输出，也可作为 Wenzel Associates 的独立单元。

如前所述，APLL 不使用数字分频器或相位检测器，这会显著降低相位噪声。相反，使用无源乘法器级将基准乘以输出频率（请参阅图 8-10）。无源混频器用作相位检测器，为低噪声运算放大器环路滤波器馈送信号。DRO 输出被分离，一个输出进入 DAC 时钟分配网络，另一个输出反馈回混频器的射频端口。

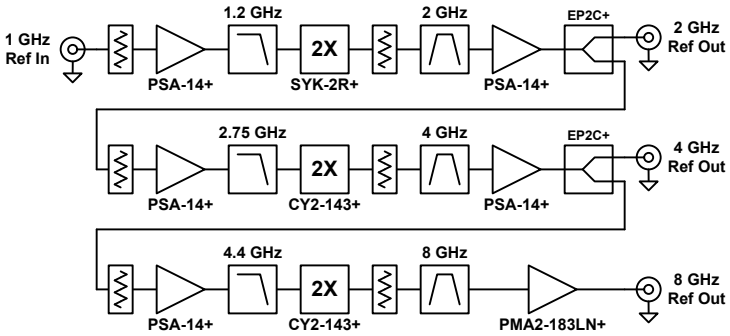


图 8-10. 基准乘法器链

乘法器链使用低噪声放大器、无源二极管乘法器和带通滤波器。对于电路的这一部分，关键的是低于 PLL 环路带宽的近端相位噪声。并非所有放大器都表现出良好的近距离噪声，尤其是在接近压缩或进入压缩状态时。一般而言，异质双极晶体管 (HBT) 放大器具有低闪烁噪声，并在驱动进入压缩状态时运行良好。

选择了带通滤波器以去除仅被乘法器部分抑制的 F_{IN} 和 3 x F_{IN}/2 谐波。在一些实现中，驱动放大器可进行滤波，以防止谐波抑制性能下降。该信号链在实验中经过优化，但可在各级之间添加额外的衰减来管理反射和放大器工作条件。

在开环 DRO 相位噪声倍增基准噪声交叉位置附近设置环路滤波器带宽，并设置阻尼因子以实现平滑的衰减，从而更大限度地降低集成相位噪声。如果需要，可以使用可选的附加反馈电容器来加速滚降（C2 大致设置为 C1 的 1/10 至 1/100）。环路滤波器元件值在此设计中是通过实验确定的。

一些实现中需要一个启动电路来帮助环路获得锁定。在实践中，只需初始上电，回路就能拉入并锁定。

8.2.4.4 10GHz 时钟生成

对于更高的采样速率，有多个选项可用。首先，可以选择直接在所需频率下工作的 DRO，并可以相应地修改乘法器链和/或基准频率。

另一种方法是使用分频器和混频器将 APLL 输出转换为新的更高频率。图 8-11 展示了 10GHz 时钟合成器的示例。该示例使用上述相同的基准乘法器链和 APLL，并增加了一个混合级，可将 DAC 时钟从 8GHz 转换为 10GHz。

Copyright © 2024 Texas Instruments Incorporated

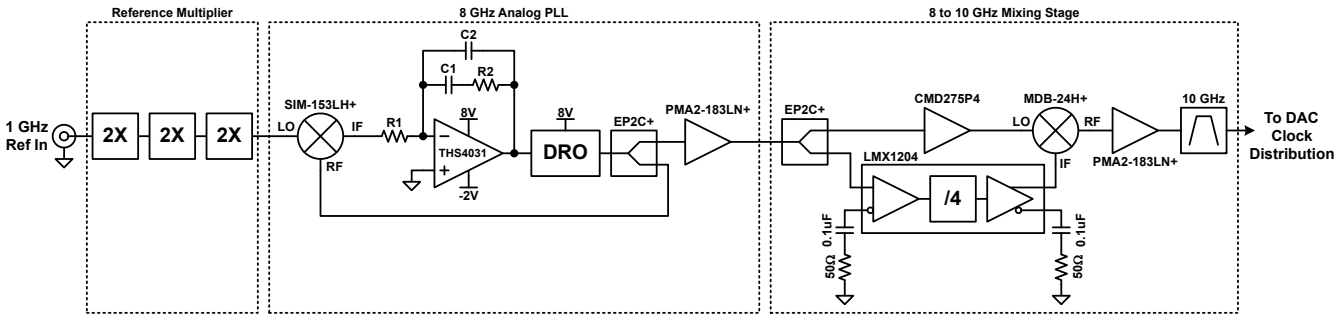


图 8-11. 10GHz 时钟合成器

LMX1204 可用作缓冲器、倍增器或分频器。在本例中，LMX1204 用于将 8GHz APLL 输出进行 4 分频，然后与输入混合，以将时钟转换为 10GHz。混频后需要使用带通滤波器来消除 LO 馈通和不良混频产物。图 8-12 展示了 8GHz 调整至 10GHz 的输入以及混频后产生的 10GHz。

与基准乘法器链一样，为了获得理想的相位噪声，在选择元件和工作点时必须特别小心。通过在馈送混频器的 IF 输入之前将两个 LMX1204 输出组合在一起，可以发现本底噪声略有改善。

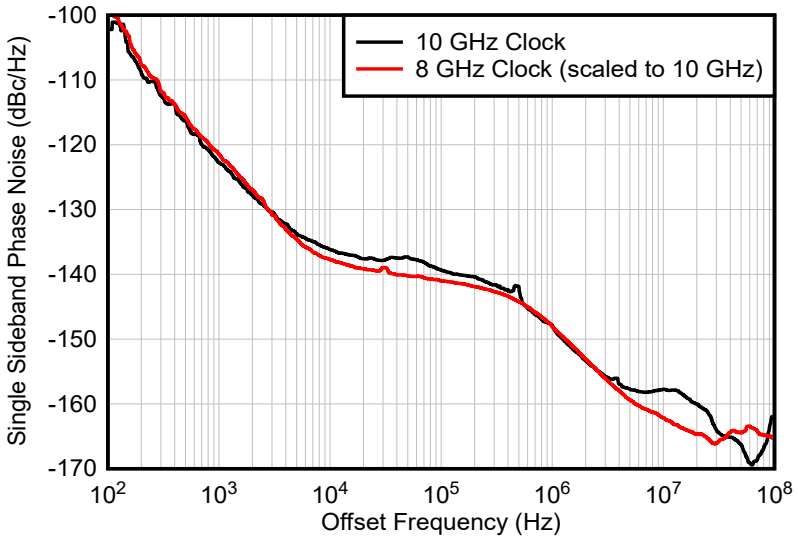


图 8-12. 8GHz 和 10GHz 时钟相位噪声

8.2.5 应用曲线

用于测试的雷达芯片波形是一个非线性调频 (NLFM) 脉冲，在 250MSPS 复数输入速率下可持续 4096 个样本。在基带处，频率从 -100MHz 斜升到 +100MHz，遵循由 Price 绘制的频率斜升曲线，如方程式 6 所示 [Price R. *Chebyshev Low Pulse Compression Sidelobes via a Nonlinear FM.* National Radio Science Meeting of URSI; PortSaid, Egypt: 1979.]，T = 4096 个样本，B = 0.8，B_l =0.5611 且 B_c = 0.238。

$$f(f, B_l, B_c) = B \times \frac{t - T/2}{T} \times \left(B_l + \frac{B_c}{\sqrt{1 - 4\left(t - T/2\right)^2 / T^2}} \right) \quad (6)$$

图 8-13 中展示了 NLFM 线性调频脉冲频率斜升，图 8-14 中展示了复时域基带波形，图 8-15 中展示了基带频谱，图 8-16 中展示了自动关联。

Copyright © 2024 Texas Instruments Incorporated

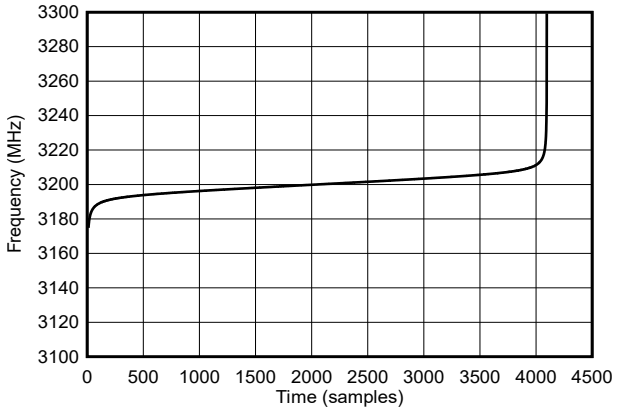


图 8-13. NLFM 频率斜升

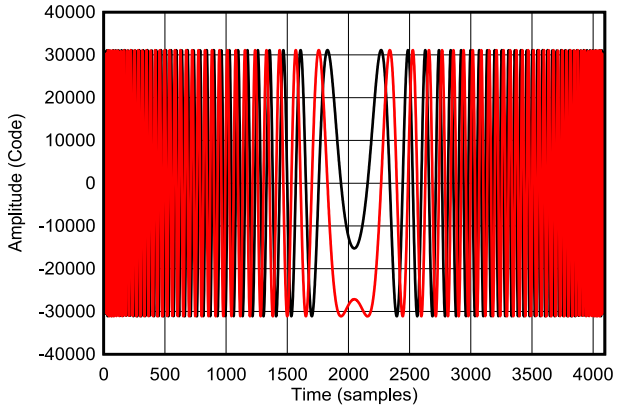


图 8-14. NLFM 线性调频脉冲的复时域（红色 = 实数，黑色 = 虚数）

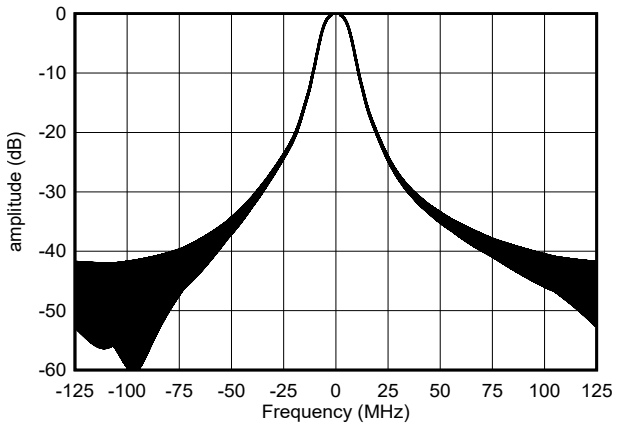


图 8-15. NLFM 线性调频脉冲的数字频谱

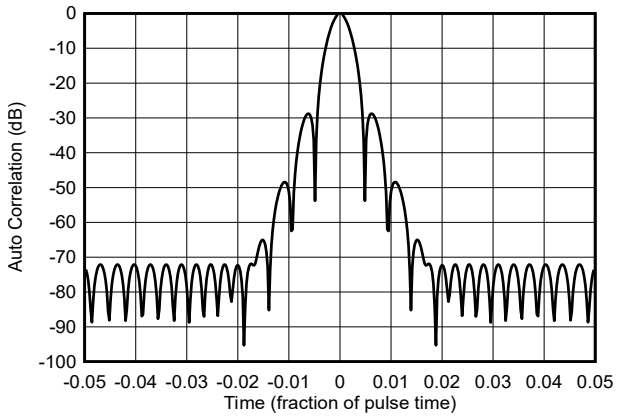


图 8-16. NLFM 线性调频脉冲的自动关联

3.2GHz 下 NLFM 线性调频脉冲的输出频谱如图 8-17 所示。最大杂散是 4.8GHz 时的占空比图像，抑制了 50dB。图 8-18 展示了以 3.2GHz 为中心的 1GHz 范围。内插滤波器在 3.2GHz 下将输出频谱限制为 250MHz 宽带。图 8-19 展示了满量程音调的 200MHz 频谱纯度。3.16GHz 时的最大杂散约为 80dBc，这是第 4 次谐波（混叠回第 1 个奈奎斯特区域），第 6 次谐波约为 86dBc。

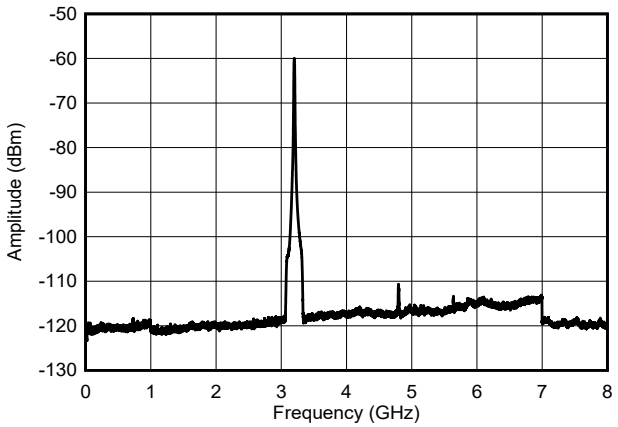


图 8-17. 0GHz 至 8GHz 频率下的 NLFM 线性调频脉冲输出频谱

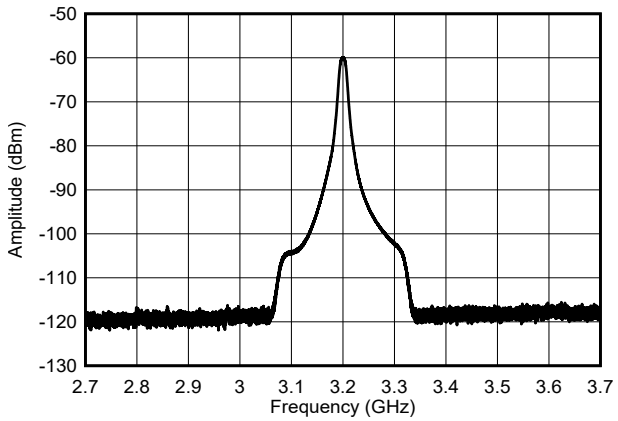


图 8-18. 1GHz 频率下的 NLFM 线性调频脉冲输出频谱

Copyright © 2024 Texas Instruments Incorporated

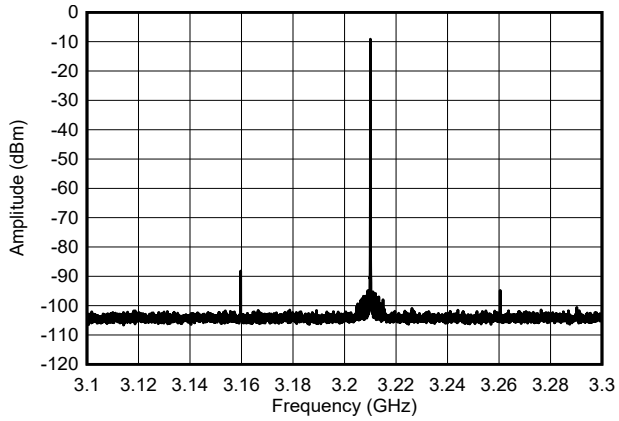


图 8-19. f_{OUT} = 3.211GHz 时的带内单音频谱

使用推荐的时钟电路时，3.2GHz 音调的输出相位噪声如图 8-20 所示。DAC 本身的附加相位噪声如图 8-21 所示。

图 8-20. 使用推荐的时钟电路时，3.2GHz 频率下的输出相位噪声

图 8-21. 3.2GHz 频率下的 DAC 附加相位噪声

8.3 电源相关建议

该器件有三个电源电压并且需要七个电源域，才能实现如表 8-3 中所示的数据表性能：

表 8-3. 推荐的电源域

电压	电源域	器件电源
+1.8V	VDDA	VDDA18A、VDDA18B
	VDDIO	VDDIO
	VDDCSR	VDDCLK、VDDSYS、VDDR
+1V	VDDL	VDDLA、VDDLB
	VDCCCLK	VDDCLK10
	DVDD	VDDDIG、VDDT、VDDDEA 和 VDDDEB
-1.8V	VEEx	VEEAM18、VEEBM18

推荐的电源如图 8-22 所示。电源电压必须具有低噪声，并提供所需的电流以实现额定器件性能。首先使用降压高效开关转换器，然后使用 LDO 进行第二级稳压，从而降低开关噪声并提高电压精度。用户还可以参阅 TI WEBENCH® Power Designer，它可用于根据需要选择和设计各个电源元件。推荐的开关稳压器为：

- TPSM82913 = +2.3V，适用于 VDDA、VDDIO、VDDCSR、VDDL 和 VDCCCLK 域
- TPS543620 = +1V，适用于 DVDD
- TPSM82913 = +3.8V，适用于 VEEx 域

推荐的 LDO 包括：

- +1.8V 和 +1V TPS7A9401
- -1.8V LM27762

Copyright © 2024 Texas Instruments Incorporated

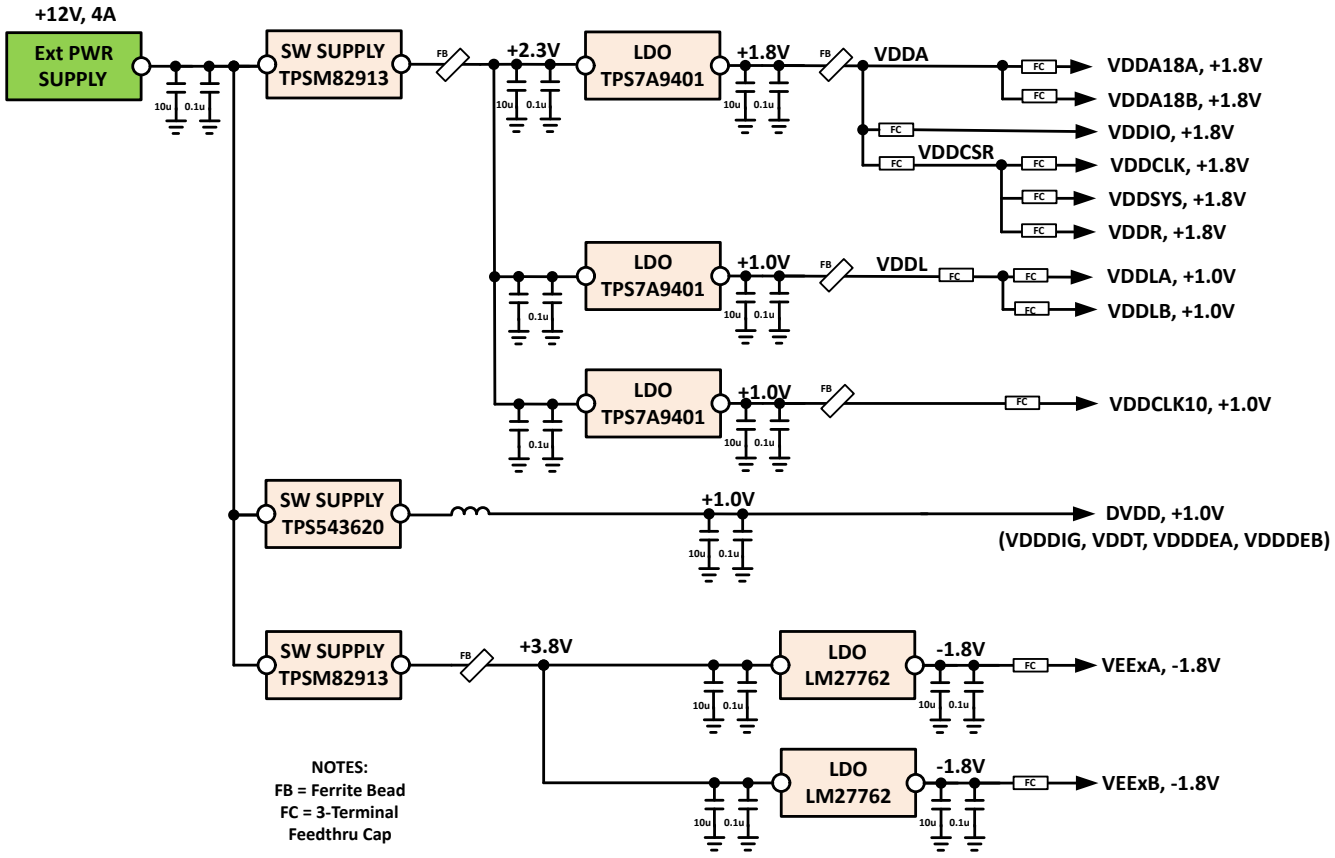


图 8-22. 推荐的电源方框图

VDDA 电源由 LDO 或低噪声压降线性稳压器调节，输出电压为 +1.8V，并进一步细分为以下子组电源域：

- VDDA：VDDA18A、VDDA18B
- VDDIO
- VDDCSR：VDDCLK、VDDSYS、VDDR

每个器件电源均可连接到单个 LDO，但可通过铁氧体磁珠和/或三端电容器或类似器件进行隔离。

VDDL 电源为 +1V，并进一步细分为 VDDLA 和 VDDLB。每个器件电源均可连接到单个 LDO，但可通过铁氧体磁珠和/或三端电容器或类似器件进行隔离。

VDDCLK10 电源为 +1V，可实现出色相位噪声性能。VDDCLK10 应单独与 LDO 隔离，以防止其他 1.0V 电源耦合到时钟路径中的噪声。

DVDD 电源为 +1V，可直接连接到开关电源。DVDD 包含以下器件电源：VDDDIG、VDDT、VDDDEA 和 VDDDEB，它们均可连接在一起。无需使用铁氧体磁珠和/或三端电容器或类似器件进行进一步隔离。

VEEx 电源由单个 LDO 提供 -1.8V 电压，并进一步细分为 VEEAM18 和 VEEBM18，它们通过铁氧体磁珠和/或三端电容器或类似器件进行隔离。

强烈建议遵循以下重要的电源设计注意事项：

1. 当所有电源轨和总线电压进入系统板时，将其解耦。进一步在每个电源域的 DAC 自身或其附近进行额外去耦。通常，每个电源引脚一个去耦电容器就足够了，除非在数据表或 EVM 组件中有所规定。
2. 请记住，每个附加的滤波级可实现大概 20dB/十倍频程的噪声抑制。
3. 对高频和低频进行解耦，可能需要多个电容值。
4. 串联铁氧体磁珠和馈通电容器通常用于电源普通接入点，可用于额外的电源域隔离。应该对系统板上的每个单独电源电压实施上述措施，无论是来自 LDO 还是开关稳压器。

Copyright © 2024 Texas Instruments Incorporated

5. 为了增加电容，请使用紧密堆叠的电源和接地层对（≤4 密耳间距），这增加了 PCB 设计固有的高频 (>500MHz) 解耦。
6. 应尽可能使电源远离敏感的模拟电路，如 DAC 的前端射频级、高速时钟和数字电路。
7. 使需要更高电流的电源域靠近堆叠顶部或具有电源正常入口点的层。这样可以更大限度地减小整体环路电感。
8. 电源平面上的任何开放或无效区域，请填充接地以提供额外的隔离和屏蔽。
9. 在所有相邻电源平面和/或接地平面填充之间保持 20mil 至 25mil 的间隙。这有助于消除同一层内相邻电源域和/或接地之间的所有间隙耦合。
10. 一些开关稳压器电路/组件可能位于 PCB 的另一侧以增加隔离效果。
11. 遵循 IC 制造建议；如果应用手册或数据表中没有直接说明，可以研究评估板。这些是值得参考的好工具。上述几点可帮助提供可靠的电源设计，从而在许多应用中实现数据表中指明的性能。

每个应用在电源电压上具有不同的噪声容差，因此请阅读以下两个应用手册以获取更多信息，更好地理解如何进行协调：

- 雷达应用中射频转换器的无杂波电源（第 1 部分）
- 雷达应用中射频转换器的无杂波电源（第 2 部分）

另请参阅图 8-30 至图 8-33，其中说明了单电源布局和堆叠方法。

8.3.1 上电和断电时序

上电时，按以下顺序斜升电源：

1. 斜升 1.8V 电源，包括 DACOUTA+/- 和 DACOUTB+/- 的偏置电压
2. 斜升 -1.8V 电源
3. 斜升 1V 电源

以相反顺序进行斜降。

1. 斜降 1V 电源
2. 斜降 -1.8V 电源
3. 斜降 1.8V 电源，包括 DACOUTA+/- 和 DACOUTB+/- 的偏置电压

Copyright © 2024 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南和示例

在 PC 板设计过程中，需要特别注意许多关键信号连接：

1. DAC 模拟输出信号
2. 采样时钟
3. 串行器/解串器 (JESD204x) 数据输入
4. 电源
5. 电源和接地策略

在开发高速 PCB 设计时，需要考量许多注意事项。如果要进行高速 PCB 设计，可以参考以下建议和示例图：

1. 尽可能在串行器/解串器输入上使用松散耦合的 100Ω 差分布线进行布线。这种布线可更大限度地降低角和长度匹配蛇形对线对阻抗的影响。
2. 提供足够的线对间距以更大限度地减少串扰，尤其是在松散耦合差分布线情况下。当无法提供足够的间距时，紧密耦合的差分布线可用于降低自辐射噪声或提高相邻布线的抗噪性。
3. 提供足够的接地平面覆铜间距，更大限度地减少与高速布线的耦合。任何接地平面覆铜都必须有足够的过孔连接到电路板的主接地平面。请勿使用悬空或接地不良的覆铜。
4. 使用平滑的辐射角并避免 45 或 90 度弯曲，以减少模拟和数字信号布线的所有高速输入/输出上的阻抗不匹配。详情请参考图 8-23。

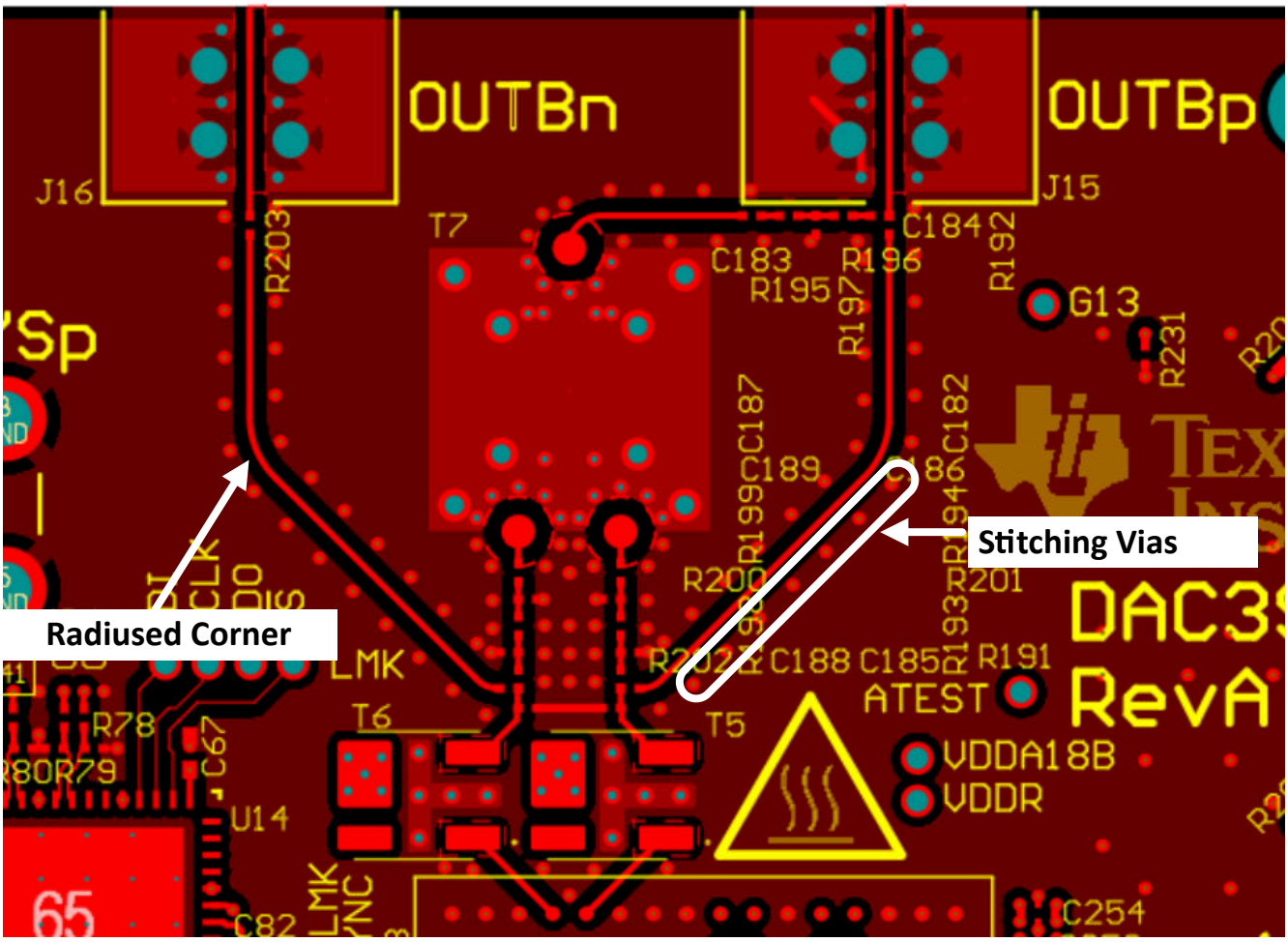


图 8-23. 高速信号布线旁边的半径角和拼接过孔

Copyright © 2024 Texas Instruments Incorporated

5. 在元件着陆垫（例如 SMA 连接器、平衡-非平衡变压器等）上引入所需的任何接地平面开孔，以避免这些位置的阻抗不连续。在这些着陆垫下方的一个或多个接地平面上进行开孔，以实现焊盘尺寸或层叠高度，从而实现所需的 50Ω 单端阻抗。详情请参考图 8-24 和图 8-25。

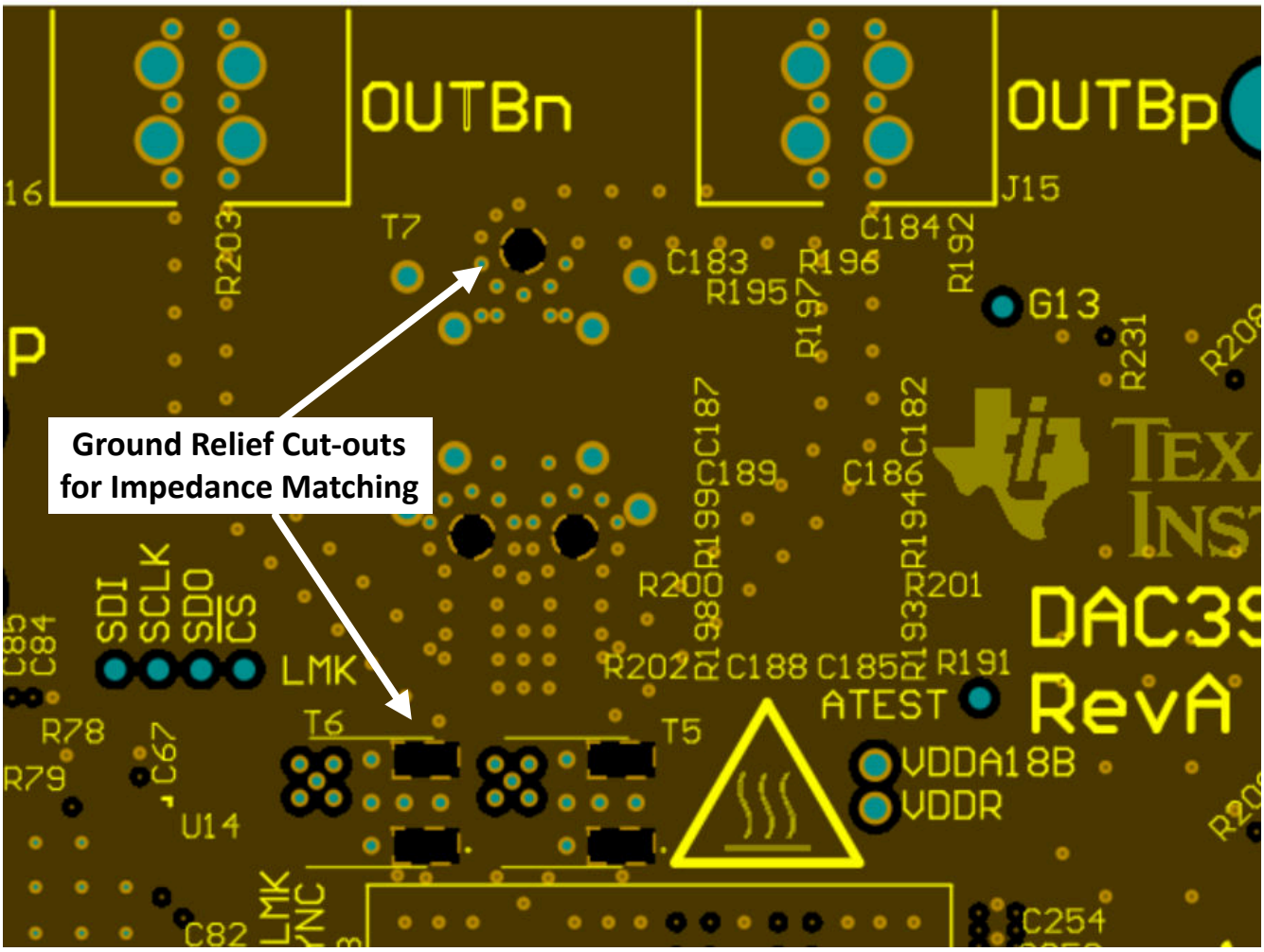


图 8-24. 平衡-非平衡变压器和 Bias-T 引脚下方的接地开孔

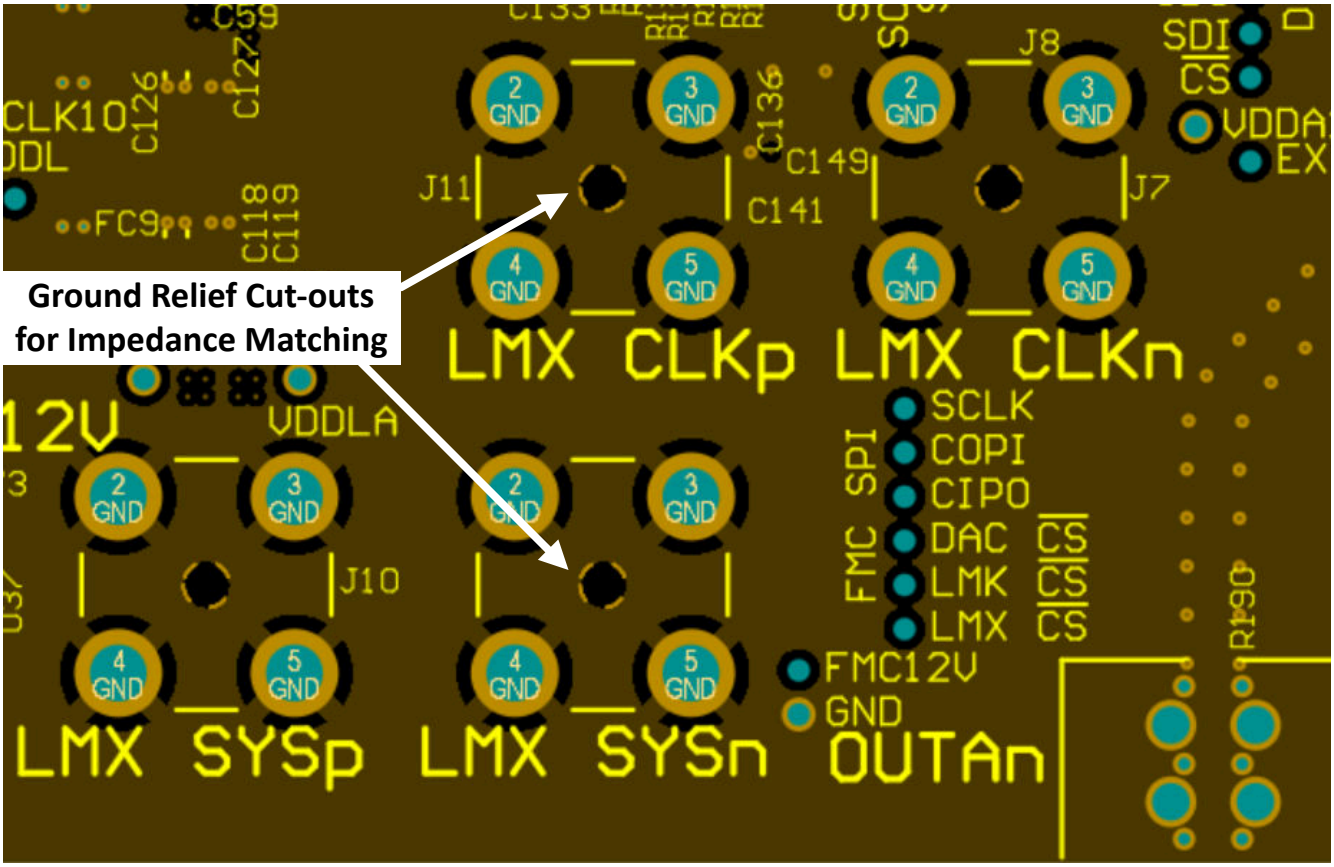


图 8-25. SMA 连接器中心引脚下方的接地开孔

6. 避免在基准接地平面中的不平顺处附近布线。不平顺处包括与电源和信号过孔以及通孔器件引线相关的接地平面或接地层间隙的切割处。
7. 在由布线传输的最大频率 (λ /4) 决定的适当间距下，提供与任何高速信号相邻的对称接地连接拼接过孔。详情请参考图 8-23。
8. 当高速信号必须使用过孔转换到另一层时，应尽可能远地穿过电路板 (最好是从上到下) ，以更大限度地减少过孔顶部或底部的过孔残桩。如果层选择不灵活，请使用背钻或埋入式盲孔来消除残桩。在各层之间转换时，务必使两个接地过孔 (“回路过孔”) 靠近关键的高速信号布线过孔放置，就近形成接地回路。详情请参考图 8-26 和图 8-27。

Copyright © 2024 Texas Instruments Incorporated

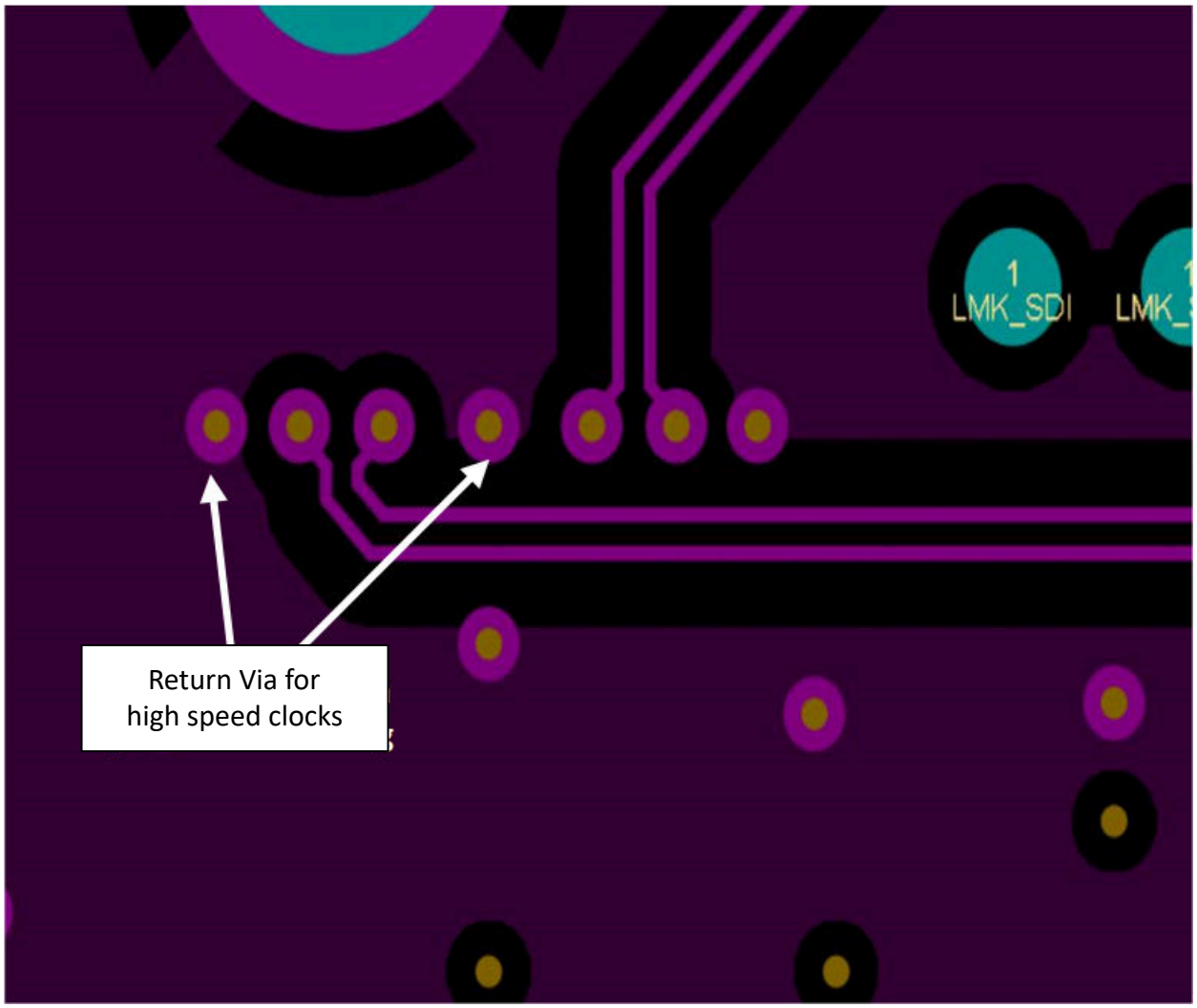


图 8-26. 高速时钟的回路过孔

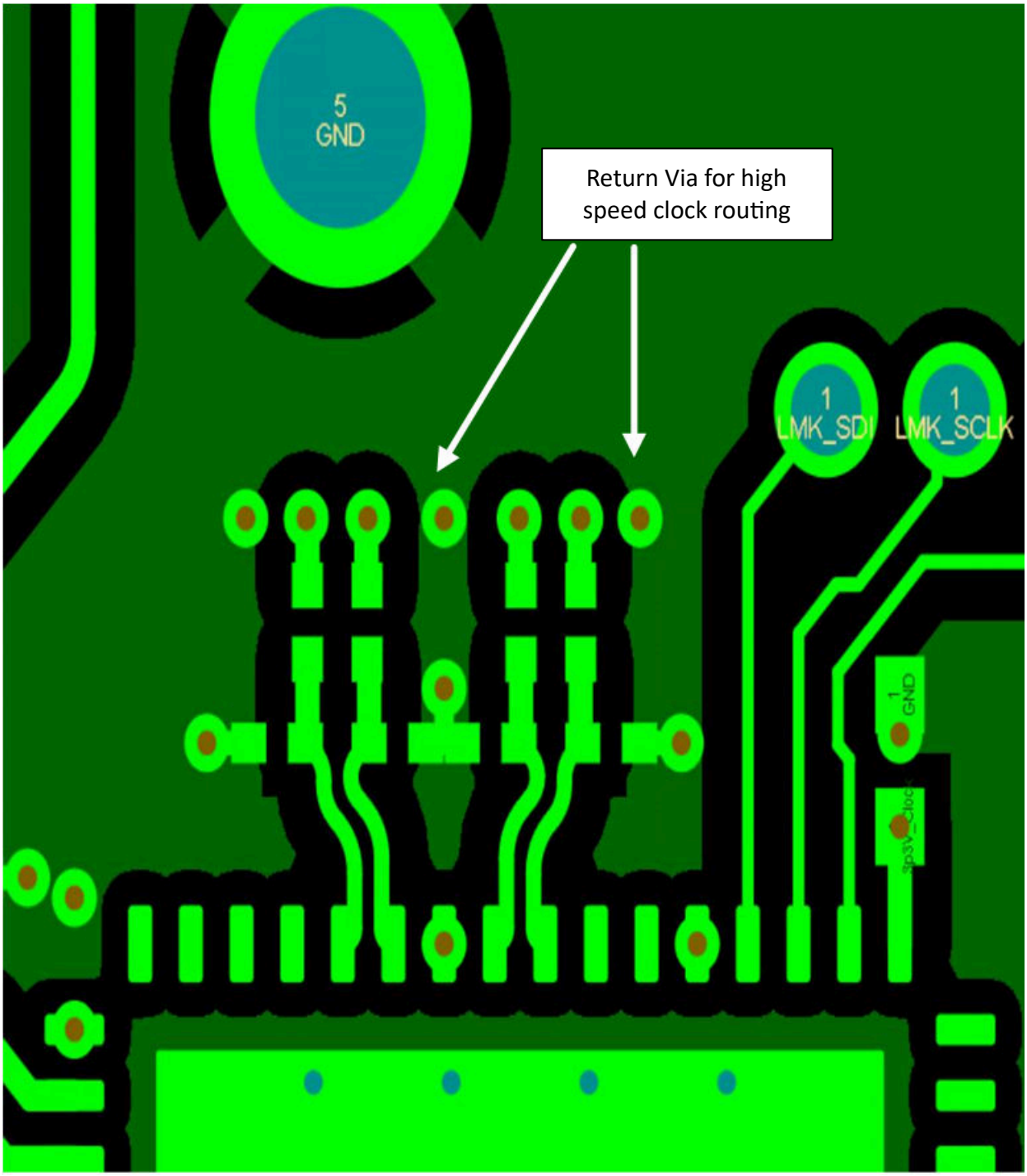


图 8-27. 时钟发生器附近的高速时钟的回路过孔

9. 请特别注意 JESD204x 数据输入路由和模拟输出路由之间的潜在耦合。JESD204x 输入的开关噪声可耦合到模拟输出布线中，并由于 DAC 的高带宽而显示为宽带噪声。尽可能将串行器/解串器 JESD204x 数据输入从 DAC 输出布线布置在单独的层上，以避免噪声耦合，详情请参考图 8-28 和图 8-29。

Copyright © 2024 Texas Instruments Incorporated

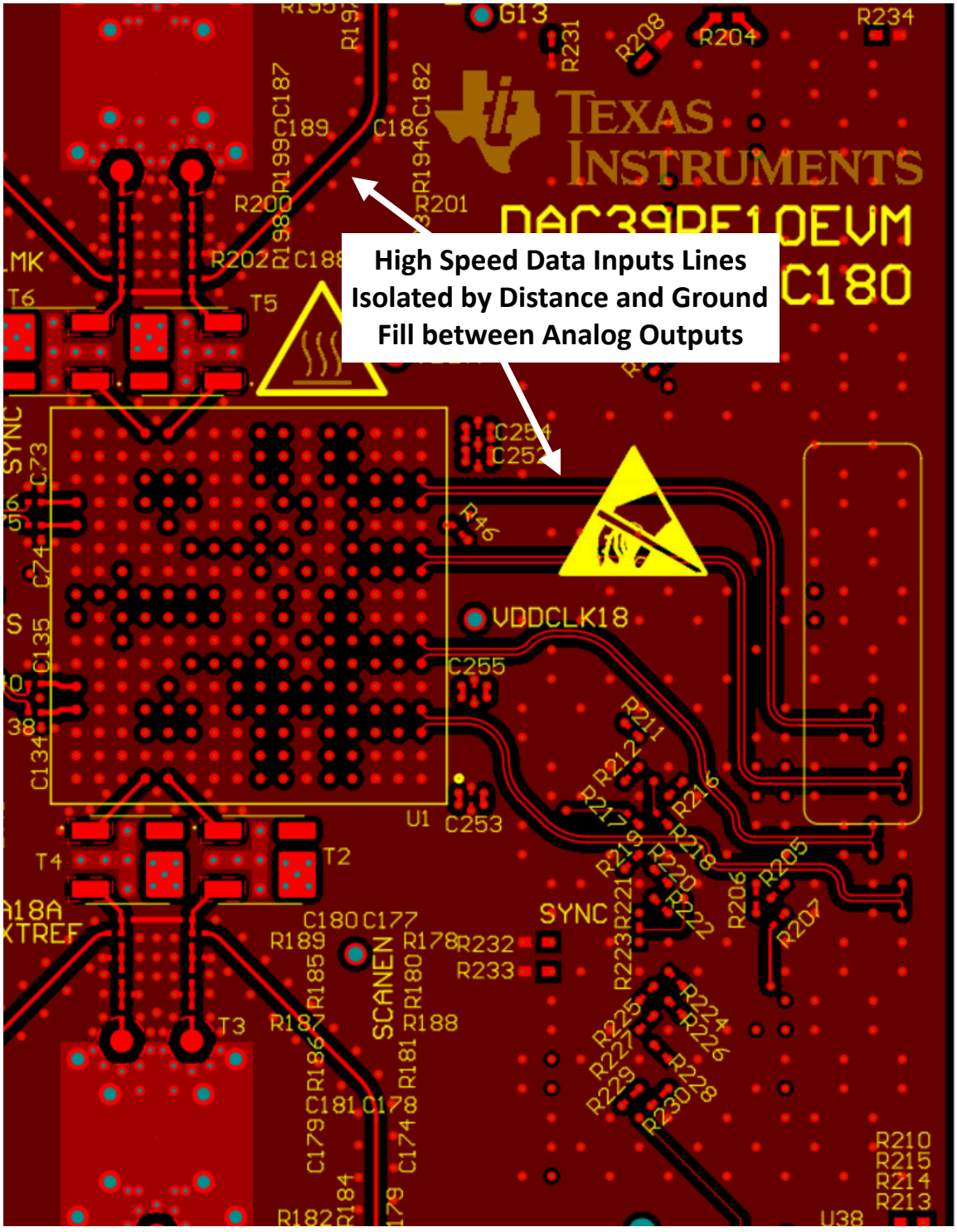


图 8-28. 具有地线填充隔离的串行器/解串器顶层布线

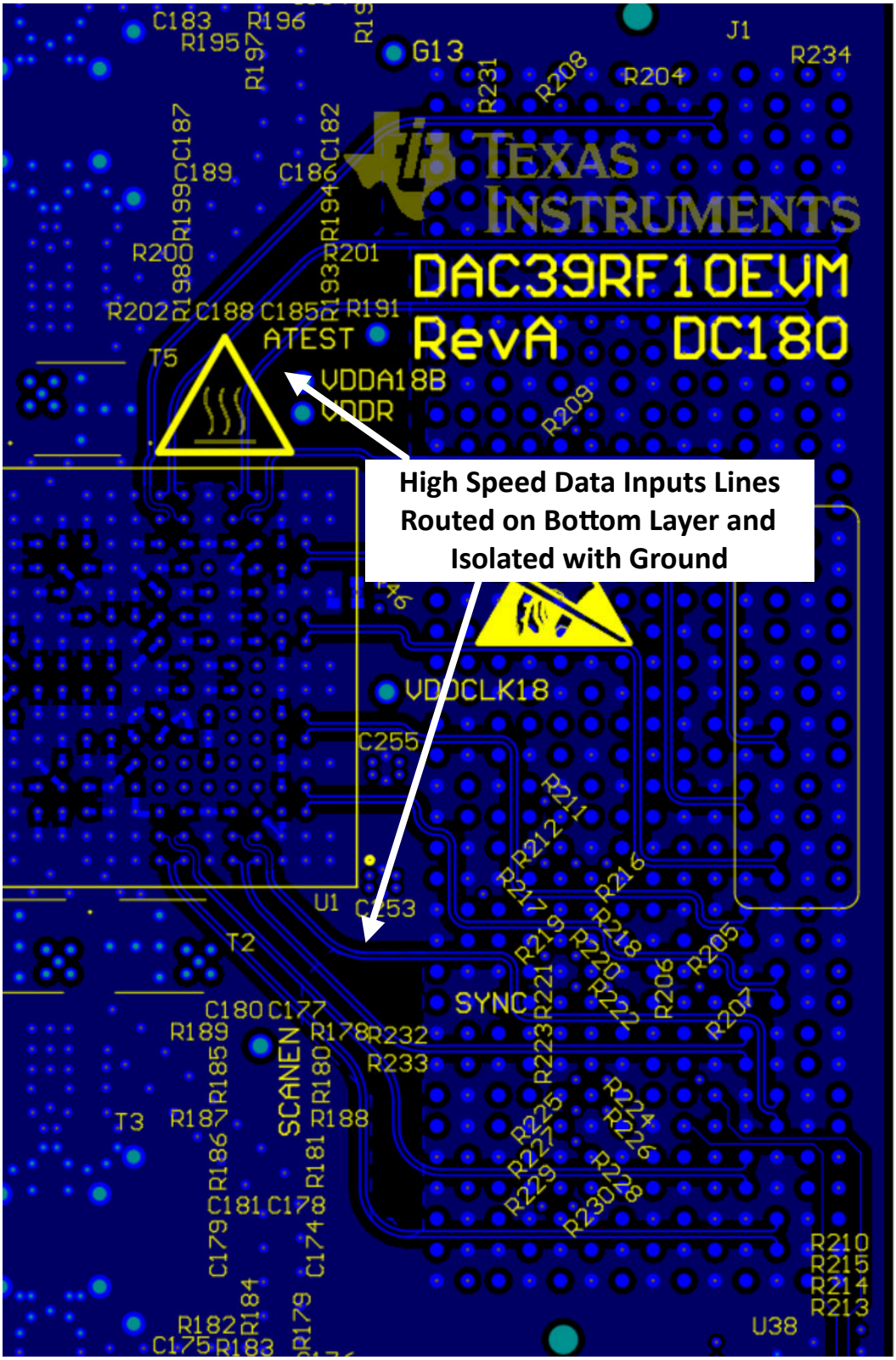
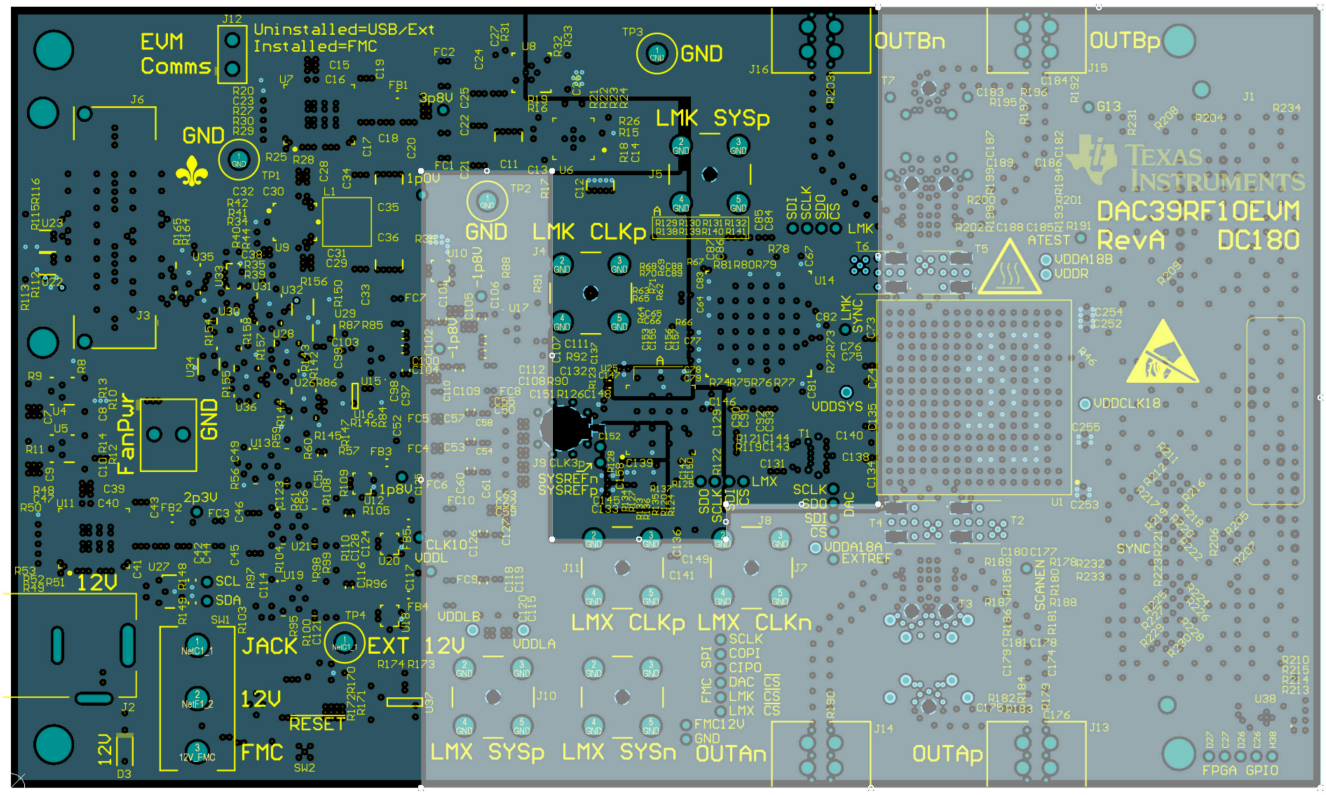


图 8-29. 具有接地隔离的串行器/解串器底层布线

Copyright © 2024 Texas Instruments Incorporated

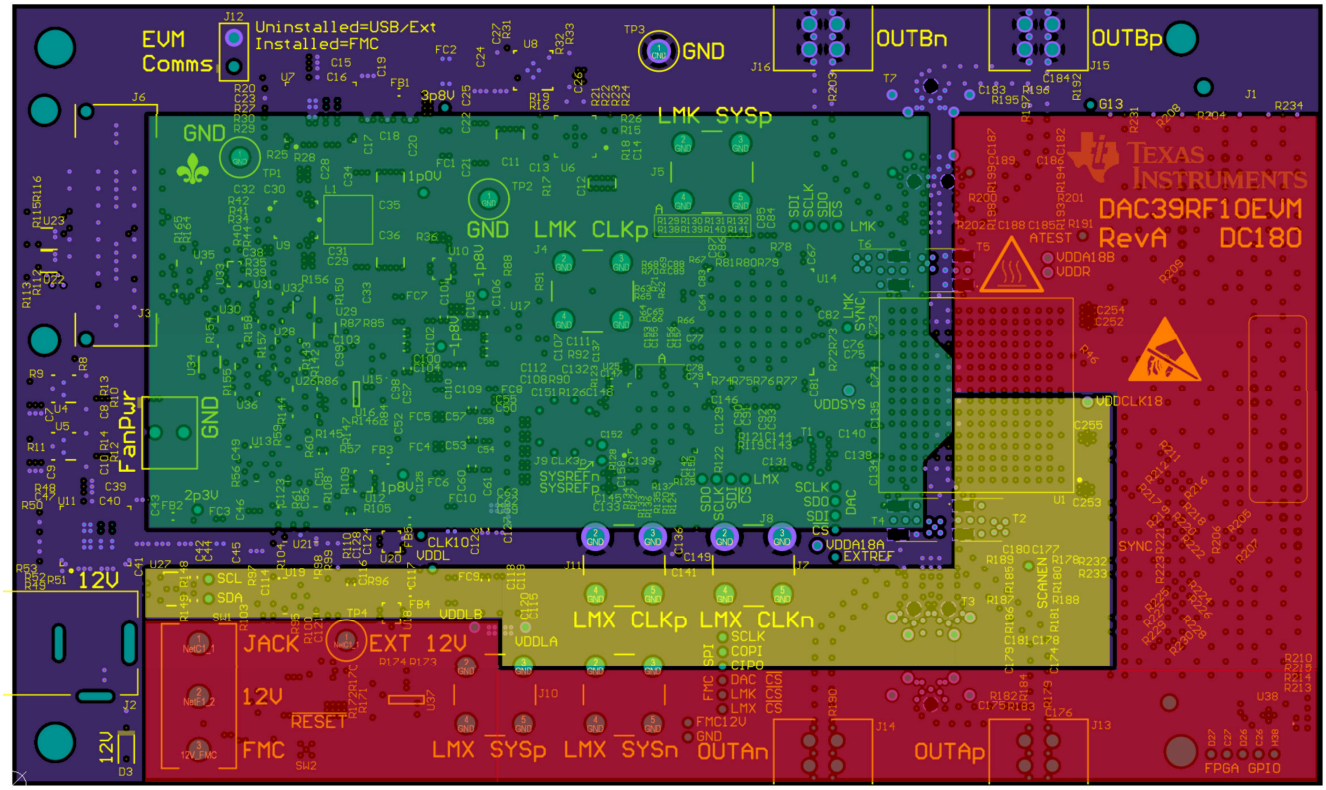
10. 减小时钟振幅会降低 DAC 噪声性能，因此请确保时钟信号具有足够的驱动强度，尤其是对于高频。为了避免这种情况，如果使用无源平衡-非平衡变压器来驱动或连接转换器的采样时钟引脚，则应使时钟源靠近 DAC。如果布线长度超过几英寸，则可能需要在 DAC 采样时钟输入引脚处进行阻抗匹配。

图 8-30 至图 8-33 展示了电源平面设计的示例。



Layer3 / PWR1
DAC DVDD = WHITE
Other PWR Planes = AUX Supplies

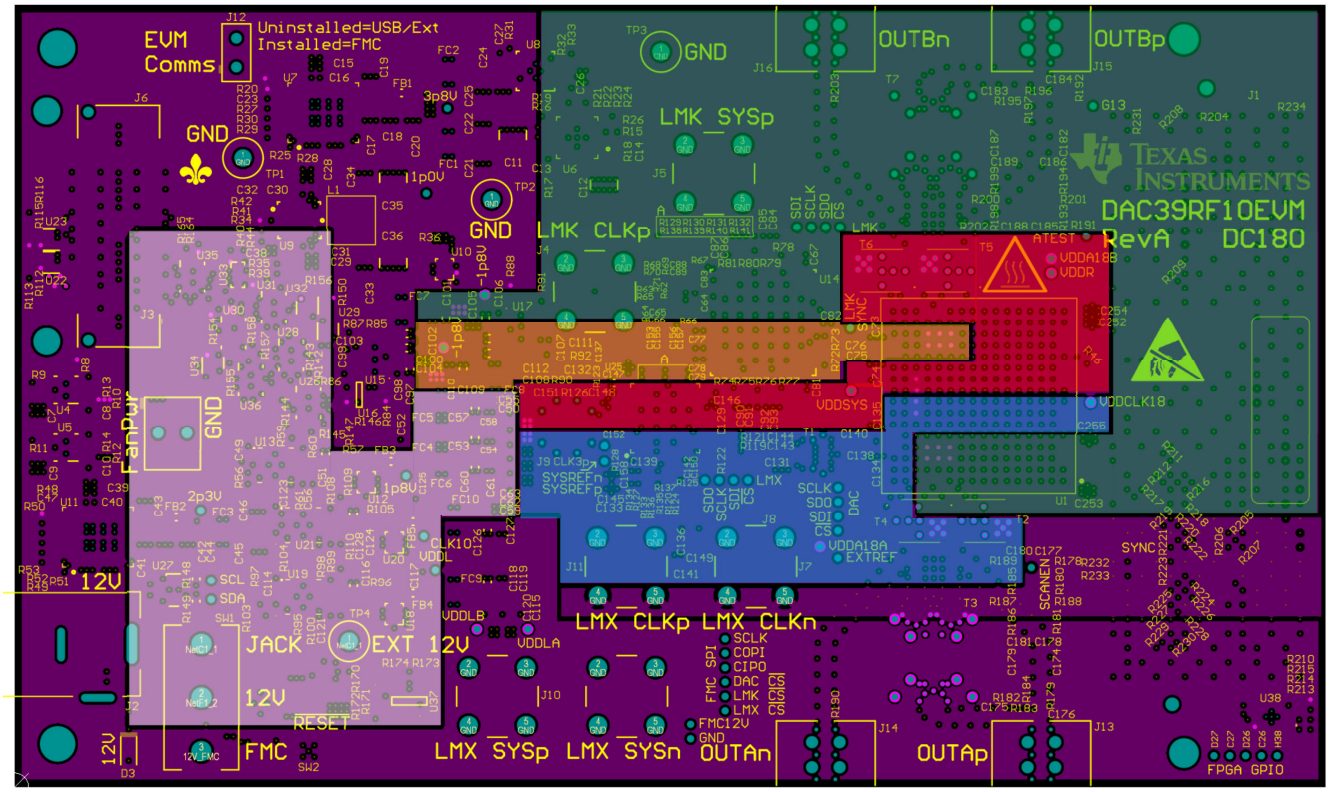
图 8-30. 第 3 层的电源平面布局



Layer5 / PWR2
DAC VDDLA = RED
DAC VDDLB = YELLOW
DAC VDDCLK1P0V = GREEN

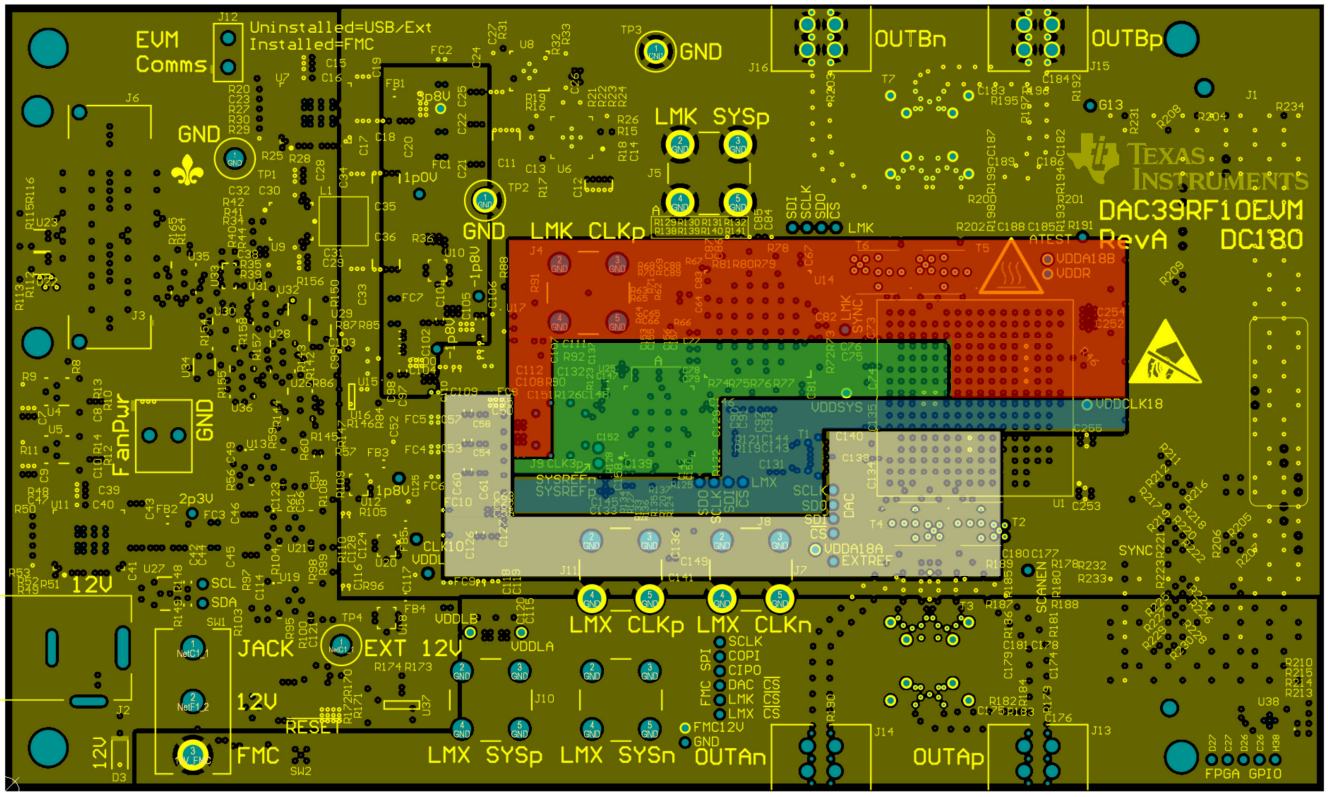
图 8-31. 第 5 层的电源平面布局

Copyright © 2024 Texas Instruments Incorporated



Layer12 / PWR3
DAC VDDA18A = RED
DAC VDDA18B = ORANGE
DAC VDDB = YELLOW
DAC VEExA = GREEN
DAC VEExB = BLUE
VDDIO = WHITE

图 8-32. 第 12 层的电源平面布局



Layer14 / PWR4
DAC VDDR = RED
DAC VDDSYS18 = GREEN
DAC VDDCLK18 = BLUE
VDDIO = WHITE

图 8-33. 第 14 层的电源平面布局

此外，对于所有高速 PCB 设计，TI 建议遵循以下有关 PCB 制造的一般注意事项：

1. 对 PCB 堆叠中的任何关键信号层使用高质量电介质材料。通常，顶层和底层最关键，更多的电路板公司可以混合使用高质量和标准质量的电介质，即混合堆叠方式。
2. 如有必要，可使用多个电源层为转换器提供可靠的电力输送系统。
3. 在 PCB 内使用多个接地、电源、接地层堆栈，以便在 PCB 内开发高频去耦，建议这些层为 4mil 或更小。
4. 使用实心接地平面，不要分割接地平面或对其“开槽”，以形成模拟与数字接地隔栅或分频器，来避免损害。

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
September 2024	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DDS39RF12ACK	Active	Production	FCBGA (ACK) | 256	90 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	DDS39RF 12
DDS39RF12ACL	Active	Production	FCBGA (ACL) | 256	90 | JEDEC TRAY (5+1)	No	Call TI	Level-3-220C-168 HR	-40 to 85	DDS39RF 12
DDS39RFS12ACK	Active	Production	FCBGA (ACK) | 256	90 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-260C-168 HR	-40 to 85	DDS39RF S12
DDS39RFS12ACL	Active	Production	FCBGA (ACL) | 256	90 | JEDEC TRAY (5+1)	No	Call TI	Level-3-220C-168 HR	-40 to 85	DDS39RF S12

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

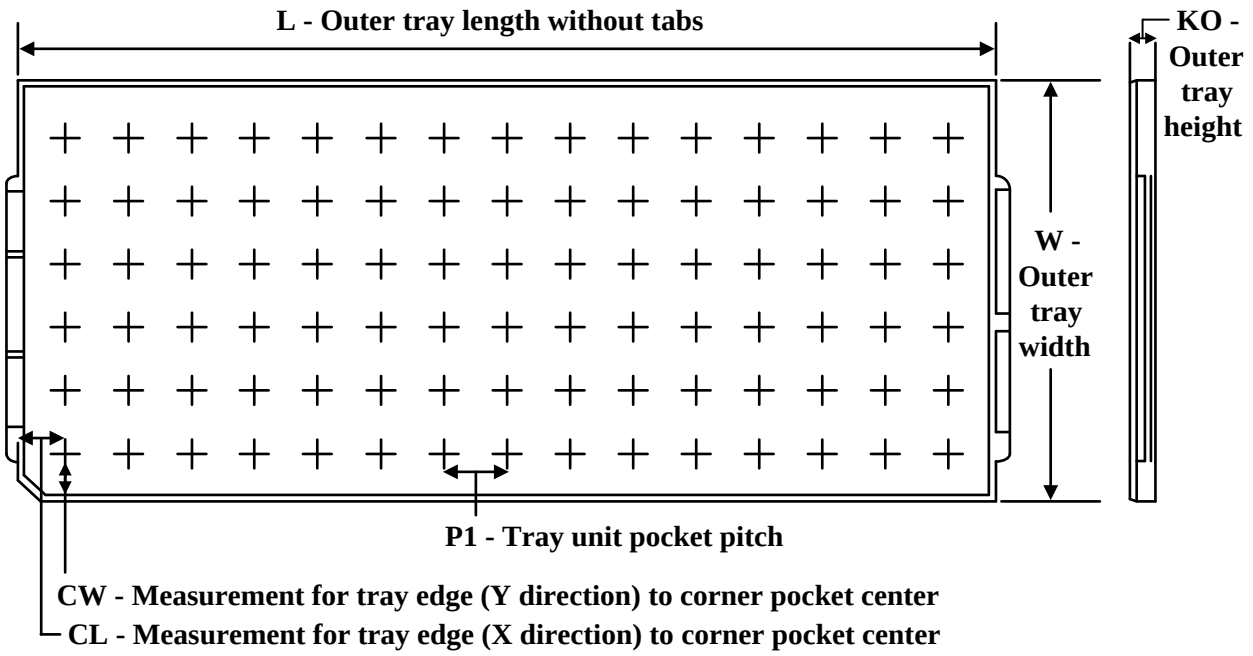
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

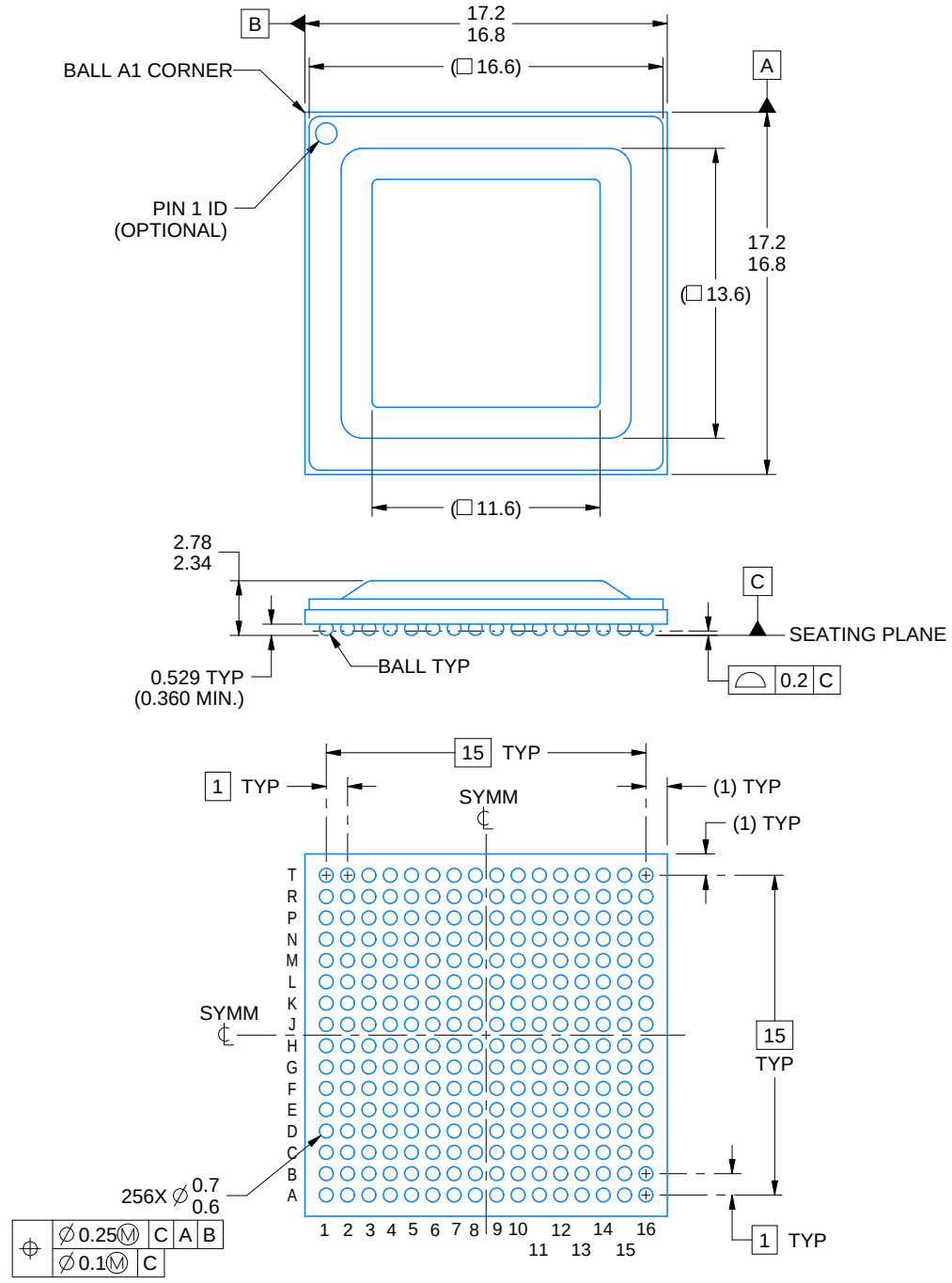
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DDS39RF12ACK	ACK	FCBGA	256	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
DDS39RF12ACL	ACL	FCBGA	256	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
DDS39RFS12ACK	ACK	FCBGA	256	90	6 x 15	150	315	135.9	7620	19.5	21	19.2
DDS39RFS12ACL	ACL	FCBGA	256	90	6 x 15	150	315	135.9	7620	19.5	21	19.2

ACL0256A

PACKAGE OUTLINE

FCBGA - 2.78 mm max height

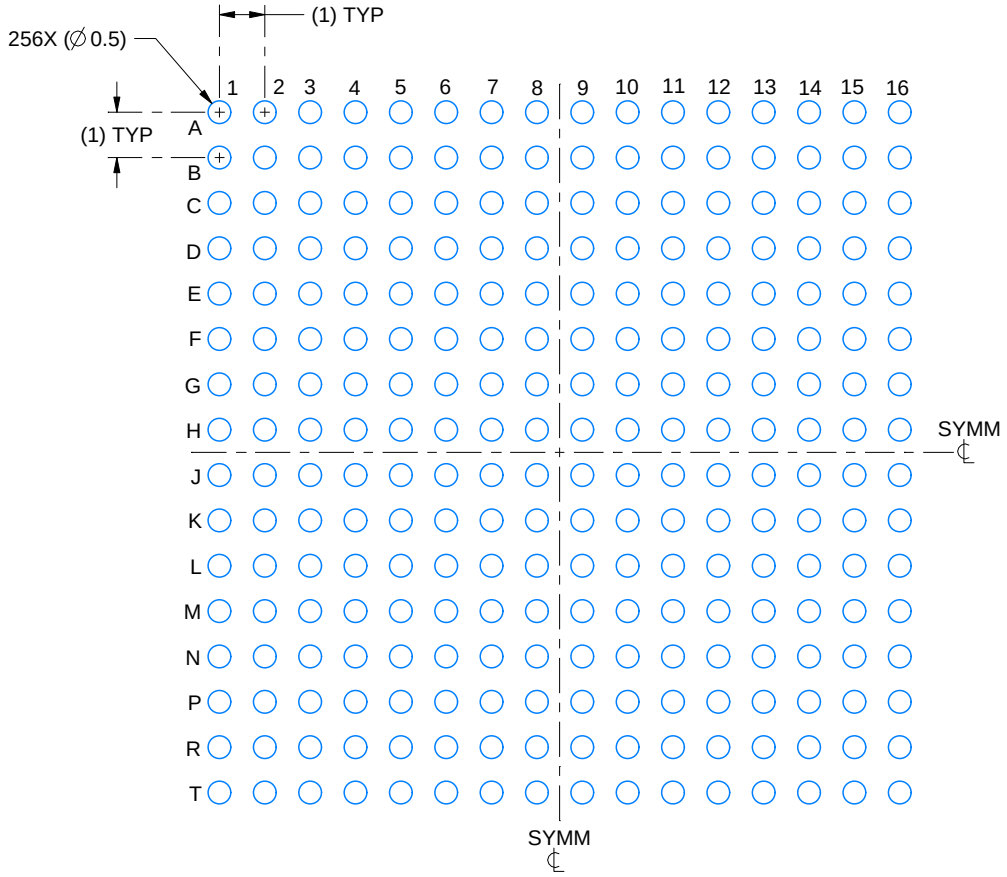
BALL GRID ARRAY



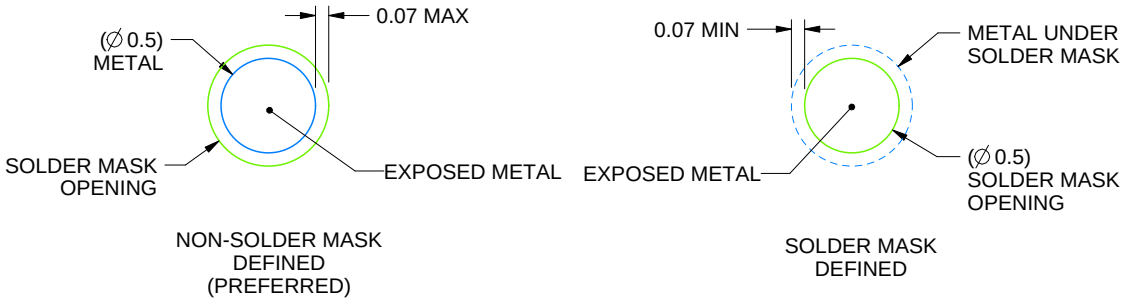
4229409/A 02/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SNOWN
SCALE:6X

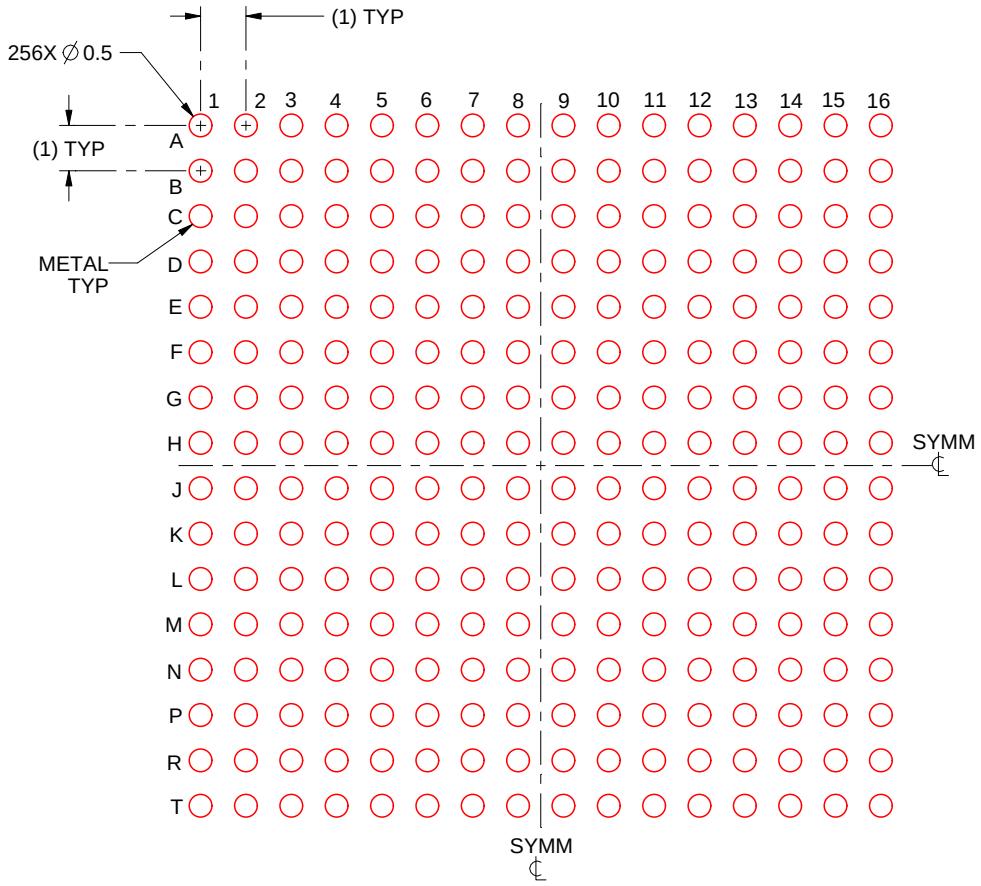


SOLDER MASK DETAILS
NOT TO SCALE

4229409/A 02/2023

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

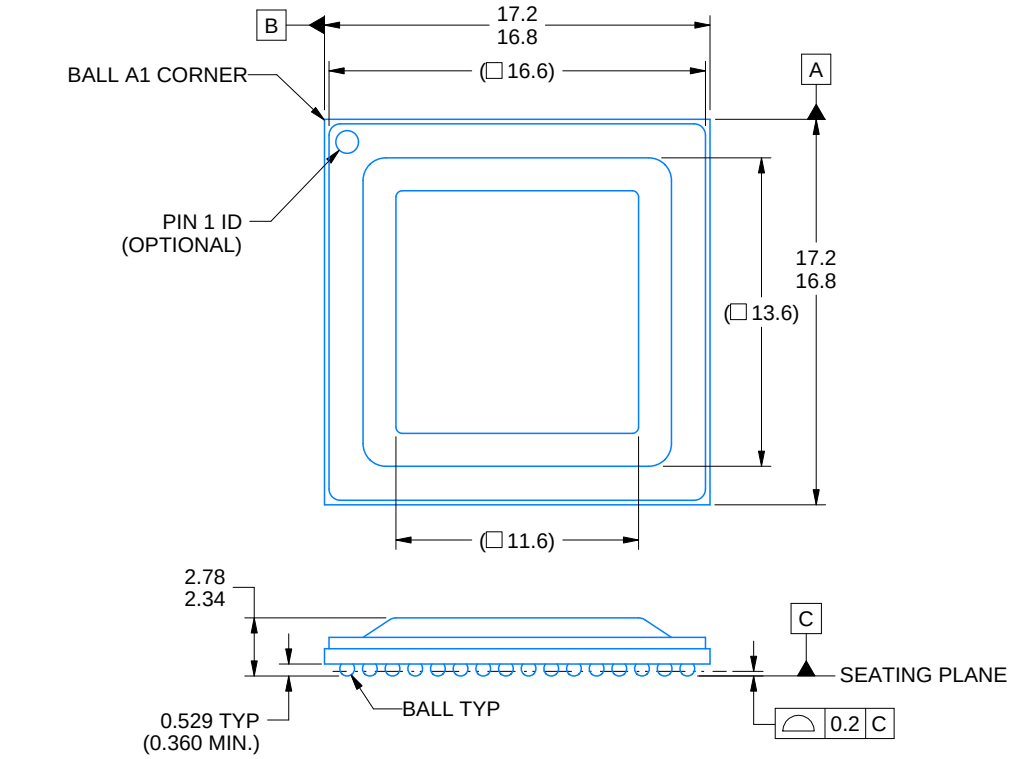


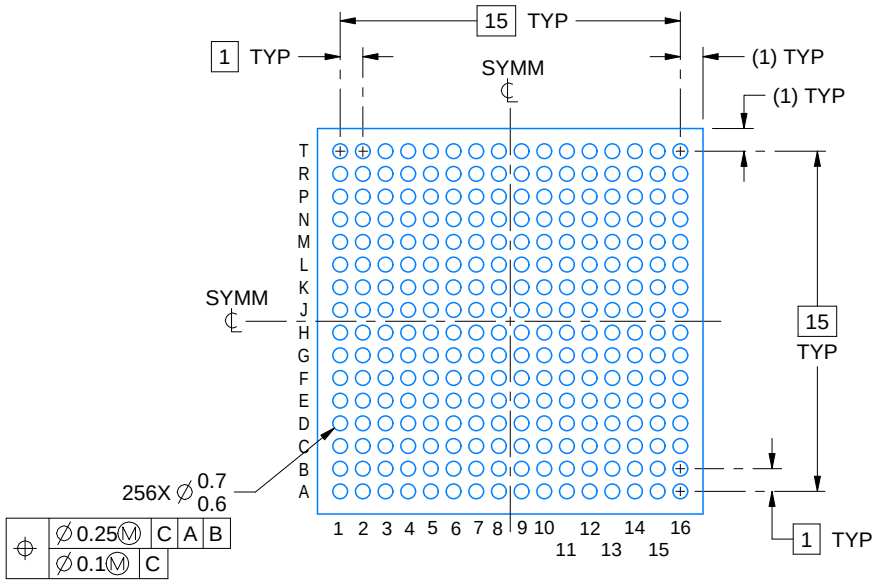
SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4229409/A 02/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

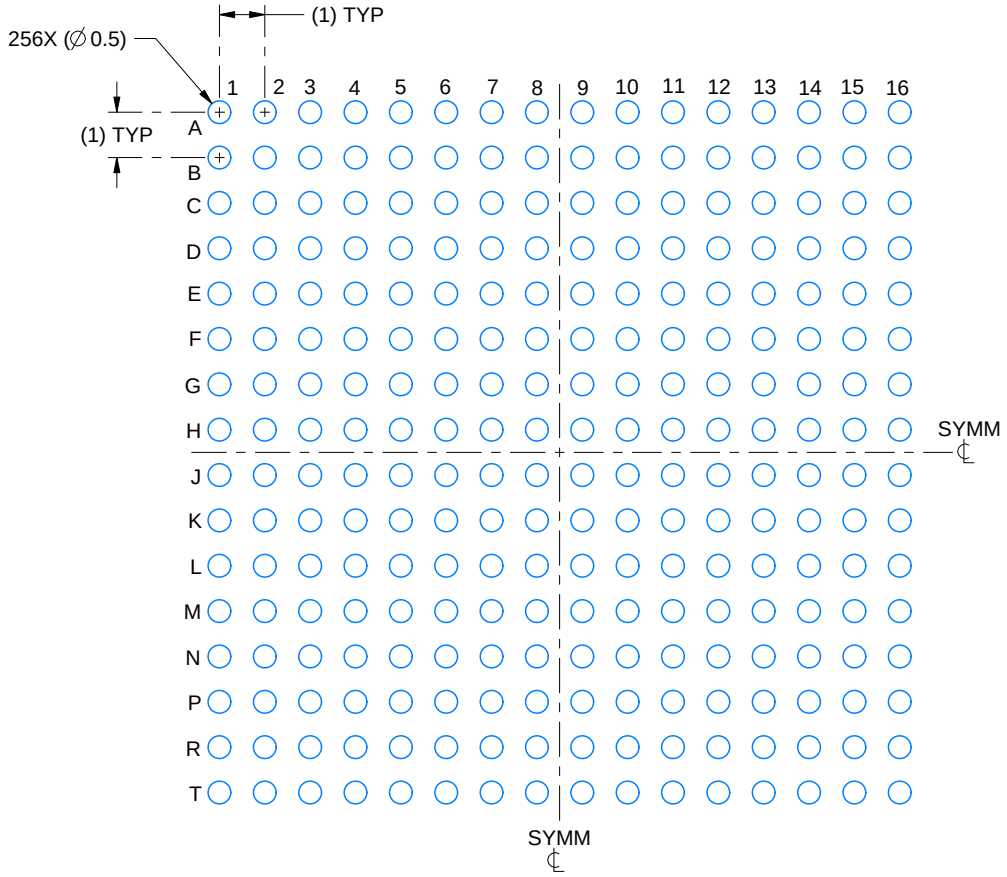




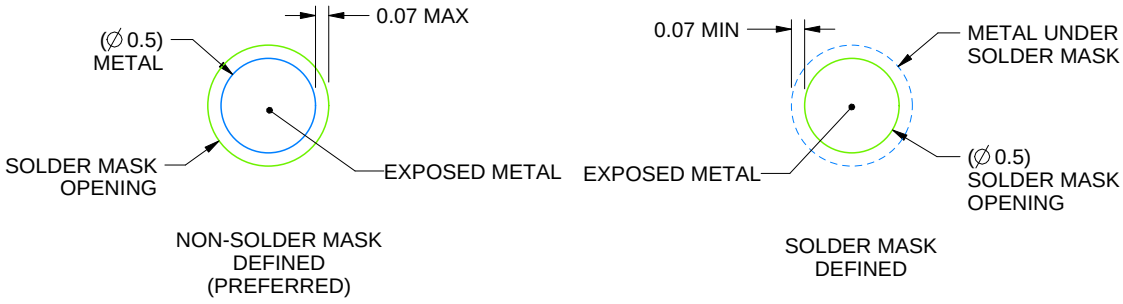
4226903/C 03/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The lids are electrically floating (e.g. not tied to GND).



LAND PATTERN EXAMPLE
EXPOSED METAL SNOWN
SCALE:6X

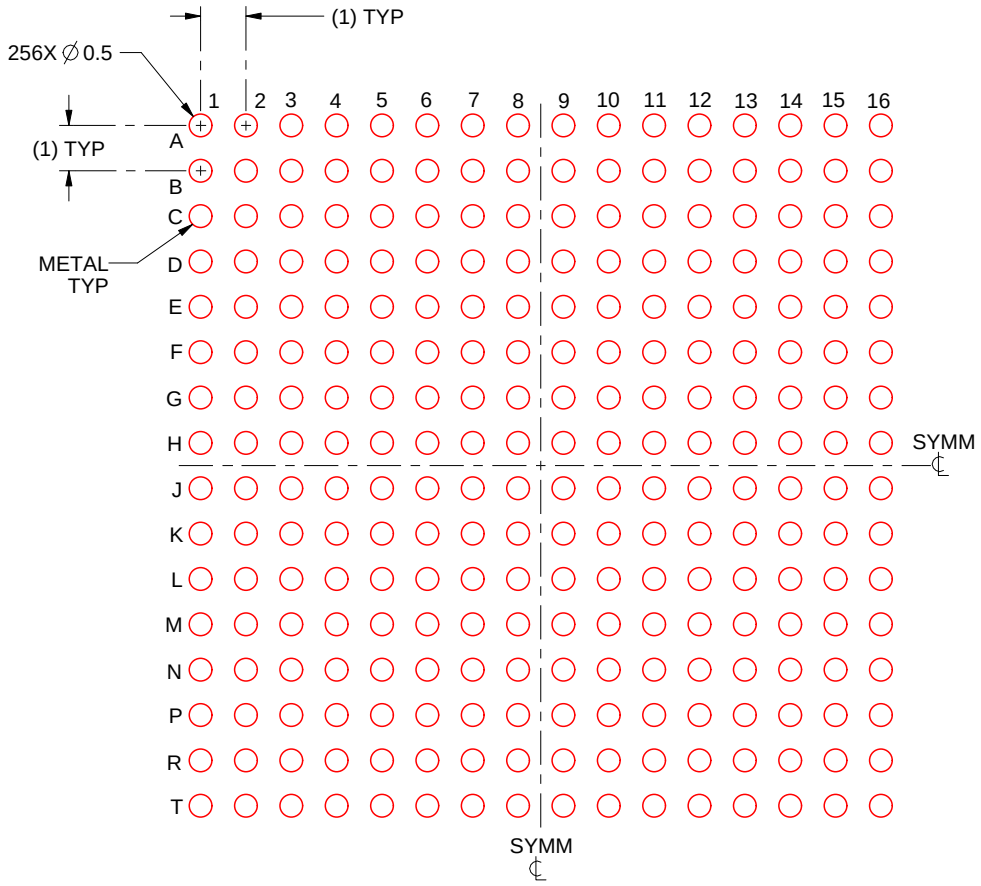


SOLDER MASK DETAILS
NOT TO SCALE

4226903/C 03/2023

NOTES: (continued)

4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4226903/C 03/2023

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月