

DLPC7530 高分辨率控制器

1 特性

- 支持使用 DLP472NE 和 DLP651NE 数字微镜器件 (DMD) 的 DLPC7530 控制器
 - 高达 240Hz (2D) 和 120Hz (3D) 时高达 1080p
- 为单个 V-by-One® HS 视频输入端口提供一个、两个、四个或八个通道
 - 最高支持 600MHz 像素时钟
 - 输入传输速率高达 3.0Gbps
- 两个 OpenLDI (FPD-Link™ I) 视频输入端口，每个端口具有 6 个通道 (五项数据)
- 支持的输入格式
 - RGB、YCbCr 和 ICtCp
 - 4:4:4 , 4:2:2 , 4:2:0
- 带 FPU 的内部 Arm® Cortex® R4F 处理器
 - 88 个可配置 GPIO
 - 可编程 PWM 发生器
 - 可编程捕捉和延迟计时器
 - USB 2.0 高速 OTG 控制器
 - SPI 初级/次级控制器
 - I²C 初级/次级控制器
 - UART 和中断控制器
- 扭曲引擎
 - 改进了 1D、2D 和 3D 梯形校正
 - 扭曲 (完全扭曲映射访问 62 × 32 点)
 - 混合 (完全混合映射访问 63 × 32 点)
- 其他图像处理
 - DynamicBlack
 - TI DLP® BrilliantColor™ 技术
 - 支持 HDR10 (PQ 和 HLG)
 - 帧速率转换
 - 色彩坐标调整
 - 白光色温调节
 - 可编程 degamma
 - 空间-时间多路复用
 - 针对 3D 显示的集成支持
- 屏幕显示 (OSD)
- 启动界面显示和捕获
- 集成了 2Gbit 帧存储器，无需使用外部高速存储器
- 外部存储器支持
 - 用于 μP 和 PWM 序列的并行闪存
 - 用于启动界面捕获和扭曲的辅助闪存
- 系统控制
 - DMD 电源和复位驱动器控制
 - DMD 水平和垂直图像抖动
- 支持 JTAG 边界扫描测试
- LED、RGB 激光和激光荧光照明

2 应用

- 企业投影仪
- 激光电视
- 智能投影仪
- 数字标牌

3 说明

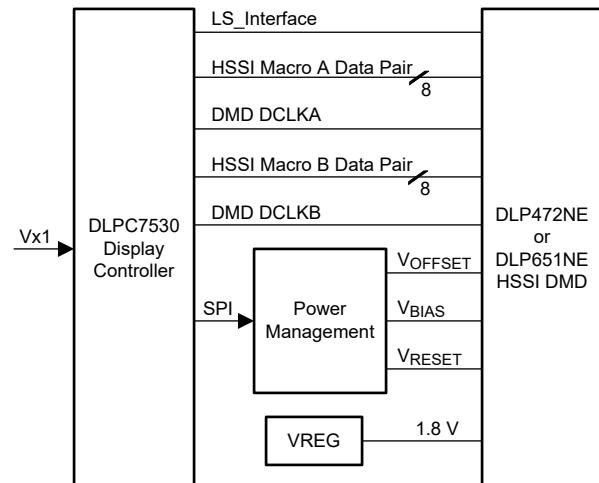
DLPC7530 是一款面向 1080p 显示芯片组的数字显示控制器，由 DLPC7530 显示控制器、DLP472NE 和 DLP651NE 数字微镜器件 (DMD) 以及 DLPA100 电源和电机驱动器组成。该解决方案面向需要低成本高分辨率、高亮度和小巧外形的显示系统。为了确保可靠运行，在每个应用中，DLPC7530 控制器必须始终与 DLP472NE 和 DLP651NE DMD 以及 DLPA100 电源管理集成电路配合使用。

器件信息

器件型号	封装 ⁽¹⁾ ⁽²⁾	封装尺寸
DLPC7530ZDC	P-HBGA (676)	31.00mm × 31.00mm

(1) 请参阅 [机械、封装和可订购信息](#)。

(2) 包括嵌入式散热板



典型的独立系统



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本 (控制文档)。

内容

1 特性	1	5.24 JTAG ARM 多 ICE 接口时序要求 (仅限调试)	57
2 应用	1	5.25 多跟踪 ETM 接口时序要求.....	58
3 说明	1	6 详细说明	59
4 引脚配置和功能	3	6.1 概述.....	59
5 规格	26	6.2 功能方框图.....	59
5.1 绝对最大额定值.....	26	6.3 特性说明.....	60
5.2 ESD 等级.....	27	6.4 器件工作模式.....	86
5.3 建议运行条件.....	28	7 应用和实施	87
5.4 热性能信息.....	30	7.1 应用信息.....	87
5.5 电源电气特性.....	31	7.2 典型应用.....	88
5.6 引脚电气特性.....	32	8 电源相关建议	90
5.7 DMD HSSI 电气特性.....	34	8.1 电源管理.....	90
5.8 DMD 低速 LVDS 电气特性.....	35	8.2 热插拔用法.....	90
5.9 V-by-One 接口电气特性.....	36	8.3 未使用的输入源接口的电源.....	90
5.10 FPD-Link LVDS 电气特性.....	36	8.4 电源.....	90
5.11 USB 电气特性.....	36	9 布局	91
5.12 系统振荡器时序要求.....	38	9.1 布局指南.....	91
5.13 电源和复位时序要求.....	39	9.2 散热注意事项.....	103
5.14 DMD HSSI 时序要求.....	45	10 器件和文档支持	104
5.15 DMD 低速 LVDS 时序要求.....	46	10.1 器件支持.....	104
5.16 V-by-One 接口一般时序要求	47	10.2 接收文档更新通知.....	105
5.17 FPD-Link 接口一般时序要求.....	48	10.3 支持资源.....	105
5.18 并行接口一般时序要求.....	50	10.4 商标.....	105
5.19 源帧时序要求.....	51	10.5 静电放电警告.....	106
5.20 同步串行端口接口时序要求.....	52	10.6 术语表.....	106
5.21 控制器和目标 I ² C 接口时序要求.....	54	11 修订历史记录	106
5.22 可编程输出时钟时序要求.....	54	12 机械、封装和可订购信息	107
5.23 JTAG 边界扫描接口时序要求 (仅限调试)	56		

4 引脚配置和功能

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
A	●	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
B	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
C	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
D	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
E	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
F	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
G	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
H	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
J	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
K	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
L	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
M	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
N	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
P	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
R	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
T	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
U	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
V	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
W	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
Y	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AA	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AB	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AC	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AD	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AE	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AF	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AG	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AH	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AJ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
AK	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	

图 4-1. ZDC 封装 676 引脚 PBGA 顶视图

表 4-1. 初始化、板级测试和调试

引脚		类型 ⁽¹⁾	说明
名称	编号		
POSENSE	AE27	I ₈	上电检测：由外部电压监测电路提供的信号（“0” = 所有控制器电源电压不处于有效电平，“1” = 所有控制器电源电压均已达到指定最小电压的 90%） 在指定的 PWRGOOD 下降沿之后将此信号驱动至非活动（低电平）。有关具体的时序要求以及所需的上电和断电序列，请参阅节 5.13。 此引脚包含迟滞。
PWRGOOD	AG30	I ₈	电源正常状态指示：电压监测器的外部电源提供的信号 为高值表示所有电源都在工作电压规格范围内，系统可以安全地退出其复位状态。从高电平到低电平的转换表示控制器或 DMD 电源电压降至额定最小电平以下。这种转换必须发生在根据指定时序的电源电压下降之前，因为这是对即将发生的功率损耗情况的预警。 此警告是增强长期 DMD 可靠性所必需的。当 PWRGOOD 在指定的最短时间内变为低电平时，执行 DMD 停止和完全控制器复位以保护 DMD。请注意，控制器和 DMD 电源电压必须都在工作电压电平范围内，才能成功执行 DMD 停止。最短 PWRGOOD 失效时间用于保护系统输入免受干扰。当 PWRGOOD 为低电平时，控制器保持在复位状态。 有关具体的时序要求以及所需的上电和断电序列，请参阅节 5.13。 此引脚包含迟滞。
EXT_ARSTZ	AF29	O ₈	外部复位：通用复位输出 (“0” = 复位， “1” = 正常工作) 在 POSENSE 置为低电平时，该输出立即置为低电平，并在 POSENSE 保持低电平时保持低电平。POSENSE 置为高电平后，该信号保持低电平，直到软件释放。在检测到 PWRGOOD 变为低电平或任何内部生成的复位后，该信号也会在大约 5μs 时置位为低电平。在所有情况下，该信号保持低电平有效至少 2ms。 注意：此信号也可通过软件寄存器独立驱动。
MTR_ARSTZ	AF27	O ₈	色轮电机控制器复位：色轮电机控制器复位输出 (“0” = 复位， “1” = 正常工作) 在 POSENSE 置为低电平时，该输出立即置为低电平，并在 POSENSE 保持低电平时保持低电平。POSENSE 置为高电平后，该信号保持低电平，直到软件释放。在检测到 PWRGOOD 变为低电平或任何内部生成的复位后，该信号也会在大约 5μs 时置位为低电平。在所有情况下，该信号保持低电平有效至少 2ms。 注意：此信号也可通过软件寄存器独立驱动。
TCK	AK19	I ₈	JTAG、ARM-ICE 和 CPU MBIST 串行数据时钟。 此信号由 JTAG、ARM-ICE (仅限 TI 测试) 和 CPU MBIST (仅限制制造测试) 操作共享。 包括一个弱内部下拉电阻
TMS1	AH20	I ₈	JTAG 测试模式选择 包括一个弱内部上拉电阻
TMS2	AJ20	I ₈	ARM-ICE 测试模式选择 对于正常运行，该引脚必须保持开路或未连接。包含一个弱内部上拉电阻
TMS3	AK20	I ₈	CPU MBIST 测试模式选择 对于正常运行，该引脚必须保持开路或未连接。包含一个弱内部上拉电阻
TRSTZ	AG21	I ₈	JTAG、ARM-ICE 和 CPU MBIST 复位。 此信号在 JTAG、ARM-ICE (只适用于 TI 测试) 和 CPU MBIST (只适用于制造测试) 操作间共用。 为了实现正常运行，这个引脚必须通过一个值为 8kΩ 或者更低的外部电阻器被下拉至地。若在正常运行期间未能将该引脚拉低，会导致启动和初始化问题。 对于 JTAG 边界扫描、ARM-ICE 调试操作或 CPU MBIST，该引脚必须上拉或保持断开状态。包含内部弱上拉和迟滞
TDI	AG20	I ₈	JTAG、ARM-ICE 和 CPU MBIST : 串行数据输入 包括一个弱内部上拉电阻
TDO1	AG19	O ₈	JTAG 串行数据输出
TDO2	AH19	O ₈	ARM-ICE 串行数据输出 对于正常运行，该引脚必须保持开路或未连接。

表 4-1. 初始化、板级测试和调试 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
TDO3	AJ19	O ₈	CPU MBIST 串行数据输出 对于正常运行，该引脚必须保持开路或未连接状态。
ETM_TRACECLK	C30	O ₈	TI 内部使用。必须保持未连接状态 (用于跟踪调试的时钟)
ETM_TRACECTL	D30	O ₈	TI 内部使用。必须保持未连接状态 (用于跟踪调试的控制)
ICTSEN	K26	I ₈	IC 三态使能 (高电平有效) 置位该信号会将所有输出转换为三态 (JTAG 接口除外)。 包含一个弱内部下拉电阻，然而，为了增加保护，建议使用一个外部下拉电阻。 还包括迟滞
ICTSE	M26	I ₈	TI 内部使用。包含一个弱内部下拉电阻，然而，为了增加保护，建议使用一个外部下拉电阻。还包括迟滞
TSTPT_0	E29	B ₈	测试引脚 0 该引脚需要一个值 $\leq 10k\Omega$ 的外部下拉或上拉电阻器 (具体取决于所需的调试输出，如下所述)。 三态，而 PWRGOOD 置位为低电平。可以将其驱动为输出以供调试使用，如 节 6.3.9 中所述。
TSTPT_1	E30	B ₈	测试引脚 1 该引脚需要一个值 $\leq 10k\Omega$ 的外部下拉或上拉电阻器 (具体取决于所需的调试输出，如下所述)。 三态，而 PWRGOOD 置位为低电平。可以将其驱动为输出以供调试使用，如 节 6.3.9 中所述。
TSTPT_2	F26	B ₈	测试引脚 2 该引脚需要一个值 $\leq 10k\Omega$ 的外部下拉或上拉电阻器 (具体取决于所需的调试输出，如下所述)。 三态，而 PWRGOOD 置位为低电平。可以将其驱动为输出以供调试使用，如 节 6.3.9 中所述。
TSTPT_3	F27	B ₈	测试引脚 3 该引脚需要一个值 $\leq 10k\Omega$ 的外部下拉或上拉电阻器 (具体取决于所需的调试输出，如下所述)。 三态，而 PWRGOOD 置位为低电平。可以将其驱动为输出以供调试使用，如 节 6.3.9 中所述。
TSTPT_4	F28	B ₈	测试引脚 4 此引脚需要一个外部下拉电阻器 ($\leq 10k\Omega$)。 三态，而 PWRGOOD 置位为低电平。可以将其驱动为输出以供调试使用，如 节 6.3.9 中所述。
TSTPT_5	F29	B ₈	测试引脚 5 此引脚需要一个外部下拉电阻器 ($\leq 10k\Omega$)。 三态，而 PWRGOOD 置位为低电平。可以将其驱动为输出以供调试使用，如 节 6.3.9 中所述。
TSTPT_6	G26	B ₈	测试引脚 6 此引脚需要一个外部下拉电阻器 ($\leq 10k\Omega$)。 三态，而 PWRGOOD 置位为低电平。可以将其驱动为输出以供调试使用，如 节 6.3.9 中所述。
TSTPT_7	G28	B ₈	测试引脚 7 此引脚需要一个外部下拉电阻器 ($\leq 10k\Omega$)。 三态，而 PWRGOOD 置位为低电平。可以将其驱动为输出以供调试使用，如 节 6.3.9 中所述。
HWTEST_EN	L26	I ₈	制造测试使能信号。 该信号必须直接连接到 PCB 的接地端才能正常运行。 内部弱下拉电阻和迟滞

(1) 更多有关 I/O 定义的信息，请参阅 [表 4-13](#)。

表 4-2. 模拟前端

引脚		类型 ⁽¹⁾	说明
名称	编号		
AFE_ARSTZ	K2	O ₈	外部复位：为模拟前端提供 (“0” = 复位， “1” = 正常工作) 当 POSENSE 置为低电平时，该输出立即置为低电平；当 POSENSE 保持低电平时， 该输出保持低电平。POSENSE 置为高电平后，该信号保持低电平，直到软件释放。在 检测到 PWRGOOD 变为低电平或任何内部生成的复位后，该信号也会在大约 5μs 时置 位为低电平。在所有情况下，该信号保持低电平有效至少 2ms。 注意：此信号也可通过软件寄存器独立驱动。
AFE_CLK	K3	O ₈	外部时钟：为模拟前端提供固定 5MHz 时钟以支持视频解码器操作
AFE_IRQ	K4	I ₈	外部中断：提供以支持模拟前端 (“0” = 无中断， “1” = 中断) 包括弱内部下拉电阻和迟滞
ALF_VSYNC	K5	I ₈	专用 VSYNC：提供以支持模拟前端自动锁定功能 包括弱内部下拉电阻和迟滞
ALF_HSYNC	J1	I ₈	专用 HSYNC：提供以支持模拟前端自动锁定功能 包括弱内部下拉电阻和迟滞
ALF_CSYNC	J2	I ₈	专用复合同步（绿色上的同步）：提供以支持模拟前端自动锁定功能 包括弱内部下拉电阻和迟滞。

(1) 更多有关 I/O 定义的信息，请参阅表 4-13。

表 4-3. V-by-One® 接口输入数据和控制

引脚		类型 ⁽¹⁾	说明 ^{(2) (3)}
名称	编号		
VX1_DATA0_P	C18		
VX1_DATA0_N	D18		
VX1_DATA1_P	A19		
VX1_DATA1_N	B19		
VX1_DATA2_P	C20		
VX1_DATA2_N	D20		
VX1_DATA3_P	A21		
VX1_DATA3_N	B21		
VX1_DATA4_P	C22		
VX1_DATA4_N	D22		
VX1_DATA5_P	A23		
VX1_DATA5_N	B23		
VX1_DATA6_P	C24		
VX1_DATA6_N	D24		
VX1_DATA7_P	A25		
VX1_DATA7_N	B25		
VX1_HTPDN	E17	O ₄	V-by-One 接口热插拔检测（控制器接收器将此信号拉低，以向发送器指示其存在） 该信号在控制器输出端开漏。发送器需要一个上拉电阻。
VX1_LOCKN	E19	O ₄	V-by-One 接口时钟检测锁定（控制器接收器将此信号拉至低电平，以指示时钟 提取锁定到发送器） 该信号在控制器输出端开漏。发送器需要一个上拉电阻。
VX1_CM_CKREF0	E20	I ₁	V-by-One 保留：将这些保留的引脚接地。
VX1_CM_CKREF1	E21		
VX1_CM_CKREF2	E23		
VX1_CM_CKREF3	E24		
VX1_CM_AMOUT0	F19	I ₁	V-by-One 保留：这些引脚被保留且必须保持未连接状态。
VX1_CM_AMOUT1	F21		
VX1_CM_AMOUT2	F22		
VX1_CM_AMOUT3	F23		

(1) 更多有关 I/O 定义的信息，请参阅表 4-13。

(2) 根据输入源的带宽要求，该系统支持单通道、双通道、4 通道或 8 通道运行。所有未使用的数据通道的输入都必须保持开路状态。

(3) V-by-One 端口支持受限通道重映射，有助于优化电路板布局布线。更多详细信息，请参阅节 6.3.5。

表 4-4. OpenLDI (FPD-Link I)端口输入数据和控制

引脚		类型 ⁽¹⁾	说明 ^{(2) (3)}
名称	编号		
FPDA_CLK_P	H3	I ₅	FPD-Link 端口 A 时钟通道
FPDA_CLK_N	H4	I ₅	FPD-Link 端口 A 数据通道
FPDA_DATAA_P	G1		
FPDA_DATAA_N	G2		
FPDA_DATAB_P	F3		
FPDA_DATAB_N	F4		
FPDA_DATAC_P	E1		
FPDA_DATAC_N	E2		
FPDA_DATAAD_P	D3		
FPDA_DATAAD_N	D4		
FPDA_DATAE_P	C1		
FPDA_DATAE_N	C2		
FPDB_CLK_P	A4	I ₅	FPD-Link 端口 B 时钟通道
FPDB_CLK_N	B4	I ₅	FPD-Link 端口 B 数据通道
FPDB_DATAA_P	C5		
FPDB_DATAA_N	D5		
FPDB_DATAB_P	A6		
FPDB_DATAB_N	B6		
FPDB_DATAC_P	C7		
FPDB_DATAC_N	D7		
FPDB_DATAAD_P	A8		
FPDB_DATAAD_N	B8		
FPDB_DATAE_P	C9		
FPDC_CLK_P	A10	I ₅	FPD-Link 端口 C - 保留仅供并行端口使用。
FPDC_CLK_N	B10	I ₅	FPD-Link 端口 C 数据通道 - 保留仅供并行端口使用。
FPDC_DATAA_P	C11		
FPDC_DATAA_N	D11		
FPDC_DATAB_P	A12		
FPDC_DATAB_N	B12		
FPDC_DATAC_P	C13		
FPDC_DATAC_N	D13		
FPDC_DATAAD_P	A14		
FPDC_DATAAD_N	B14		
FPDC_DATAE_P	C15		
FPDC_DATAE_N	D15		

(1) 更多有关 I/O 定义的信息，请参阅表 4-13。

(2) 本文档中的 FPD 和 FPD-Link 两个术语指的是 OpenLDI (FPD-Link I)。

(3) 将任何未使用的端口的输入端接地，或通过外部电阻器拉至接地。

表 4-5. 并行端口输入数据和控制

引脚		类型 ⁽¹⁾	说明 并行 RGB 模式
名称	编号		
PCLK (FPDB_DATAB_N)	B6	I ₆	像素时钟
VSYNC (FPDA_DATAE_P)	C1	I ₆	Vsync
HSYNC (FPDA_DATAE_N)	C2	I ₆	Hsync
DATEN (FPDB_DATAE_N)	D9	I ₆	数据有效 ⁽²⁾
FIELD (FPDC_DATAE_P)	C15	I ₆	场 - 这可用作隔行扫描源的 2D 场信号，以及用于抽取帧序列 3D 源的 3D TOPFIELD 信号。
3D_REF (FPDC_DATAE_N)	D15	I ₆	3D 左/右基准
		(RGB 10,10,10)	

表 4-5. 并行端口输入数据和控制 (续)

引脚	类型 ⁽¹⁾	说明 并行 RGB 模式
名称	编号	
PDATA_A0 (FPDA_CLK_P)	H3	通道 A 数据 (位权重 0.25)
PDATA_A1 (FPDA_CLK_N)	H4	通道 A 数据 (位权重 0.5)
PDATA_A2 (FPDA_DATAA_P)	G1	通道 A 数据 (位权重 1)
PDATA_A3 (FPDA_DATAA_N)	G2	通道 A 数据 (位权重 2)
PDATA_A4 (FPDA_DATAB_P)	F3	通道 A 数据 (位权重 4)
PDATA_A5 (FPDA_DATAB_N)	I ₆ F4	通道 A 数据 (位权重 8)
PDATA_A6 (FPDA_DATAC_P)	E1	通道 A 数据 (位权重 16)
PDATA_A7 (FPDA_DATAC_N)	E2	通道 A 数据 (位权重 32)
PDATA_A8 (FPDA_DATAD_P)	D3	通道 A 数据 (位权重 64)
PDATA_A9 (FPDA_DATAD_N)	D4	通道 A 数据 (位权重 128)
		(RGB 10,10,10)
PDATA_B0 (FPDB_CLK_P)	A4	通道 B 数据 (位权重 0.25)
PDATA_B1 (FPDB_CLK_N)	B4	通道 B 数据 (位权重 0.5)
PDATA_B2 (FPDB_DATAA_P)	C5	通道 B 数据 (位权重 1)
PDATA_B3 (FPDB_DATAA_N)	D5	通道 B 数据 (位权重 2)
PDATA_B4 (FPDB_DATAB_P)	A6	通道 B 数据 (位权重 4)
PDATA_B5 (FPDB_DATAC_P)	C7	通道 B 数据 (位权重 8)
PDATA_B6 (FPDB_DATAC_N)	D7	通道 B 数据 (位权重 16)
PDATA_B7 (FPDB_DATAD_P)	A8	通道 B 数据 (位权重 32)
PDATA_B8 (FPDB_DATAD_N)	B8	通道 B 数据 (位权重 64)
PDATA_B9 (FPDB_DATAE_P)	C9	通道 B 数据 (位权重 128)
		(RGB 10,10,10)
PDATA_C0 (FPDC_CLK_P)	A10	通道 C 数据 (位权重 0.25)
PDATA_C1 (FPDC_CLK_N)	B10	通道 C 数据 (位权重 0.5)
PDATA_C2 (FPDC_DATAA_P)	C11	通道 C 数据 (位权重 1)
PDATA_C3 (FPDC_DATAA_N)	D11	通道 C 数据 (位权重 2)
PDATA_C4 (FPDC_DATAB_P)	A12	通道 C 数据 (位权重 4)
PDATA_C5 (FPDC_DATAB_N)	I ₆ B12	通道 C 数据 (位权重 8)
PDATA_C6 (FPDC_DATAC_P)	C13	通道 C 数据 (位权重 16)
PDATA_C7 (FPDC_DATAC_N)	D13	通道 C 数据 (位权重 32)
PDATA_C8 (FPDC_DATAD_P)	A14	通道 C 数据 (位权重 64)
PDATA_C9 (FPDC_DATAD_N)	B14	通道 C 数据 (位权重 128)

(1) 更多有关 I/O 定义的信息，请参阅表 4-13。

(2) 如果没有主动驱动 DATEN，则必须使用弱上拉电阻 (50kΩ 最大值) 将其上拉至 3.3V。

表 4-6. DMD 复位和低速接口

引脚	类型 ⁽¹⁾	说明
名称	编号	
DMD_LS0_CLK_P	AH17	DMD 低速差分接口，端口 0 时钟
DMD_LS0_CLK_N	AG17	
DMD_LS0_WDATA_P	AK16	DMD 低速差分接口，端口 0 写入数据
DMD_LS0_WDATA_N	AJ16	
DMD_LS1_CLK_P	AH15	DMD 低速差分接口，端口 1 时钟 ⁽²⁾
DMD_LS1_CLK_N	AG15	
DMD_LS1_WDATA_P	AK14	DMD 低速差分接口，端口 1 写入数据 ⁽²⁾
DMD_LS1_WDATA_N	AJ14	
DMD_LS0_RDATA	AH13	DMD，低速单端串行接口，端口 0 读取数据 ⁽³⁾
DMD_LS1_RDATA	AG13	DMD，低速单端串行接口，端口 1 读取数据 ^{(2) (3)} 。如果未使用此端口，则该信号需要外部上拉或下拉，以保持此输入悬空。

表 4-6. DMD 复位和低速接口 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
DMD_DEN_ARSTZ	AK12	O ₃	DMD 驱动器使能信号或低电平有效异步复位 (“1” = 使能, “0” = 复位) 此信号在 DMD 停止后，在从 DMD 上断电之前驱动为低电平。 如果 DLPC7530 的 1.8V 电源与 DMD 的 1.8V 电源无关，则必须使用外部下拉电阻在施加 DMD 电源时且 DLPC7530 处于非活动状态时将信号保持为低电平。

(1) 更多有关 I/O 定义的信息，请参阅 [表 4-13](#)。

(2) DMD LS1 端口被保留用于单控制器、双 DMD 应用。

(3) 所有控制接口读取均使用单端低速信号。由低速差分写入时钟为读取数据计时。

表 4-7. DMD HSSI (高速串行接口)

引脚 ⁽¹⁾		类型 ⁽²⁾	说明
名称	编号		
DMD_HSSI0_CLK_P	AK25		DMD 高速串行接口，端口 0 时钟通道
DMD_HSSI0_CLK_N	AJ25	O ₇	
DMD_HSSI0_D0_P	AK29		
DMD_HSSI0_D0_N	AJ29		
DMD_HSSI0_D1_P	AH28		
DMD_HSSI0_D1_N	AG28		
DMD_HSSI0_D2_P	AK27		
DMD_HSSI0_D2_N	AJ27		
DMD_HSSI0_D3_P	AH26		
DMD_HSSI0_D3_N	AG26		
DMD_HSSI0_D4_P	AH24		
DMD_HSSI0_D4_N	AG24		
DMD_HSSI0_D5_P	AK23		
DMD_HSSI0_D5_N	AJ23		
DMD_HSSI0_D6_P	AH22		
DMD_HSSI0_D6_N	AG22		
DMD_HSSI0_D7_P	AK21		
DMD_HSSI0_D7_N	AJ21		
DMD_HSSI1_CLK_P	AH7		DMD 高速串行接口，端口 1 时钟通道
DMD_HSSI1_CLK_N	AG7	O ₇	
DMD_HSSI1_D0_P	AH11		
DMD_HSSI1_D0_N	AG11		
DMD_HSSI1_D1_P	AK10		
DMD_HSSI1_D1_N	AJ10		
DMD_HSSI1_D2_P	AH9		
DMD_HSSI1_D2_N	AG9		
DMD_HSSI1_D3_P	AK8		
DMD_HSSI1_D3_N	AJ8		
DMD_HSSI1_D4_P	AK6		
DMD_HSSI1_D4_N	AJ6		
DMD_HSSI1_D5_P	AH5		
DMD_HSSI1_D5_N	AG5		
DMD_HSSI1_D6_P	AK4		
DMD_HSSI1_D6_N	AJ4		
DMD_HSSI1_D7_P	AK2		
DMD_HSSI1_D7_N	AJ2		
HSSI_ATETEST	AJ12	O ₇	仅限制造测试使用 - 必须保持开路 (即未连接)

(1) HSSI 高速通道提供多个引脚重映射选项，有助于优化电路板信号布线。有关这些引脚重映射选项的信息，请参阅 [节 6.3.6](#)。

(2) 更多有关 I/O 定义的信息，请参阅 [表 4-13](#)。

表 4-8. 程序存储器 (闪存) 接口

引脚		类型 ⁽¹⁾	说明
名称	编号		
PM_CSZ_0	T27	O ₈	芯片选择：仅引导闪存（引导闪存必须使用此芯片选择。）
PM_CSZ_1	T28	O ₈	芯片选择：
PM_CSZ_2	T29	O ₈	芯片选择：附加外围器件
PM_ADDR_0	T30	O ₈	地址位 (LSB)
PM_ADDR_1	U26	O ₈	地址位
PM_ADDR_2	U27	O ₈	地址位
PM_ADDR_3	U29	O ₈	地址位
PM_ADDR_4	U30	O ₈	地址位
PM_ADDR_5	V29	O ₈	地址位
PM_ADDR_6	V28	O ₈	地址位
PM_ADDR_7	V27	O ₈	地址位
PM_ADDR_8	V26	O ₈	地址位
PM_ADDR_9	W30	O ₈	地址位
PM_ADDR_10	W29	O ₈	地址位
PM_ADDR_11	W28	O ₈	地址位
PM_ADDR_12	W26	O ₈	地址位
PM_ADDR_13	Y30	O ₈	地址位
PM_ADDR_14	Y29	O ₈	地址位
PM_ADDR_15	Y28	O ₈	地址位
PM_ADDR_16	Y27	O ₈	地址位
PM_ADDR_17	Y26	O ₈	地址位
PM_ADDR_18	AA30	O ₈	地址位
PM_ADDR_19	AA29	O ₈	地址位
PM_ADDR_20	AA27	O ₈	地址位
PM_ADDR_21	AA26	O ₈	地址位
PM_ADDR_22	AB29	O ₈	地址位
PM_ADDR_23 (GPIO_47)	AB28	B ₈	地址位 (MSB) ⁽²⁾
PM_WEZ	R28	O ₈	写入使能 (低电平有效)
PM_OEZ	R29	O ₈	输出使能 (低电平有效)
PM_BLSZ_0	R30	O ₈	低字节 (7:0) 启用 (低电平有效) - 仅适用于使用 PM_CSZ_1 或 PM_CSZ_2 的器件
PM_BLSZ_1	T26	O ₈	高字节 (15:8) 启用 (低电平有效) - 仅适用于使用 PM_CSZ_1 或 PM_CSZ_2 的器件
PM_Data_0	L29	B ₈	数据位
PM_Data_1	L30	B ₈	数据位
PM_Data_2	L28	B ₈	数据位
PM_Data_3	M27	B ₈	数据位
PM_Data_4	M28	B ₈	数据位
PM_Data_5	M29	B ₈	数据位
PM_Data_6	M30	B ₈	数据位
PM_Data_7	N26	B ₈	数据位
PM_Data_8	N27	B ₈	数据位
PM_Data_9	N29	B ₈	数据位

表 4-8. 程序存储器(闪存)接口(续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
PM_Data_10	N30	B ₈	数据位
PM_Data_11	P26	B ₈	数据位
PM_Data_12	P27	B ₈	数据位
PM_Data_13	P28	B ₈	数据位
PM_Data_14	P29	B ₈	数据位
PM_Data_15	R26	B ₈	数据位

(1) 更多有关 I/O 定义的信息，请参阅表 4-13。

(2) 利用 GPIO_47，程序存储器地址总线可扩展 1 位至 24 位。为此目的配置 GPIO 时，请添加一个外部下拉电阻。

表 4-9. 外设接口

引脚		类型 ⁽¹⁾	说明
名称	编号		
IIC0_SCL	E27	B ₁₃	I ² C 端口 0 (控制器-目标)。通常，为主机命令和控制到控制器的目标，SCL (双向、开漏)：需要一个外部上拉电阻。该上拉电阻的最小可接受值为 1KΩ。
IIC0_SDA	D29	B ₁₃	I ² C 端口 0 (控制器-目标)。通常，为主机命令和控制到控制器的目标，SDA。(双向、开漏)：需要一个外部上拉电阻。该上拉电阻的最小可接受值为 1KΩ。
SSP0_TXD	AD27	O ₈	SSP/SPI 端口 0 数据输出 (控制器)：传输数据引脚
SSP0_RXD	AD29	I ₈	SSP/SPI 端口 0 数据输入 (控制器)：接收数据引脚
SSP0_CLK	AD28	O ₈	SSP/SPI 端口 0 时钟 (控制器)：时钟引脚
SSP0_CSZ_2	AC28	O ₈	SPI 端口 0 片选 2 (控制器)：片选 (低电平有效) 为了避免外部器件出现悬空片选输入，建议使用外部上拉电阻器 ($\leq 100\text{k}\Omega$)。
SSP0_CSZ_1	AC26	O ₈	SPI 端口 0 片选 1 (控制器)：片选 (低电平有效) 为了避免外部器件出现悬空片选输入，建议使用外部上拉电阻器 ($\leq 100\text{k}\Omega$)。
SSP0_CSZ_0	AB27	O ₈	SPI 端口 0 片选 0 (控制器)：片选 (低电平有效) 为了避免外部器件出现悬空片选输入，建议使用外部上拉电阻器 ($\leq 100\text{k}\Omega$)。
UART0_TXD	P4	O ₈	UART 端口 0 (外设)：串行数据发送 该 UART 端口保留用于 TI 调试。需要一个外部上拉电阻器 ($\leq 10\text{k}\Omega$)。
UART0_RXD	P5	I ₈	UART 端口 0 (外设)：串行数据接收 该 UART 端口保留用于 TI 调试。需要一个外部上拉电阻器 ($\leq 10\text{k}\Omega$)。
UART0_RTSZ	N2	O ₈	UART 端口 0 (外设)：准备发送 (硬件流控制信号 [低电平有效]) 该 UART 端口保留用于 TI 调试。需要一个外部上拉电阻器 ($\leq 10\text{k}\Omega$)。
UART0_CTSZ	N3	I ₈	UART 端口 0 (外设)：允许发送 (硬件流控制信号 [低电平有效]) 该 UART 端口保留用于 TI 调试。需要一个外部上拉电阻器 ($\leq 10\text{k}\Omega$)。
USB_DAT_P USB_DAT_N	B27 A27	B ₁₁	USB OTG 数据通道 (控制器外设)
USB_VBUS	D26	B ₁₁	USB OTG 5V 电源检测 (控制器外设)
USB_ID	C27	I _{Other}	USB OTG 微型插座标识 (控制器外设)
USB_TXRTUNE	C26	B _{GND}	USB OTG 基准电阻 必须连接一个外部基准电阻，如节 9.1.7 所示。
USB_XI	A29	I _{GND}	USB OTG 外部振荡器 XI - 未使用 (内部提供时钟) 为了正常运行，此引脚必须连接至 GND。
USB_XO	B29	B _{GND}	USB OTG 外部振荡器 XO - 未使用 (内部提供时钟) 为了正常运行，此引脚必须保持开路 (未连接)。
USB_ANALOGTEST	C28	B _{Other}	USB OTG 制造测试 该引脚必须保持开路 (未连接)。
PMD_INTZ	AD26	I ₈	从 DLPA100 (低电平有效) 中断 该信号需要一个外部上拉电阻。它还具有迟滞。

表 4-9. 外设接口 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
CW_PWM	AE30	O ₈	色轮控制 PWM
CW_INDEX	AE29	I ₈	色轮索引 此引脚具有迟滞。

(1) 更多有关 I/O 定义的信息，请参阅表 4-13。

表 4-10. GPIO 外设接口

引脚		类型 ⁽¹⁾	说明 ⁽²⁾⁽³⁾⁽⁴⁾
名称	编号		
GPIO_87	K1	B ₈	通用 I/O 87 : 选项： 1. Alt 0 : 保留 2. Alt 1 : DAO_CLKIN (I) 3. 可选 GPIO
GPIO_86	L5	B ₈	通用 I/O 86 : 选项： 1. Alt 0 : 保留 2. Alt 1 : DAO_DI_1 (I) 3. 可选 GPIO
GPIO_85	L4	B ₈	通用 I/O 85 : 选项： 1. Alt 0 : 保留 2. Alt 1 : DAO_DI_0 (I) 3. 可选 GPIO
GPIO_84	L3	B ₈	通用 I/O 84 : 选项： 1. Alt 0 : 保留 2. Alt 1 : HBT_CLKIN_2 (I) 3. 可选 GPIO
GPIO_83	L2	B ₈	通用 I/O 83 : 选项： 1. Alt 0 : 保留 2. Alt 1 : HBT_DI_2 (I) 3. 可选 GPIO
GPIO_82	M5	B ₈	通用 I/O 82 : 选项： 1. Alt 0 : 保留 2. Alt 1 : HBT_CLKIN_1 (I) 3. 可选 GPIO
GPIO_81	M4	B ₈	通用 I/O 81 : 选项： 1. Alt 0 : 保留 2. Alt 1 : HBT_DI_1 (I) 3. 可选 GPIO
GPIO_80	M2	B ₈	通用 I/O 80 : 选项： 1. Alt 0 : 保留 2. Alt 1 : HBT_CLKIN_0 (I) 3. 可选 GPIO

表 4-10. GPIO 外设接口 (续)

引脚 名称	编号	类型 ⁽¹⁾	说明 ^{(2) (3) (4)}
GPIO_79	M1	B ₈	通用 I/O 79 : 选项： 1. Alt 0 : 保留 2. Alt 1 : HBT_DI_0 (I) 3. 可选 GPIO
GPIO_78	N5	B ₈	通用 I/O 78 : 选项： 1. Alt 0 : 保留 2. Alt 1 : SEQ_SYNC (B/ 开漏) 3. 可选 GPIO
GPIO_77	N4	B ₈	通用 I/O 77 : 选项： 1. Alt 0 : 保留 2. Alt 1 : EFSYNC (O)/ DASYNC (I) 3. 可选 GPIO
GPIO_76	AD5	B ₈	通用 I/O 76 : 选项： 1. Alt 0 : AWC1_DACD_PWMB_1 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_75	AC1	B ₈	通用 I/O 75 : 选项： 1. Alt 0 : AWC1_DACS_PWMA_1 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_74	AC2	B ₈	通用 I/O 74 : 选项： 1. Alt 0 : AWC1_DACD_PWMB_0 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_73	AC4	B ₈	通用 I/O 73 : 选项： 1. Alt 0 : AWC1_DACS_PWMA_0 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_72	AC5	B ₈	通用 I/O 72 : 选项： 1. Alt 0 : AWC1_DACCLK_0_1 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_71	AD1	B ₈	通用 I/O 71 : 选项： 1. Alt 0 : AWC1_OUT_ENZ (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_70	AD2	B ₈	通用 I/O 70 : 选项： 1. Alt 0 : AWC0_DACD_PWMB_1 (O) 2. Alt 1 : 不适用 3. 可选 GPIO

表 4-10. GPIO 外设接口 (续)

引脚 名称	编号	类型 ⁽¹⁾	说明 ^{(2) (3) (4)}
GPIO_69	AD3	B ₈	通用 I/O 69 : 选项： 1. Alt 0 : AWC0_DACS_PWMA_1 (O) 2. Alt 1 : MEMAUX_1 (O) (#2) 3. 可选 GPIO
GPIO_68	AD4	B ₈	通用 I/O 68 : 选项： 1. Alt 0 : AWC0_DACD_PWMB_0 (O) 2. Alt 1 : IIC2_SDA (B) (#3) 3. 可选 GPIO
GPIO_67	AF4	B ₈	通用 I/O 67 : 选项： 1. Alt 0 : AWC0_DACS_PWMA_0 (O) 2. Alt 1 : IIC2_SCL (B) (#3) 3. 可选 GPIO
GPIO_66	AE2	B ₈	通用 I/O 66 : 选项： 1. Alt 0 : AWC0_DACCLK_0_1 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_65	AE3	B ₈	通用 I/O 65 : 选项： 1. Alt 0 : AWC0_OUT_ENZ (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_64	AE4	B ₈	通用 I/O 64 : 选项： 1. Alt 0 : OCLKB (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_63	AG2	B ₈	通用 I/O 63 : 选项： 1. Alt 0 : PWM_OUT_UVLED (O) 2. Alt 1 : OCLKD (O) (#2) 3. 可选 GPIO
GPIO_62	AG3	B ₈	通用 I/O 62 : 选项： 1. Alt 0 : PWM_OUT_IRLED (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_61	AF1	B ₈	通用 I/O 61 : 选项： 1. Alt 0 : PWM_OUT_BLED (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_60	AF2	B ₈	通用 I/O 60 : 选项： 1. Alt 0 : PWM_OUT_GLED (O) 2. Alt 1 : UART2_RXD (I) (#2) 3. 可选 GPIO

表 4-10. GPIO 外设接口 (续)

引脚 名称	编号	类型 ⁽¹⁾	说明 ^{(2) (3) (4)}
GPIO_59	AG1	B ₈	通用 I/O 59 : 选项： 1. Alt 0 : PWM_OUT_RLED (O) 2. Alt 1 : UART2_TXD (O) (#2) 3. 可选 GPIO
GPIO_58	V1	B ₈	通用 I/O 58 : 选项： 1. Alt 0 : PWM_OUT_STD_2 (O) 2. Alt 1 : ALF_COAST (O) 3. 可选 GPIO
GPIO_57	V2	B ₈	通用 I/O 57 : 选项： 1. Alt 0 : PWM_OUT_STD_1 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_56	W2	B ₈	通用 I/O 56 : 选项： 1. Alt 0 : PWM_OUT_STD_0 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_55	K29	B ₈	通用 I/O 55 : 选项： 1. Alt 0 : PWM_OUT_CW2 (O) 2. Alt 1 : 3. 可选 GPIO
GPIO_54	K28	B ₈	通用 I/O 54 : 选项： 1. Alt 0 : PWM_OUT_CW1 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_53	W3	B ₈	通用 I/O 53 : 选项： 1. Alt 0 : 保留 2. Alt 1 : LED_DRIVER_ON (O) 3. 可选 GPIO
GPIO_52	W4	B ₈	通用 I/O 52 : 选项： 1. Alt 0 : 保留 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_51	V5	B ₈	通用 I/O 51 : 选项： 1. Alt 0 : 保留 2. Alt 1 : DMD_PWR_EN (O) 3. 可选 GPIO
GPIO_50	AC29	B ₈	通用 I/O 50 : 选项： 1. Alt 0 : SSP0_CSZ_3 (O) 2. Alt 1 : 不适用 3. 可选 GPIO

表 4-10. GPIO 外设接口 (续)

引脚 名称	编号	类型 ⁽¹⁾	说明 ^{(2) (3) (4)}
GPIO_49	AC30	B ₈	通用 I/O 49 : 选项： 1. Alt 0 : SSP0_CSZ_4 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_48	AB26	B ₈	通用 I/O 48 : 选项： 1. Alt 0 : USB OTG 外部 USB 开关控制 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_47	AB28	B ₈	通用 I/O 47 : 选项： 1. Alt 0 : PM_ADDR_23 (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_46	K27	B ₈	通用 I/O 46 : 选项： 1. Alt 0 : CW_Index_2 (I) (#1) 2. Alt 1 : SSP2_BC_CSZ (O-MST/I-SLV) 3. 可选 GPIO
GPIO_45	J30	B ₈	通用 I/O 45 : 选项： 1. Alt 0 : CW_Index_1 (I) (#1) 2. Alt 1 : SSP2_CSZ_2 (O-MST/I-SLV) 3. 可选 GPIO
GPIO_44	J29	B ₈	通用 I/O 44 : 选项： 1. Alt 0 : OCLKC (O) (#1) 2. Alt 1 : SSP2_CSZ_1 (O-MST/I-SLV) 3. 可选 GPIO
GPIO_43	J27	B ₈	通用 I/O 43 : 选项： 1. Alt 0 : OCLKD (O) (#1) 2. Alt 1 : SSP2_CSZ_0 (O-MST/I-SLV) 3. 可选 GPIO
GPIO_42	J26	B ₈	通用 I/O 42 : 选项： 1. Alt 0 : IIC2_SDA (B) (#1) 2. Alt 1 : SSP2_DO (O) 3. 可选 GPIO
GPIO_41	H30	B ₈	通用 I/O 41 : 选项： 1. Alt 0 : IIC2_SCL (B) (#1) 2. Alt 1 : SSP2_DI (I) 3. 可选 GPIO
GPIO_40	H29	B ₈	通用 I/O 40 : 选项： 1. Alt 0 : MEMAUX_1 (O) (#1) 2. Alt 1 : SSP2_SCLK (O-MST/I-SLV) 3. 可选 GPIO

表 4-10. GPIO 外设接口 (续)

引脚 名称	编号	类型 ⁽¹⁾	说明 ^{(2) (3) (4)}
GPIO_39	H28	B ₈	通用 I/O 39 : 选项： 1. Alt 0 : UART2_RXD (I) (#1) 2. Alt 1 : HBT_CLKOUT (O) 3. 可选 GPIO
GPIO_38	H27	B ₈	通用 I/O 38 : 选项： 1. Alt 0 : UART2_TXD (O) (#1) 2. Alt 1 : HBT_DO (O) 3. 可选 GPIO
GPIO_37	H26	B ₈	通用 I/O 37 : 选项： 1. Alt 0 : CW_Index_2 (I) (#2) 2. Alt 1 : DAO_CLKOUT (O) 3. 可选 GPIO
GPIO_36	G30	B ₈	通用 I/O 36 : 选项： 1. Alt 0 : CW_Index_1 (I) (#2) 2. Alt 1 : DAO_DO_1 (O) 3. 可选 GPIO
GPIO_35	G29	B ₈	通用 I/O 35 : 选项： 1. Alt 0 : OCLKC (O) (#2) 2. Alt 1 : DAO_DO_0 (O) 3. 可选 GPIO
GPIO_34	Y1	B ₈	通用 I/O 34 : 选项： 1. Alt 0 : WRP_CAMERA_TRIG (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_33	Y2	B ₈	通用 I/O 33 : 选项： 1. Alt 0 : PAUX11 (O) {CW Spoke} 2. Alt 1 : IIC2_SDA (B) (#2) 3. 可选 GPIO
GPIO_32	Y4	B ₈	通用 I/O 32 : 选项： 1. Alt 0 : PAUX10 (O) {CW Rev} 2. Alt 1 : IIC2_SCL (B) (#2) 3. 可选 GPIO
GPIO_31	Y5	B ₈	通用 I/O 31 : 选项： 1. Alt 0 : PAUX9 (O) {XPR-Y} 2. Alt 1 : PAUX_INT3 (O) 3. 可选 GPIO
GPIO_30	AA1	B ₈	通用 I/O 30 : 选项： 1. Alt 0 : PAUX8 (O) {XPR-X} 2. Alt 1 : PAUX_INT2 (O) 3. 可选 GPIO

表 4-10. GPIO 外设接口 (续)

引脚 名称	编号	类型 ⁽¹⁾	说明 ^{(2) (3) (4)}
GPIO_29	AA2	B ₈	通用 I/O 29 : 选项： 1. Alt 0 : PAUX7 (O) {SSI Subframe} 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_28	AA3	B ₈	通用 I/O 28 : 选项： 1. Alt 0 : PAUX6 (O) {UV_LED_EN} 2. Alt 1 : LEDSEL_4 (O) 3. 可选 GPIO
GPIO_27	AA4	B ₈	通用 I/O 27 : 选项： 1. Alt 0 : PAUX5 (O) {IR_LED_EN} 2. Alt 1 : LEDSEL_3 (O) 3. 可选 GPIO
GPIO_26	AA5	B ₈	通用 I/O 26 : 选项： 1. Alt 0 : PAUX4 (O) {B_LED_EN} 2. Alt 1 : LEDSEL_2 (O) 3. 可选 GPIO
GPIO_25	AB2	B ₈	通用 I/O 25 : 选项： 1. Alt 0 : PAUX3 (O) {G_LED_EN} 2. Alt 1 : LEDSEL_1 (O) 3. 可选 GPIO
GPIO_24	AB3	B ₈	通用 I/O 24 : 选项： 1. Alt 0 : PAUX2 (O) {R_LED_EN} 2. Alt 1 : LEDSEL_0 (O) 3. 可选 GPIO
GPIO_23	AB4	B ₈	通用 I/O 23 : 选项： 1. Alt 0 : PAUX1 (O) {SEQ Index} 2. Alt 1 : PAUX_INT1 (O) 3. 可选 GPIO
GPIO_22	AB5	B ₈	通用 I/O 22 : 选项： 1. Alt 0 : PAUX0 (O) {LED SENSE} 2. Alt 1 : PAUX_INT0 (O) 3. 可选 GPIO
GPIO_21	P3	B ₈	通用 I/O 21 : 选项： 1. Alt 0 : PWM-IN1 (I) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_20	P2	B ₈	通用 I/O 20 : 选项： 1. Alt 0 : PWM-IN0 (I) 2. Alt 1 : 不适用 3. 可选 GPIO

表 4-10. GPIO 外设接口 (续)

引脚 名称	编号	类型 ⁽¹⁾	说明 ^{(2) (3) (4)}
GPIO_19	P1	B ₈	通用 I/O 19 : 选项： 1. Alt 0 : IR1 (I) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_18	R5	B ₈	通用 I/O 18 : 选项： 1. Alt 0 : IR0 (I) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_17	R4	B ₈	通用 I/O 17 : 选项： 1. Alt 0 : 不适用 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_16	R2	B ₈	通用 I/O 16 : 选项： 1. Alt 0 : UART1_RTSZ (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_15	R1	B ₈	通用 I/O 15 : 选项： 1. Alt 0 : UART1_CTSZ (I) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_14	T3	B ₈	通用 I/O 14 : 选项： 1. Alt 0 : UART1_RXD (I) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_13	T4	B ₈	通用 I/O 13 : 选项： 1. Alt 0 : UART1_TXD (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_12	T5	B ₈	通用 I/O 12 : 选项： 1. Alt 0 : IIC1_SDA (B) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_11	T2	B ₈	通用 I/O 11 : 选项： 1. Alt 0 : IIC1_SCL (B) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_10	V3	B ₈	通用 I/O 10 : 选项： 1. Alt 0 : SAS_INTGTR_EN (O) 2. Alt 1 : 不适用 3. 可选 GPIO

表 4-10. GPIO 外设接口 (续)

引脚 名称	编号	类型 ⁽¹⁾	说明 ^{(2) (3) (4)}
GPIO_09	U1	B ₈	通用 I/O 09 : 选项： 1. Alt 0 : SAS_CSZ (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_08	U2	B ₈	通用 I/O 08 : 选项： 1. Alt 0 : SAS_DO (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_07	U4	B ₈	通用 I/O 07 : 选项： 1. Alt 0 : SAS_DI (I) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_06	V4	B ₈	通用 I/O 06 : 选项： 1. Alt 0 : SAS_CLK (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_05	A17	B ₈	通用 I/O 05 : 选项： 1. Alt 0 : SSP1_CSZ_2 (O-MST/I-SLV) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_04	B17	B ₈	通用 I/O 04 : 选项： 1. Alt 0 : SSP1_CSZ_1 (O-MST/I-SLV) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_03	B15	B ₈	通用 I/O 03 : 选项： 1. Alt 0 : SSP1_CSZ_0 (O-MST/I-SLV) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_02	C16	B ₈	通用 I/O 02 : 选项： 1. Alt 0 : SSP1_DO (O) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_01	D16	B ₈	通用 I/O 01 : 选项： 1. Alt 0 : SSP1_DI (I) 2. Alt 1 : 不适用 3. 可选 GPIO
GPIO_00	E16	B ₈	通用 I/O 00 : 选项： 1. Alt 0 : SSP1_SCLK (O-MST/I-SLV) 2. Alt 1 : 不适用 3. 可选 GPIO

(1) 更多有关 I/O 定义的信息，请参阅表 4-13。

(2) 此表定义了 DLPC7530 的 GPIO 功能。有关这些 GPIO 的特定产品配置分配，请参阅节 6.3.8。

- (3) 除了可用作通用 I/O 之外，大多数 GPIO 还具有至少一种备用硬件功能用途。根据产品配置的不同，GPIO 可被专门保留用作备用硬件功能（因此将不可用作通用 I/O）。更多有关特定产品配置的 GPIO 分配的信息，请参阅 [节 6.3.8](#)。
- (4) 所有可作为通用 I/O 的 GPIO 都必须配置为输入、标准输出或开漏输出。这是在闪存配置中设置的。将未使用的 GPIO 配置为逻辑零输出并保持未连接状态，否则需要一个外部上拉或下拉电阻器来避免输入悬空。所有 GPIO 的复位默认设置为输入信号。每个配置为开漏输出的信号都需要一个外部上拉电阻器 ($\leq 10\text{k}\Omega$)。

表 4-11. 时钟和支持

引脚		类型 ⁽¹⁾	说明
名称	编号		
REFCLKA_I	AJ18	I ₉	晶体 A 输入：基准时钟晶体输入 ⁽²⁾⁽³⁾
REFCLKA_O	AK18	O ₁₀	晶体 A 输出：基准时钟晶体输出 ⁽²⁾
REFCLKB_I	B16	I ₁₄	晶体 B 输入：基准时钟晶体输入 ⁽²⁾⁽³⁾
REFCLKB_O	A16	O ₁₅	晶体 B 输出：基准时钟晶体输出 ⁽²⁾
OCLKA	AD30	O ₈	通用输出时钟 A ⁽⁴⁾ ，用于驱动色轮电机控制器。频率可通过软件编程设定，加电默认频率为 0.77MHz。 注意：输出频率不受非上电复位操作的影响（也就是说，系统保持最后一个编程值，直到系统重新上电）。

- (1) 更多有关 I/O 定义的信息，请参阅 [表 4-13](#)。
 (2) 更多有关此信号的信息，请参见 [节 5.12](#)。
 (3) 对于使用外部振荡器代替晶体的应用，请使用振荡器驱动该引脚。
 (4) 更多有关此信号的信息，请参见 [节 5.22](#)。

表 4-12. 电源和地

引脚		类型 ⁽¹⁾	说明
名称	编号		
VDD115_PLLMA	AE18	PWR	用于 MCG (控制器时钟发生器 A) PLL 的 1.15V 数字电源
VDD115_PLLMB	F15	PWR	用于 MCG (控制器时钟发生器 B) PLL 的 1.15V 数字电源
VAD115_PLLS	F16	PWR	用于 SCG 倍频器 PLL 的 1.15V 模拟电源
VAD18_PLLMA	AE19	PWR	用于 MCG (控制器时钟发生器 A) PLL 的 1.8V 模拟电源
VAD18_PLLMB	F14	PWR	用于 MCG (控制器时钟发生器 B) PLL 的 1.8V 模拟电源
VAD33_OSCA	Y18	PWR	用于 Crystal-OSC 的 3.3V 模拟电源
VAD33_OSCB	L17	PWR	用于 Crystal-OSC 的 3.3V 模拟电源
VAD115_FPD	F7、F9、F11、J6、L12	PWR	用于 FPD 的 1.15V 模拟电源
VDD33_FPD	E6、E8、E10、E12、E14、G6、L11、L13	PWR	用于 FPD 的 3.3V 数字电源
VAD115_VX1	F24、L18	PWR	用于 VX1 的 1.15V 模拟电源
VAD18_VX1	E18、L19	PWR	用于 VX1 的 1.8V 模拟电源
VAD33_USB	D27、E26、F25	PWR	用于 USB 的 3.3V 模拟电源
VDD18_SCS	L16、R6、T25、AE16	PWR	用于 SCS DRAM 的 1.8V 数字电源
VDD121_SCS	L15、N11、P20、U11、V20、Y16	PWR	用于 SCS SRAM 的 1.21V 数字电源
VAD115_HSSI	Y14、Y19、AF7、AF9、AF11、AF13AF21、AF23、AF25	PWR	用于 HSSI 接口的 1.15V 模拟电源
VAD115_HSSI0_PLL	AE22	PWR	用于 HSSI-0 PLL 的 1.15V 模拟电源
VAD115_HSSI1_PLL	AE10	PWR	用于 HSSI-1 PLL 的 1.15V 模拟电源
VDD33_HSSI	Y12、Y20、AE8、AE12、AE20、AE24	PWR	用于 HSSI 接口的 3.3V 数字电源
VAD18_LSIF	Y15、AE13、AE14	PWR	用于 DMD 低速接口的 1.8V 模拟电源
LVDS_VREFTEST	AF16		仅供制造测试使用；必须保持开路且未连接

表 4-12. 电源和地 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
VDD115	L14、L20、M11、N20、P11、R20、T11、U20、V11、W20、Y11、Y13、Y17	PWR	1.15V 内核电源
VDD33	H25、K25、L6、M20、M25、N6、P25、R11、T20、U6、V25、W6、W11、Y25、AA6、AB25、AC6、AD25、AE6	PWR	3.3V 数字电源

表 4-12. 电源和地 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
VSS	A1、A2、A3、A5、A7、A9、A11、A13、A15、A18、A20、A22、A24、A26、A28、A30、B1、B2、B3、B5、B7、B9、B11、B13、B18、B20、B22、B24、B26、B28、B30、C3、C4、C6、C8、C10、C12、C14、C17、C19、C21、C23、C25、C29、D1、D2、D6、D8、D10、D12、D14、D17、D19、D21、D23、D25、D28、E3、E4、E5、E7、E9、E11、E13、E15、E22、E25、E28、F1、F2、F5、F6、F8、F10、F12、F13、F17、F18、F20、F30、G3、G4、G5、G27、H1、H2、H5、H6、J3、J4、J5、J25、J28、K6、K30、L1、L25、L27、M3、M6、(M12)、(M13)、(M14)、(M15)、(M16)、(M17)、(M18)、(M19)、N1、(N12)、(N13)、(N14)、(N15)、(N16)、(N17)、(N18)、(N19)、N25、N28、P6、(P12)、(P13)、(P14)、(P15)、(P16)、(P17)、(P18)、(P19)、P30、R3、(R12)、(R13)、(R14)、(R15)、(R16)、(R17)、R18)、(R19)、R25、R27、T1、T6、(T12)、(T13)、(T14)、(T15)、(T16)、(T17)、(T18)、(T19)、U3、U5、(U12)、(U13)、(U14)、(U15)、(U16)、(U17)、(U18)、(U19)、U25、U28、V6、(V12)、(V13)、(V14)、(V15)、(V16)、(V17)、V18)、(V19)、V30、W1、W5、(W12)、(W13)、(W14)、(W15)、(W16)、(W17)、(W18)、(W19)、W25、W27、Y3、Y6、AA25、AA28、AB1、AB6、AB30、AC3、AC25、AC27、AD6、AE1、AE5、AE7、AE9、AE11、AE15、AE17、AE21、AE23、AE25、AE26、AE28、AF3、AF5、AF6、AF8、AF10、AF12、AF14、AF15、AF17、AF18、AF19、AF20、AF22、AF24、AF26、AF28、AF30、AG4、AG6、AG8、AG10、AG12、AG14、AG16、AG18、AG23、AG25、AG27、AG29、AH1、AH2、AH3、AH4、AH6、AH8、AH10、AH12、AH14、AH16、AH18、AH21、AH23、AH25、AH27、AH29、AH30、AJ1、AJ3、AJ5、AJ7、AJ9、AJ11、AJ13、AJ15、AJ17、AJ22、AJ24、AJ26、AJ28、AJ30、AK1、AK3、AK5、AK7、AK9、AK11、AK13、AK15、AK17、AK22、AK24、AK26、AK28、AK30	RTN	所有电源的 GND。括号中的焊球编号也用作热焊球，位于封装中心区域内。

表 4-12. 电源和地 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
VPGM	G25		仅用于制造(电子保险丝)；必须接地

(1) 更多有关 I/O 定义的信息，请参阅表 4-13。

表 4-13. I/O 类型下标定义

类型		电源基准	ESD 结构
下标	说明		
1	1.8V 串行器/解串器 (VX1)	VAD18_VX1	连接到电源轨和 GND 的 ESD 二极管
2	1.8V LVDS (LS DMD)	VAD18_LSIF	连接到电源轨和 GND 的 ESD 二极管
3	1.8V LMCMOS (LS DMD)	VAD18_LSIF	连接到电源轨和 GND 的 ESD 二极管
4	3.3V OpenDrain (VX1)	VDD33	连接到电源轨和 GND 的 ESD 二极管
5	3.3V LVDS (FPD)	VDD33_FPD	连接到电源轨和 GND 的 ESD 二极管
6	3.3V LVCMOS (PP)	VDD33_FPD	连接到电源轨和 GND 的 ESD 二极管
7	1.15V HSSI (HS DMD)	VAD115_HSSI	连接到电源轨和 GND 的 ESD 二极管
8	3.3V LVCMOS I/O (8mA 输出驱动 - GPIO 等)	VDD33	连接到电源轨和 GND 的 ESD 二极管
9	3.3V LVCMOS I/O (OSC)	VAD33_OSCA	ESD 二极管接地
10	3.3V LVCMOS I/O (OSC)	VAD33_OSCA	连接到电源轨和 GND 的 ESD 二极管
11	3.3V USB (USB)	VAD33_USB	ESD 二极管和 LBJT 接地
12	3.3V LVCMOS (USB)	VAD33_USB	连接到电源轨和 GND 的 ESD 二极管
13	3.3V OpenDrain (I2C)	VDD33	连接到电源轨和 GND 的 ESD 二极管
14	3.3V LVCMOS I/O (OSC)	VAD33_OSCB	ESD 二极管接地
15	3.3V LVCMOS I/O (OSC)	VAD33_OSCB	连接到电源轨和 GND 的 ESD 二极管
类型			
I	输入	不适用	
O	输出		
B	双向		
PWR	电源		
RTN	接地回路		

表 4-14. 内部上拉和下拉电阻特性

内部上拉和下拉电阻 电阻特性 ⁽¹⁾	条件	最小值	最大值	单位
弱上拉电阻	$V_{IN} = 0.8V, VDD33 = 3.3V$	19	50	$k\Omega$
	$V_{IN} = 2.0V, VDD33 = 3.3V$	12	39	$k\Omega$

(1) 外部 $5.7k\Omega$ 或更小的上拉或下拉电阻 (如果需要) 足以使任何电压条件正确覆盖任何相关的内部上拉或下拉电阻。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度下测得 (除非另有说明) ⁽¹⁾

电源电压 ⁽²⁾		最小值	最大值	单位
V _(VDD115) (内核)		-0.3	1.6	V
V _(VDD115_PLLMA) (内核)		-0.3	1.6	V
V _(VDD115_PLLMB) (内核)		-0.3	1.6	V
V _(VDD115_PLLS) (内核)		-0.3	1.6	V
V _(VAD115_FPD) (内核)		-0.3	1.6	V
V _(VAD115_VX1) (内核)		-0.5	1.5	V
V _(VAD115_HSSI) (内核)		-0.3	1.6	V
V _(VAD115_HSSI0_PLL) (内核)		-0.3	1.6	V
V _(VAD115_HSSI1_PLL) (内核)		-0.3	1.6	V
V _(VDD121_SCS) (内核)		-0.4	1.6	V
V _(VAD18_PLLMA) (内核)		-0.3	2.5	V
V _(VAD18_PLLMB) (内核)		-0.3	2.5	V
V _(VAD18_VX1) (I/O)		-0.5	2.5	V
V _(VDD18_SCS) (内核)		-0.4	2.3	V
V _(VDD18_LVDS) (I/O)		-0.3	2.5	V
V _(VDD33) (I/O)		-0.3	3.9	V
V _(VAD33_OSCA) (I/O)		-0.3	3.9	V
V _(VAD33_OSCB) (I/O)		-0.3	3.9	V
V _(VDD33_FPD) (I/O)		-0.3	3.9	V
V _(VAD33_USB) (I/O)		-0.3	3.9	V
V _(VDD33_HSSI) (I/O)		-0.3	3.9	V
常规				
T _J	工作结温	0	115	°C
T _C	工作外壳温度	0	108 ⁽³⁾	°C
I _{lat}	闩锁效应	-100	100	mA
T _{stg}	贮存温度范围	-40	125	°C

- (1) 超出绝对最大额定值运行可能对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 所有电压值均以 GND 为基准。
- (3) 使用节 5.4 中定义的封装参数计算的值。

5.2 ESD 等级

参数			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM) , 符合 ANSI/ESDA/JEDEC JS-001 标准 (1)	所有引脚 (除 $Vx1_CM_CKREF0$ 、1、2 和 3 之 外)	± 1000
			$Vx1_CM_CKREF0$ 、1、2、3	± 750
		充电器件模型 (CDM) , 符合 ANSI-ESDA-JEDEC JS-002 标准 (2)	所有引脚 (除 $Vx1_CM_CKREF0$ 、1、2 和 3 之 外)	± 500
			$Vx1_CM_CKREF0$ 、1、2、3	+500
				-200

(1) JEDEC 文档 JEP155 指出 : 500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出 : 250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		容差	最小值	标称值	最大值	单位
V _(VDD115) (内核)	1.15V 电源	±4.35% 容差	1.10	1.15	1.20	V
V _(VDD115_PLLMA) (内核)	1.15V 数字电源 - MCG-A PLL (控制器时钟发生器)	+4.35/-9.13% 容差	1.045	1.15	1.20	V
V _(VDD115_PLLMB) (内核)	1.15V 数字电源 - MCG-B PLL (控制器时钟发生器)	+4.35/-9.13% 容差	1.045	1.15	1.20	V
V _(VDD115_PLLS) (内核)	1.15V 模拟电源 - SCG 倍频器 PLL	+4.35/-9.13% 容差	1.045	1.15	1.20	V
V _(VAD115_FPD) (内核)	1.15V 模拟电源 - FPD	+4.35/-9.13% 容差	1.045	1.15	1.20	V
V _(VAD115_VX1) (内核)	1.15V 模拟电源 - VX1	+4.35/-9.13% 容差	1.045	1.15	1.20	V
V _(VAD115_HSSI) (内核)	1.15V 模拟电源 - HSSI	+4.35/-9.13% 容差	1.045	1.15	1.20	V
Δ V _(VAD115_HSSI) (内核)	10MHz 时的 pk-pkVAD115_HSSI 电源噪声 (正弦)				20	mV
V _(VAD115_HSSI0_PLL) (内核)	1.15V 模拟电源 - HSSI0 PLL	+4.35/-9.13% 容差	1.045	1.15	1.20	V
Δ V _(VAD115_HSSI0_PLL) (内核)	10MHz 时的 pk-pkVAD115_HSSI0_PLL 电源噪声 (正弦)				20	mV
V _(VAD115_HSSI1_PLL) (内核)	1.15V 模拟电源 - HSSI1 PLL	+4.35/-9.13% 容差	1.045	1.15	1.20	V
Δ V _(VAD115_HSSI1_PLL) (内核)	10MHz 时的 pk-pkVAD115_HSSI1_PLL 电源噪声 (正弦)				20	mV
V _(VDD121_SCS) (内核)	1.21V 数字电源 - SCS DRAM	+7.43/-4.95% 容差	1.15	1.21	1.30	V
V _(VAD18_PLLMA) (内核)	1.8V 模拟电源 - MCG-A PLL (控制器时钟发生器)	±5.0% 容差	1.71	1.80	1.89	V
V _(VAD18_PLLMB) (内核)	1.8V 模拟电源 - MCG-B PLL (控制器时钟发生器)	±5.0% 容差	1.71	1.80	1.89	V
V _(VAD18_VX1) (I/O)	1.8V 模拟电源 - VX1 接口	±5.0% 容差	1.71	1.80	1.89	V
V _(VDD18_SCS) (内核)	1.8V 数字电源 - SCS DRAM	±5.0% 容差	1.71	1.80	1.89	V
V _(VDD18_LVDS) (I/O)	1.8V 模拟电源 - DMD LS 接口	±5.0% 容差	1.71	1.80	1.89	V
V _(VDD33) (I/O)	3.3V 数字电源 - (所有 3.3V I/O, 不带专用 3.3V 电源 - 例如 GPIO)	±5.0% 容差	3.135	3.3	3.465	V
V _(VAD33_OSCA) (I/O)	3.3V 模拟电源 - 晶振 OSCA 接口	±5.0% 容差	3.135	3.3	3.465	V
V _(VAD33_OSCB) (I/O)	3.3V 模拟电源 - 晶振 OSCB 接口	±5.0% 容差	3.135	3.3	3.465	V
V _(VDD33_FPD) (I/O)	3.3V 数字电源 - FPD 接口	±5.0% 容差	3.135	3.3	3.465	V
V _(VAD33_USB) (I/O)	3.3V 模拟电源 - USB 接口	±5.0% 容差	3.135	3.3	3.465	V
V _(VDD33_HSSI) (I/O)	3.3V 数字电源 - DMD HSSI 接口	±5.0% 容差	3.135	3.3	3.465	V
Δ V _(VDD33_HSSI) (I/O)	10MHz 时的 pk-pkVDD33_HSSI 电源噪声 (正弦)				60	mV
常规						
T _J	工作结温		0	115		°C
T _C	工作外壳温度		0	108		°C
T _A	工作环境温度 ^{(1) (2)}		0	55		°C

- (1) 工作环境温度范围值是根据节 9.1.1 中所述的电路板设计参数 (而不是使用 JEDEC JESD51 标准测试卡和环境) 以及整个工艺、电压和温度范围内的最小和最大估算功率耗散确定的。影响 R_{θ JA} 的环境热条件因应用而异。因此，最高工作环境温度因应用而异。

$$\text{a. } T_{a_min} = T_{J_min} - (P_{d_min} \times R_{\theta JA}) = 0^{\circ}\text{C} - (\text{host_min_valueW} \times \text{host_value}^{\circ}\text{C/W}) = -\text{host_calculated_value}^{\circ}\text{C}$$

- b. $T_{a_max} = T_{j_max} - (P_{d_max} \times R_{\theta_JA}) = +115^{\circ}\text{C} - (\text{host_max_valueW} \times \text{host_value}^{\circ}\text{C/W}) = +\text{host_calculated_value}^{\circ}\text{C}$
- (2) 工作环境温度取决于系统热设计。在整个环境温度条件下，工作外壳温度不能超过其额定范围。

5.4 热性能信息

热指标 ⁽¹⁾	测试条件 ⁽²⁾	ZDC	单位
		P-HBGA676	
		676 个引脚 (组装 576 个)	
$R_{\theta JA}$ 结至空气热阻 ⁽³⁾	0m/s 强制气流，不带散热器	7.4	°C/W
	1m/s 强制气流，不带散热器	6.3	
	2m/s 强制气流，不带散热器	6.0	
	1m/s 强制气流，带散热器、7W	5.3	
	2m/s 强制气流，带散热器，7W	4.8	
	1m/s 强制气流，带散热器，15W	4.0	
	2m/s 强制气流，带散热器，15W	3.5	
R_{JC} 结至外壳热阻 ⁽⁴⁾		2.7	°C/W
R_{JB} 结到电路板热阻 ⁽⁴⁾		3.5	°C/W
Ψ_{JT} ⁽⁵⁾ 结点到封装顶部中心温度的温度变化，单位功率耗散。	0m/s 强制气流，不带散热器	0.6	°C/W
	1m/s 强制气流，不带散热器	0.6	
	2m/s 强制气流，不带散热器	0.6	
P_{MAX}	封装 - 最大功率 ^{(3) (6)}	8.10	W
	1m/s 强制气流，不带散热器	9.52	
	2m/s 强制气流，不带散热器	10.00	

(1) 有关新旧热指标的更多信息，请参阅 IC 封装热指标应用报告 SPRA953。

(2) 这些测试条件还包括大小为 101.3mm × 152.4mm 的 PCB，结合了节 9.1.1 中规定的建议 PCB 散热增强。此外，气流与指向器件的电路板表面平行。

(3) 请参阅表 5-1，了解基于以下列出的示例散热器的热参数

a. 散热器-7W : S1525-7W，尺寸 = 25mm × 25mm × 7mm，引脚 = 7 × 7 = 49 个 (供应商 : Alpha, S 型系列)

b. 散热器-15W : 1530-15W，尺寸 = 30mm × 30mm × 15mm，引脚 = 8 × 8 = 64 个 (供应商 : Alpha, S 型系列)

(4) 由于 DLPC7530 控制器的复杂内部结构， R_{JC} 和 R_{JB} 热系数并非总是产生准确的结温估算值。一组有限的比较场景数据显示， R_{JC} 和 R_{JB} 建模结温的误差与实际温度相比可能是 +9% 至 -2%。此误差的大小因外部散热器的使用和尺寸以及外部空气流量而异。使用封装顶部中心的实际温度测量值加上由 Ψ_{JT} 定义的增量温度，验证基于 R_{JC} 和 R_{JB} 的所有热估算值。

(5) 示例：使用我们预计的 11.31W

$$11.31W \text{ 功率} \times 0.6^{\circ}\text{C}/\text{W} = 6.786^{\circ}\text{C} \Rightarrow T_{C-\text{max}} = 115^{\circ}\text{C} - \sim 7^{\circ}\text{C} = 108^{\circ}\text{C}$$

(6) $P_{MAX} = (T_{J-\text{max}} - T_{A-\text{max}}) / R_{\theta JA}$

表 5-1. 使用两个不同散热器的热示例

热指标 ⁽¹⁾	测试条件	ZDC	单位
		P-HBGA676	
		676 个引脚 (组装 576 个)	
$R_{\theta JA}$ 结至空气热阻	1m/s 强制气流，带散热器，7W	5.3	°C/W
	2m/s 强制气流，带散热器，7W	4.8	
	1m/s 强制气流，带散热器，15W	4.0	
	2m/s 强制气流，带散热器，15W	3.5	
P_{MAX} 封装 - 最大功率	1m/s 强制气流，带散热器，7W	11.32	W
	2m/s 强制气流，带散热器，7W	12.50	
	1m/s 强制气流，带散热器，15W	15.00	
	2m/s 强制气流，带散热器，15W	17.14	

(1) 此表显示了根据两个示例散热器可实现的结果的示例。

5.5 电源电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值 ⁽¹⁾	单位
V _(VDD115)	1.15V 电源 VDD115 = 1.2V 时的最大电流			5640	mA
V _(VDD115_PLLMA) (内核)	1.15V 数字电源 MCG-A PLL (控制器时钟发生器)	VDD115_PLLMA = 1.2V 时的最大电流		6	mA
V _(VDD115_PLLMB) (内核)	1.15V 数字电源 MCG-B PLL (控制器时钟发生器)	VDD115_PLLMB = 1.2V 时的最大电流		6	mA
V _(VDD115_PLLS) (内核)	1.15V 模拟电源 SCG 倍频器 PLL	VDD115_PLLS = 1.2V 时的最大电流		3	mA
V _(VAD115_FPD) (内核) ⁽²⁾	1.15V 模拟电源 FPD	VAD115_FPD = 1.2V 时的最大电流 端口 A 和 B 有效, 端口 C 无效		99	mA
V _(VAD115_VX1) (内核) ⁽²⁾	1.15V 模拟电源 VX1	VAD115_VX1 = 1.2V 时的最大电流 8 通道, 总带宽 = 3.0Gbps		400	mA
V _(VAD115_HSSI) (内核)	1.15V 数字电源 HSSI	VDD115_HSSI = 1.2V 时的最大电流 两个端口均有效		462	mA
V _(VAD115_HSSI0_PLL) (内核)	1.15V 数字电源 HSSI0 PLL	VDD115_HSSI0_PLL = 1.2V 时的最大电流 两个端口均有效		1	mA
V _(VAD115_HSSI1_PLL) (内核)	1.15V 数字电源 HSSI1 PLL	VDD115_HSSI1_PLL = 1.2V 时的最大电流 两个端口均有效		1	mA
V _(VDD121_SCS) (内核)	1.21V 数字电源 SCS DRAM	VDD121_SCS = 1.30V 时的最大电流		334	mA
V _(VAD18_PLLMA) (内核)	1.8V 模拟电源 MCG-A PLL (控制器时钟发生器)	VAD18_PLLMA = 1.89V 时的最大电流		10	mA
V _(VAD18_PLLMB) (内核)	1.8V 模拟电源 MCG-B PLL (控制器时钟发生器)	VAD18_PLLMB = 1.89V 时的最大电流		10	mA
V _(VAD18_VX1) (I/O) ⁽²⁾	1.8V 模拟电源 VX1 接口	VAD18_VX1 = 1.89V 时的最大电流 8 通道, 总带宽 = 3.0Gbps		41	mA
V _(VDD18_SCS) (内核)	1.8V 数字电源 SCS DRAM	VDD18_SCS = 1.89V 时的最大电流		327	mA
V _(VDD18_LVDS) (I/O)	1.8V 模拟电源 DMD LS 接口	VDD18_LVDS = 1.89V 时的最大电流		31	mA
V _(VDD33) (I/O)	3.3V 数字电源 - (所有 3.3V I/O, 不带专用 3.3V 电源 - 例如 GPIO)	VDD33 = 3.3456V 时的最大电流		28	mA
V _(VAD33_OSCA) (I/O)	3.3V 模拟电源 晶振/OSCA 接口	VDD33_OSCA = 3.3456V 时的最大电流		5	mA
V _(VAD33_OSCB) (I/O)	3.3V 模拟电源 晶振 OSCB 接口	VDD33_OSCB = 3.3456V 时的最大电流		5	mA
V _(VDD33_FPD) (I/O) ⁽²⁾	3.3V 数字电源 FPD 接口	VDD33_FPD = 3.3456V 时的最大电流 端口 A 和 B 有效, 端口 C 无效		102	mA
V _(VAD33_USB) (I/O)	3.3V 模拟电源 USB 接口	VDD33_USB = 3.3456V 时的最大电流		78	mA
V _(VDD33_HSSI) (I/O)	3.3V 数字电源 DMD HSSI 接口	VDD33_HSSI = 3.3456V 时的最大电流 两个端口均有效, 总带宽 = 3.0Gbps		194	mA

(1) 供应商对最坏情况电源 PVT 条件 = 转角工艺、高压、高温 (115°C 结) 的估算。

(2) V-by-One® 接口和 FPD-Link™ 接收器绝不会同时启用。请始终禁用其中一个接口。

5.6 引脚电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	高电平输入阈值电压	1.8V LVCMOS (I/O 3 类 - LS DMD)		1.05		V
		3.3V OpenDrain (I/O 4 类 - VX1)		不适用		
		3.3V LVCMOS (I/O 6 类 - FPD)		0.8 × VDD33_FPD		
		3.3V LVCMOS (I/O 6 类 - PP)		2.0		
		3.3V LVCMOS (I/O 8 类 - GPIO)		2.0		
		3.3V LVCMOS (I/O 9 类 - OSCA)		2.0		
		3.3V LVCMOS (I/O 10 类 - OSCB)		2.0		
		3.3V OpenDrain (I/O 13 类 - I2C)		0.7 × VDD33		
		1.8V LVCMOS (I/O 3 类 - LS DMD)		0.6		
V_{IL}	低电平输入阈值电压	3.3V OpenDrain (I/O 4 类 - VX1)		不适用		V
		3.3V LVCMOS (I/O 6 类 - FPD)		0.2 × VDD33_FPD		
		3.3V LVCMOS (I/O 6 类 - PP)		0.8		
		3.3V LVCMOS (I/O 8 类 - GPIO)		0.8		
		3.3V LVCMOS (I/O 9 类 - OSCA)		0.8		
		3.3V LVCMOS (I/O 10 类 - OSCB)		0.8		
		3.3V OpenDrain (I/O 13 类 - I2C)		0.3 × VDD33		
		1.8V LVCMOS (I/O 3 类 - LS DMD)	$V_{IN} = VAD18_LSIF$	-10	10	μA
		3.3V OpenDrain (I/O 4 类 - VX1)		不适用	不适用	
I_{IH}	高电平输入电流	3.3V LVCMOS (I/O 6 类 - PP)		-10	10	
		3.3V LVCMOS (I/O 8 类 - GPIO)	$V_{IN} = VDD33$	-10	10	
		3.3V LVCMOS (I/O 9 类 - OSCA)	$V_{IN} = VDD33$	-10	10	
		3.3V LVCMOS (I/O 10 类 - OSCB)	$V_{IN} = VDD33$	-10	10	
		3.3V OpenDrain (I/O 13 类 - I2C)		-10	10	

5.6 引脚电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
I_{IL}	低电平输入电流	1.8V LVCMOS (I/O 3 类 - LS DMD)	$V_{IN} = VSS$	-10	10	μA
		3.3V OpenDrain (I/O 4 类 - VX1)		不适用	不适用	
		3.3V LVCMOS (I/O 6 类 - PP)		-10	10	
		3.3V LVCMOS (I/O 8 类 - GPIO)	$V_{IN} = VSS$	-10	10	
		3.3V LVCMOS (I/O 9 类 - OSCA)	$V_{IN} = VSS$	-10	10	
		3.3V LVCMOS (I/O 10 类 - OSCB)	$V_{IN} = VSS$	-10	10	
		3.3V OpenDrain (I/O 13 类 - I2C)		-10	10	
V_{OH}	高电平输出电压	1.8V LVCMOS (I/O 3 类 - LS DMD)		VDD18 - 0.6		V
		3.3V OpenDrain (I/O 4 类 - VX1)		不适用		
		3.3V LVCMOS (I/O 6 类 - PP)		不适用		
		3.3V LVCMOS (I/O 8 类 - GPIO)	$I_{OH} = 8mA$	VDD33 - 0.6		
		3.3V LVCMOS (I/O 9 类 - OSCA)		不适用		
		3.3V LVCMOS (I/O 10 类 - OSCB)		不适用		
		3.3V OpenDrain (I/O 13 类 - I2C)		不适用		
V_{OL}	低电平输出电压	1.8V LVCMOS (I/O 3 类 - LS DMD)			0.4	V
		3.3V OpenDrain (I/O 4 类 - VX1)	$I_{OL} = 8mA$		0.4	
		3.3V LVCMOS (I/O 6 类 - PP)			不适用	
		3.3V LVCMOS (I/O 8 类 - GPIO)	$I_{OL} = 8mA$		0.4	
		3.3V LVCMOS (I/O 9 类 - OSCA)			不适用	
		3.3V LVCMOS (I/O 10 类 - OSCB)			不适用	
		3.3V OpenDrain (I/O 13 类 - I2C)	3mA 灌电流		0.4	

5.6 引脚电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
I_{OH}	高电平输出电流	1.8V LVCMOS (I/O 3 类 - LS DMD)		不适用		mA
		3.3V OpenDrain (I/O 4 类 - VX1)		不适用		
		3.3V LVCMOS (I/O 6 类 - PP)		不适用		
		3.3V LVCMOS (I/O 8 类 - GPIO)	$V_{OH} = VDD33 - 0.6V$	8		
		3.3V LVCMOS (I/O 9 类 - OSCA)		不适用	不适用	
		3.3V LVCMOS (I/O 10 类 - OSCB)		不适用	不适用	
		3.3V OpenDrain (I/O 13 类 - I2C)		不适用		
		1.8V LVCMOS (I/O 3 类 - LS DMD)		不适用		
I_{OL}	低电平输出电流	3.3V OpenDrain (I/O 4 类 - VX1)	$V_{OL} = 0.4V$	8		mA
		3.3V LVCMOS (I/O 6 类 - PP)			不适用	
		3.3V LVCMOS (I/O 8 类 - GPIO)	$V_{OL} = 0.4V$	8		
		3.3V LVCMOS (I/O 9 类 - OSCA)		不适用	不适用	
		3.3V LVCMOS (I/O 10 类 - OSCB)		不适用	不适用	
		3.3V OpenDrain (I/O 13 类 - I2C)	$V_{OL} = 0.6V$	6	-	
		1.8V LVCMOS (I/O 3 类 - LS DMD)		不适用		
		3.3V OpenDrain (I/O 4 类 - VX1)		-10	10	
I_{OZ}	高阻抗漏电流	3.3V LVCMOS (I/O 6 类 - PP)		-10	10	μA
		3.3V LVCMOS (I/O 8 类 - GPIO)	$V_{OUT} = VDD33$	-10	10	
		3.3V LVCMOS (I/O 9 类 - OSCA)		不适用	不适用	
		3.3V LVCMOS (I/O 10 类 - OSCB)		不适用	不适用	
		3.3V OpenDrain (I/O 13 类 - I2C)		不适用	不适用	
		1.8V LVCMOS (I/O 3 类 - LS DMD)		不适用		
		3.3V OpenDrain (I/O 4 类 - VX1)		-10	10	
		3.3V LVCMOS (I/O 6 类 - PP)		-10	10	

(1) I/O 每个括号中的数字指的是表 4-13 中定义的类型。

5.7 DMD HSSI 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		数据	最小值	标称值	最大值	单位
V_{DIFF}	输出峰峰值差 ⁽¹⁾ (进入悬空负载 $R_{LOAD} = 100 \Omega$)	数据	400	1000		mV_{ppd}
		时钟	590	1000		mV_{ppd}

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数			最小值	标称值	最大值	单位
V_{CM}	输出共模 (进入悬空负载 $R_{LOAD} = 100 \Omega$)		200	700	700	mV
$ V_{OD} $	输出差分电压 ⁽¹⁾ (进入悬空负载 $R_{LOAD} = 100 \Omega$)	数据	200	500	500	mV
		时钟	295	500	500	mV
R_{DIFF}	差分端接电阻		80	100	120	Ω
R_{TERM}	单端端接电阻		40	50	60	Ω
SDD22	差分输出回波损耗 (100MHz 至 0.75 倍波特)				-8	dB
SCC22	共模回波损耗 (100MHz 至 0.75 倍波特)				-6	dB
N_{CM}	发送器共模噪声				$(7.5\% \times V_{DIFF}) + 25mV$	mVppd
DJ_{DATA}	确定性抖动数据 (非 DCD)				0.20	UI pp
DJ_{CLOCK}	确定性抖动时钟 (非 DCD)				0.16	UI pp
DCD	占空比失真				0.05	UI pp
TJ	总抖动 (随机 + DJ)				0.30	UI pp

$$(1) V_{DIFF-pp} = (V_p - V_n)cycle_N - (V_p - V_n)cycle_N+1 = 2 \times |V_{OD}|$$

请参阅图 5-1。

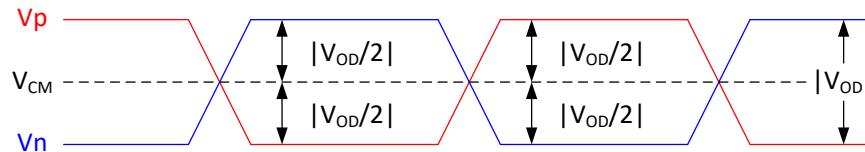


图 5-1. HSSI 差分电压参数

5.8 DMD 低速 LVDS 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数			最小值	标称值	最大值	单位
V_{DIFF}	输出峰峰值差分 (进入 $R_{LOAD} = 100 \Omega$)	VAD18_LSIF (I/O 类型 2)	340	600	600	mVppd
V_{CM}	稳定状态共模电压	VAD18_LSIF (I/O 类型 2)	1100	1200	1300	mV
$ V_{OD} ^{(1)}$	差分输出电压 (进入 $R_{LOAD} = 100 \Omega$)	VAD18_LSIF (I/O 类型 2)	170	300	300	mV
$ V_{OD}(\Delta) ^{(2)}$	V_{OD} 变化 (逻辑状态之间)	VAD18_LSIF (I/O 类型 2)			25	mV
$V_{CM}(\Delta)$	V_{CM} 变化 (逻辑状态之间)	VAD18_LSIF (I/O 类型 2)			25	mV
V_{OH}	单端输出电压高电平 ⁽³⁾	VAD18_LSIF (I/O 类型 2)			1450	mV
V_{OL}	单端输出电压低电平 ⁽³⁾	VAD18_LSIF (I/O 类型 2)	950			mV
Tx_{term}	内部差分端接		85	100	115	Ω

$$(1) V_{DIFF-pp} = (V_p - V_n)cycle_N - (V_p - V_n)cycle_N+1 = 2 \times |V_{OD}|$$

请参阅图 5-2。

$$(2) V_{OD}(\Delta) = V_{OD}cycle_N - V_{OD}cycle_N+1$$

$$(3) V_{OH} = 1300 + 300/2 = 1450; V_{OL} = 1100 - 300/2 = 950$$

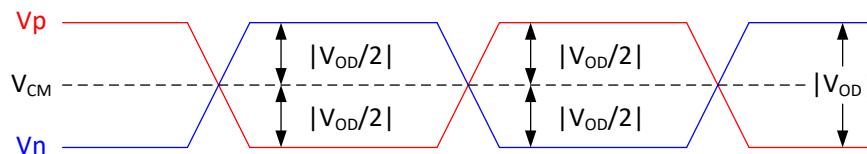


图 5-2. DMD 低速差分电压参数

5.9 V-by-One 接口电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数(1)			最小值	标称值	最大值	单位
V _{DIFF}	输入峰峰值差分	VAD18_VX1 (I/O 类型 1)	100			mVppd
V _{ID}	差分输入电压	VAD18_VX1 (I/O 类型 1)	50			mV
R _{xterm}	内部差分端接	VAD18_VX1 (I/O 类型 1)	80	100	120	Ω

(1) 有关详细信息，请参阅 [V-by-One 接口标准](#)。

5.10 FPD-Link LVDS 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数(1)			最小值	标称值	最大值	单位
V _{DIFF}	输入峰峰值差分	VDD33_FPD (I/O 类型 5)	200	1200		mVppd
V _{ID}	差分输入电压	VDD33_FPD (I/O 类型 5)	100	600		mV
V _{CM}	稳定状态共模电压(2)	VDD33_FPD (I/O 类型 5)	0.25	2.4		V
R _{xterm}	内部差分端接	VDD33_FPD (I/O 类型 5)	90	110	132	Ω

(1) 请参阅图 5-15。

(2) 如果 V_{CM} 在接收器的输入端降至低于 V_{CM(min)}，则会自动启用开路输入检测电路。此检测电路会在输入 V_{CM} 升至高于 V_{CM(max)} 之前禁用接收器。

5.11 USB 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数(1)(2)			最小值	标称值	最大值	单位
低速和全速 (输入电平)						
V _{IH}	单端输入电压高电平 (驱动)		2.0			V
V _{IHZ}	单端输入电压高电平 (悬空)		2.7	3.6		V
V _{IL}	单端输入电压低电平			0.8		V
V _{DI}	差分输入灵敏度	(DP) - (DM)	0.2			V
V _{CM}	差分共模电压	包括 V _{DI} 范围	0.8	2.5		V
低速和全速 (输出电平)						
V _{OL}	低电平输出电压	1.425kΩ 上拉至 3.6V	0.0	0.3		V
V _{OH}	高电平输出电压	14.25KΩ 下拉电阻	2.8	3.6		V
V _{CRS}	输出信号交叉电压		1.3	2.0		V
高速 (输入电平)						
V _{HSSQ}	高速静噪检测阈值 (差分信号振幅)		100	150		mV
V _{HSDSC}	高速断开检测阈值 (差分信号振幅)		525	626		mV
V _{HSCM}	高速数据信号共模电压		- 50	500		mV
高速 (输出电平)						

5.11 USB 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	(1) (2)	最小值	标称值	最大值	单位
V_{HSOI}	高速空闲电平		-10.0	10.0	mV
V_{HSOH}	高速数据信号 - 高电平		360	440	mV
V_{HSOL}	高速数据信号 - 低电平		-10.0	10.0	mV
V_{CHIRPJ}	高速线性调频脉冲 J 电平 (差分电压)		700	1100	mV
V_{CHIRPK}	高速线性调频脉冲 K 电平 (差分电压)		-900	-500	mV
终端					
R_{PU}	总线上拉电阻器		1.425	1.575	kΩ
R_{PD}	总线下拉电阻器		14.25	15.75	kΩ
Z_{HSDRV}	高速驱动器输出阻抗		40.5	49.5	Ω

(1) 以 VAD33_USB 为基准 (I/O 类型 11)

(2) 当用作 USB OTG 的一部分控制器时, DLPC7530 需要一个外部 USB 开关来为 USB 5V 电源供电。图 5-3 中显示的示例使用 TI TPS2500/2501 器件。该示例图未描述所需的辅助元件 (例如电阻器和电容器)。有关这些信息, 请参阅所选器件的 USB 开关逻辑数据表。仅支持 USB 外设模式的产品配置不需要外部 USB 开关。

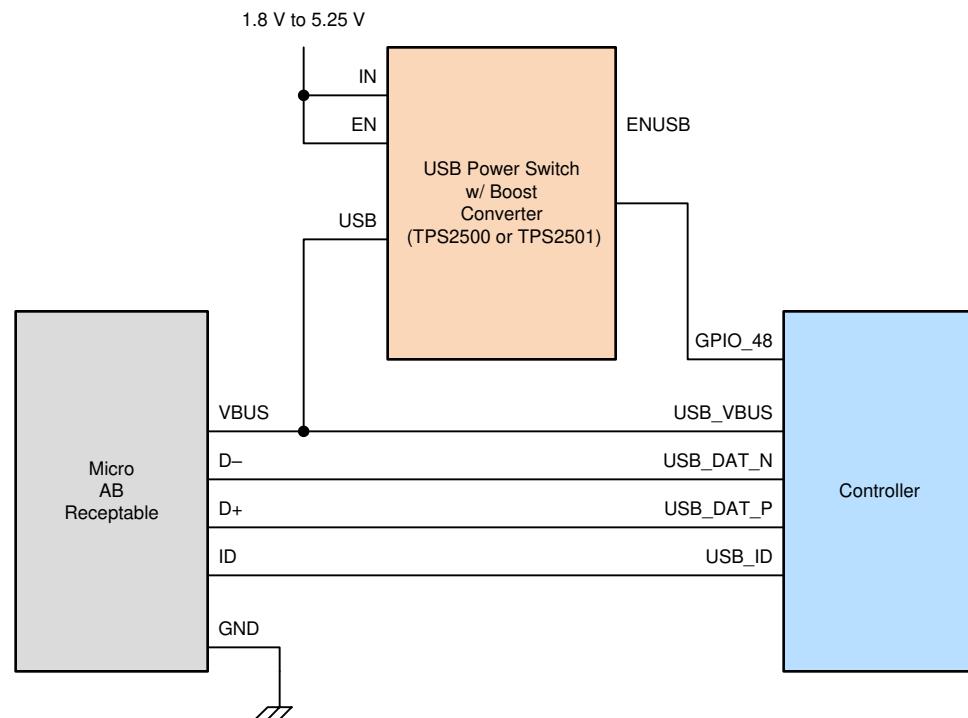


图 5-3. 将 DLPC7530 控制器用作 USB OTG 控制器的外部 USB 开关示例

5.12 系统振荡器时序要求

参数			最小值	标称值	最大值	单位
f_{clock}	时钟频率 , REFCLKA ⁽¹⁾ ⁽²⁾	PLLA : 40MHz	39.9960	40.000	40.0040	MHz
t_c	周期时间 , REFCLKA ⁽¹⁾	PLLA : 40MHz	24.9975	25.000	25.0025	ns
$t_{w(H)}$	脉冲持续时间 ⁽³⁾ , REFCLKA , 高电平	PLLA : 40MHz 50% 至 50% 基准点 (信号)	11.25			ns
$t_{w(L)}$	脉冲持续时间 ⁽³⁾ , REFCLKA , 低电平	PLLA : 40MHz 50% 至 50% 基准点 (信号)	11.25			ns
t_t	转换时间 ⁽³⁾ , REFCLKA , $t_t = t_f / t_r$	PLLA : 40MHz 20% 至 80% 基准点 (信号)		2.5		ns
t_{jp}	长期周期性抖动 ⁽³⁾ , REFCLKA (即, 仅由于高频抖动而在周期内偏离理想周期)	PLLA : 40MHz		18		ps
f_{clock}	时钟频率 , REFCLKB ⁽¹⁾	PLL B : 38MHz	37.9962	38.000	38.0038	MHz
t_c	周期时间 , REFCLKB ⁽¹⁾	PLL B : 38MHz	26.3132	26.3157	26.3184	ns
$t_{w(H)}$	脉冲持续时间 ⁽³⁾ , REFCLKB , 高电平	PLL B : 38MHz 50% 至 50% 基准点 (信号)	11.84			ns
$t_{w(L)}$	脉冲持续时间 ⁽³⁾ , REFCLKB , 低电平	PLL B : 38MHz 50% 至 50% 基准点 (信号)	11.84			ns
t_t	转换时间 ⁽³⁾ , REFCLKB , $t_t = t_f / t_r$	PLL B : 38MHz 20% 至 80% 基准点 (信号)		2.63		ns
t_{jp}	长期周期性抖动 ⁽³⁾ , REFCLKB (即, 仅由于高频抖动而在周期内偏离理想周期)	PLL B : 38MHz		18		ps

(1) REFCLK 输入不支持展频时钟扩展。

(2) 多控制器系统要求使用单个振荡器来驱动系统中所有控制器的 REFCLKA 输入。

(3) 仅在通过外部数字振荡器驱动时适用。这是 1σ RMS 值。

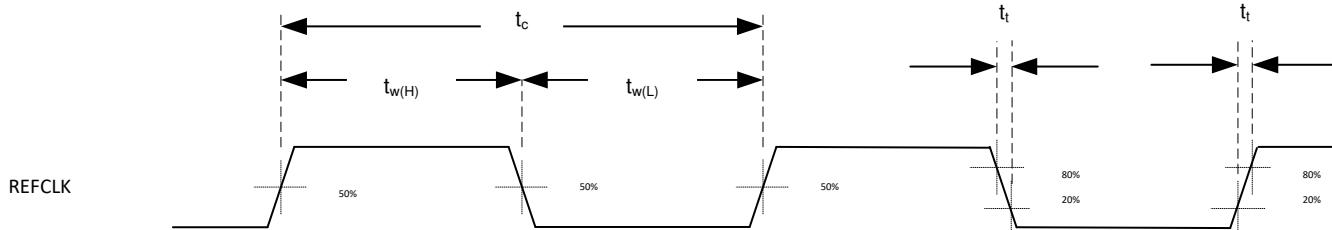


图 5-4. 系统振荡器

5.13 电源和复位时序要求

参数			最小值	最大值	单位
$t_{RAMP-UP}$	电源斜升时间 ⁽¹⁾ (图 5-5)	每个电源斜升时间的 电源斜坡 : $TOV \times 10\%$ 至 $TOV \times 90\%$ TOV = 典型工作电压	0.01	10	ms
$t_{RAMP-UP-TOTAL}$	总电源斜升时间 ⁽¹⁾	1.15V、1.8V、1.21V 和 3.3V 电源必须完成其斜升 (从 1.15V 斜升开始) 的总时间。 斜升时间 : $TOV \times 10\%$ 至 $TOV \times 90\%$ TOV = 典型工作电压		100	ms
$t_{RAMP-DOWN}$	电源斜降时间 ⁽¹⁾ (图 5-6)	每个电源斜降时间的 电源斜坡 : $TOV \times 90\%$ 至 $TOV \times 10\%$ TOV = 典型工作电压	0	100	ms
$t_{RAMP-DOWN-TOTAL}$	总电源斜降时间 ⁽¹⁾	1.15V、1.8V、1.21V 和 3.3V 电源必须完成其斜降 (从 3.3V 斜降开始) 的总时间。 斜降时间 : $TOV \times 90\%$ 至 $TOV \times 10\%$ TOV = 典型工作电压		100	ms
t_{RUSD18}	1.8V 电源斜升启动延迟 ⁽²⁾ (图 5-6)	从 1.15V 电源斜坡开始到 1.8V 电源斜坡开始的 延迟	请参阅 ⁽³⁾		ms
t_{RUSD33}	3.3V 电源斜升启动延迟 ⁽²⁾ (图 5-6)	从 1.15V 电源斜坡开始到 3.3V 电源斜坡开始的 延迟	10	50	ms
t_{RUSD12}	1.21V 电源斜升启动延迟 , ⁽²⁾ (图 5-6)	从 1.8V 电源斜坡开始到 1.21V 电源斜坡开始的 延迟	请参阅 ⁽⁴⁾		ms
t_{RDSD18}	1.8V 电源斜降启动延迟 , ⁽²⁾ (图 5-6)	从 1.21V 电源斜坡开始到 1.8V 电源斜坡开始的 延迟	请参阅 ⁽⁵⁾		ms
$t_{RDSD115}$	1.15V 电源斜降启动延迟 , ⁽²⁾ (图 5-6)	从 3.3V 电源斜坡开始到 1.15V 电源斜坡开始的 延迟	请参阅 ⁽⁸⁾		
t_{EW}	预警时间 (图 5-8)	在任何电源电压低于控制器规格之前 , PWROGOOD 变为低电平无效 (作为预警)	500		μs
t_{PH}	电源保持时间 (图 5-8)	POSENSE 在禁用 PWROGOOD 后保持有效。	500 ⁽⁹⁾		μs
t_{w1}	脉冲持续时间 , 低电平有效 , PWROGOOD (图 5-7)	POSENSE 有效时的 PWROGOOD 无效时间 50% 至 50% 基准点 (信号)	4	1000 ⁽⁶⁾	μs
t_{t1}	转换时间 , PWROGOOD $t_{t1} = t_{f1}$ 和 t_{r1} (图 5-7)	PWROGOOD 的上升和下降时间 20% 至 80% 基准点 (信号)		625	μs
t_{w2}	脉冲持续时间 , 低电平有效 , POSENSE (图 5-8)	PWROGOOD 无效时的 POSENCE 无效时间 50% 至 50% 基准点 (信号)	100		ms
t_{t2}	转换时间 , POSENCE $t_{t2} = t_{f2}$ 和 t_{r2} (图 5-8)	POSENSE 的上升和下降时间 ⁽⁷⁾ 20% 至 80% 基准点 (信号)		25	μs
t_{PSD}	PWROGOOD 启动延迟 (图 5-7)	在 PWROGOOD 影响 DLPC7530 运行之前 POSENSE 上升沿后的时间	51.5	60	ms
t_{PROJ_ON}	PROJ_ON 下降时间到 PWROGOOD 的延迟 (图 5-8)	下降延迟 PROJ_ON 80% 至 PWROGOOD 80% 下降时间开 始	10		ms
$t_{REFCLKA}$	REFCLKA 的稳定时间 (图 5-7)	POSENSE 之前 REFCLKA 的稳定时间	请参阅 ⁽¹⁰⁾		

(1) 假定所有 1.15V 电源来自同一源 , 但某些电源可能在进入 DLPC7530 之前具有额外的滤波。因此 , 这些电源应该一起斜坡 (除了由滤波引起的差异)。对于 1.21V、1.8V 和 3.3V 电源 , 也存在同样的预期。

(2) DLPC7530 具有下面列出的特定电源时序要求 , 包括此表中指定的时序。

a. 上电顺序 :

- 1.15V (内核、模拟) » 1.8V (I/O、SCS) » 1.21V (SCS)
- 1.15V (内核、模拟) » 3.3V (I/O)

b. 断电顺序：

- i. 3.3V (I/O) » 1.15V (内核、模拟)
- ii. 1.21V (SCS) » 1.8V (I/O, SCS) » 1.15V (内核、模拟)

- (3) 此延迟要求参数定义为两个事件的间隔时间。第一个事件是 1.15V 电源斜升开始的时间点，第二个事件是 1.15V 电源斜升达到 TOV 的 80% (此时 1.8V 电源可以开始斜升)。由于第二个事件能否发生取决于 1.15V 电源的特定设计，因此设计人员必须确定特定延迟时间。
- (4) 此延迟要求参数定义为两个事件的间隔时间。第一个事件是 1.8V 电源斜升开始的时间点，第二个事件是 1.8V 电源斜升达到 TOV 的 80% (此时 1.21V 电源可以开始斜升)。由于第二个事件能否发生取决于 1.8V 电源的特定设计，因此设计人员必须确定特定延迟时间。
- (5) 此延迟要求参数定义为两个事件的间隔时间。第一个事件是 1.21V 电源斜降开始的时间点，第二个事件是 1.21V 电源斜降达到 TOV 的 20% (此时 1.8V 电源可以开始斜降)。由于第二个事件能否发生取决于 1.21V 电源的特定设计，因此设计人员必须确定特定延迟时间。这段延迟时间是为了确定在斜降期间，在 1.2V 电源低于 300mV 前，1.8V 电源的电压电平绝不会降至低于 1.21V 电源的电压电平。
- (6) 此最大值仅在当 PWRGOOD 处于非活动状态时 1.8V 电源保持开启状态下适用。否则，没有最大限值。
- (7) 只要此信号上的噪声低于迟滞阈值
- (8) 此延迟要求参数定义为两个事件的间隔时间。第一个事件是 3.3V 电源斜降开始的时间点，第二个事件是 3.3V 电源斜降和 1.8V 电源斜降达到 TOV 的 10% (此时 1.15V 电源可以开始斜降)。由于第二个事件能否发生取决于 3.3V 和 1.8V 电源的特定设计，因此设计人员必须确定特定延迟时间。
- (9) 如果 PROJ_ON 用于断电，则不需要电源保持时间 (t_{PH})。
- (10) 这个延迟要求参数由 RECLKA 振荡器的设计定义。在释放 POSENSE 之前，必须提供稳定的时钟。

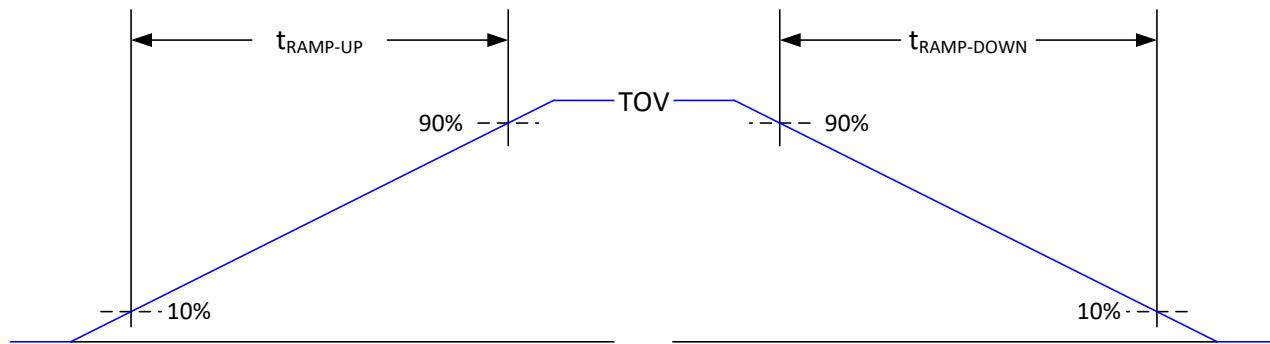
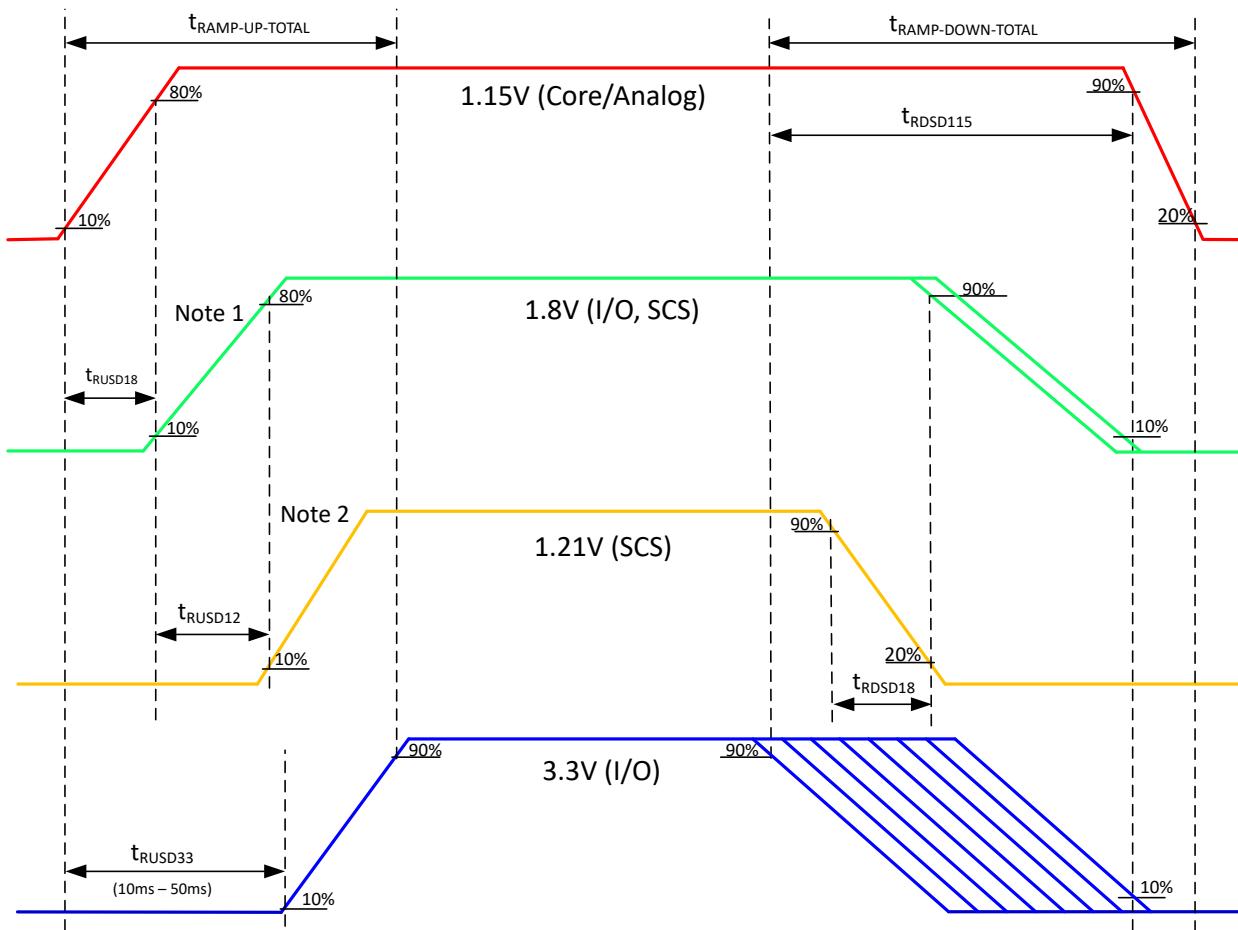


图 5-5. 电源斜坡时间



Note 1: No power up or power down timing dependency between 1.8V and 3.3V
 Note 2: No power up or power down timing dependency between 1.21V and 3.3V

图 5-6. 电源斜坡时序曲线

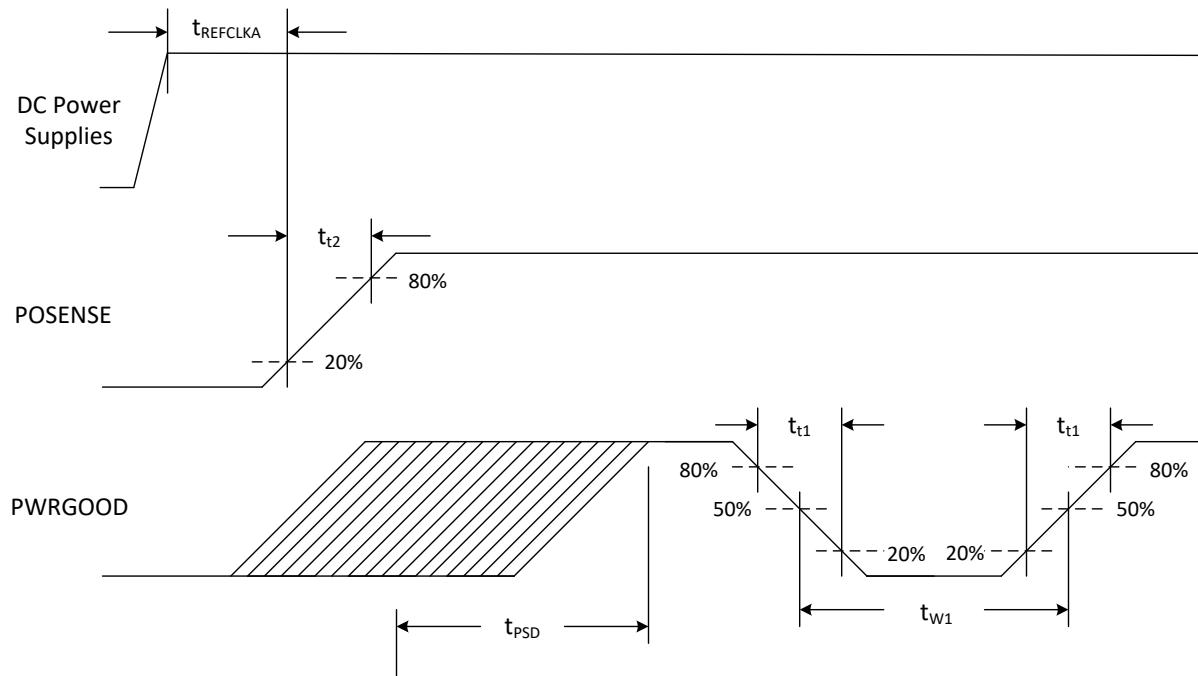


图 5-7. 上电时序

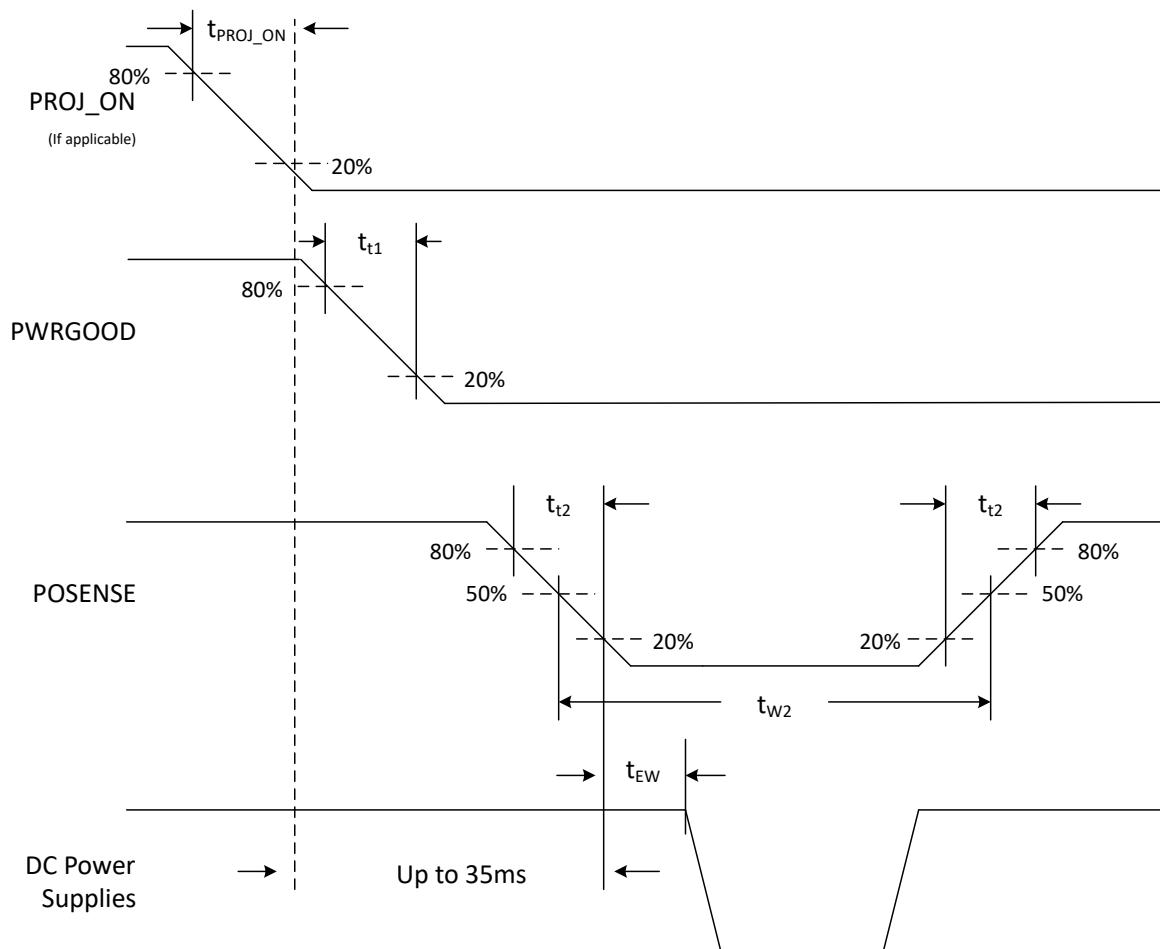


图 5-8. 断电时序 — 正常

PROJ_ON

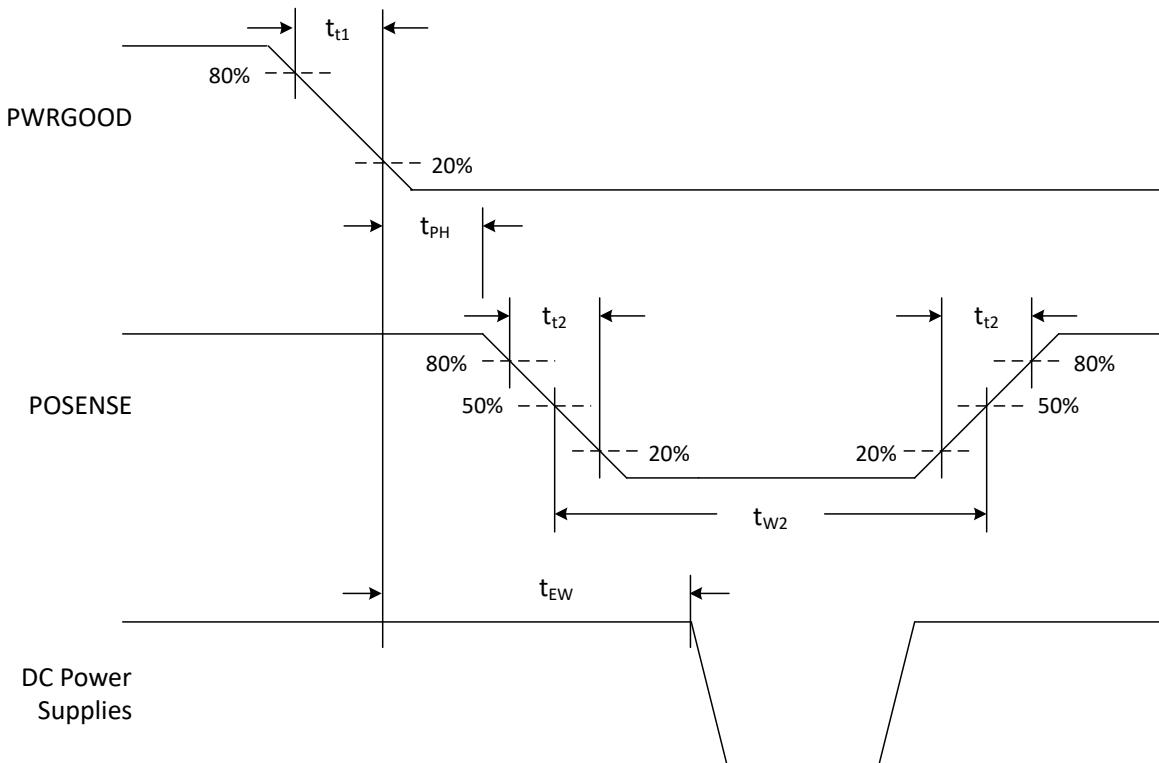


图 5-9. 断电时序 — 故障

5.14 DMD HSSI 时序要求

在自然通风条件下的工作温度范围内测得 (除非另有说明)

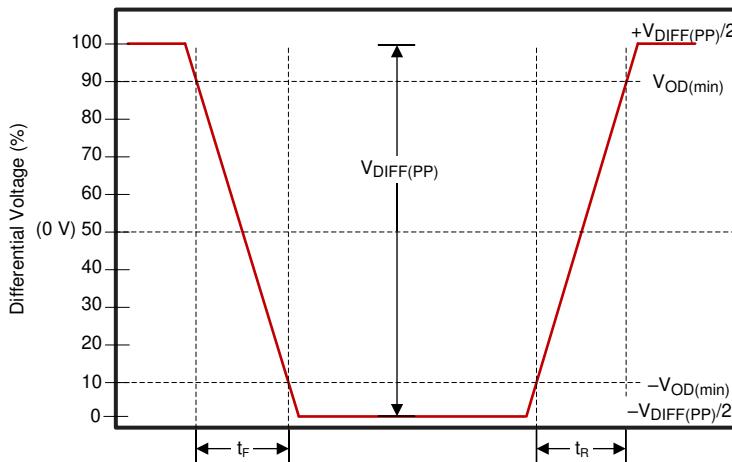
参数			最小值	标称值	最大值	单位
波特	波特率		2.4	3.2		Gbps 的高速接口
UI	单位间隔, 1/波特		312.5	416.7		ps
t_R	差分输出上升时间 ^{(1) (2)} (最小眼罩高度的 0% 至 100%)	数据	50	115		ps
		时钟	50	135		ps
t_F	差分输出下降时间 ^{(1) (2)} (最小眼罩高度的 0% 至 100%)	数据	50	115		ps
		时钟	50	135		ps
t_{x1}	最大眼图闭合 ⁽³⁾	过零时		0.15		UI
t_{x2}	最大眼图闭合 ⁽³⁾	最低眼图高度		0.375		UI
t_{EYE}	差分数据眼图 ⁽³⁾		0.7			UI
$t_{skIn2In}$	宏中的通道间偏斜 ⁽²⁾			200		ps
t_{skM2M}	宏间的通道间偏斜 ⁽²⁾			4UI+200		ps
f_{SSCD}	展频 (仅向下扩展) ⁽⁴⁾	当启用 SSCD 时		1		%
f_{MOD}	调制频率 ⁽⁴⁾	当启用 SSCD 时	78.125			KHz

(1) 上升和下降时间与 $V_{DIFF-pp}$ 相关, 如图 5-10 所示。

(2) 使用互连测得, 1.6GHz 时插入损耗为 3dB。

(3) 请参阅图 5-11。

(4) 当启用 SSCD 时, 可用的调制波形为三角形。



当以差分方式查看信号时, V_{CM} 将被移除。

图 5-10. HSSI 差分时序参数

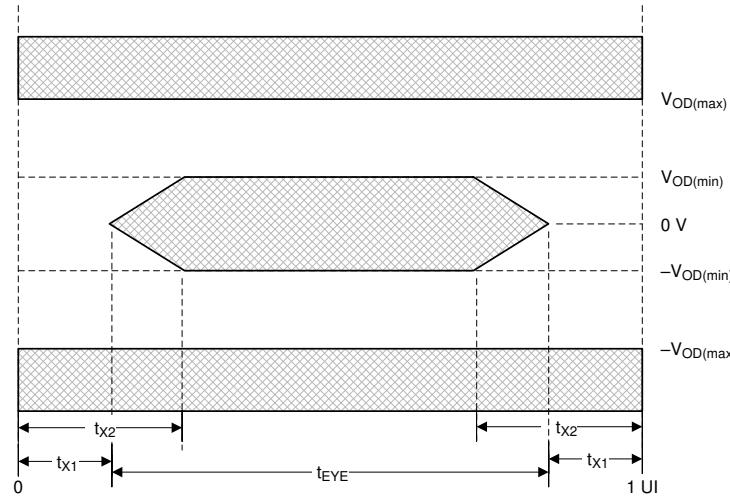


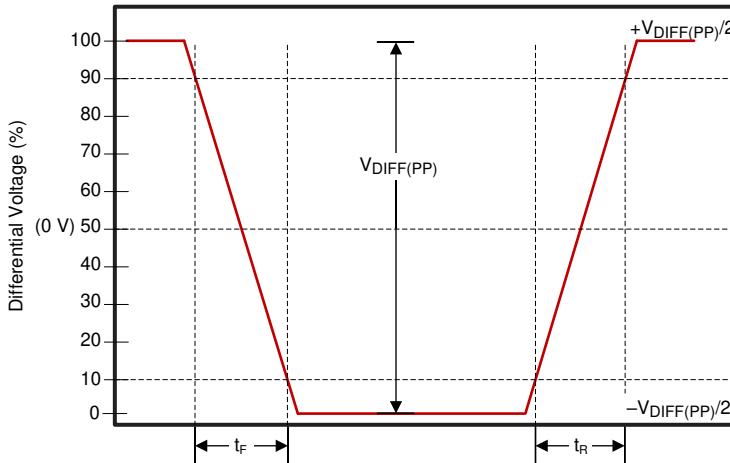
图 5-11. HSSI 眼图特性

5.15 DMD 低速 LVDS 时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	标称值	最大值	单位
fclock		119.966	120	120.034	MHz
t _R ⁽¹⁾	差分输出上升时间 (10% 至 90%)			250	ps
t _F ⁽¹⁾	差分输出下降时间 (10% 至 90%)			250	ps
DCD	占空比失真	45%		55%	

(1) 上升和下降时间与 $V_{DIFF-pp}$ 相关，如图 5-12 所示。



当以差分方式查看信号时， V_{CM} 将被移除。

图 5-12. DMD 低速差分时序参数

5.16 V-by-One 接口一般时序要求

参数 (1)			最小值	最大值	单位
f_{clock}	源时钟频率		40 (1 通道) 20 (1 通道 , 支持像素重复功能) (2)	600 (8 个通道)	MHz
$f_{link-ck}$	每通道链路时钟频率(3)	8 通道 4 通道 2 通道 1 通道	43 43 43 43 (21.5 , 支持像素重 复功能)	75 85 85 85	MHz
f_{link}	链路传输速率(3)	3 字节模式 4 字节模式 5 字节模式	2 2 2.15	2.55 3.0 3.0	Gbps 的高 速接口
t_{RBIT}	单位间隔	3 字节模式 4 字节模式 5 字节模式	392 294 294	500 500 500	ps ps ps
t_A	抖动裕度		0.25		UI
t_B	上升/下降时间		0.05		UI
t_{EYE}	差分数据眼图		0.5		UI
t_{skew_intra}	允许的差分对内偏斜			0.3	UI
t_{skew_inter}	允许的对内偏斜			5	UI
f_{skew_inter}	允许的对内频率偏斜		-300	300	ppm
T_j	总抖动		—	0.5	UI
R_j	随机抖动	10^{12} UI	—	0.2	UI
D_j-ISI	确定性抖动 (ISI)		—	0.2	UI
S_j	正弦抖动		—	0.1	UI

- (1) V-by-One 高速技术除了支持 3 字节、4 字节和 5 字节传输模式外，还支持 1、2、4 或 8 通道运行模式。
 (2) 像素重复方法用于支持较低时钟速率源，即以两倍的原始时钟速率来获得源，每个数据像素重复一次，消隐时间也会翻一倍。此方法必须在 DLPC7530 外部运行。收到后，DLPC7530 会丢弃每个重复的数据像素和消隐时钟。只有在单通道运行期间才支持像素重复。
 (3) 对于 V-by-One 高速技术，任何源都必须满足链路时钟速率和链路传输速率限制。

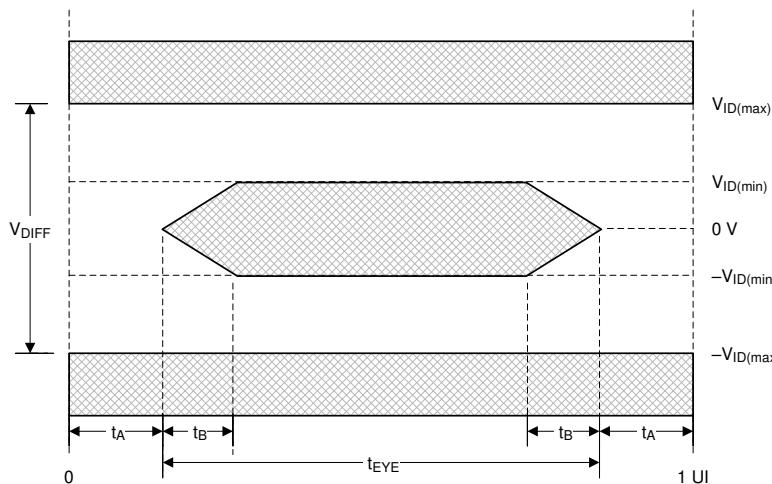


图 5-13. V-By-One 时序

5.17 FPD-Link 接口一般时序要求

参数		最小值	最大值	单位
f_{clock}	时钟频率、FPDA_CLK_P/N、FPDB_CLK_P/N	20.0 (1 端口) 10 (1 个具有像素重复功能的端口) ⁽¹⁾	330 (每个端口 165)	MHz
t_{clock}	时钟周期、FPDA_CLK_P/N、FPDB_CLK_P/N	3.03 (每个端口 6.06)	50 (1 端口) 100 (1 个具有像素重复功能的端口) ⁽¹⁾	ns
t_{RBIT}	单位间隔 (图 5-14)	0.865 (每个端口)	7.143 (1 端口)	ns
t_{skew_ports}	同一控制器上的端口之间和不同控制器上的端口之间的时钟到时钟偏斜裕度	1		时钟
t_A	时钟和数据之间的抖动裕度和偏斜裕度 (在同一端口上) (图 5-15)	$f_{clock} \leq 90\text{MHz}$	0.25	UI
		$f_{clock} > 90\text{MHz}$	0.23	UI
t_B	上升/下降时间 (图 5-15)	$f_{clock} \leq 90\text{MHz}$	333	ps
		$f_{clock} > 90\text{MHz}$	200	ps
t_{EYE}	差分数据眼图 (图 5-15)	$f_{clock} \leq 90\text{MHz}$	0.50	UI
		$f_{clock} > 90\text{MHz}$	0.54	UI

(1) 像素重复方法用于支持较低时钟速率源，即以两倍的原始时钟速率来获得源，每个数据像素重复一次，消隐时间翻一倍。像素加倍和双消隐都必须在 DLPC7530 外部完成。DLPC7530 会丢弃每个重复数据像素和消隐时钟。该器件仅在使用一个端口时支持像素重复。

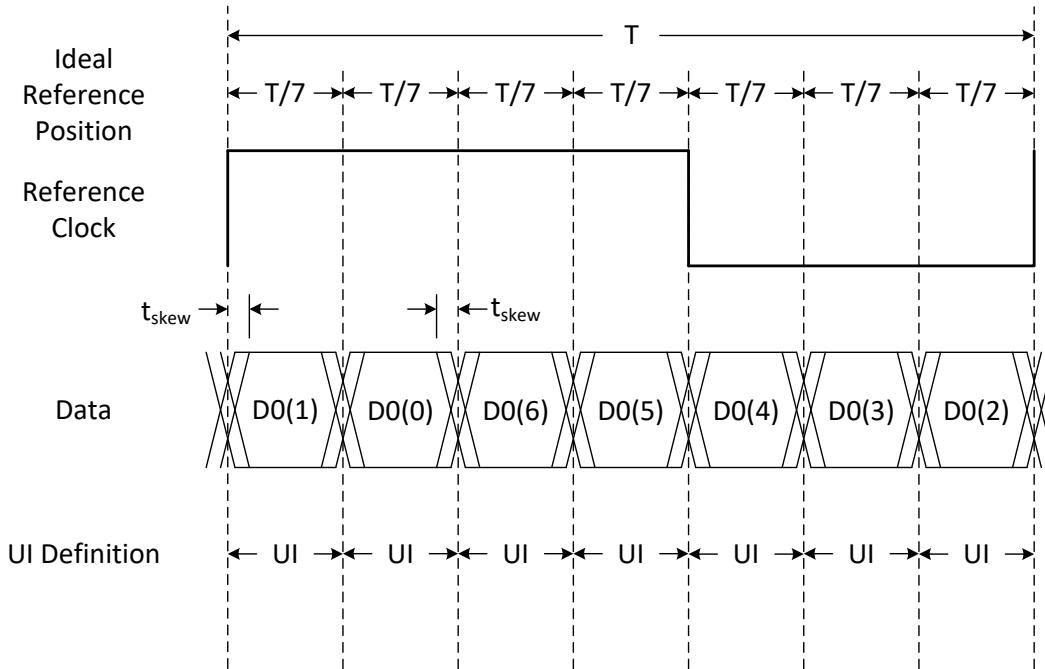


图 5-14. FPD-Link 数据偏斜

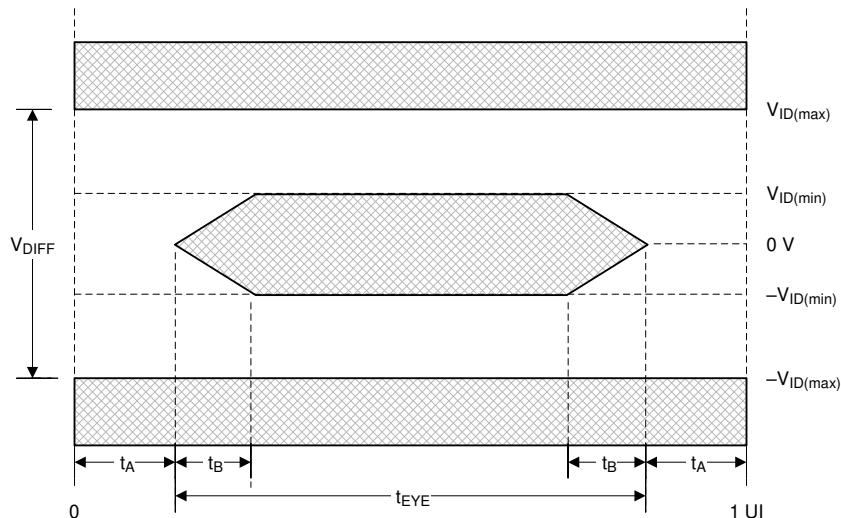


图 5-15. FPD-Link 时序

5.18 并行接口一般时序要求

参数			最小值	最大值	单位
f_{clock}	时钟频率 , PCLK		12 ⁽¹⁾	165	MHz
t_{clock}	时钟周期 , PCLK	50% 参考点	6.015	83.33 ⁽¹⁾	ns
$t_{w(H)}$	脉冲低电平持续时间 , PCLK	50% 参考点	2.3		ns
$t_{w(L)}$	脉冲持续时间高电平 , PCLK	50% 参考点	2.3		ns
t_s	建立时间 - 在 PCLK 有效边沿之前 HSYNC、DATEN、PDATA_X 有效 ⁽²⁾	50% 参考点	0.8		ns
t_h	保持时间 - 在 PCLK 有效边沿之后 HSYNC、DATEN、PDATA_X 有效 ⁽²⁾	50% 参考点	0.8		ns
t_t	转换时间 (t_r 和 t_f) - PCLK	20% 至 80% 参考点	0.6	2.0	ns
t_t	转换时间 (t_r 和 t_f) - 此端口上的所有其他信号	20% 至 80% 参考点	0.6	3.0	ns
t_t	转换时间 (t_r 和 t_f) - ALF_HSYNC、ALF_VSYNC、 ALF_CSYNC ⁽³⁾	20% 至 80% 参考点	0.6	3.0	ns
$t_{clkjitter}$	时钟抖动 , PCLK	在最大 f_{clock} 下	请参阅 ⁽⁴⁾ 。		ps

(1) 预计最小时钟速率会下降到大约 2.75MHz，但这尚未经过测试。尤其是在这些较低的速率下，必须考虑最小线速率（请参阅节 5.19）。

(2) PCLK 的有效边沿可由软件编程。适用于任何一个有效边沿（上升或下降）的规格。

(3) ALF_HSYNC、ALF_VSYNC 和 ALF_CSYNC 是同步信号

(4) 可接受的最大时钟周期抖动 = $\pm (t_{clock} - 5715\text{ps})$

5.19 源帧时序要求

请参阅图 5-16。

参数 ⁽¹⁾			最小值	最大值	单位
t_{p_vsw}	VSYNC 有效脉冲宽度	50% 基准点	1	127	行
t_{p_vbp}	垂直后沿 (VBP) ⁽²⁾	50% 基准点	2 ⁽³⁾		行
t_{p_vfp}	垂直前沿 (VFP) ⁽²⁾	50% 基准点	MAX[(TVB _{MIN} - 65), 1] ⁽³⁾		行
t_{p_tvb}	总垂直消隐 (TVB) ⁽²⁾	50% 基准点	请参阅 ⁽⁴⁾ 。		行
t_{p_hsw}	Hsync 有效脉冲宽度	50% 基准点	16		PCLK
t_{p_hbp}	水平后沿 (HBP) ⁽⁵⁾	50% 基准点	5 (数字视频源) 65 (模拟视频源)		PCLK
t_{p_hfp}	水平前沿 (HFP) ⁽⁵⁾	50% 基准点	2		PCLK
t_{p_thb}	总水平消隐 (THB) ⁽⁵⁾	50% 基准点	20 (数字视频源) 80 (模拟视频源) ⁽⁶⁾		PCLK
f_{line}	水平线速率		37.354		KHz
APPL	每行有效像素数		640	4096	像素
ALPF	每帧有效行数		480	2160 (正常)	行

(1) 表中的要求适用于所有外部源。

(2) 垂直消隐参数定义：

- a. 垂直后沿：第一个有效行从 VSYNC 的前沿到 HSYNC 的前沿的时间，包括 VSYNC 脉冲宽度 t_{p_vsw} 。
- b. 垂直前沿：从帧中最后一个有效行之后的 HSYNC 前沿到 VSYNC 前沿的时间
- c. 总垂直消隐： $VBP + VFP = TVB$ 。

(3) 只要满足 VFP 和 VBP 最小值，就可以根据需要分配所需的垂直消隐（每个 TVB）。

(4) 可以使用以下等式计算最小 TVB：

$TVB_{min} = 11 + \text{ROUNDUP}(LLS_VFP_MIN \times (\text{Source_ALPF}/\text{VPS_ALPF}))$ ，其中：

- a. LLS_VFP_MIN (正常模式) = 22
- b. SOURCE_ALPF = 传入源的每帧有效行数
- c. $VPS_ALPF = 1080$ (适用于 1920×1080 原生产品和 3840×2160 4 路 XPR 产品)
- d. 根据正在进行的视频处理，可能需要较少的 TVB_{min} 消隐。驱动最坏情况最小值的配置是结合了缩放、扭曲和梯形校正功能的最大（或接近最大）能力的配置。
- e. 这适用于所有源（节 6.4）。其他源需要在最终应用中进行直接测试。
- f. 采用 CVT 1.2 源的最低推荐 TVB 为 23。

(5) 水平消隐参数定义：

- a. 水平后沿：从 HSYNC 前沿到 DATEN 上升沿的时间，包括 HSYNC 脉冲宽度 t_{p_hsw} 。
- b. 水平前沿：从 DATEN 下降沿到 HSYNC 前沿的时间。
- c. 总水平消隐： $HBP + HFP = THB$ 。

(6) 只要满足 HFP 和 HBP 最小值要求，就可以根据需要分配所需的水平消隐（每个 THB）。

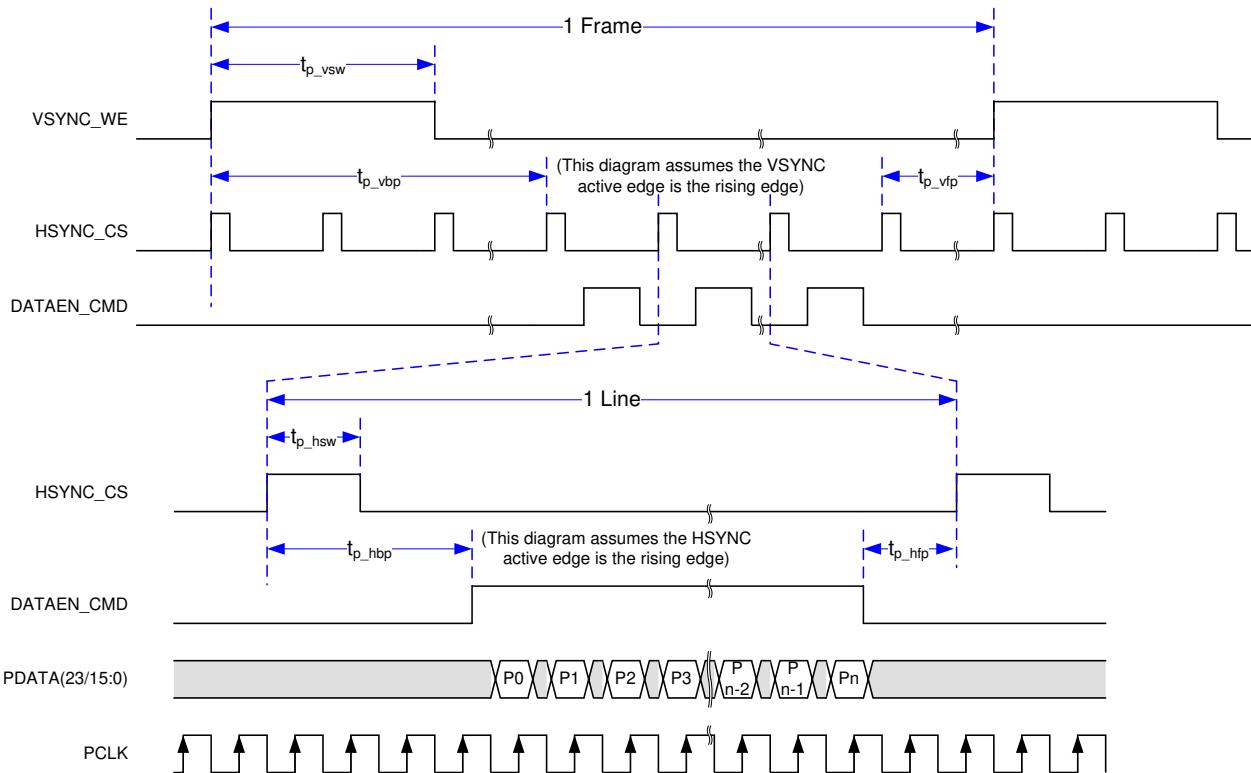


图 5-16. 源帧时序

5.20 同步串行端口接口时序要求

适用于 SSP0、SSP1 和 SSP2 (1) (2)

参数		最小值	最大值	单位
SSP 控制器				
f_{clock}	时钟频率 , SSPx_CLK	50% 至 50% 参考点	0.38	39.0 MHz
t_{clock}	时钟周期 , SSPx_CLK	50% 至 50% 参考点	25.6	3632 ns
$t_{w(L)}$	脉冲低电平持续时间 , SSPx_CLK	50% 至 50% 参考点	12.0	ns
$t_{w(H)}$	脉冲高电平持续时间 , SSPx_CLK	50% 至 50% 参考点	12.0	ns
t_{delay}	输出延迟 - SSPx_TXD (MOSI)		- 2.5	2.5 ns
t_{su}	建立时间 - SSPx_RXD (MISO)	50% 至 50% 参考点	15.0	ns
t_h	保持时间 - SSPx_RXD (MISO)	50% 至 50% 参考点	0	ns
t_t	转换时间 (t_r 和 t_f) - SSPx_RXD	20% 至 80% 参考点		1.5 ns
t_{clkjif}	时钟 抖动 , SSPx_CLK		300	ps
$t_{delay\Delta}$	时钟输出延迟 $\Delta \{ t_{w(H)} - t_{w(L)} \}$		500	ps
SSP 外设				
t_{delay}	输出延迟 - SSPx_TXD (MOSI)		0	15 ns
t_{su}	建立时间 - SSPx_RXD (MISO)	50% 至 50% 参考点	2.5	ns
t_h	保持时间 - SSPx_RXD (MISO)	50% 至 50% 参考点	2.5	ns

- (1) 如表 5-2 和图 5-17 所示，DLPC7530 SPI 接口支持 SPI 模式 0、1、2 和 3 (即，两种时钟极性和两种时钟相位)。因此，每个 SPI 接口配置都必须设置为与使用的 SPI 模式相匹配。
- (2) 在大多数 SPI 应用中，控制器和外围器件都使用一个时钟沿来传输数据，并使用另一个沿来采样接收的数据。这称为标准 SPI 协议。为了更大限度地发挥 SPI_CLK 频率的潜力，也可以将 SPI 控制器设计为在用于传输下一个数据输出 (MOSI) 位的同一时钟边沿上对数据输

入(MISO)位进行采样。这称为增强型SPI协议。DLPC7530 SPI控制器实现支持两种协议(SPI接口配置的一部分)，但是，要使用“增强型SPI协议”，外围器件必须满足图5-18中所示的要求。

表 5-2. SPI 时钟模式

SPI 时钟模式	SPI 时钟极性	SPI 时钟相位
0	0	0
1	0	1
2	1	0
3	1	1

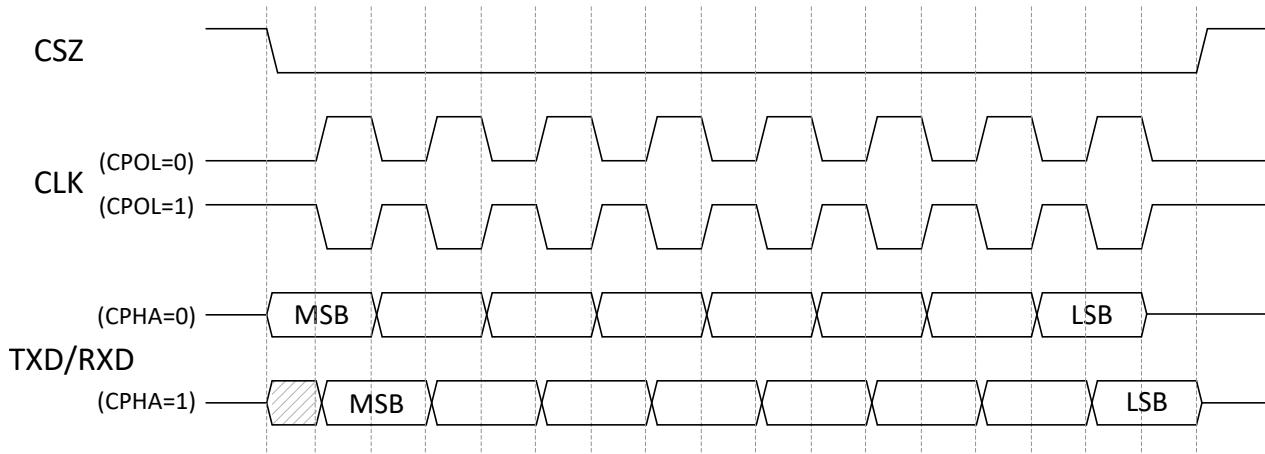


图 5-17. SPI 时钟模式的时序图

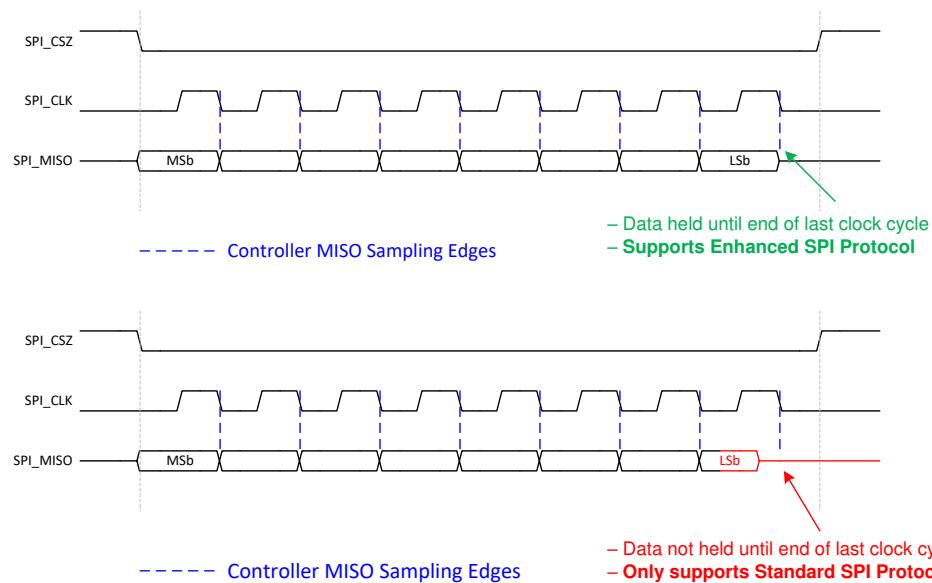


图 5-18. 增强型 SPI 协议的要求

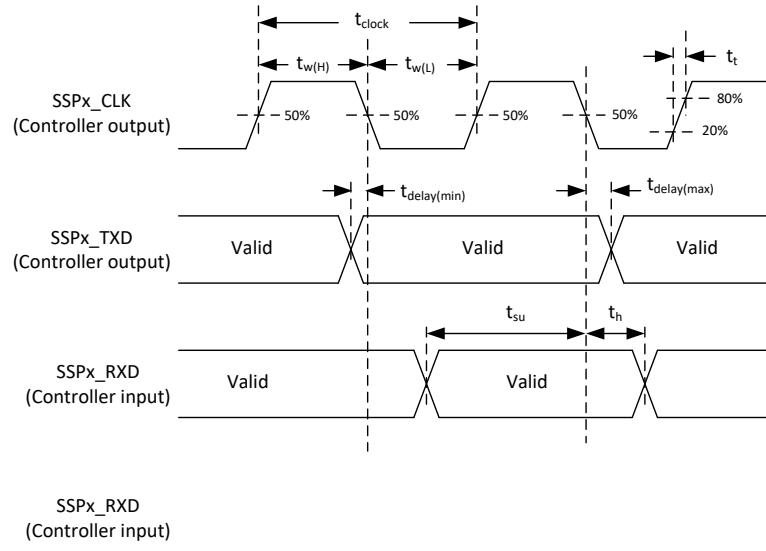


图 5-19. SSP 控制器 (模式 0/3) 的时序图

5.21 控制器和目标 I²C 接口时序要求

适用于 IIC0、IIC1 和 IIC2

参数 ⁽¹⁾		最小值	最大值	单位
f_{clock}	时钟频率、IIC _x _SCL ⁽²⁾ (50% 参考点)	全速	400	kHz
		标准模式	100	kHz
C_L	容性负载 (每个总线)			200 pF

- (1) 根据 I²C 总线规范，符合所有 I²C 时序 (指定的容性负载除外)。有关参考信息，请参阅 Phillips-NXP 规范的版本 2.1。
(2) 根据定义，I²C 事务会以总线上最慢器件的速度运行。全速运行需要总线上的所有其他 I²C 器件支持全速运行。线路长度 (由于其电容) 以及 I²C 上拉电阻器的值可以降低可获得的时钟速率。

5.22 可编程输出时钟时序要求

参数		最小值	最大值	单位
f_{clock}	时钟频率，OCLKA ⁽¹⁾	0.19	48.75	MHz
t_{clock}	时钟周期，OCLKA	20.52	5263.15	ns
$t_{w(H)}$	脉冲持续时间高电平，OCLKA (50% 参考点)	$(t_{clock}/2) - 2$		ns
$t_{w(L)}$	脉冲持续时间低电平，OCLKA (50% 参考点)	$(t_{clock}/2) - 2$		ns
$t_{cclkjif}$	抖动，OCLKA		200	ps
f_{clock}	时钟频率，OCLKB ⁽¹⁾	0.19	48.75	MHz
t_{clock}	时钟周期，OCLKB	20.52	5263.15	ns
$t_{w(H)}$	脉冲持续时间高电平，OCLKB (50% 参考点)	$(t_{clock}/2) - 2$		ns
$t_{w(L)}$	脉冲持续时间低电平，OCLKB (50% 参考点)	$(t_{clock}/2) - 2$		ns
$t_{cclkjif}$	抖动，OCLKB		200	ps
f_{clock}	时钟频率，OCLKC ⁽¹⁾	0.19	48.75	MHz
t_{clock}	时钟周期，OCLKC	20.52	5263.15	ns
$t_{w(H)}$	脉冲持续时间高电平，OCLKC (50% 参考点)	$(t_{clock}/2) - 2$		ns

参数		最小值	最大值	单位
$t_{w(L)}$	脉冲持续时间低电平 , OCLKC (50% 参考点)	$(t_{clock}/2) - 2$		ns
$t_{cclkj�}$	抖动 , OCLKC		200	ps
f_{clock}	时钟频率 , OCLKD ⁽¹⁾	0.19	48.75	MHz
t_{clock}	时钟周期 , OCLKD	20.52	5263.15	ns
$t_{w(H)}$	脉冲持续时间高电平 , OCLKD (50% 参考点)	$(t_{clock}/2) - 2$		ns
$t_{w(L)}$	脉冲持续时间低电平 , OCLKD (50% 参考点)	$(t_{clock}/2) - 2$		ns
$t_{cclkj�}$	抖动 , OCLKD		200	ps

- (1) a. OCLKA 是专用引脚，而 OCLKB 至 OCLKD 可通过 GPIO 用作备选功能。
 b. OCLKA 至 OCLKD 的频率是可编程的，每个都具有 0.77MHz 的上电默认频率。此默认频率对于 OCLKB 到 OCLKD 没有意义，因为必须将它们配置为备用 GPIO 功能，然后才能用作时钟输出。

5.23 JTAG 边界扫描接口时序要求 (仅限调试)

请参阅图 5-20

参数		最小值	最大值	单位	
f_{clock}	时钟频率 , TCK		20	MHz	
t_{clock}	时钟周期 , TCK	50		ns	
$t_{w(H)}$	脉冲低电平持续时间 , TCK	50% 参考点	23	ns	
$t_{w(L)}$	脉冲持续时间高电平 , TCK	50% 参考点	27	ns	
t_s	建立时间 - TCK ↑ 前 TDI 有效	50% 参考点	10	ns	
t_h	保持时间 - TCK ↑ 后 TDI 有效	50% 参考点	10	ns	
t_s	建立时间 - TCK ↑ 前 TMS1 有效	50% 参考点	10	ns	
t_h	保持时间 - TCK ↑ 后 TMS1 有效	50% 参考点	10	ns	
t_t	转换时间 (t_r 和 t_f)	20% 至 80% 参考点	3	ns	
t_{delay}	输出延迟 , TCK ↓ 至 TDO1	60pF 负载	0	15	ns

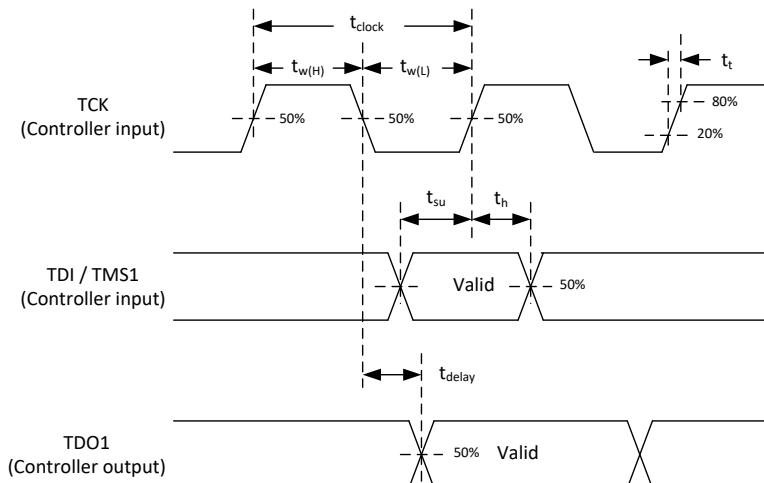


图 5-20. JTAG 边界扫描的时序图

5.24 JTAG ARM 多 ICE 接口时序要求 (仅限调试)

请参阅图 5-21。

参数		最小值	最大值	单位
f_{clock}	时钟频率 , TCK		8.33	MHz
t_{clock}	时钟周期 , TCK		120	ns
$t_{w(H)}$	脉冲低电平持续时间 , TCK	50% 参考点	50	ns
$t_{w(L)}$	脉冲持续时间高电平 , TCK	50% 参考点	50	ns
t_s	建立时间 - TCK ↑ 前 TDI 有效	50% 参考点	15	ns
t_h	保持时间 - TCK ↑ 后 TDI 有效	50% 参考点	15	ns
t_s	建立时间 - TCK ↑ 前 TMS2 有效	50% 参考点	15	ns
t_h	保持时间 - TCK ↑ 后 TMS2 有效	50% 参考点	15	ns
t_t	转换时间 (t_r 和 t_f)	20% 至 80% 参考点	5	ns
t_{delay}	输出延迟 , TCK ↓ 至 TDO2	0	15	ps

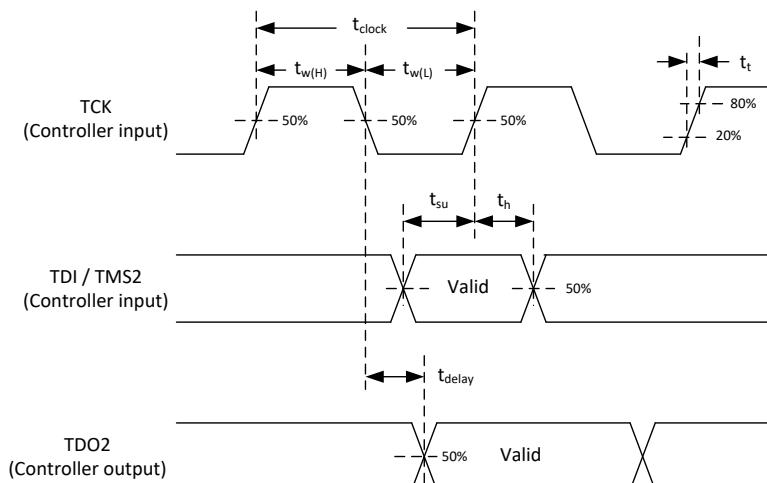


图 5-21. JTAG ARM 多 ICE 的时序图

5.25 多跟踪 ETM 接口时序要求

请参阅图 5-22。

参数 (1)			最小值	最大值	单位
f_{clock}	时钟频率 , ETM_TRACECLK			41.56	MHz
t_{clock}	时钟周期 , ETM_TRACECLK		24.1		ns
$t_{w(H)}$	脉冲低电平持续时间 , ETM_TRACECLK	50% 基准点	11.2		ns
$t_{w(L)}$	脉冲高电平持续时间 , ETM_TRACECLK	50% 基准点	11.2		ns
t_{delay}	输出延迟 , ETM_TRACECLK \uparrow 至 “ETM_OUTPUTs” (2)		3.0	9.0	ps
t_{delay}	输出延迟 , ETM_TRACECLK \downarrow 至 “ETM_OUTPUTs” (2)		3.0	9.0	ps

- (1) 跟踪接口是源同步 DDR 接口。TRACE_CLK 具有可编程延迟，可用于将其边缘居中到跟踪数据的中心，从而优化性能。
(2) “ETM_OUTPUTs”是 TSTPT_(7:0) 和 ETM_TRACECTL。

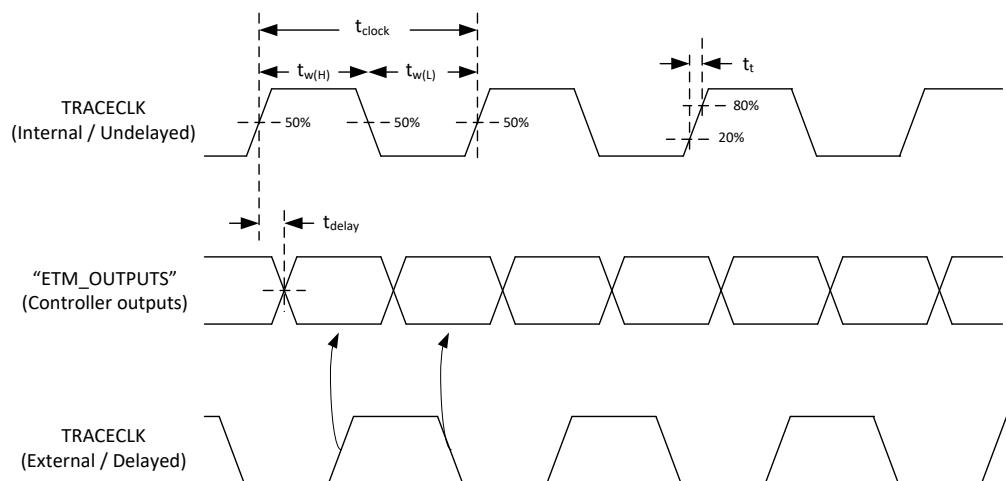


图 5-22. 多跟踪 ETM 的时序图

6 详细说明

6.1 概述

DLPC7530 是一款高分辨率数字微镜器件 (DMD) 控制器。与 DLP472NE 和 DLP651NE DMD 以及 DLPA100 电源和电机控制器结合使用时，DLPC7530 可实现低成本、高亮度 1080p 显示。DLPC7530 支持高达 240Hz 的 1080p 视频和 120Hz 的 3D 视频。输入格式包括 RBG、YCbCr 和 ICtCp (HDR10)。高级视频和颜色处理包括 HDR10、改进的线性光空间处理、DynamicBlack、帧速率转换和完全参数化的表面变形引擎。它接受 10 位 V-by-One®、FPD-Link™ 和并行数据输入。DLPA100 具有针对 LED、激光荧光、RGB 激光和混合照明的完整光源控制，并且包括用于闪存存储的存储器总线。控制接口包括 SPI、I²C、UART、JTAG 和 USB2.0 OTG。

6.2 功能方框图

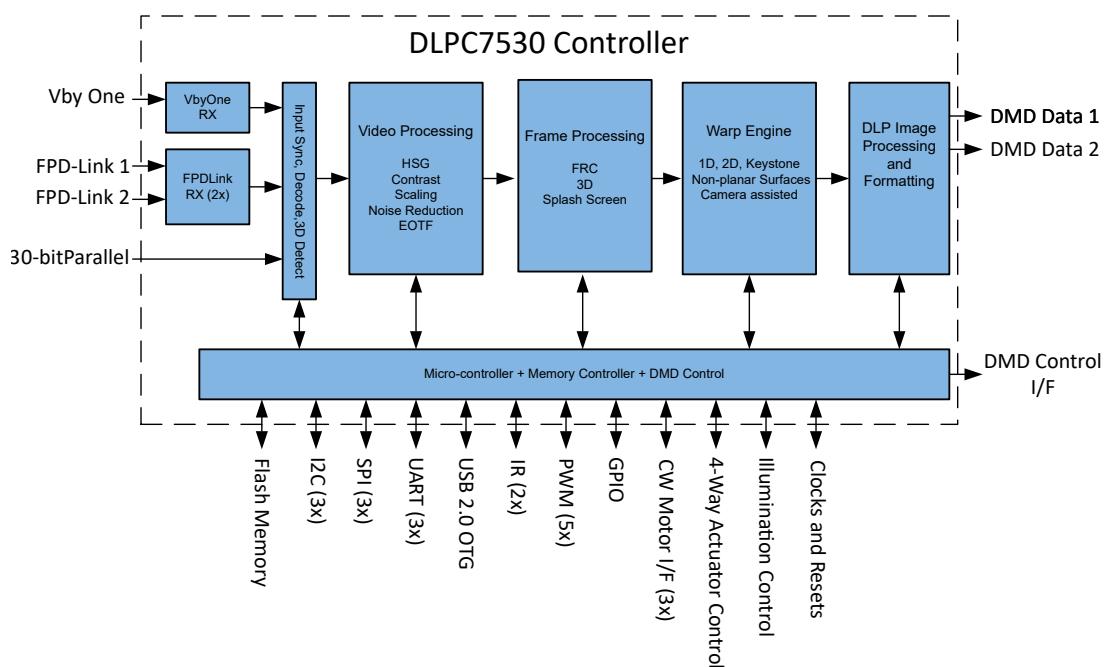


图 6-1. 功能方框图

6.3 特性说明

6.3.1 输入源

表 6-1. 支持的输入源参数 ⁽¹⁾

接口	接受的位/像素 (最大值)	已处理的位/像素 (最大值)	源分辨率 : 2D		源分辨率 : 3D (每眼) ⁽²⁾⁽³⁾
			最小值	最大值	
FPD-Link	10	10	请参阅 ⁽⁴⁾ 。	3840 × 2160	3840 × 2160 (FS) 3840 × 2160 (VP) 1024 × 1200 (HPH)
V-by-One	12	10	请参阅 ⁽⁵⁾ 。	3840 × 2160	3840 × 2160 (FS) 3840 × 2160 (VP) 1024 × 1200 (HPH)
并行	10	10	640 × 480	2048 × 1080 或 1920 × 1200 (FS) 或 1920 × 1200	2048 × 1080 或 1920 × 1200 (FS) 2048 × 1200 (VP) 1024 × 1200 (HPH)

- (1) 用户必须确保特定接口 (例如 FPD-Link) 所需的分辨率处于该接口的带宽限制范围内。某些标准垂直速率 (例如 60Hz) 的分辨率可能并不适用于所有接口。
(2) FS = 帧序列 (全分辨率)、VP = 垂直打包 (全分辨率)、HPH = 水平打包 (半分辨率)
(3) 使用低延时配置时，仅支持帧序列 3D 源，只能通过两种方式中的一种来支持这些源 (因为使用低延时配置时，扭曲块被禁用)。分别是：
 - 对于低帧速率 3D 源 (例如 48Hz、60Hz/眼)，必须使用序列将显示速率增加到 n 个合适的值 (例如 144Hz、120Hz/眼)。
 - 对于高帧速率 3D 源 (例如 120Hz/眼)，该源被视为 2D 源并直接通过，因为该源将提供适当的显示速率。
(4) FPD-Link 接口的最小时钟速率限制了此接口可支持的最小分辨率。
(5) V-by-One 接口的最小时钟速率和链路速率以及字节模式限制了该接口可支持的最小分辨率。该接口支持 3 字节、4 字节和 5 字节模式。

6.3.2 处理延迟

DLPC7530 根据源类型和在源上执行的选定处理步骤，引入了可变数量的场/帧延迟。为了实现理想的音频/视频同步，必须在音频路径中匹配此延迟。下表定义了各种视频延迟情形，可协助您进行音频匹配。

采用帧速率转换 (FRC) 时，输入和输出速率不同，因此通过 FRC 的延迟是可变的。

6.3.3 并行接口

DLPC7530 控制器支持符合标准图形接口协议的单个 30 位并行接口，包括垂直同步信号 (VSYNC)、水平同步信号 (HSYNC)、数据有效信号 (DATEN)、30 位数据总线 (PDATA_xy) 和像素时钟 (PCLK)。两个同步的极性都是可编程的。[并行接口一般时序要求](#) 展示了这些信号之间的关系。对于少于 10 位/分量的数据源，每个分量的数据必须是对齐的 **MSB**。

备注

FPD 端口 A 和 B 的输入引脚由并行端口共享。根据产品配置，这些引脚可用于 FPD 操作或并行端口操作。正常运行期间，无法在这两种接口配置之间进行切换。FPD 端口 C 的引脚保留供并行端口使用，仅在配置了并行端口操作时才能使用

当并行端口被使用时，VSYNC 必须一直保持激活。如果 VSYNC 丢失，DMD 必须转换到安全状态。当系统检测到 VSYNC 丢失时，会切换到主机在闪存中指定的测试图形或启动界面图像。

并行端口接口支持有限的通道间重映射（在闪存中指定），这有助于根据需要进行电路板布局布线。通道间重映射允许通道 A (PDATA_Ax)、B (PDATA_Bx) 或 C (PDATA_Cx) 的完整数据总线重新映射到其他两个数据通道中的任何一个。每个输入通道只能映射到一个唯一的目标通道。典型映射如[图 6-2](#) 所示。备用映射的示例如[图 6-3](#) 所示。并行端口通道重映射仅限于并行端口操作，不适用于 FPD 操作。

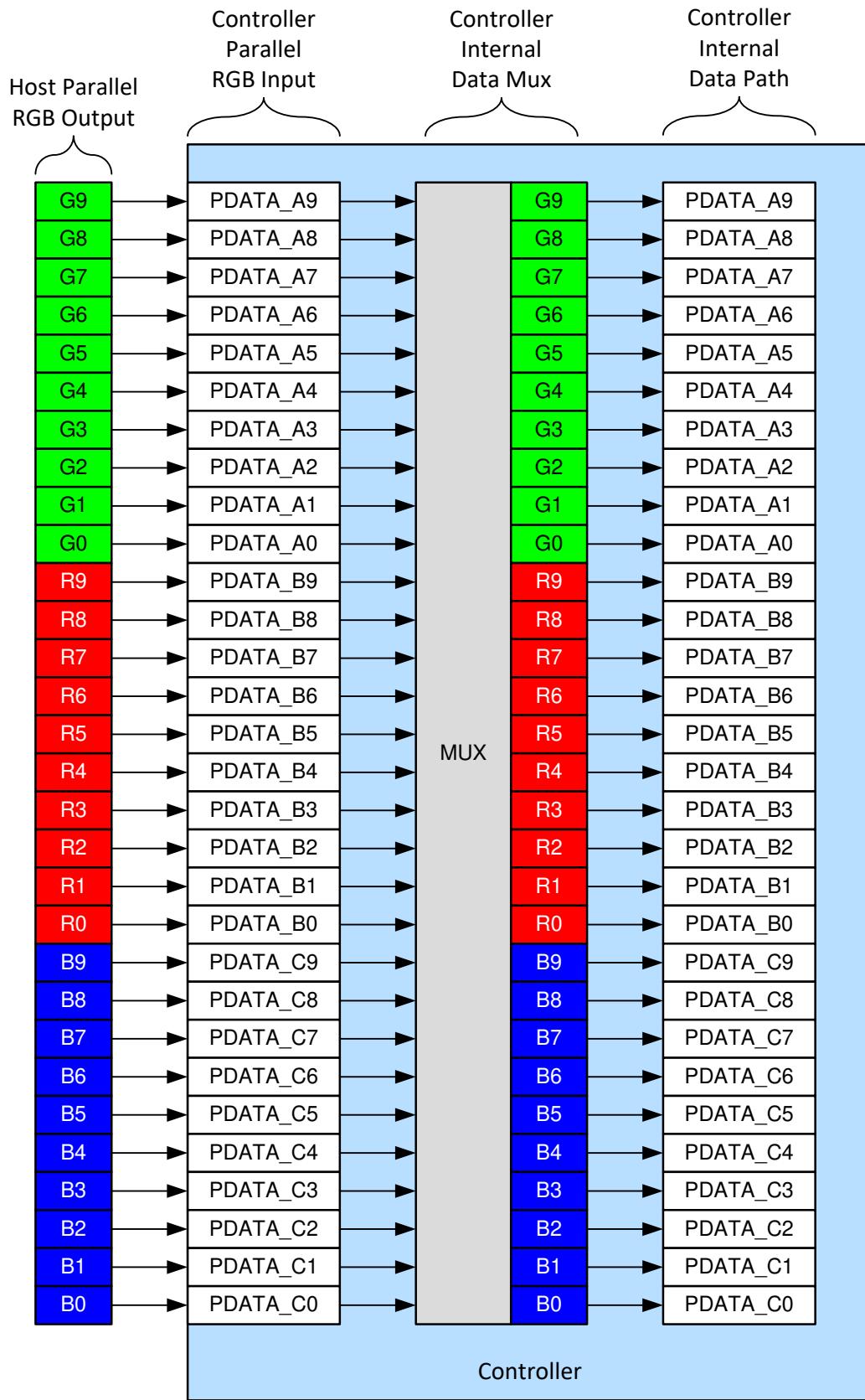


图 6-2. 标准并行端口通道映射

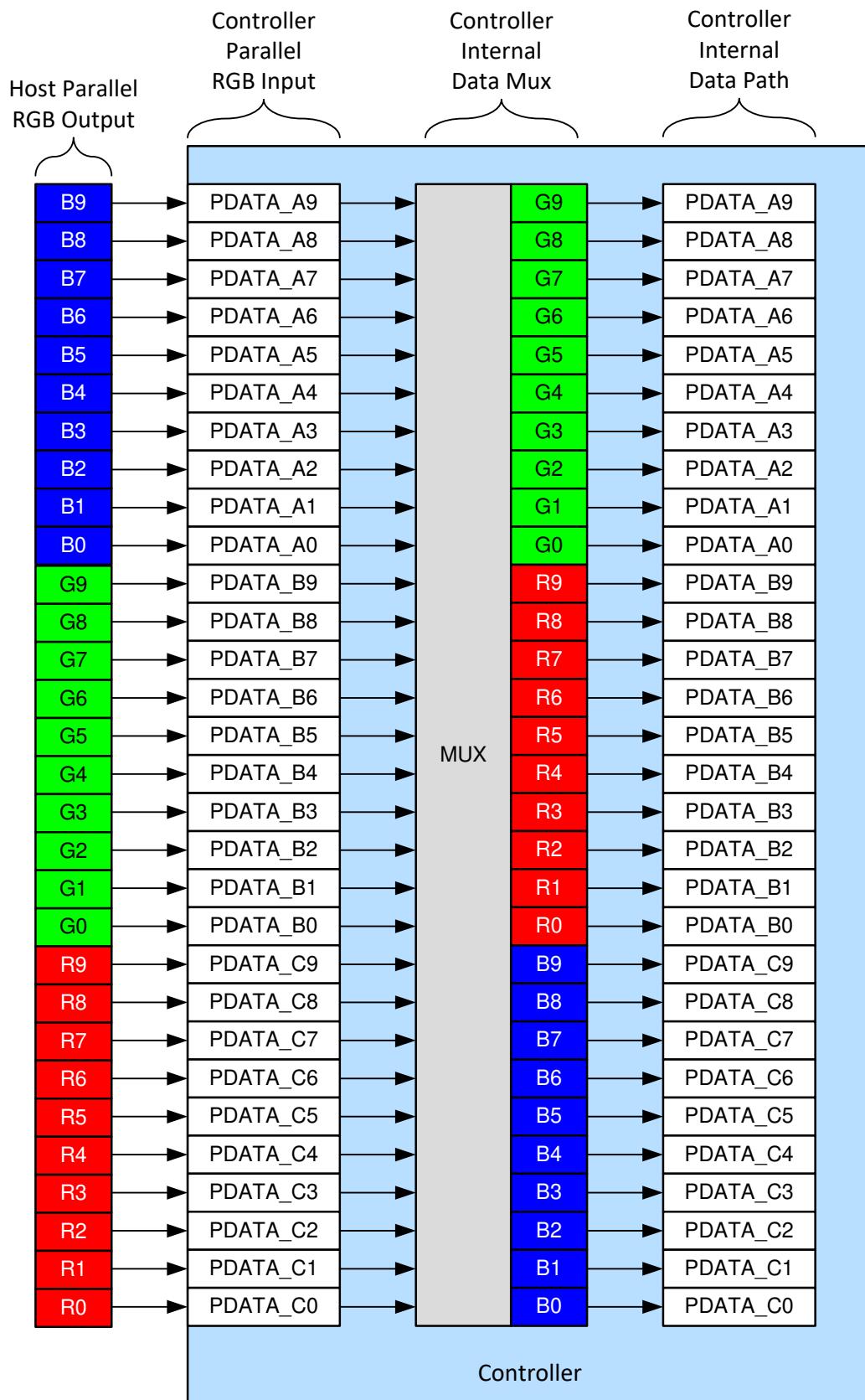


图 6-3. 备用并行端口通道映射示例

6.3.4 FPD-Link 接口

DLPC7530 支持两个 FPD-Link™ 5 通道端口，可配置为单端口使用（端口 A 或端口 B）或双端口使用（端口 A 和端口 B）。第三个 FPD 端口（端口 C）保留仅供并行端口使用。FPD 端口 A 和 B 在每个端口内支持有限的一组重映射选项，但端口之间不会进行重映射。使用此功能时，每个唯一通道对只能映射到一个唯一的目标通道对，且不支持通道间重映射（即，P 与 N 交换）。此外，可以交换 A 端口和 B 端口。通道和端口重映射（在闪存中指定）有助于根据需要进行电路板布局布线。图 6-4 展示了典型通道映射。备用通道映射的示例如图 6-5 所示。表 6-2 中显示了可用的特定端口内重映射选项。

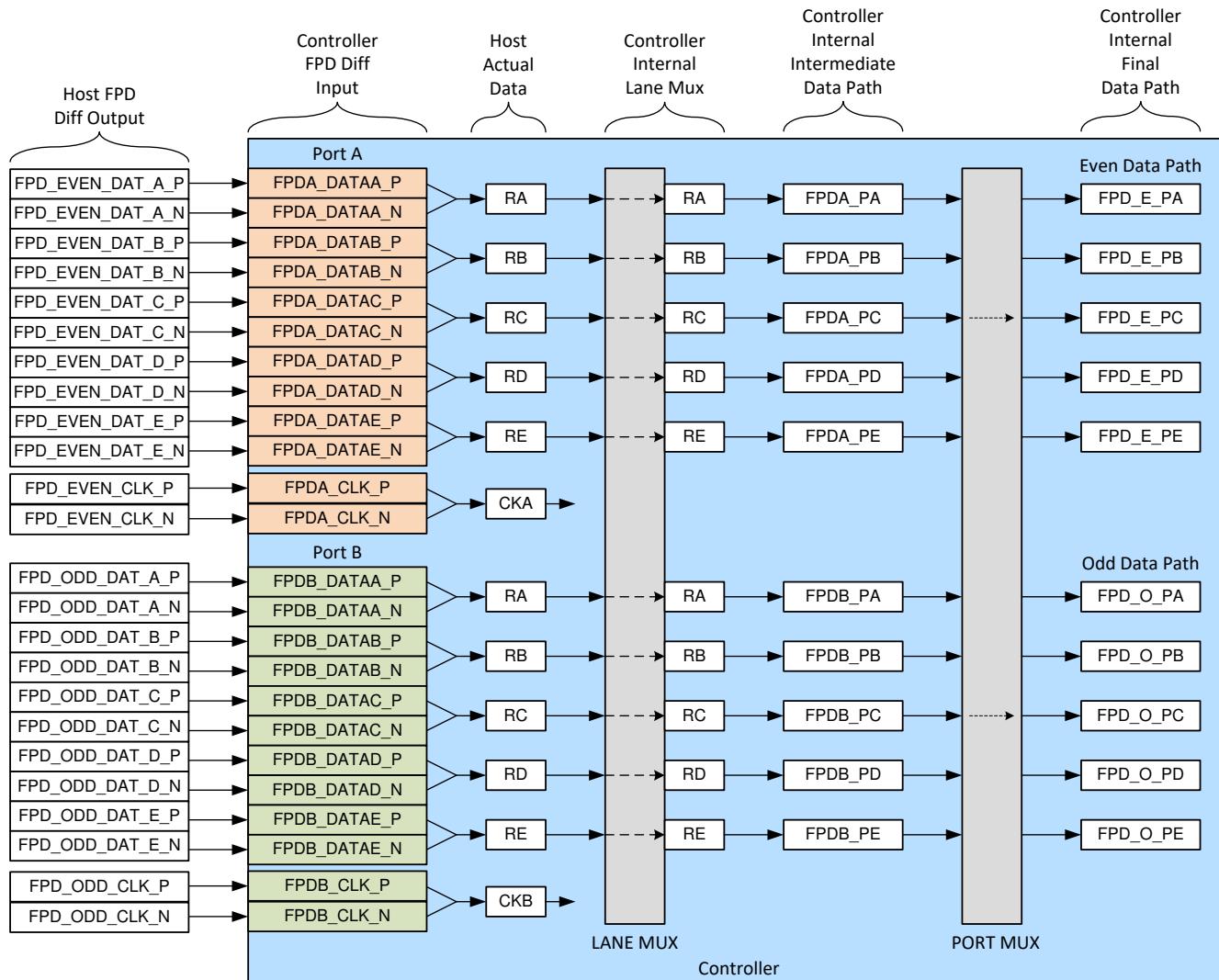


图 6-4. 典型 FPD-Link 端口通道映射示例

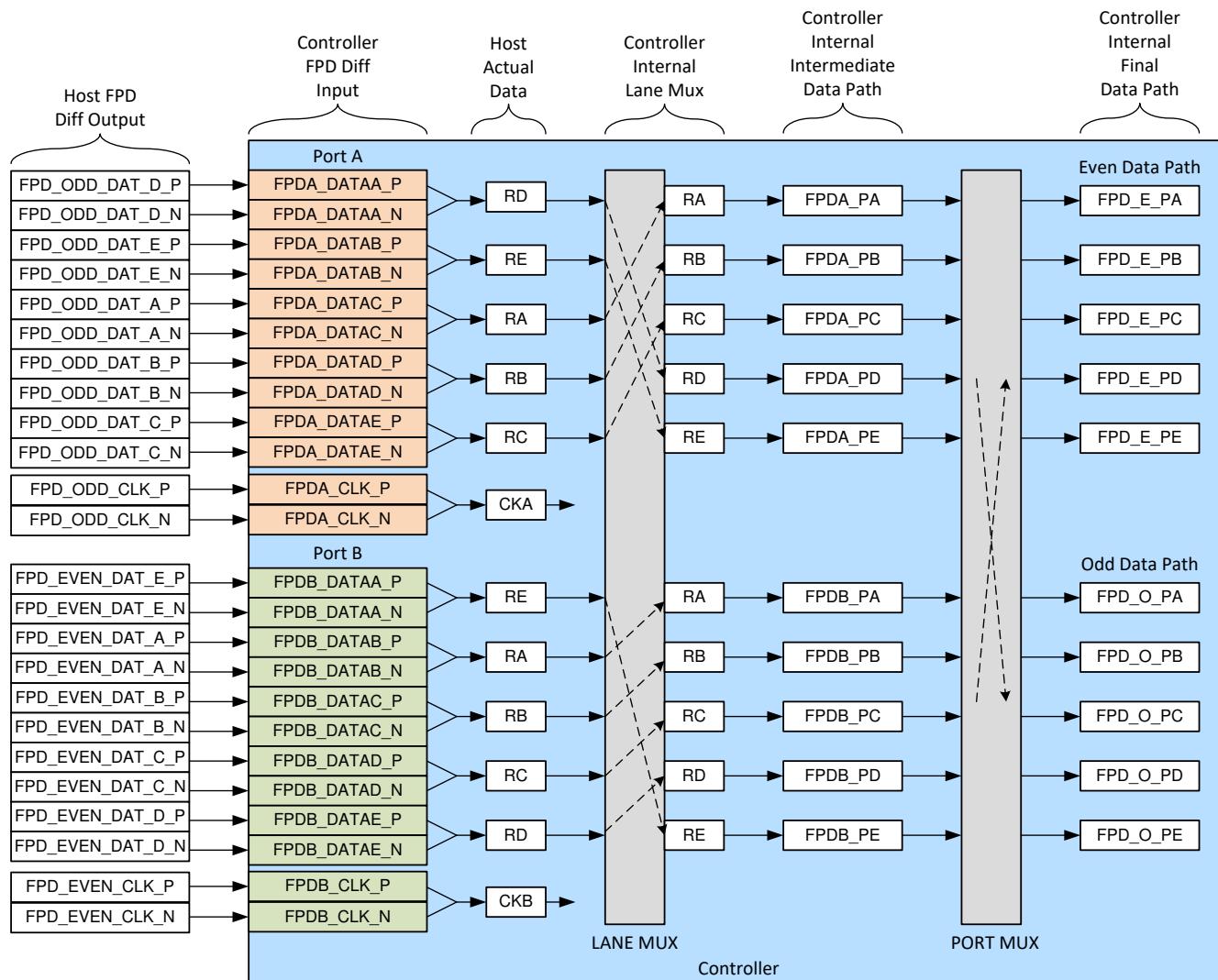


图 6-5. 备用 FPD-Link 端口通道映射示例

表 6-2. FPD-Link 端口内数据映射选项

端口 A 和 B 的映射选项	输入数据端口	内部最终数据路径
0	FPDx_DATAA_P/N	FPD_x_PA
1	FPDx_DATAB_P/N	FPD_x_PA
2	FPDx_DATAC_P/N	FPD_x_PA
3	FPDx_DATAAD_P/N	FPD_x_PA
4	FPDx_DATAE_P/N	FPD_x_PA
4	FPDx_DATAA_P/N	FPD_x_PB
0	FPDx_DATAB_P/N	FPD_x_PB
1	FPDx_DATAC_P/N	FPD_x_PB
2	FPDx_DATAAD_P/N	FPD_x_PB
3	FPDx_DATAE_P/N	FPD_x_PB
3	FPDx_DATAA_P/N	FPD_x_PC
4	FPDx_DATAB_P/N	FPD_x_PC
0	FPDx_DATAC_P/N	FPD_x_PC
1	FPDx_DATAAD_P/N	FPD_x_PC
2	FPDx_DATAE_P/N	FPD_x_PC
2	FPDx_DATAA_P/N	FPD_x_PD
3	FPDx_DATAB_P/N	FPD_x_PD
4	FPDx_DATAC_P/N	FPD_x_PD
0	FPDx_DATAAD_P/N	FPD_x_PD
1	FPDx_DATAE_P/N	FPD_x_PD
1	FPDx_DATAA_P/N	FPD_x_PE
2	FPDx_DATAB_P/N	FPD_x_PE
3	FPDx_DATAC_P/N	FPD_x_PE
4	FPDx_DATAAD_P/N	FPD_x_PE
0	FPDx_DATAE_P/N	FPD_x_PE

DLPC7530 独立于物理 FPD 接口的重映射，支持多个映射到实际物理接口的数据映射。共有三种不同的 30 位数据映射，支持两种不同的 24 位数据映射。FPD 源必须至少匹配其中一个映射，这些映射如表 6-3、表 6-4、表 6-5、表 6-6 和表 6-7 所示。

表 6-3. FPD-Link 数据映射到物理接口 (30 位模式 0)

位映射 - 30 位模式 0 ⁽¹⁾ (每像素 30 位)				
映射器输入	RGB/YCbCr 4:4:4	YCbCr 4:2:2	YCbCr 4:2:0	映射器输出
PA-6	G/Y[4]	Y[4]	Y00[4]	A(4)
PA-5	R/Cr[9]	Cb/Cr[9]	Cb/Cr00r[9]	B(9)
PA-4	R/Cr[8]	Cb/Cr[8]	Cb/Cr00[8]	B(8)
PA-3	R/Cr[7]	Cb/Cr[7]	Cb/Cr00[7]	B(7)
PA-2	R/Cr[6]	Cb/Cr[6]	Cb/Cr00[6]	B(6)
PA-1	R/Cr[5]	Cb/Cr[5]	Cb/Cr00[5]	B(5)
PA-0	R/Cr[4]	Cb/Cr[4]	Cb/Cr00[4]	B(4)
PB-6	B/Cb[5]	未使用	Y01[5]	C(5)
PB-5	B/Cb[4]	未使用	Y01[4]	C(4)
PB-4	G/Y[9]	Y[9]	Y00[9]	A(9)
PB-3	G/Y[8]	Y[8]	Y00[8]	A(8)
PB-2	G/Y[7]	Y[7]	Y00[7]	A(7)
PB-1	G/Y[6]	Y[6]	Y00[6]	A(6)
PB-0	G/Y[5]	Y[5]	Y00[5]	A(5)
PC-6	Data En	Data En	Data En	Data En
PC-5	VSYNC	VSYNC	VSYNC	VSYNC
PC-4	H SYNC	H SYNC	H SYNC	H SYNC
PC-3	B/Cb[9]	未使用	Y01[9]	C(9)
PC-2	B/Cb[8]	未使用	Y01[8]	C(8)
PC-1	B/Cb[7]	未使用	Y01[7]	C(7)
PC-0	B/Cb[6]	未使用	Y01[6]	C(6)
PD-6	3D_L/R_Ref	3D_L/R_Ref	3D_L/R_Ref	3D_Ref
PD-5	B/Cb[3]	未使用	Y01[3]	C(3)
PD-4	B/Cb[2]	未使用	Y01[2]	C(2)
PD-3	G/Y[3]	Y[3]	Y00[3]	A(3)
PD-2	G/Y[2]	Y[2]	Y00[2]	A(2)
PD-1	R/Cr[3]	Cb/Cr[3]	Cb/Cr00[3]	B(3)
PD-0	R/Cr[2]	Cb/Cr[2]	Cb/Cr00[2]	B(2)
PE-6	场	场	场	场
PE-5	B/Cb[1]	未使用	Y01[1]	C(1)
PE-4	B/Cb[0]	未使用	Y01[0]	C(0)
PE-3	G/Y[1]	Y[1]	Y00[1]	A(1)
PE-2	G/Y[0]	Y[0]	Y00[0]	A(0)
PE-1	R/Cr[1]	Cb/Cr[1]	Cb/Cr00[1]	B(1)
PE-0	R/Cr[0]	Cb/Cr[0]	Cb/Cr00[0]	B(0)

(1) 输入数据位被定义为 bit[9] 为最高有效位, bit[0] 为最低有效位。

表 6-4. FPD-Link 数据映射到物理接口 (30 位模式 1)

位映射 - 30 位模式 1 ⁽¹⁾ (每像素 30 位)				
映射器输入	RGB/YCbCr 4:4:4	YCbCr 4:2:2	YCbCr 4:2:0	映射器输出
PA-6	G/Y[2]	Y[2]	Y00[2]	A(2)
PA-5	R/Cr[7]	Cb/Cr[7]	Cb/Cr00r[7]	B(7)
PA-4	R/Cr[6]	Cb/Cr[6]	Cb/Cr00[6]	B(6)
PA-3	R/Cr[5]	Cb/Cr[5]	Cb/Cr00[5]	B(5)
PA-2	R/Cr[4]	Cb/Cr[4]	Cb/Cr00[4]	B(4)
PA-1	R/Cr[3]	Cb/Cr[3]	Cb/Cr00[3]	B(3)
PA-0	R/Cr[2]	Cb/Cr[2]	Cb/Cr00[2]	B(2)
PB-6	B/Cb[3]	未使用	Y01[3]	C(3)
PB-5	B/Cb[2]	未使用	Y01[2]	C(2)
PB-4	G/Y[7]	Y[7]	Y00[7]	A(7)
PB-3	G/Y[6]	Y[6]	Y00[6]	A(6)
PB-2	G/Y[5]	Y[5]	Y00[5]	A(5)
PB-1	G/Y[4]	Y[4]	Y00[4]	A(4)
PB-0	G/Y[3]	Y[3]	Y00[3]	A(3)
PC-6	Data En	Data En	Data En	Data En
PC-5	VSYNC	VSYNC	VSYNC	VSYNC
PC-4	H SYNC	H SYNC	H SYNC	H SYNC
PC-3	B/Cb[7]	未使用	Y01[7]	C(7)
PC-2	B/Cb[6]	未使用	Y01[6]	C(6)
PC-1	B/Cb[5]	未使用	Y01[5]	C(5)
PC-0	B/Cb[4]	未使用	Y01[4]	C(4)
PD-6	3D_L/R_Ref	3D_L/R_Ref	3D_L/R_Ref	3D_Ref
PD-5	B/Cb[9]	未使用	Y01[9]	C(9)
PD-4	B/Cb[8]	未使用	Y01[8]	C(8)
PD-3	G/Y[9]	Y[9]	Y00[9]	A(9)
PD-2	G/Y[8]	Y[8]	Y00[8]	A(8)
PD-1	R/Cr[9]	Cb/Cr[9]	Cb/Cr00[9]	B(9)
PD-0	R/Cr[8]	Cb/Cr[8]	Cb/Cr00[8]	B(8)
PE-6	场	场	场	场
PE-5	B/Cb[1]	未使用	Y01[1]	C(1)
PE-4	B/Cb[0]	未使用	Y01[0]	C(0)
PE-3	G/Y[1]	Y[1]	Y00[1]	A(1)
PE-2	G/Y[0]	Y[0]	Y00[0]	A(0)
PE-1	R/Cr[1]	Cb/Cr[1]	Cb/Cr00[1]	B(1)
PE-0	R/Cr[0]	Cb/Cr[0]	Cb/Cr00[0]	B(0)

(1) 输入数据位被定义为 bit[9] 为最高有效位, bit[0] 为最低有效位。

表 6-5. FPD-Link 数据映射到物理接口 (30 位模式 2)

位映射 - 30 位模式 2 ⁽¹⁾ (每像素 30 位)				
映射器输入	RGB/YCbCr 4:4:4	YCbCr 4:2:2	YCbCr 4:2:0	映射器输出
PA-6	G/Y[0]	Y[0]	Y00[0]	A(0)
PA-5	R/Cr[5]	Cb/Cr[5]	Cb/Cr00r[5]	B(5)
PA-4	R/Cr[4]	Cb/Cr[4]	Cb/Cr00[4]	B(4)
PA-3	R/Cr[3]	Cb/Cr[3]	Cb/Cr00[3]	B(3)
PA-2	R/Cr[2]	Cb/Cr[2]	Cb/Cr00[2]	B(2)
PA-1	R/Cr[1]	Cb/Cr[1]	Cb/Cr00[1]	B(1)
PA-0	R/Cr[0]	Cb/Cr[0]	Cb/Cr00[0]	B(0)
PB-6	B/Cb[1]	未使用	Y01[1]	C(1)
PB-5	B/Cb[0]	未使用	Y01[0]	C(0)
PB-4	G/Y[5]	Y[5]	Y00[5]	A(5)
PB-3	G/Y[4]	Y[4]	Y00[4]	A(4)
PB-2	G/Y[3]	Y[3]	Y00[3]	A(3)
PB-1	G/Y[2]	Y[2]	Y00[2]	A(2)
PB-0	G/Y[1]	Y[1]	Y00[1]	A(1)
PC-6	Data En	Data En	Data En	Data En
PC-5	VSYNC	VSYNC	VSYNC	VSYNC
PC-4	H SYNC	H SYNC	H SYNC	H SYNC
PC-3	B/Cb[5]	未使用	Y01[5]	C(5)
PC-2	B/Cb[4]	未使用	Y01[4]	C(4)
PC-1	B/Cb[3]	未使用	Y01[3]	C(3)
PC-0	B/Cb[2]	未使用	Y01[2]	C(2)
PD-6	3D_L/R_Ref	3D_L/R_Ref	3D_L/R_Ref	3D_Ref
PD-5	B/Cb[7]	未使用	Y01[7]	C(7)
PD-4	B/Cb[6]	未使用	Y01[6]	C(6)
PD-3	G/Y[7]	Y[7]	Y00[7]	A(7)
PD-2	G/Y[6]	Y[6]	Y00[6]	A(6)
PD-1	R/Cr[7]	Cb/Cr[7]	Cb/Cr00[7]	B(7)
PD-0	R/Cr[6]	Cb/Cr[6]	Cb/Cr00[6]	B(6)
PE-6	场	场	场	场
PE-5	B/Cb[9]	未使用	Y01[9]	C(9)
PE-4	B/Cb[8]	未使用	Y01[8]	C(8)
PE-3	G/Y[9]	Y[9]	Y00[9]	A(9)
PE-2	G/Y[8]	Y[8]	Y00[8]	A(8)
PE-1	R/Cr[9]	Cb/Cr[9]	Cb/Cr00[9]	B(9)
PE-0	R/Cr[8]	Cb/Cr[8]	Cb/Cr00[8]	B(8)

(1) 输入数据位被定义为 bit[9] 为最高有效位, bit[0] 为最低有效位。

表 6-6. FPD-Link 数据映射到物理接口 (24 位模式 0) (1)

位映射—24 位模式 0 (2) (每像素 24 位)				
映射器输入	RGB/YCbCr 4:4:4	YCbCr 4:2:2	YCbCr 4:2:0	映射器输出
PA-6	G/Y[0]	Y[0]	Y00[0]	A(2)
PA-5	R/Cr[5]	Cb/Cr[5]	Cb/C00r[5]	B(7)
PA-4	R/Cr[4]	Cb/Cr[4]	Cb/Cr00[4]	B(6)
PA-3	R/Cr[3]	Cb/Cr[3]	Cb/Cr00[3]	B(5)
PA-2	R/Cr[2]	Cb/Cr[2]	Cb/Cr00[2]	B(4)
PA-1	R/Cr[1]	Cb/Cr[1]	Cb/Cr00[1]	B(3)
PA-0	R/Cr[0]	Cb/Cr[0]	Cb/Cr00[0]	B(2)
PB-6	B/Cb[1]	未使用	Y01[1]	C(3)
PB-5	B/Cb[0]	未使用	Y01[0]	C(2)
PB-4	G/Y[5]	Y[5]	Y00[5]	A(7)
PB-3	G/Y[4]	Y[4]	Y00[4]	A(6)
PB-2	G/Y[3]	Y[3]	Y00[3]	A(5)
PB-1	G/Y[2]	Y[2]	Y00[2]	A(4)
PB-0	G/Y[1]	Y[1]	Y00[1]	A(3)
PC-6	Data En	Data En	Data En	Data En
PC-5	VSYNC	VSYNC	VSYNC	VSYNC
PC-4	H SYNC	H SYNC	H SYNC	H SYNC
PC-3	B/Cb[5]	未使用	Y01[5]	C(7)
PC-2	B/Cb[4]	未使用	Y01[4]	C(6)
PC-1	B/Cb[3]	未使用	Y01[3]	C(5)
PC-0	B/Cb[2]	未使用	Y01[2]	C(4)
PD-6	3D_L/R_Ref 或场	3D_L/R_Ref 或场	3D_L/R_Ref 或场	3D_Ref 或场
PD-5	B/Cb[7]	未使用	Y01[7]	C(9)
PD-4	B/Cb[6]	未使用	Y01[6]	C(8)
PD-3	G/Y[7]	Y[7]	Y00[7]	A(9)
PD-2	G/Y[6]	Y[6]	Y00[6]	A(8)
PD-1	R/Cr[7]	Cb/Cr[7]	Cb/Cr00[7]	B(9)
PD-0	R/Cr[6]	Cb/Cr[6]	Cb/Cr00[6]	B(8)
PE-6	未使用	未使用	未使用	未使用
PE-5	未使用	未使用	未使用	未使用
PE-4	未使用	未使用	未使用	未使用
PE-3	未使用	未使用	未使用	未使用
PE-2	未使用	未使用	未使用	未使用
PE-1	未使用	未使用	未使用	未使用
PE-0	未使用	未使用	未使用	未使用

(1) 为了支持 24 位数据，映射器会将每个 8 位颜色上移两位，并将输出位 A[1]、A[0]、B[1]、B[0]、C[1] 和 C[0] 强制设为值“0”。

(2) 输入数据位被定义为 bit[7] 为最高有效位，bit[0] 为最低有效位。

表 6-7. FPD-Link 数据映射到物理接口 (24 位模式 1) ⁽¹⁾

位映射 - 24 位模式 1 ⁽²⁾ (每像素 24 位)				
映射器输入	RGB/YCbCr 4:4:4	YCbCr 4:2:2	YCbCr 4:2:0	映射器输出
PA-6	G/Y[2]	Y[2]	Y00{2}	A(4)
PA-5	R/Cr[7]	Cb/Cr[7]	Cb/C00r[7]	B(9)
PA-4	R/Cr[6]	Cb/Cr[6]	Cb/Cr00[6]	B(8)
PA-3	R/Cr[5]	Cb/Cr[5]	Cb/Cr00[5]	B(7)
PA-2	R/Cr[4]	Cb/Cr[4]	Cb/Cr00[4]	B(6)
PA-1	R/Cr[3]	Cb/Cr[3]	Cb/Cr00[3]	B(5)
PA-0	R/Cr[2]	Cb/Cr[2]	Cb/Cr00[2]	B(4)
PB-6	B/Cb[3]	未使用	Y01[3]	C(5)
PB-5	B/Cb[2]	未使用	Y01[2]	C(4)
PB-4	G/Y[7]	Y[7]	Y00[7]	A(9)
PB-3	G/Y[6]	Y[6]	Y00[6]	A(8)
PB-2	G/Y[5]	Y[5]	Y00[5]	A(7)
PB-1	G/Y[4]	Y[4]	Y00[4]	A(6)
PB-0	G/Y[3]	Y[3]	Y00[3]	A(5)
PC-6	Data En	Data En	Data En	Data En
PC-5	VSYNC	VSYNC	VSYNC	VSYNC
PC-4	H SYNC	H SYNC	H SYNC	H SYNC
PC-3	B/Cb[7]	未使用	Y01[7]	C(9)
PC-2	B/Cb[6]	未使用	Y01[6]	C(8)
PC-1	B/Cb[5]	未使用	Y01[5]	C(7)
PC-0	B/Cb[4]	未使用	Y01[4]	C(6)
PD-6	3D_L/R_Ref 或场	3D_L/R_Ref 或场	3D_L/R_Ref 或场	3D_Ref 或场
PD-5	B/Cb[1]	未使用	Y01[1]	C(3)
PD-4	B/Cb[0]	未使用	Y01[0]	C(2)
PD-3	G/Y[1]	Y[1]	Y00[1]	A(3)
PD-2	G/Y[0]	Y[0]	Y00[0]	A(2)
PD-1	R/Cr[1]	Cb/Cr[1]	Cb/Cr00[1]	B(3)
PD-0	R/Cr[0]	Cb/Cr[0]	Cb/Cr00[0]	B(2)
PE-6	未使用	未使用	未使用	未使用
PE-5	未使用	未使用	未使用	未使用
PE-4	未使用	未使用	未使用	未使用
PE-3	未使用	未使用	未使用	未使用
PE-2	未使用	未使用	未使用	未使用
PE-1	未使用	未使用	未使用	未使用
PE-0	未使用	未使用	未使用	未使用

(1) 为了支持 24 位数据，映射器会将每个 8 位颜色上移两位，并将输出位 A[1]、A[0]、B[1]、B[0]、C[1] 和 C[0] 强制设为值“0”。

(2) 输入数据位被定义为 bit[7] 为最高有效位，bit[0] 为最低有效位。

6.3.5 V-by-One 接口

DLPC7530 控制器支持单个 8 通道 V-by-One 端口，可配置为 1、2、4 或 8 通道使用。此接口支持有限通道重映射，如表 6-8 所示。不支持通道内重映射（即 P 与 N 交换）。

表 6-8. V-by-One 接口通道重映射选项

配置 (1)	通道数	V-by-One 端口物理通道 (1)							
		LANE 7	LANE 6	LANE 5	LANE 4	LANE 3	LANE 2	LANE 1	LANE 0
1	8	7	6	5	4	3	2	1	0
2	8	1	0	2	3	4	5	6	7

(1) 有两个控制器通道映射选项，每个选项使用的通道数都要少于总数八个。

DLPC7530 与物理 V-by-One 接口的重映射无关，支持多个根据标准指定的数据映射（映射到实际物理接口）。V-by-One 源必须至少匹配其中一个映射。具体请参见表 6-9、表 6-10、表 6-11、表 6-12、表 6-13、表 6-14、表 6-15、表 6-16、表 6-17 和表 6-18。

表 6-9. 36bpp/30bpp RGB/YCbCr 4:4:4 的 V-by-One 数据映射

V-by-One 数据映射模式 0			
V-by-One 输入数据位	36bpp RGB/YCbCr 4:4:4 ⁽¹⁾	30bpp RGB/YCbCr 4:4:4	映射器输出
D[0]	R/Cr[4]	R/Cr[2]	B(2)
D[1]	R/Cr[5]	R/Cr[3]	B(3)
D[2]	R/Cr[6]	R/Cr[4]	B(4)
D[3]	R/Cr[7]	R/Cr[5]	B(5)
D[4]	R/Cr[8]	R/Cr[6]	B(6)
D[5]	R/Cr[9]	R/Cr[7]	B(7)
D[6]	R/Cr[10]	R/Cr[8]	B(8)
D[7]	R/Cr[11]	R/Cr[9]	B(9)
D[8]	G/Y[4]	G/Y[2]	A(2)
D[9]	G/Y[5]	G/Y[3]	A(3)
D[10]	G/Y[6]	G/Y[4]	A(4)
D[11]	G/Y[7]	G/Y[5]	A(5)
D[12]	G/Y[8]	G/Y[6]	A(6)
D[13]	G/Y[9]	G/Y[7]	A(7)
D[14]	G/Y[10]	G/Y[8]	A(8)
D[15]	G/Y[11]	G/Y[9]	A(9)
D[16]	B/Cb[4]	B/Cb[2]	C(2)
D[17]	B/Cb[5]	B/Cb[3]	C(3)
D[18]	B/Cb[6]	B/Cb[4]	C(4)
D[19]	B/Cb[7]	B/Cb[5]	C(5)
D[20]	B/Cb[8]	B/Cb[6]	C(6)
D[21]	B/Cb[9]	B/Cb[7]	C(7)
D[22]	B/Cb[10]	B/Cb[8]	C(8)
D[23]	B/Cb[11]	B/Cb[9]	C(9)
D[24]	-	-	-
D[25]	-	-	-
D[26]	B/Cb[2]	B/Cb[1]	C[0]
D[27]	B/Cb[3]	B/Cb[0]	C[1]
D[28]	G/Y[2]	G/Y[1]	A[0]
D[29]	G/Y[3]	G/Y[0]	A[1]
D[30]	R/Cr[2]	R/Cr[1]	B[0]
D[31]	R/Cr[3]	R/Cr[0]	B[1]

(1) 对于 36 位输入，每种颜色的 12 位会截断为 10 位，并丢弃两个最低有效位。

表 6-10. 27bpp RGB/YCbCr 4:4:4 的 V-by-One 数据映射

V-by-One 数据映射模式 1		
V-by-One 输入数据位	27bpp RGB/YCbCr 4:4:4 ⁽¹⁾	映射器输出
D[0]	R/Cr[1]	B(2)
D[1]	R/Cr[2]	B(3)
D[2]	R/Cr[3]	B(4)
D[3]	R/Cr[4]	B(5)
D[4]	R/Cr[5]	B(6)
D[5]	R/Cr[6]	B(7)
D[6]	R/Cr[7]	B(8)
D[7]	R/Cr[8]	B(9)
D[8]	G/Y[1]	A(2)
D[9]	G/Y[2]	A(3)
D[10]	G/Y[3]	A(4)
D[11]	G/Y[4]	A(5)
D[12]	G/Y[5]	A(6)
D[13]	G/Y[6]	A(7)
D[14]	G/Y[7]	A(8)
D[15]	G/Y[8]	A(9)
D[16]	B/Cb[1]	C(2)
D[17]	B/Cb[2]	C(3)
D[18]	B/Cb[3]	C(4)
D[19]	B/Cb[4]	C(5)
D[20]	B/Cb[5]	C(6)
D[21]	B/Cb[6]	C(7)
D[22]	B/Cb[7]	C(8)
D[23]	B/Cb[8]	C(9)
D[24]	-	-
D[25]	-	-
“0”	—	C[0]
D[27]	B/Cb[0]	C[1]
“0”	—	A[0]
D[29]	G/Y[0]	A[1]
“0”	—	B[0]
D[31]	R/Cr[0]	B[1]

(1) 对于 27 位输入，每种颜色的 9 个位会上移一位，且最低有效位设置为“0”。

表 6-11. 24bpp RGB/YCbCr 4:4:4 的 V-by-One 数据映射

V-by-One 数据映射模式 2		
V-by-One 输入数据位	24bpp RGB/YCbCr 4:4:4 ⁽¹⁾	映射器输出
D[0]	R/Cr[0]	B(2)
D[1]	R/Cr[1]	B(3)
D[2]	R/Cr[2]	B(4)
D[3]	R/Cr[3]	B(5)
D[4]	R/Cr[4]	B(6)
D[5]	R/Cr[5]	B(7)
D[6]	R/Cr[6]	B(8)
D[7]	R/Cr[7]	B(9)
D[8]	G/Y[0]	A(2)
D[9]	G/Y[1]	A(3)
D[10]	G/Y[2]	A(4)
D[11]	G/Y[3]	A(5)
D[12]	G/Y[4]	A(6)
D[13]	G/Y[5]	A(7)
D[14]	G/Y[6]	A(8)
D[15]	G/Y[7]	A(9)
D[16]	B/Cb[0]	C(2)
D[17]	B/Cb[1]	C(3)
D[18]	B/Cb[2]	C(4)
D[19]	B/Cb[3]	C(5)
D[20]	B/Cb[4]	C(6)
D[21]	B/Cb[5]	C(7)
D[22]	B/Cb[6]	C(8)
D[23]	B/Cb[7]	C(9)
D[24]		
D[25]	-	-
“0”	—	C[0]
“0”	—	C[1]
“0”	—	A[0]
“0”	—	A[1]
“0”	—	B[0]
“0”	—	B[1]

(1) 对于 24 位输入，每种颜色的 8 个位会上移两位，且两个最低有效位设置为“0”。

表 6-12. 32bpp/24bpp/20bpp YCbCr 4:2:2 的 V-by-One 数据映射 (1)

V-by-One 数据映射模式 3				
V-by-One 输入数据位	32bpp YCbCr 4:2:2 (2)	24bpp YCbCr 4:2:2 (3)	20bpp YCbCr 4:2:2	映射器输出
D[0]	CbCr[8]	CbCr[4]	CbCr[2]	B(2)
D[1]	CbCr[9]	CbCr[5]	CbCr[3]	B(3)
D[2]	CbCr[10]	CbCr[6]	CbCr[4]	B(4)
D[3]	CbCr[11]	CbCr[7]	CbCr[5]	B(5)
D[4]	CbCr[12]	CbCr[8]	CbCr[6]	B(6)
D[5]	CbCr[13]	CbCr[8]	CbCr[7]	B(7)
D[6]	CbCr[14]	CbCr[10]	CbCr[8]	B(8)
D[7]	CbCr[15]	CbCr[11]	CbCr[9]	B(9)
D[8]	Y[8]	Y[4]	Y[2]	A(2)
D[9]	Y[9]	Y[5]	Y[3]	A(3)
D[10]	Y[10]	Y[6]	Y[4]	A(4)
D[11]	Y[11]	Y[7]	Y[5]	A(5)
D[12]	Y[12]	Y[8]	Y[6]	A(6)
D[13]	Y[13]	Y[9]	Y[7]	A(7)
D[14]	Y[14]	Y[10]	Y[8]	A(8)
D[15]	Y[15]	Y[11]	Y[9]	A(9)
“0”	—	—	—	C(2)
“0”	—	—	—	C(3)
“0”	—	—	—	C(4)
“0”	—	—	—	C(5)
“0”	—	—	—	C(6)
“0”	—	—	—	C(7)
“0”	—	—	—	C(8)
“0”	—	—	—	C(9)
D[24]	-			
D[25]		-	-	-
“0”	—	—	—	C[0]
“0”	—	—	—	C[1]
D[28]	Y[6]	Y[2]	Y[2]	A[0]
D[29]	Y[7]	Y[3]	Y[3]	A[1]
D[30]	CbCr[6]	CbCr[2]	CbCr[2]	B[0]
D[31]	CbCr[7]	CbCr[3]	CbCr[3]	B[1]

(1) 对于所有 YCbCr 4:2:2 格式，数据通道 C 强制为“0”。

(2) 对于 32 位输入，每种颜色的 16 个位会截断为 10 个位，并丢弃六个最低有效位。

(3) 对于 24 位输入，每种颜色的 12 个位会截断为 10 个位，并丢弃两个最低有效位。

表 6-13. 18bpp YCbCr 4:2:2 的 V-by-One 数据映射 (1)

V-by-One 数据映射模式 4		
V-by-One 输入数据位	18bpp YCbCr 4:2:2 (2)	映射器输出
D[0]	CbCr[1]	B(2)
D[1]	CbCr[2]	B(3)
D[2]	CbCr[3]	B(4)
D[3]	CbCr[4]	B(5)
D[4]	CbCr[5]	B(6)
D[5]	CbCr[6]	B(7)
D[6]	CbCr[7]	B(8)
D[7]	CbCr[8]	B(9)
D[8]	Y[1]	A(2)
D[9]	Y[2]	A(3)
D[10]	Y[3]	A(4)
D[11]	Y[4]	A(5)
D[12]	Y[5]	A(6)
D[13]	Y[6]	A(7)
D[14]	Y[7]	A(8)
D[15]	Y[8]	A(9)
“0”	—	C(2)
“0”	—	C(3)
“0”	—	C(4)
“0”	—	C(5)
“0”	—	C(6)
“0”	—	C(7)
“0”	—	C(8)
“0”	—	C(9)
D[24]		
D[25]	-	-
“0”	—	C[0]
“0”	—	C[1]
“0”	—	A[0]
D[29]	Y[0]	A[1]
“0”	—	B[0]
D[31]	CbCr[0]	B[1]

(1) 对于所有 YCbCr 4:2:2 格式，数据通道 C 强制为 “0”。

(2) 对于 18 位输入，每种颜色的 9 个位会上移一位，且最低有效位设置为 “0”。

表 6-14. 16bpp YCbCr 4:2:2 的 V-by-One 数据映射 (1)

V-by-One 数据映射模式 5		
V-by-One 输入数据位	16bpp YCbCr 4:2:2 (2)	映射器输出
D[0]	CbCr[0]	B(2)
D[1]	CbCr[1]	B(3)
D[2]	CbCr[2]	B(4)
D[3]	CbCr[3]	B(5)
D[4]	CbCr[4]	B(6)
D[5]	CbCr[5]	B(7)
D[6]	CbCr[6]	B(8)
D[7]	CbCr[7]	B(9)
D[8]	Y[0]	A(2)
D[9]	Y[1]	A(3)
D[10]	Y[2]	A(4)
D[11]	Y[3]	A(5)
D[12]	Y[4]	A(6)
D[13]	Y[5]	A(7)
D[14]	Y[6]	A(8)
D[15]	Y[7]	A(9)
“0”	—	C(2)
“0”	—	C(3)
“0”	—	C(4)
“0”	—	C(5)
“0”	—	C(6)
“0”	—	C(7)
“0”	—	C(8)
“0”	—	C(9)
D[24]		
D[25]	-	-
“0”	—	C[0]
“0”	—	C[1]
“0”	—	A[0]
“0”	—	A[1]
“0”	—	B[0]
“0”	—	B[1]

(1) 对于所有 YCbCr 4:2:2 格式，数据通道 C 强制为 “0”。

(2) 对于 16 位输入，每种颜色的 8 个位会上移一位，且最低有效位设置为 “0”。

表 6-15. 12bpp/10bpp YCbCr 4:2:0 的 V-by-One 数据映射示例 (1)

V-by-One 数据映射模式 6					
V-by-One 输入数据位	12bpp YCbCr 4:2:0 偶数行 ⁽²⁾	12bpp YCbCr 4:2:0 奇数行 ⁽²⁾	10bpp YCbCr 4:2:0 偶数行	10bpp YCbCr 4:2:0 奇数行	映射器输出
D[0]	Y01[4]	Y01[4]	Y01[2]	Y11[2]	C(2)
D[1]	Y01[5]	Y01[5]	Y01[3]	Y11[3]	C(3)
D[2]	Y01[6]	Y01[6]	Y01[4]	Y11[4]	C(4)
D[3]	Y01[7]	Y01[7]	Y01[5]	Y11[5]	C(5)
D[4]	Y01[8]	Y01[8]	Y01[6]	Y11[6]	C(6)
D[5]	Y01[9]	Y01[9]	Y01[7]	Y11[7]	C(7)
D[6]	Y01[10]	Y01[10]	Y01[8]	Y11[8]	C(8)
D[7]	Y01[11]	Y01[11]	Y01[9]	Y11[9]	C(9)
D[8]	Y00[4]	Y00[4]	Y00[2]	Y10[2]	A(2)
D[9]	Y00[5]	Y00[5]	Y00[3]	Y10[3]	A(3)
D[10]	Y00[6]	Y00[6]	Y00[4]	Y10[4]	A(4)
D[11]	Y00[7]	Y00[7]	Y00[5]	Y10[5]	A(5)
D[12]	Y00[8]	Y00[8]	Y00[6]	Y10[6]	A(6)
D[13]	Y00[9]	Y00[9]	Y00[7]	Y10[7]	A(7)
D[14]	Y00[10]	Y00[10]	Y00[8]	Y10[8]	A(8)
D[15]	Y00[11]	Y00[11]	Y00[9]	Y10[9]	A(9)
D[16]	Cb00[4]	Cr00[4]	Cb00[2]	Cr00[2]	B(2)
D[17]	Cb00[5]	Cr00[5]	Cb00[3]	Cr00[3]	B(3)
D[18]	Cb00[6]	Cr00[6]	Cb00[4]	Cr00[4]	B(4)
D[19]	Cb00[7]	Cr00[7]	Cb00[5]	Cr00[5]	B(5)
D[20]	Cb00[8]	Cr00[8]	Cb00[6]	Cr00[6]	B(6)
D[21]	Cb00[9]	Cr00[9]	Cb00[7]	Cr00[7]	B(7)
D[22]	Cb00[10]	Cr00[10]	Cb00[8]	Cr00[8]	B(8)
D[23]	Cb00[11]	Cr00[11]	Cb00[9]	Cr00[9]	B(9)
D[24]	-	-	-	-	-
D[25]	-	-	-	-	-
D[26]	Cb00[2]	Cr00[2]	Cb00[0]	Cr00[0]	B[0]
D[27]	Cb00[3]	Cr00[3]	Cb00[1]	Cr00[1]	B[1]
D[28]	Y00[2]	Y10[2]	Y00[0]	Y10[0]	A[0]
D[29]	Y00[3]	Y10[3]	Y00[1]	Y10[1]	A[1]
D[30]	Y01[2]	Y11[2]	Y01[0]	Y11[0]	C[0]
D[31]	Y01[3]	Y11[3]	Y01[1]	Y11[1]	C[1]

(1) 对于所有 YCbCr 4:2:0 输入，每个时钟上都会引入两个连续的像素 luma 值。偶数行携带 Cb 值，奇数行携带 Cr 值。

(2) 对于 12bpp YCbCr 4:2:0 输入，每种颜色的 12 个位会截断为 10 个位，并丢弃两个最低有效位。

表 6-16. 8bpp YCbCr 4:2:0 的 V-by-One 数据映射示例 (1)

V-by-One 数据映射模式 7			
V-by-One 输入数据位	8bpp YCbCr 4:2:0 偶数行 (2)	8bpp YCbCr 4:2:0 奇数行 (2)	映射器输出
D[0]	Y01[0]	Y11[0]	C(2)
D[1]	Y01[1]	Y11[1]	C(3)
D[2]	Y01[2]	Y11[2]	C(4)
D[3]	Y01[3]	Y11[3]	C(5)
D[4]	Y01[4]	Y11[4]	C(6)
D[5]	Y01[5]	Y11[5]	C(7)
D[6]	Y01[6]	Y11[6]	C(8)
D[7]	Y01[7]	Y11[7]	C(9)
D[8]	Y00[0]	Y10[0]	A(2)
D[9]	Y00[1]	Y10[1]	A(3)
D[10]	Y00[2]	Y10[2]	A(4)
D[11]	Y00[3]	Y10[3]	A(5)
D[12]	Y00[4]	Y10[4]	A(6)
D[13]	Y00[5]	Y10[5]	A(7)
D[14]	Y00[6]	Y10[6]	A(8)
D[15]	Y00[7]	Y10[7]	A(9)
D[16]	Cb00[0]	Cr00[0]	B(2)
D[17]	Cb00[1]	Cr00[1]	B(3)
D[18]	Cb00[2]	Cr00[2]	B(4)
D[19]	Cb00[3]	Cr00[3]	B(5)
D[20]	Cb00[4]	Cr00[4]	B(6)
D[21]	Cb00[5]	Cr00[5]	B(7)
D[22]	Cb00[6]	Cr00[6]	B(8)
D[23]	Cb00[7]	Cr00[7]	B(9)
D[24]	-	-	-
D[25]	-	-	-
“0”	—	—	B[0]
“0”	—	—	B[1]
“0”	—	—	A[0]
“0”	—	—	A[1]
“0”	—	—	C[0]
“0”	—	—	C[1]

(1) 对于所有 YCbCr 4:2:0 输入，每个时钟上都会引入两个连续的像素 luma 值。偶数行携带 Cb 值，奇数行携带 Cr 值。

(2) 对于 8bpp YCbCr 4:2:0 输入，每种颜色的 8 个位会上移两位，且两个最低有效位设置为“0”。

表 6-17. 10bpp YCbCr 4:2:0 的 V-by-One 数据映射示例 (1)

V-by-One 数据映射模式 8			
V-by-One 输入数据位	10bpp YCbCr 4:2:0 偶数行	10bpp YCbCr 4:2:0 奇数行	映射器输出
D[0]	Y00[2]	Y10[2]	A(2)
D[1]	Y003]	Y10[3]	A(3)
D[2]	Y00[4]	Y10[4]	A(4)
D[3]	Y00[5]	Y10[5]	A(5)
D[4]	Y00[6]	Y10[6]	A(6)
D[5]	Y00[7]	Y10[7]	A(7)
D[6]	Y00[8]	Y10[8]	A(8)
D[7]	Y00[9]	Y10[9]	A(9)
D[8]	Cb00[2]	Cr00[2]	B(2)
D[9]	Cb00[3]	Cr00[3]	B(3)
D[10]	Cb00[4]	Cr00[4]	B(4)
D[11]	Cb00[5]	Cr00[5]	B(5)
D[12]	Cb00[6]	Cr00[6]	B(6)
D[13]	Cb00[7]	Cr00[7]	B(7)
D[14]	Cb00[8]	Cr00[8]	B(8)
D[15]	Cb00[9]	Cr00[9]	B(9)
D[16]	Y01[2]	Y11[2]	C(2)
D[17]	Y01[3]	Y11[3]	C(3)
D[18]	Y01[4]	Y11[4]	C(4)
D[19]	Y01[5]	Y11[5]	C(5)
D[20]	Y01[6]	Y11[6]	C(6)
D[21]	Y01[7]	Y11[7]	C(7)
D[22]	Y01[8]	Y11[8]	C(8)
D[23]	Y01[9]	Y11[9]	C(9)
D[24]	-	-	-
D[25]	-	-	-
D[26]	Y01[0]	Y11[0]	C[0]
D[27]	Y01[1]	Y11[1]	C[1]
D[28]	Cb00[0]	Cr00[0]	B[0]
D[29]	Cb00[1]	Cr00[1]	B[1]
D[30]	Y00[0]	Y10[0]	A[0]
D[31]	Y00[1]	Y10[1]	A[1]

(1) 对于所有 YCbCr 4:2:0 输入，每个时钟上都会引入两个连续的像素 luma 值。偶数行携带 Cb 值，奇数行携带 Cr 值。

表 6-18. 8bpp YCbCr 4:2:0 的 V-by-One 数据映射示例 (1)

V-by-One 数据映射模式 9			
V-by-One 输入数据位	8bpp YCbCr 4:2:0 偶数行 (2)	8bpp YCbCr 4:2:0 奇数行 (2)	映射器输出
D[0]	Y00[0]	Y10[0]	A(2)
D[1]	Y00[1]	Y10[1]	A(3)
D[2]	Y00[2]	Y10[2]	A(4)
D[3]	Y00[3]	Y10[3]	A(5)
D[4]	Y00[4]	Y10[4]	A(6)
D[5]	Y00[5]	Y10[5]	A(7)
D[6]	Y00[6]	Y10[6]	A(8)
D[7]	Y00[7]	Y10[7]	A(9)
D[8]	Cb00[0]	Cr00[0]	B(2)
D[9]	Cb00[1]	Cr00[1]	B(3)
D[10]	Cb00[2]	Cr00[2]	B(4)
D[11]	Cb00[3]	Cr00[3]	B(5)
D[12]	Cb00[4]	Cr00[4]	B(6)
D[13]	Cb00[5]	Cr00[5]	B(7)
D[14]	Cb00[6]	Cr00[6]	B(8)
D[15]	Cb00[7]	Cr00[7]	B(9)
D[16]	Y01[0]	Y11[0]	C(2)
D[17]	Y01[1]	Y11[1]	C(3)
D[18]	Y01[2]	Y11[2]	C(4)
D[19]	Y01[3]	Y11[3]	C(5)
D[20]	Y01[4]	Y11[4]	C(6)
D[21]	Y01[5]	Y11[5]	C(7)
D[22]	Y01[6]	Y11[6]	C(8)
D[23]	Y01[7]	Y11[7]	C(9)
D[24]	-	-	-
D[25]	-	-	-
“0”	—	—	C[0]
“0”	—	—	C[1]
“0”	—	—	B[0]
“0”	—	—	B[1]
“0”	—	—	A[0]
“0”	—	—	A[1]

(1) 对于所有 YCbCr 4:2:0 输入，每个时钟上都会引入两个连续的像素 luma 值。偶数行携带 Cb 值，奇数行携带 Cr 值。

(2) 对于 8bpp YCbCr 4:2:0 输入，每种颜色的 8 个位会上移两位，且两个最低有效位设置为“0”。

6.3.6 DMD (HSSI) 接口

DLPC7530 控制器 DMD 接口支持两个用于数据传输的高速串行接口 (HSSI) 仅输出接口：一个用于命令写入事务的单低速 LVDS 仅输出接口，以及一个用于命令读取事务的低速单端输入接口。每个 HSSI 端口都支持端口内仅传输完整数据的通道间重映射，但不支持端口之间的重映射。使用此特性时，每个唯一数据通道对只能映射到一个唯一目标数据通道对，并且不支持通道间重映射（即 P 与 N 交换）。此外，也可以交换两个 HSSI 端口。通道和端口重映射（在闪存中指定）有助于根据需要进行电路板布局布线。HSSI 端口数和所需的 HSSI 通道数/每个 HSSI 端口数取决于 DMD 类型和 DMD 显示分辨率。表 6-19 显示了一些重映射示例。使用这两个端口时，它们无需具有相同的引脚映射。

表 6-19. 控制器到 DMD 引脚映射示例

DLPC7530 控制器引脚到 DMD 引脚的重映射示例				DMD 引脚
基线	翻转 HSSI0 180 无翻转 HSSI1	将 HSSI0 端口交换为 HSSI1 端口	将 HSSI0 端口交换为 HSSI1 端口和混合重映射	
DMD_HSSI0_D0_P DMD_HSSI0_D0_N	DMD_HSSI0_D7_P DMD_HSSI0_D7_N	DMD_HSSI1_D0_P DMD_HSSI1_D0_N	DMD_HSSI1_D2_P DMD_HSSI1_D2_N	DMD_HSSI0_D0_P DMD_HSSI0_D0_N
DMD_HSSI0_D1_P DMD_HSSI0_D1_N	DMD_HSSI0_D6_P DMD_HSSI0_D6_N	DMD_HSSI1_D1_P DMD_HSSI1_D1_N	DMD_HSSI1_D3_P DMD_HSSI1_D3_N	DMD_HSSI0_D1_P DMD_HSSI0_D1_N
DMD_HSSI0_D2_P DMD_HSSI0_D2_N	DMD_HSSI0_D5_P DMD_HSSI0_D5_N	DMD_HSSI1_D2_P DMD_HSSI1_D2_N	DMD_HSSI1_D0_P DMD_HSSI1_D0_N	DMD_HSSI0_D2_P DMD_HSSI0_D2_N
DMD_HSSI0_D3_P DMD_HSSI0_D3_N	DMD_HSSI0_D4_P DMD_HSSI0_D4_N	DMD_HSSI1_D3_P DMD_HSSI1_D3_N	DMD_HSSI1_D1_P DMD_HSSI1_D1_N	DMD_HSSI0_D3_P DMD_HSSI0_D3_N
DMD_HSSI0_D4_P DMD_HSSI0_D4_N	DMD_HSSI0_D3_P DMD_HSSI0_D3_N	DMD_HSSI1_D4_P DMD_HSSI1_D4_N	DMD_HSSI1_D6_P DMD_HSSI1_D6_N	DMD_HSSI0_D4_P DMD_HSSI0_D4_N
DMD_HSSI0_D5_P DMD_HSSI0_D5_N	DMD_HSSI0_D2_P DMD_HSSI0_D2_N	DMD_HSSI1_D5_P DMD_HSSI1_D5_N	DMD_HSSI1_D7_P DMD_HSSI1_D7_N	DMD_HSSI0_D5_P DMD_HSSI0_D5_N
DMD_HSSI0_D6_P DMD_HSSI0_D6_N	DMD_HSSI0_D1_P DMD_HSSI0_D1_N	DMD_HSSI1_D6_P DMD_HSSI1_D6_N	DMD_HSSI1_D4_P DMD_HSSI1_D4_N	DMD_HSSI0_D6_P DMD_HSSI0_D6_N
DMD_HSSI0_D7_P DMD_HSSI0_D7_N	DMD_HSSI0_D0_P DMD_HSSI0_D0_N	DMD_HSSI1_D7_P DMD_HSSI1_D7_N	DMD_HSSI1_D5_P DMD_HSSI1_D5_N	DMD_HSSI0_D7_P DMD_HSSI0_D7_N
DMD_HSSI1_D0_P DMD_HSSI1_D0_N	DMD_HSSI1_D0_P DMD_HSSI1_D0_N	DMD_HSSI0_D0_P DMD_HSSI0_D0_N	DMD_HSSI0_D6_P DMD_HSSI0_D6_N	DMD_HSSI1_D0_P DMD_HSSI1_D0_N
DMD_HSSI1_D1_P DMD_HSSI1_D1_N	DMD_HSSI1_D1_P DMD_HSSI1_D1_N	DMD_HSSI0_D1_P DMD_HSSI0_D1_N	DMD_HSSI0_D7_P DMD_HSSI0_D7_N	DMD_HSSI1_D1_P DMD_HSSI1_D1_N
DMD_HSSI1_D2_P DMD_HSSI1_D2_N	DMD_HSSI1_D2_P DMD_HSSI1_D2_N	DMD_HSSI0_D2_P DMD_HSSI0_D2_N	DMD_HSSI0_D4_P DMD_HSSI0_D4_N	DMD_HSSI1_D2_P DMD_HSSI1_D2_N
DMD_HSSI1_D3_P DMD_HSSI1_D3_N	DMD_HSSI1_D3_P DMD_HSSI1_D3_N	DMD_HSSI0_D3_P DMD_HSSI0_D3_N	DMD_HSSI0_D5_P DMD_HSSI0_D5_N	DMD_HSSI1_D3_P DMD_HSSI1_D3_N
DMD_HSSI1_D4_P DMD_HSSI1_D4_N	DMD_HSSI1_D4_P DMD_HSSI1_D4_N	DMD_HSSI0_D4_P DMD_HSSI0_D4_N	DMD_HSSI0_D2_P DMD_HSSI0_D2_N	DMD_HSSI1_D4_P DMD_HSSI1_D4_N
DMD_HSSI1_D5_P DMD_HSSI1_D5_N	DMD_HSSI1_D5_P DMD_HSSI1_D5_N	DMD_HSSI0_D5_P DMD_HSSI0_D5_N	DMD_HSSI0_D3_P DMD_HSSI0_D3_N	DMD_HSSI1_D5_P DMD_HSSI1_D5_N
DMD_HSSI1_D6_P DMD_HSSI1_D6_N	DMD_HSSI1_D6_P DMD_HSSI1_D6_N	DMD_HSSI0_D6_P DMD_HSSI0_D6_N	DMD_HSSI0_D0_P DMD_HSSI0_D0_N	DMD_HSSI1_D6_P DMD_HSSI1_D6_N
DMD_HSSI1_D7_P DMD_HSSI1_D7_N	DMD_HSSI1_D7_P DMD_HSSI1_D7_N	DMD_HSSI0_D7_P DMD_HSSI0_D7_N	DMD_HSSI0_D1_P DMD_HSSI0_D1_N	DMD_HSSI1_D7_P DMD_HSSI1_D7_N

6.3.7 程序存储器闪存接口

DLPC7530 提供了三个外部程序存储器芯片选择，供器件访问程序存储器接口。[表 6-20](#) 中详细介绍了这些信息。

表 6-20. 程序存储器接口芯片选择

芯片选择名称	芯片选择使用	数据总线宽度	访问时间	支持的最大大小 ⁽¹⁾
PM_CSZ_0	仅引导闪存 - 必需 ⁽²⁾	16 位	< = 120ns	256Mb
PM_CSZ_1	附加外围器件 (或附加闪存) - 可选	16 位	< = 120ns	256Mb
PM_CSZ_2	附加外围器件可选	16 位	< = 120ns	256Mb

(1) 使用 GPIO_47 作为额外地址位

(2) 支持的引导闪存类型是标准 NOR 并行闪存，单组或多组。

闪存访问时序可通过多达 31 个等待状态进行软件编程。[表 6-21](#) 和 [图 6-6](#) 中提供了关于读写等待状态时序的其他信息。

表 6-21. 程序存储器等待状态时序

参数	等式 ⁽¹⁾
T _{WSR} : 等待状态分辨率	6ns
读取等待状态 (每次 CSZ 读取访问的读取等待状态数)	ROUNDUP(MAX(T _{ACC} , T _{CE} , T _{OE})/T _{WSR-N}) ⁽²⁾⁽³⁾
T _{CS} 和 T _{AS} 的写入等待状态 (从 CS/地址激活到 WRZ 置位所需的时间)	ROUNDUP(MAX(T _{CS} +5ns, T _{AS} +5ns)/T _{WSR-N}) ⁽²⁾
T _{WP} 和 T _{DS} 的写入等待状态 (从 WEZ 置位到 WEZ 取消置位所需的时间)	ROUNDUP(MAX(T _{WP} +5ns, T _{DS} +5ns)/T _{WSR-N}) ⁽²⁾
T _{CH} 和 T _{DH} 的写入等待状态 (从 CS/地址激活到 WRZ 置位所需的时间)	ROUNDUP(MAX(T _{CH} +5ns, T _{DH} +5ns)/T _{WSR-N}) ⁽²⁾

- (1)
 - a. T_{ACC} : 读取访问时间 (ADDR 到数据有效) - (地址有效到数据有效)
 - b. T_{CE} : 读取访问时间 (CSZ 至数据有效) - (芯片选择有效至数据有效)
 - c. T_{OE} : 读取访问时间 (OEZ 至数据有效) - (输出使能有效至数据有效)
 - d. T_{CS} : CSZ 建立时间 (写入) - (片选在 negedge(WEZ) 之前有效)
 - e. T_{CS} : 地址建立时间 (写入) - (地址在 negedge(WEZ) 之前有效)
 - f. T_{AS} : 地址建立时间 (写入) - (地址在 negedge(WEZ) 之前有效)
 - g. T_{WP} : 写入脉冲宽度 (写入) - (WEZ 低电平有效时间)
 - h. T_{DS} : 数据建立时间 (写入) - (DATA 在 posedge(WEZ) 之前有效)
 - i. T_{CH} : CSZ 保持时间 (写入) - (CSZ 在 posedge(WEZ) 之后保持有效)
 - j. T_{DH} : 数据保持时间 (写入) - (DATA 在 posedge(WEZ) 之后保持有效)
- (2) 至少需要 1 个等待状态
- (3) 假设最大单向布线长度为 90mm (3.5 英寸)

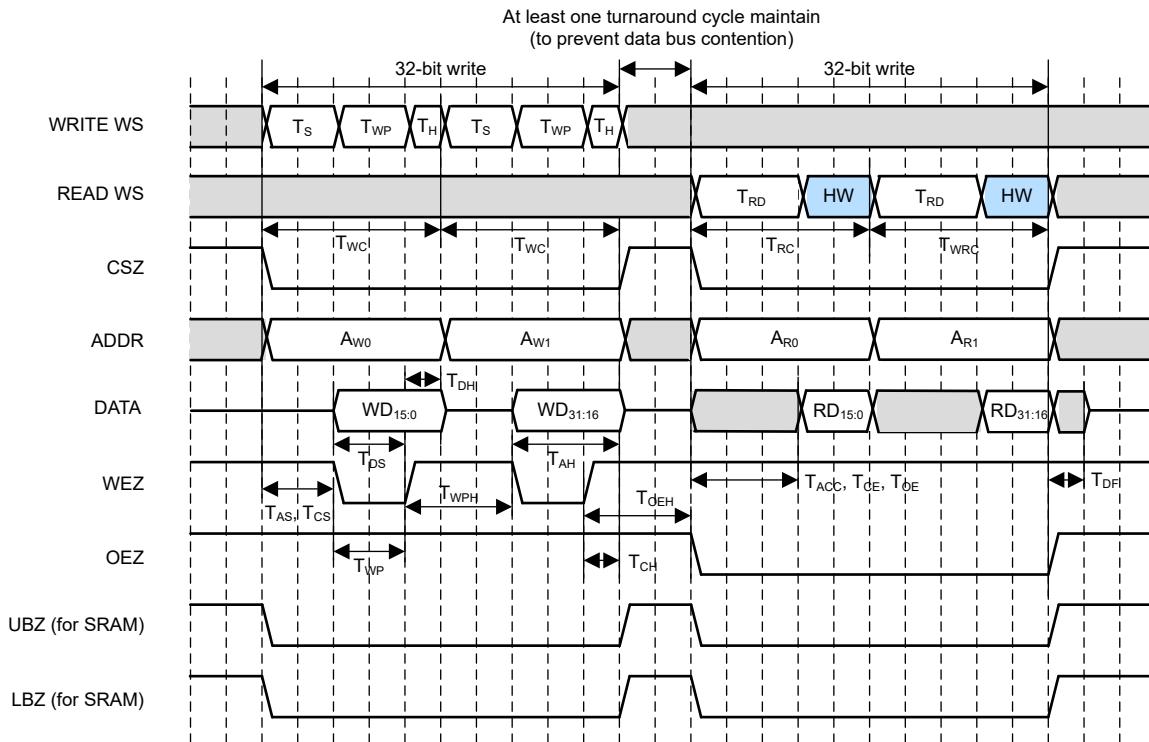


图 6-6. 程序存储器接口时序图

6.3.8 GPIO 支持的功能

DLPC7530 提供 88 个通用 I/O，可支持许多不同产品配置的各种功能。通常，大多数 I/O 引脚仅支持基于特定产品配置的一种特定功能，但该功能对于不同的产品配置可能会有所不同。这些 I/O 中的大部分也可用于 TI 测试和调试。以下每个 GPIO 表均提供了有关每个 GPIO 在特定支持的产品配置中所分配使用情况的产品特定详细信息。

为

6.3.9 调试支持

DLPC7530 包含一个测试点输出端口 TSTPT_(7:0)，为主机提供控制器调试支持。对于初始调试操作，在 PWRGOOD 变为高电平之后（或系统复位之后），四个信号 (TSTPT(3:0)) 作为输入进行采样，时间接近 1.5μs。对它们的输入状态进行采样和捕获后，该信息用于设置 TSTPT_(7:0) 总线的初始测试模式输出状态。表 6-22 定义了 TSTPT_(7:0) 的一些可编程输出状态的测试模式选择。对于正常运行（即无需调试），请使用默认状态 0000（由所需的外部下拉电阻器定义）。

为了使 TI 能够使用这个调试功能，建议为 TSTPT(3:0) 提供一个连接到外部上拉电阻的跳线选项，并提供允许观察 TSTPT 总线输出的访问权限。

表 6-22. TSTPT(3:0) 定义的测试模式选择输出示例 (1)

TSTPT_(7:0) 输出	TSTPT(3:0) 捕获的值		
	0000 (默认值) (无开关活动)	0101 时钟调试	1000 系统校准
TSTPT(0)	0	高电平	垂直同步
TSTPT(1)	0	166.25MHz	延迟的 CW 索引
TSTPT(2)	0	83.13MHz	序列索引
TSTPT(3)	0	41.56MHz	CW 辐条测试点
TSTPT(4)	0	10.39MHz	CW 旋转测试点

表 6-22. TSTPT(3:0) 定义的测试模式选择输出示例⁽¹⁾ (续)

TSTPT_(7:0) 输出	TSTPT(3:0) 捕获的值		
	0000 (默认值) (无开关活动)	0101 时钟调试	1000 系统校准
TSTPT(5)	0	25.16MHz	复位序列辅助位 0
TSTPT(6)	0	133.00MHz	复位序列辅助位 1
TSTPT(7)	0	高电平	复位序列辅助位 2

(1) 这些仅是默认的输出选择。软件可以随时对选择重新编程。

6.4 器件工作模式

DLPC7530 具有两种工作模式，分别通过软件命令和主机控制接口启用。这两种模式为待机和运行。

6.4.1 待机模式

系统已上电并处于运行状态，但是控制器中的大多数块已关闭以节省电量。只有 **μProcessor** 及其外设处于运行状态（支持等待被唤醒的休眠投影仪）。在此模式下，**DMD** 已停止，无法显示任何图像。

6.4.2 工作模式

系统上电后可完全正常运行，能够投影内部或外部源图像。

6.4.2.1 正常配置

此配置可启用 DLPC7530 的全部功能。

6.4.2.2 低延时配置

该配置禁用 DLPC7530 的某些功能，以降低对系统延时敏感的某些应用的总体系统延时。此配置禁用的主要功能是扭曲块，该功能可消除处理路径的完整延时帧。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

DLPC7530 是新一代高分辨率显示控制器。它是 DLP472NE 和 DLP651NE 芯片组的一部分。该控制器将所有系统图像处理和 DMD 控制以及数据格式化功能集成到单个集成电路 (IC) 上。它支持激光荧光、RGB 激光、LED 和混合照明系统。其中包含标准图像处理算法，如 DynamicBlack 或 BrilliantColor™。DLPC7530 还包括一个功能齐全的图像扭曲引擎，可以将图像扭曲到任意表面，并支持图像混合。扭曲引擎提供真正的 3D 梯形校正。相关应用包括 1080p 企业投影仪、激光电视、智能投影仪和数字标牌。

7.2 典型应用

DLPC7530 控制器是需要高性能、高分辨率显示的应用的理想选择。当 DLPC7530 显示控制器与 DLP472NE 和 DLP651NE DMD、电源管理和电机驱动器器件 (DLPA100) 及其他电气、光学和机械元件结合使用时，该芯片组可实现高亮度、实惠的全高清 显示解决方案。使用 DLPC7530 控制器以及 DLP472NE 和 DLP651NE DMD 的典型全高清或 1080p 系统应用如下图所示。

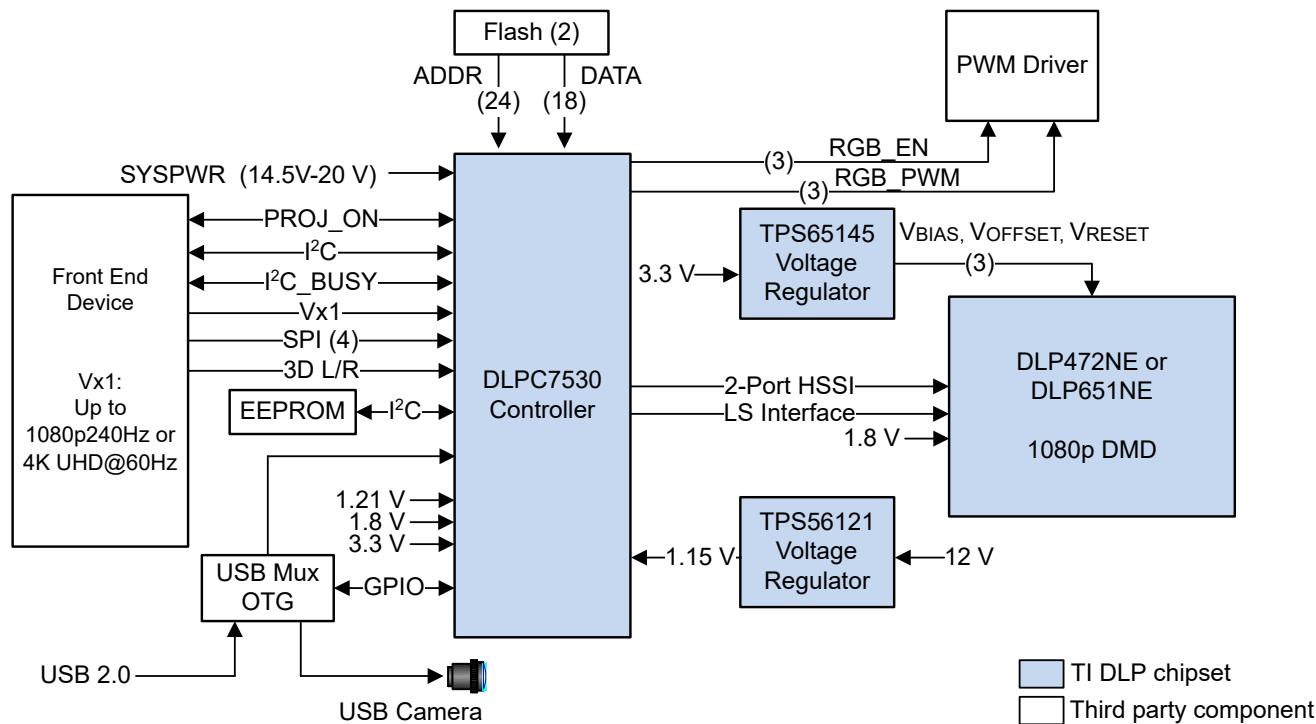


图 7-1. 典型 1080p LED 系统

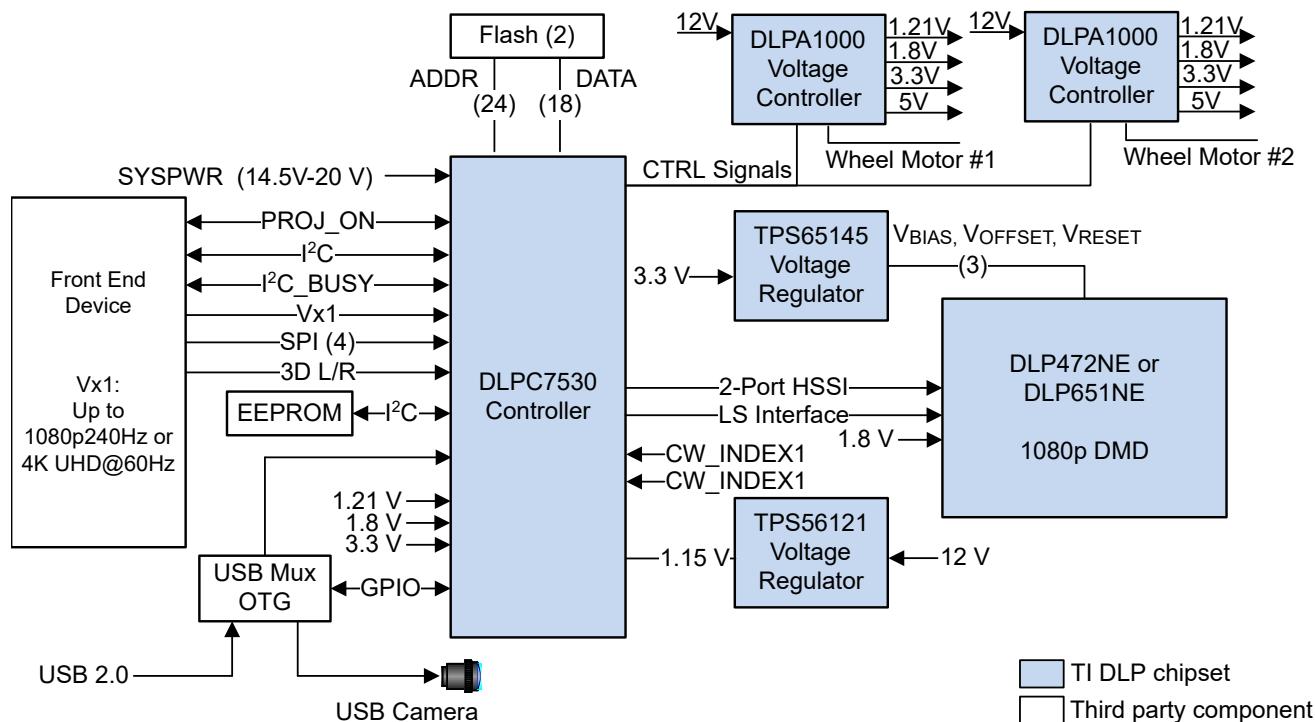


图 7-2. 典型 1080p LPCW 系统

7.2.1 设计要求

显示控制器是 DMD 与系统其他部分之间的数字接口。显示控制器从前端接收器获取数字 V-by-One、FPD-Link 或 30 位并行输入，并通过高速接口驱动 DMD。显示控制器还生成在 DMD 上显示图像所需的必要信号（数据、协议、时序）。仅当 DMD 和控制器在系统中一起使用时，才能确保 DMD 可靠运行。此外，可能还需要其他器件。通常，需要使用闪存器件来存储为 DMD 和控制器供电时所需的软件和固件以及电源管理器件。

7.2.2 详细设计过程

要将 DLPC7530 控制器和 DLP472NE 和 DLP651NE DMD 连接在一起，请参阅 [DLPC7540EVM](#) 下的电路板设计文件。为了设计可靠的投影仪，必须遵循高速接口 V-by-One 和 DMD HSSI 的布局指南。对于完整的 DLP 系统，需要包含 DLP472NE 和 DLP651NE DMD、相关光源、光学元件和必要机械部件的光学模块或光引擎。

8 电源相关建议

8.1 电源管理

DLPA100 管理 DLPC7530 和 DMD 的电源。有关所有电源时序控制和时序要求，请参阅[节 5.13](#)。

8.2 热插拔用法

虽然 V-by-One、FPD-Link 和 USB 接口支持使用热插拔（即在 DLPC7530 通电时可以连接和断开这些接口），但控制器本身（以及连接到系统的任何 DMD）不支持使用热插拔。因此，在从任何系统中移除控制器或 DMD 之前，请先关闭系统电源。

8.3 未使用的输入源接口的电源

虽然某些产品配置无法提供或使用所有可用的输入源接口（例如 V-by-One、FPD-Link），但与这些未使用的输入源接口关联的电源仍必须像实际使用接口一样提供。唯一的让步是，这些电源的基于铁氧体的隔离滤波器可以简化为简单的去耦电容器。

8.4 电源

8.4.1 1.15V 电源

DLPC7530 可支持采用由开关稳压器提供的单个 1.15V 电源的低成本电力输送系统。要启用这种方法，请为内核 1.15V 电源轨 (VDD115) 提供典型大容量（例如 $10\mu F$ 、 $22\mu F$ ）和高频（例如 $0.1\mu F$ ）滤波。确保高频电容器均匀分布在电源焊球中，并尽可能靠近电源焊球放置。必须为每个唯一定义的 1.15V 电源引脚（例如 VDD115_PLLMA、VAD115_VX1）提供额外的滤波。将在本文档的[节 9.1](#) 中进一步讨论独特电源引脚的滤波。

8.4.2 1.21V 电源

DLPC7530 可通过由开关稳压器提供的单个 1.21V 电源支持低成本的电力输送系统。要启用这种方法，请为内核 1.21V 电源轨 (VDD121_SCS) 提供典型大容量（例如 $10\mu F$ 、 $22\mu F$ ）和高频（例如 $0.1\mu F$ ）滤波。将高频滤波电容器尽可能靠近 VDD121_SCS 电源焊球放置。

8.4.3 1.8V 电源

DLPC7530 可支持采用由开关稳压器提供的单个 1.8V 电源的低成本电力输送系统。为了启用这种方法，必须为每个唯一定义的 1.8V 电源引脚（例如 VDD18_PLLMA、VAD18_VX1）提供适当的滤波。有关更多信息，请参阅[节 9.1](#)。

8.4.4 3.3V 电源

DLPC7530 可支持采用由开关稳压器提供的单个 3.3V 电源的低成本电力输送系统。要启用这种方法，请为主 3.3V I/O 电源轨 (VDD33) 提供典型大容量（例如 $10\mu F$ 、 $22\mu F$ ）和高频（例如 $0.1\mu F$ ）滤波。确保高频电容器均匀分布在电源焊球中，并尽可能靠近电源焊球放置。必须为每个唯一定义的 3.3V 电源引脚（例如 VAD33_USB、VDD33_FPD）提供额外的滤波。本文档的[节 9.1](#) 中对此进行了更加详细的讨论。

9 布局

9.1 布局指南

9.1.1 通用布局准则

为了应对与 DLPC7530 相关的热负荷 , TI 建议使用以下增强型 PCB 设计参数。

- 至少 4 个电源平面和接地平面
 - 电源层 : 1oz 覆铜 ; 接地层 : 2oz 覆铜
 - 铜覆盖范围 : 90%
 - 顶部和底部信号层 : 至少 0.5oz 覆铜
 - 内部信号层 : 1oz 覆铜
- 包含过孔场的封装热焊球阵列下方的热铜接地平面具有以下属性
 - 到接地平面的散热过孔数量 = 64 (作为 8x8 阵列)
 - 散热过孔尺寸 = 0.229mm - 0.25mm (9mil - 10mil)
 - 散热过孔镀层厚度 = 0.025mm (1mil) 壁厚

出于信号完整性原因 , 还建议使用 FR370HR 或等效的高性能环氧树脂层压板和半固化片。

9.1.2 电源布局指南

建议为以下列出的电源输入使用以下滤波电路。

- VAD115_VX1
- VAD18_VX1
- VAD115_FPD
- VDD33_FPD
- VAD33_USB
- VDD18_SCS

由于 PBC 布局对于与这些电源关联的接口的性能至关重要 , 因此将这些电源视为模拟信号至关重要。特别是 :

- 将高频元件 (例如铁氧体和电容器) 尽可能靠近电源焊球放置。
- 选择具有低 ESR 和 ESL 值的高频陶瓷电容器 (例如值为 $0.1\mu\text{F}$ 、 $0.01\mu\text{F}$ 和 100nF 的电容器) 。将引线设计得尽可能短 , 因此将这些电容器放置在电路板另一侧的封装下方。
- 对于每个电源引脚 , 必须在控制器到电容器之间使用一条迹线 (尽可能宽) , 然后通过串联铁氧体连接到电源。
- 对于每个电源引脚 , 在迂回过孔附近添加一个 100nF 去耦电容器。将该去耦电容添加到为滤波器建议的电容中。这些都是最低的建议 , 因此不同的布局可能需要额外的电容。
- 有关这些电源的建议串联铁氧体元件 , 请参阅表 9-1。

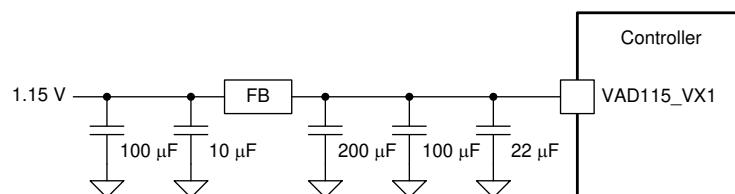


图 9-1. VAD115_VX1 (V-by-One) 推荐的滤波器

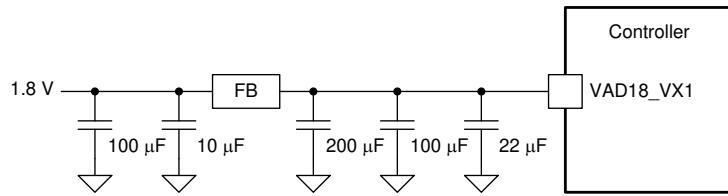


图 9-2. VAD18_VX1 (V-by-One) 推荐的滤波器

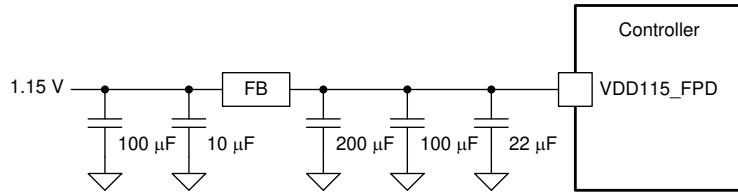


图 9-3. VDD115_FPD (FPD-Link) 推荐的滤波器

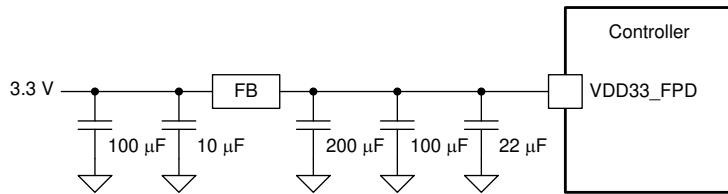


图 9-4. VDD33_FPD (FPD-Link) 推荐的滤波器

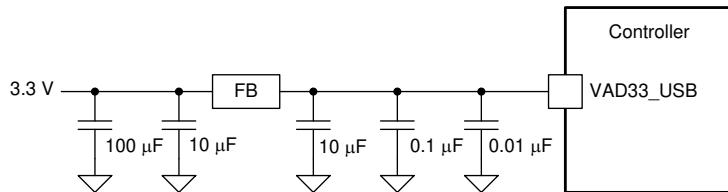


图 9-5. VAD33_USB (USB) 推荐的滤波器

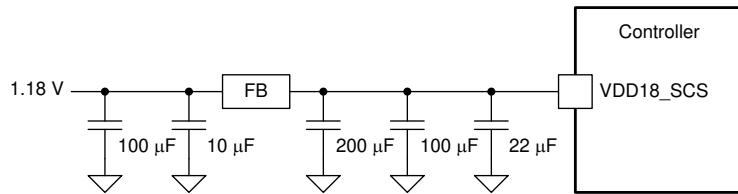


图 9-6. VDD18_SCS (SCS DRAM) 推荐的滤波器

9.1.3 内部控制器 PLL 电源布局指南

建议遵循以下指南以实现相对于内部 PLL 的所需控制器性能。DLPC7530 包含多个内部 PLL，这些 PLL 具有专用的 1.15V 电源引脚和 1.8V 电源引脚，如下所列：

- VDD115_PLLMA
- VDD115_PLLMB
- VAD115_PLLS

- VAD115_HSSI0_PLL
- VAD115_HSSI1_PLL

和

- VAD18_PLLMA
- VAD18_PLLMB

1.15V 和 1.8V 电源引脚上的每一个引脚都应分别具有铁氧体磁珠和 $0.1\mu F$ 陶瓷电容器形式的高频滤波功能。确保在高于 10MHz 的频率下，铁氧体磁珠的阻抗远大于电容器的阻抗。将这些元件放置在非常靠近各个 PLL 电源焊球的位置。推荐值、拓扑和布局示例分别如表 9-1、图 9-7、图 9-8 和图 9-9 所示。

表 9-1. 建议的 PLL 和晶体电源滤波器元件

元件	参数	建议值	单位
并联电容器	电容	0.1	μF
串联铁氧体	100MHz 时的阻抗	> 100	Ω
	直流电阻	< 0.40	Ω

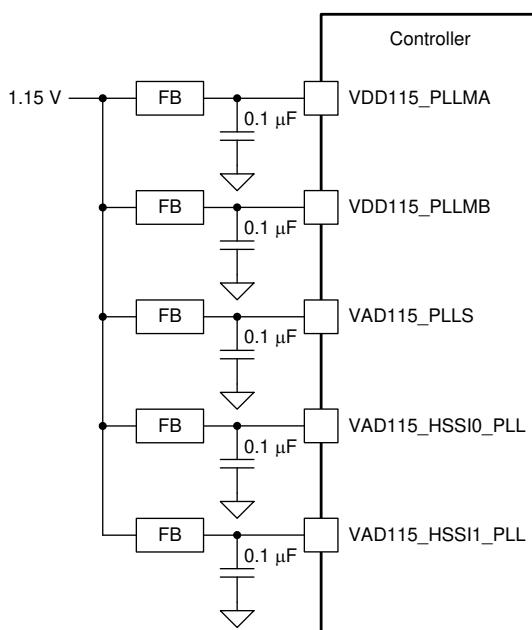


图 9-7. 1.15V PLL 电源滤波器拓扑

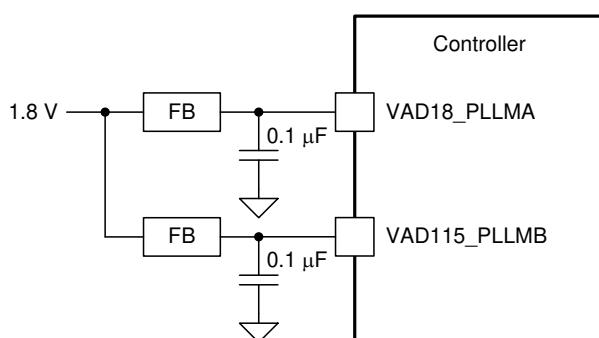


图 9-8. 1.8V PLL 电源滤波器拓扑

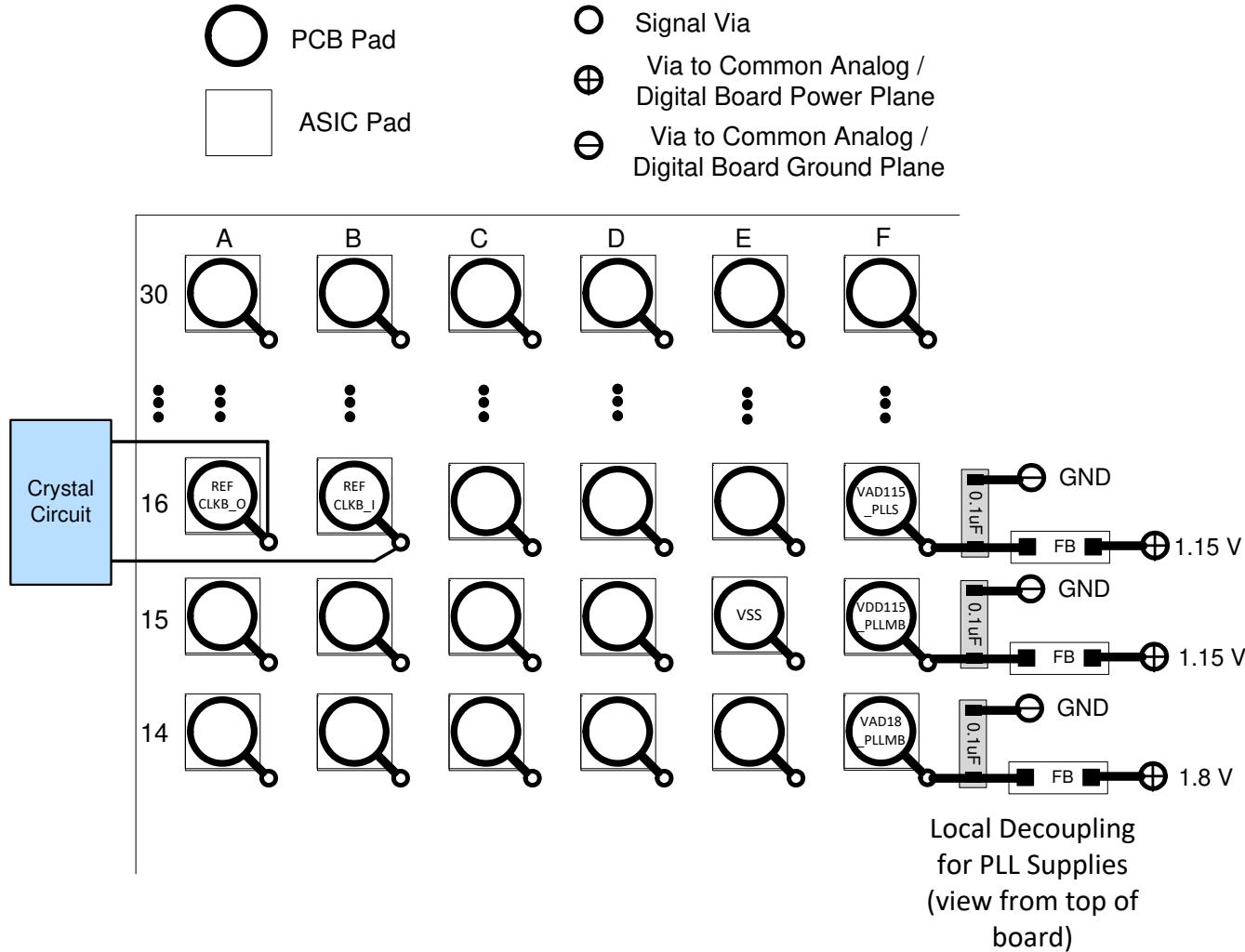


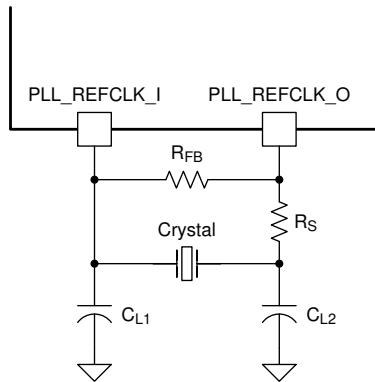
图 9-9. PLL 电源滤波器布局示例

由于 PCB 布局对 PLL 性能至关重要，因此务必将 PLL 电源视为模拟信号。附加设计指南如下：

- 将所有滤波器元件尽可能靠近每个 PLL 电源封装引脚放置。
- 保持高频电容器的引线尽可能短，因此建议将这些电容器放置在电路板另一侧的封装下方。
- 使用高质量、低 ESR 的单片表面贴装电容器。
- 对于每个 PLL 电源引脚，必须使用一条布线（尽可能宽）从 DLPC7530 连接到电容器，然后通过串联铁氧体连接到电源。

9.1.4 DLPC7530 基准时钟布局指南

DLPC7530 需要两个外部基准时钟馈送其内部 PLL。晶体或振荡器可以提供这些基准。表 9-2 中列出了建议的晶体配置和基准时钟频率，图 9-10 中显示了其他必需的分立式元件，表 9-2 中定义了这些元件。



C_L = 晶体负载电容

R_{FB} = 反馈电阻器

图 9-10. 晶体所需的分立式元件

9.1.4.1 建议的晶体振荡器配置

表 9-2. 建议的晶体配置

参数	晶体 A	晶体 B	单位
晶体电路配置	并联谐振	并联谐振	
晶体类型	基波 (一次谐波)	基波 (一次谐波)	
晶体标称频率	40	38	MHz
晶体频率容差 ⁽¹⁾	± 100 (最大 200p-p)	± 100 (最大 200p-p)	PPM
晶振等效串联电阻 (ESR)	60 (最大值)	60 (最大值)	Ω
晶体负载电容	20 (最大值)	20 (最大值)	pF
晶体并联负载电容	7 (最大值)	7 (最大值)	pF
温度范围	-40°C 至 +85°C	-40°C 至 +85°C	°C
驱动电平	100 (标称值)	100 (标称值)	μ W
R_{FB} 反馈电阻 (标称值)	1M Ω (标称值)	1M Ω (标称值)	Ω
C_{L1} 外部晶体负载电容器	请参阅 ⁽²⁾ 中的公式。	请参阅 ⁽²⁾ 中的公式。	pF
C_{L2} 外部晶体负载电容器	请参阅 ⁽³⁾ 中的公式。	请参阅 ⁽³⁾ 中的公式。	pF
PCB 布局	建议在晶体周围设置接地隔离环。	建议在晶体周围设置接地隔离环。	

(1) 晶体频率容差，包括精度、温度、老化和修整灵敏度。这些参数通常是单独指定的，是满足此要求所需的所有参数的总和。

(2) $CL1 = 2 \times (CL - Cstray_{pll_refclk_i})$ ，其中： $Cstray_{pll_refclk_i}$ = 与控制器引脚 $REFCLKx_i$ 相关的晶体引脚上的封装和 PCB 杂散电容之和。请参阅表 9-3。

(3) $CL2 = 2 \times (CL - Cstray_{pll_refclk_o})$ ，其中： $Cstray_{pll_refclk_o}$ = 与控制器引脚 $REFCLKx_o$ 相关的晶体引脚上的封装和 PCB 杂散电容之和。请参阅表 9-3。

表 9-3. 晶体引脚电容

参数	最小值	标称值	最大值	单位
Cstray_pll_refclkA_i	REFCLKA_I 处的封装和 PCB 杂散电容之和	4.5		pF
Cstray_pll_refclkA_o	REFCLKA_O 处的封装和 PCB 杂散电容之和	4.5		pF
Cstray_pll_refclkB_i	REFCLKB_I 上的封装和 PCB 杂散电容之和	4.5		pF
Cstray_pll_refclkB_o	REFCLKB_O 处的封装和 PCB 杂散电容之和	4.5		pF

DLPC7530 中的晶体电路具有专用电源 (VAD33_OSCA 和 VAD33_OSCB) 引脚，每个引脚的推荐滤波如图 9-11 所示，建议值如表 9-1 所示。

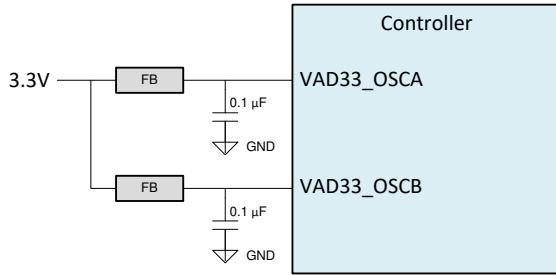


图 9-11. 晶体电源滤波

表 9-4. DLPC7530 推荐的晶体器件

制造商	器件型号	标称频率	频率容差、频率稳定性、老化/年	ESR	负载电容	工作温度	驱动电平
TXC	7M38070001 ⁽¹⁾	38MHz	频率容差： ±20ppm	最大 30Ω	12pF	-40°C 至 +85°C	100μW
			频率稳定性： ±20ppm				
			老化/年：±3ppm				
TXC	7M40070041 ⁽²⁾	40MHz	频率容差 ±20ppm	最大 30Ω	12pF	-40°C 至 +85°C	100μW
			频率稳定性： ±20ppm				
			老化/年：±3ppm				

(1) 该器件需要一个值为 0 的 R_S 电阻器。

(2) 该器件需要一个值为 0 的 R_S 电阻器。

9.1.5 V-by-One 接口布局注意事项

DLPC7530 V-by-One SERDES 差分接口波形的质量和时序取决于互连系统的总长度、布线间距、特性阻抗、蚀刻损耗以及接口两侧长度的匹配程度。因此，确保正时序裕度需要注意许多因素。

DLPC7530 I/O 时序参数、V-by-One 发送器时序参数以及这些特定时序要求可在相应的数据表中找到。可通过受控的 PCB 布线对 PCB 布线不匹配问题进行预算并予以解决。[表 9-5](#) 中提供了针对 V-by-One 的 PCB 相关要求，可作为客户的切入点。

表 9-5. V-by-One 接口 PBC 相关要求 ⁽¹⁾

参数	最小值	典型值	最大值	单位
通道内串扰 (VX1_DATAx_P 和 VC1_DATAx_N 之间)			< 1.5	mVpp
通道间串扰 (数据通道对之间)			< 1.5	mVpp
数据通道与其他信号之间的串扰			< 1.5	mVpp
通道内偏斜			< 40	ps
通道间偏斜			< 5	UI
差分阻抗	90	100	110	Ω

(1) 如果使用最小布线宽度和间距来避开控制器焊球区域，在避开后，如果可行，加宽这些宽度和间距是可取的，以达到 100 欧姆目标阻抗（例如，用于减少传输线损耗）。

其他 V-by-One 布局准则：

- 在 PBC 的顶层布线差分信号对，以尽可能减少过孔数量。将必要过孔的数量限制为两个。
- 使用微带线配置在单个接地或电源平面上布线差分信号对。还建议使用接地防护布线。
- 请勿将差分信号对布线到电源或接地平面缝隙上。
- 更大限度地减少每个对以及每个对之间的布线长度不匹配，以满足偏斜要求。
- 确保与差分信号对相关的弯曲角度在 135° 和 225° 之间（请参阅图 9-12）。

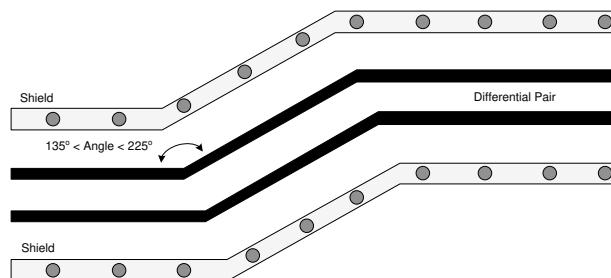


图 9-12. V-By-One 布线示例

9.1.6 FPD-Link 接口布局注意事项

DLPC7530 FPD-Link 差分接口波形的质量和时序取决于互连系统的总长度、布线间距、特性阻抗、蚀刻损耗以及接口两端长度的匹配程度。因此，确保正时序裕度需要注意许多因素。

DLPC7530 I/O 时序参数以及 FPD-Link 发送器时序参数可在相应的数据表中找到。可通过受控的 PCB 布线对 PCB 布线不匹配问题进行预算并予以解决。[表 9-6](#) 中提供了针对 FPD-Link 的 PCB 相关要求，可作为客户的切入点。

表 9-6. FPD-Link 接口 PBC 相关要求

参数	最小值	典型值	最大值	单位
通道内串扰 (FPDz_DATAx_P 和 FPDz_DATAx_N 之间)			< 2.0	mVpp
通道间串扰 (数据通道对之间)			< 2.0	mVpp
数据通道与其他信号之间的串扰			< 2.0	mVpp
通道内偏斜			< 40	ps
通道间偏斜			±40	ps
差分阻抗	90	100	110	Ω

附加的 FPD-Link 布局指南：

- 在 PBC 的顶层布线差分信号对，以尽可能减少过孔数量。将必要过孔的数量限制为两个。
- 使用微带线配置在单个接地或电源平面上布线差分信号对。还建议使用接地防护布线。
- 请勿将差分信号对布线到电源或接地平面缝隙上。
- 更大限度地减少每个对以及每个对之间的布线长度不匹配，以满足偏斜要求。
- 确保与差分信号对相关的弯曲角度在 135° 和 225° 之间（请参阅[图 9-13](#)）。

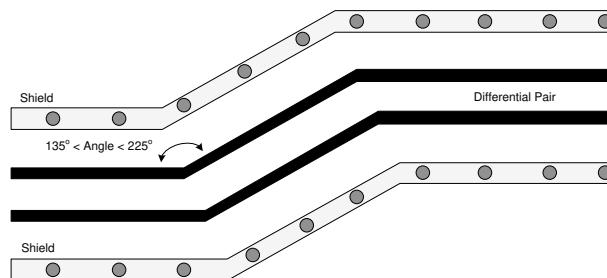


图 9-13. FPD-Link 布线示例

9.1.7 USB 接口布局注意事项

DLPC7530 USB 差分接口波形的质量和时序取决于互连系统的总长度、布线之间的间距、特征阻抗、蚀刻损耗以及接口上长度的匹配程度。因此，确保正时序裕度需要注意许多因素。

DLPC7530 I/O 时序参数、USB 发送器和接收器时序参数以及 USB 特定时序要求可在相应的数据表中找到。可通过受控的 PCB 布线对 PCB 布线不匹配问题进行预算并予以解决。表 9-7 中提供了针对 USB 的 PCB 相关要求，可作为客户的切入点。

表 9-7. USB 接口 PBC 相关要求 (1) (2)

参数	最小值	典型值	最大值	单位
数据通道 (USB_DAT_P、USB_DAT_N) 和其他信号之间的串扰			< 1.5	mVpp
通道内偏斜 (USB_DAT_P、USB_DAT_N)			< 20	ps
差分阻抗 (USB_DAT_P、USB_DAT_N)	76.5	90	103.5	Ω
单模式阻抗 (USB_DAT_P、USB_DAT_N)		45		Ω
共模阻抗 (USB_DAT_P、USB_DAT_N)	21	30	39	Ω
寄生电阻 (USB_DAT_P、USB_DAT_N)			≤ 0.5	Ω
总电容 (USB_DAT_P、USB_DAT_N)			< 4	pF
USB_DAT_P、USB_DAT_N 之间的布电线容差异			< 1	pF
TXRTUNE 电阻器	172.26	174	175.74	Ω

(1) 如果使用最小布线宽度和间距来避开控制器焊球场，为了实现目标 100Ω 阻抗（即减少传输线路损耗），宜在退出后将这些区域扩大。

(2) 图 9-14 中显示了差分对的一个 PCB 布局示例。

USB_DAT_P/USB_DAT_N 的附加布局指南：

- 在 PBC 的顶层布线差分信号对，以尽可能减少过孔数量。将必要过孔的数量限制为两个。
- 使用微带线配置在单个接地或电源平面上布线差分信号对。还建议使用接地防护布线。
- 请勿将差分信号对布线到电源或接地平面缝隙上。
- 更大限度地减少每个对以及每个对之间的布线长度不匹配，以满足偏斜要求。
- 确保与差分信号对相关的弯曲角度在 135° 和 225° 之间。（请参阅图 9-15。）
- 尽量缩短差分信号对与时钟或数字信号并联的长度。
- 请勿在使用石英晶体、振荡器、时钟同步电路、磁性器件或时钟的 IC 下方布线差分信号对。

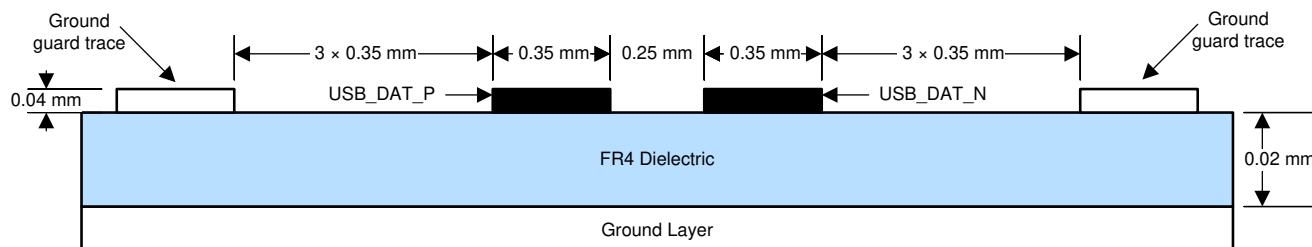


图 9-14. USB 布局示例

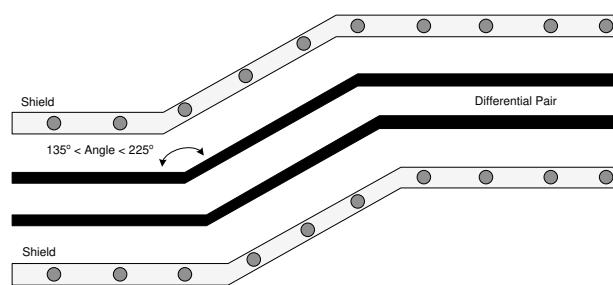


图 9-15. USB 布线示例

针对 TXRTUNE 的附加 USB 布局布线指南

- 对 TXRTUNE 和接地之间的电阻器使用尽可能短的连接长度。
- 使用接地层和接地防护布线屏蔽导线和电阻。

9.1.8 DMD 接口布局注意事项

DLPC7530 控制器 HSSI 差分接口波形的质量和时序取决于互连系统的总长度、布线间距、特征阻抗、蚀刻损耗以及接口两端长度的匹配程度。因此，确保正时序裕度需要注意许多因素。

DLPC7530 I/O 时序参数以及 DMD I/O 时序参数可在相应的数据表中找到。同样，可通过受控的 PCB 布线对 PCB 布线不匹配问题进行预算并予以解决。PCB 设计建议在表 9-8、图 9-16 和下面的段落中提供，作为客户的切入点。

表 9-8. 针对 DMD 接口的 PCB 建议 (1) (2)

参数	最小值	最大值	单位
T_W 布线宽度	5.7		mil
T_S 通道内布线间距	5.3		mil
T_{SPP} 通道内布线间距 ⁽³⁾	48.3		mil

- (1) 可实现节 5.7 中 R_{DIFF} 规定的所需标称差分阻抗的建议。
(2) 这些参数显示了基于图 9-16 中所示微带设计的建议。该设计可更大限度地减少信号损失，从而支持更长的布线长度，但会增加电磁干扰 (EMI)。设计人员可以选择使用带状线设计来缩短布线长度，并以信号损失为代价更大限度地降低 EMI。
(3) 缩小的通道内间距可用于避开控制器焊球场，但应将此间距至少加宽至避开之后规定的最小值。

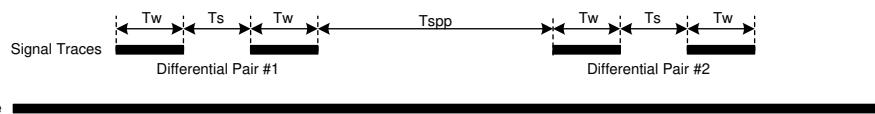


图 9-16. DMD 差分布局建议

附加的 DMD 接口布局布线指南：

- 在 PBC 的顶层布线差分信号对，以尽可能减少过孔数量。将必要过孔的数量限制为两个。如果需要两个，则在线路的每一端各放置一个（一个在控制器上，一个在 DMD 上）。
- 使用微带线配置在单个接地或电源平面上布线差分信号对。
- 请勿将差分信号对布线到电源或接地平面缝隙上。
- 确保与差分信号对相关的弯曲角度在 135° 和 225° 之间。
- 以更大限度减少所需过孔数量的方式路由单端信号。将必要过孔的数量限制为两个。如果需要两个，则在线路的每一端各放置一个（一个在控制器上，一个在 DMD 上）。
- 避免桩模块。
- DMD_HSSI 或 DMD_LS 差分信号上不需要外部端接电阻器。
- 在 DMD_LS0_RDATA 和 DMD_LS1_RDATA 单端信号路径中包含一个串联端接电阻器（例如阻值为 30.1 Ω）。将电阻尽可能靠近相应的 DMD 引脚放置。
- DMD_DEN_ARSTZ 通常不需要串联电阻器；不过，对于长布线，可能需要使用串联电阻器来减少下冲或过冲。

9.1.9 未使用 CMOS 类型引脚的一般处理指南

为避免对未使用的视频源输入和未使用的 GPIO 造成潜在损害，必须遵循相关节 4 中特别注释的说明。对于那些没有具体说明的未使用输入，TI 建议将这些输入引脚通过一个上拉电阻器连接到其相关的电源或通过一个下拉电阻器接地。未使用的仅输出引脚可以保持断开状态。切勿将未使用的仅输出引脚直接连接到电源或接地。对于带有内部上拉或下拉电阻器的控制器输入，除非特别建议，否则不需要添加外部上拉或下拉电阻器。内部上拉和下拉电阻很弱，不能指望其驱动外部线路。当具有内置弱上拉或下拉的引脚需要外部上拉或下拉电阻时，请使用表 4-14 中指定的值。

对于任何未使用的视频源，还必须遵循电源注意事项。节 8.3 中详细介绍了这些信息。

9.1.10 最大引脚对引脚 PCB 互连蚀刻长度

表 9-9. 最大引脚对引脚 PCB 互连建议—DMD

控制器接口	信号互连拓扑 ^{(1) (2) (3)}		单位
	单板信号布线长度	多板信号布线长度	
DMD_HSSI0_CLK_P DMD_HSSI0_CLK_N	10 (254)	控制器 PCB : 2 (50.8) DMD PCB : 4 (101.6) 柔性 : 10 (254)	英寸 (mm)
DMD_HSSI0_D0_P DMD_HSSI0_D0_N			
DMD_HSSI0_D1_P DMD_HSSI0_D1_N			
DMD_HSSI0_D2_P DMD_HSSI0_D2_N			
DMD_HSSI0_D3_P DMD_HSSI0_D3_N		控制器 PCB : 2 (50.8) DMD PCB : 4 (101.6) 柔性 : 10 (254)	英寸 (mm)
DMD_HSSI0_D4_P DMD_HSSI0_D4_N			
DMD_HSSI0_D5_P DMD_HSSI0_D5_N			
DMD_HSSI0_D6_P DMD_HSSI0_D6_N			
DMD_HSSI0_D7_P DMD_HSSI0_D7_N			
DMD_HSSI1_CLK_P DMD_HSSI1_CLK_N	10 (254)	控制器 PCB : 2 (50.8) DMD PCB : 4 (101.6) 柔性 : 10 (254)	英寸 (mm)
DMD_HSSI1_D0_P DMD_HSSI1_D0_N			
DMD_HSSI1_D1_P DMD_HSSI1_D1_N			
DMD_HSSI1_D2_P DMD_HSSI1_D2_N			
DMD_HSSI1_D3_P DMD_HSSI1_D3_N		控制器 PCB : 2 (50.8) DMD PCB : 4 (101.6) 柔性 : 10 (254)	英寸 (mm)
DMD_HSSI1_D4_P DMD_HSSI1_D4_N			
DMD_HSSI1_D5_P DMD_HSSI1_D5_N			
DMD_HSSI1_D6_P DMD_HSSI1_D6_N			
DMD_HSSI1_D7_P DMD_HSSI1_D7_N			
DMD_LS0_CLK_P DMD_LS0_CLK_N	18 (457.2)	18 (457.2)	英寸 (mm)
DMD_LS0_WDATA_P DMD_LS0_WDATA_N	18 (457.2)	18 (457.2)	英寸 (mm)
DMD_LS1_CLK_P DMD_LS1_CLK_N	18 (457.2)	18 (457.2)	英寸 (mm)
DMD_LS1_WDATA_P DMD_LS1_WDATA_N	18 (457.2)	18 (457.2)	英寸 (mm)
DMD_LS0_RDATA	18 (457.2)	18 (457.2)	英寸 (mm)
DMD_LS1_RDATA	18 (457.2)	18 (457.2)	英寸 (mm)

表 9-9. 最大引脚对引脚 PCB 互连建议—DMD (续)

控制器接口	信号互连拓扑 ^{(1) (2) (3)}		单位
	单板信号布线长度	多板信号布线长度	
DMD_DEN_ARSTZ	不适用	不适用	英寸 (mm)

(1) 最大信号布线长度将迂回布线计算进来。

(2) 所示的多板 DMD 布线长度是 TI 分析过的组合。

(3) 由于电路板差异，使用控制器 IBIS 模型为所有电路板设计创建 SPICE 仿真，从而确保信号布线长度不超出信号要求。

表 9-10. 高速 PCB 信号布线匹配要求

信号组长度匹配 ^{(1) (2)}				
接口	信号组	基准信号	最大失配 ⁽³⁾	单位
DMD ⁽⁴⁾	DMD_HSSI0_D0_P DMD_HSSI0_D0_N	DMD_HSSI0_CLK_P DMD_HSSI0_CLK_N	± 1.0 (± 25.4)	英寸 (mm)
	DMD_HSSI0_D1_P DMD_HSSI0_D1_N			
	DMD_HSSI0_D2_P DMD_HSSI0_D2_N			
	DMD_HSSI0_D3_P DMD_HSSI0_D3_N			
	DMD_HSSI0_D4_P DMD_HSSI0_D4_N			
	DMD_HSSI0_D5_P DMD_HSSI0_D5_N			
	DMD_HSSI0_D6_P DMD_HSSI0_D6_N			
	DMD_HSSI0_D7_P DMD_HSSI0_D7_N			
DMD ⁽⁵⁾	DMD_HSSI0_x_P	DMD_HSSI0_x_N	± 0.01 (± 0.254)	英寸 (mm)
DMD ⁽⁴⁾	DMD_HSSI1_D0_P DMD_HSSI1_D0_N	DMD_HSSI1_CLK_P DMD_HSSI1_CLK_N	± 1.0 (± 25.4)	英寸 (mm)
	DMD_HSSI1_D1_P DMD_HSSI1_D1_N			
	DMD_HSSI1_D2_P DMD_HSSI1_D2_N			
	DMD_HSSI1_D3_P DMD_HSSI1_D3_N			
	DMD_HSSI1_D4_P DMD_HSSI1_D4_N			
	DMD_HSSI1_D5_P DMD_HSSI1_D5_N			
	DMD_HSSI1_D6_P DMD_HSSI1_D6_N			
	DMD_HSSI1_D7_P DMD_HSSI1_D7_N			
DMD ⁽⁵⁾	DMD_HSSI1_x_P	DMD_HSSI1_x_N	± 0.01 (± 0.254)	英寸 (mm)
DMD ⁽⁶⁾	DMD_HSSI0_CLK_P	DMD_HSSI1_CLK_P	± 0.05 (± 1.27)	英寸 (mm)
DMD ⁽⁶⁾	DMD_HSSI0_CLK_N	DMD_HSSI1_CLK_N	± 0.05 (± 1.27)	英寸 (mm)
DMD ⁽⁴⁾	DMD_LS0_WDATA_P DMD_LS0_WDATA_N	DMD_LS0_CLK_P DMD_LS0_CLK_N	± 1.0 (± 25.4)	英寸 (mm)

表 9-10. 高速 PCB 信号布线匹配要求 (续)

信号组长度匹配 ^{(1) (2)}				
接口	信号组	基准信号	最大失配 ⁽³⁾	单位
DMD ⁽⁵⁾	DMD_LS0_X_P	DMD_LS0_X_N	±0.025 (±0.635)	英寸 (mm)
DMD ⁽⁴⁾	DMD_LS1_WDATA_P DMD_LS1_WDATA_N	DMD_LS1_CLK_P DMD_LS1_CLK_N	±1.0 (±25.4)	英寸 (mm)
DMD ⁽⁵⁾	DMD_LS1_X_P	DMD_LS1_X_N	±0.025 (±0.635)	英寸 (mm)
DMD	DMD_LS0_RDATA DMD_LS1_RDATA	不适用	不适用 ⁽⁷⁾	英寸 (mm)
DMD	DMD_DEN_ARSTZ	不适用	不适用	英寸 (mm)

(1) 这些布线要求特定于 PCB 布线。这些要求中已经考虑了 DLPC7530 以及 DLP472NE 和 DLP651NE 中的内部封装布线失配问题。

(2) 对 DMD HS 数据线进行训练，因此定义的匹配要求会稍宽松一些。

(3) 从控制器到 DMD 必须保持该要求，即使信号穿过多个电路板也是如此。

(4) 这是一种差分对间规格（即，组中的差分对到差分对）。

(5) 这是一种对内规格（即同一对的 P 和 N 之间的长度不匹配）。这适用于时钟和数据。

(6) 这是通道间偏斜规格。

(7) DMD 的低速读取控制接口是单端接口，并且使用差分写入时钟。因此，它们之间的布线失配并不适用。

9.2 散热注意事项

DLPC7530 的基本热要求是不得超过最大工作结温 (T_J) (在 [节 5.3](#) 中定义)。该温度取决于工作环境温度、散热器、气流、PCB 设计 (包括元件布局密度和使用的铜量)、DLPC7530 的功率耗散和周围元件的功率耗散。DLPC7530 的封装旨在通过向散热器散热的封装散热板、散热焊球以及 PCB 的电源平面和接地平面来提取热量。因此，散热器、铜含量和 PCB 上的气流是重要因素。

建议的最高工作环境温度 (T_A) 主要作为设计目标提供，并基于强制气流为 0m/s、1m/s 和 2m/s 时的最大 DLPC7530 功率耗散和 $R_{\theta JA}$ ，其中 $R_{\theta JA}$ 是使用 [节 9.1.1](#) 中所述的测试板测得的封装热阻。该测试 PCB 未必代表客户 PCB，因此所报告的热阻可能与实际产品应用不同。尽管实际热阻可能不同，但却是在设计阶段估算热性能的最可靠信息。TI 强烈建议在设计和构建主机 PCB 后衡量和验证热性能。

为此，请测量最坏情况产品场景下的顶部中心外壳温度（最大功率耗散、最大电压、最高环境温度），并验证是否未超过建议的最高外壳温度 (T_C)。此规格基于为 DLPC7530 封装测得的 Φ_{JT} ，并能够相对准确地反映与结温的关系。测量这个外壳温度时要小心，以防止封装表面意外冷却。TI 建议使用小型（大约 40 规度）热电偶。确保磁珠和热电偶导线接触封装顶部。用最少量的导热环氧树脂覆盖磁珠和热电偶导线。沿着封装和电路板表面紧密布置导线，避免通过导线冷却磁珠。

10 器件和文档支持

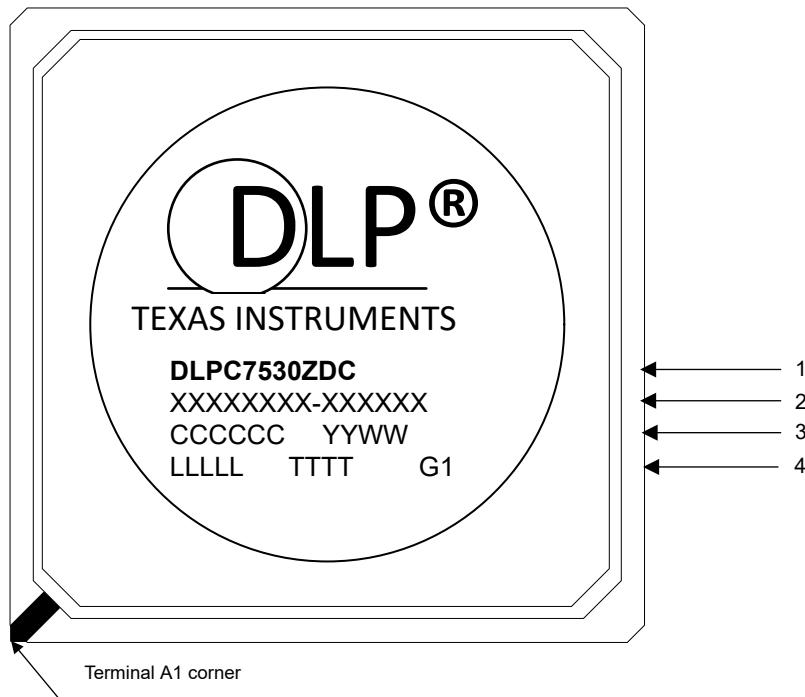
10.1 器件支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.1.2 器件命名规则

10.1.2.1 器件标识



标识定义：

第 1 行： TI 器件型号 : 工程样片

DLPC7530 = 器件 ID

空白或 A、B、C……= 器件修订版本

ZDC = 封装符号

TI 器件型号 : 量产

DLPC7530 = 器件 ID

空白或 A、B、C……= 器件修订版本

ZDC = 封装符号

第 2 行： 供应商信息

XXXXXXXX-XXXXXX

第 3 行： 供应商所在国家/地区的年和周代码

CCCCCC = 国家/地区

YY = 年

WW = 周

WW 后可能还包含 3 个字符的现场代码

ZZZ=现场代码

第 4 行： 供应商批次和跟踪代码

LLLLL = 批次代码

TTTT = 跟踪代码 (可能为空)

10.1.2.2 封装数据

表 10-1. 封装信息

参数	值	单位
焊球数量 (信号/热)	612/64	

表 10-1. 封装信息 (续)

参数	值	单位
焊球间距	1.00	mm
UBM (凸点下金属结构)	0.48 (请参阅图 10-1)	mm
BPD (焊盘直径)	0.58 (请参阅图 10-1)	mm
主体尺寸	请参阅机械制图	mm
模塑化合物尺寸	请参阅机械制图	mm
封装体积类别	350 - 2000 (J-STD-20D)	mm ³
近似重量	5.64	g
基板电路	无铅	
封装焊球	无铅	
焊锡膏	无铅	
焊接曲线	T _C = 250°C, T _P = 253°C (J-STD-20D)	
湿敏等级	MSL 等级 3 (J-STD-20D)	
焊球成分	SAC305	
线键合	Cu	
安装技术	a) 热空气回流 (包括长和/或中红外射线回流的组合) b) 长或中红外射线回流	

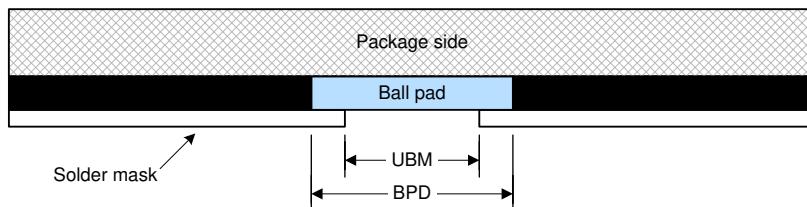


图 10-1. 封装焊球参数

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10.4 商标

FPD-Link™, BrilliantColor™, and TI E2E™ are trademarks of Texas Instruments.

V-by-One® is a registered trademark of THine Electronics, Inc.

Arm® and Cortex® are registered trademarks of Arm Limited.

DLP® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

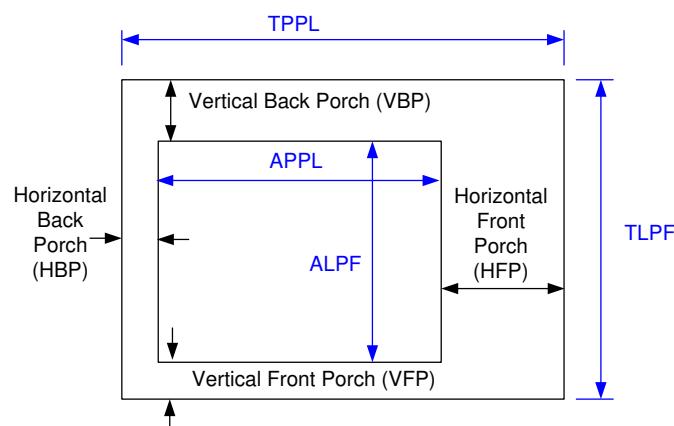
10.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10.6.1 视频时序参数定义

每帧有效扫描行数 (ALPF)	定义包含可显示数据的一个帧中的线数量：ALPF 是 TLPF 的一个子集。
每行有效像素 (APPL)	定义包含可显示数据的一行中的像素时钟数量：APPL 是 TPPL 的一个子集。
水平后沿 (HBP) 消隐	水平同步之后，第一个有效像素之前的消隐像素时钟数量。注意：HBP 时间参考各自同步信号的前缘（有效）边沿。
水平前沿 (HFP) 消隐	最后一个有效时钟之后，水平同步之前的消隐像素时钟的数量。
水平同步 (HS)	定义水平间隔（行）开始的时序基准点。这个绝对基准点由 HS 信号的有效边沿定义。有效边沿（源定义的上升沿或下降沿）是测量所有水平消隐参数的基准。
每帧总行数 (TLPF)	定义行内的垂直周期（或者帧时间）：TLPF = 每帧总行数（有效和无效）。
每行总像素 (TPPL)	像素时钟内的水平线周期：TPPL = 每行总像素时钟数（有效和无效像素时钟）。
垂直同步 (VS)	定义垂直间隔（帧）开始的时序基准点。这个绝对基准点由 VS 信号的有效边沿定义。有效边沿（源定义的上升沿或下降沿）是测量所有垂直消隐参数的基准。
垂直后沿 (VBP) 消隐	垂直同步后，第一个有效行之前的消隐行的数量。
垂直前沿 (VFP) 消隐	在最后一个有效行后，垂直同步前的消隐行数。



11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

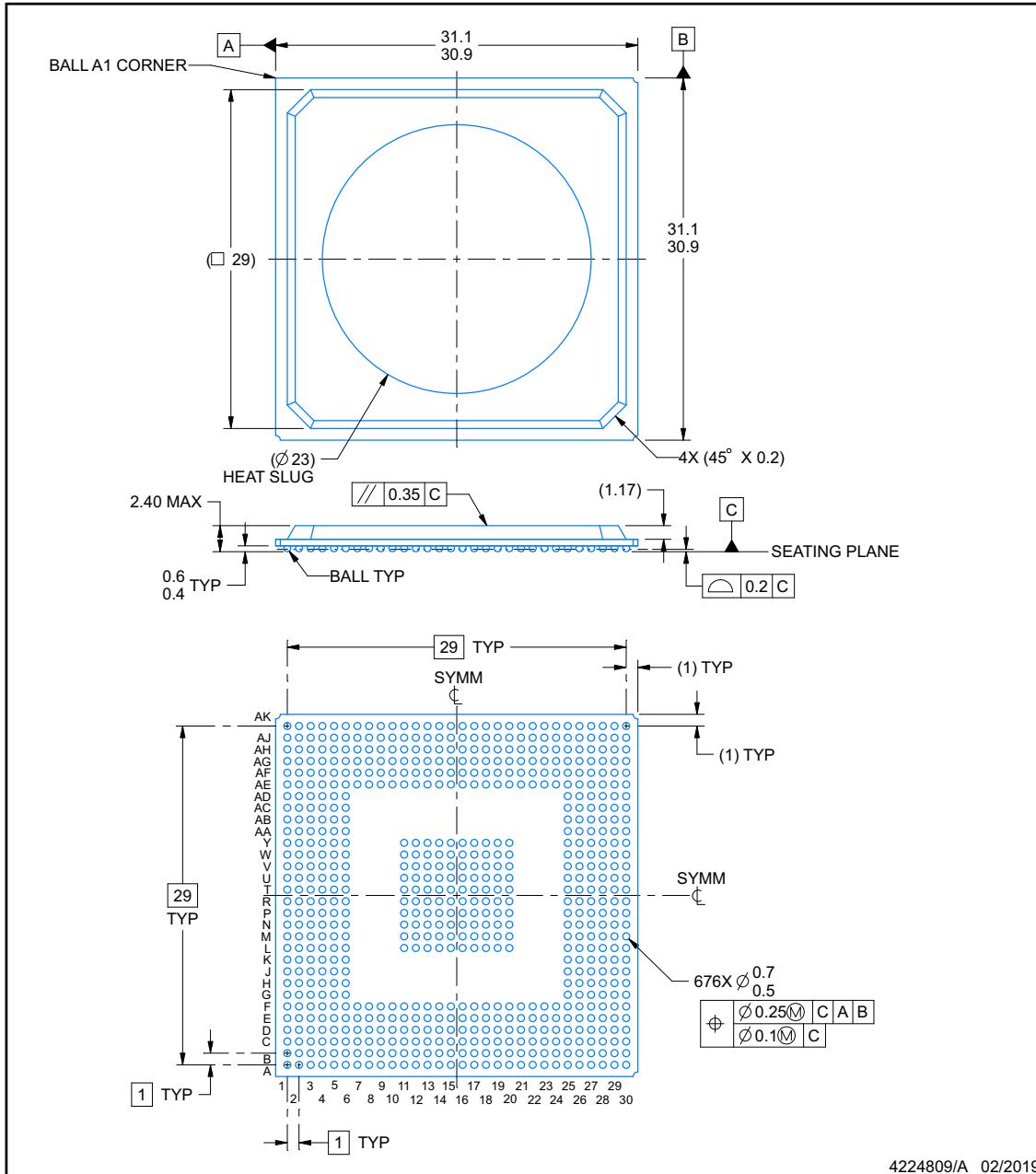
日期	修订版本	注释
April 2024	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是所指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ZDC0676A**PACKAGE OUTLINE****PBGA - 2.4 mm max height**

PLASTIC BALL GRID ARRAY



NOTES:

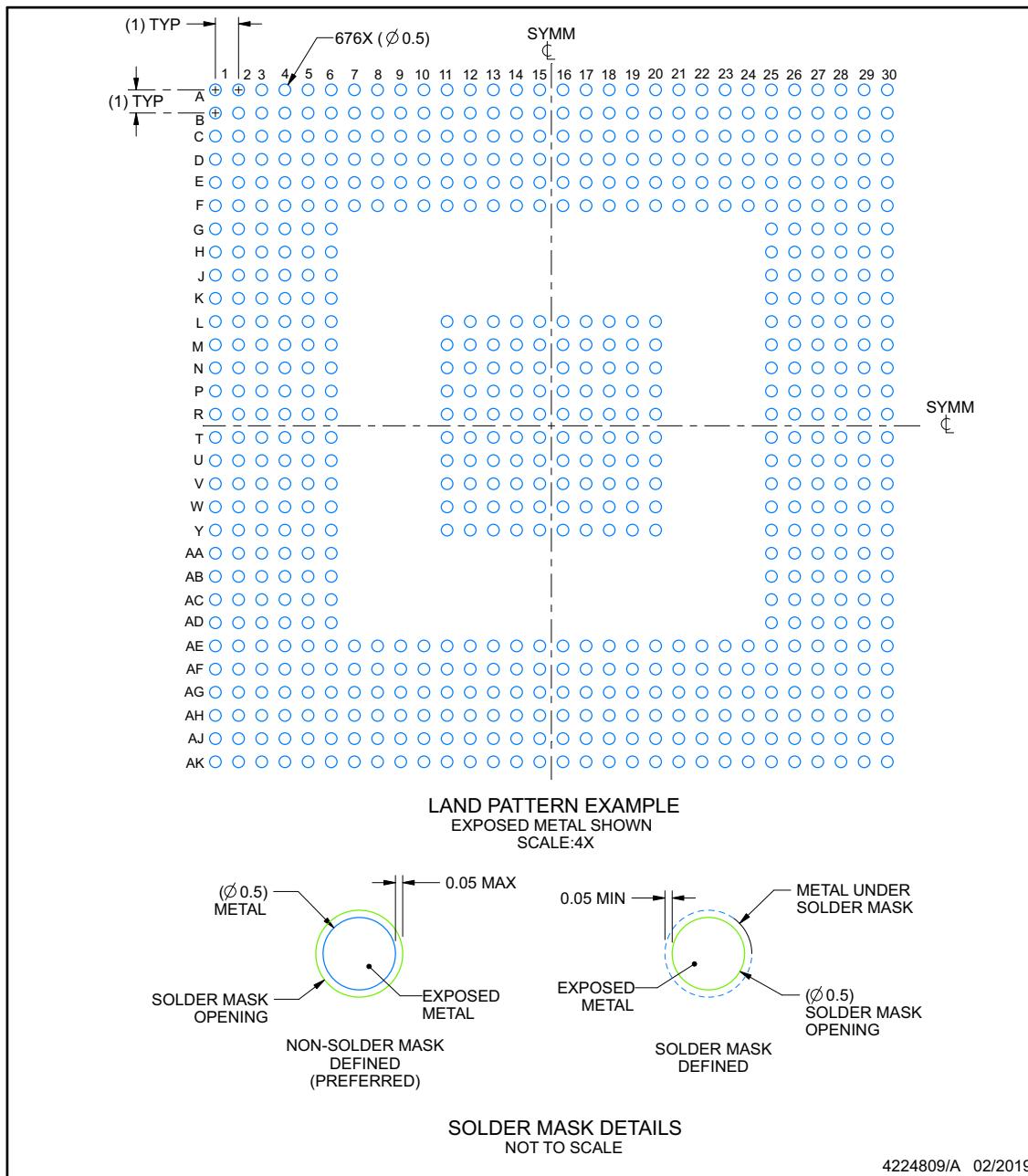
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ZDC0676A

PBGA - 2.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

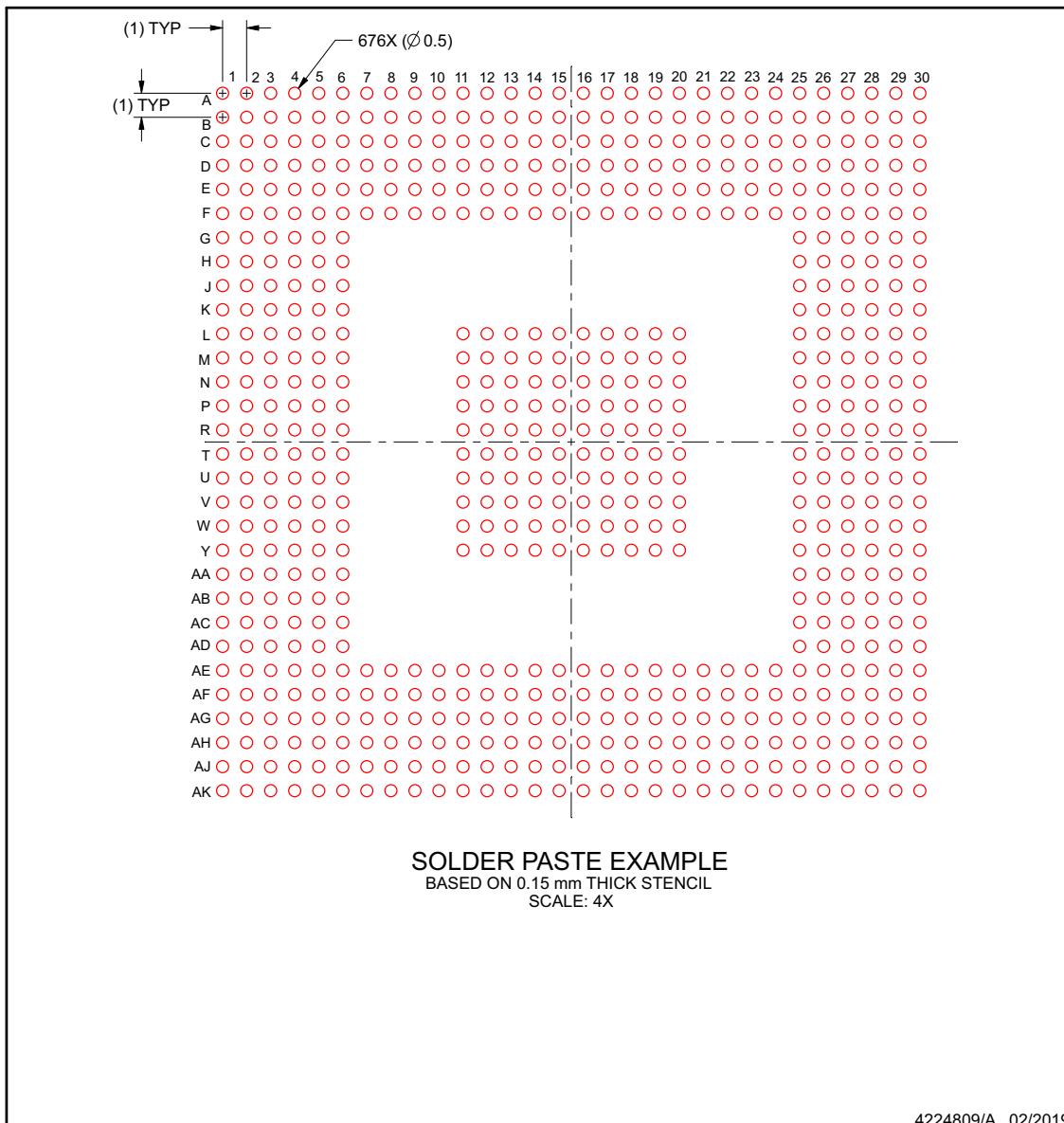
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SSZA002 (www.ti.com/lit/ssza002).

EXAMPLE STENCIL DESIGN

ZDC0676A

PBGA - 2.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

4224809/A 02/2019



PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLPC7530ZDC	Active	Production	BGA (ZDC) 676	40 JEDEC TRAY (10+1)	-	Call TI	Call TI	0 to 55	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

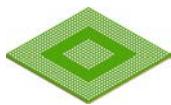
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

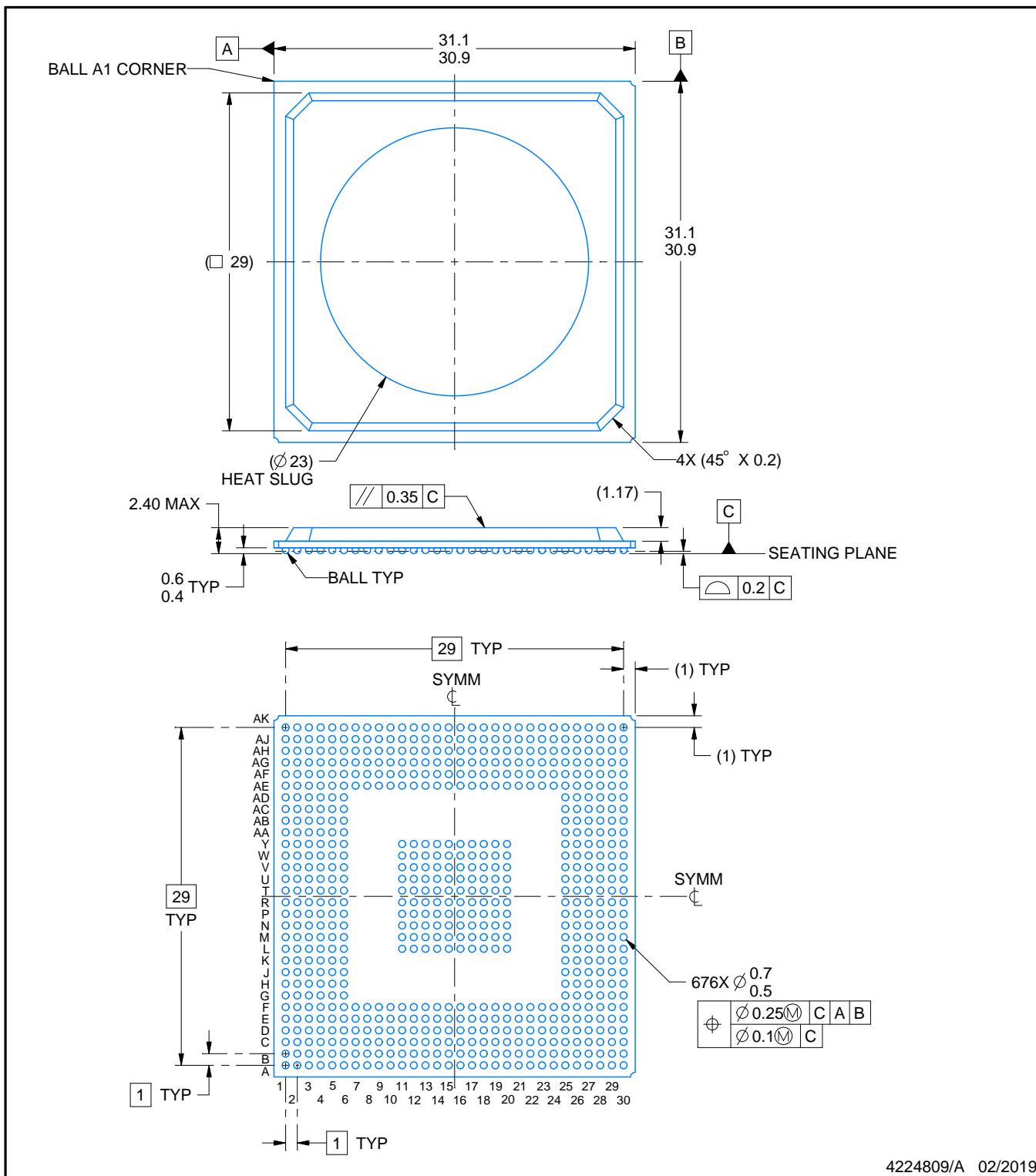
PACKAGE OUTLINE

ZDC0676A



PBGA - 2.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

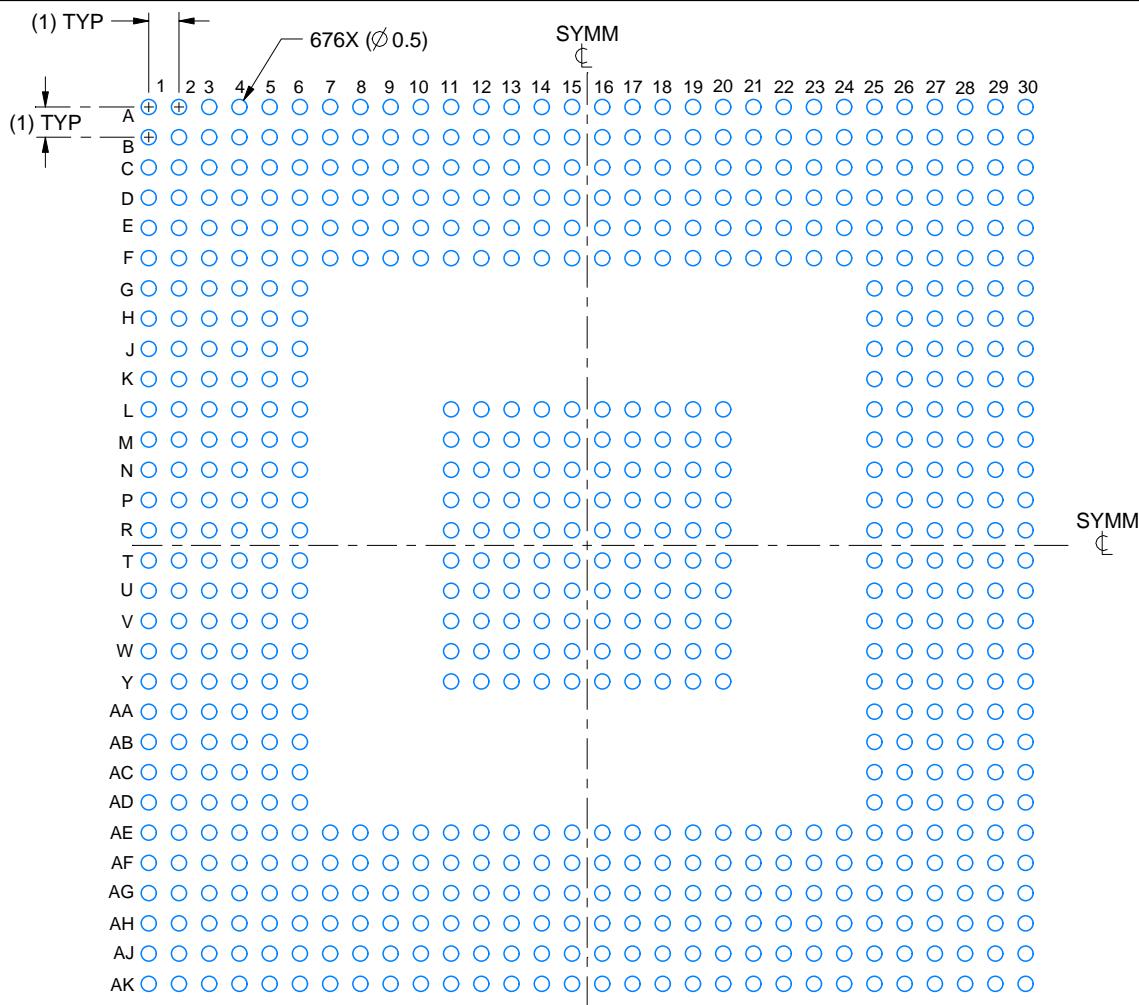
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

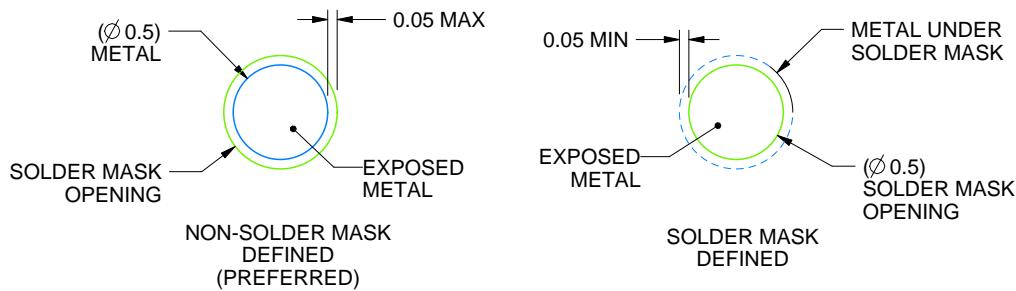
ZDC0676A

PBGA - 2.4 mm max height

PLASTIC BALL GRID ARRAY



**LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:4X**



SOLDER MASK DETAILS NOT TO SCALE

4224809/A 02/2019

NOTES: (continued)

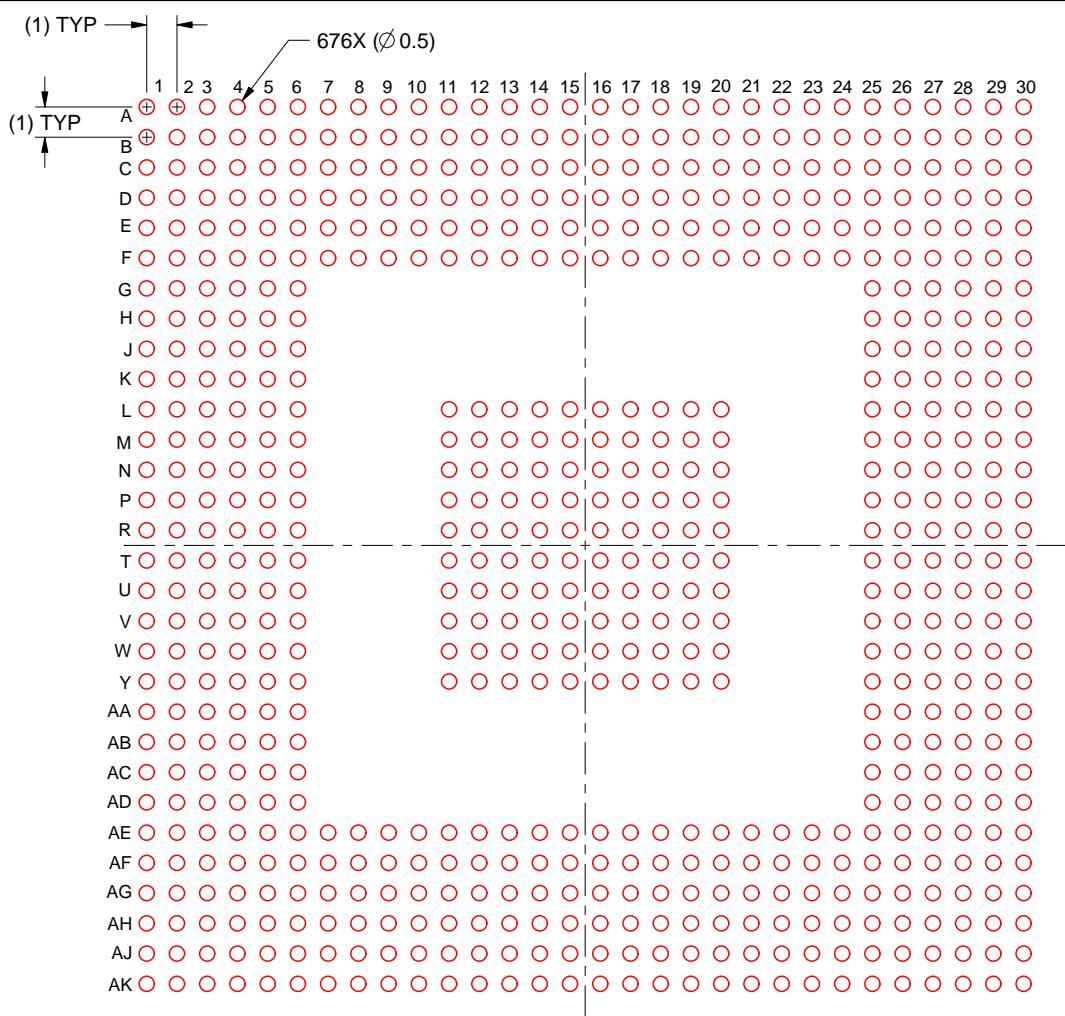
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SSZA002 (www.ti.com/lit/ssza002).

EXAMPLE STENCIL DESIGN

ZDC0676A

PBGA - 2.4 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE

BASED ON 0.15 mm THICK STENCIL

SCALE: 4X

4224809/A 02/2019

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月