DP83826 确定性、低延迟、低功耗、10/100Mbps 工业以太网 PHY

1 特性

- 较低的确定性延迟
  - TX 延时：40ns，RX 延时：170ns
  - 电源循环上的确定性延迟 < ±2ns
  - 固定相位 XI 到 TX_CLK 关系 < ±2ns
- 稳健的小型系统实施
  - 用于增强 EMC 的集成电路
  - IEC 61000-4-2 ESD：±8kV 接触，±15kV 空气
  - IEC 61000-4-4 EFT：5kHz、100kHz 下 ±4kV
  - CISPR 22 传导发射 B 类
  - CISPR 22 辐射发射 B 类
  - 快速链路丢失 < 10µs
  - 电缆长度 > 150 米
  - 电压模式线路驱动器
  - MAC 接口上的集成终端
  - 电压容限：±10%
- 单个器件中具有两种可选引脚模式
  - 用于附加功能的 ENHANCED 模式
  - 用于通用以太网引脚的基本模式
- 低功耗 < 160mW
- MAC 接口：MII、RMII
- 可编程节能模式
  - 主动睡眠
  - 深度断电
  - 节能以太网 (EEE) IEEE 802.3az
  - 局域网唤醒 (WoL)
- 诊断工具：电缆诊断、内置自检 (BIST)、环回模式
- 单个 3.3V 电源
- I/O 电压：1.8V 或 3.3V
- RMII 背对背中继器模式
- DP83826E 工作温度范围：-40°C 至 105°C
- DP83826I 工作温度范围：-40°C 至 85°C
- 符合 IEEE 802.3 标准：10BASE-Te、100BASE-TX
- 符合 EtherCAT® 标准

2 应用

- 工厂自动化、机器人和运动控制
- 电机驱动器
- 电网基础设施
- 楼宇自动化
- 工业以太网现场总线

3 说明

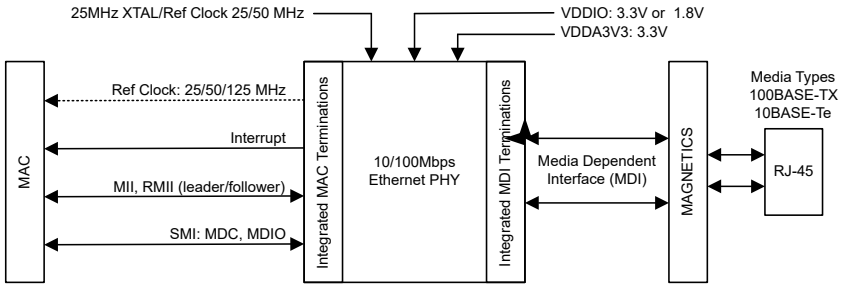
DP83826 能够提供很低的确定性延迟和低功耗，并支持 10BASE-Te，100BASE-TX 以太网协议，可以满足实时工业以太网系统中的严格要求。该器件包含可实现快速链接的硬件自举、快速链路丢失检测模式以及用于对系统上的其他模块进行时钟同步的专用参考 CLKOUT。

两种可配置模式为：使用通用以太网引脚排列的 BASIC 标准以太网模式，以及支持标准以太网模式和多个工业以太网现场总线应用（通过附加功能和硬件自举配置）的 ENHANCED 以太网模式。

器件系列信息

器件型号(1)	封装	本体尺寸（标称值）	属性
DP83826E/I	VQFN (32)	5.00mm × 5.00mm	超低延迟、通用引脚
DP83825I	WQFN (24)	3.00mm × 3.00mm	小尺寸、经优化的解决方案成本
DP83822HF/IF/H/I	VQFN (32)	5.00mm × 5.00mm	宽温度范围、光纤和 RGMII 支持

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版应用

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 模式比较表.....3
5 引脚配置和功能（增强模式）.....4
6 引脚配置和功能（基本模式）.....7
7 规格.....10
7.1 绝对最大额定值.....10
7.2 ESD 等级.....10
7.3 建议运行条件.....10
7.4 热性能信息.....11
7.5 电气特性.....12
7.6 时序要求.....15
7.7 时序图.....18
7.8 典型特性.....23
8 详细说明.....24
8.1 概述.....24
8.2 功能方框图.....25
8.3 特性说明.....25
8.4 编程.....48
8.5 寄存器映射.....52
9 应用和实施.....95
9.1 应用信息.....95
9.2 典型应用.....95
9.3 电源相关建议.....99
9.4 布局.....100
10 器件和文档支持.....103
10.1 相关文档.....103
10.2 接收文档更新通知.....103
10.3 支持资源.....103
10.4 商标.....103
10.5 静电放电警告.....103
10.6 术语表.....103
11 修订历史记录.....103
12 机械、封装和可订购信息.....106

Copyright © 2025 Texas Instruments Incorporated

4 模式比较表

DP83826 可在增强模式或基本模式下搭接运行。增强模式允许 DP83826 支持除标准以太网应用之外的实时以太网应用。基本模式允许 DP83826 支持标准以太网应用。此外，基本模式下的 DP83826 引脚排列与许多应用中使用的常见 PHY 引脚排列相匹配。

表 4-1. 选择增强模式或者基本模式

增强模式	基本模式
使 ModeSelect（引脚 1）保持未连接状态，或通过上拉电阻器将引脚连接到 VDDIO	将 ModeSelect（引脚 1）短接至 GND

表 4-2. 增强模式和基本模式之间的引脚映射差异

引脚编号	增强模式	基本模式
31	CLKOUT/LED1	LED1/TX_ER
21	PWRDN/INT	INT

表 4-3. 增强模式和基本模式之间的硬件自举差异

硬件自举	增强模式 (3)	基本模式
启用和禁用快速链路丢失功能 (1)	是	否（始终启用）
快速链路丢失检测机制	可控制搭接	RX_Error 和 Signal Energy
自动 MDIX 启用和禁用 (1)	是	否
强制 MDI/MDIX 选择 (1)	是	否
RMII 背对背中继器模式配置 (2)	是	否
MII 或 RMII 选择	是	是
速度选择（10M 或 100M）	否	是
MII 隔离启用和禁用	否	是
自动协商启用和禁用	是	是
可用 PHY 地址的数量	8	8
半双工或全双工选择	否	是
CLKOUT 代替 LED1	是	否
奇半字节检测	可控制搭接	默认禁用

(1) 这些引脚自举使增强模式 DP83826 能够满足实时以太网应用的严格要求。
(2) 该引脚自举使增强模式 DP83826 能够用作 RMII 中继器。
(3) 增强模式包括基本模式可配置的所有工作模式。区别在于，在这些工作模式中，增强模式需要配置寄存器。

备注

有关在使用通用标准以太网引脚排列的现有系统中使用 DP83826 基本模式的分步方法，请参阅 SNLA338。

备注

有关以太网相关首字母缩略词的标准化列表，请参阅*《以太网产品相关首字母缩略词的中英文定义》*。

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能（增强模式）

增强模式是 DP83826 在启动时可配置的两种模式之一。此模式允许 DP83826 支持除标准以太网应用之外的实时以太网应用。要将 DP83826 配置为增强模式，请将 ModeSelect（引脚 1）保持未连接状态，或使用电阻器上拉至 VDDIO。

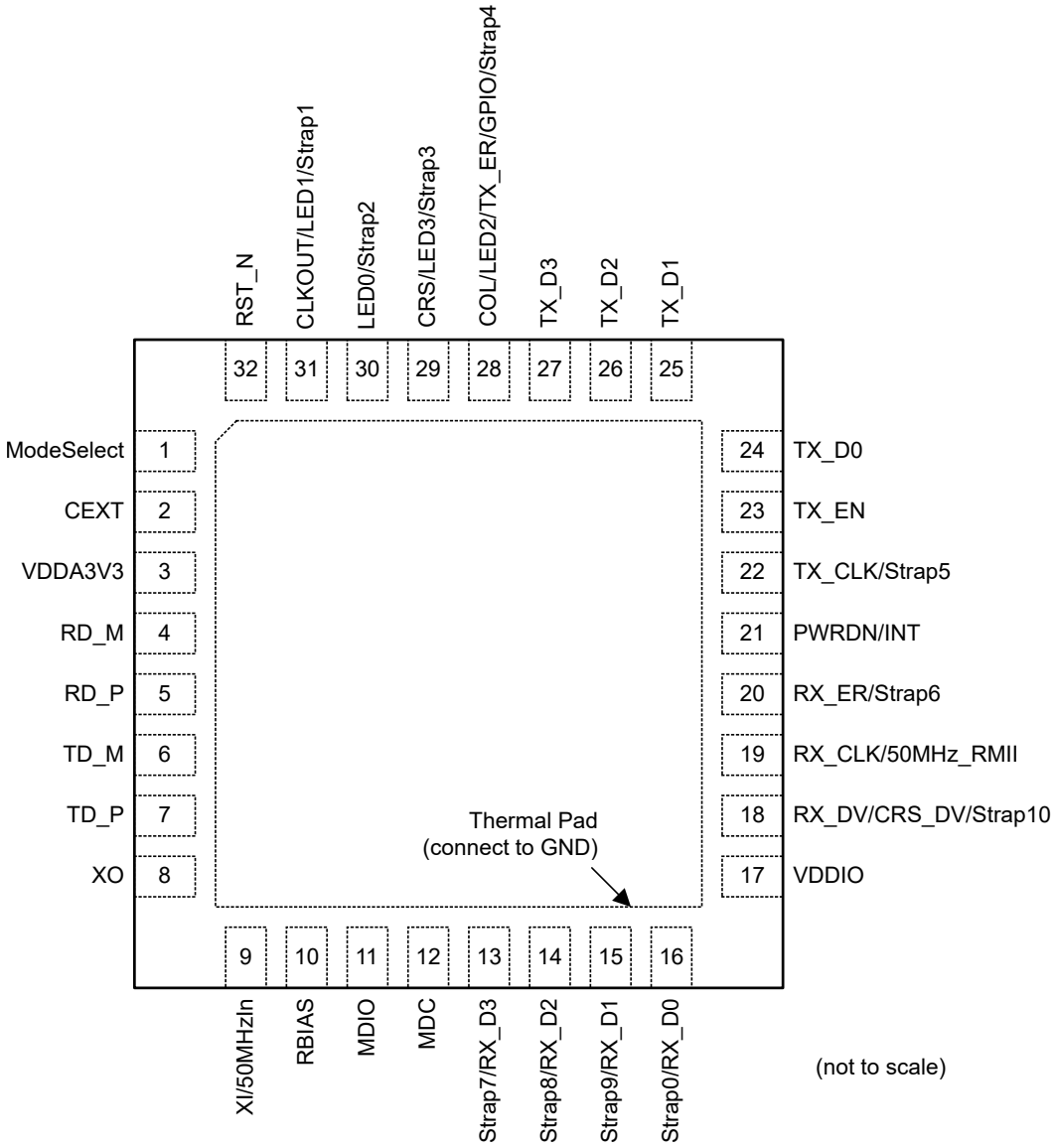


图 5-1. RHB 封装
32 引脚 QFN
（顶视图）

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（增强模式）

引脚		类型[1]	说明
名称	否		
ModeSelect	1	复位：I，PU 激活：I，PU	该引脚选择 DP83826 工作模式：基本模式或增强模式。对于增强模式，该引脚应保持 NC 或通过电阻器上拉至 VDDIO。对于基本模式，该引脚应短接至 GND。
CEXT	2	A	外部电容器：通过一个 2nF 电容器将 CEXT 引脚连接至 GND。
VDDA3V3	3	电源	输入模拟电源：3.3V。有关去耦电容器要求，请参阅数据表的*电源相关建议*部分。
RD_M	4	A	差分接收输入（取决于物理介质：PMD）：该等差分输入可自动配置为接受 10BASE-Te、100BASE-TX 特定信令模式。
RD_P	5	A	
TD_M	6	A	差分发送输出 (PMD)：这些差分输出根据为 PHY 选择的配置，被配置为 10BASE-Te 或 100BASE-TX 信令模式。
TD_P	7	A	
XO	8	A	晶体输出：基准时钟输出。XO 引脚仅用于晶振。CMOS 电平振荡器与 XI 相连时，保持该引脚为悬空。
XI/50MHzIn	9	A	晶体或振荡器输入时钟： MII 模式、RMII 主模式：25MHz ± 50ppm 容差晶体或振荡器时钟。 RMII 从模式：50MHz ± 50ppm 容差 CMOS 级振荡器时钟。
RBIAS	10	A	1% 精度接地的 RBIAS（偏置电阻器）值 6.49kΩ。
MDIO	11	复位：I，PU 激活：I/O，PU	管理数据 I/O：双向管理数据信号，可由管理站或 PHY 提供。该引脚具有 10kΩ 的内部上拉电阻。如果需要，可以添加一个外部上拉电阻器。
MDC	12	复位：I，PD 激活：I，PD	管理数据时钟：MDIO 串行管理输入/输出数据的同步时钟。该时钟可以与 MAC 发送与接收时钟异步。最大时钟速率为 25MHz。没有最低时钟速率。
RX_D3	13	复位：I，PD 激活：O Strap7	接收数据：对电缆上接收的符号进行解码并呈现到这些引脚上（与 RX_CLK 的上升沿同步）。且在 RX_DV 置位时包含有效数据。在 MII 模式下会接收半字节 RX_D[3:0]。在 RMII 模式下会接收 2 位 RX_D[1:0]。
RX_D2	14	复位：I，PD 激活：O Strap8	
RX_D1	15	复位：I，PD 激活：O Strap9	
RX_D0	16	复位：I，PD 激活：O Strap0	
VDDIO	17	电源	I/O 电源电压：3.3V 或 1.8V。有关去耦电容器要求，请参阅数据表的*电源去耦建议*部分。
RX_DV/ CRS_DV	18	复位：I，PD 激活：O Strap10	接收数据有效：该引脚表示 MII 模式的 RX_D[3:0] 上和 RMII 模式的 RX_D[1:0] 上存在有效数据。在 MII 模式下，该引脚用作 RX_DV。在 RMII 模式下，该引脚用作 CRS_DV，并整合了 RMII 载波和接收数据有效指示功能。该引脚可在 RMII 模式下配置为 RX_DV 以启用 RMII 中继器模式。
RX_CLK/ 50MHz_RMII	19	复位：I，PD 激活：O	MII 接收时钟：MII 接收时钟提供速度为 100bps 的 25MHz 基准时钟和速度为 10Mbps 的 2.5MHz 基准时钟，该时钟源自接收的数据流。 在 RMII 主模式下，这提供 50MHz 基准时钟。在 RMII 从模式下，该引脚未被使用，仍然为输入，下拉。
RX_ER	20	复位：I，PD 激活：O Strap6	接收错误：该引脚指示在 MII 和 RMII 模式下接收到的数据包中检测到错误符号。 在 MII 模式下，RX_ER 与 RX_CLK 的上升沿同步置为高电平。 在 RMII 模式下，RX_ER 与基准时钟的上升沿同步置为高电平。对于每个接收错误，包括空闲期间的错误，RX_ER 均被置为高电平。 该配置 (strap) 仅在上电时锁存，在引脚复位时不会锁存。
PWRDN/INT	21	复位：I，PU 激活：I/O，PU	断电（默认），中断：该引脚的默认功能是断电。要将该引脚配置为中断，需要访问寄存器。在断电功能中，该引脚上的低电平有效信号会将器件置于断电模式。如果该引脚配置为中断引脚，则会在发生中断条件时将该引脚置位为低电平。该引脚具有带弱内部上拉电阻 (9.5kΩ) 的开漏输出。某些应用需要外部 PU 电阻。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（增强模式）（续）

引脚		类型(1)	说明
名称	否		
TX_CLK	22	复位：I，PD 激活：O Strap5	MII 发送时钟：MII 发送时钟提供速度为 100Mbps 的 25MHz 基准时钟和速度为 10Mbps 的 2.5MHz 基准时钟。请注意，在 MII 模式下，该时钟具有以输入时钟为基准的恒定相位。在 RMII 模式下未使用。
TX_EN	23	复位：I，PD 激活：I，PD	发送使能：TX_EN 出现在 TX_CLK 的上升沿。TX_EN 表示在 MII 模式下的 TX_D[3:0] 上和 RMII 模式下的 TX_D[1:0] 上存在有效数据输入。TX_EN 是高电平有效信号。
TX_D0	24	复位：I，PD 激活：I，PD	发送数据： 在 MII 模式下，从 MAC 接收的发送数据半字节与 TX_CLK 的上升沿同步。 在 RMII 模式下，从 MAC 接收的 TX_D[1:0] 与基准时钟上升沿同步。
TX_D1	25	复位：I，PD 激活：I，PD	
TX_D2	26	复位：I，PD 激活：I，PD	
TX_D3	27	复位：I，PD 激活：I，PD	
COL/LED2/ TX_ER/GPIO	28	复位：I，PD 激活：O Strap4	碰撞检测（默认）：在 MII 模式下，当引脚用作碰撞检测 (COL) 时，该引脚在全双工模式下始终为低电平。在半双工模式下，只有当发送和接收介质都非空闲时，COL 才置为高电平。通过寄存器配置，该引脚还可配置为第二个附加 LED 驱动器 (LED2)、MII TX_ER 信号或通用 I/O (GPIO)。 在 RMII 模式下，该引脚默认用作 LED2。
CRS/LED3	29	复位：I，PD 激活：O Strap3	载波侦听（默认）： 在 MII 模式下，当接收或发送介质非空闲时，该引脚置为高电平。载波侦听和接收数据有效。 通过寄存器配置，可以将该引脚配置为 LED (LED3)。 在 RMII 模式下，该引脚默认配置为 LED3。
LED0	30	复位：I，PD 激活：O Strap2	LED0：除了指示链路状态以外，LED 还能够指示发送与接收活动。当链路正常时，LED 亮起。当发送器或接收器处于活动状态时，LED 将闪烁。 LED 极性是根据引脚上的外部上拉或下拉自动检测的（低电平有效/高电平有效）。
CLKOUT/ LED1	31	复位：I，PU 激活：O Strap1	该引脚在上电复位 (POR) 后将来自 XI 的 25MHz 基准时钟作为默认输出。输出不受复位影响，从而允许应用复位 PHY，而不会影响其他系统。输出时钟仅在深度断电时关闭。 可以使用 strap 或寄存器配置将该引脚配置为用作 LED1。该配置 (strap) 仅在上电时锁存，在引脚复位时不会锁存。当链路速率为 100Mbps 时，LED 亮起。如果链路速率为 10Mbps 或无链路，则 LED 保持熄灭。 LED 极性是根据引脚上的外部上拉或下拉自动检测的（低电平有效/高电平有效）。 该配置 (strap) 仅在上电时锁存，在引脚复位时不会锁存。
RST_N	32	复位：I，PU 激活：I，PU	复位为低电平：RST_N 引脚是低电平有效复位输入。将该引脚置位为低电平（至少 25 µs），可强制执行复位过程。启动复位会引起对配置 (strap) 引脚的重新扫描，并会将 PHY 的所有内部寄存器复位为默认值。

(1) I =输入，O =输出，I/O =输入/输出，A =模拟，PU 或 PD =内部上拉或下拉：硬件自举配置

Copyright © 2025 Texas Instruments Incorporated

6 引脚配置和功能（基本模式）

基本模式是 DP83826 在启动时可配置的两种模式之一。该模式允许 DP83826 支持所有标准以太网应用，并匹配当今许多应用中使用的通用引脚配置。要将 DP83826 配置为基本模式，请将 ModeSelect（引脚 1）短接至 GND。

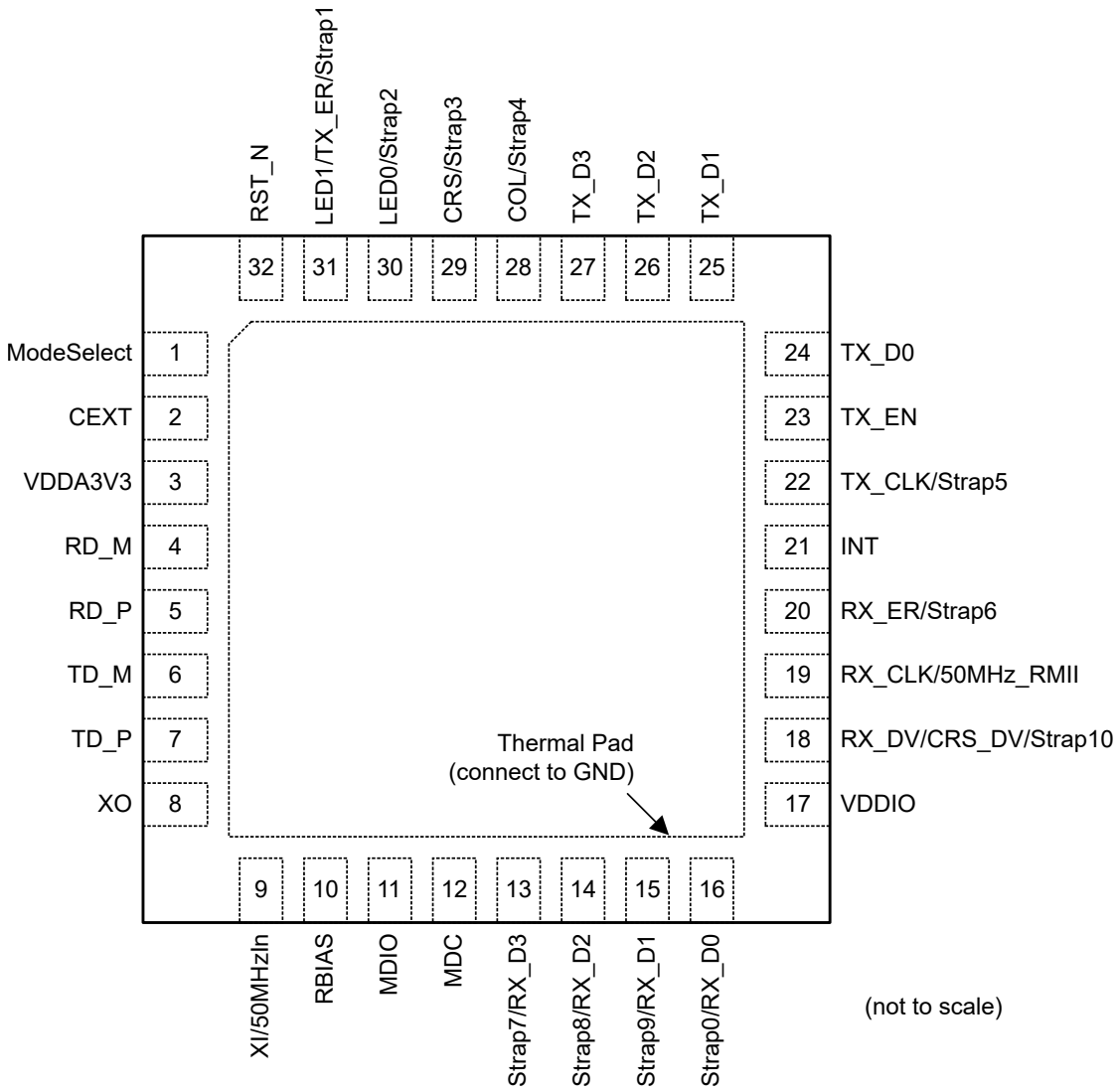


图 6-1. RHB 封装
32 引脚 QFN
（俯视图）

表 6-1. 引脚功能（基本模式）

引脚		类型[1]	说明
名称	否		
ModeSelect	1	复位：I，PU 激活：I，PU	该引脚选择工作模式：基本模式或增强模式。此引脚应短接至 GND，以将 DP83826 配置为基本模式。对于增强模式，该引脚应保持 NC 或通过电阻器上拉至 VDDIO。
CEXT	2	A	外部电容器：通过一个 2nF 电容器将 CEXT 引脚连接至 GND。
VDDA3V3	3	电源	输入模拟电源：3.3V。有关去耦电容器要求，请参阅数据表的*电源相关建议*部分。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. 引脚功能（基本模式）（续）

引脚		类型[1]	说明
名称	否		
RD_M	4	A	差分接收输入 (PMD)：该等差分输入可自动配置为接受 10BASE-Te 或 100BASE-TX 特定信令模式。
RD_P	5	A	
TD_M	6	A	差分发送输出 (PMD)：对于该等差分输出，会根据为 PHY 选择的配置，自动配置为 10BASE-Te 或 100BASE-TX 信令模式。
TD_P	7	A	
XO	8	A	晶体输出：基准时钟输出。XO 引脚仅用于晶振。CMOS 电平振荡器与 XI 相连时，保持该引脚为悬空。
XI/50MHzIn	9	A	晶体或振荡器输入时钟： MII 模式或 RMII 主模式：25MHz ± 50ppm 容差晶体或振荡器时钟。 RMII 从模式：50MHz ± 50ppm 容差 CMOS 级振荡器时钟。
RBIAS	10	A	偏置电阻：R_{BIAS} 值 6.49kΩ 1%精度接地。
MDIO	11	复位：I，PU 激活：I/O，PU	管理数据 I/O：双向管理数据信号，可由管理站或 PHY 提供。该引脚具有 10kΩ 的内部上拉电阻。如果需要，可以添加一个外部上拉电阻器。
MDC	12	复位：I，PD 激活：I，PD	管理数据时钟：MDIO 串行管理输入/输出数据的同步时钟。该时钟可以与 MAC 发送与接收时钟异步。最大时钟速率为 25MHz。没有最低时钟速率。
RX_D3	13	复位：I，PU 激活：O Strap7	接收数据：对电缆上接收的符号进行解码并呈现到这些引脚上（与 RX_CLK 的上升沿同步）。且在 RX_DV 置位时包含有效数据。在 MII 模式下会接收半字节 RX_D[3:0]。在 RMII 模式下会接收 2 位 RX_D[1:0]。
RX_D2	14	复位：I，PD 激活：O Strap8	
RX_D1	15	复位：I，PD 激活：O Strap9	
RX_D0	16	复位：I，PU 激活：O Strap0	
VDDIO	17	电源	I/O 电源电压：3.3V 或 1.8V。有关去耦电容器要求，请参阅数据表的*电源相关建议*部分。
RX_DV/ CRS_DV	18	复位：I，PD 激活：O Strap10	接收数据有效：该引脚表示 MII 模式的 RX_D[3:0] 上和 RMII 模式的 RX_D[1:0] 上存在有效数据。在 MII 模式下，该引脚用作 RX_DV。在 RMII 模式下，该引脚用作 CRS_DV，并整合了 RMII 载波和接收数据有效指示功能。
RX_CLK/ 50MHz_RMII	19	复位：I，PD 激活：O	MII 接收时钟：MII 接收时钟提供速度为 100Mbps 的 25MHz 基准时钟和速度为 10Mbps 的 2.5MHz 基准时钟，该时钟源自接收的数据流。 在 RMII 主模式下，这提供 50MHz 基准时钟。在 RMII 从模式下，该引脚未被使用，仍然为输入/PD。
RX_ER	20	复位：I，PD 激活：O Strap6	接收错误：该引脚指示在 MII 和 RMII 模式下接收到的数据包中检测到错误符号。在 MII 模式下，RX_ER 与 RX_CLK 的上升沿同步置为高电平。在 RMII 模式下，RX_ER 与基准时钟的上升沿同步置为高电平。对于每个接收错误，包括空闲期间的错误，RX_ER 均被置为高电平。
INT	21	复位：I，PU；激活：O，PU	中断：该引脚在发生中断时置位为低电平。该引脚具有带弱内部上拉电阻 (9.5kΩ) 的开漏输出。某些应用需要外部 PU 电阻。
TX_CLK	22	复位：I，PD 激活：O Strap5	MII 发送时钟：MII 发送时钟提供速度为 100Mbps 的 25MHz 基准时钟，以及速度为 10Mbps 的 2.5MHz 基准时钟。请注意，在 MII 模式下，该时钟具有以基准时钟为基准的恒定相位。需要这种恒定相位的应用可以使用此功能。在 RMII 模式下未使用。
TX_EN	23	复位：I，PD 激活：I，PD	发送使能：TX_EN 出现在 TX_CLK 的上升沿。TX_EN 表示在 MII 模式下的 TX_D[3:0] 上和 RMII 模式下的 TX_D[1:0] 上存在有效数据输入。TX_EN 是高电平有效信号。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. 引脚功能（基本模式）（续）

引脚		类型(1)	说明
名称	否		
TX_D0	24	复位：I，PD 激活：I，PD	发送数据： 在 MII 模式下，从 MAC 接收的发送数据半字节与 TX_CLK 的上升沿同步。 在 RMII 模式下，从 MAC 接收的 TX_D[1:0] 与基准时钟上升沿同步。
TX_D1	25	复位：I，PD 激活：I，PD	
TX_D2	26	复位：I，PD 激活：I，PD	
TX_D3	27	复位：I，PD 激活：I，PD	
COL	28	复位：I，PD 激活：O Strap4	碰撞检测： 在 MII 模式下：对于全双工模式，这个引脚一直为低电平。在半双工模式下，只有当发送和接收介质都非空闲时，此引脚才置为高电平。 在 RMII 模式下，该引脚不使用。
CRS	29	复位：I，PD 激活：O Strap3	载波侦听： 在 MII 模式下，当接收或发送介质非空闲时，该引脚置为高电平。 载波侦听或接收数据有效：在 RMII 模式下，该引脚不使用。
LED0	30	复位：I，PU 激活：O Strap2	LED0：除了指示链路状态以外，LED 还能够指示发送与接收活动。当链路正常时，LED 亮起。当发送器或接收器处于活动状态时，LED 将闪烁。 LED 极性固定为低电平有效。如果需要外部下拉电阻用于搭接目的，则需要调整搭接和 LED 串联电阻，以便 LED 和搭接能够正确运行。有关更多详细信息，请参阅 LED 部分：
LED1/TX_ER	31	复位：I，PU 激活：O Strap1	LED1：默认情况下，该引脚用作 LED1。当链路速率为 100Mbps 时，LED 亮起。如果链路速率为 10Mbps 或无链路，则 LED 保持熄灭。该引脚可以通过寄存器配置来配置为 TX_ER。 LED 极性固定为低电平有效。如果需要外部下拉电阻用于搭接目的，则需要调整搭接和 LED 串联电阻，以便 LED 和搭接能够正确运行。有关更多详细信息，请参阅 LED 部分：
RST_N	32	复位：I，PU 激活：I，PU	复位为低电平：RST_N 引脚是低电平有效复位输入。将该引脚置位为低电平（至少 25 µs），可强制执行复位过程。启动复位会引起对配置 (strap) 引脚的重新扫描，并会将 PHY 的所有内部寄存器复位为默认值。

(1) I =输入，O =输出，I/O =输入/输出，A =模拟，PU 或 PD =内部上拉或下拉：硬件自举配置

Copyright © 2025 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		最小值	最大值	单位
模拟电源电压	VDDA3V3	-0.3	4	V
IO 电源电压	VDDIO3V3	-0.3	4	V
IO 电源电压	VDDIO1V8	-0.3	2.1	V
存储温度	Tstg	-65	150	°C
MDI 引脚	TX_P、TX_M、RX_P、RX_M	-0.6	4	V
MAC 接口引脚	TX_CLK、TX_D[3:0]、TX_EN、TX_ER、RX_CLK、RX_D[3:0]、RX_ER、RX_DV、CRS、COL	-0.3	4	V
串行管理接口引脚	MDIO、MDC	-0.3	4	V
晶体/振荡器引脚	XI、XO	-0.3	4	V
复位引脚	RST_N	-0.3	4	V

(1) 在*绝对最大额定值*范围外运行可能对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

7.2 ESD 等级

参数	定义	值	单位
ESD (HBM)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 (1) MDI（媒体相关接口）引脚	±5	kV
	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 (1) 除 MDI 以外的所有引脚	±2	kV
ESD (CDM)	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)，所有引脚	±750	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。如果具备必要的预防措施，则可以在低于 500V HBM 时进行生产。列为 ±5kV 和/或 ±4kV 的引脚实际上可能具有较高的性能。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。如果具备必要的预防措施，则可以在低于 250V CDM 时进行生产。列为 ±750V 的引脚实际上可能具有更高的性能。

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	典型值	最大值	单位
模拟电源电压	VDDA3V3	3	3.3	3.6	V
IO 电源电压	VDDIO3V3	3	3.3	3.6	V
	VDDIO1V8	1.62	1.8	1.98	V
自然通风工作温度 (DP83826E)	T_A	-40	25	105	℃
自然通风工作温度 (DP83826I)	T_A	-40	25	85	℃

Copyright © 2025 Texas Instruments Incorporated

7.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	典型值	最大值	单位
VDDIO：1.8V	TX_EN、TX_D0、TX_D1、TX_D2、TX_D3、TX_CLK、RX_D0、RX_D1、RX_D2、RX_D3、RX_DV、RX_ER、MDIO、MDC、COL/LED2、CRS、CLKOUT/LED1、INT/PWDN、RESET、TX_ER	1.62	1.8	1.98	V
	XI 振荡器输入	1.62	1.8	1.98	V
	LED0	1.62	1.8	1.98	V
VDDIO：3.3V	TX_EN、TX_D0、TX_D1、TX_D2、TX_D3、TX_CLK、RX_D0、RX_D1、RX_D2、RX_D3、RX_DV、RX_ER、MDIO、MDC、COL/LED2、CRS、CLKOUT/LED1、INT/PWDN、RESET、TX_ER	3.0	3.3	3.6	V
	XI 振荡器输入	3.0	3.3	3.6	V
	LED0	3.0	3.3	3.6	V

7.4 热性能信息

(1)

热指标			单位
$R_{\theta JA}$	结至环境热阻	52	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	42	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	11.9	°C/W
$R_{\theta JB}$	结至电路板热阻	31.5	°C/W
Y_{JT}	结至顶部特征参数	2.1	°C/W
Y_{JB}	结至电路板特征参数	31.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2025 Texas Instruments Incorporated

7.5 电气特性

在自然通风条件下的工作温度范围内并且 VDDA3V3 = 3V3 的条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
IEEE Tx 一致性 (100BaseTx)						
V_{OD}	差分输出电压		950		1050	mV
IEEE Tx 一致性 (10BaseTe)						
V_{OD}	输出差分电压 (2)		1.54	1.75	1.96	V
功耗基线（活动模式、50% 流量、数据包大小：1518、随机内容、150 米电缆）						
$I_{(VDDA3V3=3V3)}$	MII (100BaseTx)			45	53	mA
$I_{(VDDA3V3=3V3)}$	MII (10BaseTe)			35	46	mA
$I_{(VDDA3V3=3V3)}$	RMII 主模式 (100BaseTx)			45	53	mA
$I_{(VDDA3V3=3V3)}$	RMII 主模式 (10BaseTe)			35	46	mA
$I_{(VDDA3V3=3V3)}$	RMII 从模式 (100BaseTx)			45	53	mA
$I_{(VDDA3V3=3V3)}$	RMII 从模式 (10BaseTe)			35	46	mA
$I_{(VDDIO=3V3)}$	MII (100BaseTx)			8	14	mA
$I_{(VDDIO=3V3)}$	MII (10BaseTe)			5	12	mA
$I_{(VDDIO=3V3)}$	RMII 主模式 (100BaseTx)			9	14	mA
$I_{(VDDIO=3V3)}$	RMII 主模式 (10BaseTe)			9	12	mA
$I_{(VDDIO=3V3)}$	RMII 从模式 (100BaseTx)			7	8.5	mA
$I_{(VDDIO=3V3)}$	RMII 从模式 (10BaseTe)			5	6	mA
$I_{(VDDIO=1V8)}$	MII (100BaseTx)			5	7	mA
$I_{(VDDIO=1V8)}$	MII (10BaseTe)			3	6	mA
$I_{(VDDIO=1V8)}$	RMII 主模式 (100BaseTx)			5	7	mA
$I_{(VDDIO=1V8)}$	RMII 主模式 (10BaseTe)			5	6	mA
$I_{(VDDIO=1V8)}$	RMII 从模式 (100BaseTx)			3	6	mA
$I_{(VDDIO=1V8)}$	RMII 从模式 (10BaseTe)			2	3	mA
功耗（工作模式最坏情况，100% 流量，数据包大小：1518、随机内容、150 米电缆）						
$I_{(VDDA3V3=3V3)}$	MII (100BaseTx)			44	55	mA
$I_{(VDDA3V3=3V3)}$	MII (10BaseTe)			35	48	mA

Copyright © 2025 Texas Instruments Incorporated

7.5 电气特性（续）

在自然通风条件下的工作温度范围内并且 VDDA3V3 = 3V3 的条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
$I_{(VDDA3V3=3V3)}$	RMII 主模式 (100BaseTx)			44	55	mA
	RMII 主模式 (10BaseTe)			35	48	mA
	RMII 从模式 (100BaseTx)			44	55	mA
	RMII 从模式 (10BaseTe)			35	48	mA
$I_{(VDDIO=3V3)}$	MII (100BaseTx)			10	15	mA
$I_{(VDDIO=3V3)}$	MII (10BaseTe)			5	12	mA
$I_{(VDDIO=3V3)}$	RMII 主模式 (100BaseTx)			11	15	mA
	RMII 主模式 (10BaseTe)			9	12	mA
	RMII 从模式 (100BaseTx)			8	12	mA
	RMII 从模式 (10BaseTe)			5	10	mA
$I_{(VDDIO=1V8)}$	MII (100BaseTx)			6	9	mA
$I_{(VDDIO=1V8)}$	MII (10BaseTe)			2	6	mA
$I_{(VDDIO=1V8)}$	RMII 主模式 (100BaseTx)			6	9	mA
	RMII 主模式 (10BaseTe)			5	7	mA
	RMII 从模式 (100BaseTx)			4	8	mA
	RMII 从模式 (10BaseTe)			2	6	mA
功耗（低功耗模式）						
$I_{(AVDD3V3=3V3)}$	100 BaseTx EEE 模式	开启 LPI 时 EEE 模式下的 100 BaseTx 链路		15		mA
$I_{(AVDD3V3=3V3)}$	IEEE 断电				11	mA
$I_{(AVDD3V3=3V3)}$	主动睡眠				18	mA
$I_{(AVDD3V3=3V3)}$	复位				12.5	mA
I(VDDIO=3V3)	100 BaseTx EEE 模式	开启 LPI 时 EEE 模式下的 100 BaseTx 链路		6		mA
I(VDDIO=3V3)	IEEE 断电				10.5	mA
I(VDDIO=3V3)	主动睡眠				10.5	mA
I(VDDIO=3V3)	复位				10.5	mA
I(VDDIO=1V8)	100 BaseTx EEE 模式	开启 LPI 时 EEE 模式下的 100 BaseTx 链路		4		mA
I(VDDIO=1V8)	IEEE 断电				5.5	mA
I(VDDIO=1V8)	主动睡眠				5.5	mA
I(VDDIO=1V8)	复位				5.5	mA
自举直流特性（2 级）						
V_{IH_3v3}	高电平自举阈值：3V3		1.3			V

Copyright © 2025 Texas Instruments Incorporated

7.5 电气特性（续）

在自然通风条件下的工作温度范围内并且 VDDA3V3 = 3V3 的条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL_3v3}	低电平自举阈值：3V3				0.6	V
V_{IH_1v8}	高电平自举阈值：1V8		1.3			V
V_{IL_1v8}	低电平自举阈值：1V8				0.6	V
晶体振荡器						
C_{OSC_EXT}	外部负载电容			15	30	pF
IO						
V_{IH_3V3}	高电平输入电压	VDDIO = 3.3V ±10%	1.7			V
V_{IL_3V3}	低电平输入电压	VDDIO = 3.3V ±10%			0.8	V
V_{OH_3V3}	高电平输出电压	I_{OH} =-2mA、VDDIO = 3.3V ±10%	2.4			V
V_{OL_3V3}	低电平输出电压	I_{OL}= 2mA、VDDIO = 3.3V ±10%			0.4	V
V_{IH_1V8}	高电平输入电压	VDDIO = 1.8V ±10%	0.65 x VDDIO			V
V_{IL_1V8}	低电平输入电压	VDDIO = 1.8V ±10%			0.35 x VDDIO	V
V_{OH_1V8}	高电平输出电压	I_{OH} =-2mA、VDDIO = 1.8V ±10%	VDDIO – 0.45			V
V_{OL_1V8}	低电平输出电压	I_{OL}= 2mA、VDDIO = 1.8V ±10%			0.45	V
I_{IH}	输入高电流	T_A = –40℃ 至 85℃，VIN=VDDIO			15	µA
I_{IH}	输入高电流	T_A = –40℃ 至 105℃，VIN=VDDIO			25	µA
I_{IL}	输入低电流	T_A = –40℃ 至 85℃，VIN=GND			15	µA
I_{IL}	输入低电流	T_A = –40℃ 至 105℃，VIN=GND			25	µA
I_{OZH}	三态输出大电流	T_A = –40℃ 至 85℃	-15		15	µA
I_{OZH}	三态输出大电流	T_A = –40℃ 至 105℃	-25		25	µA
I_{OZL}	三态输出小电流	T_A = –40℃ 至 85℃	-15		15	µA
I_{OZL}	三态输出小电流	T_A = –40℃ 至 105℃	-25		25	µA
R_{PD}	内部下拉电阻器		7.5	10	12.5	kΩ
R_{PU}	内部上拉电阻器		7.5	10	12.5	kΩ
C_{IN}	输入电容	XI 引脚		1		pF
C_{IN}	输入电容	输入引脚		5		pF
C_{OUT}	输出电容	XO 引脚		1		pF
C_{OUT}	输出电容	输出引脚		5		pF
$V_{CM\text{-}OSC}$	XI 输入 osc 时钟共模电压	VDDIO = 1.8V		0.9		V
$V_{CM\text{-}OSC}$	XI 输入 osc 时钟共模电压	VDDIO = 3.3V		1.65		V
R_{series}	集成 MAC 串联终端电阻器	RX_D[3:0]、RX_ER、RX_DV、RX_CLK、TX_CLK		50		Ω

(1) 由生产测试、特性或设计验证
(2) 要求寄存器 0x030E 编程到 0x4A40

Copyright © 2025 Texas Instruments Incorporated

7.6 时序要求

(1)

参数		最小值	标称值	最大值	单位
上电时序					
T1	电压斜坡持续时间（0% 至 100% VDDIO）	0.5		50	ms
T2	电源时序控制 VDDA3V3，后跟 VDDIO 或 VDDIO，后跟 VDDA3V3 (2) (4)	0		200	ms
T3	电压斜坡持续时间（VDDA3V3 的 0% 至 100%）	0.5		50	ms
T4	POR 释放时间/加电至 SMI 就绪：用于寄存器访问的前导码前上电稳定时间			50	ms
T5	加电至 FLP		1500		ms
	VDDA3V3 上的基座电压，电源斜升前的 VDDIO			0.3	V
复位时序					
T1	复位脉冲宽度：能够复位的最小复位脉冲宽度（无消抖电容）	25			µs
T2	重置为 SMI 就绪：用于寄存器访问的前导码前复位后稳定时间			2	ms
T3	到 FLP 的复位		1500		ms
	重置为 100M 信令（搭接模式）		0.5		ms
	重置为 RMII 主时钟		0.2		ms
快速链路脉冲时序					
T1	时钟脉冲到时钟脉冲周期	111	125	139	µs
T2	时钟脉冲到数据脉冲周期	55.5	62.5	69.5	µs
T3	时钟/数据脉冲宽度		104		ns
T4	FLP 突发到 FLP 突发周期	8	16	24	ms
T5	FLP 突发宽度		2		ms
	突发宽度脉冲	17		33	
链路接通时序					
	使用搭接启用快速链路丢失，150 米电缆			10	µs
	使用模式 1 的快速链路丢失时间（信号/能量损失指示）			10	µs
	使用模式 2 的快速链路丢失时间（低 SNR 阈值） (5)			10	µs
	使用模式 3 的快速链路丢失时间（MLT3 错误计数） (5)			10	µs
	使用模式 4 的快速链路丢失时间（RX 错误计数）			10	µs
	使用模式 5 的快速链路丢失时间（解码器链路丢失） (5)			11	µs
100M EEE 时序					
	睡眠时间		210		µs
	静态时间		20		ms
	唤醒时间 (Tw_sys_tx)		36		µs
	刷新时间		200		µs
100M MII 接收时序					
T1	RX_CLK 高电平/低电平时间	16	20	24	ns
T2	RX_D[3:0]、RX_ER、RX_DV 相对于 RX_CLK 上升的延迟时间	20		28	ns
100M MII 传输时序					
T1	TX_CLK 高电平/低电平时间	16	20	24	ns
T2	TX_D[3:0]，TX_ER、TX_EN 设置为 TX_CLK	10			ns
T3	TX_D[3:0]、TX_ER、TX_EN 相对于 TX_CLK 的保持时间	0			ns
10M MII 接收时序					
T1	RX_CLK 高电平/低电平时间 (3)	160	200	240	ns

Copyright © 2025 Texas Instruments Incorporated

7.6 时序要求（续）

(1)

参数		最小值	标称值	最大值	单位
T2	RX_D[3:0]、RX_ER、RX_DV 相对于 RX_CLK 上升的延迟时间(3)	100		300	ns
10M MII 传输时序					
T1	TX_CLK 高电平/低电平时间	190	200	210	ns
T2	TX_D[3:0]，TX_ER、TX_EN 设置为 TX_CLK	25			ns
T3	TX_D[3:0]、TX_ER、TX_EN 相对于 TX_CLK 的保持时间	0			ns
100M RMII 主时序					
	RMII 主时钟周期		20		ns
	RMII 主时钟占空比	35		65	%
100M RMII 从模式时序					
T2	TX_D[1:0]，TX_ER、TX_EN 设置为基准时钟上升 请参阅 RMII 发送时序。	4			ns
T3	TX_D[1:0]、TX_ER、TX_EN 相对于基准时钟上升的保持时间。请参阅 RMII 发送时序。	2			ns
T4	RX_D[1:0]、RX_ER、CRS_DV 相对于基准时钟上升的延迟时间。请参阅 RMII 接收时序。	4		14	ns
SMI 时序					
T1	MDC 至 MDIO（输出）延迟时间	0		13	ns
T2	MDIO（输入）至 MDC 建立时间	10			ns
T3	MDIO（输入）至 MDC 保持时间	10			ns
T4	MDC 频率		2.5	24	MHz
输出时钟时序（50M RMII 主时钟）					
	频率 (PPM)			50	ppm
	抖动（长期 500 个周期）			450	ps
	上升/下降时间			5	ns
	占空比	40		60	%
输出时钟时序（25M 时钟输出）					
	频率 (PPM)			50	ppm
	占空比	35		65	%
	上升时间			4000	ps
	下降时间			5000	ps
	抖动（长期：500 个周期）			300	ps
	抖动（短期）			250	ps
	频率		25		MHz
25MHz 输入时钟容差					
	频率容差（与 ElectChar_Sections 中的“PLL 输出频率 PPM”相同）	-50		50	ppm
	上升/下降时间			5	ns
	抖动容差 (RMS)			50	ps
	1kHz 时的输入相位噪声			-98	dBc/Hz
	10kHz 时的输入相位噪声			-113	dBc/Hz
	100kHz 时的输入相位噪声			-113	dBc/Hz
	1MHz 时的输入相位噪声			-113	dBc/Hz
	10MHz 时的输入相位噪声			-113	dBc/Hz
	占空比	40		60	%

Copyright © 2025 Texas Instruments Incorporated

7.6 时序要求（续）

(1)

参数		最小值	标称值	最大值	单位
50MHz 输入时钟容差					
	频率容差	-50		50	ppm
	上升/下降时间			5	ns
	抖动容差 (RMS)			50	ps
	源自相位噪声的抖动容差长期抖动（100,000 个周期）				ps
	1kHz 时的输入相位噪声			-87	dBc/Hz
	10kHz 时的输入相位噪声			-107	dBc/Hz
	100kHz 时的输入相位噪声			-107	dBc/Hz
	1MHz 时的输入相位噪声			-107	dBc/Hz
	10MHz 时的输入相位噪声			-107	dBc/Hz
	占空比	40		60	%
延迟时序					
	MII 100M Tx（MII 到 MDI）：上升沿 TX_CLK 在 MDI 上置位 TX_EN 至 SSD 符号、启用 FAST RX_DV、100 米电缆	38		40	ns
	MII 100 Rx（MDI 到 MII）：MDI 上的 SSD 符号到 RX_CLK 的上升沿、RX_DV 置位、启用 FAST RX_DV、100 米电缆	166		170	ns
	MII 10M Tx（MII 到 MDI）：在 MDI 上设置 TX_EN 至 SSD 符号的上升沿 TX_CLK			540	ns
	RMII 从模式 100M Tx（RMII 到 MDI）：从模式 RMII 上升沿 XI 时钟，在 MDI 上置位 TX_EN 至 SSD 符号，启用 FAST RX_DV，100 米电缆	88		96	ns
	RMII 主模式 100M Tx（RMII 到 MDI）：RMII 主模式上升沿时钟在 MDI 上置位 TX_EN 至 SSD 符号、启用 FAST RX_DV、100 米电缆	88		96	ns
	RMII 从模式 10M Tx（RMII 到 MDI）：RMII 从模式上升沿 XI 时钟在 MDI 上置位 TX_EN 至 SSD 符号			1360	ns
	RMII 主模式 10M Tx（RMII 到 MDI）：RMII 主模式上升沿时钟在 MDI 上置位 TX_EN 至 SSD 符号			1360	ns
	MII 10M Rx（MDI 至 MII）：MDI 上的 SSD 符号到 RX_CLK 的上升沿、RX_DV 置位、启用 FAST RX_DV、100 米电缆			1640	ns
	RMII 从模式 100M Rx（MDI 到 RMII）：MDI 上的 SSD 符号到 XI 时钟的 RMII 从模式上升沿、CRS_DV 置位、启用 FAST RX_DV、100 米电缆	268		288	ns
	RMII 主模式 100M Rx（MDI 到 RMII）：MDI 上的 SSD 符号到主时钟的主 RMII 上升沿、CRS_DV 置位	252		270	ns
	RMII 从模式 10M（MDI 至 RMII）：MDI 上的 SSD 符号到 CRS_DV 置位的 XI 时钟从模式 RMII 上升沿 (10M)	2110		2152	ns
	RMII 主模式 10M（MDI 至 RMII）：MDI 上的 SSD 符号到 CRS_DV 置位的时钟主模式 RMII 上升沿 (10M)	2110		2152	ns
	MII：XI 至 TXCLK 相位差（跨复位、下电上电）	0	2	4	ns

(1) 根据设计、生产或特性测试验证
(2) 时钟应在电源的功率斜升开始时可用。如果时钟被延迟，在 POR 完成后需要额外的 RESET_N。可在 100µs 的时钟稳定和 POR 完成后启动复位。
(3) 在接收数据的第一个半字节时，PHY 从本地时钟源切换到恢复时钟源，导致 RX_CLK 延长并影响 RX_CLK 到 RX_DV 延迟
(4) VDDIO 或 AVDD 电源都可以一起斜升，也可以将其中任何一个电源的斜升延迟至最大值）
(5) 启用 Rx_Error 计数或信号/能量损耗指示以满足最大限制要求

Copyright © 2025 Texas Instruments Incorporated

7.7 时序图

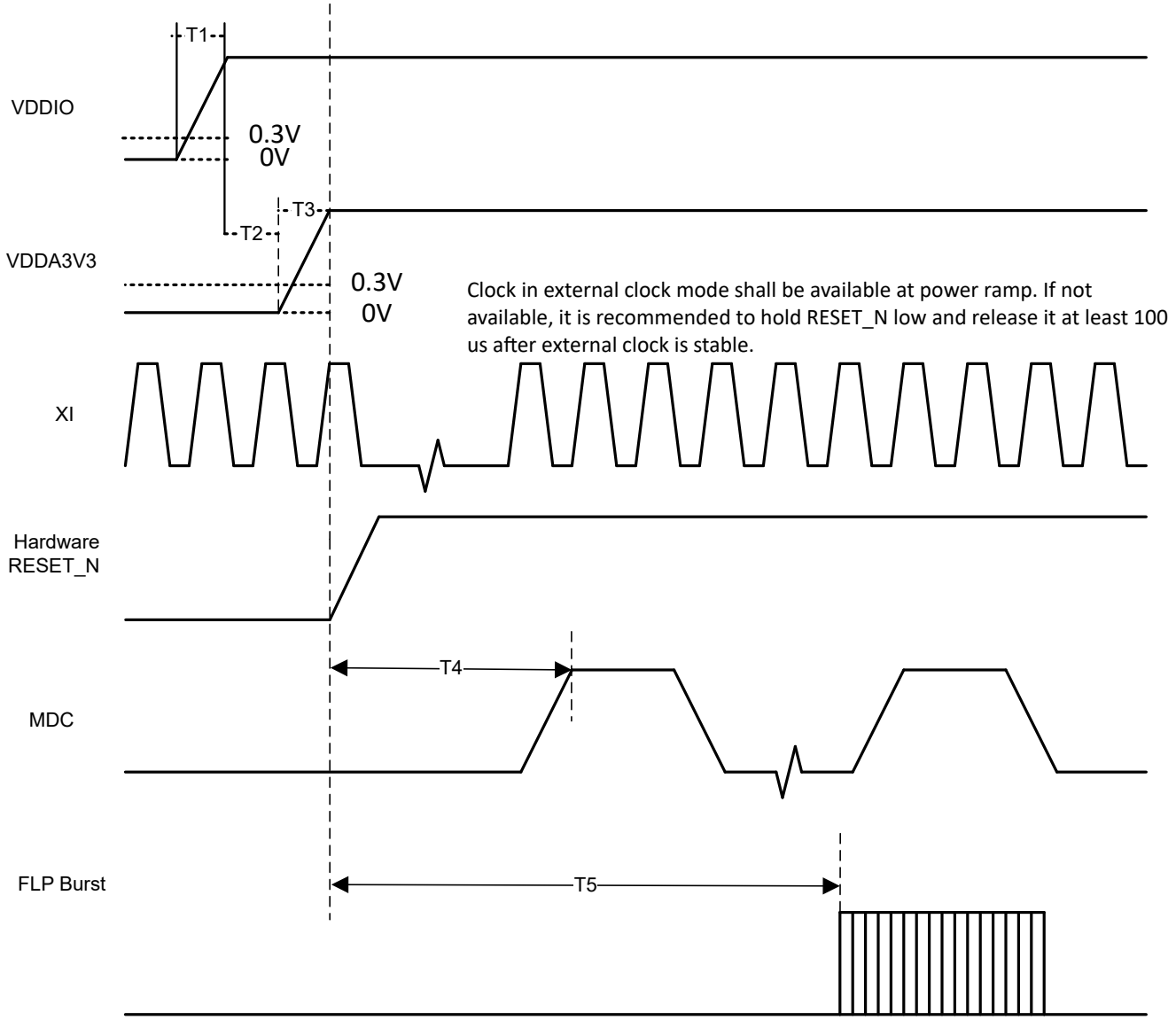


图 7-1. 上电时序（电源时序）

Copyright © 2025 Texas Instruments Incorporated

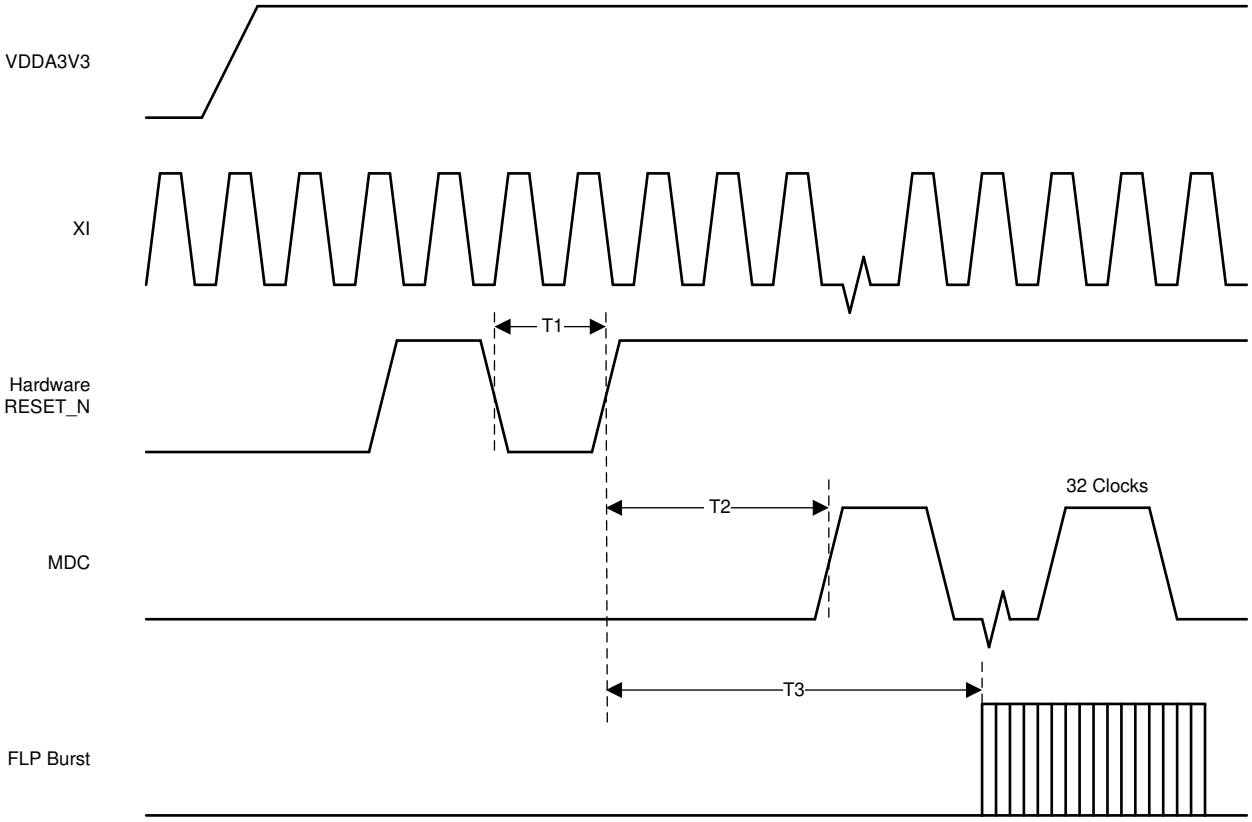


图 7-2. 复位时序 (POR)

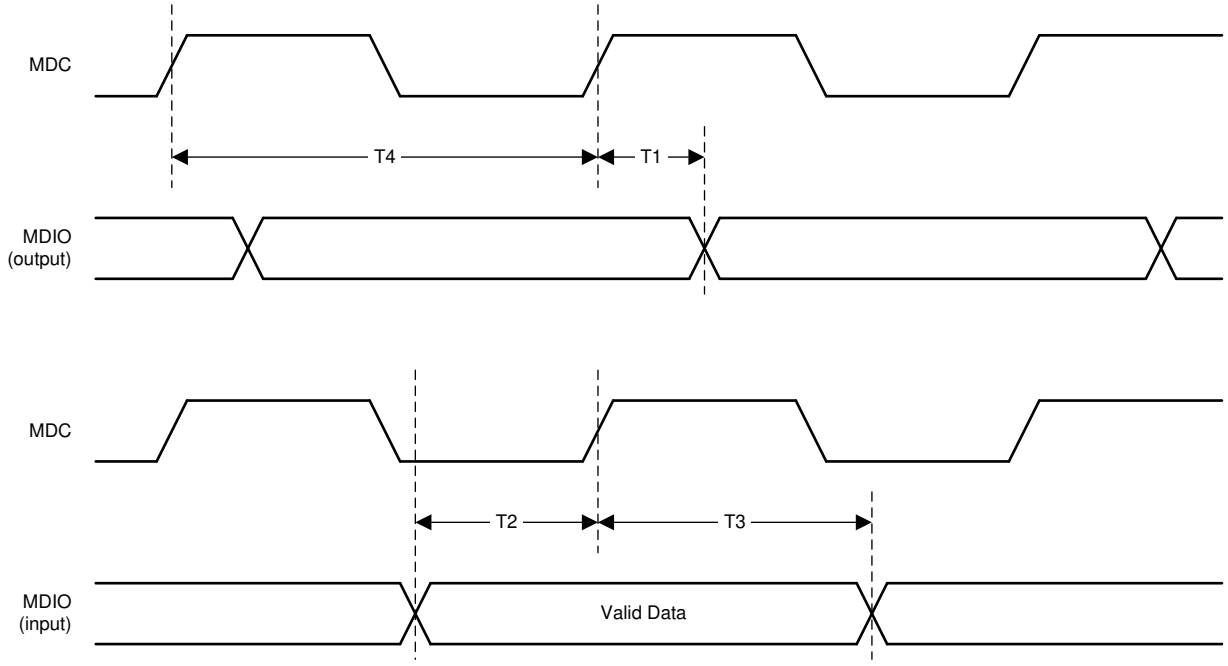


图 7-3. 串行管理时序

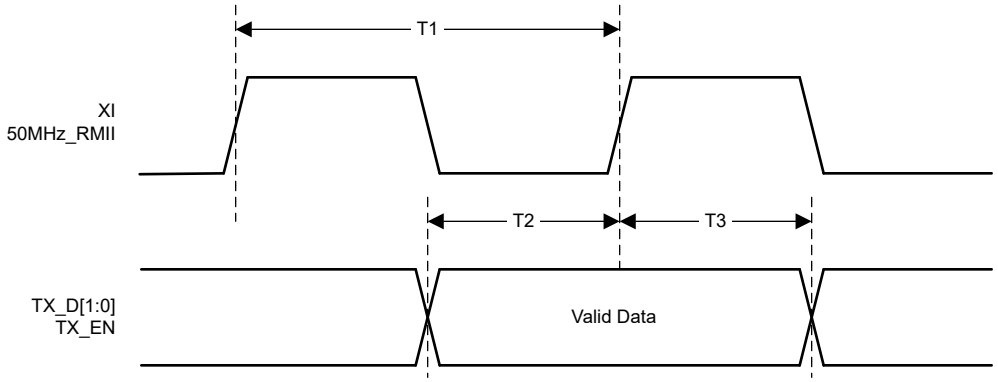


图 7-4. RMII 发送时序

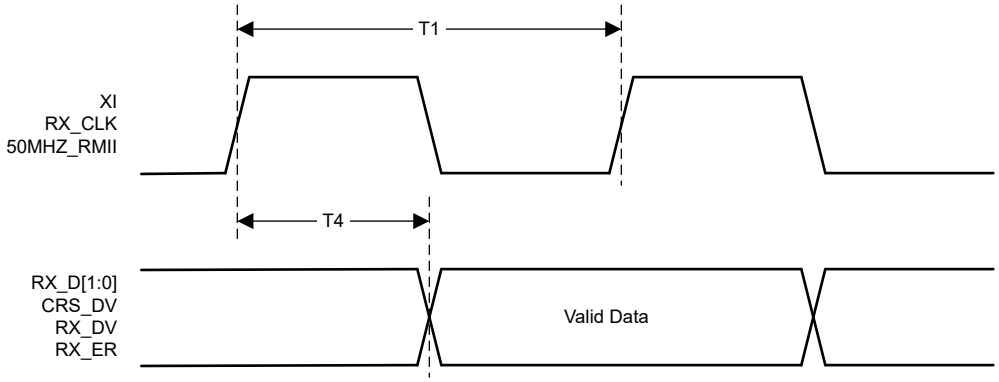


图 7-5. RMII 接收时序

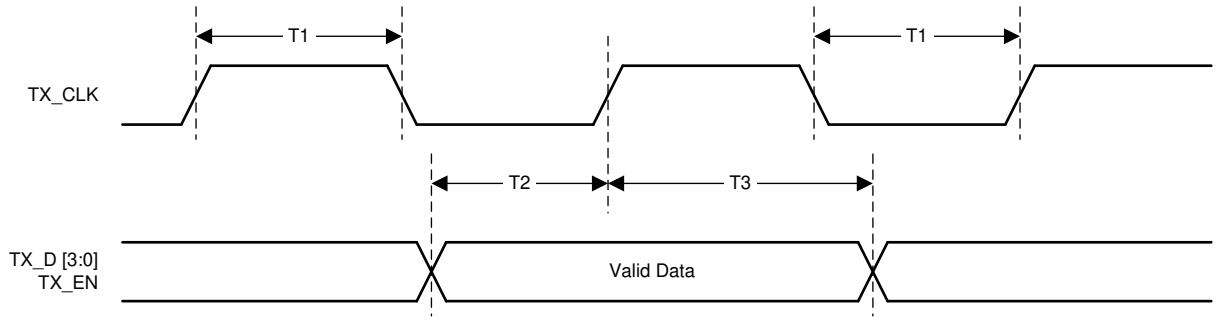


图 7-6. 100M MII 传输时序

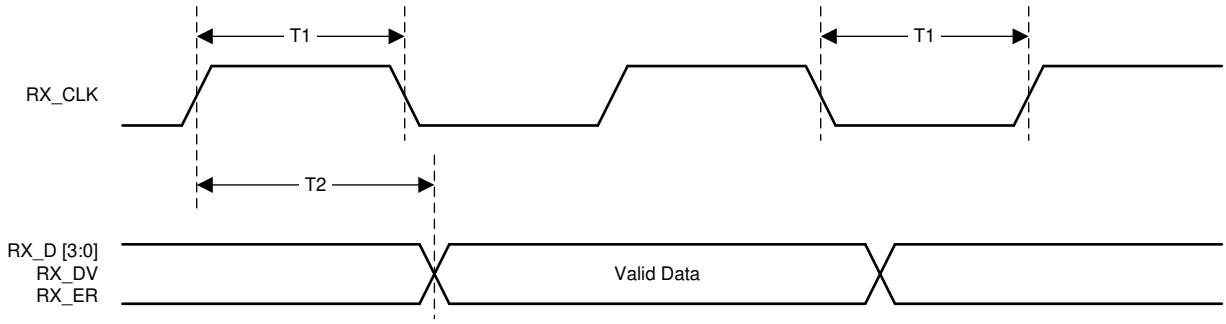


图 7-7. 100M MII 接收时序

Copyright © 2025 Texas Instruments Incorporated

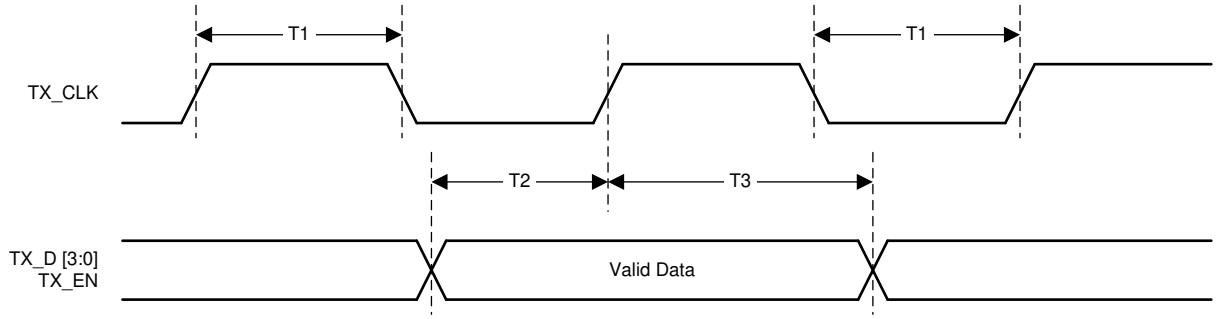


图 7-8. 10M MII 传输时序

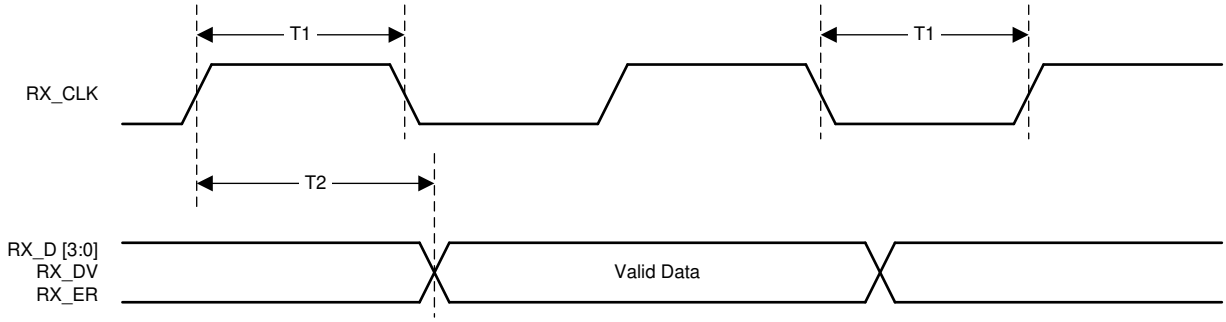


图 7-9. 10M MII 接收时序

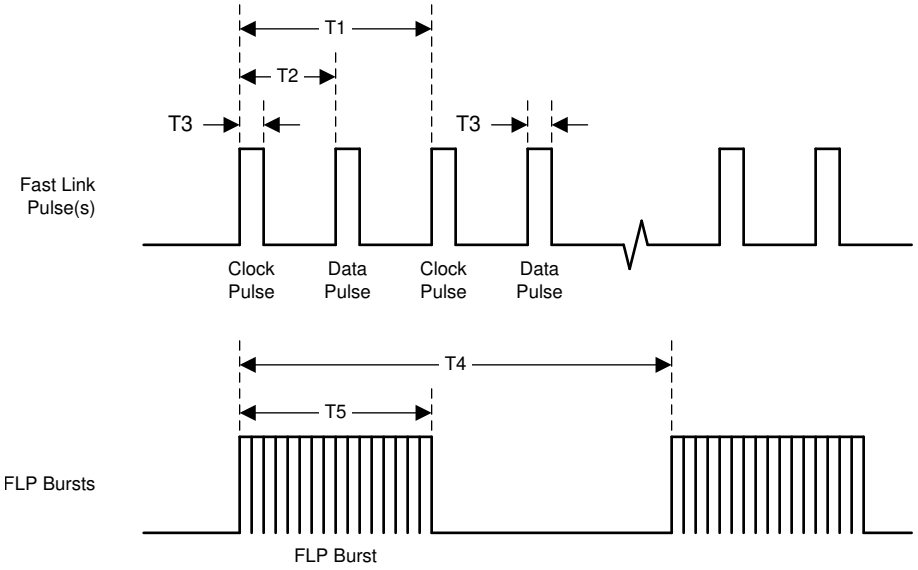


图 7-10. 快速链路脉冲时序

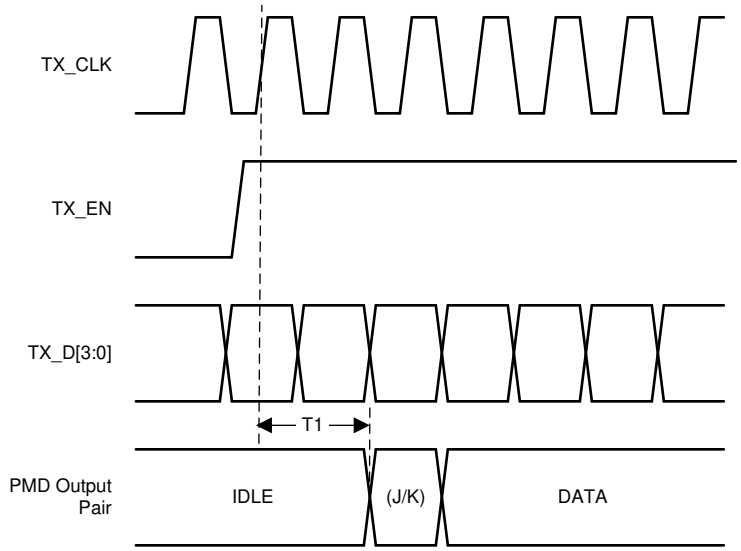


图 7-11. 100BASE-TX 发声延时时序

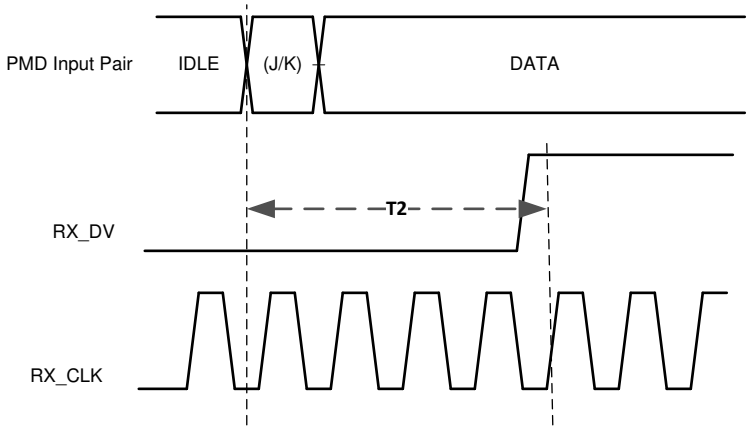


图 7-12. 100BASE-TX 接收延时时序

Copyright © 2025 Texas Instruments Incorporated

7.8 典型特性

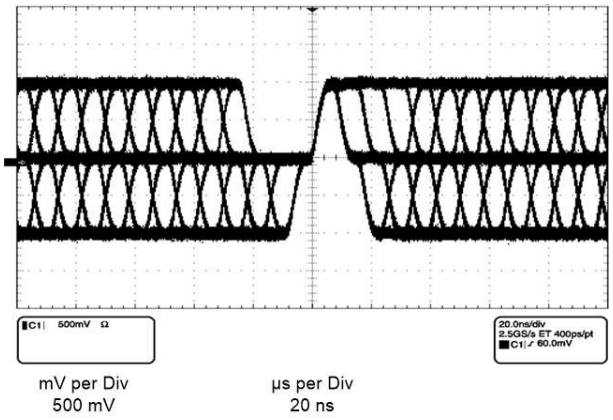


图 7-13. 100BASE-TX PMD 眼图波形

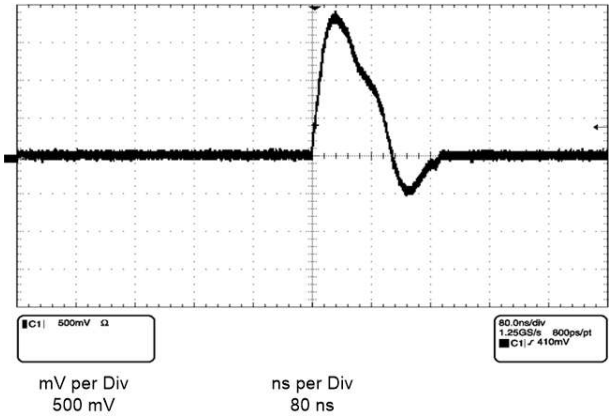


图 7-14. 10BASE-Te 链路脉冲波形

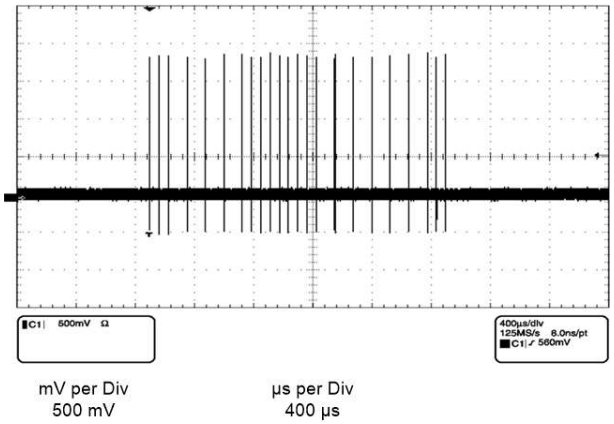


图 7-15. 自动协商快速链路脉冲波形

Copyright © 2025 Texas Instruments Incorporated

8 详细说明

8.1 概述

DP83826 是一款符合 IEEE802.3 10BASE-Te 与 100BASE-TX 标准的单端口物理层收发器。DP83826 旨在满足严格的工业现场总线应用需求，并具备超低延迟，确定的延迟变化（在复位和下电上电期间），XI 和 TX_CLK 之间的固定相位，低功耗和使用硬件自举的配置（用于实现快速链接）。该器件支持标准 MII 和 RMII（主模式和从模式），可直接连接到媒体访问控制器 (MAC)。器件专用的 CLKOUT 引脚可用于为系统上的其他模块提供时钟。此外，PWRDN 引脚从上电复位 (POR) 开始控制 DP83826 的连接，并帮助设计 DP83826 和主机片上系统 (SoC) 或现场可编程门阵列 (FPGA) 控制器的异步上电。

该器件采用集成 LDO 的 3.3V 单电源供电设计，能够提供内部模块所需的电压轨。该器件允许使用 3.3V 或 1.8V 的 I/O 电压接口，从而使 DP83826 能够作为单电源 PHY 运行。DP83826 中的自动电源配置允许 VDDIO 电源的任意组合，不需要进行额外的配置设置。

DP83826 采用能够执行均衡，数据恢复以及误差纠正的混合信号处理，通过长度不超过 150 米的 CAT5e 双绞线电缆实现稳健运行。

DP83826 使用硬件自举在上电序列期间提供两种可选模式。

- 基本模式
- 增强模式

通过使用当今许多应用中使用的通用引脚配置，基本模式可提供标准以太网应用所需的所有功能，从而简化现有平台中的评估和测试。集成的 MAC 和 MDI 终端简化了使用 DP83826 时的电路板设计。由一个具有 25MHz 外部晶振或振荡器输入的单个 PLL 生成所需的全部时钟输出。

备注

有关在使用通用标准以太网引脚排列的现有系统中使用 DP83826 基本模式的分步方法，请参阅 SNLA338。

增强模式包括基本模式中描述的所有运行模式，然而，引脚的改变可实现额外的特性。处于增强模式的 DP83826 除了可用于标准以太网应用外，还可用于以太网现场总线应用。功能包括：

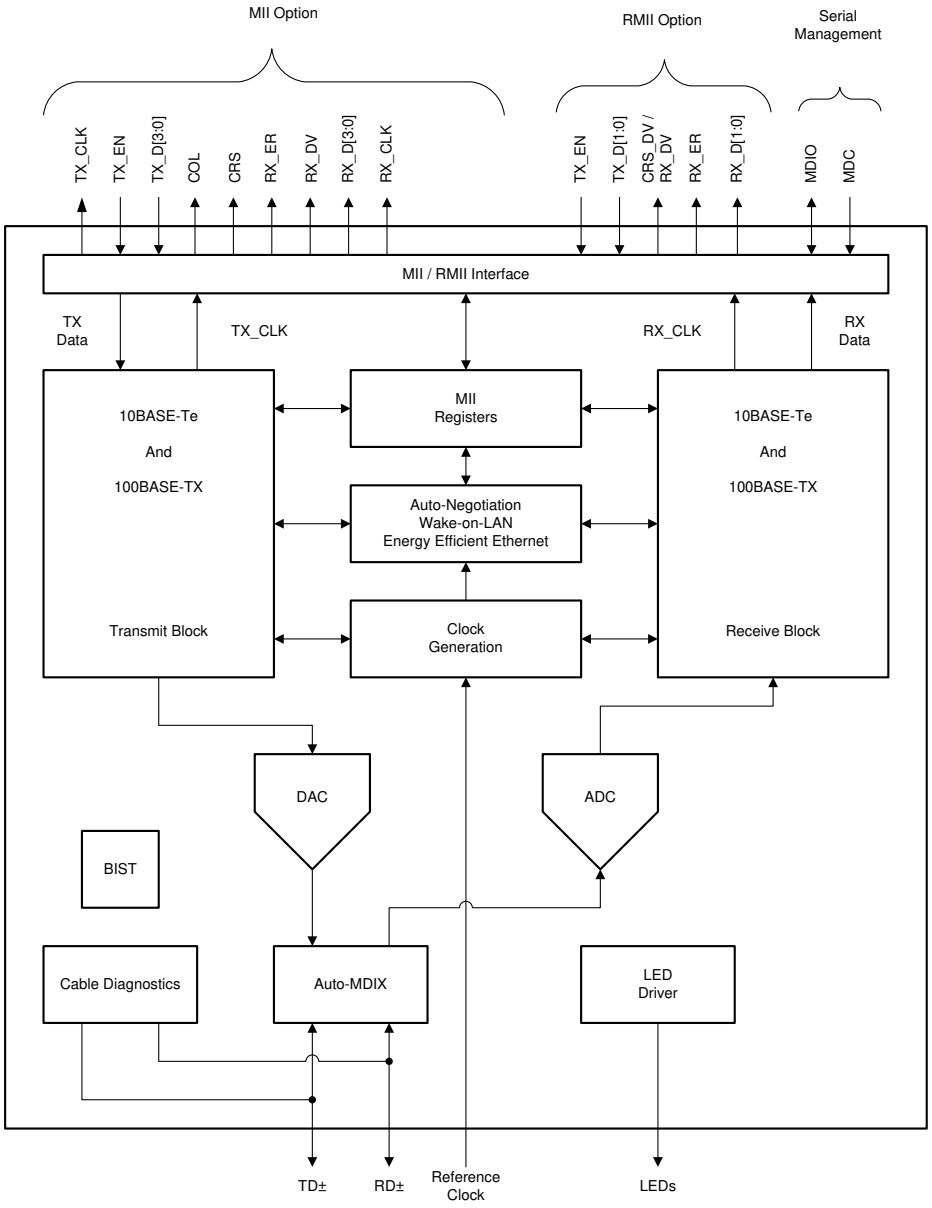
- 专用基准时钟输出：CLKOUT（引脚 31）可用于同步整个系统，从而降低延迟（减少 MAC 上的 FIFO）。这个时钟在 POR 时启用，并且在复位过程中保持可用。此功能还可减少其他 PHY 和板上主机 SoC/FPGA 对专用时钟的需求。
- 支持使用强制模式，MDI 或 MDIX 的专用硬件配置 (strap)，用于从 POR 和复位快速建立链路。
- IEEE 断电引脚：PWRDN（引脚 21）有助于 DP83826 的异步上电和主机 SoC/FPGA 控制，仍可以通过此专用引脚管理 DP83826 链路建立。
- PHY 寻址非 MAC 接口引脚上的硬件自举，以提高 MII 和 RMII MAC 接口引脚上的信号完整性。

有关两种模式的引脚映射，请参阅 *节 5* 和 *节 6*。

要为这两种模式配置硬件自举，请参阅 *节 8.4.1.1* 和 *节 8.4.1.2*。

Copyright © 2025 Texas Instruments Incorporated

8.2 功能方框图



8.3 特性说明

8.3.1 自动协商（速度/双工选择）

自动协商功能提供了一种在链路段两端之间交换配置信息的机制。该机制通过交换快速链路脉冲 (FLP) 实现。快速链路脉冲是用于在链路段两端两台器件之间进行交换能力信息的突发脉冲信号。DP83826 支持 100BASE-TX 与 10BASE-Te 工作模式，能够实现自动协商。自动协商功能能够确保根据链路伙伴与本地器件公布的能力，选择最高通用速度。自动协商功能能够通过硬件（通过引导程序）或寄存器配置（通过基本模式控制寄存器（BMCR，地址：0x0000）第 [12] 位）启用或禁用。如需了解自动协商更多相关详情，可参阅 IEEE 802.3 规范第 28 条。

8.3.2 自动 MDIX 分辨率

DP83826 能够确定是使用“直通”电缆还是“交叉”电缆来连接链路伙伴。DP83826 可以自动重新分配给 TD (MDI) 通道和 Rd (MDIX) 通道，以与链路伙伴建立链路。自动 MDIX 解析先于实际的自动协商过程，该过程涉及

Copyright © 2025 Texas Instruments Incorporated

快速链路脉冲交换与广播功能。自动 MDI/MDIX 在 IEEE 802.3 第 40 条第 40.8.2 节中进行了介绍，对于 10BASE-Te 和 100BASE-TX 不是必需的实现。在强制模式下运行 PHY 时，也可以使用自动 MDIX。

对于自动 MDIX，可通过硬件引导程序启用或禁用，也可通过 PHY 控制寄存器（PHYCR，地址：0x0019）第 [15] 位进行寄存器配置。禁用自动 MDIX 后，PMA 被强制为 MDI（“直通”）或 MDIX（“交叉”）。对于 MDI 或 MDIX 手动配置，也可以通过寄存器配置（通过 PHYCR 第 [14] 位或增强模式下通过硬体自举）完成。

8.3.3 节能以太网

8.3.3.1 EEE 概述

根据 IEEE 802.3az 定义的节能以太网 (EEE) 是一种集成到第 1 层（物理层）与第 2 层（数据链路层）的，能够在低功耗空闲 (LPI) 模式下运行的功能。数据包利用率较低情况下，保持 LPI 模式，能够节省功耗。EEE 定义了在不发生链路中断或数据包损坏情况下进入与退出 LPI 模式的协议。

DP83826 EEE 支持 100Mbps 与 10Mbps 速度。MII 和 RMII MAC 接口都支持 EEE。10BASE-Te 工作模式下，EEE 会以较低的，能够与 10BASE-T PHY 进行完全互操作的传输振幅运行。

对于节能以太网，必须通过寄存器编程启用。下面的步骤描述了如何通过 MDC/MDIO 接口为 EEE 配置 DP83826。

寄存器地址	数据
001Fh	8000h
203Ch	0002h
04D1h	008Bh
04D3h	4F12h
04DFh	0180h
033Eh	A681h
033Fh	0003h
0123h	0800h
031Bh	8848h
0466h	FE00h
04CFh	261Dh
0416h	1F30h
04F5h	2864h
04E0h	FFF2h
031Fh	FE36h
0308h	0000h
04F4h	0800h
0000h	3300h

8.3.3.2 EEE 协商

自动协商期间，会广播 EEE。在开机时、管理命令下达时、出现链路故障后或用户干预时执行自动协商功能。仅当两个链路伙伴都广播节能以太网功能时，才支持节能以太网功能。如果不支持节能以太网，则会禁用所有节能以太网功能，并且 MAC 不得将 LPI 配置为有效。如需广播节能以太网功能，PHY 需要依次交换额外的格式化下一页与非格式化下一页。

Copyright © 2025 Texas Instruments Incorporated

可利用寄存器访问，激活节能以太网协商。IEEE 802.3az 将 MMD3 与 MMD7 定义为节能以太网控制与状态寄存器的位置。MMD3 寄存器（0x1014、0x1001 与 0x1016）与 MMD7 寄存器（0x203C 与 0x203D）包含运行节能以太网所需要的所有控制与状态指示。节能以太网配置寄存器 3（EEECFG3，地址：0x04D1）包含节能以太网配置旁路控制。

默认情况下，会绕过节能以太网功能。如果需要广播基于 MMD3 与 MMD7 寄存器的节能以太网，就需要禁用节能以太网功能旁路（0x04D1.0 = 1，0x04D1.3 = 1），并且应启用节能以太网广播（MMD7 0x203C.1 = 1）。

8.3.4 旧 MAC 的 EEE 不支持 802.3az

还可以通过寄存器编程，对器件进行配置，以便启动 LPI 信令（空闲与刷新）。即使所用 MAC 不支持节能以太网，通过该功能，系统也能够执行节能以太网。该模式下，由主机控制器应用程序负责启用与禁用 LPI 信令。*DP83826* 处于 LPI 信令模式时，在通过 MAC 接口发送任何数据以前，该应用会将 DP83826 置于激活模式。

处于 LPI 信令模式时，DP83826 不具备存储数据的缓冲能力。要通过寄存器配置启用节能以太网，就必须对寄存器进行以下配置：

1.通过写入 0x04D1.0 = 1 与 0x04D1.3 = 1 的方式，启用节能以太网功能

2.通过执行写操作 (MMD7 0x203C.1 = 1)，在自动协商期间广播节能以太网功能

3.通过写入 0x0000.9 = 1 的方式，重新协商链路

4.通过写入 0x04D1.12 = 1 的方式，强制 Tx LPI 处于空闲状态

5.写入 0x04D1.12=0，以便停止发送 LPI 空闲信息

8.3.5 局域网唤醒数据包检测

局域网唤醒 (WoL) 提供了一种检测特定帧的机制，能够通过寄存器状态变化、GPIO 指示或中断标志，通知连接的控制器。对于 DP83826 中的局域网唤醒功能，允许位于物理层上方的连接器件在检测到具有合格凭证的帧以前，保持低功耗状态。该器件支持局域网唤魔术包™帧类型。接收到合格的局域网唤醒帧时，该器件局域网唤醒逻辑电路通过 GPIO 引脚或状态中断标志，生成用户定义的事件（脉冲或电平变化），以便通知连接的控制器发生了唤醒事件。该器件包括一个能够防止无效数据包触发唤醒事件的循环冗余校验 (CRC) 门。局域网唤醒功能包括：

- 以支持的所有速度（100BASE-TX 与 10BASE-Te）识别局域网唤醒帧
- 接收局域网唤醒帧时，导致唤醒中断。
- 对局域网唤醒帧进行 CRC 错误检查，避免无效帧导致中断
- 具有 SecureOn 密码保护功能的魔术包技术

8.3.5.1 魔术包结构

当配置为进行魔术包检测时，DP83826 会扫描寻址到节点的所有传入帧，检查这些帧是否具有特定的数据序列。符合相应序列的帧即为魔术包帧。

此外，魔术包帧必须满足所选局域网技术的基本要求，例如：源地址、目标地址（可以为接收站的 IEEE 地址或广播地址）以及 CRC。

特定的魔术包序列包含 16 个不间断重复的节点 MAC 地址，如果启用了安全功能，还需要输入安全密码。该序列可以位于数据包的任何位置，但必须先于同步流。同步流的定义是 6 字节的 0xFF。

Copyright © 2025 Texas Instruments Incorporated

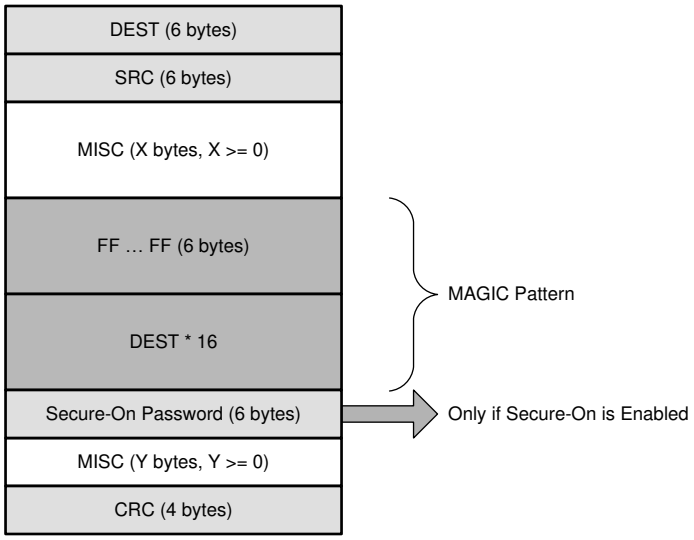


图 8-1. 魔术包结构

8.3.5.2 魔术包示例

以下是目标地址为 11h 22h 33h 44h 55h 66h，安全密码为 2Ah 2Bh 2Ch 2Dh 2Eh 2Fh 的魔术包示例：

```
DESTINATION SOURCE MISC FF FF FF FF FF FF
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66
11 22 33 44 55 66 2A 2B 2C 2D 2E 2F MISC CRC
```

8.3.5.3 局域网唤醒配置和状态

通过接收配置寄存器（RXFCFG，地址：0x04A0），配置局域网唤醒功能。局域网唤醒状态会在接收器状态寄存器（RXFS，地址：0x04A1）中报告。局域网唤醒中断标志配置与状态位于 MII 中断状态寄存器 2（MISR2，地址：0x0013）之中。

8.3.6 低功耗模式

DP83826 器件支持三种低功耗模式。本部分讨论了该等低功耗模式背后的原理以及该等模式的启用配置。

8.3.6.1 主动睡眠

未连接链路伙伴时，主动睡眠模式可降低功耗。通过向 PHYSCR 寄存器写入正确的位，可以在 PHY 初始化期间启用此功能。可通过读取 BISCR 寄存器来验证该功能。

启用主动睡眠模式并且 PHY 未检测到电缆连接时，PHY 会自动进入主动睡眠模式。当器件进入此模式时，除了 TD± 与 RD± 引脚上的 SMI 电路与能量检测电路以外，所有内部电路都会关断。在主动睡眠模式下，器件每 1.4 秒发送一次正常链路脉冲 (NLP)，以检查是否存在链路伙伴。当检测到链路伙伴时，PHY 会自动切换回正常模式，为其余内部电路供电。

该器件通过将 PHY 特定控制寄存器（PHYSCR，地址：0x0011）第 [14:12] 位设置为 0b110 的方式，启用主动睡眠模式。

8.3.6.2 IEEE 断电

IEEE 断电能够关断所有 PHY 电路（SMI 与内部时钟电路除外）。

INTR/PWRDN 引脚配置为断电功能情况下，能够通过寄存器访问或 INTR/PWRDN 引脚激活 IEEE 断电开关。

Copyright © 2025 Texas Instruments Incorporated

要通过 INTR/PWRDN 引脚启用 IEEE 断电开关，就必须将该引脚驱动为低电平接地。

要通过 SMI 启用 IEEE 断电开关，可将基本模式控制寄存器（BMCR，地址：0x0000）第 [11] 位设置为 1。

8.3.6.3 深度断电状态

深度断电状态 (DPD) 禁用除 SMI 之外的所有 PHY 电路。在该模式下，器件禁用 PHY PLL，以进一步降低功耗。

器件使用此序列进入 DPD 状态。

1. 启用 DPD 状态 (0x0428.2 = 1)
2. 启用 IEEE 断电状态（引脚或 0x0000.11 = 1）

8.3.7 RMII 中继器模式

DP83826 器件提供一个启用 RMII 背靠背中继器模式功能以扩展电缆范围的选项。两个 DP83826 器件可在 RMII 中继器模式下连接，无需任何外部配置。DP83826 提供了一个用于将 RMII 接口 CRS_DV 引脚配置为 RX_DV 引脚，以便实现背靠背操作的硬件配置 (Strap)。图 8-2 和 图 8-3 显示了使器件能够在中继器模式下运行的 RMII 引脚连接。

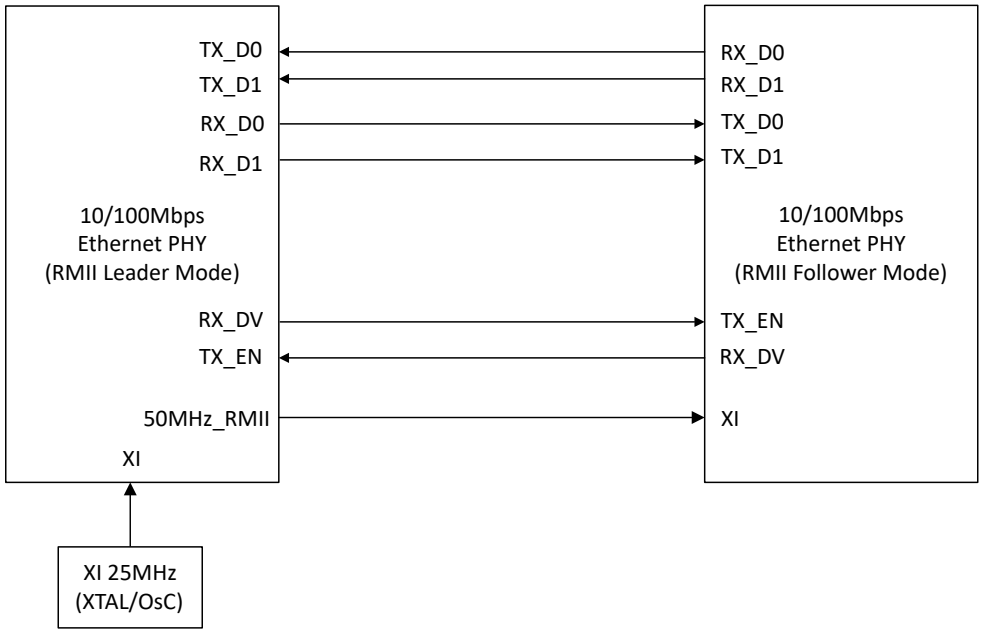


图 8-2. RMII 中继器模式：主-从

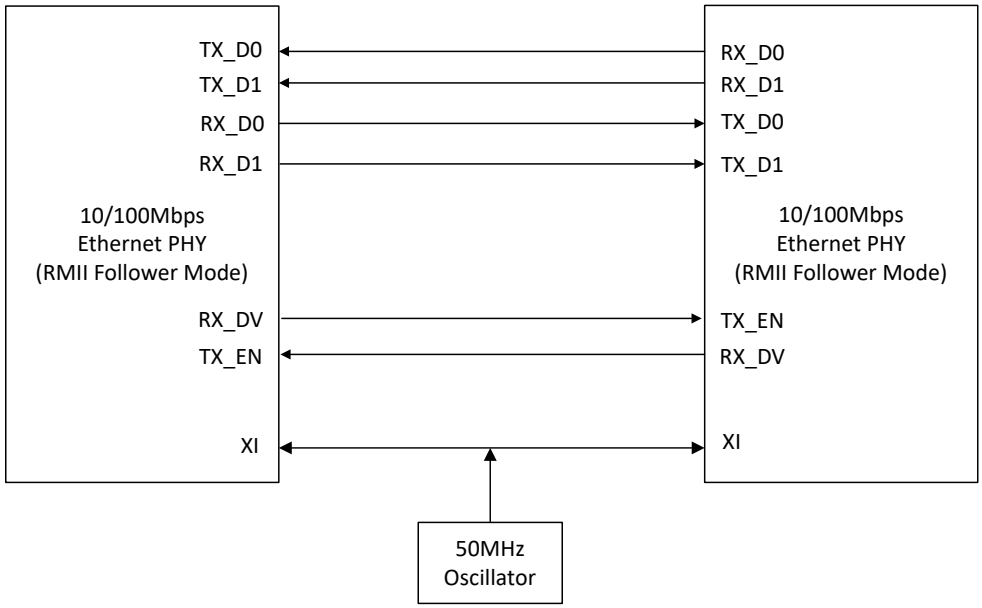


图 8-3. RMII 中继器模式：从-从

8.3.8 时钟输出

该器件具有多个时钟输出配置选项。外部晶体或 CMOS 级振荡器为内部 PHY 基准时钟提供激励。本地基准时钟用作器件内所有时钟的中央时钟源。

该器件支持的时钟输出选项包括：

- MAC IF 时钟
- XI 时钟
- 自由运行的时钟
- 恢复时钟

MAC IF 时钟与所选的 MAC 接口以相同速率运行。对于 RMII 操作，MAC IF 时钟频率为 50MHz。

XI 时钟是直通选项，允许将 XI 引脚时钟传递到 GPIO 引脚。请注意，在从 GPIO 传输之前对时钟进行缓冲，输出时钟振幅处于选定的 VDDIO 电平。默认情况下，POR 释放后在 CLK_OUT/LED1 引脚上提供该时钟（请参阅上电时序中的 T4）。

自由运行时钟是由 PLL 在内部产生的 125MHz 自由运行时钟。自由运行时钟对于异步数据传输应用很有用。

该恢复时钟是从连接的链路伙伴恢复的 125MHz 恢复时钟。PHY 从接收到的（从链路伙伴发送的）数据中恢复时钟。

所有时钟配置选项均由 LED GPIO 配置寄存器启用。

通过寄存器配置（寄存器 0x304[2:0]）将此引脚配置为输入引脚，可禁用 CLKOUT。

8.3.9 媒体独立接口 (MII)

媒体独立接口 (MII) 是一个同步 4 位宽半字节数据接口，用于将 PHY 连接到 MAC。MII 完全符合 IEEE 802.3-2002 第 22 条。

MII 信号具体汇总如下：

Copyright © 2025 Texas Instruments Incorporated

表 8-1. MII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
发送和接收信号	TX_EN
	RX_DV
线路状态信号	CRS
	COL
误差信号	RX_ER

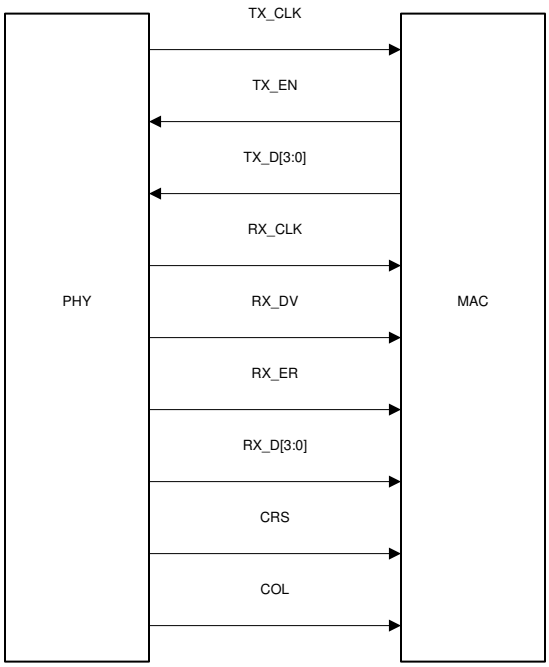


图 8-4. MII 信令

此外，MII 接口还包括载波侦听信号 (CRS) 以及冲突检测信号 (COL)。CRS 信号置位以指示数据的接收或发送。COL 信号置位可指示在半双工模式中，当发送和接收操作同时发生时会发生冲突。

8.3.10 简化媒体独立接口 (RMII)

DP83826 采用 RMII 规范（版本号：1.2）中规定的简化媒体独立接口 (RMII)。该接口旨在为第 22 条中指定的 IEEE 802.3 MII 提供一种引脚数更少的替代方案。从架构上讲，RMII 规范在 MII 的任一侧提供了一个额外的调节层，但在没有 MII 的情况下可实现。DP83826 提供两种类型的 RMII 操作：RMII 从模式和 RMII 主模式。RMII 主工作模式下，通过连接 XI 引脚的 25MHz CMOS 级振荡器、连接 XI 与 XO 引脚的 25MHz 晶体为 DP83826 供电。50MHz 输出时钟以 DP83826 为基准，可连接到 MAC。在 RMII 从工作模式下，DP83826 由连接到 XI 引脚的 50MHz CMOS 电平振荡器供电，并且与 MAC 共用同一个时钟。或者，在 RMII 从模式下，PHY 可通过主机 MAC 提供的 50MHz 时钟运行。

RMII 规范具有以下特性：

- 支持 100BASE-TX 和 10BASE-Te
- 从 MAC 到 PHY（或来自外部源）的单个时钟基准
- 提供独立的 2 位宽发送和接收数据路径
- 使用与 MII 接口相同的 CMOS 信号电平

该模式下，发送与接收路径均采用 50MHz 内部基准时钟，每个时钟周期可传输 2 比特数据。

RMII 信号具体汇总如下：

表 8-2. RMII 信号

功能	引脚
接收数据线	TX_D[1:0]
传输数据线	RX_D[1:0]
接收控制信号	TX_EN
发送控制信号	CRS_DV

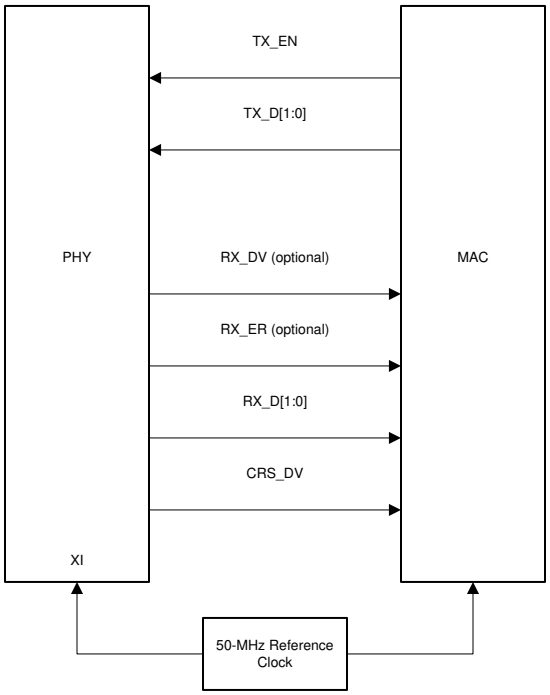


图 8-5. 使用外部 50MHz CMOS 电平振荡器的 RMII 从模式信令

Copyright © 2025 Texas Instruments Incorporated

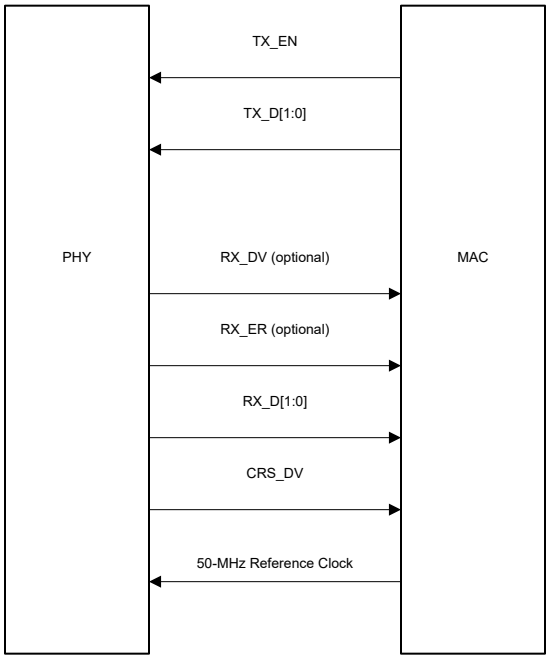


图 8-6. 使用来自 MAC 的 50MHz 时钟的 RMII 从模式信令

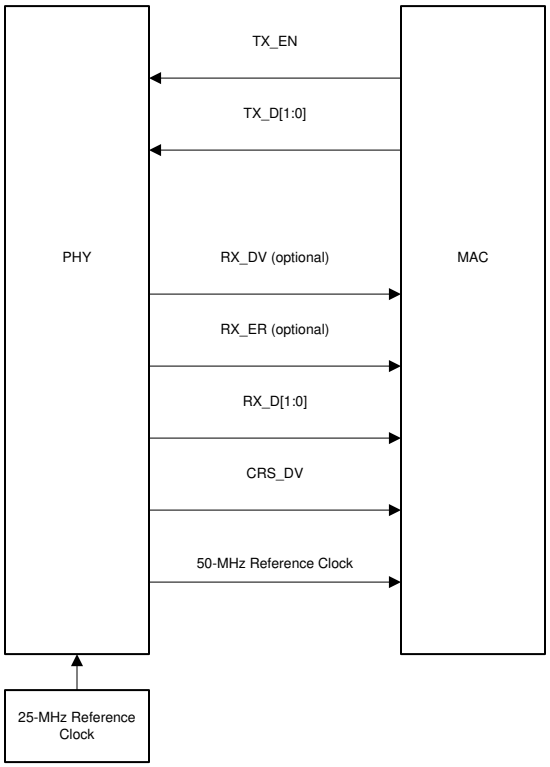


图 8-7. RMII 主信令

TX_D[1:0] 上的数据以 RMII 主模式和从模式下的 50MHz 时钟为基准锁存在 PHY 上。RX_D[1:0] 上的数据以 50MHz 时钟为基准提供。

Copyright © 2025 Texas Instruments Incorporated

此外，CRX_DV 可被配置为 RX_DV 信号。它可以通过一种更简单的方法恢复接收数据，而无需将 RX_DV 与 CRS_DV 指示分开。

8.3.11 串行管理接口

串行管理接口支持访问 DP83826 内部寄存器空间，从而获得状态信息和配置。SMI 符合 IEEE 802.3 第 22 条。所实现的寄存器组包括 IEEE 802.3 所需的寄存器和其他几个寄存器，能够提高 DP83826 的可见性和可控性。

SMI 包括管理时钟 (MDC) 和管理输入/输出数据引脚 (MDIO)。MDC 由外部管理实体（也称为站 (STA)）提供，可在 24MHz 的最大时钟速率下运行。MDC 不应持续运行，在总线空闲时可由外部管理实体关闭。

MDIO 由外部管理实体和 PHY 提供。MDIO 引脚上的数据在 MDC 的上升沿锁存。MDIO 引脚需要一个能够在空闲与转换期间将 MDIO 拉高的上拉电阻器（2.2KΩ 或 1.5KΩ 是常用值）。

最多 8 个 PHY 可共用一条公共 SMI 总线。为了区分 PHY，在上电或硬件复位期间，DP83826 通过锁存 Phy_Address[2:0] 配置引脚来确定其地址。

在上电或硬件复位后的第一个周期内，管理实体不得启动 SMI 事务。为保持有效运行、SMI 总线必须保持未激活状态至少到上电后 50ms，以及复位取消置位后至少 2ms（请参阅上电时序中的 T4 和复位时序中的 T2）。在正常 MDIO 事务中，寄存器地址直接取自管理帧 reg_addr 字段，因此允许直接访问 32 个 16 位寄存器（包括 IEEE 802.3 定义的寄存器和特定于供应商的寄存器）。数据字段用于读取和写入操作。开始代码由 <01> 模式指示。该模式确保 MDIO 线路从默认空闲线路状态转换。转换定义为寄存器地址字段与数据字段之间所插入的空闲位时间。为避免读取事务期间发生资源争用，在第一个比特周转期间，任何器件均不得主动驱动 MDIO 信号。定址 DP83826 在第二个转换位时以零驱动 MDIO，并在此之后以所需数据驱动。

对于写入事务，站管理实体会将数据写入定址 DP83826，因而无需 MDIO 转换。转换时间由管理实体通过插入 <10> 来填充。

表 8-3. SMI 协议

SMI 协议	<idle><start><op code><PHY address><reg addr><turnaround><data><idle>
读取操作	<idle><01><10><AAAAA><RRRRR><Z0><XXXX XXXX XXXX XXXX><idle>
写入操作	<idle><01><01><AAAAA><RRRRR><10><XXXX XXXX XXXX XXXX><idle>

Copyright © 2025 Texas Instruments Incorporated

8.3.11.1 扩展寄存器空间访问

DP83826 的 SMI 功能支持使用寄存器控制寄存器（REGCR，地址 0x000D）、数据寄存器（ADDAR，地址 0x000E）以及 IEEE 802.3ah 草案第 22 条所定义的 MDIO 管理器件 (MMD) 间接方法对扩展寄存器组进行读写访问，从而访问扩展寄存器组。

标准寄存器组 MDIO 寄存器 0 至 31 通过正常直接 MDIO 访问或间接方法访问，但寄存器 REGCR 和 ADDAR 除外，仅使用正常 MDIO 事务访问该寄存器。SMI 功能会忽略对这些寄存器的间接访问。

REGCR 是 MMD 访问控制。通常情况下，寄存器 REGCR[4:0] 为器件地址 DEVAD，可将 ADDAR 寄存器的任何访问引向适当的 MMD。

DP83826 支持三个 MMD 器件地址：

1. 特定于供应商的器件地址 DEVAD[4:0] = 11111 用于常规 MMD 寄存器访问。
2. DEVAD[4：0]= 00011 用于节能以太网 MMD 寄存器访问。在该器件地址可以访问的寄存器的寄存器名称前面加上 MMD3。
3. DEVAD[4：0]= 00111 用于节能以太网 MMD 寄存器访问。在该器件地址可以访问的寄存器的寄存器名称前面加上 MMD7。

经由寄存器 REGCR 和 ADDAR 的所有访问都必须使用正确的 DEVAD。其他 DEVAD 的事务都会被忽略。REGCR[15：14] 保存访问功能：地址 (00)，无后增量的数据 (01)。

- ADDAR 是地址/数据 MMD 寄存器。ADDAR 与 REGCR 结合使用，旨在支持访问扩展寄存器组。如果寄存器 REGCR[15:14] 为 (00)，则 ADDAR 保存扩展地址空间寄存器的地址。否则，ADDAR 保存由其地址寄存器内容所指示的数据。REGCR[15:14] 设置为 (00) 时，通过访问寄存器 ADDAR 可修改扩展寄存器组地址寄存器。为访问扩展寄存器组中的任何寄存器，该地址寄存器应始终处于初始化状态。
- REGCR[15:14] 设置为 (01) 时，通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。

以下小节介绍了如何使用寄存器 REGCR 和 ADDAR 对扩展寄存器组执行操作。这些描述使用器件地址进行常规 MMD 寄存器访问 (DEVAD[4:0] = 11111)。对于对 MMD3 或 MMD7 寄存器的寄存器访问，可以使用相应的器件地址。

Copyright © 2025 Texas Instruments Incorporated

8.3.11.2 写入地址操作

如需设置地址寄存器：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。
2. 将寄存器地址写入寄存器 ADDAR。

随后写入寄存器 ADDAR（第 2 步），继续写入地址寄存器。

8.3.11.3 读取地址操作

如需读取地址寄存器：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。
2. 从寄存器 ADDAR 中读取寄存器地址。

随后读取寄存器 ADDAR（第 2 步），继续读取地址寄存器。

8.3.11.4 写入（无后增量）操作

如需在扩展寄存器组中写入寄存器：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。
3. 将值 0x401F（数据，无后增量函数字段 = 01，DEVAD = 31）写入寄存器 REGCR。
4. 将所需扩展寄存器组的内容写入寄存器 ADDAR。

随后写入寄存器 ADDAR（第 4 步），继续重写由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

8.3.11.5 读取（无后增量）操作

如需读取扩展寄存器组中的寄存器：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = 31）写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。
3. 将值 0x401F（数据，无后增量函数字段 = 01，DEVAD = 31）写入寄存器 REGCR。
4. 从寄存器 ADDAR 中读取所需扩展寄存器组的内容。

随后读取寄存器 ADDAR（第 4 步）会产生第 3 步中所设置寄存器的输出。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

8.3.11.6 示例写入操作（无后增量）

该示例演示了无后增量的写入操作。在本例中，使用 IO MUX GPIO 控制寄存器（IOCTRL，地址 0x0461）将 MAC 阻抗调整为 99.25Ω。

1. 将值 0x001F 写入寄存器 0x000D。
2. 将值 0x0461 写入寄存器 0x000E（将所需寄存器设置为 IOCTRL）。
3. 将值 0x401F 写入寄存器 0x000D。
4. 将值 0x0400 写入寄存器 0x000E（将 MAC 阻抗设置为 99.25Ω）。

Copyright © 2025 Texas Instruments Incorporated

8.3.12 100BASE-TX

8.3.12.1 100BASE-TX 变送器

100BASE-TX 发送器由多个能够将 MII 提供的同步 4 位半字节数据转换为 MDI 上的扰频 MLT-3 125Mbps 串行数据流的功能块共同组成。4B5B 编码与解码的详细说明如 表 8-4 所述。

发送器部分包含以下功能块：

1. 码组编码器与注入模块
2. 带旁路选项的扰频器模块
3. NRZ 转 NRZI 编码器模块
4. 二进制到 MLT-3 转换器/通用驱动器模块

100BASE-TX 发送器内功能模块的旁路选项为不总是需要进行数据转换的应用提供了灵活性。DP83826 实施了 IEEE 802.3 标准第 24 条规定的 100BASE-TX 传输状态机图。

Copyright © 2025 Texas Instruments Incorporated

表 8-4. 4B5B 码组编码/解码

名称	PCS 5B 码组	MII 4B 半字节代码
数据代码		
0	11110	0000
1	01001	0001
2	10100	0010
3	10101	0011
4	01010	0100
5	01011	0101
6	01110	0110
7	01111	0111
8	10010	1000
9	10011	1001
A	10110	1010
B	10111	1011
C	11010	1100
D	11011	1101
E	11100	1110
F	11101	1111
空闲与控制代码(1)		
H	00100	HALT 码组 - 错误代码
I	11111	数据包间空闲 - 0000
J	11000	第一个数据包开始 - 0101
K	10001	第二个数据包开始 - 0101
T	01101	第一个数据包结束 - 0000
R	00111	第二个数据包结束 - 0000
P	00000	EEE LPI - 0001(2)
无效代码		
V	00001	
V	00010	
V	00011	
V	00101	
V	00110	
V	01000	
V	01100	
V	10000	
V	11001	

(1) 数据字段中的控制码组 I、J、K、T 与 R 被映射为无效代码，并且将 RX_ER 置为有效。
(2) 对于节能以太网 LPI，还必须将 TX_ER / RX_ER 置为有效，将 TX_EN / RX_DV 置为无效。

Copyright © 2025 Texas Instruments Incorporated

8.3.12.1.1 代码组编码和注入

码组编码器能够将 MAC 生成的 4 位 (4B) 半字节数据转换为 5 位 (5B) 代码组进行传输。需要进行该等转换，以便将控制数据与数据包数据代码组结合。参阅 表 8-4，了解 4B 至 5B 代码组映射详情。

码组编码器能够在发送时将 MAC 前导码前 8 位替换为 J/K 码组对 (11000 10001)。码组编码器会继续用相应的 5B 码组替换随后的 4B 前导码与数据半字节。发送数据包结束时，一旦 MAC 的发送启用 (TX_EN) 信号触发失效，码组编码器就会注入表示帧结束的 T/R 码组对 (01101 00111)。

注入 T/R 码组对以后，码组编码器在检测到下一个发送数据包（将发送启用重新置位）以前，会持续向发送数据流注入空闲脉冲。

8.3.12.1.2 扰频器

扰频器需要控制媒体连接器与双绞线电缆上的辐射发射。通过对数据进行扰频，发射到电缆上的总能量能够在较宽的频率范围以内随机分布。如果没有扰频器，在与重复 5B 序列（即：IDLE 的连续传输）相关的频率上，MDI 与电缆上的能量水平的峰值可能会超过 FCC 限制。

扰频器配置为具有 11 位多项式的闭环线性反馈移位寄存器 (LFSR)。对于闭环线性反馈移位寄存器的输出，与来自码组编码器的串行 NRZ 数据进行 X-ORd。结果是产生了具有足够随机性，能够将特定频率下的辐射发射降低多达 20dB 的扰频数据流。

8.3.12.1.3 NRZ 到 NRZI 编码器

对发送数据流进行串行化与扰频处理以后，必须对数据进行 NRZI 编码，以便符合通过 5 类非屏蔽双绞线进行 100BASE-TX 传输的 TP-PMD 标准。在 DP83826 中，无法绕过该模块。NRZI 数据会发送到 100Mbps 驱动程序。

8.3.12.1.4 二进制到 MLT-3 转换器

对于二进制到 MLT-3 的转换，通过将 NRZI 编码器输出的串行二进制数据流转换为两个具有交替相位逻辑“1”事件的二进制数据流的方式实现。对于这两个二进制数据流，随后会被馈送至将电压转换为电流，并且会交替驱动发送变压器初级绕组任一侧的双绞线输出驱动器，进而产生最小电流的 MLT-3 信号。

由 PMD 输出对共用驱动器提供的 100BASE-TX MLT-3 信号的转换速率是受控的。选择交流耦合磁性元件以满足 TP-PMD 标准转换时间（3ns < T_{RISE}（及 T_{FALL}）<5ns）时，必须考虑转换速率。

8.3.12.2 100BASE-TX 接收器

100BASE-TX 接收器由多个功能块共同组成，该等功能模块会将扰频 MLT-3 125Mbps 串行数据流转换为同步的 4 位数据提供给 MII，并将 2 位宽的数据提供给 RMII。

接收部分包含以下功能模块：

- 输入与 BLW 补偿
- 信号检测
- 数字自适应均衡
- MLT-3 转二进制解码器
- 时钟恢复模块
- NRZI 转 NRZ 解码器
- 解码器
- 串行到并行数据转换
- 代码组对齐
- 4B/5B 解码器
- 链路完整性监视器
- 不良 SSD 检测

Copyright © 2025 Texas Instruments Incorporated

8.3.13 10BASE-Te

10BASE-Te 收发器模块符合 IEEE 802.3 标准。收发器模块包括标准中定义的接收器、发送器、冲突检测、心跳检测、环回测试、Jabber 检测以及链路完整性功能。

备注

将 DP83826 用于 10BASE-Te 应用时，请配置 VOD_CFG3（寄存器地址：0x030E）至 0x4A40。

8.3.13.1 静噪

静噪用于确定差分接收输入端何时存在有效数据。静噪电路与振幅和（IEEE 802.3 10BASE-Te 标准规定的）定时测量结合使用，能够用于确定双绞线输入端的数据有效性。

静噪能够检查数据包开始时的信号，并且会拒绝不超过静噪水平（正或负，取决于极性）的任何脉冲。正确超过第一个静噪电平以后，必须在不早于 50ns 以后超过相反的静噪电平。最后，信号必须在不早于 50ns 以后再次超过原来的静噪电平，才可被视作不会被剔除的有效输入波形。该检查程序通常会导致每个数据包开头的三个前导位的丢失。发送器工作时，会先检查五个连续的转换，再指示出现的有效数据。此时，静噪电路复位。

DP83826 支持 IEEE 前导码模式和短前导码模式。请参阅 10M_CFG 寄存器（地址 = 0x2A）。

8.3.13.2 正常链路脉冲检测和生成

链路脉冲发生器能够产生 IEEE 802.3 10BASE-Te 标准中定义的脉冲。每个链路脉冲的标称持续时间为 100ns，不发送数据情况下，每 16ms 发送一次。链路脉冲用于检查与远端连接的完整性。

8.3.13.3 Jabber

Jabber 是一种通常受故障条件影响，一个站点的传输时间超过容许的最大数据包长度的情况。Jabber 功能能够监控 DP83826 输出，如果发送器尝试传输的数据包超过了规定大小，则禁用该发送器。Jabber 计时器能够监控发送器，并且能够在发送器激活大约 100ms 时禁用该发送器。Jabber 功能被禁用情况下，发送器能够在触发模块内部发送使能的整个时间段以内保持禁用状态。在 Jabber 功能重新启用传输输出以前，该信号必须断开约 500ms（unjab 时间）。Jabber 功能仅在 10BASE-Te 模式下可用并且处于激活状态。

8.3.13.4 工作链路链极性检测和校正

交换双绞线会导致极性错误。极性错误会影响 10BASE-Te 连接。100BASE-TX 由于 MLT-3 编码，不受极性问题影响。10BASE-Te 接收块能够自动检测反极性。

Copyright © 2025 Texas Instruments Incorporated

8.3.14 环回模式

DP83826 中提供多个环回选项，可用于测试和验证 PHY 中的各种功能块。启用环回模式后，可以对数字和模拟数据路径进行电路内测试。DP83826 可配置为任何一种近端环回模式，也可配置为远端（反向）环回模式。MII 环回利用基本模式控制寄存器（BMCR，地址：0x0000）进行配置。所有其他环回模式均通过 BIST 控制寄存器（BISCR，地址 0x0016）启用。除非另有说明，否则所有速度（10/100Mbps 与所有 MAC 接口）均支持环回模式。

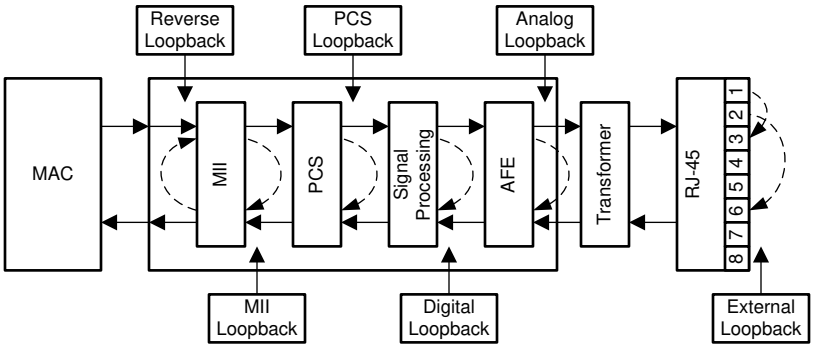


图 8-8. 环回测试模式

8.3.14.1 近端环回

近端环回提供了通过数字或模拟电路将传输的数据环回至接收器的能力。使用 BISCR 寄存器中的环回控制位[3：0]来选择信号环回点。在选择近端环回模式之前禁用自动协商。该限制不适用于外部环回模式。

8.3.14.2 MII 环回

MII 环回是穿过 PHY 的最浅环路，是验证 MAC 和 PHY 之间通信的有用测试模式。当处于 MII 环回模式时，从 TX 路径上连接的 MAC 发送的数据在 DP83826 内部环回至 RX 引脚，MAC 可在此处检查数据。

通过设置 BMCR 中的位 [14] 和 BISCR 中的位 [2] 来启用 MII 环回。

8.3.14.3 PCS 环回

PCS 环回发生在 PHY 的 PCS 层。使用 PCS 环回时不执行信号处理。

通过设置 BISCR 中的位 [0] 来启用 PCS 输入环回。

通过设置 BISCR 中的位 [1] 来启用 PCS 输出环回。

8.3.14.4 数字环回

数字环回包括整个数字发送和接收路径。数据在模拟电路之前环回。

数字环回需要进行以下配置：

- 0x0000 = 0x2100//禁用自动协商
- 0x0016 = 0x0104//数字环回
- 0x0122 = 0x2000/
- 0x0123 = 0x2000
- 0x0130 = 0x47FF
- 0x001F = 0x4000//软复位

8.3.14.5 模拟环回

在 10BASE-Te 或 100BASE-TX 模式下运行时，信号可能在模拟前端以后环回。

通过设置 BISCR 中的位 [3] 来启用模拟环回。

Copyright © 2025 Texas Instruments Incorporated

8.3.14.6 远端（反向）环回

远端（反向）环回是一种特殊的测试模式，允许与链路伙伴进行 PHY 测试。该模式下，对于从链路伙伴接收的数据，能够通过 PHY 接收器传递，在 MAC 接口处环回以后，发送回链路伙伴。在反向环回模式下，来自 MAC 的所有数据信号都将被忽略。

通过设置 BISCR 中的位 [4] 来启用反向环回。

8.3.15 BIST 配置

DP83826 包含内部 PRBS 内置自检 (BIST) 电路，可适应电路内测试和诊断。BIST 电路可用于测试发送和接收数据路径的完整性。BIST 可以通过两个内部环回（数字或模拟）执行，也可以通过利用电缆固定装置的外部环回进行。BIST 采用真实数据包和数据包间间隙 (IPG) 格式来模拟线路上的假随机数据传输场景。BIST 可实现对数据包长度和 IPG 的完全控制。

BIST 数据包长度由 BIST 控制和状态寄存器 2（BICSR2，地址 0x001C）中的位 [10:0] 进行控制。BIST IPG 长度由 BIST 控制和状态寄存器 1（BICSR1，地址 0x001B）中的位 [7:0] 进行控制。

BIST 采用独立的发送和接收路径，且发送时钟能够生成假随机序列的连续流。该器件为 BIST 生成一个 15 位假随机序列。接收到的数据将与生成的假随机数据进行比较以确定通过/失败状态。PRBS 校验器接收到的错误字节数存储在 BICSR1 的位 [15:8] 中。可以从 BIST 控制寄存器（BISCR，地址 0x0016）读取 PRBS 锁定状态和同步。

使用 BISCR 中的位 [14] 可以将 PRBS 测试置于连续模式。在连续模式下，当 BIST 错误计数器达到最大值时，此计数器再次从零开始计数。要读取 BIST 错误计数，必须将 BICSR1 中的位 [15] 设置为“1”。该设置锁定 BIST 错误的当前值，以供读取。设置第 [15] 位会清除 BIST 错误计数器。

Copyright © 2025 Texas Instruments Incorporated

8.3.16 电缆诊断

随着以太网设备的大量部署，对可靠、全面和用户友好型电缆诊断工具的需求比以往任何时候都更加强烈。所部署的电缆、拓扑结构和连接器种类繁多，因此需要以非侵入的方式识别和报告电缆故障。DP83826 在电缆诊断工具套件中提供时域反射法 (TDR) 功能。

8.3.16.1 时域反射法 (TDR)

DP83826 使用 TDR 来确定电缆、连接器和终端的质量，还可以估算电缆长度。可以诊断的一些可能的问题包括开路、短路、电缆阻抗不匹配、连接器不良、端接不匹配、跨接故障、交叉短路以及电缆上的任何其他不连续性。

DP83826 沿着所连接电缆的两个线对中的每一个线对发送已知幅度 (1V) 的测试脉冲。发送的信号沿电缆传输时，会通过每个电缆缺陷、故障、连接器以及电缆末端进行反射。发送脉冲后，DP83826 会测量所有这些反射脉冲的返回时间和幅度。这项技术能够以 ±1m 的精度测量非端接电缆（开路或短路）、不连续性（连接器不良）和端接错误电缆的距离和幅度（阻抗）。

对于所有的 TDR 测量，到达时间和物理距离之间的转换由外部主机通过少量计算（例如乘法、加法和查询表）来完成。主机必须知道电缆的预期传播延迟，该延迟取决于电缆的类别（例如 CAT5、CAT5e 或 CAT6）等因素。

以下情况下允许进行 TDR 测量：

- 当链路伙伴断开时 – 在另一侧拔下电缆
- 链路伙伴已连接但保持“静默”（例如，在断电模式下）
- 链路故障或断开时，能够自动激活 TDR

对于 TDR 自动运行，可通过控制寄存器 #1（CR1，地址：0x0009）第 [8] 位的方式启用。当链路断开时，TDR 会自动执行，将结果存储在相应的 TDR 电缆诊断位置结果寄存器 #1 - #5（CDLRR, 地址 0x0180 至 0x0184）与电缆诊断振幅结果寄存器 #1 - #5（CDLAR，地址：0x0185 至 0x0189）上。也可以通过电缆诊断控制寄存器（CDCR，地址：0x001E）第 [15] 位手动运行 TDR。对于电缆诊断状态，可通过读取 CDCR 第 [1:0] 位的方式获得。电缆诊断特定控制寄存器（CDSCR，地址：0x0170）中还提供了其他 TDR 功能（包括：周期平均与交叉禁用）。有关详细信息，请参阅应用报告 *DP83826 的时域反射技术*。

8.3.17 快速链路丢失功能

DP83826 包括高级链路丢失功能，可支持各种实时应用。链路丢失机制是可配置的，包含可实现极快链路丢失反应时间的增强模式。

DP83826 支持增强型链路丢失机制，也称为快速链路丢失 (FLD)，可缩短用于确定链路的观察窗口。确定链路状态的方法有多种，可以根据用户偏好启用或禁用。

根据 DP83826 所处的模式，FLD 的默认状态会有所不同。在增强模式下，通过下拉 Strap7 来禁用 FLD 和所有检测机制。对于 EtherCAT 应用或启用了快速链路丢失功能并希望处理基线漂移数据包的应用，建议禁用信号能量检测，这可通过设置 Strap8 来实现。下表总结了由配置 (strap) 启用的模式。

表 8-5. 在增强模式下通过配置 (strap) 进行 FLD 检测模式

搭接配置	RX 错误计数	MLT3 错误计数	低 SNR 阈值	信号/能量损耗	解码器链路丢失
Strap7 = LOW Strap1 = X Strap8 = X	禁用	禁用	禁用	禁用	禁用
Strap7 = HIGH Strap1 = HIGH Strap8 = LOW	启用		启用	启用	启用
Strap7 = HIGH Strap1 = LOW Strap8 = LOW	启用		禁用	启用	禁用
Strap7 = HIGH Strap1 = LOW Strap8 = HIGH	启用		禁用	禁用	禁用

Copyright © 2025 Texas Instruments Incorporated

在基本模式下，默认启用快速链路丢失功能。基本模式下的默认机制为 RX 错误和信号/能量损耗。

在两种模式下，可以使用控制寄存器 3（CR3，寄存器地址 0x000B）来配置 FLD。位 [3:0] 和位 [10] 允许启用各种 FLD 条件。当发生链路丢失时，可以从快速链路丢失状态寄存器（FLDS，寄存器地址 0x000F）读取特定故障条件的指示。

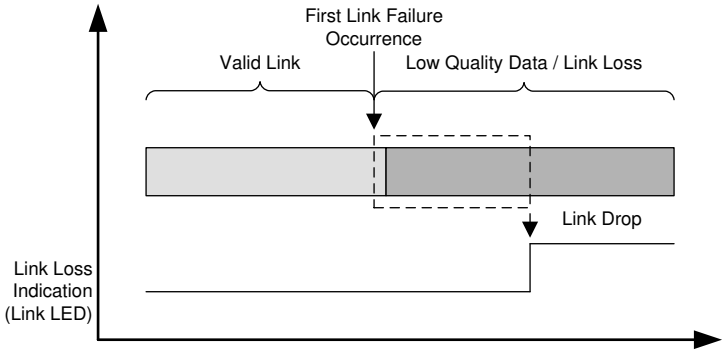


图 8-9. 快速链路丢失

快速链路丢失标准包括：

- RX 错误计数 - 当在 10 µs 窗口内发生预定义数量的 32 RX_ERs 时，链路被断开。
- MLT3 错误计数 - 当在 10 µs 窗口内发生预定义数量的 20 MLT3 错误时，链路被断开。要使用基于 MLT3 错误的 FLD，请将寄存器快速链路丢失配置寄存器 1（FLDCFG1，寄存器地址 0x0117）配置为 0x0417。
- 低 SNR 阈值 - 当在 10 µs 窗口内发生预定义数量的 20 次阈值交叉时，链路被断开。
- 信号/能量耗损 - 当能量检测器指示能量损失时，链路被断开。
- 解码器链路丢失-当解码器失锁时，链路被断开。要使用基于解码器链路中断的 FLD，请将快速链路丢失配置寄存器 2（FLDCFG2，寄存器地址 0x0131）的位 [5:0] 配置为 0x08。

对于快速链路丢失功能，允许单独使用或以任意组合方式使用该等选项。

Copyright © 2025 Texas Instruments Incorporated

8.3.18 LED 和 GPIO 配置

DP83826 提供灵活的 LED 和 GPIO 引脚，可使用寄存器配置针对各种功能进行设置。有关 LED 和 GPIO 配置的详细信息，请参阅 图 8-10。

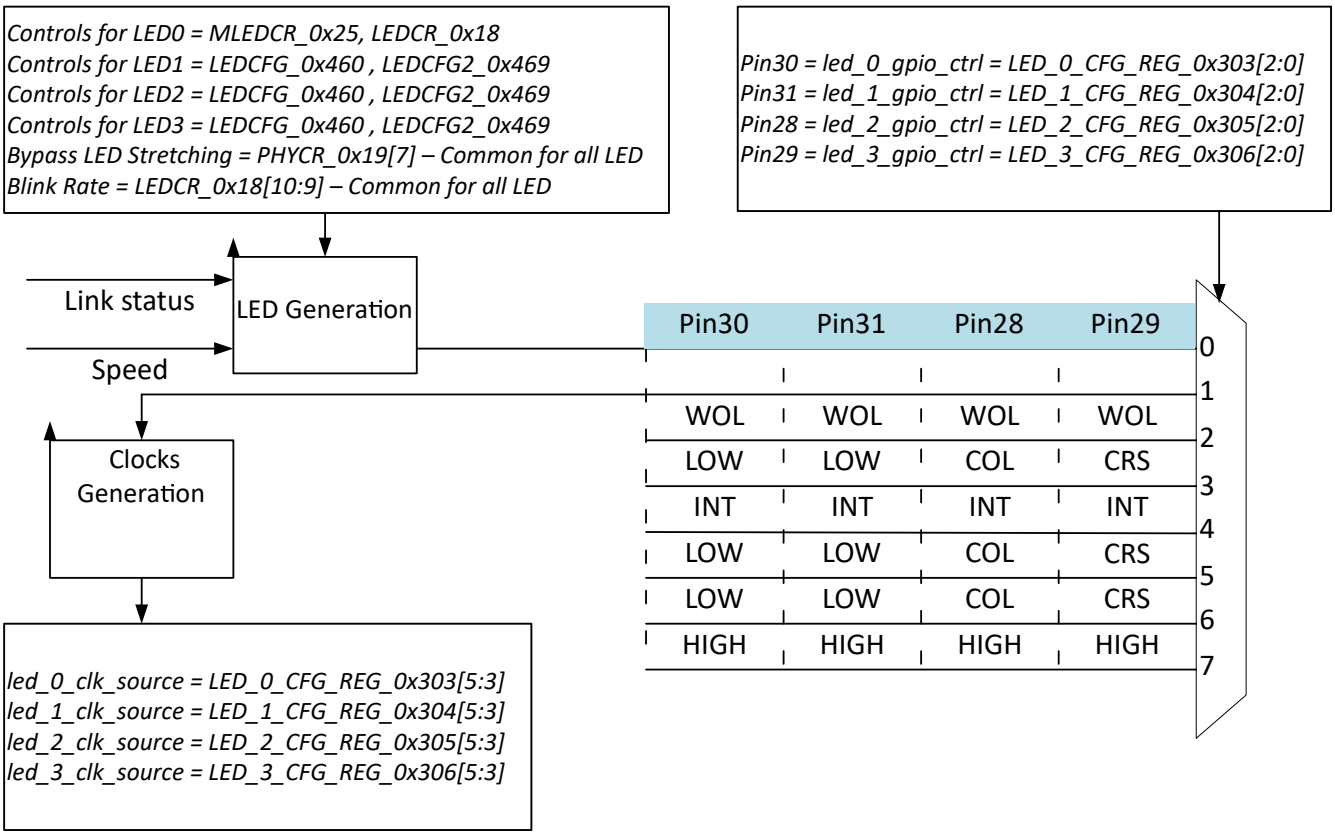


图 8-10. LED 和 GPIO 配置

备注

仅在增强模式下，引脚 28 和 29 上提供时钟输出。这些引脚可配置为仅输出 25MHz 或 50MHz 时钟。

在增强模式下，LED 支持自动极性检测。LED 驱动根据引脚上配置的配置 (strap) 进行调整。例如，如果 LED 引脚配置为下拉配置 (strap)，PHY 会将 LED 极性分配为高电平有效。如果 LED 引脚配置为上拉电阻器，PHY 会将 LED 极性分配为低电平有效。

在基本模式下，LED 极性始终为低电平有效。在 LED 引脚必须配置为低电平时，必须使用与 LED 串联的 1kΩ 上拉电阻器和 1.5kΩ 下拉电阻器。这会导致配置 (strap) 选择 0。请注意，使用较高的电阻可能会降低 LED 的亮度。

图 8-11 显示了两种直接将 LED 连接至 DP83826 的正确方法。

Copyright © 2025 Texas Instruments Incorporated

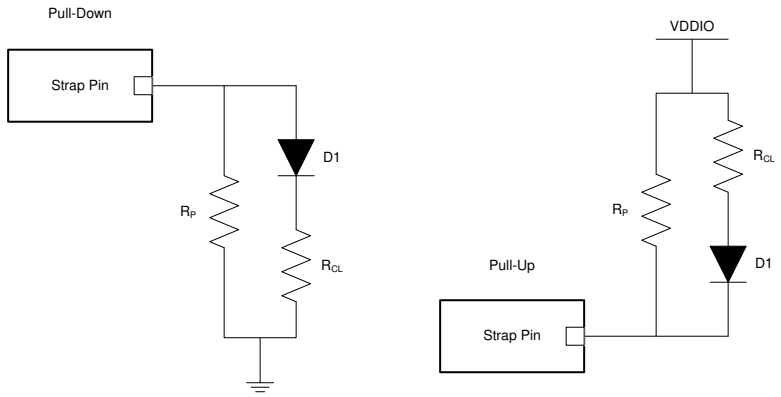


图 8-11. LED 配置　(Strap) 连接示例

8.4 编程

DP83826 提供基于硬件的配置（通过自举）以及 IEEE 定义的寄存器组来进行编程和状态指示。此外，DP83826 还提供了额外的寄存器组来配置 IEEE 寄存器不支持的其他功能。

8.4.1 硬件自举配置

DP83826 使用很多功能引脚作为配置 (strap) 选项，以便将器件置于特定的运行模式。上电或硬复位时会对这些引脚的值进行采样。在软件复位期间，内部将根据上电或硬复位时采样的值重新加载配置 (strap) 选项。配置 (strap) 选项引脚分配定义如下。对于器件的配置，可通过搭接引脚或管理寄存器接口完成。利用上拉电阻器或下拉电阻器的建议值，设置配置 (strap) 引脚输入与电源的电压比，以便选择其中一种可选模式。所有配置 (strap) 引脚都有两级。

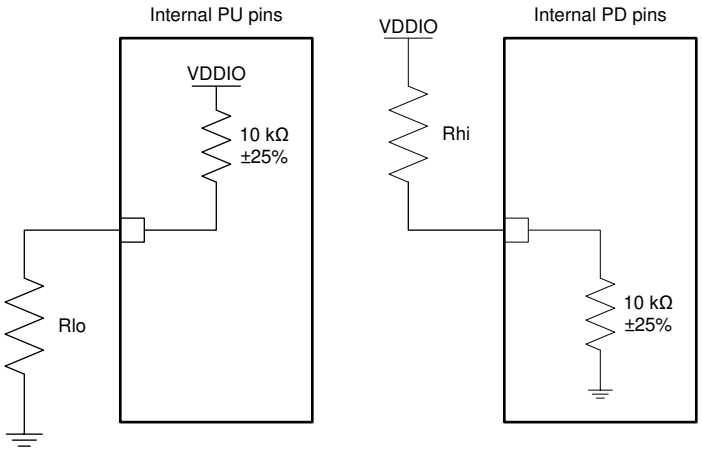


图 8-12. 配置 (Strap) 电路

表 8-6. 2 级配置 (strap) 电阻比

模式 (1)	建议的电阻	
	R_{HI} (kΩ)	R_{LO} (kΩ)
内部 10kΩ 下拉 (PD) 引脚		
0-DEFAULT	断开	断开
1	2.49	断开
内部 10kΩ 上拉 (PU) 引脚		
0	断开	1.5
1-DEFAULT	断开	断开

(1) 电阻比仅为建议值。使用电气特性表中包含的自举阈值可以更精确地选择模式。建议容差为 1%。

Copyright © 2025 Texas Instruments Incorporated

8.4.1.1 自举配置（增强模式）

本节介绍了可用于 DP83826 增强模式的某些选项的硬件自举功能。如果未采用配置 (strap) 电阻器，则默认值为启用奇半字节、MII 模式、禁用 FLD。“0”对应于模式 0，而“1”对应于模式 1。

仅当 DP83826 配置为 MII MAC 接口时，才支持 FLD 功能。当 Strap1=“0”或 Strap1=“1”且 Strap8=“0”时，选择 MII。

RX_D0、RX_D1、RX_DV、RX_ER、LED0、CRS/LED3、COL/LED2 的配置 (strap) 独立于此流程图。

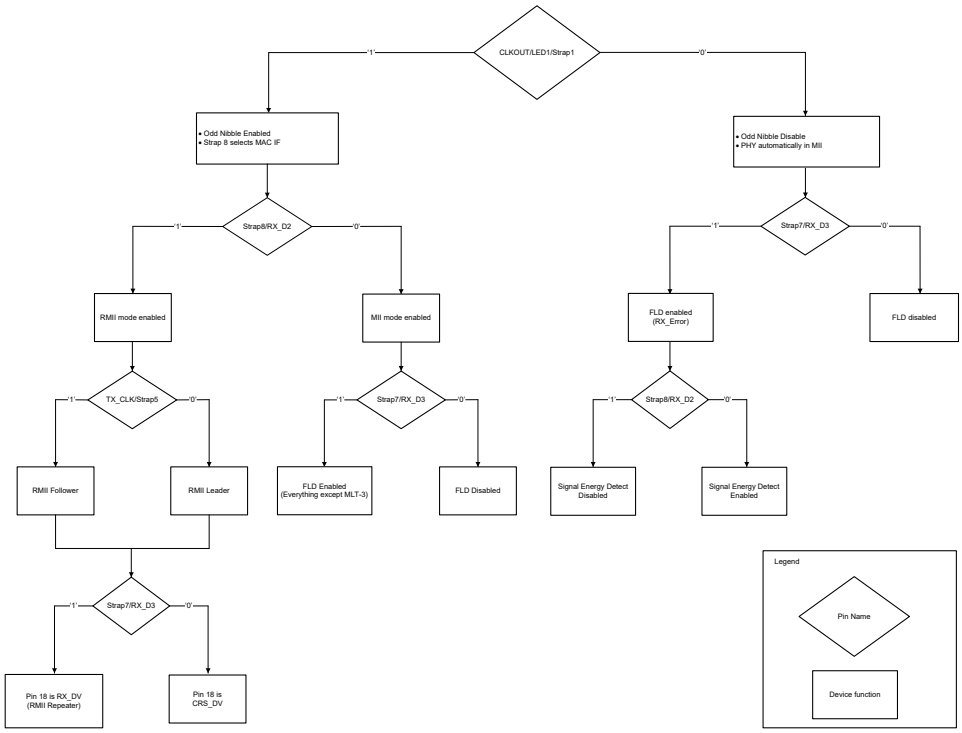


图 8-13. 增强型自动加载流程图

表 8-7. 增强模式默认的自举

引脚名称	Strap 配置名称	引脚编号	默认值
CLKOUT/LED1	Strap1（仅在 POR 时锁存。硬件复位不会重新锁存该配置 (strap)）	31	1
RX_D2	Strap8	14	0
RX_D3	Strap7	13	0
TX_CLK	Strap5	22	0
RX_D3	Strap7	13	0
RX_D1	Strap9	15	0
RX_D0	Strap0	16	0
RX_DV	Strap10	18	0
RX_ER	Strap6（仅在 POR 时锁存。硬件复位不会重新锁存该配置 (strap)）	20	0
LED0	Strap2	30	0
CRS/LED3	Strap3	29	0
COL/LED2	Strap4	28	0

Copyright © 2025 Texas Instruments Incorporated

表 8-8. 自动协商自举

引脚名称	Strap 配置名称	引脚编号	默认值	模式	功能
RX_D1	Strap9	15	0	0	自动 MDIX 启用
				1	自动 MDIX 禁用
RX_D0	Strap0	16	0	0	自动协商启用
				1	自动协商禁用。强制模式 100M 启用
RX_DV	Strap10	18	0	0	MDIX (仅在禁用自动 MDIX 时适用)
				1	MDI (仅在禁用自动 MDIX 时适用)

表 8-9. CLKOUT/LED1 自举

引脚名称	Strap 配置名称	引脚编号	默认值	模式	功能
RX_ER	Strap6 (仅在 POR 时锁存。硬件复位不会重新锁存该配置 (strap))	20	0	0	引脚 31 上的 CLKOUT 25MHz
				1	引脚 31 上的 LED1

表 8-10. PHY 地址自举

引脚名称	Strap 配置名称	引脚编号	默认值	模式	功能
LED0	Strap2	30	0		PHY_ADD0
				0	0
				1	1
CRS/LED3	Strap3	29	0		PHY_ADD1
				0	0
				1	1
COL/LED2	Strap4	28	0		PHY_ADD2
				0	0
				1	1

Copyright © 2025 Texas Instruments Incorporated

8.4.1.2 Strap 配置（基本模式）

本节介绍了基本模式可用的 strap 配置。

表 8-11. PHY 地址配置 (strap)

引脚名称	Strap 配置名称	引脚编号	默认值	模式	功能
RX_D3	Strap7	13	1		PHY_ADD0
				0	0
				1	1
RX_D2	Strap8	14	0		PHY_ADD1
				0	0
				1	1
RX_D1	Strap9	15	0		PHY_ADD2
				0	0
				1	1

表 8-12. MAC 模式选择配置 (strap)

引脚名称	Strap 配置名称	引脚编号	默认值	Strap10	Strap4	功能
COL	Strap4	28	0	0	0	MII MAC 模式
				0	1	RMII 主模式
				1	1	RMII 从模式
RX_DV	Strap10	18	0	其他值保留。请勿使用。		

表 8-13. 自动协商配置 (strap)

引脚名称	Strap 配置名称	引脚编号	默认值	模式	功能
LED0	Strap2	30	1	0	禁用自动协商功能
				1	启用自动协商功能

表 8-14. 速度配置 (strap)

引脚名称	Strap 配置名称	引脚编号	默认值	模式	功能
LED1/ TX_ER	Strap1	31	1	0	速度 10M
				1	速度 100M

表 8-15. 全/半双工

引脚名称	Strap 配置名称	引脚编号	默认值	模式	功能
RX_D0	Strap0	16	1	0	全双工
				1	半双工

表 8-16. MII 隔离自动加载 (bootstrap)

引脚名称	Strap 配置名称	引脚编号	默认值	模式	功能
RX_ER	Strap6	20	0	0	禁用 MII 隔离
				1	启用 MII 隔离

Copyright © 2025 Texas Instruments Incorporated

8.5 寄存器映射

8.5.1 DP83826 寄存器

表 8-17 列出了 DP83826 寄存器的存储器映射寄存器。表 8-17 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-17. DP83826 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	BMCR 寄存器	基本模式控制寄存器	转到
1h	BMSR 寄存器	基本模式状态寄存器	转到
2h	PHYIDR1 寄存器	PHY 标识符寄存器 #1	转到
3h	PHYIDR2 寄存器	PHY 标识符寄存器 #2	转到
4h	ANAR 寄存器	自动协商通告寄存器	转到
5h	ALNPAR 寄存器	自动协商链路伙伴能力寄存器	转到
6h	ANER 寄存器	自动协商扩展寄存器	转到
7h	ANNPTR 寄存器	自动协商下一页接收寄存器	转到
8h	ANLNPTR 寄存器	自动协商链路伙伴能力下一页寄存器	转到
9h	CR1 寄存器	控制寄存器 1	转到
Ah	CR2 寄存器	控制寄存器 2	转到
Bh	CR3 寄存器	控制寄存器 3	转到
Dh	REGCR 寄存器	扩展寄存器控制寄存器	转到
Eh	ADDAR 寄存器	扩展寄存器数据寄存器	转到
Fh	FLDS 寄存器	快速链路断开状态寄存器	转到
10h	PHYSTS 寄存器	PHY 状态寄存器	转到
11h	PHYSCR 寄存器	PHY 专用控制寄存器	转到
12h	MISR1 寄存器	MII 中断状态寄存器 1	转到
13h	MISR2 寄存器	MII 中断状态寄存器 2	转到
14h	FCSCR 寄存器	错误载波侦听计数寄存器	转到
15h	RECR 寄存器	接收错误计数寄存器	转到
16h	BISCR 寄存器	BIST 控制寄存器	转到
17h	RCSR 寄存器	RMII 和状态寄存器	转到
18h	LEDCR 寄存器	LED 控制寄存器	转到
19h	PHYCR 寄存器	PHY 控制寄存器	转到
1Ah	10BTSCR 寄存器	10Base-Te 状态/控制寄存器	转到
1Bh	BICSR1 寄存器	BIST 控制和状态寄存器 1	转到
1Ch	BICSR2 寄存器	BIST 控制和状态寄存器 2	转到
1Eh	CDCR 寄存器	电缆诊断控制寄存器	转到
1Fh	PHYRCR 寄存器	PHY 复位控制寄存器	转到
25h	MLEDCR 寄存器	多 LED 控制寄存器	转到
27h	COMPT 寄存器	合规性测试寄存器	转到
2Ah	10M_CFG		转到
117h	FLD_CFG1		转到
131h	FLD_CFG2		转到
170h	CDSCR 寄存器	电缆诊断特定控制寄存器	转到
171h	CDSCR2 寄存器	电缆诊断特定控制寄存器 2	转到

Copyright © 2025 Texas Instruments Incorporated

表 8-17. DP83826 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
173h	CDSCR3 寄存器	电缆诊断特定控制寄存器 3	转到
175h	TDR_175 寄存器	TDR 控制寄存器 1	转到
176h	TDR_176 寄存器	TDR 控制寄存器 2	转到
177h	CDSCR4 寄存器	电缆诊断特定控制寄存器 4	转到
178h	TDR_178 寄存器	TDR 控制寄存器 3	转到
180h	CDLRR1 寄存器	电缆诊断位置结果寄存器 1	转到
181h	CDLRR2 寄存器	电缆诊断位置结果寄存器 2	转到
182h	CDLRR3 寄存器	电缆诊断位置结果寄存器 3	转到
183h	CDLRR4 寄存器	电缆诊断位置结果寄存器 4	转到
184h	CDLRR5 寄存器	电缆诊断位置结果寄存器 5	转到
185h	CDLAR1 寄存器	电缆诊断振幅结果寄存器 1	转到
186h	CDLAR2 寄存器	电缆诊断振幅结果寄存器 2	转到
187h	CDLAR3 寄存器	电缆诊断振幅结果寄存器 3	转到
188h	CDLAR4 寄存器	电缆诊断振幅结果寄存器 4	转到
189h	CDLAR5 寄存器	电缆诊断振幅结果寄存器 5	转到
18Ah	CDLAR6 寄存器	电缆诊断振幅结果寄存器 6	转到
218h	MSE_Val		转到
302h	IO_CFG1 寄存器	GPIO 引脚配置寄存器 1	转到
303h	LED0_GPIO_CFG		转到
304h	LED1_GPIO_CFG		转到
305h	LED2_GPIO_CFG		转到
306h	LED3_GPIO_CFG		转到
308h	CLK_OUT_LED_STATUS 寄存器	CLK_OUT_LED_STATUS 配置寄存器 3	转到
30Bh	VOD_CFG1 寄存器	VoD 配置寄存器 1	转到
30Ch	VOD_CFG2 寄存器	VoD 配置寄存器 2	转到
30Eh	VOD_CFG3 寄存器	VoD 配置寄存器 3	转到
404h	ANA_LD_PROG_SL 寄存器	线路驱动器配置寄存器	转到
40Dh	ANA_RX10BT_CTRL 寄存器	接收配置寄存器 10M	转到
456h	GENCFG 寄存器	通用配置寄存器	转到
460h	LEDCFG 寄存器	LED 配置寄存器 1	转到
461h	IOCTRL 寄存器	IO MUX GPIO 控制寄存器	转到
467h	SOR1 寄存器	配置锁存寄存器 2	转到
468h	SOR2 寄存器	配置锁存寄存器 2	转到
469h	LEDCFG2 寄存器	LED 配置寄存器 2	转到
4A0h	RXFCFG1 寄存器	接收配置寄存器 1	转到
4A1h	RXFS 寄存器	接收状态寄存器	转到
4A2h	RXFPMD1 寄存器	接收完美匹配数据寄存器 1	转到
4A3h	RXFPMD2 寄存器	接收完美匹配数据寄存器 2	转到
4A4h	RXFPMD3 寄存器	接收完美匹配数据寄存器 3	转到
4A5h	RXFSOP1 寄存器	接收安全唤醒密码寄存器 1	转到
4A6h	RXFSOP2 寄存器	接收安全唤醒密码寄存器 2	转到
4A7h	RXFSOP3 寄存器	接收安全唤醒密码寄存器 3	转到

Copyright © 2025 Texas Instruments Incorporated

复杂的位访问类型经过编码可适应小型表单元。表 8-18 展示了适用于此部分中访问类型的代码。

表 8-18. DP83826 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
RC	R C	读取 以清除
RCH	R C H	读取 以清除 由硬件设置或清零
RH	R H	读取 由硬件置位或清零
写入类型		
W	W	写入
W0C	W 0C	写入 0 以清零
W1S	W 1S	写入 1 以进行设置
复位或默认值		
-n		复位后的值或默认值

8.5.1.1 BMCR 寄存器（偏移 = 0h）[复位 = XX00h]

BMCR 寄存器如 表 8-19 所示。

返回到汇总表。

基本模式控制寄存器

表 8-19. BMCR 寄存器字段说明

位	字段	类型	复位	说明
15	复位	RH/W1S	0h	PHY 软件复位：向该位写入 1，会将 PHY PCS 寄存器复位。复位操作完成后，该位会自动清零。不会清除 PHY 供应商特定寄存器。 0h = 正常运行 1h = 启动软件复位/复位进行中
14	MII 环回	R/W	0h	MII 环回：MII 环回模式激活后，MII TXD 上的传输数据会在内部环回至 MII RXD。 此外设置以下附加位：将 BISCR 0x0016[4:0] 配置为 0b00100（对于 100Base-TX），将 BISCR 0x0016[4:0] 配置为 00001b（对于 10Base-Te） 0h = 正常运行 1h = MII 环回使能
13	速度选择	RH/W	X	速度选择：禁用自动协商时（寄存器 0x0000 第 [12] 位 = 0），写入该位，可选择端口速度。 在基本模式下：禁用自动协商时，速度也由 strap 配置确定。 0h = 10Mbps 1h = 100Mbps
12	自动协商启用	RH/W	X	自动协商使能：在基本模式或增强模式下：由 strap 配置锁存 0h = 禁用自动协商 - 第 [8] 位与第 [13] 位，确定端口速度与双工模式 1h = 使能自动协商 - 设置该位后，会忽略寄存器第 [8] 位与第 [13] 位

Copyright © 2025 Texas Instruments Incorporated

表 8-19. BMCR 寄存器字段说明（续）

位	字段	类型	复位	说明
11	IEEE 断电	R/W	0h	断电：设置该位后，PHY 会断电。该断电条件下，仅使能寄存器访问功能。为控制断电机制，该位与 INT/PWDN_N 引脚（在增强模式下）的输入进行“或”运算。当低电平有效 INT/PWDN_N 置位时，会设置该位。 0h = 正常运行 1h = IEEE 断电
10	Isolate	RH/W	X	在基本模式下，该值由 strap 配置锁存 0h = 正常运行 1h = 将端口与 MII 隔离（串行管理接口除外）。在 RMII 主模式下，还会禁用 50MHz 时钟
9	重启自动协商	RH/W1S	0h	重启自动协商：如果禁用自动协商功能（第 [12] 位 = 0），则忽略第 [9] 位。该位为自清零位，启动自动协商以前，该位返回值为 1，使能后，该位自动清除。管理实体清除该位不会影响自动协商过程运行。 0h = 正常运行 1h = 重启自动协商功能，重新启动自动协商过程
8	双工模式	RH/W	X	双工模式：禁用自动协商功能后，可通过写入该位的方式，选择端口双工能力。在基本模式下，该位由 strap 配置锁存 0h = 半双工 1h = 全双工
7	碰撞测试	R/W	0h	碰撞测试：设置该位后，COL 信号会在 512 位时间内响应 TX_EN 置位。COL 信号会在 4 个比特时间内取消置位，以便响应 TX_EN 取消置位。 0h = 正常运行 1h = 使能 COL 信号测试
6-0	RESERVED	R	0h	

8.5.1.2 BMSR 寄存器（偏移 = 1h）[复位 = 7849h]

BMSR 寄存器如 表 8-20 所示。

返回到汇总表。

基本模式状态寄存器

表 8-20. BMSR 寄存器字段说明

位	字段	类型	复位	说明
15	100Base-T4	R	0h	支持 100Base-T4：该协议不可用。始终读为 0。
14	100Base-TX 全双工	R	1h	支持 100Base-TX 全双工： 0h = 器件无法执行全双工 100Base-TX 1h = 器件能够执行全双工 100Base-TX
13	100Base-TX 半双工	R	1h	支持 100Base-TX 半双工： 0h = 器件无法执行半双工 100Base-TX 1h = 器件能够执行半双工 100Base-TX
12	10Base-T 全双工	R	1h	支持 10Base-T 全双工： 0h = 器件无法执行全双工 10Base-T 1h = 器件能够执行全双工 10Base-T
11	10Base-T 半双工	R	1h	支持 10Base-T 半双工： 0h = 器件无法执行半双工 10Base-T 1h = 器件能够执行半双工 10Base-T
10-7	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-20. BMSR 寄存器字段说明（续）

位	字段	类型	复位	说明
6	SMI 前导码抑制	R	1h	支持前导码抑制：如果该位设置为 1，则仅在复位，无效操作码或无效转换后需要 32 位前导码。 在开始下一个事务之前，该器件要求两个事务之间至少有 500ns 的间隔，然后是 MDC 的一个正边沿和 MDIO=1。 0h = 器件无法在前导码抑制情况下执行管理事务 1h = 器件能够在前导码抑制情况下执行管理事务
5	自动协商完成	RH	0h	自动协商完成： 0h = 自动协商过程未完成（仍在进行、已禁用或复位） 1h = 自动协商过程已完成
4	远程故障	RC	0h	远程故障：远端故障指示或链路伙伴发送的远程故障通知。该位会在读取或复位时被清除。 0h = 未检测到远程故障情况 1h = 检测到远程故障情况
3	自动协商能力	R	1h	自动协商能力： 0h = 器件无法执行自动协商 1h = 器件能够执行自动协商
2	链路状态	RC	0h	链路状态： 最后的锁存值在读取时被清除 0h = 未建立链路 1h = 已建立有效链路（适用于 10Mbps 或 100Mbps 操作）
1	Jabber 检测	RH	0h	Jabber 检测： 0h = 未检测到 Jabber 条件。该位仅对 10Base-T 操作有意义。 1h = 检测到 Jabber 条件
0	扩展功能	R	1h	扩展功能： 0h = 仅基本寄存器组功能 1h = 扩展寄存器功能

8.5.1.3 PHYIDR1 寄存器（偏移 = 2h）[复位 = 2000h]

表 8-21 展示了 PHYIDR1 寄存器。

返回到汇总表。

PHY 标识符寄存器 #1

表 8-21. PHYIDR1 寄存器字段说明

位	字段	类型	复位	说明
15-0	组织唯一标识符位 21:6	R	2000h	PHY 标识符寄存器 #1

8.5.1.4 PHYIDR2 寄存器（偏移 = 3h）[复位 = A131h]

表 8-22 展示了 PHYIDR2 寄存器。

返回到汇总表。

PHY 标识符寄存器 #2

表 8-22. PHYIDR2 寄存器字段说明

位	字段	类型	复位	说明
15-10	组织唯一标识符位 5:0	R	28h	PHY 标识符寄存器 #2
9-4	模型编号	R	13h	供应商型号：六位供应商型号（映射自第 [9] 位至第 [4] 位） 11h = 基本模式 13h = 增强模式

Copyright © 2025 Texas Instruments Incorporated

表 8-22. PHYIDR2 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	版本号	R	1h	型号版本号：四位供应商型号版本号（映射自第 [3:0] 位）。对于所有主要器件更改，该字段都会递增。

8.5.1.5 ANAR 寄存器（偏移 = 4h）[复位 = 0XX1h]

ANAR 寄存器如 表 8-23 所示。

返回到汇总表。

自动协商通告寄存器

表 8-23. ANAR 寄存器字段说明

位	字段	类型	复位	说明
15	下一页	R/W	0h	下一页指示： 0h = 不需要进行下一页传送 1h = 需要进行下一页传送
14	RESERVED	R	0h	
13	远程故障	R/W	0h	远程故障： 0h = 未检测到远程故障 1h = 广播该器件检测到远程故障。注：DP83826 不支持远程故障。应用程序不应设置该位
12	RESERVED	R	0h	
11	非对称暂停	R/W	0h	全双工链路的非对称暂停支持： 0h = 不广播非对称暂停能力 1h = 广播非对称暂停能力
10	暂停	R/W	0h	全双工链路暂停支持： 0h = 不广播暂停能力 1h = 广播暂停能力
9	100Base-T4	R	0h	100Base-T4 支持： 0h =不广播 100Base-T4 能力 1h = 广播 100Base-T4 能力
8	100Base-TX 全双工	RH/W	X	100Base-TX 全双工支持： 在强制模式下，数值并不重要 基本模式：由 strap 配置锁存 0h = 不广播 100Base-TX 全双工能力 在强制模式下，数值并不重要 1h = 广播 100Base-TX 全双工能力
7	100Base-TX 半双工	RH/W	X	100Base-TX 半双工支持： 在强制模式下，数值并不重要 基本模式：由 strap 配置锁存 0h = 不广播 100Base-TX 半双工能力 在强制模式下，数值并不重要 1h = 广播 100Base-TX 半双工能力
6	10Base-T 全双工	RH/W	X	10Base-T 全双工支持： 在强制模式下，数值并不重要 基本模式：由 strap 配置锁存 0h = 不广播 10Base-T 全双工能力 在强制模式下，数值并不重要 1h = 广播 10Base-T 全双工能力
5	10Base-T 半双工	RH/W	X	10Base-T 半双工支持：在强制模式下，数值并不重要 基本模式/增强模式：由 strap 配置锁存 0h = 不广播 10Base-T 半双工能力 在强制模式下，数值并不重要 1h = 广播 10Base-T 半双工能力
4-0	选择器字段	R/W	1h	协议选择位：技术选择器字段（IEEE802.3u <00001>）

Copyright © 2025 Texas Instruments Incorporated

8.5.1.6 ALNPAR 寄存器（偏移 = 5h）[复位 = 0000h]

ALNPAR 寄存器如 表 8-24 所示。

返回到汇总表。

自动协商链路伙伴能力寄存器

表 8-24. ALNPAR 寄存器字段说明

位	字段	类型	复位	说明
15	下一页	R	0h	下一页指示： 0h = 链路伙伴不需要进行下一页传送 1h = 链路伙伴需要进行下一页传送
14	响应	R	0h	确认： 0h = 链路伙伴未应答接收链路码字 1h = 链路伙伴应答接收链路码字
13	远程故障	R	0h	远程故障： 0h = 链路伙伴不广播远程故障事件检测 1h = 链路伙伴广播远程故障事件检测
12	RESERVED	R	0h	
11	非对称暂停	R	0h	非对称暂停： 0h = 链路伙伴不广播非对称暂停能力 1h = 链路伙伴广播非对称暂停能力
10	暂停	R	0h	暂停： 0h = 链路伙伴不广播暂停能力 1h = 链路伙伴广播暂停能力
9	100Base-T4	R	0h	100Base-T4 支持： 0h = 链路伙伴不广播 100Base-T4 能力 1h = 链路伙伴广播 100Base-T4 能力
8	100Base-TX 全双工	R	0h	100Base-TX 全双工支持： 0h = 链路伙伴不广播 100Base-TX 全双工能力 1h = 链路伙伴广播 100Base-TX 全双工能力
7	100Base-TX 半双工	R	0h	100Base-TX 半双工支持： 0h = 链路伙伴不广播 100Base-TX 半双工能力 1h = 链路伙伴广播 100Base-TX 半双工能力
6	10Base-T 全双工	R	0h	10Base-T 全双工支持： 0h = 链路伙伴不广播 10Base-T 全双工能力 1h = 链路伙伴广播 10Base-T 全双工能力
5	10Base-T 半双工	R	0h	10Base-T 半双工支持： 0h = 链路伙伴不广播 10Base-T 半双工能力 1h = 链路伙伴广播 10Base-T 半双工能力
4-0	选择器字段	R	0h	协议选择位：技术选择器字段（IEEE802.3 <00001>）

8.5.1.7 ANER 寄存器（偏移 = 6h）[复位 = 0004h]

ANER 寄存器如 表 8-25 所示。

返回到汇总表。

自动协商扩展寄存器

表 8-25. ANER 寄存器字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-25. ANER 寄存器字段说明（续）

位	字段	类型	复位	说明
4	并行检测故障	RH	0h	并行检测故障： 0h = 未检测到故障 1h = 并行检测过程中检测到故障
3	链接伙伴下一页可用	R	0h	链接伙伴下一页能力： 0h = 链路伙伴无法交换下一页 1h = 链路伙伴能够交换下一页
2	本地器件下一页可用	R	1h	下一页能力： 0h = 本地器件无法交换下一页 1h = 本地器件能够交换下一页
1	接收到页	RH	0h	接收链路码字页： 0h = 尚未收到新页面 1h = 已收到新页面
0	链路伙伴自动协商可用	R	0h	链路伙伴自动协商能力： 0h = 链路伙伴不支持自动协商 1h = 链路伙伴支持自动协商

8.5.1.8 ANNPTR 寄存器（偏移 = 7h）[复位 = 2001h]

ANNPTR 寄存器如 表 8-26 所示。

返回到汇总表。

自动协商下一页接收寄存器

表 8-26. ANNPTR 寄存器字段说明

位	字段	类型	复位	说明
15	下一页	R/W	0h	下一页指示： 0h = 不广播希望发送更多后续页 1h = 广播希望发送更多后续页
14	RESERVED	R	0h	
13	消息页	R/W	1h	消息页： 0h = 当前页为未格式化页面 1h = 当前页为消息页面
12	确认 2	R/W	0h	Acknowledge2：下一页功能利用 Acknowledge2 表示本地器件有能力接收消息。 0h = 不符合消息 1h = 符合消息
11	切换	R	0h	切换：切换用于自动协商中的仲裁功能，以便在下一页交换期间与链路伙伴同步。该位数值始终与之前交换的链路码字中的切换位相反。 0h = 先前传输的链路码字中的切换位的值为 1 1h = 先前传输的链路码字中的切换位的值为 0
10-0	代码	R/W	1h	该字段表示下一页传输的代码字段。如果设置了“消息页”位（寄存器第 [13] 位），则按照 IEEE 802.3u 附件 28C 的定义，将代码解释为“消息页面”。反之，将代码解释为非格式化页面，具体解释视应用而定。 该代码默认值表示 IEEE 802.3u 附件 28C 中定义的空页面。

8.5.1.9 ANLNPTR 寄存器（偏移 = 8h）[复位 = 0000h]

ANLNPTR 寄存器如 表 8-27 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

自动协商链路伙伴能力下一页寄存器

表 8-27. ANLNPTR 寄存器字段说明

位	字段	类型	复位	说明
15	下一页	R	0h	下一页指示： 0h = 不广播希望发送更多后续页 1h = 广播希望发送更多后续页
14	响应	R	0h	确认： 0h = 链路伙伴未应答接收链路码字 1h = 链路伙伴应答接收链路码字
13	消息页	R	0h	消息页： 0h = 当前页为未格式化页面 1h = 当前页为消息页面
12	确认 2	R	0h	Acknowledge2：下一页功能利用 Acknowledge2 表示本地器件有能力接收消息。 0h = 不符合消息 1h = 符合消息
11	切换	R	0h	切换：切换用于自动协商中的仲裁功能，以便在下一页交换期间与链路伙伴同步。该位数值始终与之前交换的链路码字中的切换位相反。 0h = 先前传输的链路码字中的切换位的值为 1 1h = 先前传输的链路码字中的切换位的值为 0
10-0	消息/未格式化字段	R	0h	该字段表示下一页传输的代码字段。如果设置了“消息页”位（该寄存器地 13 位），则按照 IEEE 802.3u 附件 28C 的定义，将代码解释为“消息页面”。反之，将代码解释为非格式化页面，具体解释视应用而定。 该代码默认值表示 IEEE 802.3u 附件 28C 中定义的空页面。

8.5.1.10 CR1 寄存器（偏移 = 9h）[复位 = 0000h]

表 8-28 展示了 CR1 寄存器。

返回到汇总表。

控制寄存器 1

表 8-28. CR1 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R	0h	
9	RESERVED	R/W	0h	
8	TDR 自动运行	R/W	0h	链路断开时 TDR 自动运行 0h = 禁用自动执行 TDR 1h = 使能在链路断开事件以后执行 TDR 程序
7	链路丢失恢复	R/W	0h	链路丢失恢复： 0h =正常链路丢失运行 此模式允许从短路干扰中恢复，并继续将链路保持几毫秒，直到短路干扰消除，信号正常。在正常链路中断操作下，链路状态在信号丢失后大约 250µs 关闭。 1h =启用链路丢失恢复机制
6	RESERVED	R/W	0h	
5	强大的自动 MDIX	R/W	0h	强大的自动 MDIX：如果链路伙伴被配置为正常自动 MDIX 不支持的操作模式，则强大的自动 MDIX 允许 MDI/MDIX 解析并且防止死锁。在强制模式下使用时，应启用强大的自动 MDIX 功能 0h = 禁用自动 MDIX 1h = 使能稳健的自动 MDIX
4	RESERVED	R/W	0h	
3-2	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-28. CR1 寄存器字段说明（续）

位	字段	类型	复位	说明
1	快速 RXDV 检测	R/W	0h	快速 RXDV 检测： 0h = 禁用快速 RX_DV 检测。PHY 在正常模式下运行。检测到 /JK/ 后将 RX_DV 置为有效。 1h = 仅在检测到 /J/ 符号时使能接收数据包上的 RX_DV 高电平。如果没有出现连续的 /K/，则生成 RX_ER。
0	RESERVED	R	0h	

8.5.1.11 CR2 寄存器（偏移 = Ah）[复位 = 010Xh]

表 8-29 展示了 CR2 寄存器。

返回到汇总表。

控制寄存器 2

表 8-29. CR2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	
14	RESERVED	R/W	0h	
13-7	RESERVED	R/W	2h	
6	RESERVED	R/W	0h	
5	扩展全双工能力	R/W	0h	扩展全双工能力： 0h =禁用扩展全双工能力。根据 IEEE 规范，确定在全双工模式下工作还是在半双工模式下工作 1h = 在强制 100Base-TX 下与链路伙伴一起工作时使能全双工。当 PHY 设置为“自动协商”或“强制 100Base-TX”，并且链路伙伴在“强制 100Base-TX”模式下运行时，链路始终为全双工模式。
4	RESERVED	R/W	0h	
3	RESERVED	R/W	0h	
2	空闲期间的 RX_ER	R/W	0h	在空闲状态期间，检测到接收符号错误： 0h = 禁用在“空闲”状态期间检测“接收符号”错误 1h = 启用在“空闲”状态期间检测“接收符号”错误
1	禁用奇半字节检测功能	RH/W	X	传输错误检测。增强模式：默认启用，可通过 Strap1 更改 基本模式：禁用 0h = 使能在奇半字节边界上检测 TX_EN 是否无效。这种情况下，TX_EN 会被额外延长一个 TX_CLK 周期，并且其行为就好像在该额外周期中置位了 TX_ER 一样 1h = 禁用在奇半字节边界中检测传输错误
0	RESERVED	R/W	0h	

8.5.1.12 CR3 寄存器（偏移 = Bh）[复位 = 0000h]

表 8-30 展示了 CR3 寄存器。

返回到汇总表。

控制寄存器 3

表 8-30. CR3 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-30. CR3 寄存器字段说明（续）

位	字段	类型	复位	说明
10	解码器快速链路断开模式	R/W	0h	解码器快速链路丢失： 该选项可在第 [3:0] 位中与其他快速链路断开模式并行使能。 0h = 在解码器链路丢失时不断开链路 1h = 在解码器链路丢失时断开链路
9	RESERVED	R	0h	
8	RESERVED	R/W	0h	
7	RESERVED	R/W	0h	
6	极性交换	R/W	0h	极性交换： 端口镜像功能：要使能端口镜像，请将该位与第 [5] 位设置为高电平。 1h = 两对极性相反：TD+ 与 TD- ; RD+ 与 RD- 0h = 正常极性
5	MDI/MDIX 交换	R/W	0h	MDI/MDIX 交换： 端口镜像功能：要使能端口镜像，请将该位与第 [6] 位设置为高电平。 0h = MDI 对正常（在 RD 对上接收，在 TD 对上发送） 1h = 交换 MDI 对（在 TD 对上接收，在 RD 对上发送）
4	RESERVED	R/W	0h	
3-0	快速链路断开模式	RH/W	0h	快速链路断开模式：第 3 位根据 MII 接口的 RX 错误计数断开链路。达到 10us 间隔内发生 32 次 RX 错误的预定义次数时，链路将会断开。第 2 位根据 MLT3 错误计数（违反 DSP 输出中的 MLT3 编码）断开链路。达到 10us 间隔内发生 20 次 MLT3 错误的预定义次数时，链路将会断开。第 1 位根据低 SNR 阈值断开链路。达到 10μs 间隔内发生 20 次阈值交叉的预定义次数时，链路将会断开。第 0 位根据信号/能量损耗指示断开链路。当能量检测器显示存在能量损失时，链路会被断开。典型反应时间为 10μs C：第 0 位默认为 0 NC+ MII：第 0 位取自增强模式 NC + RMII 中的 STRAP 配置：第 0 位默认为 0 快速链路断开功能是全部 5 个选项（第 [10] 位与第 [3:0] 位）的“或”运算，设计人员可使能该等条件的任意组合。

8.5.1.13 REGCR 寄存器（偏移 = Dh）[复位 = 0000h]

REGCR 寄存器如 表 8-31 所示。

返回到汇总表。

表 8-31. REGCR 寄存器字段说明

位	字段	类型	复位	说明
15-14	扩展寄存器命令	R/W	0h	扩展寄存器命令： 0h = 地址 1h = 数据，无后增量 2h = 数据，读写后增量 3h = 数据，仅写入后增量
13-5	RESERVED	R	0h	
4-0	DEVAD	R/W	0h	器件地址：第 [4:0] 位为器件地址 DEVAD，可将 ADDAR 寄存器 0x000E 任何访问引至适当的 MMD。 具体来说，DP83826 在访问寄存器 0x04D1 及以下时采用供应商特定 DEVAD [4:0] = “11111”。对于 MMD3 访问，DEVAD[4:0] = “00011”。对于 MMD7 访问，DEVAD[4:0] = “00111”。 对于通过寄存器 REGCR 与 ADDAR 进行的所有访问，应使用 MMD、MMD3 或 MMD7 的 DEVAD。其他 DEVAD 的事务都会被忽略。

Copyright © 2025 Texas Instruments Incorporated

8.5.1.14 ADDAR 寄存器（偏移 = Eh）[复位 = 0000h]

ADDAR 寄存器如 表 8-32 所示。

返回到汇总表。

表 8-32. ADDAR 寄存器字段说明

位	字段	类型	复位	说明
15-0	地址/数据	R/W	0h	如果 REGCR 寄存器 [15:14] = “00”，则保存 MMD DEVAD 的寄存器地址，否则保存 MMD DEVAD 的数据。

8.5.1.15 FLDS 寄存器（偏移 = Fh）[复位 = 0000h]

FLDS 寄存器如 表 8-33 所示。

返回到汇总表。

表 8-33. FLDS 寄存器字段说明

位	字段	类型	复位	说明
15-9	RESERVED	R	0h	
8-4	快速链路断开状态	RC	0h	快速链路断开状态： 如果每次激活给定的快速链路中断模式并且导致链路中断（假设已使能该等模式），则将状态寄存器锁存为高电平 1h = 信号/能量损失 2h = SNR 级别 4h = MLT3 错误 8h = RX 错误 10h =解码器损失同步
3-0	RESERVED	R	0h	

8.5.1.16 PHYSTS 寄存器（偏移 = 10h）[复位 = 0002h]

PHYSTS 寄存器如 表 8-34 所示。

返回到汇总表。

表 8-34. PHYSTS 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	
14	MDI/MDIX 模式	R	0h	MDI/MDIX 模式状态： 0h = MDI 对正常（在 RD 对上接收，在 TD 对上发送） 1h = MDI 对交换（在 TD 对上接收，在 RD 对上发送）
13	接收错误锁存	RC	0h	接收错误锁存： 读取 RECR 寄存器后，会清除该位 0h = 未发生接收错误事件 1h = 自上次读取 RXERCNT 寄存器 (0x0015) 以来已发生接收错误事件
12	极性状态	RC	0h	极性状态： 该位是 10BTSCR 寄存器 (0x001A) 第 [4] 位的副本。读取 10BTSCR 寄存器时，会清空该位，但不会在读取 PHYSTS 寄存器时清除该位。 0h = 检测到正向极性 1h = 检测到反向极性
11	虚假载波侦测锁存	RC	0h	虚假载波侦测锁存： 读取 FCSR 寄存器后，会清除该位。 0h = 未发生虚假载波事件 1h = 自上次读取 FCSCR 寄存器 (0x0014) 以来已发生虚假载波事件

Copyright © 2025 Texas Instruments Incorporated

表 8-34. PHYSTS 寄存器字段说明（续）

位	字段	类型	复位	说明
10	信号检测	RC	0h	信号检测： 来自 PMD 的高电平有效 100Base-TX 无条件信号检测指示
9	解码器锁	RC	0h	解码器锁： 来自 PMD 的高电平有效 100Base-TX 解码器 无条件信号检测指示
8	接收到页	RC	0h	接收链路码字页： 该位为 ANER 寄存器中“接收页”（第 [1] 位）的副本，会在读取 ANER 寄存器 (0x0006) 时清零。 0h = 尚未收到链路码字页 1h = 已收到新的链路码字页
7	MII 中断	RC	0h	MII 中断挂起： 可通过读取 MISR 寄存器 (0x0012) 的方式确定中断源。读取 MISR 时，会清除该中断位指示。 0h = 没有中断待处理 1h = 表示存在待处理内部中断
6	远程故障	RC	0h	远程故障： 读取 BMSR 寄存器 (0x0001) 或通过复位清除。 1h = 检测到远程故障情况。故障标准：链路伙伴通过自动协商发出远程故障通知 0h = 未检测到远程故障情况
5	Jabber 检测	RC	0h	Jabber 检测： 该位仅用于 10Mbps 运行。该位为 BMSR 寄存器 (0x0001) 中的 Jabber 检测位的副本，读取 PHYSTS 寄存器时不会清零。 0h = 未检测到 Jabber 1h = 检测到 Jabber 条件
4	自动协商状态	R	0h	自动协商状态： 0h = 自动协商未完成 1h = 自动协商已完成
3	MII 环回状态	R	0h	MII 环回状态： 0h = 正常运行 1h = 环回使能
2	双工状态	RH	0h	双工状态： 基本模式：禁用自动协商时通过配置 (strap) 锁存 增强模式：禁用自动协商功能时为 1 0h = 半双工模式 1h = 全双工模式
1	速度状态	RH	1h	速度状态： 基本模式：禁用自动协商时通过配置 (strap) 锁存 增强模式：禁用自动协商功能时为 1 0h = 100Mbps 模式 1h = 10Mbps 模式
0	链路状态	R	0h	链路状态： 该位为 BMSR 寄存器（地址：0x0001）中“链路状态”位的副本，读取 PHYSTS 寄存器时不会清零。 0h = 未建立链路 1h = 已建立有效链路（适用于 10Mbps 或 100Mbps）

8.5.1.17 PHYSCR 寄存器（偏移 = 11h）[复位 = 0108h]

PHYSCR 寄存器如 表 8-35 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-35. PHYSCR 寄存器字段说明

位	字段	类型	复位	说明
15	禁用 PLL	R/W	0h	禁用 PLL： 注：只能在 IEEE 省电模式下禁用时钟电路。 0h = 正常运行 1h = 禁用内部时钟电路
14	使能节电模式	R/W	0h	使能节电模式： 0h = 正常运行 1h = 使能节电模式
13-12	节电模式	R/W	0h	节电模式： 0h = 正常运行模式。PHY 功能完全正常 1h = 保留 2h = 主动睡眠，低功耗主动节电模式，关闭除 SMI 与能量检测功能以外的所有内部电路。该模式下，PHY 每 1.4 秒会发送一次 NLP，以便唤醒链路伙伴。检测到链路伙伴时，会自动加电。
11	扰频器旁路	R/W	0h	扰频器旁路： 0h = 禁用扰频器旁路 1h = 使能扰频器旁路
10	RESERVED	R/W	0h	
9-8	环回 FIFO 深度	R/W	1h	远端环回 FIFO 深度： 该 FIFO 用于将 RX（接收）时钟速率调整为 TX 时钟频率。对于 FIFO 深度，需要根据预期的最大数据包大小与时钟精度设置。默认值设置为 5 个半字节。 0h = 4 个半字节 FIFO 1h = 5 个半字节 FIFO 2h = 6 个半字节 FIFO 3h = 8 个半字节 FIFO
7-5	RESERVED	R	0h	
4	COL 全双工使能	R/W	0h	全双工模式下的碰撞检测： 0h =在全双工模式下禁用碰撞检测。碰撞检测仅在半双工模式下保持激活状态。 1h =在全双工模式下启用碰撞检测信令生成
3	中断极性	R/W	1h	中断极性: 0h = 稳定状态（正常运行）为 0 逻辑值，中断期间为 1 逻辑值 1h = 稳定状态（正常运行）为 1 逻辑值，中断期间为 0 逻辑值
2	测试中断	R/W	0h	测试中断： 强制 PHY 产生中断，以便进行中断测试。只要该位保持置位，就会继续产生中断。 0h = 不产生中断 1h = 产生中断
1	中断启用	R/W	0h	中断使能： 使能中断取决于 MISR 寄存器 (0x0012) 中的事件使能。 0h = 禁用基于事件的中断 1h = 使能基于事件的中断
0	中断输出使能	R/W	0h	中断输出使能： 将 INTR/PWRDN 引脚配置为输出，通过 INTR/PWERDN 引脚使能低电平有效中断事件（增强模式）。 0h = INTR/PWRDN 为断电引脚 1h = INTR/PWRDN 为中断输出

8.5.1.18 MISR1 寄存器（偏移 = 12h）[复位 = 0000h]

表 8-36 展示了 MISR1 寄存器。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-36. MISR1 寄存器字段说明

位	字段	类型	复位	说明
15	链路质量中断	RC	0h	链路质量状态中断的变化： 0h = 链路质量良好 1h = 链路开启时改变链路质量
14	能量检测中断	RC	0h	能量检测状态中断的变化： 0h = 未检测到能量变化 1h = 检测到能量变化
13	链路状态更改中断	RC	0h	链路状态中断的变化： 0h = 链路状态无变化 1h = 存在待处理的链路状态中断变化
12	速度更改中断	RC	0h	速度状态中断的变化： 0h = 速度状态无变化 1h = 存在待处理的速度状态中断变化
11	双工模式更改中断	RC	0h	双工状态中断的变化： 0h = 双工状态无变化 1h = 存在待处理的双工状态中断变化
10	自动协商完成中断	RC	0h	自动协商完成中断： 0h = 不存在待处理的自动协商完成事件 1h = 存在待处理的自动协商完成事件
9	虚假载波计数器半满中断	RC	0h	虚假载波计数器半满中断： 0h = 不存在待处理的虚假载波半满事件 1h = 虚假载波计数器（寄存器 FCSCR，地址：0x0014）超过半满中断，等待处理
8	接收错误计数器半满中断	RC	0h	接收器错误计数器半满中断： 0h = 不存在待处理的接收错误半满事件 1h = 接收错误计数器（寄存器 RECR，地址：0x0015）超过半满中断，等待处理
7	链路质量中断启用	R/W	0h	使能链路质量变化时中断
6	能量检测中断启用	R/W	0h	使能能量检测变化时中断
5	链路状态更改启用	R/W	0h	使能链路状态变化时中断
4	速度更改中断启用	R/W	0h	使能速度状态变化时中断
3	双工模式更改中断启用	R/W	0h	使能双工状态变化时中断
2	自动协商完成启用	R/W	0h	使能发生自动协商完成事件时中断
1	错误载波 HF 使能	R/W	0h	使能载波计数器寄存器半满事件时中断
0	接收错误 HF 使能	R/W	0h	使能接收错误计数器寄存器半满事件时中断

8.5.1.19 MISR2 寄存器（偏移 = 13h）[复位 = 0000h]

表 8-37 展示了 MISR2 寄存器。

返回到汇总表。

表 8-37. MISR2 寄存器字段说明

位	字段	类型	复位	说明
15	EEE 错误中断	RC	0h	节能以太网错误中断： 0h = 未发生节能以太网错误 1h = 已发生节能以太网错误
14	自动协商错误中断	RC	0h	自动协商错误中断： 0h = 不存在待处理的自动协商错误事件 1h = 存在待处理的自动协商错误

Copyright © 2025 Texas Instruments Incorporated

表 8-37. MISR2 寄存器字段说明（续）

位	字段	类型	复位	说明
13	页接收器中断	RC	0h	页接收器中断： 0h = 尚未收到页面 1h = 已收页面
12	环回 FIFO OF/UF 事件中断	RC	0h	环回 FIFO 上溢/下溢事件中断： 0h = 不存在待处理的 FIFO 上溢/下溢事件 1h = 存在待处理的 FIFO 上溢/下溢事件
11	MDI 交叉更改中断	RC	0h	MDI/MDIX 交叉状态变化中断： 0h = 未发生 MDI 交叉状态变化 1h = 存在待处理的 MDI 交叉状态变化中断
10	睡眠模式中断	RC	0h	睡眠模式事件中断： 0h = 不存在待处理的睡眠模式事件 1h = 存在待处理的睡眠模式事件
9	反向极性中断/局域网唤醒数据包接收中断	RC	0h	反向极性中断/局域网唤醒数据包接收中断： 0h = 不存在待处理的反向极性事件/未收到局域网唤醒数据包 1h = 存在待处理的反向极性事件/收到局域网唤醒数据包
8	Jabber 检测中断	RC	0h	Jabber 检测事件中断： 0h = 不存在待处理的 Jabber 检测事件 1h = 存在待处理的 Jabber 检测事件
7	EEE 错误中断启用	R/W	0h	使能发生 EEE 错误时中断
6	自动协商错误中断启用	R/W	0h	使能发生自动协商错误事件时中断
5	页面接收中断启用	R/W	0h	使能发生页接收事件时中断
4	环回 FIFO OF/UF 启用	R/W	0h	使能发生环回 FIFO 上溢/下溢事件时中断
3	MDI 交叉更改启用	R/W	0h	使能 MDI/X 状态发生变化时中断
2	睡眠模式事件启用	R/W	0h	使能发生睡眠模式事件时中断
1	极性更改/WoL 数据包启用	R/W	0h	使能极性状态发生变化时中断
0	Jabber 检测启用	R/W	0h	使能发生 Jabber 检测事件时中断

8.5.1.20 FCSCR 寄存器（偏移 = 14h）[复位 = 0000h]

FCSCR 寄存器如 表 8-38 所示。

返回到汇总表。

表 8-38. FCSCR 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	
7-0	虚假载波事件计数器	RC	0h	虚假载波事件计数器： 该 8 位计数器会在发生每个虚假载波事件时递增。当达到最大计数 (FFh) 时，该计数器停止计数。 当计数器超过半满 (7Fh) 时，生成一个中断事件。该计数器会在读取时清零。

8.5.1.21 RECR 寄存器（偏移 = 15h）[复位 = 0000h]

RECR 寄存器如 表 8-39 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-39. RECR 寄存器字段说明

位	字段	类型	复位	说明
15-0	接收错误计数器	RC	0h	RX_ER 计数器： 当出现一个有效载波（仅当 RXDV 被置位情况下），并且至少出现一个无效数据符号时，每检测到一个接收错误，该 16 位计数器就会递增一次。 RX_ER 计数器在 MII 环回模式下不计数。 达到最大计数 (FFh) 时，该计数器停止计数。当计数器超过半满 (7Fh) 时，生成一个中断事件。该计数器会在读取时清零。

8.5.1.22 BISCR 寄存器（偏移 = 16h）[复位 = 0100h]

BISCR 寄存器如 表 8-40 所示。

返回到汇总表。

表 8-40. BISCR 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	
14	BIST 错误计数器模式	R/W	0h	BIST 错误计数器模式： 0h = 单次模式，当 BIST 错误计数器达到最大值时，PRBS 校验器停止计数。 1h = 连续模式，当 BIST 错误计数器达到最大值时，会产生一个脉冲，计数器会再次从零开始计数。
13	PRBS 校验器配置	R/W	0h	PRBS 校验器配置：第 [13:12] 位 0h = PRBS 生成器与校验器均被禁用 1h = PRBS 生成器使能，根据寄存器 0x001C 中的相应配置发送具有常量数据的单个数据包。校验器已禁用 2h = PRBS 生成已禁用。PRBS 校验器使能 3h = PRBS 生成器与校验器均已使能。PRBS 根据寄存器 0x001C 中相应配置生成连续数据包
12	数据包生成启用	R/W	0h	数据包生成使能：第 [13:12] 位 0h = PRBS 生成器与校验器均被禁用 1h = PRBS 生成器使能，根据寄存器 0x001C 中的相应配置发送具有常量数据的单个数据包。校验器已禁用 2h = PRBS 生成已禁用。PRBS 校验器使能 3h = PRBS 生成器与校验器均已使能。PRBS 根据寄存器 0x001C 中相应配置生成连续数据包
11	PRBS 校验器锁定/同步	R	0h	PRBS 校验器锁定/同步指示： 0h = PRBS 校验器未锁定 1h = PRBS 校验器已锁定并且与接收到的比特流同步
10	PRBS 校验器同步丢失	RH	0h	PRBS 校验器同步丢失指示： 0h = PRBS 校验器未丢失同步 1h = PRBS 校验器已丢失同步
9	数据包生成器状态	R	0h	数据包生成状态指示： 0h = 数据包生成器已关闭 1h = 数据包生成器处于运行状态并且生成数据包
8	电源模式	R	1h	睡眠模式指示： 0h = 表示 PHY 处于主动睡眠模式 1h = 表示 PHY 处于正常功率模式
7	RESERVED	R	0h	
6	在 MII 环回中发送	R/W	0h	在 MII 环回模式下发送数据（仅在 100Mbps 时有效） 0h = 不向 MII 回环中的线路发送数据 1h = 使能从 MAC 发送在 TX 引脚上收到的数据，与 MII 回环到 RX 引脚并行。该位只能在 MII 环回模式下设置 - 设置 BMCR 寄存器 (0x0000) 第 [14] 位

Copyright © 2025 Texas Instruments Incorporated

表 8-40. BISCR 寄存器字段说明（续）

位	字段	类型	复位	说明
5	RESERVED	R	0h	
4-0	回送模式	R/W	0h	环回模式选择：PHY 提供了可用于测试与验证 PHY 中各个功能块的多个环回选项。使能环回模式后，可以对 DP83826 数字与模拟数据路径进行电路内测试 1h = PCS 输入环回（仅用于 10Base-Te） 2h = PCS 输出环回 4h = 数字环回（仅用于 100Base-TX）需要额外的寄存器写入。 8h =模拟环回（需要 100Ω 终端） 10h = 反向环回

8.5.1.23 RCSR 寄存器（偏移 = 17h）[复位 = 00X1h]

RCSR 寄存器如 表 8-41 所示。

返回到汇总表。

表 8-41. RCSR 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	
12	RESERVED	R	0h	
11	RESERVED	R	0h	
10	RESERVED	R	0h	
9	RESERVED	R	0h	
8	RMII TX 时钟移位	R/W	0h	RMII TX 时钟移位：仅适用于 RMII 从模式 0h = 已禁用发送路径内部时钟移位 1h = 已使能发送路径内部时钟移位
7	RMII 时钟选择	RH/W	X	RMII 基准时钟选择： 基本模式：由 strap 配置锁存 增强模式：由 strap 配置锁存 0h = 25MHz 时钟基准（晶体或 CMOS 级振荡器） 1h = 50MHz 时钟基准（CMOS 级振荡器）
6	RESERVED	R/W	1h	
5	RMII 模式	RH/W	X	RMII 或 MII MAC 接口启用： 0h =启用 MII 运行模式 1h =启用 RMII 运行模式
4	RMII 版本选择	R/W	0h	RMII 版本选择： 0h =（RMII 版本号：1.2）CRS_DV 会在数据包末尾切换，以便指示 CRS 无效 1h =（RMII 版本号：1.0）在发送最终数据以前，CRS_DV 保持置位状态。CRS_DV 不会在数据包末尾切换
3	RMII 上溢状态	RC	0h	RX FIFO 上溢状态： 0h = 检测到上溢 1h = 正常
2	RMII 下溢状态	RC	0h	RX FIFO 下溢状态： 0h = 检测到下溢 1h = 正常

Copyright © 2025 Texas Instruments Incorporated

表 8-41. RCSR 寄存器字段说明（续）

位	字段	类型	复位	说明
1-0	接收弹性缓冲器大小	R/W	1h	接收弹性缓冲器大小： 该字段控制接收弹性缓冲器，允许在 50MHz RMII 时钟与恢复数据之间存在频率变化容差。以下值指示了单个数据包的容差（以位为单位）。最小设置允许在 +/-50ppm 的精度下使用标准以太网帧大小。如需获取更大的频率容差，可按比例调整数据包长度（对于 +/-100ppm）（数据包长度除以 2）。 0h = 14 位容差（不超过 16800 字节的数据包） 1h = 2 位容差（不超过 2400 字节的数据包） 2h = 6 位容差（不超过 7200 字节的数据包） 3h = 10 位容差（不超过 12000 字节的数据包）

8.5.1.24 LEDCR 寄存器（偏移 = 18h）[复位 = 04X0h]

LEDCR 寄存器如 表 8-42 所示。

返回到汇总表。

表 8-42. LEDCR 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	
10-9	闪烁速率	R/W	2h	LED 闪烁速率（开/关持续时间）： 0h = 20Hz (50ms) 1h = 10Hz (100ms) 2h = 5Hz (200ms) 3h = 2Hz (500ms)
8	RESERVED	R/W	0h	
7	LED 链路极性	RH/W	X	LED 链路极性设置：基本模式下链路 LED 极性为低电平有效，并由增强模式下该引脚的搭接方向定义。该寄存器允许覆盖该搭接值。 0h = 低电平有效极性设置 1h = 高电平有效极性设置
6-5	RESERVED	R/W	0h	
4	驱动链路 LED	R/W	0h	驱动链路 LED 选择： 0h = 正常运行 1h = 将开/关位 [1] 的值驱动至 LED0 输出引脚
3-2	RESERVED	R/W	0h	
1	链路 LED 开/关设置	R/W	0h	在链路 LED 输出上强制设置的值 0h = LOW 1h = HIGH
0	RESERVED	R/W	0h	

8.5.1.25 PHYCR 寄存器（偏移 = 19h）[复位 = X0XXh]

PHYCR 寄存器如 表 8-43 所示。

返回到汇总表。

表 8-43. PHYCR 寄存器字段说明

位	字段	类型	复位	说明
15	启用自动 MDI/X	RH/W	X	使能自动 MDIX：基本模式：默认启用 A-MDIX。增强模式，由 strap A-MDIX 锁存 0h = 禁用自动协商自动 MDIX 功能 1h = 使能自动协商自动 MDIX 功能

Copyright © 2025 Texas Instruments Incorporated

表 8-43. PHYCR 寄存器字段说明（续）

位	字段	类型	复位	说明
14	强制 MDI/X	RH/W	X	强制 MDIX：增强模式：禁用 A-MDIX strap 配置时，由强制 MDI/MDIX strap 配置锁存 0h = 正常运行（在 RD 对上接收，在 TD 对上发送） 1h = 强制 MDI 对交叉（在 TD 对上接收，在 RD 对上发送）
13	暂停 RX 状态	R	0h	暂停接收协商状态：表示可以 MAC 使能暂停接收。根据 ANAR 寄存器中第 [11:10] 位与 ANLPAR 寄存器设置中第 [11:10] 位。根据 IEEE 802.3 附件 28B 表 28B-3“暂停解析”，仅当自动协商最大公分母为全双工技术时，才应使能该功能。
12	暂停 TX 状态	R	0h	暂停发送协商状态：表示应在 MAC 中启用暂停。根据 ANAR 寄存器中第 [11:10] 位与 ANLPAR 寄存器设置中第 [11:10] 位。根据 IEEE 802.3 附件 28B 表 28B-3“暂停解析”，仅当自动协商最大公分母为全双工技术时，才应使能该功能。
11	MII 链路状态	R	0h	MII 链路状态： 0h = 没有活动的 100Base-TX 全双工链路，通过自动协商建立 1h = 存在活动的 100Base-TX 全双工链路并且通过自动协商建立
10-8	RESERVED	R	0h	
7	旁路 LED 延展	R/W	0h	旁路 LED 延展：将该位设置为“1”，可绕过 LED 延展，LED 反映内部值。 0h = 正常 LED 操作 1h = 旁路 LED 延展
6	RESERVED	R/W	0h	
5	LED 配置	R/W	0h	
4-0	PHY 地址	RH	X	PHY 地址：基本模式：由 Strap 配置锁存 增强模式：由 Strap 配置锁存

8.5.1.26 10BTSCR 寄存器（偏移 = 1Ah）[复位 = 0000h]

表 8-44 展示了 10BTSCR 寄存器。

返回到汇总表。

表 8-44. 10BTSCR 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	
13	接收器阈值使能	R/W	0h	下限接收器阈值使能： 0h = 正常 10Base-T 操作 1h = 使能 10Base-T 较低接收器阈值，以便允许使用更长的电缆进行操作
12-9	静噪	R/W	0h	静噪配置：用于设置 10Base-T 接收器峰值静噪“开”阈值。如下图所示，从 200mV 至 600mV，阶跃大小为 50mV，存在一些重叠： 0h = 200mV 1h = 250mV 2h = 300mV 3h = 350mV 4h = 400mV 5h = 450mV 6h = 500mV 7h = 550mV 8h = 600mV
8	RESERVED	R/W	0h	
7	NLP 禁用	R/W	0h	NLP 传输控制： 0h = 使能 NLP 传输 1h = 禁用 NLP 传输
6-5	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-44. 10BTSCR 寄存器字段说明（续）

位	字段	类型	复位	说明
4	极性状态	R	0h	极性状态： 该位是 PHYSTS 寄存器 (0x0010) 第 [12] 位的副本。读取 10BTSCR 寄存器时，会清空两位，但不会在读取 PHYSTS 寄存器时清除该位。 0h = 检测到正向极性 1h = 检测到反向极性
3-1	RESERVED	R	0h	
0	禁用 Jabber	R/W	0h	禁用 Jabber： 注意：该功能仅适用于 10Base-Te 运行。 0h = Jabber 功能已使能 1h = Jabber 功能已禁用

8.5.1.27 BICSR1 寄存器（偏移 = 1Bh）[复位 = 007Dh]

表 8-45 展示了 BICSR1 寄存器。

返回到汇总表。

表 8-45. BICSR1 寄存器字段说明

位	字段	类型	复位	说明
15-8	BIST 错误计数	R	0h	BIST 错误计数： 保存 PRBS 校验器收到的错误位数。该寄存器的值被锁定，写入第 [15] 位时清空。 当 BIST 错误计数器模式被设置为“0”时，计数在 0xFF 时停止（参阅寄存器 0x0016） 注：向第 [15] 位写入“1”，会锁定计数器数值，以便进行连续读取操作，并且清空 BIST 错误计数器。
7-0	BIST IPG 长度	R/W	7Dh	BIST IPG 长度： 数据包间间隙 (IPG) 长度定义 BIST 生成的任意 2 个连续数据包之间的间隙大小（单位：字节）。 默认值为 0x7D（等于 125 字节*4 = 500 字节）。 为了获得实际的 IPG 长度，二进制值应乘以 4

8.5.1.28 BICSR2 寄存器（偏移 = 1Ch）[复位 = 05EEh]

表 8-46 展示了 BICSR2 寄存器。

返回到汇总表。

表 8-46. BICSR2 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	
10-0	BIST 数据包长度	R/W	5EEh	BIST 数据包长度： 生成的 BIST 数据包的长度。该寄存器的数值确定了由 BIST 生成的每个数据包的大小（单位：字节）。 默认值为 0x05EE，等于 1518 字节。

8.5.1.29 CDCR 寄存器（偏移 = 1Eh）[复位 = 0102h]

CDCR 寄存器如 表 8-47 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-47. CDCR 寄存器字段说明

位	字段	类型	复位	说明
15	电缆诊断过程开始	R/W	0h	电缆诊断过程开始：诊断完成指示位触发后，将会清除诊断开始位。 0h = 禁用电缆诊断 1h = 开始电缆测量 0h = 电缆诊断已禁用 1h = 开始电缆测量
14	cfg_rescal_en	R/W	0h	电阻器校准开始。该字段通常应该为低电平。如果此字段被读取为高电平，则应执行写入来将该位置为无效，然后立即进行硬复位（寄存器 0x1F[15]）
13-2	RESERVED	R	40h	
1	电缆诊断状态	R	1h	电缆诊断过程完成： 0h = 尚未完成电缆诊断 1h = 表示电缆测量过程已完成
0	电缆诊断测试失败：	R	0h	电缆诊断过程失败： 0h = 电缆诊断未失败 1h = 指示电缆测量过程失败

8.5.1.30 PHYRCR 寄存器（偏移 = 1Fh）[复位 = 0000h]

PHYRCR 寄存器如 表 8-48 所示。

返回到汇总表。

表 8-48. PHYRCR 寄存器字段说明

位	字段	类型	复位	说明
15	软件硬复位	RH/W1S	0h	软件硬复位： 0h = 正常运行 1h = 复位 PHY。该位可自行清除，与硬件复位引脚具有相同效果。
14	数字复位	RH/W1S	0h	软件重启： 0h = 正常运行 1h = 重启 PHY。该位可自行清除，并且能够将除寄存器以外的所有 PHY 电路复位。
13	RESERVED	R/W	0h	
12-0	RESERVED	R/W	0h	

8.5.1.31 MLEDCR 寄存器（偏移 = 25h）[复位 = 0041h]

MLEDCR 寄存器如 表 8-49 所示。

返回到汇总表。

表 8-49. MLEDCR 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R/W	0h	
9	MLED 极性交换	R/W	0h	MLED 极性交换： MLED 的极性取决于 LED1 引脚的路由配置与引脚配置，但仅限于增强模式。如果引脚搭接为上拉电阻，则极性为低电平有效。如果引脚搭接为下拉电阻，则极性为高电平有效。在基本模式下，极性始终为低电平有效。
8-7	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-49. MLEDCR 寄存器字段说明（续）

位	字段	类型	复位	说明
6-3	LED0 配置	R/W	8h	MLED 配置：选择 LED0 的源 0h = 链路正常 1h = RX/TX 活动 2h = TX 活动 3h = RX 活动 4h =冲突 5h = 速度（对于 100BASE-TX 较高） 6h = 速度（对于 10BASE-T 较高） 7h = 全双工 8h = 链路正常/进行 TX/RX 活动时闪烁 9h = 有源拉伸信号 Ah = MII 链路 (100BT+FD) Bh = LPI 模式（节能以太网） Ch = TX/RX MII 错误 Dh =链路丢失（在读取寄存器 0x0001 以前，保持点亮状态） Eh = PRBS 错误闪烁（对于单次错误，保持点亮状态，直至计数器清零为止） Fh = 保留
2-1	RESERVED	R	0h	
0	cfg_mled_en	R/W	1h	MLED 路由至 LED0： 0h = 保留 1h =根据 MLEDCR[6:3] 路由的值

8.5.1.32 COMPT 寄存器（偏移= 27h）[复位= 0000h]

表 8-50 中显示了 COMPT 寄存器。

返回到汇总表。

表 8-50. COMPT 寄存器字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-50. COMPT 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	合规性测试配置选择	R/W	0h	合规性测试配置选择： 寄存器 0x0027 中第 [4] 位 = 1，使能 10Base-T 测试模式 寄存器 0x0428 中第 [4] 位 = 1，使能 100Base-TX 测试模式 第 [3:0] 位选择 10Base-T 测试模式，如下所示： 0000 = 单个 NLP 0001 = 单个脉冲 1 0010 = 单个脉冲 0 0011 = 重复脉冲 1 0100 = 重复脉冲 0 0101 = 前导码（重复“10”） 0110 = 单个脉冲 1 后跟 TP_IDLE 0111 = 单个脉冲 0 后跟 TP_IDLE 1000 = 重复“1001”序列 1001 = 随机 10Base-T 数据 1010 = TP_IDLE_00 1011 = TP_IDLE_01 1100 = TP_IDLE_10 1101 = TP_IDLE_11 100Base-TX 测试模式由{寄存器 0x0428 第 [5] 位与寄存器 0x0027 第 [3:0] 位确定}。该等位确定了“1”后面的 0 的个数。 0,0001 = “1”后面跟随一个“0” 0,0010 = “1”后面跟随两个“0” 0,0011 = “1”后面跟随三个“0” 0,0100 = “1”后面跟随四个“0” 0,0101 = “1”后面跟随五个“0” 0,0110 = “1”后面跟随六个“0” 0,0111 = “1”后面跟随七个“0” ... 1,1111 = “1”后面跟三十一个“0” 0,0000 = 清除移位寄存器 注 1：要重新配置 100Base-TX 测试模式，就必须将寄存器 0x0428 第 [4] 位清零，然后复位为“1”，以便配置新模式。 注释 2：执行 100Base-TX 或 10Base-T 测试模式时，必须利用基本模式控制寄存器 (BMCR)（地址：0x0000）强制获得该速度。

8.5.1.33 10M_CFG 寄存器（偏移 = 2Ah）[复位 = 7998h]

10M_CFG 如表 8-51 所示。

返回到汇总表。

表 8-51. 10M_CFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	
14	10M 前导码模式	R/W	1h	该器件支持 10Mbps 的两个前导码大小。-(0)长前导码模式 (1) 短前导码模式，这不影响 100Mbps 模式。 在长前导码模式中，“长”表示从 MDI 接收的前导码数量。在此模式下，接收器采用多达 7 字节的前导码来声明为有效前导码。MAC 上的前导码可能比 MDI 中的字节具有更少的前导码。该器件要求 MDI 线路上至少有 7 个字节的前导码。 在短前导码模式中，“短”表示 MDI 线路上的前导码字节数。在这个模式下，接收器能够处理 >3 字节的短前导码。如果链路伙伴预计传输较短的前导码（< 3 字节），建议配置为“长”前导码模式。 0h = 长前导码模式 1h = 短前导码模式
13-0	RESERVED	R/W	3998h	

Copyright © 2025 Texas Instruments Incorporated

8.5.1.34 FLD_CFG1 寄存器（偏移 = 117h）[复位 = 8147h]

FLD_CFG1 如表 8-52 所示。

返回到汇总表。

表 8-52. FLD_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15-10	配置 MLT3 错误计数长度	R/W	20h	MLT3 错误计数窗口。以时钟数 (8ns) 为单位设置窗口。计数器在稳定状态下计数。 0h = 保留 1h = 2 个周期 3Fh = 64 个周期
9-4	配置 MLT3 错误计数	R/W	14h	链路断开时要计数的 MLT3 错误数 0h = 保留 1h = 1 错个误 3Fh = 63 个错误
3-0	RESERVED	R	7h	

8.5.1.35 FLD_CFG2 寄存器（偏移 = 131h）[复位 = 2284h]

FLD_CFG2 如表 8-53 所示。

返回到汇总表。

表 8-53. FLD_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R/W	8Ah	
5-0	配置扰频器阈值	R/W	4h	配置窗口以根据解码器错误声明链路断开。

8.5.1.36 CDSCR 寄存器（偏移 = 170h）[复位 = 0C12h]

CDSCR 寄存器如 表 8-54 所示。

返回到汇总表。

表 8-54. CDSCR 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	
14	电缆诊断交叉禁用	R/W	0h	交叉 TDR 诊断模式： 0h = TDR 在 0x170 [13] 配置的传输通道以外的通道上查找反射 1h = TDR 在与 0x170 [13] 配置的传输通道相同的通道上查找反射
13	cfg_tdr_chan_sel	R/W	0h	TDR TX 通道选择： 0h = 选择通道 A 作为传输通道。 1h = 选择通道 B 作为传输通道。
12	cfg_tdr_dc_rem_no_init	R/W	0h	为了确保 DC 去除模块在 TDR 以前不被复位，并且 DC 去除对 TDR 反射有效
11	RESERVED	R/W	1h	

Copyright © 2025 Texas Instruments Incorporated

表 8-54. CDSCR 寄存器字段说明（续）

位	字段	类型	复位	说明
10-8	电缆诊断平均周期	R/W	4h	平均 TDR 周期数： 0h = 1 个 TDR 周期 1h = 2 个 TDR 周期 2h = 4 个 TDR 周期 3h = 8 个 TDR 周期 4h = 16 个 TDR 周期 5h = 32 个 TDR 周期 6h = 64 个 TDR 周期 7h = 保留
7	RESERVED	R/W	0h	
6-4	cfg_tdr_seg_num	R/W	1h	选择要执行 TDR 电缆段 - 000b = 保留 001b = 0m 至 10m 010b = 10m 至 20m 011b = 20m 至 40m 100b = 40m 至 80m 101b = 80m 及以上 110b = 保留 111b = 保留
3-0	RESERVED	R/W	2h	

8.5.1.37 CDSCR2 寄存器（偏移 = 171h）[复位 = C850h]

表 8-55 展示了 CDSCR2 寄存器。

返回到汇总表。

表 8-55. CDSCR2 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R/W	C850h	

8.5.1.38 CDSCR3 寄存器（偏移 = 173h）[复位 = 0D04h]

表 8-56 展示了 CDSCR3 寄存器。

返回到汇总表。

表 8-56. CDSCR3 寄存器字段说明

位	字段	类型	复位	说明
15-8	cfg_tdr_seg_duration	R/W	Dh	为 TDR 所选区段的持续时间，计算方法为 -（Length_in_meters*2*5.2）/8，对于分段 #1，为 8'hD；对于分段 #2，为 8'hD；对于分段 #3，为 8'h1A；对于分段 #4，为 8'h34；对于分段 #5，为 8'h8F
7-0	cfg_tdr_initial_skip	R/W	4h	在配置的分段开始以前避免采样的次数 - 对于分段 #1，为 8'h7；对于分段 #2，为 8'h14；对于分段 #3，为 8'h21；对于分段 #4，为 8'h3B；对于分段 #5，为 8'h6F

8.5.1.39 TDR_175 寄存器（偏移 = 175h）[复位 = 1004h]

表 8-57 展示了 TDR_175 寄存器。

返回到汇总表。

表 8-57. TDR_175 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	
13-11	cfg_tdr_sdw_avg_loc	R/W	2h	TDR 阴影平均位置 - 对于分段 #1，为 3'h2；对于分段 #2，为 3'h2；对于分段 #3，为 3'h2；对于分段 #4，为 3'h2；对于分段 #5，为 3'h2

Copyright © 2025 Texas Instruments Incorporated

表 8-57. TDR_175 寄存器字段说明（续）

位	字段	类型	复位	说明
10-5	RESERVED	R	0h	
4	RESERVED	R/W	0h	
3-0	cfg_tdr_fwd_shadow	R/W	4h	所配置区段的前向阴影长度（避免故障峰阴影被视作另一个故障峰）- 对于区段 #1，为 4'h4；对于区段 #2，为 4'h4；对于区段 #3，为 4'h5；对于区段 #4，为 4'h8；对于区段 #5，为 4'hB

8.5.1.40 TDR_176 寄存器（偏移 = 176h）[复位 = 0005h]

表 8-58 展示了 TDR_176 寄存器。

返回到汇总表。

表 8-58. TDR_176 寄存器字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R	0h	
4-0	cfg_tdr_p_loc_thresh_seg	R/W	5h	

8.5.1.41 CDSCR4 寄存器（偏移 = 177h）[复位 = 1E00h]

表 8-59 展示了 CDSCR4 寄存器。

返回到汇总表。

表 8-59. CDSCR4 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R/W	0h	
12-8	短电缆阈值	R/W	1Eh	TH 用于补偿短电缆中的强反射
7-0	RESERVED	R/W	0h	

8.5.1.42 TDR_178 寄存器（偏移 = 178h）[复位 = 0002h]

表 8-60 展示了 TDR_178 寄存器。

返回到汇总表。

表 8-60. TDR_178 寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R	0h	
2-0	cfg_tdr_tx_pulse_width_seg	R/W	2h	区段的 TDR TX 脉冲宽度 - 对于分段 #1，为 3'h2；对于分段 #2，为 3'h2；对于分段 #3，为 3'h2；对于分段 #4，为 3'h2；对于分段 #5，为 3'h6

8.5.1.43 CDLRR1 寄存器（偏移 = 180h）[复位 = 0000h]

表 8-61 展示了 CDLRR1 寄存器。

返回到汇总表。

表 8-61. CDLRR1 寄存器字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-61. CDLRR1 寄存器字段说明（续）

位	字段	类型	复位	说明
7-0	TD 峰值位置 1	R	0h	TDR 机制在传输通道 (TD) 上发现的第一个峰值的位置。该等位的值需要转换为距 PHY 的距离。

8.5.1.44 CDLRR2 寄存器（偏移 = 181h）[复位 = 0000h]

表 8-62 展示了 CDLRR2 寄存器。

返回到汇总表。

表 8-62. CDLRR2 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	

8.5.1.45 CDLRR3 寄存器（偏移 = 182h）[复位 = 0000h]

表 8-63 展示了 CDLRR3 寄存器。

返回到汇总表。

表 8-63. CDLRR3 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	

8.5.1.46 CDLRR4 寄存器（偏移 = 183h）[复位 = 0000h]

表 8-64 展示了 CDLRR4 寄存器。

返回到汇总表。

表 8-64. CDLRR4 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	

8.5.1.47 CDLRR5 寄存器（偏移 = 184h）[复位 = 0000h]

表 8-65 展示了 CDLRR5 寄存器。

返回到汇总表。

表 8-65. CDLRR5 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	

8.5.1.48 CDLAR1 寄存器（偏移 = 185h）[复位 = 0000h]

表 8-66 展示了 CDLAR1 寄存器。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-66. CDLAR1 寄存器字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R	0h	
6-0	TD 峰值振幅 1	R	0h	TDR 机制在传输通道 (TD) 上发现的第一个峰的振幅。该等位的值会转化为电缆故障和/或干扰类型。

8.5.1.49 CDLAR2 寄存器（偏移 = 186h）[复位 = 0000h]

表 8-67 展示了 CDLAR2 寄存器。

返回到汇总表。

表 8-67. CDLAR2 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	

8.5.1.50 CDLAR3 寄存器（偏移 = 187h）[复位 = 0000h]

表 8-68 展示了 CDLAR3 寄存器。

返回到汇总表。

表 8-68. CDLAR3 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	

8.5.1.51 CDLAR4 寄存器（偏移 = 188h）[复位 = 0000h]

表 8-69 展示了 CDLAR4 寄存器。

返回到汇总表。

表 8-69. CDLAR4 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	

8.5.1.52 CDLAR5 寄存器（偏移 = 189h）[复位 = 0000h]

表 8-70 展示了 CDLAR5 寄存器。

返回到汇总表。

表 8-70. CDLAR5 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R	0h	

8.5.1.53 CDLAR6 寄存器（偏移 = 18Ah）[复位 = 0000h]

表 8-71 展示了 CDLAR6 寄存器。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-71. CDLAR6 寄存器字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R	0h	
11	TD 峰值极性 1	R	0h	TDR 机制在传输通道 (TD) 上发现的第一个峰值的极性。
10-6	RESERVED	R	0h	
5	TD 上的交叉检测	R	0h	在 TD 上检测到交叉反射。指示 TD+ 与 TD- 之间的短路
4	RESERVED	R	0h	
3	RESERVED	R	0h	
2	RESERVED	R	0h	
1-0	RESERVED	R	0h	

8.5.1.54 MSE_Val 寄存器（偏移 = 218h）[复位 = 0000h]

表 8-72 展示了 MSE_Val。

返回到汇总表。

表 8-72. MSE_Val 寄存器字段说明

位	字段	类型	复位	说明
15-0	均方误差	R	0h	均方误差。有关更多详细信息，请参阅 SNLA423

8.5.1.55 IO_CFG1 寄存器（偏移 = 302h）[复位 = 0X00h]

表 8-73 展示了 IO_CFG1 寄存器。

返回到汇总表。

表 8-73. IO_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15-14	MAC 阻抗控制	R/W	0h	MAC 阻抗控制：MAC 接口阻抗控制可设置数字引脚的串联端接。 0h = 慢速模式 1h = 快速模式
13	RESERVED	R/W	0h	
12-9	RESERVED	R/W	0h	
8	cfg_crs_dv_vs_rx_dv	RH/W	X	选择 CRS_DV 引脚作为 RMII 模式下的 CRS_DV 或 RX_DV 运行。默认值由 strap 配置选择。 0h = RMII_CRS_DV 1h = RMII_RX_DV
7	RESERVED	R/W	0h	
6	cfg_clkout25m_off	R/W	0h	仅适用于增强模式：配置时钟输出或 LED1 0h = CLKOUT25 可用 1h = LED1_GPIO 可用
5-0	RESERVED	R	0h	

8.5.1.56 LED0_GPIO_CFG 寄存器（偏移 = 303h）[复位 = 0008h]

LED0_GPIO_CFG 如表 8-74 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-74. LED0_GPIO_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	
5-3	cfg_led0_clk_sel	R/W	1h	选择其中一个内部时钟，用于 LED0 上的输出。当 cfg_led0_gpio_ctrl[2:0] = 001b 时，会启用该功能。可能的配置包括： 0h = 保留 1h = 保留 2h = 保留 3h = 保留 4h = 保留 5h = PLL 时钟输出 6h =恢复时钟 7h = 保留
2-0	cfg_led0_gpio_ctrl	R	0h	LED0 的 GPIO 配置： 0h = LED0 1h =由寄存器字段 cfg_led0_clk_sel 选择的时钟输出 2h = WoL 3h = 0 4h = 中断 5h = 0 6h = 0 7h = 1

8.5.1.57 LED1_GPIO_CFG 寄存器（偏移 = 304h）[复位 = 0008h]

LED1_GPIO_CFG 如表 8-75 所示。

返回到汇总表。

表 8-75. LED1_GPIO_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	
5-3	cfg_led1_clk_sel	R/W	1h	选择其中一个内部时钟，用于 LED1 上的输出。当 cfg_led1_gpio_ctrl[2:0] = 001b 时，会启用该功能。可能的配置包括： 0h = 保留 1h = 保留 2h = 保留 3h = 保留 4h = 保留 5h = PLL 时钟输出 6h =恢复时钟 7h = 保留
2-0	cfg_led1_gpio_ctrl	R/W	0h	LED1 的 GPIO 配置： 0h = LED1（基本模式下的默认值） 1h = 保留 2h = WoL 3h = 保留 4h = 中断 5h = TX_ER 6h = CLKOUT25M（默认处于增强模式，可通过配置 (Strap) 选择） 7h = 保留

8.5.1.58 LED2_GPIO_CFG 寄存器（偏移 = 305h）[复位 = 0008h]

LED2_GPIO_CFG 如表 8-76 所示。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

表 8-76. LED2_GPIO_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	
5-3	RESERVED	R/W	1h	
2-0	cfg_led2_gpio_ctrl	R/W	0h	LED2 的 GPIO 配置： 0h = LED2 1h = 保留 2h = WoL 3h = COL 4h = 中断 5h = COL 6h = COL 7h = 高电平

8.5.1.59 LED3_GPIO_CFG 寄存器（偏移 = 306h）[复位 = 0008h]

LED3_GPIO_CFG 如表 8-77 所示。

返回到汇总表。

表 8-77. LED3_GPIO_CFG 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R	0h	
5-3	RESERVED	R/W	1h	
2-0	cfg_led3_gpio_ctrl	R	0h	LED3 的 GPIO 配置： 0h = LED3 1h = 保留 2h = WoL 3h = CRS 4h = 中断 5h = CRS 6h = CRS 7h = 高电平

8.5.1.60 CLK_OUT_LED_STATUS 寄存器（偏移 = 308h）[复位 = 0002h]

CLK_OUT_LED_STATUS 寄存器如 表 8-78 所示。

返回到汇总表。

表 8-78. CLK_OUT_LED_STATUS 寄存器字段说明

位	字段	类型	复位	说明
15-1	RESERVED	R/W	1h	
0	cfg_clkout_25m_off_status	R	0h	该位仅适用于增强模式 0h = CLKOUT25 可用 1h = LED1_GPIO 可用

8.5.1.61 VOD_CFG1 寄存器（偏移 = 30Bh）[复位 = 3C00h]

表 8-79 展示了 VOD_CFG1 寄存器。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-79. VOD_CFG1 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	
13-12	cfg_dac_minus_one_val_mdix_5_to_4	R/W	3h	MDIX 模式下为 mlt3 编码数据 (-1) 提供 LD 数据。6 位数据分为两个字段-{cfg_dac_minus_one_val_mdix_5_to_4, cfg_dac_minus_one_val_mdix_3_to_0} 28h = 150% 29h = 143.75% 2Ah = 137.50% 2Bh = 131.25% 2Ch = 125% 2Dh = 118.75% 2Eh = 112.50% 2Fh = 106.25% 30h = 100% 31h = 93.75% 32h = 87.50% 33h = 81.25% 34h = 75% 35h = 68.75% 36h = 62.50% 37h = 56.25% 38h = 50%
11-6	cfg_dac_minus_one_val_mdi	R/W	30h	MDI 模式下为 mlt3 编码数据 (-1) 提供 LD 数据。 28h = 150% 29h = 143.75% 2Ah = 137.50% 2Bh = 131.25% 2Ch = 125% 2Dh = 118.75% 2Eh = 112.50% 2Fh = 106.25% 30h = 100% 31h = 93.75% 32h = 87.50% 33h = 81.25% 34h = 75% 35h = 68.75% 36h = 62.50% 37h = 56.25% 38h = 50%
5-0	cfg_dac_zero_val	R/W	0h	为 mlt3 编码数据 (0) 提供 LD 数据

8.5.1.62 VOD_CFG2 寄存器 (偏移 = 30Ch) [复位 = 0410h]

表 8-80 展示了 VOD_CFG2 寄存器。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-80. VOD_CFG2 寄存器字段说明

位	字段	类型	复位	说明
15-12	cfg_dac_minus_one_val_mdix_3_to_0	R/W	0h	MDX 模式下为 mlt3 编码数据 (-1) 提供 LD 数据。6 位数据分为两个字段- { cfg_dac_minus_one_val_mdix_5_to_4, cfg_dac_minus_one_val_mdix_3_to_0 } 28h = 150% 29h = 143.75% 2Ah = 137.50% 2Bh = 131.25% 2Ch = 125% 2Dh = 118.75% 2Eh = 112.50% 2Fh = 106.25% 30h = 100% 31h = 93.75% 32h = 87.50% 33h = 81.25% 34h = 75% 35h = 68.75% 36h = 62.50% 37h = 56.25% 38h = 50%
11-6	cfg_dac_plus_one_val_mdix	R/W	10h	MDIX 模式下为 mlt3 编码数据 (+1) 提供 LD 数据 08h = 50% 09h = 56.25% 0Ah = 62.50% 0Bh = 68.75% 0Ch = 75% 0Dh = 81.25% 0Eh = 87.50% 0Fh = 93.75% 10h = 100% 11h = 106.25% 12h = 112.50% 13h = 118.75% 14h = 125% 15h = 131.25% 16h = 137.50% 17h = 143.75% 18h = 150%
5-0	cfg_dac_plus_one_val_mdi	R/W	10h	MDI 模式下为 mlt3 编码数据 (+1) 提供 LD 数据 08h = 50% 09h = 56.25% 0Ah = 62.50% 0Bh = 68.75% 0Ch = 75% 0Dh = 81.25% 0Eh = 87.50% 0Fh = 93.75% 10h = 100% 11h = 106.25% 12h = 112.50% 13h = 118.75% 14h = 125% 15h = 131.25% 16h = 137.50% 17h = 143.75% 18h = 150%

8.5.1.63 VOD_CFG3 寄存器（偏移 = 30Eh）[复位 = 8400h]

表 8-81 展示了 VOD_CFG3 寄存器。

返回到汇总表。

表 8-81. VOD_CFG3 寄存器字段说明

位	字段	类型	复位	说明
15-12	ld_term_mdi_10M_reg	R/W	8h	10M 模式，MDI 终端值寄存器 0h = 122 1h = 119 2h = 116 3h = 113 4h = 110 5h = 107 6h = 105 7h = 102 8h = 100 9h = 98 Ah = 96 Bh = 94 Ch = 92 Dh = 90 Eh = 88 Fh = 86
11	ld_term_mdi_10M_en	R/W	0h	10M 模式，MDI 终端值寄存器启用 0h = 禁用 1h = 启用
10-7	ld_term_mdix_10M_reg	R/W	8h	10M 模式，MDIX 终端值寄存器 0h = 122 1h = 119 2h = 116 3h = 113 4h = 110 5h = 107 6h = 105 7h = 102 8h = 100 9h = 98 Ah = 96 Bh = 94 Ch = 92 Dh = 90 Eh = 88 Fh = 86
6	ld_term_mdix_10M_en	R/W	0h	10M 模式，MDIX 终端值寄存器启用 0h = 禁用 1h = 启用
5-2	RESERVED	R/W	0h	
1-0	RESERVED	R	0h	

8.5.1.64 ANA_LD_PROG_SL 寄存器（偏移 = 404h）[复位 = 0080h]

ANA_LD_PROG_SL 寄存器如 表 8-82 所示。

返回到汇总表。

表 8-82. ANA_LD_PROG_SL 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R/W	80h	

Copyright © 2025 Texas Instruments Incorporated

8.5.1.65 ANA_RX10BT_CTRL 寄存器（偏移 = 40Dh）[复位 = 0008h]

表 8-83 展示了 ANA_RX10BT_CTRL 寄存器。

返回到汇总表。

表 8-83. ANA_RX10BT_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R/W	0h	
4-0	rx10bt_comp_sl	R/W	8h	10B-T 电流增益，适用于正负两种情况，从 200mV 到 575mV，步长为 25mV

8.5.1.66 GENCFG 寄存器（偏移 = 456h）[复位 = 0008h]

GENCFG 寄存器如 表 8-84 所示。

返回到汇总表。

表 8-84. GENCFG 寄存器字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R/W	0h	
3	最小 IPG 使能	R/W	1h	最小 IPG 使能： 0h = 最小 IPG 设置为 200ns 1h = 使能最小包间距（IPG 设置为 120ns，而非 200ns）
2-0	RESERVED	R/W	0h	

8.5.1.67 LEDCFG 寄存器（偏移 = 460h）[复位 = 5665h]

LEDCFG 寄存器如 表 8-85 所示。

返回到汇总表。

表 8-85. LEDCFG 寄存器字段说明

位	字段	类型	复位	说明
15-12	LED3 控制	R/W	5h	LED3 控制：选择 LED3 的源。 0h = 链路正常 1h = RX/TX 活动 2h = TX 活动 3h = RX 活动 4h =冲突 5h = 速度（对于 100BASE-TX 较高） 6h = 速度（对于 10BASE-T 较高） 7h = 全双工 8h = 链路正常/进行 TX/RX 活动时闪烁 9h = 有源拉伸信号 Ah = MII 链路 (100BT+FD) Bh = LPI 模式（节能以太网） Ch = TX/RX MII 错误 Dh =链路丢失（在读取寄存器 0x0001 以前，保持点亮状态） Eh = PRBS 错误闪烁（对于单次错误，保持点亮状态，直至计数器清零为止） Fh = 保留

Copyright © 2025 Texas Instruments Incorporated

表 8-85. LEDCFG 寄存器字段说明（续）

位	字段	类型	复位	说明
11-8	LED2 控制	R/W	6h	LED2 控制：选择 LED2 的源。 0h = 链路正常 1h = RX/TX 活动 2h = TX 活动 3h = RX 活动 4h =冲突 5h = 速度（对于 100BASE-TX 较高） 6h = 速度（对于 10BASE-T 较高） 7h = 全双工 8h = 链路正常/进行 TX/RX 活动时闪烁 9h = 有源拉伸信号 Ah = MII 链路 (100BT+FD) Bh = LPI 模式（节能以太网） Ch = TX/RX MII 错误 Dh =链路丢失（在读取寄存器 0x0001 以前，保持点亮状态） Eh = PRBS 错误闪烁（对于单次错误，保持点亮状态，直至计数器清零为止） Fh = 保留
7-4	LED1 控制	R/W	6h	LED1 控制：选择 LED1 的源。 0h = 链路正常 1h = RX/TX 活动 2h = TX 活动 3h = RX 活动 4h =冲突 5h = 速度（对于 100BASE-TX 较高） 6h = 速度（对于 10BASE-T 较高） 7h = 全双工 8h = 链路正常/进行 TX/RX 活动时闪烁 9h = 有源拉伸信号 Ah = MII 链路 (100BT+FD) Bh = LPI 模式（节能以太网） Ch = TX/RX MII 错误 Dh =链路丢失（在读取寄存器 0x0001 以前，保持点亮状态） Eh = PRBS 错误闪烁（对于单次错误，保持点亮状态，直至计数器清零为止） Fh = 保留
3-0	RESERVED	R/W	5h	

8.5.1.68 IOCTRL 寄存器（偏移 = 461h）[复位 = 0010h]

IOCTRL 寄存器如 表 8-86 所示。

返回到汇总表。

表 8-86. IOCTRL 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	
14	RESERVED	R/W	0h	
13-12	RESERVED	R/W	0h	
11	RESERVED	R/W	0h	
10-7	RESERVED	R/W	0h	
6-5	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-86. IOCTRL 寄存器字段说明 （续）

位	字段	类型	复位	说明
4-0	MAC 阻抗控制	R/W	10h	控制 IO 的压摆率。仅使用 LSB。 10h = 快速 11h = 慢速

8.5.1.69 SOR1 寄存器（偏移 = 467h）[复位 = 0000h]

表 8-87 展示了 SOR1 寄存器。

返回到汇总表。

表 8-87. SOR1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	
14	RESERVED	R	0h	
13	RESERVED	R	0h	
12	RESERVED	R	0h	
11	RESERVED	R	0h	
10	Strap10	R	0h	引脚 18 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
9	Strap9	R	0h	引脚 15 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
8	Strap8	R	0h	引脚 14 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
7	Strap7	R	0h	引脚 13 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
6	Strap6	R	0h	引脚 20 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
5	Strap5	R	0h	引脚 22 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
4	Strap4	R	0h	引脚 28 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
3	Strap3	R	0h	引脚 29 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
2	Strap2	R	0h	引脚 30 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
1	Strap1	R	0h	引脚 31 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效
0	Strap0	R	0h	引脚 16 上的配置 (strap) 0h = 低电平有效 1h = 高电平有效

Copyright © 2025 Texas Instruments Incorporated

8.5.1.70 SOR2 寄存器（偏移 = 468h）[复位 = 0287h]

表 8-88 展示了 SOR2 寄存器。

返回到汇总表。

表 8-88. SOR2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	
14	XMII_ISOLATE_EN	R	0h	适用于基本模式。控制寄存器 BMCR[10]中的 MII 隔离位字段 0h =无隔离 1h =已隔离 MAC 引脚
13	RESERVED	R	0h	
12	CRS_DV_vs_RX_DV	RH	0h	RMII 模式 RX_DV 引脚作为 CRS_DV 或 RX_DV 0h = RMI CRS_DV 1h = RMII RX_DV
11	LED_3_POLARITY	RH	0h	LED3 极性检测。控制 LED3 极性 0h = 低电平有效极性设置 1h = 高电平有效极性设置
10	LED_2_POLARITY	RH	0h	LED2 极性检测。控制 LED2 极性 0h = 低电平有效极性设置 1h = 高电平有效极性设置
9	CFG_LED_LINK_POL	RH	1h	链路 LED 极性检测。控制 LED0 极性 0h = 低电平有效极性设置 1h = 高电平有效极性设置
8	CFG_FLD_EN	RH	0h	快速链路断开状态。 0h = FLD 已禁用 1h =启用 FLD。有关详情，请参阅 CR3[10,3:0]
7	CFG_AMDIX	RH	1h	AMDIX 使能。这捕获了 AMDIX_DIS 配置 (strap) 的反转 0h = AMDIX 禁用 1h = AMDIX 启用
6	RESERVED	R	0h	
5	LED_SPEED_POL	RH	0h	速度 LED 极性检测。控制 LED1 极性 0h = 低电平有效极性设置 1h = 高电平有效极性设置
4	CFG_RMII_MODE	RH	0h	MII/RMII 模式选择 0h = MII 1h = RMII
3	CFG_XI_50_FOLLOWER	RH	0h	RMII 主/从模式选择 0h = RMII 主模式 1h = RMII 从模式
2	CFG_AN_1	R	1h	这是为了导出 ANAR 寄存器位[8:5]
1	CFG_AN_0	R	1h	这是为了导出 ANAR 寄存器位[8:5]
0	CFG_AN_EN	R	1h	ANEG 使能。这会捕获 ANEG_DIS 的反转

8.5.1.71 LEDCFG2 寄存器（偏移 = 469h）[复位 = 0XXXh]

表 8-89 展示了 LEDCFG2 寄存器。

返回到汇总表。

表 8-89. LEDCFG2 寄存器字段说明

位	字段	类型	复位	说明
15-11	RESERVED	R	0h	
10	RESERVED	RH/W	X	

Copyright © 2025 Texas Instruments Incorporated

表 8-89. LEDCFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
9	RESERVED	R/W	0h	
8	RESERVED	R/W	0h	
7	RESERVED	R	0h	
6	LED2_polarity	RH/W	X	led 2 极性 0h = 低电平有效 1h = 高电平有效
5	LED2_drv_val	R/W	0h	led 2 驱动值
4	LED2_drv_en	R/W	0h	led 2 驱动使能 0h = 正常运行 1h = 驱动 LED 极性
3	RESERVED	R	0h	
2	LED1_polarity	RH/W	X	led 1 极性 0h = 低电平有效 1h = 高电平有效
1	LED1_drv_val	R/W	0h	LED1 驱动值
0	LED1_drv_en	R/W	0h	led 1 驱动使能 0h = 正常运行 1h = 驱动 LED 极性

8.5.1.72 RXFCFG1 寄存器（偏移 = 4A0h）[复位 = 108Xh]

表 8-90 展示了 RXFCFG1 寄存器。

返回到汇总表。

表 8-90. RXFCFG1 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	
13	RESERVED	R	0h	
12	CRC 栅极	R/W	1h	CRC 门：如果魔术包具有不良 CRC，那么使能时没有指示（状态、中断、GPIO）。 0h = 不良 CRC 不会阻止魔术包或模式指示 1h = 不良 CRC 会阻止魔术包或模式指示
11	局域网唤醒电平变化指示清除	W0C	0h	局域网唤醒电平变化指示清除：如果为电平变化模式设置了局域网唤醒指示，则写入后该位会清除电平。 0h = 清除
10-9	局域网唤醒脉冲指示选择	R/W	0h	局域网唤醒脉冲指示选择：仅当局域网唤醒指示设置为脉冲模式时有效。 0h = 8 个时钟周期（125MHz 时钟） 1h = 16 个时钟周期 2h = 32 个时钟周期 3h = 64 个时钟周期
8	局域网唤醒指示选择	R/W	0h	局域网唤醒指示选择： 0h = 脉冲模式 1h = 电平变化模式
7	局域网唤醒使能	R/W	1h	局域网唤醒使能： 0h = 正常运行 1h = 使能局域网唤醒 (WoL)
6	位屏蔽标志	R/W	0h	位屏蔽标志
5	安全开机使能	R/W	0h	使能魔术包安全密码
4	RESERVED	R	0h	

Copyright © 2025 Texas Instruments Incorporated

表 8-90. RXFCFG1 寄存器字段说明 （续）

位	字段	类型	复位	说明
3	RESERVED	R	0h	
2	RESERVED	R	0h	
1	RESERVED	R	0h	
0	局域网唤醒魔术包使能	RH/W	X	使能接收魔术包后中断

8.5.1.73 RXFS 寄存器（偏移 = 4A1h）[复位 = 1000h]

RXFS 寄存器如 表 8-91 所示。

返回到汇总表。

表 8-91. RXFS 寄存器字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R	0h	
12	局域网唤醒中断源	R/W	1h	局域网唤醒中断源：寄存器 0x0013 第 [1] 位的中断源。使能局域网唤醒时，该位自动设置为局域网唤醒中断。 0h = 数据极性中断 1h = 局域网唤醒中断
11-8	RESERVED	R	0h	
7	SFD 误差	RCH	0h	SFD 错误： 0h = 无 SFD 错误 1h = 包含 SFD 错误的数据包（没有第 [13] 位寄存器 0x04A0 中指示的 SFD 字节）
6	不良 CRC	RCH	0h	坏的 CRC： 0h = 未收到不良 CRC 1h = 收到不良 CRC
5	安全开机破解标志	RCH	0h	安全开机破解标志： 0h = 有效的安全开机密码 1h = 在魔术包中检测到无效密码
4	RESERVED	RCH	0h	
3	RESERVED	RCH	0h	
2	RESERVED	RCH	0h	
1	RESERVED	RCH	0h	
0	局域网唤醒魔术包状态	RCH	0h	局域网唤醒魔术包状态：

8.5.1.74 RXFPMD1 寄存器（偏移 = 4A2h）[复位 = 0000h]

表 8-92 展示了 RXFPMD1 寄存器。

返回到汇总表。

表 8-92. RXFPMD1 寄存器字段说明

位	字段	类型	复位	说明
15-8	MAC 目标地址字节 4	R/W	0h	完美匹配数据：配置为 MAC 目标地址
7-0	MAC 目标地址字节 5 (MSB)	R/W	0h	完美匹配数据：配置为 MAC 目标地址

Copyright © 2025 Texas Instruments Incorporated

8.5.1.75 RXFPMD2 寄存器（偏移 = 4A3h）[复位 = 0000h]

表 8-93 展示了 RXFPMD2 寄存器。

返回到汇总表。

表 8-93. RXFPMD2 寄存器字段说明

位	字段	类型	复位	说明
15-8	MAC 目标地址字节 2	R/W	0h	完美匹配数据：配置为 MAC 目标地址
7-0	MAC 目标地址字节 3	R/W	0h	完美匹配数据：配置为 MAC 目标地址

8.5.1.76 RXFPMD3 寄存器（偏移 = 4A4h）[复位 = 0000h]

表 8-94 展示了 RXFPMD3 寄存器。

返回到汇总表。

表 8-94. RXFPMD3 寄存器字段说明

位	字段	类型	复位	说明
15-8	MAC 目标地址字节 0	R/W	0h	完美匹配数据：配置为 MAC 目标地址
7-0	MAC 目标地址字节 1	R/W	0h	完美匹配数据：配置为 MAC 目标地址

8.5.1.77 RXFSOP1 寄存器（偏移 = 4A5h）[复位 = 0000h]

表 8-95 展示了 RXFSOP1 寄存器。

返回到汇总表。

表 8-95. RXFSOP1 寄存器字段说明

位	字段	类型	复位	说明
15-8	安全唤醒密码字节 1	R/W	0h	安全唤醒密码选择：魔术包安全唤醒密码
7-0	安全唤醒密码字节 0	R/W	0h	安全唤醒密码选择：魔术包安全唤醒密码

8.5.1.78 RXFSOP2 寄存器（偏移 = 4A6h）[复位 = 0000h]

表 8-96 展示了 RXFSOP2 寄存器。

返回到汇总表。

表 8-96. RXFSOP2 寄存器字段说明

位	字段	类型	复位	说明
15-8	安全唤醒密码字节 3	R/W	0h	安全唤醒密码选择：魔术包安全唤醒密码
7-0	安全唤醒密码字节 2	R/W	0h	安全唤醒密码选择：魔术包安全唤醒密码

8.5.1.79 RXFSOP3 寄存器（偏移 = 4A7h）[复位 = 0000h]

表 8-97 展示了 RXFSOP3 寄存器。

返回到汇总表。

表 8-97. RXFSOP3 寄存器字段说明

位	字段	类型	复位	说明
15-8	安全唤醒密码字节 5	R/W	0h	安全唤醒密码选择：魔术包安全唤醒密码

Copyright © 2025 Texas Instruments Incorporated

表 8-97. RXFSOP3 寄存器字段说明（续）

位	字段	类型	复位	说明
7-0	安全唤醒密码字节 4	R/W	0h	安全唤醒密码选择：魔术包安全唤醒密码

Copyright © 2025 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保该信息的准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户必须验证并测试其设计实现，以确认系统功能正常。

9.1 应用信息

DP83826 是一个单端口 10/100Mbps 以太网 PHY，支持通过 MII 和 RMII 连接到以太网 MAC。对于与以太网介质的连接，通过 IEEE 802.3 定义的介质相关接口进行。

将该器件用于以太网应用时，必须满足特定要求才能够正常运行。以下各小节旨在帮助选择合适的元件并完成所需的电路连接。

备注

有关在采用通用标准以太网引脚排列的现有系统中使用 DP83826 基本模式的分步方法，请参阅 SNLA338

9.2 典型应用

下图显示了 DP83826 的典型应用。

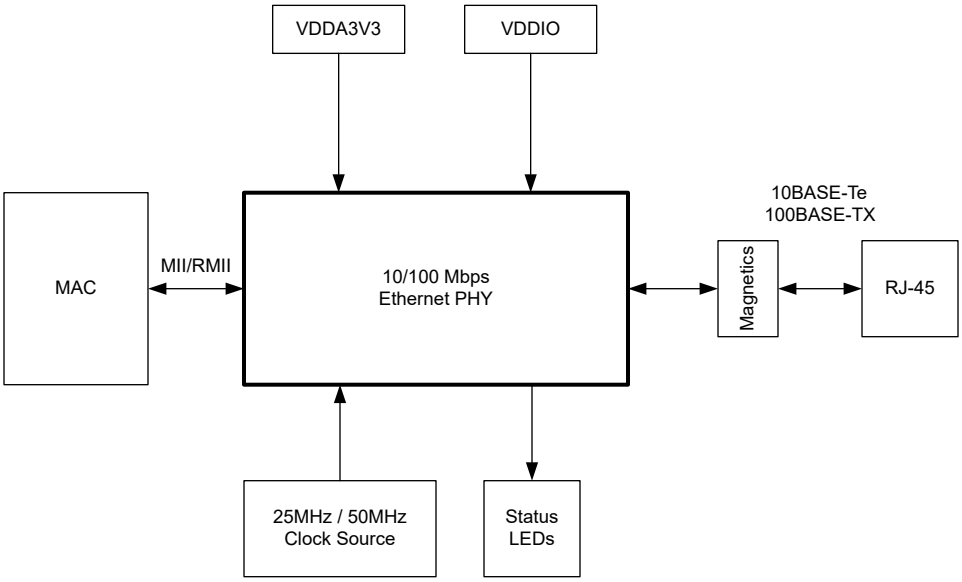


图 9-1. DP83826 典型应用

9.2.1 双绞线接口 (TPI) 网络电路

图 9-2 为推荐的 10Mbps 或 100Mbps 的双绞线接口网络电路。如果 PCB 和元件特性发生变化，则需要测试应用，以验证电路是否满足预期应用的要求。

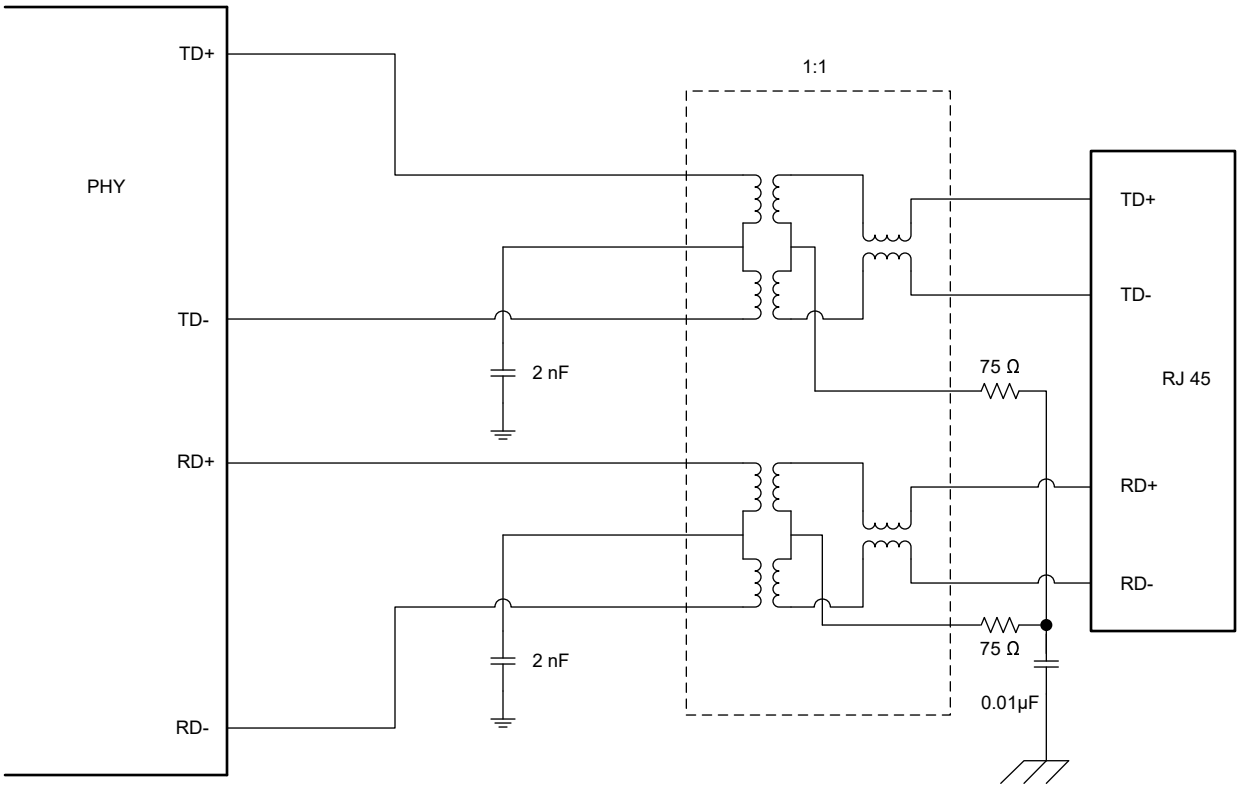


图 9-2. TPI 网络电路

9.2.2 变压器推荐

有关变压器建议，请参阅下文以了解变压器电气规格。

表 9-1. 变压器电气规范

参数	测试条件	典型值	单位
匝数比	±2%	1:1	-
插入损耗	1 至 100 MHz	-1	dB
回波损耗	1 至 30 MHz	-16	dB
	30 至 60 MHz	-12	dB
	60 至 80 MHz	-10	dB
差共模抑制比	1 至 50 MHz	-30	dB
	50 至 150 MHz	-20	dB
串扰	30MHz	-35	dB
	60MHz	-30	dB
隔离	HPOT	1500	Vrms

9.2.3 电容直流阻断

为了满足无变压器网络应用的运行要求，必须使用 图 9-3 中原理图所示的以下设计。

Copyright © 2025 Texas Instruments Incorporated

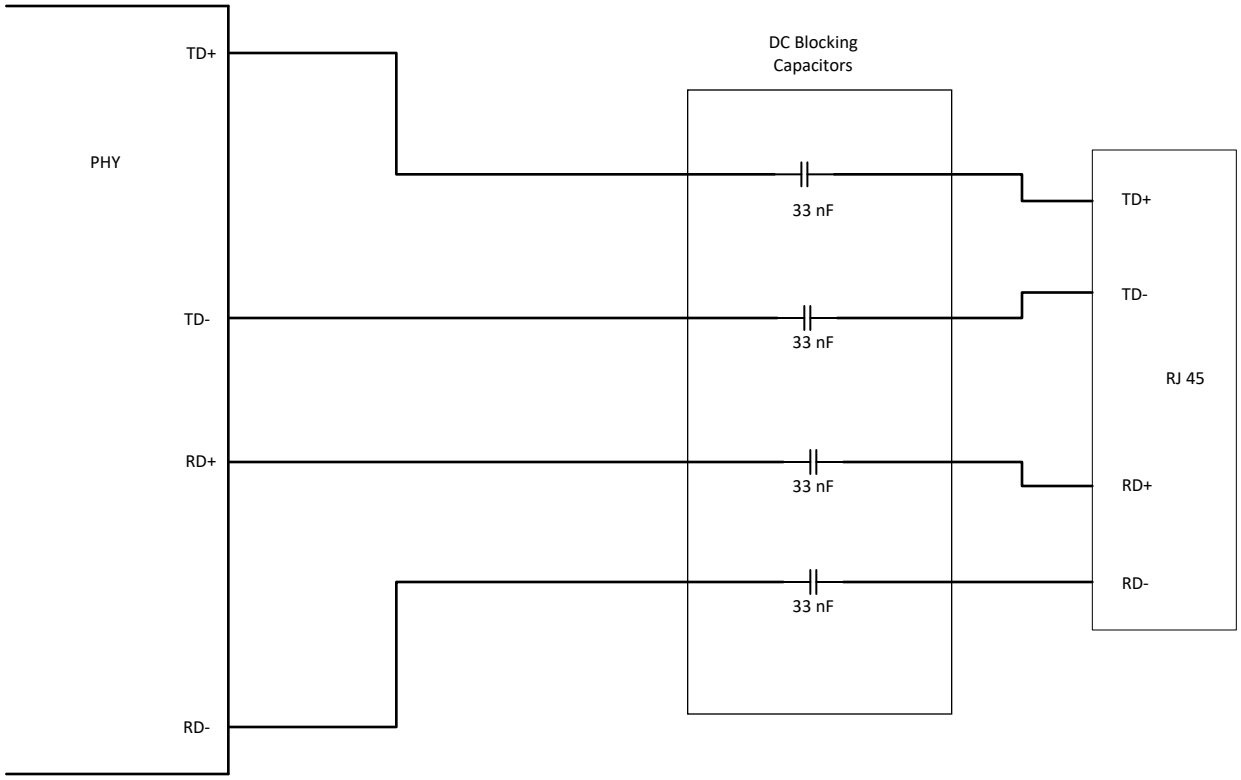


图 9-3. 无变压器直流阻断配置

9.2.4 设计要求

DP83826 在 TPI 操作模式下（100BASE-TX 或 10BASE-Te）的设计要求为：

- VDDA3V3 电源= 3.3V
- VDDIO 电源 = 3.3V 或 1.8V
- 基准时钟输入 = 25MHz 或 50MHz（RMII 从模式）

9.2.4.1 时钟要求

DP83826 支持外部 CMOS 级振荡器源或带有外部晶体的内部振荡器。

9.2.4.1.1 振荡器

如果采用外部时钟源，将 XI 连接至时钟源，XO 保持悬空状态。振荡器时钟的幅度必须为 VDDIO 的额定电压。

9.2.4.1.2 晶体

如果利用晶振运行，建议使用 25MHz 的并联谐振 20pF 负载晶体。有关晶体谐振器电路的典型连接图，请参阅 图 9-4。负载电容值因晶体供应商而异；请咨询供应商以了解建议的负载。有关更多详细信息，请参阅应用报告：*《德州仪器 (TI) 以太网物理层收发器的晶体选择和规格》*。

Copyright © 2025 Texas Instruments Incorporated

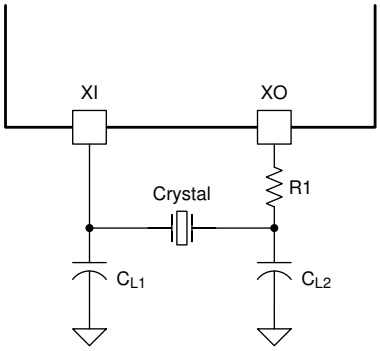


图 9-4. 晶体振荡器电路

表 9-2. 25MHz 晶体规格

参数	测试条件	最小值	典型值	最大值	单位
频率			25		MHz
频率容差	包括工作温度、老化等因素	-50		50	ppm
负载电容			15	40	pF
ESR				50	Ω

9.2.5 详细设计过程

9.2.5.1 MII 布局指南

1. MII 信号为单端信号
2. 使用 50Ω 接地阻抗进行布线
3. 应尽量缩短布线长度，建议长度小于 2 英寸 (5cm)，最大长度小于 6 英寸 (15cm)

9.2.5.2 RMII 布局指南

- RMII 信号为单端信号
- 使用 50Ω 接地阻抗进行布线
- 应尽量缩短布线长度，建议长度小于 2 英寸 (5cm)，最大长度小于 6 英寸 (15cm)

9.2.5.3 MDI 布局指南

- MDI 信号是差分信号。
- 使用 50Ω 接地阻抗和 100Ω 差分控制阻抗进行布线。
- 将 MDI 布线至同一层的变压器上。
- 使用金属屏蔽 RJ-45 连接器，并且以电气方式，将屏蔽层连接至机箱接地。
- 避免将电源或接地点规划在磁性元件下方。
- 请勿让电路接地平面与机箱接地平面重叠。通过在平面之间留出间隙的方式，将机箱接地变为隔离岛，以便确保机箱接地与电路接地相隔开。建议在机箱接地与电路接地之间连接一个 1206（大小）电容器，避免金属悬空。由于空气间隙非常小，小于 805（尺寸）的电容器能够产生拱形静电放电路径。

Copyright © 2025 Texas Instruments Incorporated

9.2.6 应用曲线

图 9-5 显示了 I/O 电源电压为 1.8V 和 3.3V 时的 DP83826 输出引脚驱动特性。

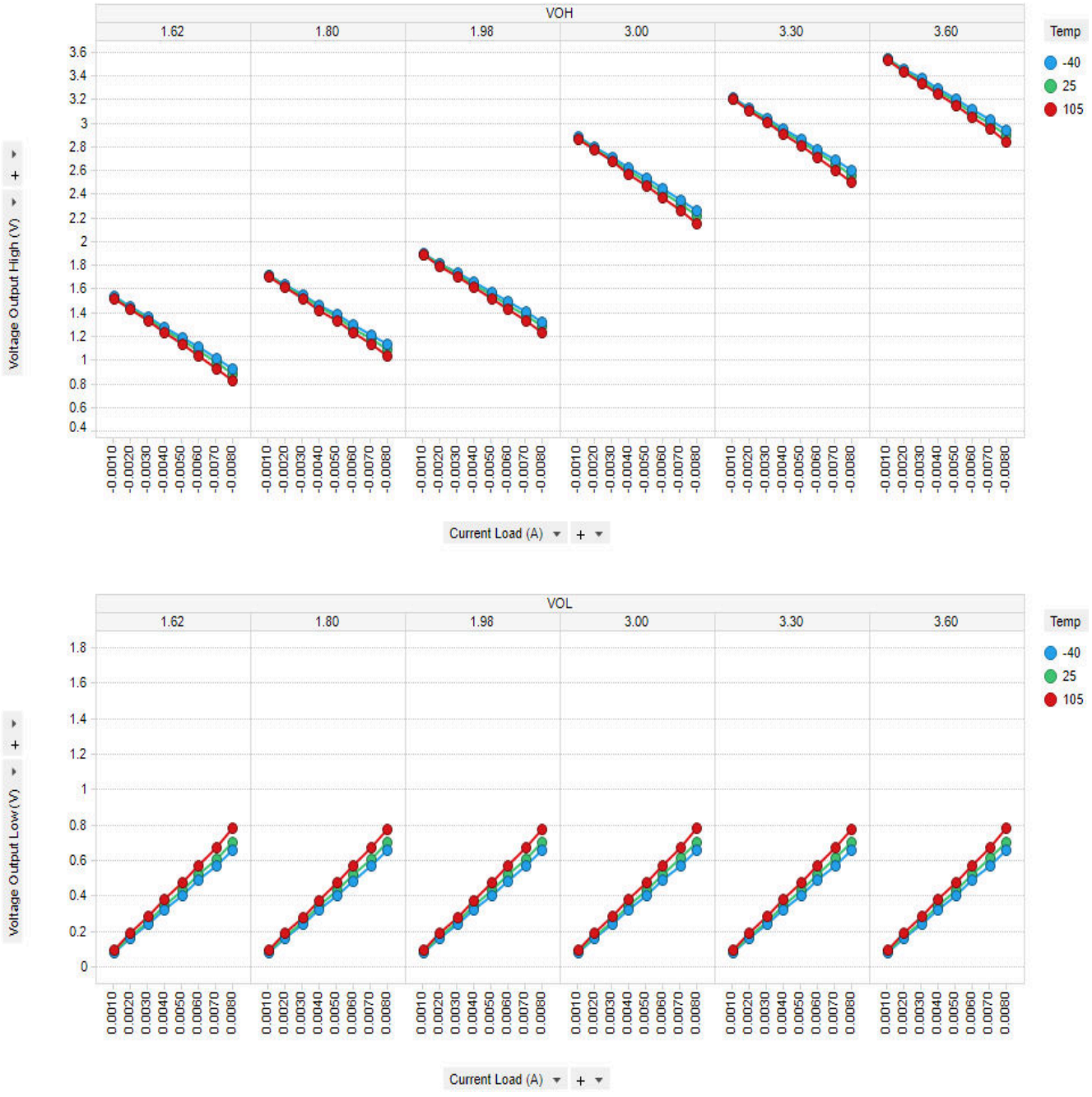


图 9-5. DP83826 输出引脚驱动特性

9.3 电源相关建议

DP83826 能够在 3.3V 或 1.8V I/O 电源电压以及 3.3V 模拟电源电压下工作。如果需要 3.3V I/O 电源电压，DP83826 也可以使用 3.3V 单电源轨供电。内部 LDO 生成器件运行所需的所有电源轨。单电压电源简化了设计要

求，降低了 BOM 成本和整体解决方案尺寸，使 DP83826 成为适合各种应用的可行解决方案。建议电源去耦网络如下所示：

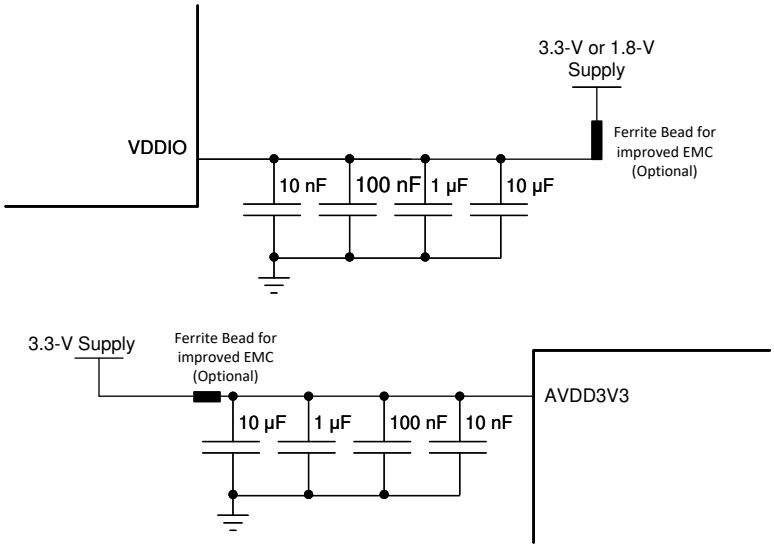


图 9-6. 电源去耦建议

9.4 布局

9.4.1 布局指南

请参阅 DP83826EVM。

9.4.1.1 信号布线

PCB 布线存在损耗，长布线会降低信号质量。应使所有布线尽可能短。除非另有说明，否则所有信号布线必须为 50Ω 单端阻抗。差分布线必须为 100Ω 差分阻抗。确保阻抗始终可控。阻抗不连续性会产生反射，从而导致发射和信号完整性问题。对于所有信号布线（特别是差分信号对），必须避免出现残桩。

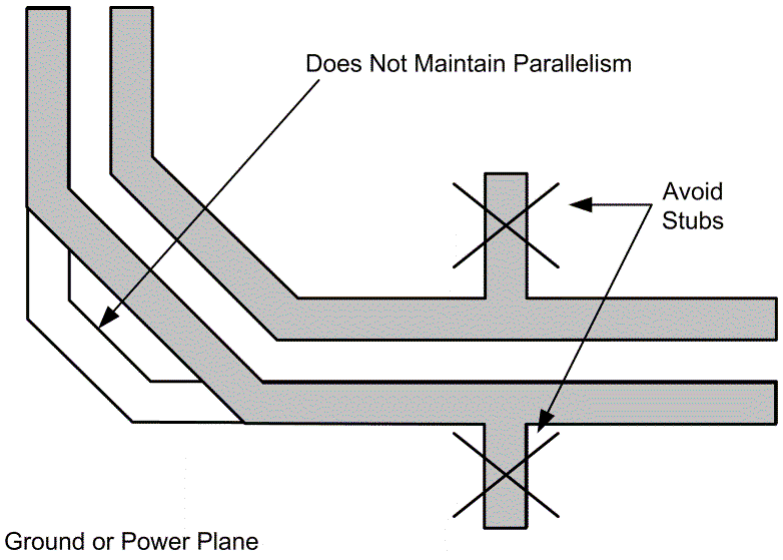


图 9-7. 差分信号布线

Copyright © 2025 Texas Instruments Incorporated

在差分对内，布线必须相互平行，长度匹配。匹配的长度可充分减小延迟差异，避免增加共模噪声和发射。长度匹配对 MAC 接口连接也很重要。所有 MII 和 RMII 发送信号布线的长度必须相互匹配，所有 MII 和 RMII 接收信号布线的长度也必须相互匹配。

信号路径布线不得存在交叉或过孔情形。过孔会导致阻抗不连续情形发生，必须最大限度减少过孔情形。在同一层布线差分信号对。不同层的信号之间至少要有一个返回路径平面，否则不得存在交叉情形。差分对之间必须始终保持恒定的耦合距离。为提高便利性和效率，TI 建议首先布线关键信号（即 MDI 差分对、基准时钟和 MAC IF 布线）。

9.4.1.2 返回路径

一般情况下，在所有 MDI 信号布线下方都设置实心返回路径是可取的做法。该返回路径可以是连续接地平面或直流电源平面。减小返回路径宽度可能会影响信号布线阻抗。如果返回路径宽度与信号布线宽度相当，这种影响就更加明显。无论如何，避免信号布线之间的返回路径中断。穿过分离平面的信号不仅可能导致返回路径电流不可预测，还可能影响信号质量，导致发射问题。

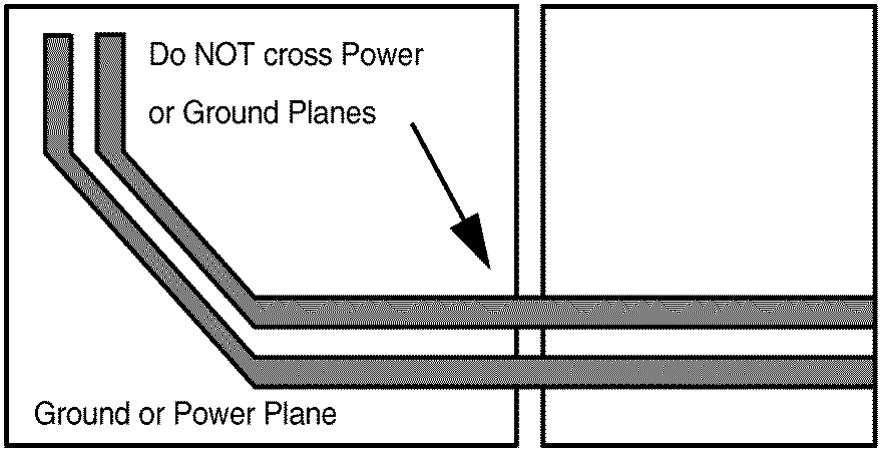


图 9-8. 差分信号对和平面交叉

9.4.1.3 变压器布局

变压器下方不得有金属层。变压器会将噪声注入下方金属，从而影响系统的性能。具体请参阅图 9-2。

9.4.1.4 金属浇注

所有非信号或电源的金属浇注都必须接地。系统中不得有悬空金属，差分布线之间不得有金属。

9.4.1.5 PCB 层堆叠

为满足信号完整性和性能要求，建议至少使用四层 PCB。但是，尽可能使用六层 PCB。

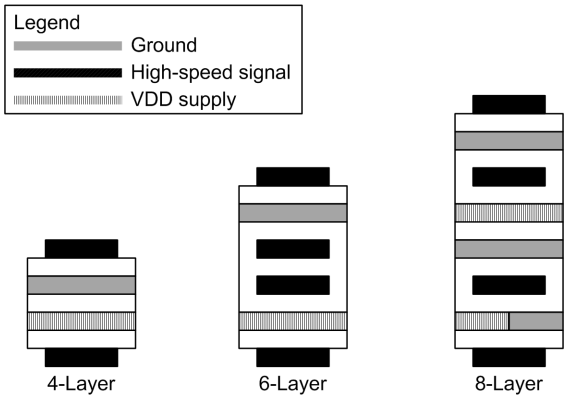


图 9-9. 建议的层堆叠

9.4.1.5.1 布局示例

如需了解布局的更多相关信息，可参阅 DP83826EVM。

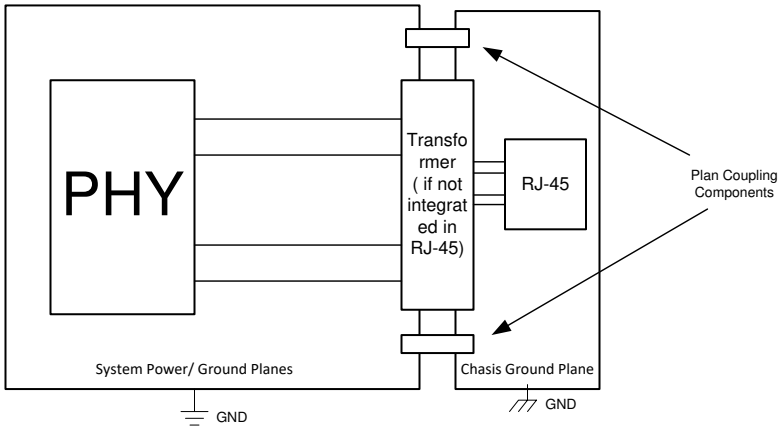


图 9-10. 布局示例

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 相关文档

请参阅以下相关文档：

时域反射法与 DP83826

DP83826 疑难解答指南

《德州仪器 (TI) 以太网物理层收发器的晶体选择和规格》

《以太网产品相关首字母缩略词的中英文定义》

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

10.4 商标

魔术包™ is a trademark of Advanced Micro Devices, Inc..
EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision H (May 2025) to Revision I (August 2025)	Page
• 将 VOL_3V3 从 0.8V 的最大值更新为 0.4V 的最大值	10
• 更新 100M MII 接收时序	10
• 将 25MHz 和 50MHz 时钟频率容差从 +/-100ppm 更新为 +/-50ppm	10
• 从协调器更改为主模式	10
• 在基本模式 *PHY 地址配置 (strap)* 表中，当模式 = 1 时，将 PHY_ADD0 = 0 更改为 PHY_ADD0 = 1	51
• 更新了寄存器 0x1E 位 14 说明	52
• 删除了表 9-1 建议使用的变压器，因为它们已被淘汰	96
• 将时钟频率 ppm 从 +/-100ppm 更新为 +/-50ppm	96

Changes from Revision G (July 2023) to Revision H (May 2025)	Page
• 通篇将 master（主）更改为相似词 leader（主）	1
• 通篇将 slave（从）更改为 follower（从）	1
• 将引脚 21 类型从“活动”更改为 I 至活动：I/O	4

Copyright © 2025 Texas Instruments Incorporated

- 将引脚 21 类型从“活动”更改为 I 至活动：O
- 将 *RMII 接收时序*图中的 T2 更改为 T4
- 在基本模式下，将 LED 下拉电阻器从 5k 更改为 1.5k
- 添加 LED 示例配置 (strap) 连接
- 将 master/slave（主/从）更新为相近词 leader/follower（主/从）
- 在基本模式 *PHY 地址配置 (strap)* 表中，当模式 = 0 时，将 PHY_ADD0 从 PHY_ADD0 = 0 更改为 PHY_ADD0 = 1
- 在基本模式 *PHY 地址配置 (strap)* 表中，当模式 = 1 时，将 PHY_ADD0 从 PHY_ADD0 = 1 更改为 PHY_ADD0 = 0

Changes from Revision F (November 2022) to Revision G (July 2023) **Page**

- 调整了表格，以阐明器件性能的准确表示
- 更正了引脚 16 的复位状态。阐明了引脚 31 功能。
- 调整了引脚 20 和 21 的说明
- 阐明了如何禁用 CLKOUT
- 调整了指向应用手册的超链接
- 修订了用于控制 FLD 相应机制的配置的说明。简化了表说明。
- 更新了流程图
- 阐明了 Strap6 和 Strap1 都只在 POR 时被锁存
- 整合和阐明了 MAC 模式选择配置 (strap) 表
- 更新了器件寄存器
- 更新了链接

Changes from Revision E (February 2022) to Revision F (November 2022) **Page**

- 更正了 RX_D3 和 LED0 的复位状态
- 更新了热指标
- 调整了*上电时序（电源时序）*图
- 调整后的 *RMII 中继器模式：主-从模式*和 *RMII 中继器模式：从-从模式*图
- 阐明了 MDIO 上拉电阻的阻值
- 将内部 PU 引脚的 Rlo strap 配置更改成了 1.5kΩ。添加了电阻值的建议容差。
- 添加了*增强型自举流程*图
- 更正了增强模式下的 Strap0 默认值和功能
- 更新了器件寄存器
- 调整了*变压器推荐的*位置

Changes from Revision D (October 2020) to Revision E (February 2022) **Page**

- 引脚 31 的默认值更改为 LED1，在硬件自举差异表中添加了奇半字节检测和 FLD 检测机制
- 在引脚 28 中添加了 TX_ER
- 引脚 31 的默认设置更改为 LED1
- 引脚 31 的默认值更改为 LED1，更新了引脚 16 和引脚 31 的值为 PU
- 添加了快速链路丢失模式表，更新了包含的规格中快速链路丢失功能的说明（增强模式和基本模式之间的不同默认值），添加了 strap8 说明
- 添加了 LED1/0 为自动极性（增强型），默认为低电平有效（基本）的说明

Copyright © 2025 Texas Instruments Incorporated

- 添加了奇半字节检测表，向 MII MAC 模式配置 (strap) 表中添加了 strap7 和 strap1 交互，向 strap8 添加了信号能量替代功能 49
- 引脚 31 的默认值更改为 LED1，引脚 16 的默认值更改为半双工 51
- TPI 网络上限更新 96

Changes from Revision C (July 2020) to Revision D (October 2020) **Page**

- 更新了“电气特性”表 10
- 增加的部分 96

Changes from Revision B (March 2020) to Revision C (July 2020) **Page**

- 添加了 SNLA338 应用手册的链接 3
- 添加了 SNLA338 链接 24
- 节能以太网部分 26
- “EEE 概述”部分 26
- “EEE 协商”部分 26
- 为不支持 802.3az 的旧 MAC 添加了 EEE 27
- 更新了器件寄存器 52
- 添加了 SNLA338 应用手册的链接 95

Changes from Revision A (February 2020) to Revision B (March 2020) **Page**

- 还在“电气”部分中添加了 DP83826I 温度范围 1
- 向“器件系列信息”表添加了 DP83826I 1

Changes from Revision * (January 2020) to Revision A (February 2020) **Page**

- 添加了指向 DP83826EVM 用户指南的链接 1
- 删除了 表 4-2 中的引脚 18 3
- 更改了增强模式引脚映射和引脚功能表以匹配引脚名称 4
- 更改了基本模式引脚映射和引脚功能表以匹配引脚名称 7
- 从引脚功能 (基本模式) 中删除了“该引脚可在 RMII 模式下配置为 RX_DV 以启用 RMII 中继器模式。” 7
- 添加了 *100BASE-TX 发送延迟时序*图 18
- 添加了 *100BASE-TX 接收延迟时序*图 18
- 在 节 8.3.8 中添加了通过寄存器配置禁用 CLKOUT 的步骤 30
- 删除了 节 8.3.11 和 节 8.3.11.1 中提及的“第 45 条” 34
- 删除 节 8.3.14.5 中的“模拟环回需要在 RJ45 的引脚 1 与引脚 2 之间进行 100Ω 端接，以及在 RJ45 的引脚 3 与引脚 6 之间进行 100Ω 端接。” 41
- 在 *MAC 模式选择配置 (strap) 表*中添加了 RMII 从模式配置行 51

Copyright © 2025 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DP83826ERHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	826E
DP83826ERHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	826E
DP83826ERHBT	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	826E
DP83826ERHBT.A	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	826E
DP83826IRHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	826I
DP83826IRHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	826I
DP83826IRHBT	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	826I
DP83826IRHBT.A	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	826I

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

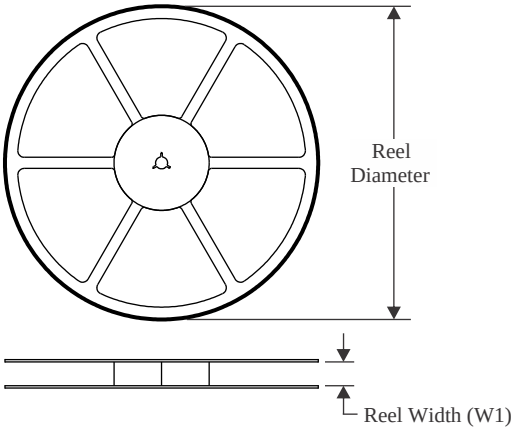
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

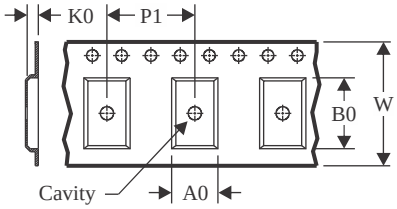
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

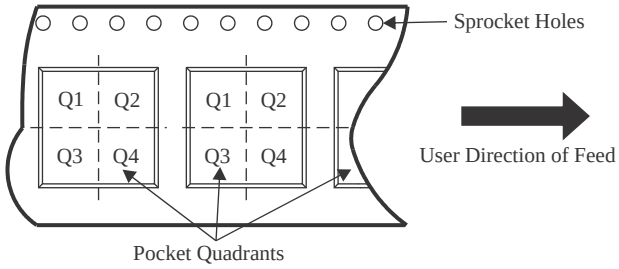


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

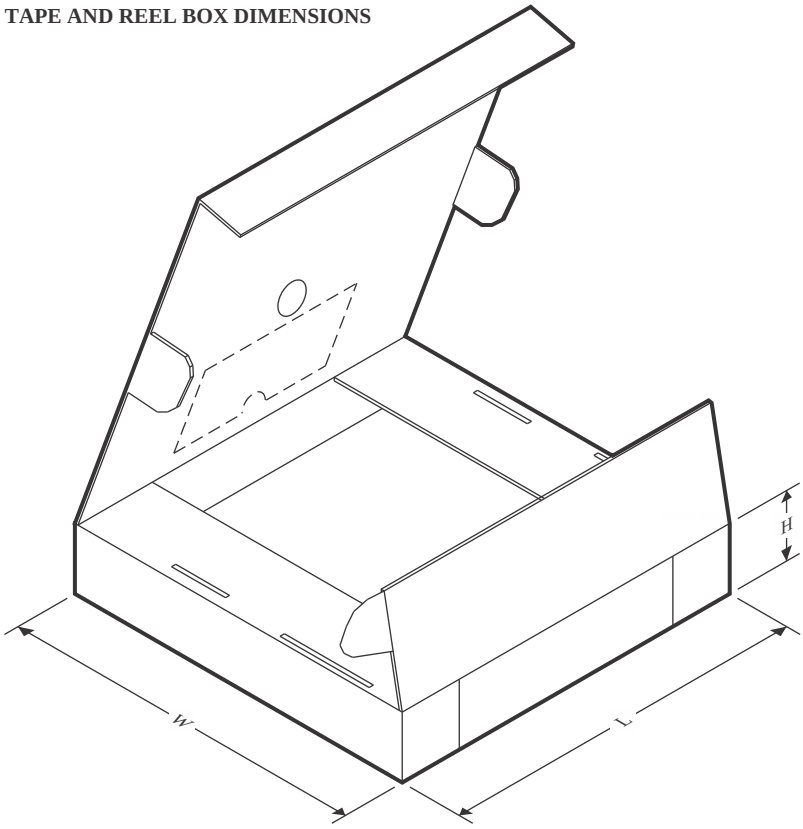
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83826ERHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DP83826ERHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DP83826IRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DP83826IRHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83826ERHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
DP83826ERHBT	VQFN	RHB	32	250	210.0	185.0	35.0
DP83826IRHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
DP83826IRHBT	VQFN	RHB	32	250	210.0	185.0	35.0

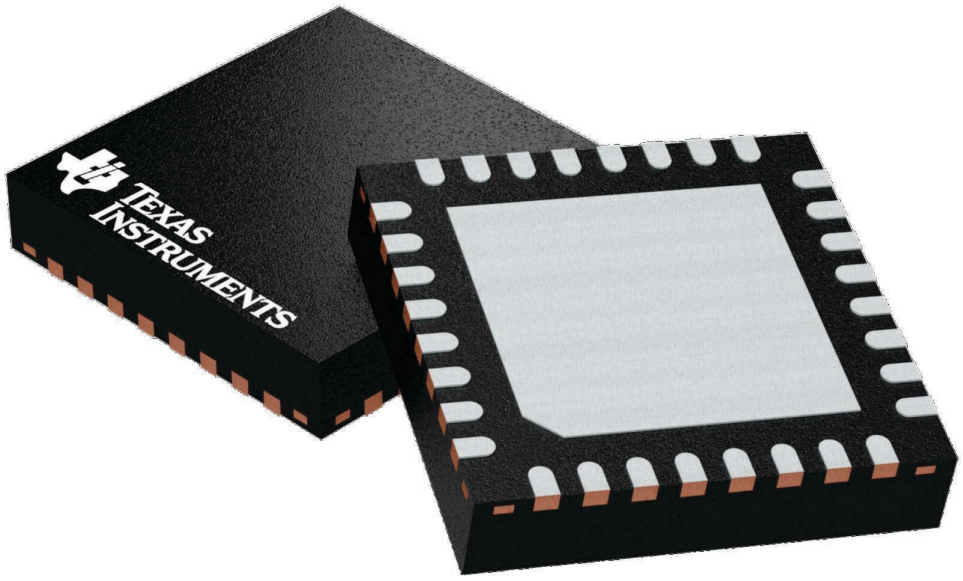
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

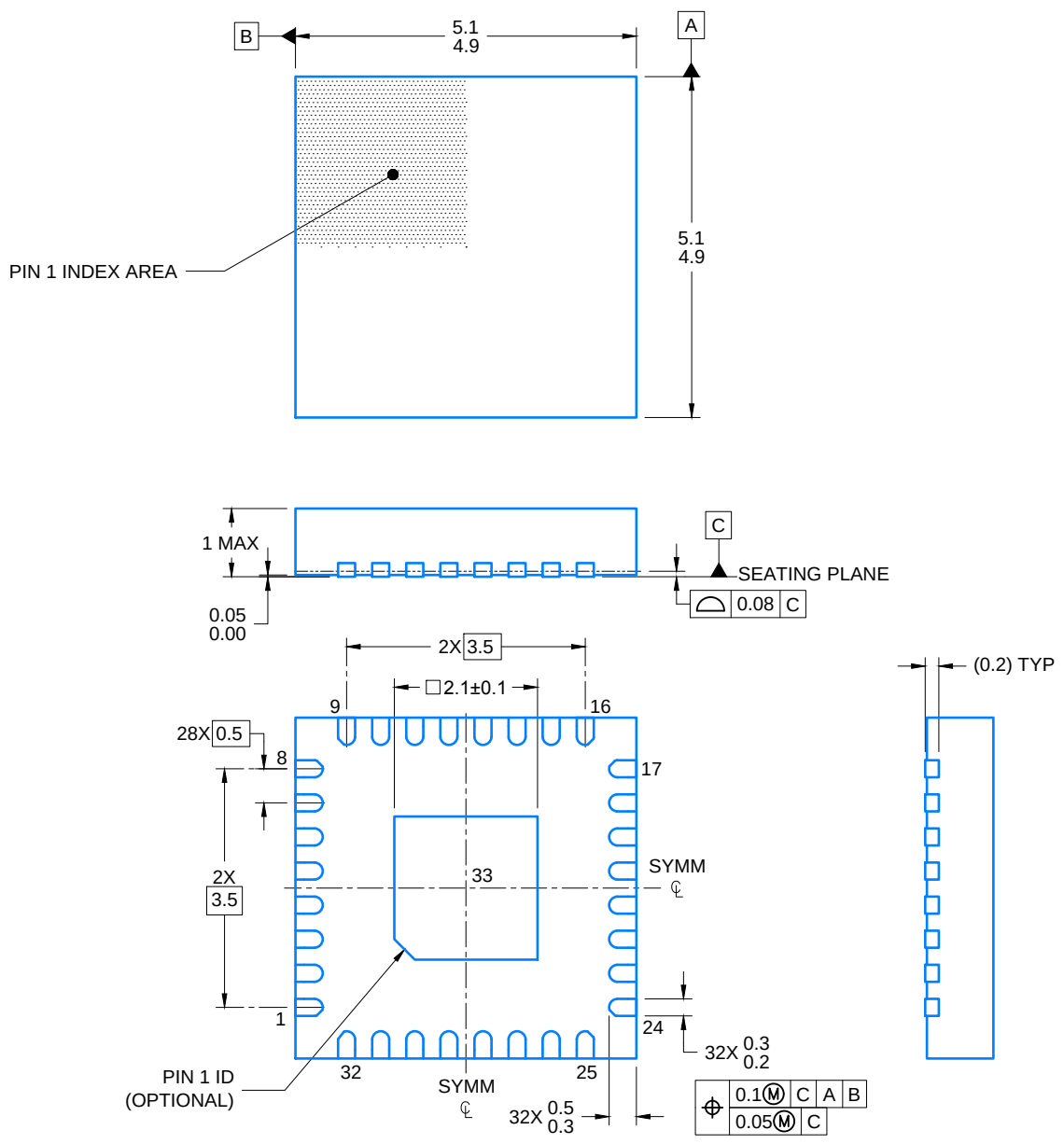
4224745/A

PACKAGE OUTLINE

RHB0032M

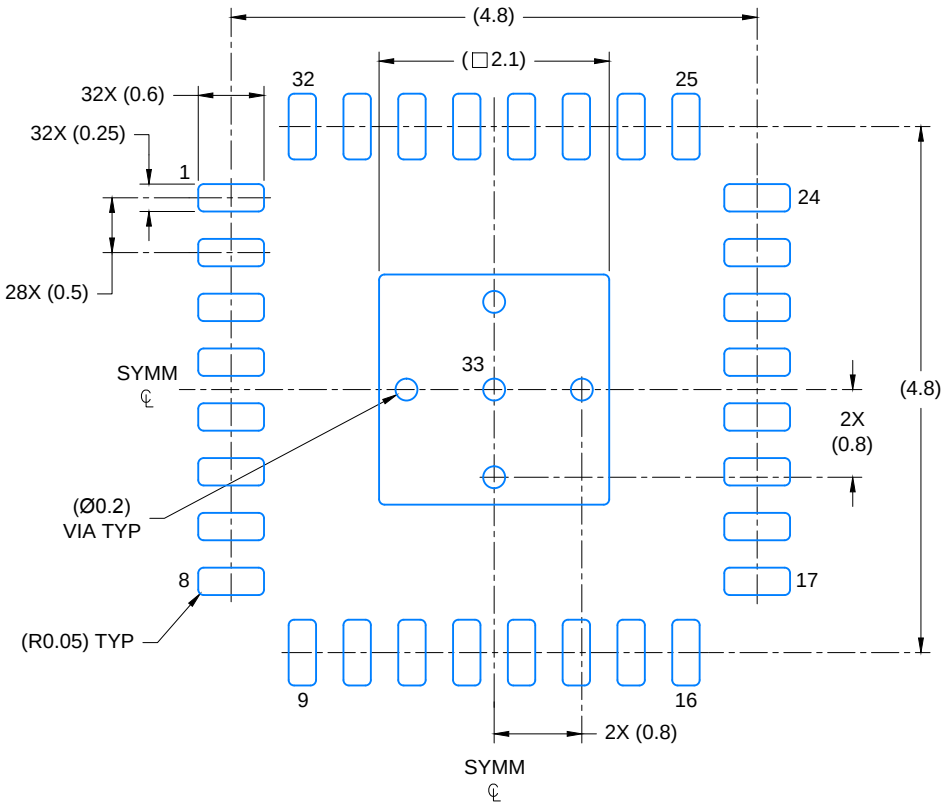
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

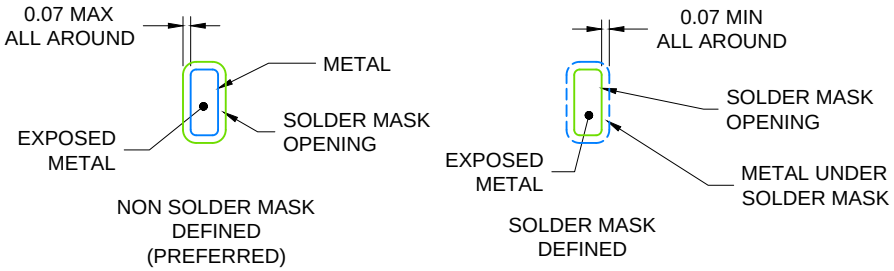


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

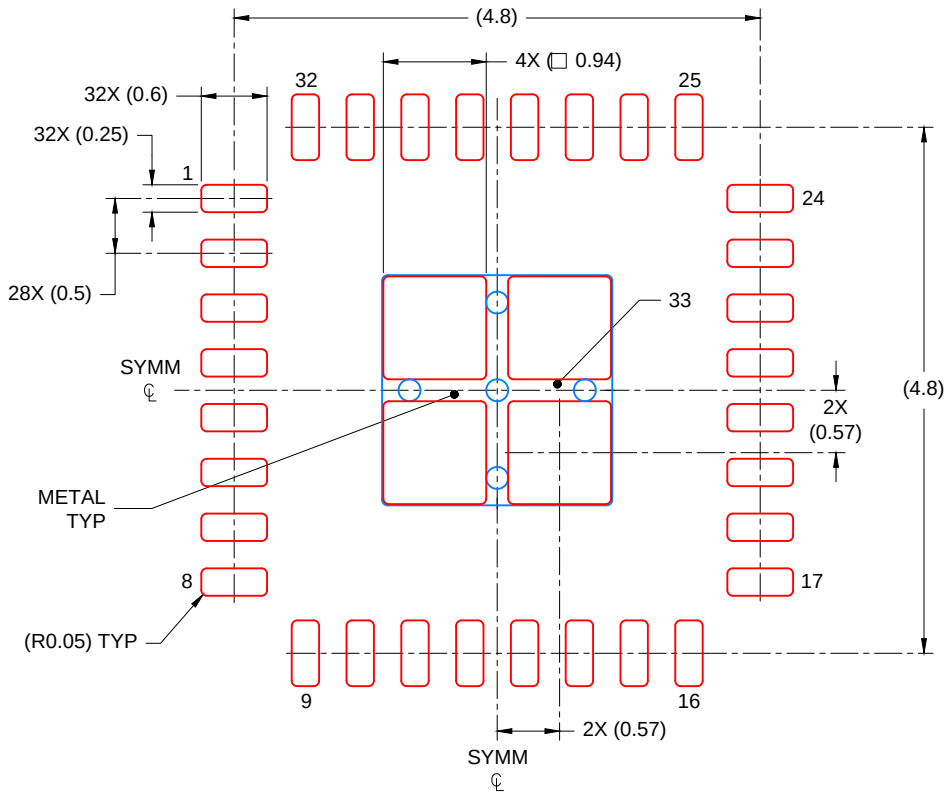


SOLDER MASK DETAILS

4223725/A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED COVERAGE BY AREA
SCALE: 15X

4223725/A 08/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月