

用于车门控制的 DRV8002-Q1 汽车类高度集成多功能驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C， T_A
- 以功能安全合规型为目标
 - 专为功能安全应用开发
 - 用于辅助 ISO26262 系统设计的文档
 - 系统完整性高达 ASIL D 级
 - 硬件完整性高达 ASIL B 级
- 5V 至 35V (最大绝对值为 40V) 工作电压范围
- H 桥或双通道半桥栅极驱动器
 - 智能栅极驱动架构
 - 三倍电荷泵可实现 100% PWM
 - 宽共模电流分流放大器
- 1 个集成半桥， I_{OUT} 最大为 8A ($R_{DS(on)} = HS + LS$ FET = 155m Ω)
- 1 个集成半桥， I_{OUT} 最大为 7A ($R_{DS(on)} = HS + LS$ FET = 185m Ω)
- 2 个集成半桥， I_{OUT} 最大为 4A ($R_{DS(on)} = HS + LS$ FET = 440m Ω)
- 2 个集成半桥， I_{OUT} 最大为 1.3A 负载 ($R_{DS(on)} = HS + LS$ FET = 1540m Ω)
- 1 个可配置的集成高侧驱动器，可用作灯或 LED 驱动器， I_{OUT} 最大为 1.5/0.5A ($R_{DS(on)} = 0.4/1.2\Omega$)
- 5 个可配置的集成高侧驱动器，适用于 0.5/0.25A 负载 ($R_{DS(on)} = 1.2\Omega$)
- 用于高侧驱动器的内部 10 位 PWM 发生器
- 所有高侧驱动器均支持低电流或高电流阈值恒定电流模式，以驱动各种 LED 模块
- 集成驱动器输出具有电流调节功能 (ITRIP)
- 可多路复用的检测输出 (IPROPI)
 - 具有比例电流输出 (IPROPI) 的内部电流检测
 - 具有多个热仪表组的高级芯片温度监控
 - 电机电源电压监控器
- 具有可配置故障行为的保护和诊断性能
 - 在断开状态和导通状态下进行负载诊断，以检测开路负载和短路
 - 和过热保护
- 器件比较表

2 应用

- 车门模块
- 车身控制模块
- 区域模块

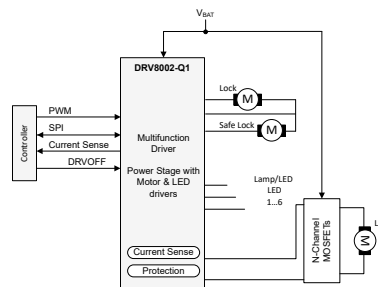
3 说明

DRV8002-Q1 器件集成了多个特定于车门控制的功能：驱动和诊断电机（电感）、电阻和容性负载，驱动灯或 LED。这些驱动器具有多项用于离线和有源诊断的保护功能，例如欠压和过压监控、离线开路负载和短路诊断以及基于区域的热监控和关断保护。该器件具有两个半桥栅极驱动器、6 个集成半桥（2 个高侧交替模式）和 6 个集成高侧驱动器。半桥和高侧驱动器具有 PWM 输入控制配置、检测、诊断和器件系统保护功能。每个高侧驱动器都有一个专用的内部可编程 PWM 发生器。所有集成驱动器均可提供比例电流传感引脚输出，同时为栅极驱动器配备了强大而灵活的电流分流放大器。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值) ⁽²⁾
DRV8002-Q1	VQFN (48)	7.00mm × 7.00mm

- 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



内容

1 特性	1	8.1 DRV8000-Q1_STATUS 寄存器.....	70
2 应用	1	8.2 DRV8000-Q1_CNFG 寄存器.....	80
3 说明	1	8.3 DRV8000-Q1_CTRL 寄存器.....	117
4 器件比较	3	9 应用和实施	127
5 引脚配置和功能	4	9.1 应用信息.....	127
6 规格	7	9.2 典型应用.....	127
6.1 绝对最大额定值.....	7	9.3 初始化设置.....	130
6.2 ESD 等级 - 汽车.....	8	9.4 电源相关建议.....	130
6.3 建议运行条件.....	8	9.5 布局.....	131
6.4 热性能信息 RGZ 封装.....	8	10 器件和文档支持	134
6.5 电气特性.....	8	10.1 接收文档更新通知.....	134
6.6 时序要求.....	21	10.2 支持资源.....	134
7 详细说明	23	10.3 商标.....	134
7.1 概述.....	23	10.4 静电放电警告.....	134
7.2 功能方框图.....	24	10.5 术语表.....	134
7.3 外部组件.....	24	11 预量产版修订历史记录	134
7.4 特性说明.....	25	12 机械、封装和可订购信息	134
7.5 编程.....	64	12.1 封装选项附录.....	139
8 DRV8002-Q1 寄存器映射	67	12.2 卷带包装信息.....	140

4 器件比较

表 4-1. 器件比较

器件名称	H 桥栅极驱动器	半桥驱动器	高侧驱动器	灯/LED HS 驱动器	EC 栅极驱动器	加热器 HS 栅极驱动器	电流分流放大器	封装
DRV8000-Q1	1x	6x	5x	1x	1x	1x	1x	7x7 QFN-48 可湿性侧面
DRV8001-Q1	X	6x	5x	1x	1x	1x	X	6x6 QFN-40 可湿性侧面
DRV8002-Q1	1x	6x	5x	1x	X	X	1x	7x7 QFN-48 可湿性侧面

表 4-2. 器件订购信息

器件	预量产器件型号	可订购器件型号	EVM
DRV8000-Q1	PDRV8000QWRGZRQ1	DRV8000QWRGZRQ1	DRV8000-Q1EVM
	P2DRV8000QWRGZRQ1		
DRV8001-Q1	PDRV8001QWRHARQ1	DRV8001QWRHARQ1	DRV8001-Q1EVM
DRV8002-Q1	PDRV8002QRGZRQ1	DRV8002QWRGZRQ1	DRV8000-Q1EVM
	P2DRV8002QWRGZRQ1		

5 引脚配置和功能

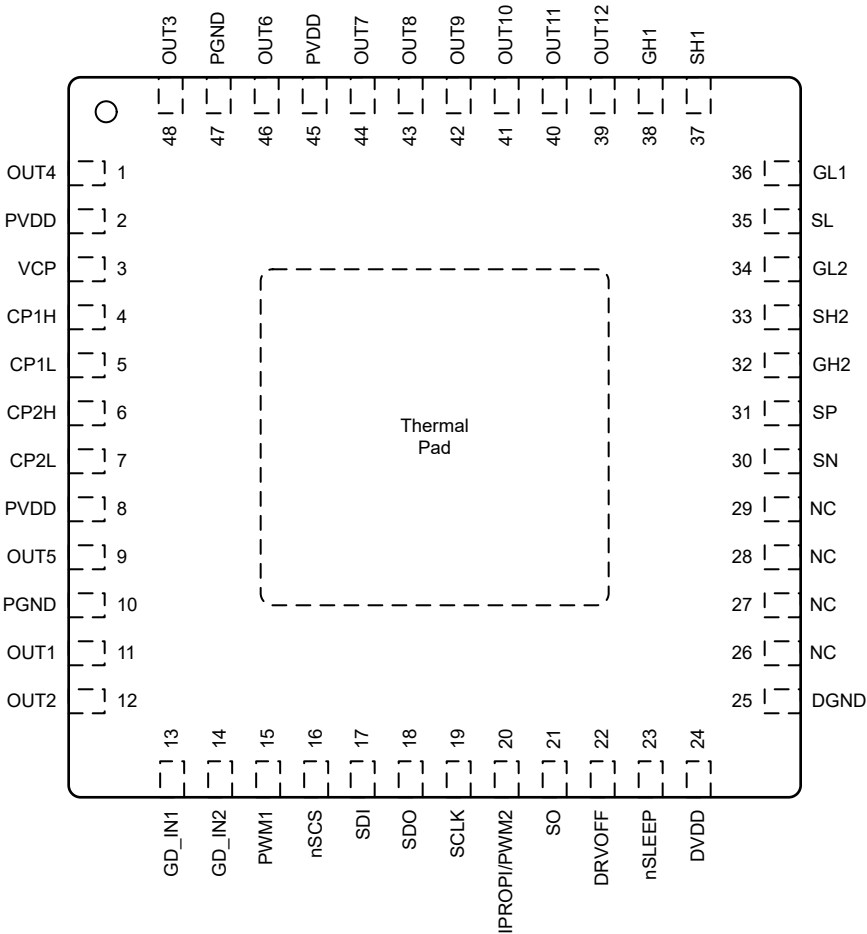


图 5-1. VQFN (RGZ) 48 引脚封装和引脚功能

表 5-1. 引脚功能

引脚		I/O ⁽¹⁾	类型	说明
编号	名称			
1	OUT4	O	电源	440mΩ 半桥输出 4。
2	PVDD	I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1 μF、额定电压为 PVDD 的陶瓷电容器和大于或等于 10 μF 的局部大容量电容。
3	VCP	I/O	电源	电荷泵输出。在 VCP 和 PVDD 引脚之间连接一个 1 μF、16V 陶瓷电容器。
4	CP1H	I/O	电源	电荷泵开关节点。在 CP1H 引脚和 CP1L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
5	CP1L	I/O	电源	
6	CP2H	I/O	电源	电荷泵开关节点。在 CP2H 引脚和 CP2L 引脚之间连接一个 100nF、额定电压为 PVDD 的陶瓷电容器。
7	CP2L	I/O	电源	
8	PVDD	I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1μF、额定电压为 PVDD 的陶瓷电容器和大于或等于 10μF 的局部大容量电容。
9	OUT5	O	电源	155mΩ 半桥输出 5。
10	PGND	I/O	接地	器件接地。连接到系统地。
11	OUT1	O	电源	1.54 Ω 半桥输出 1。

表 5-1. 引脚功能 (续)

引脚		I/O ⁽¹⁾	类型	说明
编号	名称			
12	OUT2	O	电源	1.54 Ω 半桥输出 2。
13	GD_IN1	I	数字	半桥和 H 桥控制输入 1。
14	GD_IN2	I	数字	半桥和 H 桥控制输入 2。
15	PWM1	I	数字	用于对所有驱动器进行调节的 PWM 输入 1。
16	nSCS	I	数字	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。内部上拉电阻。
17	SDI	I	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。内部下拉电阻。
18	SDO	O	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
19	SCLK	I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部下拉电阻。
20	IPROPI/PWM2	I/O	模拟	检测输出从任何驱动器负载电流反馈、PVDD 电压反馈或热仪表组温度反馈进行多路复用。也可针对半桥驱动器配置为第二个 PWM 引脚输入。
21	SO	O	模拟	分流放大器输出。
22	DRVOFF	I	模拟	栅极驱动器关断引脚。置为逻辑高电平可将高侧和低侧栅极驱动器输出拉低。内部下拉电阻。
23	nSLEEP	I	模拟	器件使能引脚。置为逻辑低电平可关断器件并进入睡眠模式。内部下拉电阻。
24	DVDD	I	电源	器件逻辑和数字输出电源输入。建议在 DVDD 和 GND 引脚之间连接一个 1.0 μ F、6.3V 的陶瓷电容器。
25	DGND	I/O	接地	器件接地。连接到系统地。
26	NC	I/O	电源	保留。通过一个 10k Ω 电阻将该引脚连接到 GND。
27	NC	O	模拟	保留。
28	NC	I	模拟	保留。
29	NC	O	模拟	保留。
30	SN	I	模拟	放大器负输入。连接到分流电阻器的负端子。不建议对分流放大器的输入端进行额外滤波。
31	SP	I	模拟	放大器正输入。连接到分流电阻器的正端子。不建议对分流放大器的输入端进行额外滤波。
32	GH2	O	模拟	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
33	SH2	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
34	GL2	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
35	SL	I	模拟	低侧 MOSFET 栅极驱动感测和电源返回。通过指向低侧 MOSFET 接地回路的低阻抗路径连接到系统接地端。
36	GL1	O	模拟	低侧栅极驱动器输出。连接到低侧 MOSFET 的栅极。
37	SH1	I	模拟	高侧源极感测输入。连接到高侧 MOSFET 源极。
38	GH1	O	电源	高侧栅极驱动器输出。连接到高侧 MOSFET 的栅极。
39	OUT12	O	电源	1.2 Ω 高侧驱动器输出 12。连接到低侧负载。
40	OUT11	O	电源	1.2 Ω 高侧驱动器输出 11。可配置为 EC 驱动器的 SC 保护开关。连接到低侧负载。
41	OUT10	O	电源	1.2 Ω 高侧驱动器输出 10。连接到低侧负载。
42	OUT9	O	电源	1.2 Ω 高侧驱动器输出 9。连接到低侧负载。
43	OUT8	O	电源	1.2 Ω 高侧驱动器输出 8。连接到低侧负载。
44	OUT7	O	电源	具有可配置的 $R_{DS(on)}$ (400m Ω /1200m Ω) 的高侧驱动器输出。连接到低侧负载。

表 5-1. 引脚功能 (续)

引脚		I/O ⁽¹⁾	类型	说明
编号	名称			
45	PVDD	I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1 μ F、额定电压为 PVDD 的陶瓷电容器和大于或等于 10 μ F 的局部大容量电容。
46	OUT6	O	电源	185m Ω 半桥输出 6。
47	PGND	I/O	接地	器件接地。连接到系统地。
48	OUT3	O	电源	440m Ω 半桥输出 3。

(1) I = 输入, O = 输出

6 规格

6.1 绝对最大额定值

在工作温度范围内 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源引脚电压	PVDD	-0.3	40	V
电源瞬态电压斜坡	PVDD		2	V/μs
数字逻辑电源电压斜坡	DVDD		2	V/μs
接地引脚之间的电压差	GND、PGND	-0.3	0.3	V
电荷泵引脚电压	VCP	-0.3	PVDD + 15	V
电荷泵高侧引脚电压	CP1H	V _{PVDD} - 0.3	V _{VCP} + 0.3	V
电荷泵高侧引脚电压	CP2H	V _{PVDD} - 0.6	V _{VCP} + 0.3	V
电荷泵低侧引脚电压	CP1L、CP2L	-0.3	V _{PVDD} + 0.3	V
数字稳压器引脚电压	DVDD	-0.3	5.75	V
逻辑引脚电压	GD_INx、PWM1、IPROPI/PWM2、 DRVOFF、nSLEEP、SCLK、SDI、 nSCS	-0.3	5.75	V
输出逻辑引脚电压	SDO	-0.3	V _{DVDD} + 0.3	V
输出引脚电压	OUT1-OUT12	-0.3	V _{PVDD} + 0.9	V
输出电流	OUT1-OUT12	内部受限制	内部受限制	A
高侧驱动器 源极引脚最大能量耗散, T _J = 25°C, L _{LOAD} < 100μH	OUT7-OUT12	-	1	mJ
高侧栅极驱动引脚电压	GHx ⁽²⁾	-2	V _{VCP} + 0.3	V
高侧栅极驱动引脚 1 μs 瞬态电压	GHx ⁽²⁾	-5	V _{VCP} + 0.3	V
与 SHx 相关的高侧栅极驱动引脚电压	GHx ⁽²⁾	-0.3	13.5	V
高侧感测引脚电压	SHx ⁽²⁾	-2	40	V
高侧感测引脚 1 μs 瞬态电压	SHx ⁽²⁾	-5	40	V
低侧栅极驱动引脚电压	GLx ⁽²⁾	-2	13.5	V
低侧栅极驱动引脚 1 μs 瞬态电压	GLx ⁽²⁾	-3	13.5	V
与 SL 相关的低侧栅极驱动引脚电压	GLx ⁽²⁾	-0.3	13.5	V
低侧感测引脚电压	SL ⁽²⁾	-2	2	V
低侧感测引脚 1 μs 瞬态电压	SL ⁽²⁾	-3	3	V
栅极驱动电流	GHx、GLx	内部受限制	内部受限制	A
放大器输入引脚电压	SN、SP	-2	V _{VCP} + 0.3	V
放大器输入引脚 1 μs 瞬态电压	SN、SP	-5	V _{VCP} + 0.3	V
放大器输入差分电压	SN、SP	-5.75	5.75	V
放大器输出引脚电压	SO	-0.3	V _{DVDD} + 0.3	V
环境温度, T _A		-40	125	°C
结温, T _J		-40	150	°C
贮存温度, T _{stg}		-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用,器件可能不会完全正常运行,这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 与 GHx、SHx、GLx 或 SL 相关的 PVDD 不应超过 40V。当 PVDD 大于 35V 时,应限制 GHx、SHx、GLx 和 SL 上的负电压,以确保不超过此额定值。当 PVDD 低于 35V 时,可使用 GHx、SHx、GLx 和 SL 的完整负额定值。

6.2 ESD 等级 - 汽车

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 HBM ESD ⁽¹⁾ 分类等级 2	PVDD、OUT1 - OUT12、GND	±4000	V
			所有其他引脚	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚	±750	
			其他引脚	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在工作温度范围内 (除非另有说明)

				最小值	标称值	最大值	单位
V_{PVDD}	电源电压	PVDD		5		35	V
$I_{HS}^{(1)}$	高侧平均栅极驱动电流	GHx		0		15	mA
$I_{LS}^{(1)}$	低侧平均栅极驱动电流	GLx		0		15	mA
V_{DVDD}	逻辑输入电压	DVDD		3.1		5.5	V
V_{DIN}	数字输入电压	GD_INx、PWM1、IPROPI/PWM2、DRVOFF、SO、SCLK、SDI		0		5.5	V
I_{DOUT}	数字输出电流	SDO		0		5	mA
f_{PWM}	输入 PWM 频率	PWM1、IPROPI/PWM2		0		25	kHz
V_{IPROPI}	$V_{PVDD} > 7V$ 时的模拟输出电压	IPROPI (IPROPI/PWM2 引脚)		0		5.2	V
V_{IPROPI}	$V_{PVDD} < 7V$ 时的模拟输出电压	IPROPI (IPROPI/PWM2 引脚)		0		$V_{PVDD} - 1.8$	V
I_{SO}	分流放大器输出电流	SO		0		5	mA
T_A	工作环境温度			-40		125	°C
T_J	工作结温			-40		150	°C

(1) 必须遵循功率耗散和热限值。

6.4 热性能信息 RGZ 封装

热指标 ⁽¹⁾		RGZ 封装	单位
$R_{\theta JA}$	结至环境热阻	23.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	11.7	°C/W
$R_{\theta JB}$	结至电路板热阻	7.0	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	7.0	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	1.3	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 电气特性

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数	测试条件	最小值	典型值	最大值	单位
电源 (DVDD、VCP、PVDD)					

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
I_{PVDDQ}	PVDD 睡眠模式电流	$V_{PVDD} = 13.5V$, $nSLEEP = 0V$ $-40 \leq T_J \leq 85^{\circ}C$		3.5	5.5	μA
I_{DVDDQ}	DVDD 睡眠模式电流	$V_{PVDD} = 13.5V$, $nSLEEP = 0V$ $-40 \leq T_J \leq 85^{\circ}C$		3	4	μA
I_{PVDD}	PVDD 活动模式电流	$V_{PVDD} = 13.5V$, $nSLEEP = V_{DVDD}$		8.7	14.5	mA
I_{PVDD}	PVDD 活动模式电流, 减少选项。	$V_{PVDD} = 13.5V$, $nSLEEP = V_{DVDD}$; 倍压器模式下的电荷泵。		7	11.5	mA
I_{DVDD}	DVDD 活动模式电流	$SDO = 0V$		5	8.5	mA
I_{DVDD}	DVDD 有源模式电流, 减少选项	$SDO = 0V$; 倍压器模式下的电荷泵。		3.3	7	mA
$I_{PVDD_CP_DIS}$	PVDD 电荷泵禁用模式电流	$V_{PVDD} = 13.5V$, $DIS_CP = 1$, $EN_GD = 0$ $OUTx_EN = 0$		1.2	4.5	mA
$I_{DVDD_CP_DIS}$	DVDD 电荷泵禁用模式电流	$V_{PVDD} = 13.5V$, $DIS_CP = 1$, $EN_GD = 0$ $OUTx_EN = 0$		3.4	8.5	mA
t_{WAKE}	开通时间	$nSLEEP = V_{DVDD}$ 进入活动模式		670	850	μs
t_{SLEEP}	关断时间	$nSLEEP = 0V$ 进入睡眠模式			1	ms
$t_{DRVOFF_FLT_R}$	DRVOFF 信号置位的滤波时间	$DRVOFF = 0V$ 至 V_{DVDD}		15		μs
f_{VDD}	数字振荡器开关频率	展频的主频率	12.83	14.25	15.68	MHz
f_{VDD}	数字振荡器展频范围	中心在初级频率上扩展	-7		7	%
V_{VCP}	相对于 PVDD 的电荷泵稳压器电压	$V_{PVDD} \geq 9V$, $I_{VCP} \leq 20mA$	9.5	10.5	12.5	V
V_{VCP}	相对于 PVDD 的电荷泵稳压器电压	$V_{PVDD} = 7V$, $I_{VCP} \leq 15mA$	8.5	9	12	V
V_{VCP}	相对于 PVDD 的电荷泵稳压器电压	$V_{PVDD} = 5V$, $I_{VCP} \leq 12mA$	6.8	7.5	11	V
t_{CP_tran}	倍频器模式和三倍器模式之间的电荷泵转换时间				300	μs
t_{CP_EN}	启用命令后的电荷泵导通时间。包括初始化。			500	550	μs
I_{VCP_LIM}	电荷泵输出电流限制	$V_{PVDD} = 13.5V$, $C_{FLY1} = C_{FLY2} = 100nF$, $C_{VCP} = 1\mu F$, 电荷泵启动期间的浪涌			500	mA
f_{VCP}	电荷泵开关频率	展频的主频率		400		kHz
逻辑电平输入 (INx、nSLEEP、SCLK、SDI 等)						
V_{IL}	输入逻辑低电平电压	DRVOFF、GD_INx、PWM1、IPROPI/PWM2、nSLEEP、SCLK、SDI	0.3	$V_{DVDD} \times 0.3$		V
V_{IH}	输入逻辑高电平电压	DRVOFF、GD_INx、PWM1、IPROPI/PWM2、nSLEEP、SCLK、SDI	$V_{DVDD} \times 0.7$		5.5	V
V_{HYS}	输入迟滞	DRVOFF、GD_INx、PWM1、IPROPI/PWM2、nSLEEP、SCLK、SDI		$V_{DVDD} \times 0.15$		V
I_{IL}	输入逻辑低电平电流	$V_{DIN} = 0V$ 、DRVOFF、GD_INx、PWM1、IPROPI/PWM2、nSLEEP、SCLK、SDI	-5		5	μA
I_{IL}	输入逻辑低电平电流	$V_{DIN} = 0V$, nSCS		25	50	μA
I_{IH}	输入逻辑高电流	$V_{DIN} = V_{DVDD}$, nSCS	-5		5	μA
I_{IH}	输入逻辑高电流	$V_{DIN} = V_{DVDD}$ 、DRVOFF、GD_INx、PWM1、IPROPI/PWM2、nSLEEP、SCLK、SDI		25	50	μA
R_{PD}	输入下拉电阻	至 GND、DRVOFF、GD_INx、PWM1、IPROPI/PWM2、nSLEEP、SCLK、SDI	140	200	260	k Ω

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
R _{PU}	输入上拉电阻	至 DVDD，nSCS	140	200	265	kΩ
推挽式输出 SDO						
V _{OL}	输出逻辑低电平电压	I _{OD} = 5mA			0.5	V
V _{OH}	输出逻辑高电压	I _{OD} = - 5 mA，SDO	DVDD x 0.8			V
栅极驱动器 (GHx、GLx、SHx、SL)						
V _{GHx_L}	GHx 低电平输出电压	I _{DRVN_HS} = I _{STRONG} ，I _{GHx} = 1mA，GHx 至 SHx	0		0.25	V
V _{GLx_L}	GLx 低电平输出电压	I _{DRVN_LS} = I _{STRONG} ，I _{GLx} = 1mA，GLx 至 SL	0		0.25	V
V _{GHx_H}	GHx 高电平输出电压	I _{DRV_P_HS} = I _{HOLD} ，I _{GHx} = 1mA，VCP 至 GHx	0		0.25	V
V _{GLx_H}	GLx 高电平输出电压	I _{DRV_P_LS} = I _{HOLD} ，I _{GLx} = 1mA，10.5V ≤ V _{PVDD} ≤ V _{PVDD_OV} ，GLx 至 SL。如果 V _{PVDD} > V _{PVDD_OV} ，栅极驱动器会关闭	9.35	10.5	12.5	V
I _{DRV_P}	峰值栅极电流 (拉电流)	I _{DRV_P_x} = 0000b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	0.2	0.5	0.83	mA
		I _{DRV_P_x} = 0001b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	0.5	1	1.6	mA
		I _{DRV_P_x} = 0010b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	1.3	2	2.8	mA
		I _{DRV_P_x} = 0011b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	2.1	3	4	mA
		I _{DRV_P_x} = 0100b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	2.9	4	5.3	mA
		I _{DRV_P_x} = 0101b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	3.7	5	6.45	mA
		I _{DRV_P_x} = 0110b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	4.45	6	7.65	mA
		I _{DRV_P_x} = 0111b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	5.5	7	9	mA
		I _{DRV_P_x} = 1000b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	5.6	8	10.2	mA
		I _{DRV_P_x} = 1001b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	8.8	12	15.2	mA
		I _{DRV_P_x} = 1010b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	11.6	16	20.4	mA
		I _{DRV_P_x} = 1011b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	16	20	25.4	mA
		I _{DRV_P_x} = 1100b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	17.6	24	30.4	mA
		I _{DRV_P_x} = 1101b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	24	31	40	mA
		I _{DRV_P_x} = 1110b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	28	48	62	mA
		I _{DRV_P_x} = 1111b，V _{GSx} = 3V，V _{PVDD} ≥ 7V	46	62	78	mA

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
I _{DRVN}	峰值栅极电流（灌电流）	IDRVN_x = 0000b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	0.07	0.5	0.85	mA
		IDRVN_x = 0001b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	0.23	1	1.7	mA
		IDRVN_x = 0010b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	0.7	2	3.2	mA
		IDRVN_x = 0011b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	1.2	3	4.6	mA
		IDRVN_x = 0100b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	1.75	4	5.9	mA
		IDRVN_x = 0101b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	2.4	5	7.2	mA
		IDRVN_x = 0110b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	3	6	8.5	mA
		IDRVN_x = 0111b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	3.6	7	9.8	mA
		IDRVN_x = 1000b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	4.3	8	11	mA
		IDRVN_x = 1001b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	7.3	12	16	mA
		IDRVN_x = 1010b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	10.6	16	20.4	mA
		IDRVN_x = 1011b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	14	20	25.3	mA
		IDRVN_x = 1100b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	17.8	24	30.2	mA
		IDRVN_x = 1101b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	23.8	31	40.2	mA
		IDRVN_x = 1110b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	27	48	63	mA
		IDRVN_x = 1111b，V _{GSx} = 3V， V _{PVDD} ≥ 7V	45	62	79	mA
I _{HOLD}	栅极上拉保持电流	栅极保持拉电流，V _{GSx} = 3V	5	16	30	mA
I _{STRONG}	栅极强下拉电流	V _{GSx} = 3V I _{DRV} = 0.5 至 12mA	30	62	100	mA
I _{STRONG}	栅极强下拉电流	V _{GSx} = 3V I _{DRV} = 16 至 62mA	45	128	200	mA
R _{PDSA_LS}	低侧半有源栅极下拉电阻	GLx 至 SL，V _{GSx} = 3V		1.8		k Ω
R _{PDSA_LS}	低侧半有源栅极下拉电阻	GLx 至 SL，V _{GSx} = 1V		5		k Ω
R _{PD_HS}	高侧无源栅极下拉电阻	GHx 至 SHx		150		k Ω
R _{PD_LS}	低侧无源栅极下拉电阻	GLx 至 SL		150		k Ω
I _{SHx}	开关节点感测漏电流	进入 SHx，SHx = PVDD < 28V GHx - SHx = 0V，nSLEEP = 0V	-5	0	20	μA
栅极驱动器时序（GHx，GLx）						
t _{PDR_LS}	低侧上升传播延迟	输入至 GLx 上升		300	850	ns
t _{PDF_LS}	低侧下降传播延迟	输入至 GLx 下降		300	600	ns
t _{PDR_HS}	高侧上升传播延迟	输入至 GHx 上升		300	600	ns
t _{PDF_HS}	高侧下降传播延迟	输入至 GHx 上升		300	600	ns
t _{DEAD}	内部握手死区时间	GLx/GHx 下降 10% 至 GHx/GLx 上升 10%		350		ns

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位	
t _{DEAD_D}	可插入的数字死区时间	VGS_TDEAD = 00b , 仅握手	0			μs	
		VGS_TDEAD = 01b	1.6	2	2.4	μs	
		VGS_TDEAD = 10b	3.4	4	4.6	μs	
		VGS_TDEAD = 11b	6	8	10	μs	
电流分流放大器 (SN、SO、SP)							
V _{COM}	共模输入范围		-2	V _{PVDD} + 2		V	
G _{CSA}	检测放大器增益	CSA_GAIN = 00b	9.75	10	10.25	V/V	
		CSA_GAIN = 01b	19.5	20	20.5	V/V	
		CSA_GAIN = 10b	38.8	40	41.2	V/V	
		CSA_GAIN = 11b	77.6	80	82.4	V/V	
t _{SET}	感测放大器稳定时间至 1%	V _{SO_STEP} = 1.5V , G _{CSA} = 10V/V C _{SO} = 60pF	2.2			μs	
		V _{SO_STEP} = 1.5V , G _{CSA} = 20V/V C _{SO} = 60pF	2.2			μs	
		V _{SO_STEP} = 1.5V , G _{CSA} = 40V/V C _{SO} = 60pF	2.2			μs	
		V _{SO_STEP} = 1.5V , G _{CSA} = 80V/V C _{SO} = 60pF	3			μs	
t _{BLK_CSA}	检测放大器输出消隐时间 (栅极驱动器 TDRIVE 的百分比)	CSA_BLK = 000b	0			%	
		CSA_BLK = 001b	25			%	
		CSA_BLK = 010b	37.5			%	
		CSA_BLK = 011b	50			%	
		CSA_BLK = 100b	62.5			%	
		CSA_BLK = 101b	75			%	
		CSA_BLK = 110b	87.5			%	
		CSA_BLK = 111b	100			%	
t _{SLEW_CSA}	输出压摆率	C _{SO} = 60pF	2.5			V/μs	
V _{BIAS}	输出电压偏置比	V _{SPx} = V _{SNx} = 0V , CSA_DIV = 0b	V _{DVDD} / 2			V	
		V _{SPx} = V _{SNx} = 0V , CSA_DIV = 1b	V _{DVDD} / 8			V	
V _{LINEAR}	线性输出电压范围	V _{DVDD} = 3.3V = 5V	0.25	V _{DVDD} - 0.25		V	
V _{OFF}	输入偏移电压	V _{SPx} = V _{SNx} = 0V , T _J = 25℃	-1	1			mV
V _{OFF_D}	输入失调电压漂移	V _{SPx} = V _{SNx} = 0V	±10			±25	μV/℃
I _{BIAS}	输入偏置电流	V _{SPx} = V _{SNx} = 0V				100	μA
I _{BIAS_OFF}	输入偏置电流失调	I _{SPx} - I _{SNx}				100	μA
CMRR	共模抑制比	直流 , - 40 ≤ T _J ≤ 125℃	72	90			dB
		直流 , - 40 ≤ T _J ≤ 150℃	69	90			dB
		20kHz	80				dB
PSRR	电源抑制比	PVDD 至 SOx , 直流	100				dB
		PVDD 至 SOx , 20kHz	90				dB
		PVDD 至 SOx , 400kHz	70				dB
栅极驱动器保护电路							

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
V_{CP_UV}	电荷泵欠压阈值	$V_{VCP} - V_{PVDD}$, V_{VCP} 下降 $V_{CP_UV_MODE} = 0b$	4	4.75	5.5	V
		$V_{VCP} - V_{PVDD}$, V_{VCP} 下降 $V_{CP_UV_MODE} = 1b$	5.5	6.25	7	V
$t_{CP_UV_DG}$	电荷泵欠压抗尖峰脉冲时间		8	10	12.75	μs
V_{CP_SO}	电荷泵三倍器至倍压器切换阈值	V_{PVDD} 上升	17.75	18.75	19.75	V
V_{CP_SO}	电荷泵三倍器至倍压器切换阈值	V_{PVDD} 下降	16.75	17.75	18.75	V
$t_{CP_SO_HYS}$	电荷泵三倍器至倍压器切换迟滞			1.15		V
$t_{CP_SO_DG}$	电荷泵三倍器至倍压器切换阈值抗尖峰脉冲		8	10	12.75	μs
V_{GS_CLP}	高侧驱动器 VGS 保护钳位		12.5	15	17	V
V_{GS_LVL}	栅极电压监控阈值	$V_{GHx} - V_{SHx}$, $V_{GLx} - V_{PGND}$, $V_{GS_LVL} = 0b$	1.1	1.4	1.75	V
		$V_{GHx} - V_{SHx}$, $V_{GLx} - V_{PGND}$, $V_{GS_LVL} = 1b$	0.75	1	1.2	V
$t_{GS_FLT_DG}$	V_{GS} 故障监控抗尖峰脉冲时间		1.5	2	2.75	μs
$t_{GS_HS_DG}$	V_{GS} 握手监控抗尖峰脉冲时间			210		ns
t_{DRIVE}	V_{GS} 和 V_{DS} 监控消隐时间	$V_{GS_TDRV} = 000b$	1.5	2	2.5	μs
		$V_{GS_TDRV} = 001b$	3.25	4	4.75	μs
		$V_{GS_TDRV} = 010b$	6	8	10	μs
		$V_{GS_TDRV} = 011b$	10	12	14	μs
		$V_{GS_TDRV} = 100b$	14	16	18	μs
		$V_{GS_TDRV} = 101b$	20	24	28	μs
		$V_{GS_TDRV} = 110b$	28	32	36	μs
		$V_{GS_TDRV} = 111b$	80	96	120	μs

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
V _{DS_LVL}	V _{DS} 过流保护阈值 (DRV800x-Q1 独立半桥模式)	VDS_LVL_x = 0000b , BRG_MODE = 00b	0.050	0.062	0.074	V
		VDS_LVL_x = 0001b , BRG_MODE = 00b	0.070	0.084	0.098	V
		VDS_LVL_x = 0010b , BRG_MODE = 00b	0.089	0.105	0.123	V
		VDS_LVL_x = 0011b , BRG_MODE = 00b	0.108	0.127	0.147	V
		VDS_LVL_x = 0100b , BRG_MODE = 00b	0.128	0.148	0.170	V
		VDS_LVL_x = 0101b , BRG_MODE = 00b	0.147	0.169	0.195	V
		VDS_LVL_x = 0110b , BRG_MODE = 00b	0.166	0.191	0.218	V
		VDS_LVL_x = 0111b , BRG_MODE = 00b	0.185	0.212	0.243	V
		VDS_LVL_x = 1000b , BRG_MODE = 00b	0.278	0.318	0.363	V
		VDS_LVL_x = 1001b , BRG_MODE = 00b	0.372	0.425	0.483	V
		VDS_LVL_x = 1010b , BRG_MODE = 00b	0.466	0.532	0.605	V
		VDS_LVL_x = 1011b , BRG_MODE = 00b	0.562	0.638	0.725	V
		VDS_LVL_x = 1100b , BRG_MODE = 00b	0.655	0.745	0.847	V
		VDS_LVL_x = 1101b , BRG_MODE = 00b	0.942	1.066	1.208	V
		VDS_LVL_x = 1110b , BRG_MODE = 00b	1.322	1.494	1.692	V
		VDS_LVL_x = 1111b , BRG_MODE = 00b	1.890	2.132	2.411	V
V _{DS_LVL}	V _{DS} 过流保护阈值 (DRV800x-Q1 H 桥模式 , VDS_LVLx 设置匹配 , DRV800xE-Q1 所有模式)	VDS_LVL_x = 0000b	0.051	0.06	0.069	V
		VDS_LVL_x = 0001b	0.068	0.08	0.092	V
		VDS_LVL_x = 0010b	0.085	0.10	0.115	V
		VDS_LVL_x = 0011b	0.102	0.12	0.138	V
		VDS_LVL_x = 0100b	0.119	0.14	0.161	V
		VDS_LVL_x = 0101b	0.136	0.16	0.184	V
		VDS_LVL_x = 0110b	0.153	0.18	0.207	V
		VDS_LVL_x = 0111b	0.17	0.2	0.23	V
		VDS_LVL_x = 1000b	0.255	0.3	0.345	V
		VDS_LVL_x = 1001b	0.35	0.4	0.45	V
		VDS_LVL_x = 1010b	0.44	0.5	0.56	V
		VDS_LVL_x = 1011b	0.52	0.6	0.68	V
		VDS_LVL_x = 1100b	0.61	0.7	0.79	V
		VDS_LVL_x = 1101b	0.88	1	1.12	V
		VDS_LVL_x = 1110b	1.2	1.4	1.6	V
		VDS_LVL_x = 1111b	1.75	2	2.25	V

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位	
t _{DS_DG}	V _{DS} 过流保护抗尖峰脉冲时间	V _{DS_DG} = 00b	0.75	1	1.5	μs	
		V _{DS_DG} = 01b	1.5	2	2.5	μs	
		V _{DS_DG} = 10b	3.25	4	4.75	μs	
		V _{DS_DG} = 11b	6	8	10	μs	
I _{OLD_PU}	离线诊断电流源	上拉电流	3.5			mA	
I _{OLD_PD}	离线诊断电流源	下拉电流	4			mA	
R _{OLD}	离线开路负载电阻检测阈值	V _{DS_LVL} = 1.4V , 5V ≤ V _{PVDD} ≤ 18V	22			50	k Ω
		V _{DS_LVL} = 1.4V , 5V ≤ V _{PVDD} ≤ 37V	22			105	k Ω
		V _{DS_LVL} = 2V , 5V ≤ V _{PVDD} ≤ 18V	10			25	k Ω
		V _{DS_LVL} = 2V , 5V ≤ V _{PVDD} ≤ 37V	10			50	k Ω
半桥驱动器							
R _{ON_OUT1,2_HS}	高侧 MOSFET 导通电阻	I _{OUT} = 1A , T _J = 25°C	775			m Ω	
		I _{OUT} = 0.5A , T _J = 150°C	1480			m Ω	
R _{ON_OUT1,2_LS}	低侧 MOSFET 导通电阻	I _{OUT} = 1A , T _J = 25°C	765			m Ω	
		I _{OUT} = 0.5A , T _J = 150°C	1460			m Ω	
R _{ON_OUT3,4_HS}	高侧 MOSFET 导通电阻	I _{OUT} = 4A , T _J = 25°C	220			m Ω	
		I _{OUT} = 2A , T _J = 150°C	450			m Ω	
R _{ON_OUT3,4_LS}	低侧 MOSFET 导通电阻	I _{OUT} = 4A , T _J = 25°C	220			m Ω	
		I _{OUT} = 2A , T _J = 150°C	450			m Ω	
R _{ON_OUT5_HS}	高侧 MOSFET 导通电阻	I _{OUT} = 8A , T _J = 25°C	80			m Ω	
		I _{OUT} = 4A , T _J = 150°C	160			m Ω	
R _{ON_OUT5_LS}	低侧 MOSFET 导通电阻	I _{OUT} = 8A , T _J = 25°C	75			m Ω	
		I _{OUT} = 4A , T _J = 150°C	150			m Ω	
R _{ON_OUT6_HS}	高侧 MOSFET 导通电阻	I _{OUT} = 7A , T _J = 25°C	90			m Ω	
R _{ON_OUT6_HS}	高侧 MOSFET 导通电阻	I _{OUT} = 3.5A , T _J = 150°C	180			m Ω	
R _{ON_OUT6_LS}	低侧 MOSFET 导通电阻	I _{OUT} = 7A , T _J = 25°C	95			m Ω	
R _{ON_OUT6_LS}	低侧 MOSFET 导通电阻	I _{OUT} = 3.5A , T _J = 150°C	190			m Ω	
SR _{OUT_HB}	所有半桥 OUTx 的输出电压上升/下降时间，10% - 90%	PVDD = 13.5V ; OUTx_SR = 00b	1.6			V/μs	
SR _{OUT_HB}	所有半桥 OUTx 的输出电压上升/下降时间，10% - 90%	PVDD = 13.5V ; OUTx_SR = 01b	13.5			V/μs	
SR _{OUT_HB}	所有半桥 OUTx 的输出电压上升/下降时间，10% - 90%	PVDD = 13.5V ; OUTx_SR = 10b	24			V/μs	
t _{PD_OUT_HB_HS_R}	HS 输出电压上升期间的传播时间	ON 命令或 INx (SPI 最后一次转换) 至 OUTx 10% 电压上升 (任何 SR 设置)	2	10			μs
t _{PD_OUT_HB_HS_F}	HS 输出电压下降期间的传播时间	ON 命令或 INx (SPI 最后一次转换) 至 OUTx 10% 电压下降 (任何 SR 设置)	1.5	11			μs
t _{PD_OUT_HB_LS_R}	LS 输出电压上升期间的传播时间	ON 命令或 INx (SPI 最后一次转换) 至 OUTx 10% 电压上升 (任何 SR 设置)	1.5	10			μs
t _{PD_OUT_HB_LS_F}	LS 输出电压下降期间的传播时间	ON 命令或 INx (SPI 最后一次转换) 至 OUTx 10% 电压下降 (任何 SR 设置)	1.5	10			μs

DRV8002-Q1

ZHCSZ01 – AUGUST 2025

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
$t_{DEAD_HS_ON}$	HS 输出电压上升期间的死区时间	PVDD = 13.5V; OUTx_ITRIP_LVL = 00b, 所有 SR	1		6	μs
$t_{DEAD_HS_OFF}$	HS 输出电压下降期间的死区时间	PVDD = 13.5V; OUTx_ITRIP_LVL = 00b, 所有 SR	1		6	μs
$t_{DEAD_LS_ON}$	LS 输出电压上升期间的死区时间	PVDD = 13.5V; OUTx_ITRIP_LVL = 00b, 所有 SR	1		7	μs
$t_{DEAD_LS_OFF}$	LS 输出电压下降期间的死区时间	PVDD = 13.5V; OUTx_ITRIP_LVL = 00b, 所有 SR	1.7		14	μs
半桥保护电路						
$I_{OCP_OUT1,2}$	过流保护阈值		1.2		2.2	A
$I_{OCP_OUT3,4}$	过流保护阈值		4		8	A
I_{OCP_OUT5}	过流保护阈值		8		16	A
I_{OCP_OUT6}	过流保护阈值		7		13	A
$t_{DG_OCP_HB}$	半桥驱动器中的过流保护抗尖峰脉冲时间	OUTX_OCP_DG = 00b	4.5	6	7.3	μs
		OUTX_OCP_DG = 01b	8	10	12	μs
		OUTX_OCP_DG = 10b	12	15	18	μs
		OUTX_OCP_DG = 11b	48	60	72	μs
$I_{ITRIP_OUT1,2}$	用于触发 OUT1 和 OUT2 的 ITRIP 调节的电流阈值	OUT1_ITRIP_LVL = 1b 且 OUT2_ITRIP_LVL = 1b	0.65		1.1	A
		OUT1_ITRIP_LVL = 0b 且 OUT2_ITRIP_LVL = 0b	0.5		0.9	A
$I_{ITRIP_OUT3,4}$	用于触发 OUT3 和 OUT4 的 ITRIP 调节的电流阈值	OUT3_ITRIP_LVL = 10b 且 OUT4_ITRIP_LVL = 10b	2.9		4.1	A
		OUT3_ITRIP_LVL = 01b 且 OUT4_ITRIP_LVL = 01b	1.6		3.25	A
		OUT3_ITRIP_LVL = 00b 且 OUT4_ITRIP_LVL = 00b	1		1.6	A
I_{ITRIP_OUT5}	用于触发 OUT5 的 ITRIP 调节的电流阈值	OUT5_ITRIP_LVL = 10b	6.65		8.95	A
		OUT5_ITRIP_LVL = 01b	5.65		7.8	A
		OUT5_ITRIP_LVL = 00b	2.5		3.4	A
I_{ITRIP_OUT6}	用于触发 OUT6 的 ITRIP 调节的电流阈值	OUT6_ITRIP_LVL = 10b	5.35		7.35	A
I_{ITRIP_OUT6}	用于触发 OUT6 的 ITRIP 调节的电流阈值	OUT6_ITRIP_LVL = 01b	4.65		6.4	A
I_{ITRIP_OUT6}	用于触发 OUT6 的 ITRIP 调节的电流阈值	OUT6_ITRIP_LVL = 00b	1.75		2.75	A
f_{ITRIP_HB}	半桥驱动器的 ITRIP 调节的固定频率	OUTX_ITRIP_FREQ = 00b	17	20	23	kHz
		OUTX_ITRIP_FREQ = 01b	8	10	12	kHz
		OUTX_ITRIP_FREQ = 10b	4	5	6	kHz
		OUTX_ITRIP_FREQ = 11b	2	2.5	3	kHz
$t_{DG_ITRIP_HB}$	半桥驱动器的 ITRIP 调节抗尖峰脉冲时间	OUTX_ITRIP_DG = 00b	1.5	2	2.5	μs
		OUTX_ITRIP_DG = 01b	4	5	6	μs
		OUTX_ITRIP_DG = 10b	8	10	12	μs
		OUTX_ITRIP_DG = 11b	16	20	24	μs
$I_{OLA_OUT1,2}$	半桥 1 和 2 的欠流阈值		6	20	30	mA
$I_{OLA_OUT3,4}$	半桥 3 和 4 的欠流阈值		15	50	90	mA
I_{OLA_OUT5}	半桥 5 的欠流阈值		40	150	300	mA

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
I_{OLA_OUT6}	半桥 6 的欠流阈值		30	120	240	mA
t_{OLA_HB}	半桥开路负载信号的滤波时间	用于将状态位置位的开路负载条件的持续时间		10		ms
$A_{IPROP1,2}$	OUT1-2 的电流比例因子			650		A/A
$A_{IPROP3,4}$	OUT3-4 的电流比例因子			1940		A/A
A_{IPROP5}	OUT5 的电流比例因子			4000		A/A
A_{IPROP6}	OUT6 的电流比例因子			3500		A/A
$I_{ACC_1,2}$	OUT1-2 的电流检测输出精度	$0.1A < I_{OUT1,2} < 0.25A$	-15		15	%
		$0.25A < I_{OUT1,2} < 0.5A$	-10		10	%
		$0.5A < I_{OUT1,2} < 1A$	-8		8	%
$I_{ACC_3,4}$	OUT3-4 的电流检测输出精度	$0.1A < I_{OUT3,4} < 0.5A$	-15		15	%
		$0.5A < I_{OUT3,4} < 1A$	-12		12	%
		$1A < I_{OUT3,4} < 2A$	-10		10	%
		$2A < I_{OUT3,4} < 4A$	-8.5		8.5	%
I_{ACC_5}	OUT5 的电流检测输出精度	$0.1A < I_{OUT5} < 0.8A$	-40		40	%
I_{ACC_5}		$0.8A < I_{OUT5} < 2A$	-12		12	%
I_{ACC_5}		$2A < I_{OUT5} < 4A$	-10		10	%
I_{ACC_5}		$4A < I_{OUT5} < 8A$	-8		8	%
I_{ACC_6}	OUT6 的电流检测输出错误	$0.1A < I_{OUT6} < 0.8A$	-40		40	%
I_{ACC_6}		$0.8A < I_{OUT6} < 2A$	-12		12	%
I_{ACC_6}		$2A < I_{OUT6} < 4A$	-10		10	%
I_{ACC_6}		$4A < I_{OUT6} < 8A$	-8		8	%
R_{S_GND}	OLP 期间, 检测到 OUTx 与 GND 之间的电阻阈值	$V_{DVDD} = 5V$, $V_{OLP_REF} = 2.65V$, $OUTX_CNFG = 0b$, $HB_OLP_CNFG > 0b$ 和 $HB_OLP_SEL > 0b$	1		3	k Ω
R_{S_PVDD}	OLP 期间, 检测到 OUTx 与 PVDD 之间的电阻阈值	$V_{PVDD} = 13.5V$, $V_{DVDD} = 5V$, $V_{OLP_REF} = 2.65V$, $OUTX_CNFG = 0b$, $HB_OLP_CNFG > 0b$ 且 $HB_OLP_SEL > 0b$	3		15	k Ω
R_{S_PVDD}	OLP 期间, 检测到 OUTx 与 PVDD 之间的电阻阈值	$5V \leq V_{PVDD} \leq 35V$, $V_{DVDD} = 5V$, $V_{OLP_REF} = 2.65V$, $OUTX_CNFG = 0b$, $HB_OLP_CNFG > 0b$ 且 $HB_OLP_SEL > 0b$	1		40	k Ω
R_{OPEN_HB}	检测到 OUTx 上的电阻阈值为开路	$V_{DVDD} = 5V$, $V_{OLP_REF} = 2.65V$, $OUTX_CNFG = 0b$, $HB_OLP_CNFG > 0b$ 和 $HB_OLP_SEL > 0b$	35		1500	Ω
V_{OLP_REFH}	OLP 比较器基准电平高	$OUTX_CNFG = 0b$, $HB_OLP_CNFG > 0b$ 且 $HB_OLP_SEL > 0b$		2.65		V
V_{OLP_REFL}	OLP 比较器基准电平低	$OUTX_CNFG = 0b$, $HB_OLP_CNFG > 0b$ 且 $HB_OLP_SEL > 0b$		2		V
R_{OLP_PU}	OLP 期间 OUTx 至 VDD 的内部上拉电阻	$OUTX_CNFG = 0b$, $HB_OLP_CNFG > 0b$ 且 $HB_OLP_SEL > 0b$		1		k Ω
R_{OLP_PD}	OLP 期间 OUTx 至 VDD 的内部上拉电阻	$OUTX_CNFG = 0b$, $HB_OLP_CNFG > 0b$ 且 $HB_OLP_SEL > 0b$		1		k Ω
高侧驱动器						

DRV8002-Q1

ZHCSZ01 – AUGUST 2025

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
R _{DS(on)} OUT7 (低 R _{DS(on)} 模式)	低电阻模式下的高侧 MOSFET 导通电阻	T _J = 25°C ; I _{OUT7} = ±0.5A		400		mΩ
		T _J = 150°C ; I _{OUT7} = ±0.25A			730	mΩ
R _{DS(on)} OUT7 (高 R _{DS(on)} 模式)	高电阻模式下的高侧 MOSFET 导通电阻	T _J = 25°C ; I _{OUT8} = ±0.25A		1200		mΩ
		T _J = 150°C ; I _{OUT8} = ±0.125A			2200	mΩ
R _{DS(on)} OUT8	高侧 MOSFET 导通电阻	T _J = 25°C ; I _{OUT8} = ±0.25A		1200		mΩ
		T _J = 150°C ; I _{OUT8} = ±0.125A			2200	mΩ
R _{DS(on)} OUT9	高侧 MOSFET 导通电阻	T _J = 25°C ; I _{OUT9} = ±0.25A		1200		mΩ
		T _J = 150°C ; I _{OUT9} = ±0.125A			2200	mΩ
R _{DS(on)} OUT10	高侧 MOSFET 导通电阻	T _J = 25°C ; I _{OUT10} = ±0.25A		1200		mΩ
		T _J = 150°C ; I _{OUT10} = ±0.125A			2200	mΩ
R _{DS(on)} OUT11	高侧 MOSFET 导通电阻	T _J = 25°C ; I _{OUT11} = ±0.25A		1200		mΩ
		T _J = 150°C ; I _{OUT11} = ±0.125A			2200	mΩ
R _{DS(on)} OUT12	高侧 MOSFET 导通电阻	T _J = 25°C ; I _{OUT12} = ±0.25A		1200		mΩ
		T _J = 150°C ; I _{OUT12} = ±0.125A			2200	mΩ
SR _{HS_OUT7_HI}	OUT7 高 R _{DS(on)} 模式的压摆率 (最终 OUT 值的 10% 至 90%)	OUT7_RDSON_MODE = 0b, PVDD = 13.5V, Rload = 64Ω		0.35		V/μs
SR _{HS_OUT7_LO}	OUT7 低 R _{DS(on)} 模式的压摆率 (最终 OUT 值的 10% 至 90%)	OUT7_RDSON_MODE = 1b, PVDD = 13.5V, Rload = 16Ω		0.29		V/μs
SR _{HS}	OUT8 - OUT12 的压摆率 (最终 OUT 值的 10% 至 90%)	PVDD = 13.5V, Rload 64Ω		1.6		V/μs
t _{PD_OUT7_HI_ON}	OUT7 高 R _{DS(on)} 模式的上升传播延迟时间驱动器 (高侧导通命令 (SPI 最后一次转换) 到 OUT7 最终值的 10% 之间的延迟)	OUT7_RDSON_MODE = 0b, PVDD=13.5V, Rload = 64Ω		16		μs
t _{PD_OUT7_HI_OFF}	OUT7 高 R _{DS(on)} 模式的下降传播延迟时间驱动器 (高侧关断命令 (SPI 最后一次转换) 到 OUT7 最终值的 90% 之间的延迟)	OUT7_RDSON_MODE = 0b, PVDD=13.5V, Rload = 64Ω		16		μs
t _{PD_OUT7_LO_ON}	OUT7 低 R _{DS(on)} 模式的上升传播延迟时间驱动器 (高侧导通命令 (SPI 最后一次转换) 到 OUT7 最终值的 10% 之间的延迟)	OUT7_RDSON_MODE = 1b, PVDD=13.5V, Rload = 16Ω		19		μs
t _{PD_OUT7_LO_OFF}	OUT7 低 R _{DS(on)} 模式的下降传播延迟时间驱动器 (高侧关断命令 (SPI 最后一次转换) 到 OUT7 最终值的 90% 之间的延迟)	OUT7_RDSON_MODE = 1b, PVDD=13.5V, Rload = 16Ω		19		μs
t _{PD_HS_ON}	高侧驱动器 OUT8 - OUT12 的上升传播延迟时间驱动器 (高侧导通命令 (SPI 最后一次转换) 到最终 OUTx 值的 10% 之间的延迟)	PVDD= 13.5V, Rload = 64Ω		4		μs
t _{PD_HS_OFF}	高侧驱动器 OUT8 - OUT12 的下降传播延迟时间驱动器 (高侧关断命令 (SPI 最后一次转换) 到最终 OUTx 值的 90% 之间的延迟)	PVDD= 13.5V, Rload = 64Ω		4		μs
f _{PWMx(00)}	PWM 开关频率	PWM_OUTX_FREQ = 00b	78	108	138	Hz

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
$f_{PWMx(01)}$	PWM 开关频率	PWM_OUTX_FREQ = 01b	157	217	277	Hz
$f_{PWMx(10)}$	PWM 开关频率	PWM_OUTX_FREQ = 10b	229	289	359	Hz
$f_{PWMx(11)}$	PWM 开关频率	PWM_OUTX_FREQ = 11b	374	434	494	Hz
I_{LEAK_H}	OUT7-12 的高侧驱动器关断输出电流	$V_{OUT} = 0V$; 待机模式	-10			μA
高侧驱动器保护电路						
I_{OC7}	高 RDSON 模式下的过流阈值	OUT7_RDSON_MODE = 0b	500		1000	mA
	低 RDSON 模式下的过流阈值	OUT7_RDSON_MODE = 1b	1500		3000	mA
I_{OC8} 、 I_{OC9} 、 I_{OC10} 、 I_{OC11} 、 I_{OC12}	过流阈值 OUT8 - OUT12	OUTX_OC_TH = 0b	250		500	mA
		OUTX_OC_TH = 1b	500		1000	mA
I_{CCM_OUT7}	高侧驱动器 OUT7 高 $R_{DS(on)}$ 的恒定电流电平	OUT7_RDSON_MODE = 0b , OUT7_CCM_EN = 1b , OUT7_CCM_TO = 0b	180	250	330	mA
		OUT7_RDSON_MODE = 0b , OUT7_CCM_EN = 1b , OUT7_CCM_TO = 1b	240	330	420	mA
I_{CCM_OUT7}	高侧驱动器 OUT7 低 $R_{DS(on)}$ 的恒定电流电平	OUT7_RDSON_MODE = 1b , OUT7_CCM_EN = 1b , OUT7_CCM_TO = 0b	210	360	530	mA
I_{CCM_OUT7}	高侧驱动器 OUT7 低 $R_{DS(on)}$ 的恒定电流电平	OUT7_RDSON_MODE = 1b , OUT7_CCM_EN = 1b , OUT7_CCM_TO = 1b	250	450	650	mA
I_{CCM}	高侧驱动器 OUT8-12 的恒定电流电平	OUTX_CCM_EN = 1b , OUTX_CCM_TO = 0b	240	350	450	mA
		OUTX_CCM_EN = 1b , OUTX_CCM_TO = 1b	320	450	580	mA
t_{CCMto}	恒定电流模式时间到期	OUTX_CCM_EN = 1b	8	10	12	ms
V_{SC_DET}	OUT7-12 上的短路检测电压			2		V
t_{SC_BLK}	OUT7-12 中短路检测、ITRIP 调节和过流保护的消隐时间			40		μs
$t_{HS_DG_OUT7}$	OUT7 中短路检测、ITRIP 调节和过流保护的抗尖峰脉冲时间	OUT7_ITRIP_DG = 00b , $PVDD \leq 20V$	39	48	59	μs
		OUT7_ITRIP_DG = 01b , $PVDD \leq 20V$	32	40	48	μs
		OUT7_ITRIP_DG = 10b , $PVDD \leq 20V$	26	32	38	μs
		OUT7_ITRIP_DG = 11b , $PVDD \leq 20V$	19	24	29	μs
		$PVDD > 20V$	8	10	13	μs
$f_{ITRIP_HS_OUT7}$	高侧驱动器 OUT7 的 ITRIP 频率	OUT7_ITRIP_FREQ = 00b		1.7		kHz
		OUT7_ITRIP_FREQ = 01b		2.2		kHz
		OUT7_ITRIP_FREQ = 10b		3		kHz
		OUT7_ITRIP_FREQ = 11b		4.4		kHz
$t_{HS_DG_OUTx}$	OUT8-12 中短路检测、ITRIP 调节和过流保护的抗尖峰脉冲时间	OUTX_ITRIP_DG = 00b , $PVDD \leq 20V$	39	48	59	μs
		OUTX_ITRIP_DG = 01b , $PVDD \leq 20V$	32	40	48	μs
		OUTX_ITRIP_DG = 10b , $PVDD \leq 20V$	26	32	38	μs
		OUTX_ITRIP_DG = 11b , $PVDD \leq 20V$	19	24	29	μs
		$PVDD > 20V$	8	10	13	μs

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
fITRIP_HS_OUTX	高侧驱动器 OUT8-12 的 ITRIP 频率	HS_OUT_ITRIP_FREQ=00b	1.7			kHz
		HS_OUT_ITRIP_FREQ=01b	2.2			kHz
		HS_OUT_ITRIP_FREQ=10b	3			kHz
		HS_OUT_ITRIP_FREQ=11b	4.4			kHz
IOLD7	OUT7 的开路负载阈值	OUT7_RDSON_MODE = 1b	15		30	mA
	OUT7 的开路负载阈值	OUT7_RDSON_MODE = 0b	5		10	mA
IOLD8、 IOLD9、 IOLD10、 IOLD11、 IOLD12	OUT8 - OUT12 的开路负载阈值	OUTX_OLA_TH = 0b	1.3		3.3	mA
		OUTX_OLA_TH = 1b	4		12	mA
tOLD_HS	高侧驱动器的开路负载信号滤波时间	用于将状态位置位的开路负载条件的持续时间		200	250	μs
AIPROPI7_HI	高导通电阻模式下 OUT7 的电流比例因子	OUT7_RDSON_MODE = 0b		250		A/A
AIPROPI7_LO	低导通电阻模式下 OUT7 的电流比例因子	OUT7_RDSON_MODE = 1b		750		A/A
AIPROPI8、 AIPROPI9、 AIPROPI10、 AIPROPI11、 AIPROPI12、	OUT8-12 的电流比例因子			250		A/A
IACC_7_HI_RDSON	高 RDSON 模式下 OUT7 的电流检测输出精度	0.1A < IOUT7 < 0.5A	-18		18	%
IACC_7_HI_RDSON	高 RDSON 模式下 OUT7 的电流检测输出精度	IOUT7 = 0.25A	-10		10	%
IACC_7_HI_RDSON	高 RDSON 模式下 OUT7 的电流检测输出精度	IOUT7 = 0.5A	-9		9	%
IACC_7_LOW_RDSON	低 RDSON 模式下 OUT7 的电流检测输出精度	0.5A < IOUT7 < 1.5A	-14		14	%
IACC_7_LOW_RDSON	低 RDSON 模式下 OUT7 的电流检测输出精度	IOUT7 = 1A	-8		8	%
IACC_7_LOW_RDSON	低 RDSON 模式下 OUT7 的电流检测输出精度	IOUT7 = 1.5A	-6		6	%
IACC_8-12_LO	低电流 OUT8-12 的电流检测输出精度	0.05A < IOUT8-12 < 0.1A	-28		28	%
IACC_8-12_LO	低电流 OUT8-12 的电流检测输出精度	IOUT8-12 < 0.075A	-20		20	%
IACC_8-12_LO	低电流 OUT8-12 的电流检测输出精度	IOUT8-12 < 0.1A	-18		18	%
IACC_8-12_HI	高电流 OUT8-12 的电流检测输出精度	0.1A < IOUT8-12 < 0.5A	-18		18	%
IACC_8-12_HI	高电流 OUT8-12 的电流检测输出精度	IOUT8-12 = 0.25A	-10		10	%
IACC_8-12_HI	高电流 OUT8-12 的电流检测输出精度	IOUT8-12 = 0.5A	-6		6	%
tIPROPI_BLK	IPROPI 消隐时间	OUT7-12 变为高电平表示 IPROPI 就绪，此情况仅在监测高侧驱动器电流时适用		60		μs
		IPROPI 多路复用器切换至 IPROPI 就绪		5		μs
保护电路						
VPVDD_UV	PVDD 欠压阈值	VPVDD 上升	4.425	4.725	5	V
		VPVDD 下降	4.225	4.525	4.8	V

$5V \leq V_{PVDD} \leq 35V$, $3.1V \leq V_{DVDD} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 、 $V_{DVDD} = 5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
$V_{PVDD_UV_HYS}$	PVDD 欠压迟滞	上升至下降阈值	250			mV
$t_{PVDD_UV_DG}$	PVDD 欠压抗尖峰脉冲时间		8	10	12.75	μs
V_{PVDD_OV}	PVDD 过压阈值	V_{PVDD} 上升, $PVDD_OV_LVL = 0b$	20	21	22	V
		V_{PVDD} 下降, $PVDD_OV_LVL = 0b$	19	20	21	V
		V_{PVDD} 上升, $PVDD_OV_LVL = 1b$	25.75	26.8	28	V
		V_{PVDD} 下降, $PVDD_OV_LVL = 1b$	24.75	25.8	27	V
$V_{PVDD_OV_HYS}$	PVDD 过压迟滞	上升至下降阈值	1			V
$t_{PVDD_OV_DG}$	PVDD 过压抗尖峰脉冲时间	$PVDD_OV_DG = 00b$	0.75	1	1.5	μs
		$PVDD_OV_DG = 01b$	1.5	2	2.5	μs
		$PVDD_OV_DG = 10b$	3.25	4	4.75	μs
		$PVDD_OV_DG = 11b$	7	8	9	μs
V_{DVDD_POR}	DVDD 电源 POR 阈值	DVDD 下降	2.5	2.7	2.9	V
		DVDD 上升	2.6	2.8	3	V
$V_{DVDD_POR_HYS}$	DVDD POR 迟滞	上升至下降阈值	100			mV
$t_{DVDD_POR_DG}$	DVDD POR 抗尖峰脉冲时间		5	12	25	μs
t_{WD}	看门狗窗口最小值	$WD_WIN = 0b$	3.4	4	4.6	ms
		$WD_WIN = 1b$	8.5	10	11.5	ms
	看门狗窗口最大值	$WD_WIN = 0b$	10.5	12	13.5	ms
		$WD_WIN = 1b$	85	100	115	ms
$A_{IPROPI_PVD_D_VOUT}$	IPROPI PVDD 电压检测输出比例因子 (V_{PVDD} / I_{IPROPI})	$IPROPI_SEL = 10000b$ (5V 至 22V 检测范围)	9	11	13	V/mA
$A_{IPROPI_PVD_D_VOUT}$	IPROPI PVDD 电压检测输出比例因子 (V_{PVDD} / I_{IPROPI})	$IPROPI_SEL = 101010b$ (20V 至 32V 检测范围)	13.5	16.5	19.5	V/mA
$V_{IPROPI_TEMP_VOUT}$	IPROPI 温度检测输出		-20		+20	$^{\circ}C$
T_{OTW1}	低温热警告温度	T_J 上升	110	125	140	$^{\circ}C$
T_{OTW2}	高温热警告温度	T_J 上升	130	145	160	$^{\circ}C$
T_{HYS}	热警告迟滞		20			$^{\circ}C$
T_{OTSD}	热关断温度	T_J 上升	160	175	190	$^{\circ}C$
T_{HYS}	热关断迟滞		20			$^{\circ}C$
t_{OTSD_DG}	热关断抗尖峰脉冲时间		10			μs

6.6 时序要求

		最小值	标称值	最大值	单位
f_{SPI}	SPI 支持的时钟频率 ^{(1) (2)}			5	MHz
t_{READY_SPI}	上电后 SPI 就绪			1	ms
t_{CLK}	SCLK 最小周期	200			ns
t_{CLKH}	SCLK 最短高电平时间	100			ns
t_{CLKL}	SCLK 最短低电平时间	100			ns
t_{HI_nSCS}	nSCS 最短高电平时间	300			ns

		最小值	标称值	最大值	单位
t _{SU_nSCS}	nSCS 输入设置时间	25			ns
t _{H_nSCS}	nSCS 输入保持时间	25			ns
t _{SU_SDI}	SDI 输入数据设置时间	25			ns
t _{H_SDI}	SDI 输入数据保持时间	25			ns
t _{D_SDO}	SDO 输出数据延迟时间，C _L = 20pF ⁽¹⁾			60	ns
t _{EN_nSCS}	启用延迟时间 (nSCS 低电平至 SDO 有效)			50	ns
t _{DIS_nSCS}	禁用延迟时间，nSCS 高电平至 SDO Hi-Z			50	ns

- (1) SDO 延迟时间仅在 SDO 外部负载 (C_L) 为 20pF 时有效。增加 SDO 上的负载会增加 SDO 上的额外延迟，从而限制 SCLK 最大值。
- (2) 请参阅 SPI 计时示意图了解参数。

7 详细说明

7.1 概述

DRV8002-Q1 器件集成了多种类型的驱动器以实现多种功能：驱动和诊断电机（电感）、电阻和容性负载。这些器件具有两个半桥栅极驱动器、6 个集成半桥和 6 个集成高侧驱动器。每个驱动器都具有电流检测、保护和诊断功能以及系统保护和诊断功能，可提高系统集成度并降低总系统尺寸和成本。

该器件半桥外部 MOSFET 栅极驱动器架构可自动管理死区时间以防止击穿，控制转换率以降低电磁干扰 (EMI)，并且具有可配置的传播延迟，以实现性能优化。这些栅极驱动器支持用于独立半桥或 H 桥控制的输入模式。两个 PWM 输入可配置为极性和驱动控制。外部 MOSFET 栅极驱动器保护电路包括电荷泵监控、短路保护 (V_{DS} 故障监控) 和开路负载检测 (V_{GS} 故障监控)。

半桥驱动器可通过 SPI 寄存器或 PWM 引脚 PWM1 和 PWM2 进行控制。半桥具有称为 ITRIP 的可配置电流斩波方案。保护电路包括短路保护、有源和无源开路负载检测。

高侧驱动器可通过 SPI 寄存器、外部 PWM 引脚 (PWM1) 或专用 PWM 发生器（可在运行期间实现负载调节）进行控制。所有高侧驱动器还可以为 LED 或灯模块负载提供可选的恒流模式、ITRIP 调节。一个高侧驱动器可配置为用于驱动灯或 LED 负载。保护电路包括短路保护和开路负载检测。

IPROPI (IPROPI/PWM2) 引脚是一个通用输出引脚或输入 PWM 引脚 (PWM)，可从任何具有电流检测功能的集成驱动器提供比例电流检测。IPROPI 还可以配置为输出 PVDD 电机电源监控器、内部温度仪表组监控器，或者可以配置为集成半桥的第二个 PWM 输入选项。

7.2 功能方框图

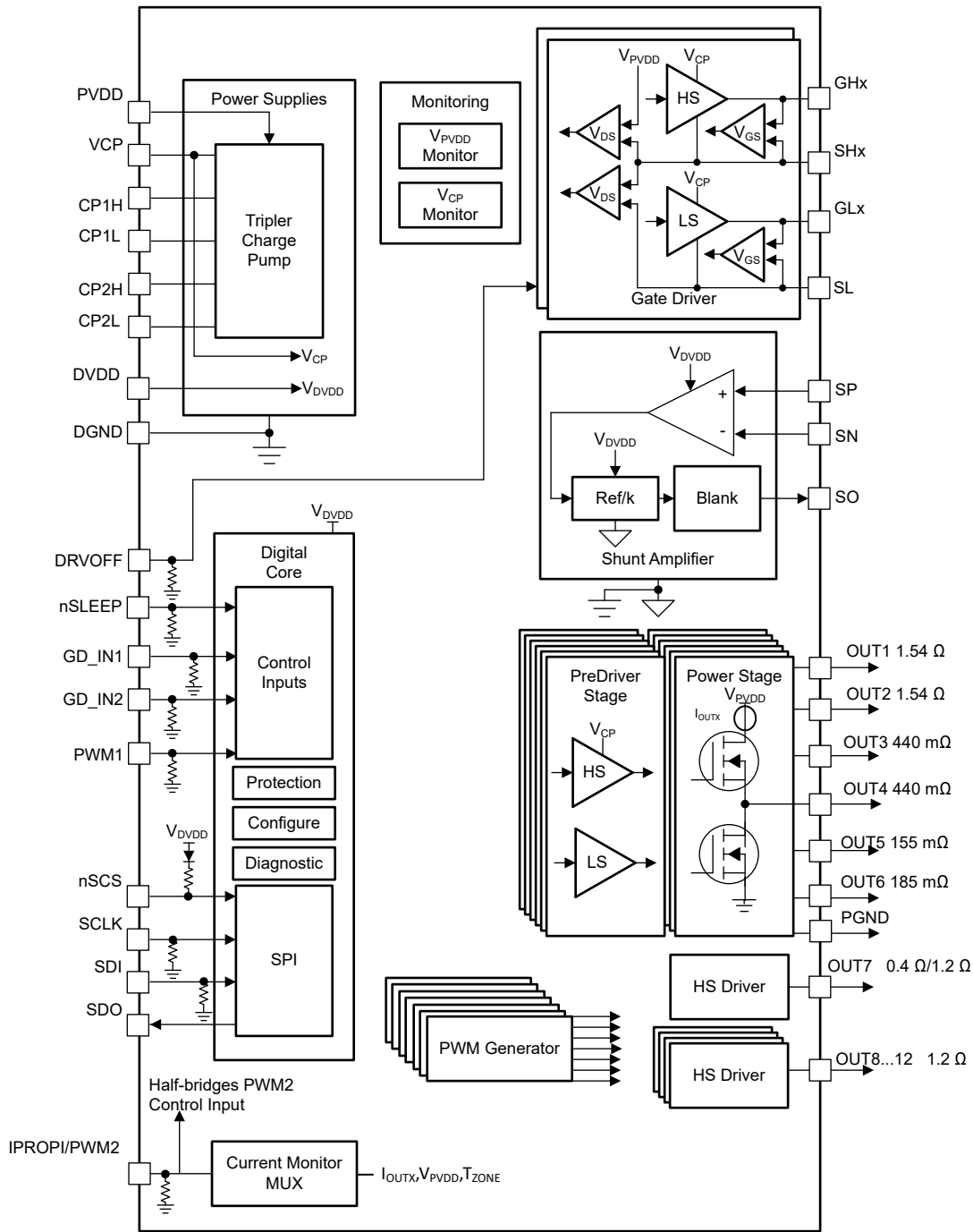


图 7-1. DRV8002-Q1 的方框图

7.3 外部组件

表 7-1 列出了推荐用于此器件的外部元件。请参阅 节 9.2 有关元件放置的示例。

表 7-1. 推荐的外部元件

元件	引脚 1	引脚 2	推荐
CPVDD1	PVDD	GND	0.1μF、低 ESR 陶瓷电容器、额定电压为 PVDD。

表 7-1. 推荐的外部元件 (续)

元件	引脚 1	引脚 2	推荐
C _{PVDD2}	PVDD	GND	大于或等于 10μF、额定电压为 PVDD 的局部大容量电容器。
C _{DVDD}	DVDD	GND	1 μF、6.3V、低 ESR 陶瓷电容器
C _{VCP}	VCP	PVDD	1 μF、16V、低 ESR 陶瓷电容器
C _{FLY1}	CP1H	CP1L	0.1μF、100V、低 ESR 陶瓷电容器
C _{FLY2}	CP2H	CP2L	0.1μF、100V、低 ESR 陶瓷电容器
R _{IPROPI}	IPROPI	GND	通常为高达 2.35kΩ 0.063W 电阻器，容差为 1%，具体取决于控制器电源电压轨。
R _{FILT}	R _{IPROPI}	C _{FILT}	RC 滤波器的可选电阻器部分，具体取决于控制器输入。
C _{FILT}	R _{FILT}	GND	RC 滤波器的可选低 ESR 陶瓷电容器部分，具体取决于控制器输入。
C _{SO1}	SO	GND	100nF、16V、低 ESR 陶瓷电容器。 分流放大器输出滤波器的一部分。
C _{SO2}	SO	GND	0.01 μF、16V、低 ESR 陶瓷电容器。 分流放大器输出滤波器的一部分。
R _{SO}	C _{SO1}	C _{SO2}	通常为 0Ω，分流放大器输出滤波器的一部分。

7.4 特性说明

下表提供了指向器件关键模块的所有特性描述的链接。

表 7-2. 按部分列出的器件特性表

器件模块
高侧驱动器
半桥驱动器
栅极驱动器
IPROPI
保护电路
热仪表组
故障表

7.4.1 高侧驱动器

表 7-3. 高侧驱动器部分目录

半桥部分	部分的链接
返回特性部分的顶部	节 7.4
高侧驱动器控制	节 7.4.1.1
高侧驱动器调节	节 7.4.1.1.3
高侧驱动器保护	节 7.4.1.2

该器件集成了 6 个高侧驱动器 OUT7 - OUT12，可以对这些驱动器进行编程以驱动多种负载类型。每个高侧驱动器都具有可选的高或低过流保护和开路负载电流阈值。OUT7 可配置为用于驱动灯、灯泡或 LED。所有高侧驱动器还具有一个专门用于驱动高电容 LED 模块的固定时间恒流模式。

每个高侧驱动器都具有开路负载检测、过流保护和短路保护功能。低 $R_{DS(on)}$ 和高 $R_{DS(on)}$ 模式下的 OUT7 都具有针对灯或灯泡负载的可选 ITRIP 调节功能。OUT8 - OUT12 还具有可选的 ITRIP 调节功能，如果超过相应的过流阈值（高电平或低电平），则会激活该调节。该功能可用于驱动更大的 LED 模块或具有 OUT8 - OUT12 的其他负载类型。

以下是高侧驱动器的方框图：

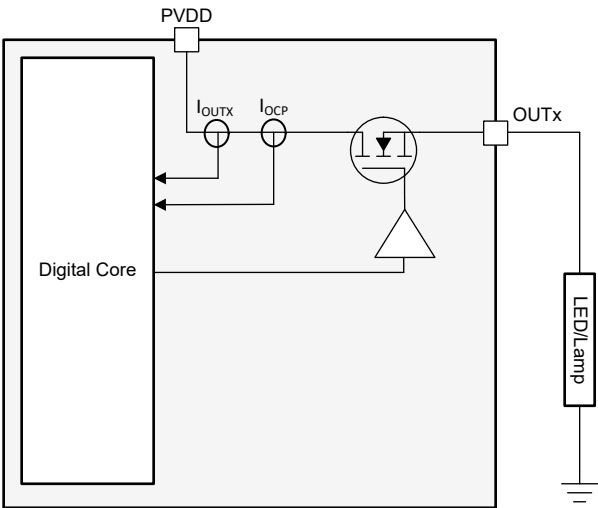


图 7-2. 高侧驱动器方框图

表 7-4 汇总了所有器件高侧驱动器以及相应的功能集：

表 7-4. 高侧驱动器及其功能

高侧驱动器	$R_{DS(on)}$ (Ω)	OL 检测	过流/短路保护	ITRIP	CCM
OUT7	0.44/1.2	是	是	是	是
OUT8	1.2	是	是	是	是
OUT9	1.2	是	是	是	是
OUT10	1.2	是	是	是	是
OUT11	1.2	是	是	是	是
OUT12	1.2	是	是	是	是

7.4.1.1 高侧驱动器控制

高侧驱动器可配置为由 SPI 寄存器、从 10 位 PWM 发生器内部生成的 PWM 信号或来自 PWM1 引脚的外部 PWM 信号进行控制。该配置是通过将寄存器 HS_OUT_CNFG 中的 OUTx_CNFG (OUT7-OUT12) 位置位来完成的。

在 SPI 寄存器控制模式下，(OUTx_CNFG = 01b)，高侧输出遵循 HS_OUT_CNFG (ON/OFF) 中各输出的使能位。

下表汇总了高侧驱动器配置选项：

表 7-5. 高侧驱动器配置

OUTx_CNFG 位	配置	说明
00	关闭	禁用高侧驱动器控制
01	SPI 寄存器控制	使能高侧驱动器 SPI 控制
10	PWM1 引脚控制	通过 PWM1 引脚控制高侧驱动器
11	PWM 生成器	通过专用的内部 PWM 发生器控制高侧驱动器

7.4.1.1.1 高侧驱动器 PWM 发生器

每个高侧驱动器都配有一个具有 10 位占空比分辨率的专用 PWM 发生器。每个 PWM 发生器的频率和占空比都可以独立控制。

配置高侧驱动器占空比时，可以选择高达 1022 (99.8%) 的值。

所需的寄存器配置序列：

1. 在寄存器 HS_PWM_FREQ_CNFG 中配置高侧驱动器 PWM 频率值
2. 在寄存器 OUTx_DC 中设置占空比，值为 0 至 1022 (0% - 99.8% 占空比)
3. 在寄存器 HS_HEAT_OUT_CNFG 中配置驱动器运行模式

PWM 发生器的频率由寄存器 HS_PWM_FREQ_CNFG 的 PWM_OUTX_FREQ 位控制，如下表所示：

表 7-6. PWM 频率

PWM_OUTX_FREQ	PWM 频率 (Hz)
00b	108
01b	217
10b	289
11b	434

7.4.1.1.2 恒流模式

所有高侧驱动器都具有定时恒流模式功能，可用于向所需输出提供短时间的恒流。此模式通过寄存器 HS_REG_CNFG2 中的 OUTx_CCM_EN 位使能。使能后，来自高侧驱动器的电流在 10ms 的短时间内限制为配置的限值。

恒流模式具有两个电流限制选项。这通过寄存器 HS_REG_CNFG2 中的 OUTx_CCM_EN 位配置，汇总在下表中：

表 7-7. 恒流模式选项

高侧输出	OUTX_CCM_TO	电流限制 (I _{CCM})	超时 (t _{CCMto})
OUT7 (RDSON 高电平)	0b	250mA	10ms
	1b	330mA	10ms
OUT7 (RDSON 低电平)	0b	360mA	10ms
	1b	450mA	10ms

表 7-7. 恒流模式选项 (续)

高侧输出	OUTX_CCM_TO	电流限制 (I_{CCM})	超时 (t_{CCMto})
OUT8-12	0b	350mA	10ms
	1b	450mA	10ms

仅当在启用配置的输出之前配置了 [OUTx_CCM_EN](#) 位以及输出处于禁用状态时，才会启用此恒流模式功能。CCM 将在到期时间 t_{CCMto} 后自动到期。超时后，驱动器根据寄存器 [HS_OUT_CNFG](#) 中的 [OUTx_CCM_EN](#) 位保持使能状态，并根据寄存器 [HS_OUT_CNFG](#) 中的位进行配置。

所需的寄存器配置序列：

1. 在寄存器 [HS_REG_CNFG2](#) 中配置高侧驱动器 CCM 模式
2. 在寄存器 [HS_OUT_CNFG](#) 中配置高侧驱动器运行

一旦设置了 CCM 模式并且完成了驱动器配置，当寄存器 [HS_OUT_CNFG](#) 中设置了相应的 [OUTx_CNFG](#) 位时，CCM 计时器开始计时。

CCM 计时器到期后，仅支持 SPI 控制或外部 PWM 发生器控制 ($OUTx_CNFG = 01b$ 或 $10b$)。内部 PWM 发生器控制不支持 CCM 模式。

如果在配置高侧驱动器后配置了恒流模式，则 CCM 模式不会激活。

对于 [OUTx_CCM_EN](#) 位：

- 如果在恒流模式超时之前 [OUTx_CCM_EN](#) 由控制器清零，则驱动器遵循命令并切换到与 [OUTx_CNFG](#) 位对应的模式
- 如果在驱动器已使能后将 [OUTx_CCM_EN](#) 置位，则 [OUTx_CCM_EN](#) 位会被忽略；在这种情况下，[OUTx_CCM_EN](#) 保持关断

当驱动器开启、由 PWM 驱动但不处于恒流模式时，短路和过流检测处于激活/使能状态。开路负载检测始终处于激活状态。

7.4.1.1.3 OUTx HS ITRIP 行为

对于所有高侧驱动器，均提供称为 HS ITRIP 的固定频率电流调节功能。当驱动某些负载时发生过流情况时，此功能会重新启动驱动器。过流检测基于检测到的负载电流。此功能旨在用于驱动浪涌电流较大且超过驱动器过流阈值的负载，灯具、灯泡或大型 LED 模块等负载。

高侧驱动器可通过配置 [HS_REG_CNFG1](#) 寄存器中的 [OUT7_ITRIP_EN](#) (针对 OUT7) 以及 [HS_REG_CNFG3](#) 寄存器中的 [HS_OUTx_ITRIP_EN](#) (针对 OUT8-12) 来启用 ITRIP 调节。默认情况下，所有高侧驱动器都禁用 ITRIP 调节。如果 ITRIP 调节处于禁用状态，并且在消隐时间之后，如果驱动器电流超过过流阈值 (I_{OCx}) 的时间达到抗尖峰脉冲时间，则输出被禁用。

启用 ITRIP 调节：

启用 ITRIP 调节时，如果在消隐时间后，驱动器电流超过过流阈值 I_{OCx} 的时间达到抗尖峰脉冲时间，则输出关闭。它会在 ITRIP 周期结束后再次自动开启。可以通过在 [HS_OC_CNFG](#) 寄存器中设置 OUT7 的 [OUT7_RDSON_MODE](#) 位和 OUT8-12 的 [OUTx_OC_TH](#) 位，来配置过流阈值 (高电平或低电平)。

所有高侧驱动器输出的 ITRIP 调节的消隐时间为 $40\ \mu s$ 。消隐时间从启用 OUTx 后开始。OUT7 具有专用的 ITRIP 频率和抗尖峰脉冲时间设置，可通过 [HS_REG_CNFG1](#) 寄存器中的位 [OUT7_ITRIP_FREQ](#) 和 [OUT7_ITRIP_DG](#) 进行配置。对于 OUT8-12，ITRIP 频率和抗尖峰脉冲时间设置为共享模式，可通过 [HS_REG_CNFG3](#) 寄存器中的 [HS_OUT_ITRIP_FREQ](#) 和 [HS_OUT_ITRIP_DG](#) 位进行配置。对于 $V_{PVDD} < 20V$ 的情况，所有抗尖峰脉冲选项 (24 、 32 、 40 和 $48\ \mu s$) 均可用。当 $V_{PVDD} > 20V$ 时，抗尖峰脉冲时间自动减少到 $10\ \mu s$ 。

启用 ITRIP 调节并且检测到过流时，对于 OUT7 驱动器，EC_HEAT_ITRIP_STAT 寄存器中的 OUT7_ITRIP_STAT 位会被锁存，同时对应输出关闭；对于 OUT8-12 驱动器，HS_ITRIP_STAT 寄存器中的 OUTx_ITRIP_STAT 位会被置位并锁存。该故障位保持置位状态，直到 CLR_FLT 位被置位。

表 7-8. 高侧 ITRIP 频率选项汇总

频率 (f_{ITRIP_HS})	HS_OUT_ITRIP_FREQ/OUT7_ITRIP_FREQ
1.7kHz	00b
2.2kHz	01b
3kHz	10b
4.4kHz	11b

表 7-9. 高侧 ITRIP 抗尖峰脉冲选项汇总

抗尖峰脉冲时间 ($t_{ITRIP_HS_DG}$)	HS_OUT_ITRIP_DG/OUT7_ITRIP_DG
48 μ s	00b
40 μ s	01b
32 μ s	10b
24 μ s	11b

当 OUTx ITRIP 消隐时间到期时，ITRIP 抗尖峰脉冲计时器将启动。最短 OUTx ITRIP 导通时间是消隐时间和抗尖峰脉冲时间的总和，总周期由 OUTx ITRIP 频率决定。下图显示了 ITRIP 行为。

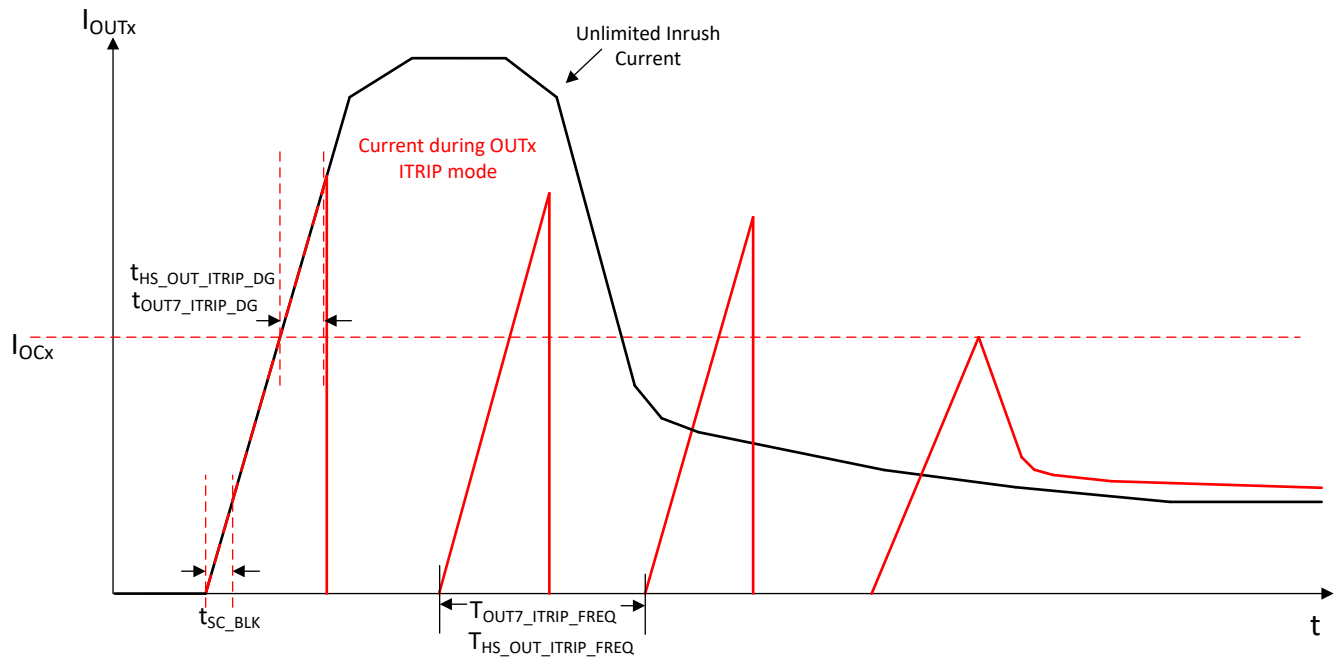


图 7-3. 白炽灯泡的 OUTx HS ITRIP 行为

消隐时间 t_{SC_BLK} 为 40 μ s，经过此时间后可检测到过流情况。 $t_{OUT7_ITRIP_DG}$ 或 $t_{HS_OUT_ITRIP_DG}$ 是在超过过流保护阈值后 OUTx 保持导通的时间。 $T_{OUT7_ITRIP_FREQ}$ 或 $T_{HS_OUT_ITRIP_FREQ}$ 是 ITRIP 环路的时间周期，是 $t_{OUT7_ITRIP_FREQ}$ 或 $t_{HS_OUT_ITRIP_FREQ}$ 的倒数。OUT7-12 的 ITRIP 故障在寄存器 OUT7_ITRIP_STAT 和 OUTx_ITRIP_STAT 中报告。

7.4.1.1.4 高侧驱动器- 并行输出

高侧驱动器 OUT8 至 OUT12 可以用并联组合连接，从而支持更高的电流负载。例如，可以将 OUT8 和 OUT9 作为 $600\text{m}\Omega$ 驱动器有效地并联，或者将 OUT9、OUT10 和 OUT12 作为 $400\text{m}\Omega$ 驱动器有效地并联。

但是，这种运行模式存在一些限制：

- 内部 PWM 控制不适用于并联高侧驱动器，不得针对此运行模式进行配置。
- 恒流模式无法实现，必须禁用。
- 不支持 ITRIP 调节。
- 支持过流保护、短路保护和有源开路负载检测。

如果以并联方式运行，则高侧驱动器必须配置为 ON/OFF SPI 寄存器控制或通过引脚进行外部 PWM 信号控制。

7.4.1.2 高侧驱动器保护电路

7.4.1.2.1 高侧驱动器内部二极管

每个高侧驱动器都有一个从接地端到高侧 OUTx 节点的内部二极管，用于提供 ESD 保护。如果发生以下任一情况，该二极管可能会承受高能量耗散：

- 接地连接失效，并且高侧输出端接地短路。
- 高侧输出端存在电感负载。

续流期间内部 ESD 二极管只能耗散有限的能量 ($<1\text{mJ}$)。对于大于 $100\mu\text{H}$ 的电感负载，需要在 PGND 和相应端输出之间连接一个外部续流二极管

7.4.1.2.2 高侧驱动器短路保护

短路保护功能使用 OUTx 节点上的 2V 比较器来监测每个高侧输出 (OUT7-12)。在消隐时间后，如果 OUTx 电压超过 2V 短路阈值的时间达到抗尖峰脉冲时间，则会检测到接地短路故障并禁用输出。

对于所有高侧驱动器输出，2V 比较器消隐时间 ($t_{\text{SC_BLK}}$) 为 $40\mu\text{s}$ 。消隐时间从启用 OUTx 后开始。OUT7 具有专用的抗尖峰脉冲时间设置，可通过 HS_REG_CNFG1 寄存器中的 OUT7_ITRIP_DG 进行配置。对于 OUT8-12，抗尖峰脉冲时间设置为共享模式，可通过 HS_REG_CNFG3 寄存器中的 HS_OUT_ITRIP_DG 位进行配置。对于 $V_{\text{PVD}} < 20\text{V}$ 的情况，所有抗尖峰脉冲选项 (24 、 32 、 40 和 $48\mu\text{s}$) 均可用。当 $V_{\text{PVD}} > 20\text{V}$ 时，抗尖峰脉冲时间自动减少到 $10\mu\text{s}$ 。

检测到短路时，HS_STAT 寄存器中相应的 OUTx_OCP 故障状态位会被锁存，并且相应的输出关断。该故障位保持置位状态，直到 CLR_FLT 位被置位。下图显示了高侧驱动器的短路行为：

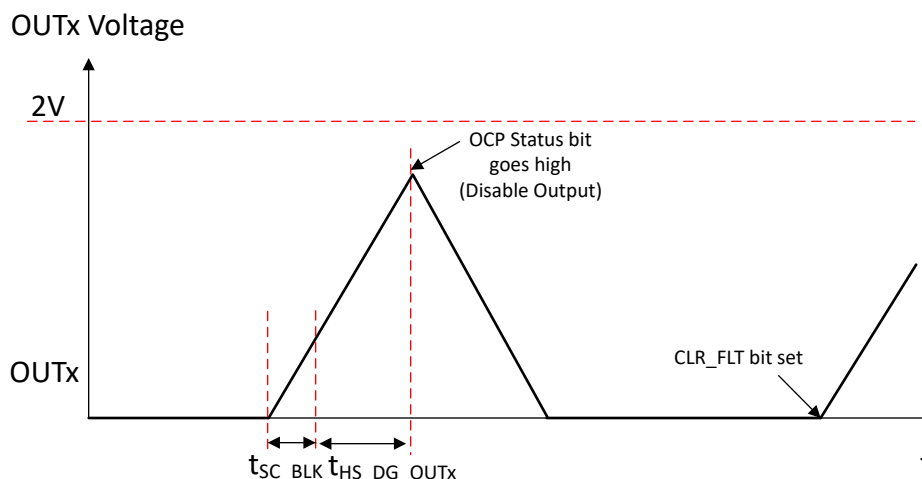


图 7-4. 高侧驱动器短路保护

7.4.1.2.3 高侧驱动器过流保护

禁用 ITRIP 调节时，将启用提供过流保护。系统会监测所有驱动器 (OUT7-OUT12) 的输出电流，如果在消隐时间之后电流超过过流阈值达到抗尖峰脉冲时间，则输出会被禁用。

通过在 HS_REG_CNFG1 中配置 OUT7_ITRIP_EN = 0b 来禁用 OUT7 的 ITRIP，并通过在 HS_REG_CNFG3 寄存器中配置 HS_OUTx_ITRIP_EN = 0b 来禁用 OUT8-12 的 ITRIP。可以通过在 HS_OC_CNFG 寄存器中设置 OUT7 的 OUT7_RDSON_MODE 位和 OUT8-12 的 OUTx_OC_TH 位，来配置过流阈值（电平或低电平）。

所有高侧驱动器输出的过流保护的消隐时间为 40 μ s。消隐时间从启用 OUTx 后开始。OUT7 具有专用的抗尖峰脉冲时间设置，可通过 HS_REG_CNFG1 寄存器中的 OUT7_ITRIP_DG 进行配置。对于 OUT8-12，抗尖峰脉冲时间设置为共享模式，可通过 HS_REG_CNFG3 寄存器中的 HS_OUT_ITRIP_DG 位进行配置。对于 $V_{PVDD} < 20V$ 的情况，所有抗尖峰脉冲选项（24、32、40 和 48 μ s）均可用。当 $V_{PVDD} > 20V$ 时，抗尖峰脉冲时间自动减少到 10 μ s。检测到过流检测时，对于 OUT7 驱动器，EC_HEAT_ITRIP_STAT 寄存器中的 OUT7_ITRIP_STAT 位会被锁存，同时对输出关闭；对于 OUT8-12 驱动器，HS_ITRIP_STAT 寄存器中的 OUTx_ITRIP_STAT 位会被锁存，同时对输出关闭。该故障位保持置位状态，直到 CLR_FLT 位被置位。

7.4.1.2.4 高侧驱动器开路负载检测

高侧驱动器具有开路负载检测功能。与 DRV800x-Q1 的半桥驱动器 OLA 检测方案类似，高侧驱动器开路负载检测方案会依次检查每个驱动器的负载电流是否低于开路负载电流阈值。开路负载电流阈值 I_{OLDx} 可通过寄存器 HS_OL_CNFG 中的 OUTx_OLA_TH 位在高电流阈值和低电流阈值之间对 OUT8-12 进行配置。仅高侧驱动器 OUT7 的阈值会根据 OUT7_RDSON_MODE 自动调整。

对于 OUT7-12 高侧驱动器，开路负载检测必须通过寄存器 HS_OL_CNFG 中的 OUTx_OLA_EN 位使能。

如果负载电流 I_{OUTx} 低于开路负载阈值 (I_{OLD_HS}) 的时间达 $t > t_{OLD_HS}$ ，则相应的高侧开路负载状态位 OUTx_OLA 会在状态寄存器中置位。检测到开路负载的驱动器不会关闭。

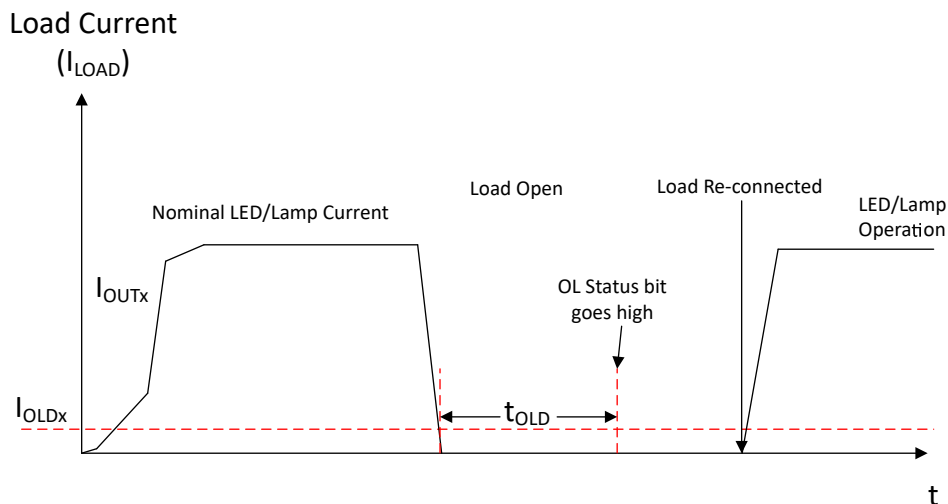


图 7-5. 高侧驱动器的开路负载检测

每个高侧驱动器的开路负载检测测试时间为 200 μ s。在使能输出之前，计时器不会启动。一旦遍历了所有已使能的驱动器，检测周期将重新开始。当 OLA 位标记为 OUTx 时，状态将被锁存，且 OUTx 将排除在检测周期之外。需要 CLR_FLT 来重新启动 OUTx 的 OLA 检查。

高侧驱动器必须至少导通 200 μ s 才能使 OLA 检测完成。否则，器件会等待下一个 PWM 周期。用于 OLA 检测的关断计数器在高侧驱动器关断时启动，如果检测到驱动器关断超过 10ms，则结束 OLA 检测。

7.4.2 半桥驱动器

表 7-10. 半桥部分目录

半桥部分	部分的链接
返回特性部分的顶部	节 7.4
半桥控制	节 7.4.2.1
半桥调节	节 7.4.2.4
半桥保护	半桥保护和诊断

该器件集成了总共六个半桥高侧和低侧 FET，支持对多达五个电机进行双向驱动；其中包括两个 1.54 Ω 的半桥、两个 440m Ω 的半桥、两个 185m Ω 的半桥和一个 155m Ω 的半桥。所有这些驱动器都可以通过 SPI 寄存器以及可来自 PWM1 引脚或 IPROPI/PWM2 引脚的 PWM 信号进行控制。每个驱动器还具有称为 ITRIP 的可配置电流调节功能。半桥保护电路包括过流保护、关断状态和有源开路负载诊断。

下图显示了支持多达五个后视镜和锁定电机以及所有后视镜电机的集成半桥的常见配置：

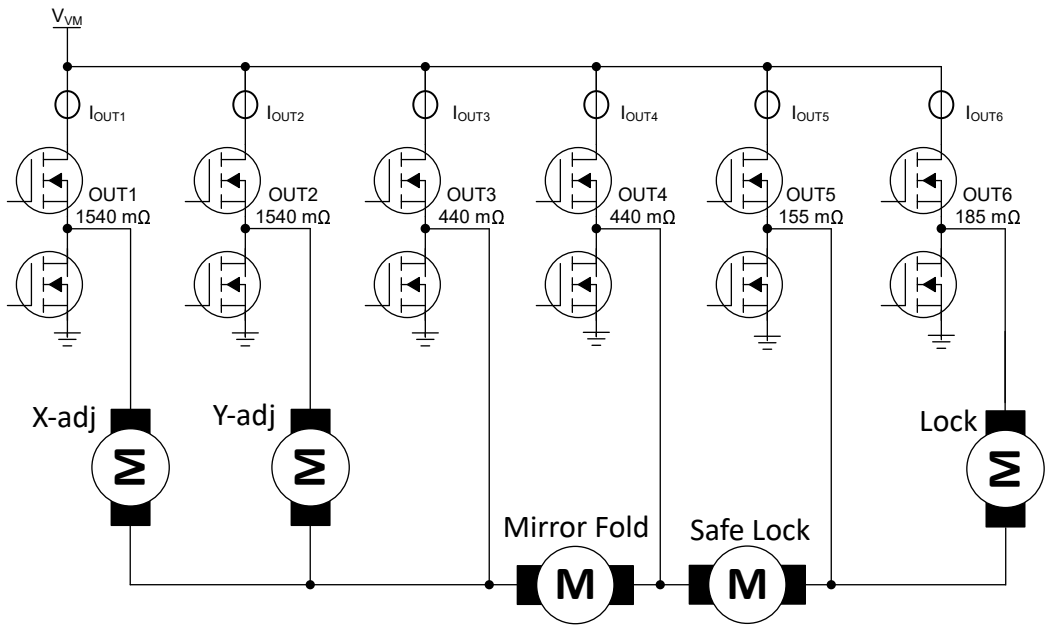


图 7-6. 适用于多达五个电机的半桥配置（后视镜和锁定）

下图显示了仅后视镜负载的配置：

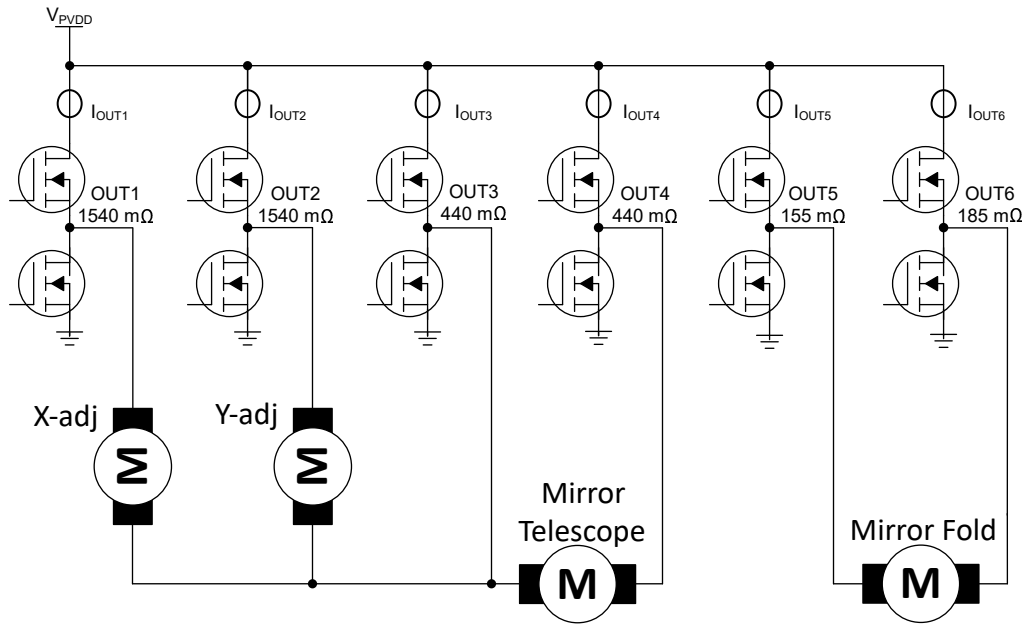


图 7-7. 适用于多达四个电机的半桥配置 (仅后视镜)

7.4.2.1 半桥控制

半桥驱动器可以在两种模式下进行控制，以支持通过 PWM 输入引脚或 SPI 寄存器控制的控制方案。半桥驱动器还具有配置寄存器 (HB_OUT_CNFG1 和 HB_OUT_CNFG2)，用于使能半桥控制并设置控制模式 (PWM 或 SPI)。

半桥可配置为由来自 PWM1 或 IPROPI/PWM2 引脚的输入信号进行控制。输入到 PWM1 引脚的信号可以在内部多路复用到半桥和高侧驱动器。来自 PWM2 引脚的 IPROPI/PWM2 控制仅适用于半桥。当 IPROPI/PWM2 引脚配置为 PWM 输入时，IPROPI 检测输出变得不可用。每个半桥驱动器的压摆率都可以在 HB_SR_CNFG 中配置。

默认情况下，IPROPI/PWM2 为检测输出。下面显示了配置表。请注意，OUT5 和 OUT6 在 HB_OUT_CNFG1 中配置，OUT1 至 OUT4 在 HB_OUT_CNFG2 中配置：

表 7-11. OUTX_CNFG 半桥配置：

OUTX_CNFG[2]	OUTX_CNFG[1]	OUTX_CNFG[0]	OUTx	HS 导通	LS 导通
0	0	0	关闭	关闭	关闭
0	0	1	SPI 寄存器控制	OUTX_CTRL	OUTX_CTRL
0	1	0	PWM 1 互补控制	~PWM1	PWM1
0	1	1	PWM 1 LS 控制	关闭	PWM1
1	0	0	PWM 1 HS 控制	PWM1	关闭
1	0	1	PWM 2 互补控制	~IPROPI/PWM2	IPROPI/PWM2
1	1	0	PWM 2 LS 控制	关闭	IPROPI/PWM2
1	1	1	PWM 2 HS 控制	IPROPI/PWM2	关闭

当半桥配置为 SPI 寄存器控制 (OUTx_CNFG = 01b) 时，半桥高侧和低侧 MOSFET 可以在寄存器 GD_HB_CTRL 中通过位 OUTx_CTRL 单独控制。半桥输出的控制真值表如下所示：

表 7-12. 半桥驱动器控制

OUTx_CTRL (OUT1-6) 位	配置	说明
00	关闭	半桥控制关闭

表 7-12. 半桥驱动器控制 (续)

OUTx_CTRL (OUT1-6) 位	配置	说明
01	HS 导通	高侧 MOSFET 导通
10	LS 导通	低侧 MOSFET 导通
11	RSVD	保留。

只要 SPI 通信可用, 就可以通过写入这些位来更改半桥控制模式。此更改会立即反映出来。

当半桥配置为 PWM 运行 (OUTx_CNFG = 01xb、10xb 或 11xb) 时, 输入可接受用于 100% 或 PWM 驱动模式的静态或脉宽调制 (PWM) 电压信号。

在开关半桥上的高侧和低侧 FET 之间转换时, 该器件会自动生成所需的死区时间。该时序基于内部 FET 栅源电压。无需外部时序。该方案提供最短的死区时间, 同时防止击穿电流。

7.4.2.2 OUT1 和 OUT2 高侧驱动器模式

通过设置 HB_OUT_CNFG2 寄存器中的 OUT1_MODE 和 OUT2_MODE 位, 可以将 OUT1 和 OUT2 2 个半桥配置为高侧驱动器。当 OUTx_MODE 设置为 1b 时, 相应的输出在高侧模式下运行。

在高侧驱动器配置中, OUT1 和 OUT2 输出仅由内部 PWM 发生器控制。通过将 OUT1_CNFG 和 OUT2_CNFG 配置为 xx1b 来启用该控制。将这些位设置为 xx0b 会禁用输出 OUT1 和 OUT2。

配置为高侧模式时, 可以使用 HB_ITRIP_FREQ 寄存器中的 PWM_OUT1_FREQ 和 PWM_OUT2_FREQ 位对 OUT1 和 OUT2 的 PWM 频率进行编程。OUT1_DC 和 OUT2_DC 位配置从内部 PWM 发生器到最高值 1022 (99.8% 占空比) 的占空比控制。

表 7-13. 高侧驱动器模式下的 OUT1 或 OUT2 PWM 频率

PWM_OUTx_FREQ	PWM 频率 (Hz)
00b	108
01b	217
10b	289
11b	434

与半桥模式相同的保护和诊断功能在高侧模式下适用于 OUT1 和 OUT2。

7.4.2.3 半桥寄存器控制

半桥默认禁用, 一旦配置为在 SPI 寄存器控制模式下运行, 任何高侧或低侧均可通过在 GD_HB_CTRL 寄存器的 OUTx_CTRL 位中配置高侧 (HS_ON) 和低侧 (LS_ON) 的单独使能位来启用。

当将两个半桥 (OUT1/OUT2、OUT3/OUT4、OUT5/OUT6) 连接为半桥 X (OUTX) 和半桥 Y (OUTY) 时, 可以此为例。特定半桥的高侧和低侧使能位配置为在正向模式、反向模式、制动模式和滑行模式下驱动电机, 如下所示:

表 7-14. 电机运行 (电机连接在 OUTX 和 OUTY 之间)

nSLEEP	半桥 X HS	半桥 X LS	半桥 Y HS	半桥 Y LS	OUTX	OUTY	
0	X	X	X	X	Z	Z	睡眠
1	0	0	0	0	Z	Z	滑行
1	HS_ON = 1	LS_ON = 0	HS_ON = 0	LS_ON = 1	H	L	正向
1	HS_ON = 0	LS_ON = 1	HS_ON = 1	LS_ON = 0	L	H	反向
1	HS_ON = 0	LS_ON = 1	HS_ON = 0	LS_ON = 1	L	L	制动 (低侧)

表 7-14. 电机运行 (电机连接在 OUTX 和 OUTY 之间) (续)

nSLEEP	半桥 X HS	半桥 X LS	半桥 Y HS	半桥 Y LS	OUTX	OUTY	
1	HS_ON = 1	LS_ON = 0	HS_ON = 1	LS_ON = 0	H	H	制动 (高侧)

7.4.2.4 半桥 ITRIP 调节

器件半桥具有称为 ITRIP 的可选固定频率负载电流调节功能。这是通过将有源输出电流与由 [OUTx_ITRIP_LVL](#) 确定的配置电流阈值进行比较来实现的。OUT1-2 有两个可能的 ITRIP 电流阈值，OUT3-6 也有三个电流阈值选项。ITRIP 阈值、使能和时序设置是在 [HB_ITRIP_CONFIG](#)、[HB_ITRIP_FREQ](#) 和 [HB_ITRIP_DG](#) 中为每个半桥单独设置的。

由于此器件具有多个可在任何给定时间使能的集成驱动器，因此存在续流配置，旨在减少 ITRIP 半桥调节期间的功耗。与异步整流 (二极管) 相比，同步整流 (MOSFET) 的功耗更低。半桥续流可在非同步 (无源续流) 和同步整流 (有源续流) 之间配置。ITRIP 调节期间半桥的同步整流通过设置配置寄存器 [HB_OUT_CNFG1](#) 中的 [NSR_OUTx_DIS](#) 位来使能。

ITRIP 检测在每个半桥的高侧和低侧 MOSFET 上完成，并由内部控制消隐。

可配置的 ITRIP 时序参数为频率和抗尖峰脉冲。下表汇总了 ITRIP 配置选项。

表 7-15. 半桥 ITRIP 同步整流设置

NSR_OUTx_DIS	ITRIP 半桥关断时间响应
0b	高阻态
1b	互补 MOSFET 导通

表 7-16. 半桥的 ITRIP 电流阈值

半桥	典型 ITRIP 电流阈值	OUTx_ITRIP_LVL
OUT6	6.2A	10b
	5.4A	01b
	2.3A	00b
OUT5	7.6A	10b
	6.6A	01b
	2.9A	00b
OUT3 和 OUT4	3.4A	10b
	2.5A	01b
	1.3A	00b
OUT1 和 OUT2	0.875A	1b
	0.7A	0b

表 7-17. ITRIP 时序 - 抗尖峰脉冲选项

抗尖峰脉冲时间	OUTx_ITRIP_DG
2 μ s	00b
5 μ s	01b
10 μ s	10b
20 μ s	11b

表 7-18. ITRIP 时序 - 频率选项

ITRIP 频率	OUTx_ITRIP_FREQ
20kHz	00b
10kHz	01b
5kHz	10b
2.5kHz	11b

备注

如果需要 20kHz 的 ITRIP 频率，建议使用最短的抗尖峰脉冲时间 ($2\ \mu\text{s}$)。

ITRIP 调节的步骤如下：

- 使能半桥的低侧或高侧。使能半桥时，会出现第一个 ITRIP 时钟边沿。
- 如果在低侧或高侧超过 ITRIP 限制，则器件等待的时间超过抗尖峰脉冲时间 $t_{\text{DG_ITRIP_HB}}$ 。
- 如果在抗尖峰脉冲时间后仍然超过 ITRIP 限制，则半桥会进入 Hi-Z 状态或在 ITRIP 周期的剩余时间内导通相反 MOSFET，具体取决于 **NSR_OUTx_DIS** 位设置。ITRIP 状态位置位，且调节环路重新启动。
- 如果 **NSR_OUTx_DIS** = 1b (使能同步整流)，则会监控流经使能的 MOSFET 的电流是否发生电流反转。如果检测到电流反转，半桥输出在 ITRIP 周期的剩余时间内为 Hi-Z。

同步整流或续流功能通过设置配置寄存器 **HB_OUT_CNFG1** 中的 **NSR_OUTx_DIS** 位来使能。当 **NSR_OUTx_DIS** = 0b 时，如果任一 MOSFET 上发生 ITRIP，则半桥会进入 Hi-Z 状态。如果 **NSR_OUTx_DIS** = 1b，则当任一 MOSFET 上发生 ITRIP 时，都会使能相反的 MOSFET。

例如，**NSR_OUTx_DIS** = 1b 且 **OUTx_CNFG** = 101b 或 010b，以配置为互补模式。如果 PWM 输入将 HS MOSFET 设置为导通，并且在 HS MOSFET 上达到 ITRIP，则 LS MOSFET 会在 ITRIP 周期的剩余时间内导通。HS MOSFET 在周期结束时导通。如果 PWM 输入在 ITRIP 周期内发生变化，则 ITRIP 计数器会复位，并且在 LS MOSFET 导通时，ITRIP 调节将激活。

如果使能了同步整流并且在发生 ITRIP 时 MOSFET 导通，则会监控电流以检测电流反转或过零情况。高侧和低侧 MOSFET 上都存在过零检测。如果在 ITRIP 调节期间检测到的负载电流达到 0A 的时间长于抗尖峰脉冲时间，则半桥输出会在 ITRIP 周期的剩余时间内变为 Hi-Z 状态。过零抗尖峰脉冲时间与 ITRIP 抗尖峰脉冲时间相同。

下图显示了配置 **OUTx_ITRIP_LVL**、**NSR_OUTx_DIS**、**HB_ITRIP_FREQ**、**HB_TOFF_SEL** 和 **HB_ITRIP_DG** 后半桥的 ITRIP 行为：

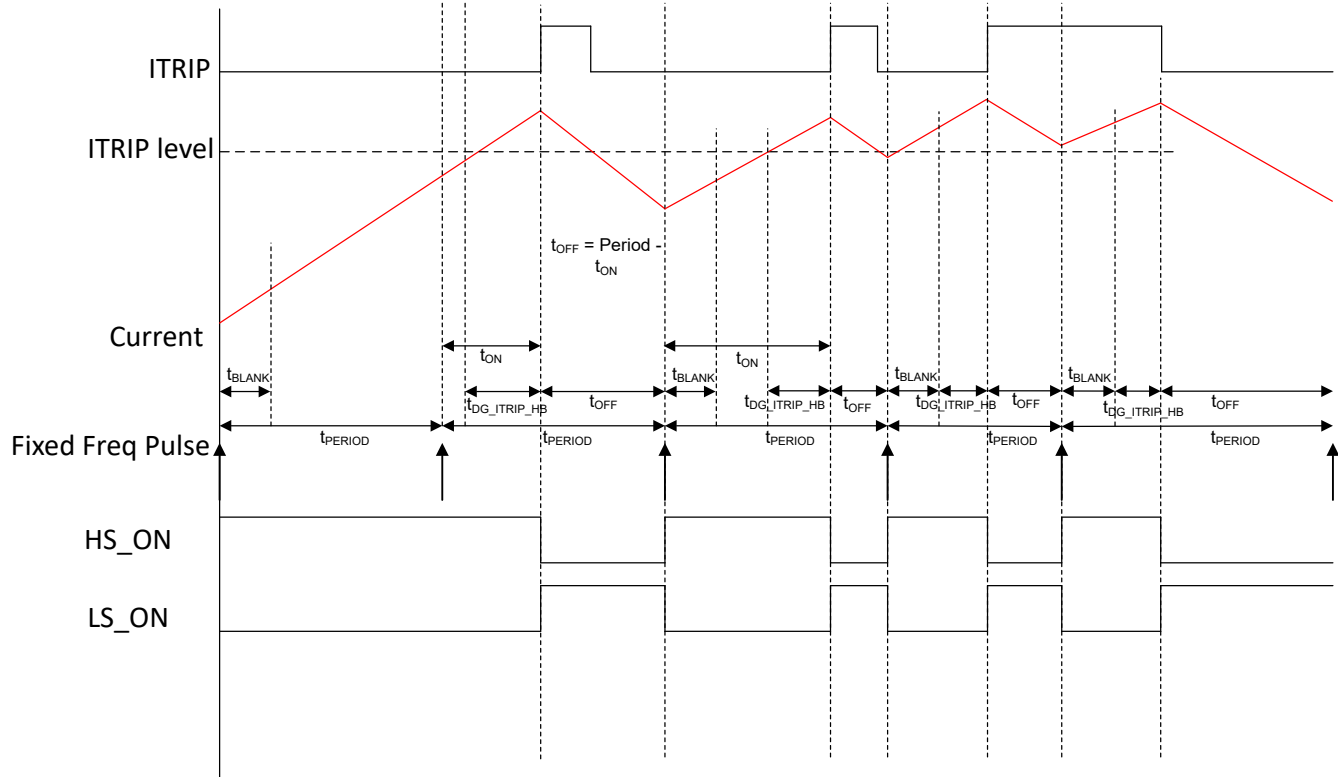


图 7-8. 半桥的固定频率 ITRIP 电流调节

只要 SPI 通信可用，就可以通过写入 `OUTx_ITRIP_LVL` 位随时更改 ITRIP 设置。此更改会立即反映在器件行为中。

如果半桥配置为 PWM 控制和 ITRIP，则在达到 ITRIP 时，行为与 SPI 寄存器控制相同，但现在的输入来自配置的 PWM 引脚。

根据 `HB_ITRIP_FREQ` 寄存器中的 `HB_TOFF_SEL` 位强制执行最短 t_{OFF} 时间。使能此设置时，其中周期 = $1/f_{PWM}$ ，如果 $(\text{周期} - t_{ON}) > t_{OFF_MIN}$ ，则 $t_{OFF} = (\text{周期} - t_{ON})$ ，如果 $(\text{周期} - t_{ON}) < t_{OFF_MIN}$ ，则 $t_{OFF} = t_{OFF_MIN}$ 。

例如，在 `HB_TOFF_SEL = 01b` 且最小 t_{OFF} 插入为 $T/2$ 的情况下。

1. 如果在占空比超过 50% 时发生 ITRIP，则在 ITRIP 之后插入最小固定 $T/2$ 关断时间。相关的行为是 $t_{OFF} = T/2$ 。
2. 如果在占空比未超过 50% 时发生 ITRIP，则相关的行为是 $t_{OFF} = (\text{周期} - t_{ON})$ 。

表 7-19. 最小 t_{OFF} 时间选项

<code>HB_TOFF_SEL</code>	强制执行最短 t_{OFF}
00b	禁用，零
01b	$T_{OFF} = T/2$ ，50% T
10b	$T_{OFF} = T/4$ ，25% T
11b	$T_{OFF} = T$

7.4.2.5 半桥保护和诊断

半桥驱动器具有过流保护功能。该器件还提供导通状态和关断状态负载监控。故障信号通过寄存器 `HB_STATX` 进行传输。

7.4.2.5.1 半桥关断状态诊断 (OLP)

当在寄存器 **HB_OUT_CNFGx** 中禁用半桥时，用户可以使用关断状态诊断来确定一对半桥上的阻抗。通过此诊断，可以被动检测以下故障情况：

- 输出对 **VM** 或 **GND** 短路 < 1000 Ω
- 对于高侧负载，开路负载 > 1.5K Ω ，**VM** = 13.5V

备注

无法通过此诊断检测**负载短路**。然而，如果在输出被主动驱动时发生过流故障 (OCP)，用户可以从逻辑上推断出这一点，但在输出被禁用时，**OLP** 诊断不会报告任何故障。当输出被主动驱动时发生 **OCP**，而输出被禁用时发生 **OLP**，这两种情况的同时出现意味着终端短路（在选定的输出节点上存在短路）。

- 用户可以配置以下组合
 - **OUTx** 上的内部上拉电阻 (**R_{OLP_PU}**)
 - **OUTx** 上的内部下拉电阻 (**R_{OLP_PD}**)
 - 比较器基准电平
- 该组合由 **HB_OL_CNFG1** 寄存器中的 **HB_OLP_CNFG** 位决定。
- 要诊断的半桥对由 **HB_OL_CNFG1** 寄存器中的 **HB_OLP_SEL** 位决定。
- 关断状态诊断比较器输出在 **HB_STAT2** 寄存器中的 **HB_OLP_STAT** 位上可用。输出不会被锁存。
- 用户需要切换所有的组合并在比较器输出稳定后记录状态位输出。
- 根据输入组合和状态寄存器用户，可以判断输出是否有故障。

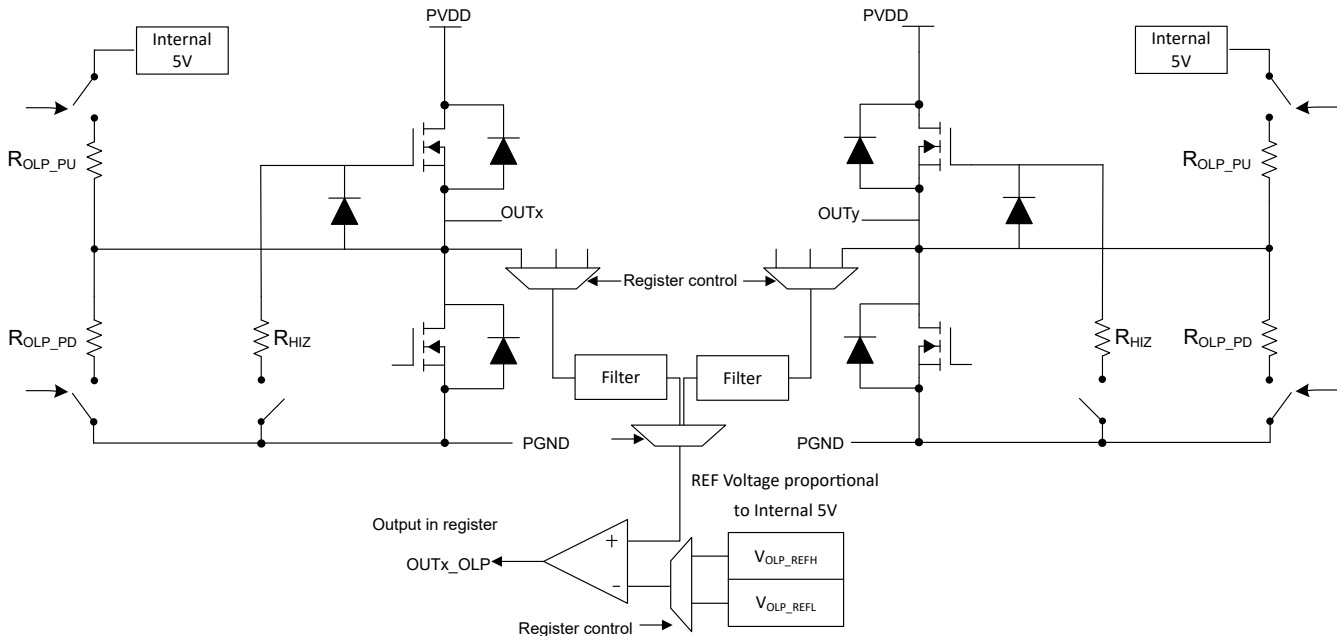


图 7-9. 关闭状态 (无源) 诊断

以下输出、下拉/上拉和 **VREF** 组合如下所示：

表 7-20. 关断状态输出上拉/下拉和 **VREF** 选项

HB_OLP_CNFG	说明
00b	OLP 关断
01b	使能 X 上拉，使能输出 Y 下拉，选择输出 Y ， VREF 低电平
10b	使能 X 上拉，使能输出 Y 下拉，选择输出 X ， VREF 高电平

表 7-20. 关断状态输出上拉/下拉和 VREF 选项 (续)

HB_OLP_CNFG	说明
11b	使能 X 上拉, 使能输出 Y 上拉, 选择输出 Y, VREF 低电平

无故障场景与故障场景的 OLP 组合和真值表如表 7-21 所示。为了使诊断激活并有效, 寄存器 HB_OUT_CNFGx 中的 OUTx_CNFG 位中的所有半桥配置都必须为零 (禁用)。

表 7-21. 关断状态诊断控制表

用户输入		OLP 设置				HB_OLP_STAT			
HB_OLP_CNFG	nSLEEP	OUTX	OUTY	CMP REF	所选输出	正常	开路	GND 短路	VM 短路
01b	1	R_OLP_PU	R_OLP_PD	V_OLP_REFL	OUTY	1b	0b	0b	1b
10b	1	R_OLP_PU	R_OLP_PD	V_OLP_REFH	OUTX	0b	1b	0b	1b
11b	1	R_OLP_PD	R_OLP_PU	V_OLP_REFL	OUTY	1b	1b	0b	1b

以下半桥对关断状态组合和选择值如下所示。

备注

如果使能了任何半桥, 则会自动禁用所有半桥 OLP 位, 器件结束关断状态诊断。

表 7-22. OUTx 和 OUTy 配置

HB_OLP_SEL	选择 OUTX 和 OUTY 对
0000b	无输出
0001b	OUT1 和 OUT2
0010b	OUT1 和 OUT3
0011b	OUT1 和 OUT4
0100b	OUT1 和 OUT5
0101b	OUT1 和 OUT6
0110b	OUT2 和 OUT3
0111b	OUT2 和 OUT4
1000b	OUT2 和 OUT5
1001b	OUT2 和 OUT6
1010b	OUT3 和 OUT4
1011b	OUT3 和 OUT5
1100b	OUT3 和 OUT6
1101b	OUT4 和 OUT5
1110b	OUT4 和 OUT6
1111b	OUT5 和 OUT6

7.4.2.5.2 半桥开路负载检测

当器件处于激活状态并等待驱动命令时, 半桥 OUT1 - OUT6 会存在开路负载检测环路。检测方案按顺序检查每个半桥输出的每个高侧和低侧的开路负载状态, 并在寄存器 HB_STAT2 的 OUTx_xx_OLA 位和寄存器 IC_STAT1 的 WARN 位中报告状态。

在待机或睡眠模式下, 控制环路从 OUT1 开始检查开路负载状态, 方法是在完成开路负载滤波时间后, 将电流与该半桥的欠流阈值进行比较。在 PWM 模式下运行时, 可以使用寄存器 HB_OL_CNFG2 中的 OUTx_OLA_TH 位将该延迟配置为 32、128、512 或 1024 个 PWM 周期。回读需要一个额外的周期, 例如, 如果 OUTx_OLA_TH

配置为 32 个周期，则要读回的值在第 33 个周期结束时可用。如果仅使用 EN/DIS (无 PWM 开关) 驱动输出，则开路负载检测延迟为 10ms。

表 7-23. 开路负载检测周期延迟

OUTx_OLA_TH	延迟周期计数
00b	32
01b	128
10b	512
11b	1024

若在周期计数阈值结束时检测到开路负载，或发生 10ms 超时，则报告 OUTx_HS_OLA/OUTx_LS_OLA 位。如果在配置的周期计数结束后仍未检测到开路负载，则环路会移至下一个半桥。环路继续检查每个输出，直至 OUT6，然后返回到 OUT1 以重新启动 OLA 环路。为了使开路负载检查有效，必须使能半桥开路负载检测 (OUTx_OLA = 1b)，并且不得禁用输出 OUTx_CNFG。下图显示了 OLA 方案：

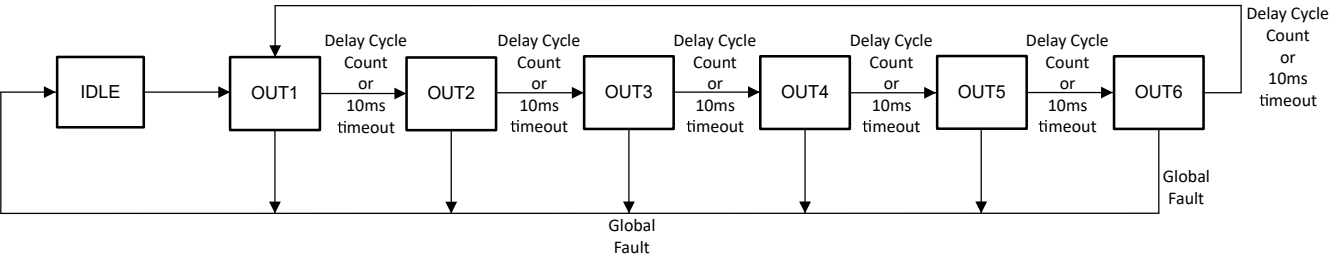


图 7-10. 半桥开路负载有源检测

如果满足以下三个条件中的任何一个，则会跳过任何给定的半桥：

1. OUTx 已禁用 (OUTx_CNFG = 00b)。
2. 半桥的开路负载检测未使能 (OUTx_OLA = 0b)。
3. OUTx 关断超过 10ms
4. HS_OLA 和 LS_OLA 已被检测到并标记出来，或者 OUTx 上出现其他故障情况 (过流，过热)

在没有 PWM 的情况下使能所有半桥 OUTx 时，遍历所有半桥的总环路时间最多可能需要 60ms。当单独或按顺序驱动半桥时，环路会在 10ms 或更快的时间内检测到开路负载 (取决于 EN 或 PWM 控制频率)。如果使用低频外部 PWM 信号驱动半桥，则输出的关断时间会超过 10ms 的开路负载检测窗口，因此半桥将在超时结束或 PWM 周期数少于 10ms 时报告状态并继续运行。

7.4.2.5.3 半桥过流保护

当半桥处于激活状态时，每个 MOSFET 上的模拟电流保护电路会在硬短路事件期间关断 MOSFET。如果输出电流超过过流阈值 I_{OC_OUTX} 且持续时间超过 $t_{DG_OC_HB}$ ，则会检测到过流故障。相应的输出为 Hi-Z (锁存行为)，故障被锁存到寄存器 (HB_STAT1) 中。如果 $V_{PVDD} >$ 在 PVDD_OV_MODE 中配置的 V_{PVDD_OV} ，则会禁用半桥。

对于半桥驱动器的过流抗尖峰脉冲时间 $t_{DG_OC_HB}$ ，下表汇总了四个过流抗尖峰脉冲选项。

表 7-24. 半桥过流抗尖峰脉冲

OUTx_OCP_DG	电压限值	抗尖峰脉冲时间
00b	$V_{PVDD} < V_{PVDD_OV}$	6 μs
01b	$V_{PVDD} < V_{PVDD_OV}$	10 μs
10b	$V_{PVDD} < V_{PVDD_OV}$	15 μs

表 7-24. 半桥过流抗尖峰脉冲（续）

OUTx_OCP_DG	电压限值	抗尖峰脉冲时间
11b	$V_{PVDD} < 20V$	60 μs
	$V_{PVDD} > 20V$	15 μs

要重新激活驱动器，必须首先由 MCU 通过读取状态寄存器在寄存器中清除故障。下图显示了半桥的过流行为：

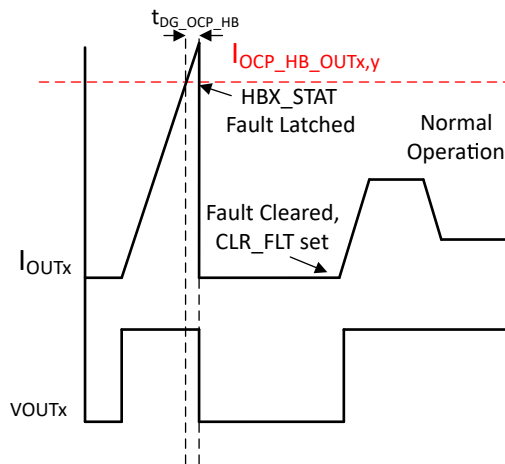


图 7-11. 半桥的过流行为

7.4.3 栅极驱动器

该器件集成了两个高侧和低侧外部 MOSFET 栅极驱动器，用于驱动一个全 H 桥或两个半桥负载。还有一个集成式电流分流放大器，它支持高侧、低侧和直列式电流检测。

7.4.3.1 输入 PWM 模式

DRV800x-Q1 具有多种输入 PWM 模式，可支持不同的控制方案和输出负载配置。栅极驱动器输出可以通过 GD_IN1、GD_IN2、DRVOFF 和 nSLEEP 输入引脚进行控制。也可以通过 S_IN1 和 S_IN2 寄存器设置来控制这些输出。PWM 模式通过 SPI 寄存器设置 BRG_MODE 来设置。下面列出了这些模式以及说明相关功能的其他细节。

表 7-25. 输入 PWM 模式

输入模式	BRG_MODE	
节 7.4.3.1.1	00b	独立半桥
节 7.4.3.1.2	01b	(PH/EN)
	10b	(PWM)
保留	11b	保留

7.4.3.1.1 半桥控制

在半桥控制模式中，每个半桥栅极驱动器都可通过相应的 IN1、IN2 引脚或通过寄存器单独控制。DRVOFF 信号优先于 IN1 和 IN2 信号。对于半桥控制，INx 指定半桥。DRV800x-Q1 在内部处理高侧和低侧开关之间死区时间的生成，以使单个 PWM 输入能够控制每个半桥。

半桥可以通过 INx_MODE 位配置为 SPI 控制模式。当 INx_MODE = 1b 时，可以通过 S_INx 位启用半桥。

半桥可以通过 S_HIZx 位单独设置为 Hi-Z 状态。两个半桥都可以通过 DRVOFF 引脚同时设置 Hi-Z。

表 7-26. 半桥控制 (BRG_MODE = 00b)

S_HIZx	DRVOFF	INx	GHx	GLx	SHx
1	1	X	L	L	Z
0	0	0	L	H	L
0	0	1	H	L	H

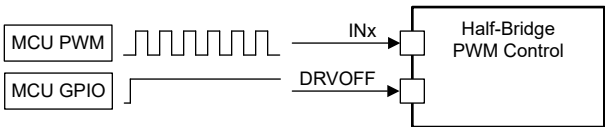


图 7-12. 半桥控制

7.4.3.1.2 H 桥控制

在 H 桥控制中，两个半桥栅极驱动器均可通过 IN1 和 IN2 输入引脚或寄存器 GD_HB_CTRL 中的 S_IN1 和 S_IN2 位的可配置组合，作为 H 桥栅极驱动器进行控制。

要设置半桥栅极驱动器的控制模式，SPI BRG_MODE 位可配置为 PH/EN 或 PWM 控制模式。PH/EN 模式允许使用由一个 PWM 信号和一个 GPIO 信号控制的速度/方向类型接口来控制 H 桥。PWM 模式允许使用更高级的方案来控制 H 桥，该方案通常需要两个 PWM 信号。因此，如有需要，H 桥驱动器可进入四种不同的输出状态，以获得额外的控制灵活性。

在 PH/EN 模式下，每个半桥输入控制模式都使用寄存器 GD_CNFG 中的 INx_MODE 位进行配置。默认情况下，INx_MODE = 0b 并且两个半桥都通过引脚控制。如果 INx_MODE = 1b，则通过 SPI 位 S_INx 控制半桥。如果 INx_MODE = 1b，则 S_IN1 变为 EN，S_IN2 变为 PH，分别跟随引脚 IN1 和 IN2。

H 桥续流状态可通过 **BRG_FW** 寄存器设置进行配置。在 PH/EN 和 PWM 模式下，默认的有源续流模式都是低侧有效。此设置可用于修改低侧或高侧有源续流之间的桥接。

使用 DRVOFF 引脚或 **S_HIZx** 位，可通过 PWM 或 PH/EN 控制模式将 H 桥设置为 Hi-Z 状态。当栅极驱动器处于 PH/EN 控制模式时 **S_HIZx** 位是“或”运算，并将两个输出 SHx 置于高阻抗状态。

表 7-27. H 桥 PH/EN 控制 (BRG_MODE = 01b , INx_MODE = 0b)

DRVOFF	IN1 (EN)	IN2 (PH)	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	说明
1	X	X	X	L	L	L	L	Z	Z	高阻态
0	0	X	0b	L	H	L	H	L	L	低侧有源续流
0	0	X	1b	H	L	H	L	H	H	高侧有源续流
0	1	0	X	L	H	H	L	L	H	驱动器 SH2 → SH1 (反向)
0	1	1	X	H	L	L	H	H	L	驱动器 SH1 → SH2 (正向)

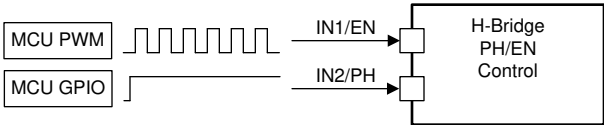


图 7-13. H 桥 PH/EN 控制

表 7-28. H 桥 PH/EN 控制 (BRG_MODE = 01b , IN2_MODE = 1b)

DRVOFF	IN1 (EN)	S_IN2 (PH)	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	说明
1	X	X	X	L	L	L	L	Z	Z	高阻态
0	0	X	0b	L	H	L	H	L	L	低侧有源续流
0	0	X	1b	H	L	H	L	H	H	高侧有源续流
0	1	0b	X	L	H	H	L	L	H	驱动器 SH2 → SH1 (反向)
0	1	1b	X	H	L	L	H	H	L	驱动器 SH1 → SH2 (正向)

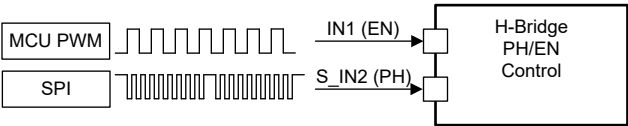


图 7-14. H 桥 PH/EN 混合控制

表 7-29. H 桥 PH/EN 控制 (BRG_MODE = 01b , IN1_MODE = 1b)

DRVOFF	S_IN1 (EN)	IN2 (PH)	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	说明
1	X	X	X	L	L	L	L	Z	Z	高阻态
0	0b	X	0b	L	H	L	H	L	L	低侧有源续流
0	0b	X	1b	H	L	H	L	H	H	高侧有源续流
0	1b	0	X	L	H	H	L	L	H	驱动器 SH2 → SH1 (反向)
0	1b	1	X	H	L	L	H	H	L	驱动器 SH1 → SH2 (正向)

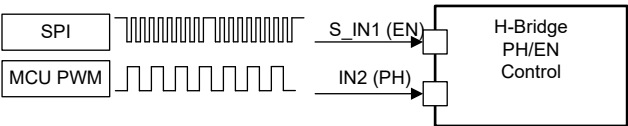


图 7-15. H 桥 PH/EN 控制 (BRG_MODE = 01b , IN1_MODE = 1b)

表 7-30. H 桥 PWM 控制 (BRG_MODE = 10b)

DRVOFF	IN1	IN2	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	说明
1	X	X	X	L	L	L	L	Z	Z	高阻态
0	0	0	X	L	L	L	L	Z	Z	二极管续流 (滑行)
0	0	1	X	L	H	H	L	L	H	驱动器 SH2 → SH1 (反向)
0	1	0	X	H	L	L	H	H	L	驱动器 SH1 → SH2 (正向)
0	1	1	0b	L	H	L	H	L	L	低侧有源续流
0	1	1	1b	H	L	H	L	H	H	高侧有源续流

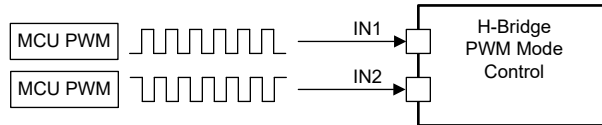


图 7-16. H 桥 PWM 控制

7.4.3.1.3 DRVOFF - 栅极驱动器关断引脚

DRV8002-Q1 通过 DRVOFF 引脚提供专用的 H 桥栅极驱动器禁用功能。DRVOFF 引脚提供直接硬件引脚来关断栅极驱动器，无需依赖 SPI 命令或 PWM 输入变化。当 DRVOFF 置位后，无论其他引脚或 SPI 输入如何，通过启用栅极驱动器下拉电阻，两个栅极驱动器半桥均为 Hi-Z。集成驱动器和电荷泵独立于 DRVOFF 引脚。

DRVOFF 引脚在寄存器 GD_STAT 中有一个锁存状态位 DRVOFF_STAT，该位会持续更新以反映 DRVOFF 引脚的状态。这可用于确认 DRVOFF 引脚已置位或取消置位。

备注

主机控制器必须将 DRVOFF 置为有效超过 3ms 才能注册有效的 DRVOFF 命令。为了正确地清除 DRVOFF 状态锁存，必须在 DRVOFF 变为低电平 3ms 后发出 CLR_FLT。TI 建议主机在发出 CLR_FLT 之前和之后检查寄存器 GD_STAT 中的 DRVOFF 状态 DRVOFF_STAT 位，以确认 DRVOFF 状态已清除。要从 DRVOFF 关断状态恢复，请等待 DRVOFF_STAT 和 DRVOFF_STAT_FB 在 DRVOFF 引脚上升沿之后报告高电平，然后将 DRVOFF 引脚设置为零并发出 CLR_FLT 命令。

当 DRVOFF 被置为有效时，只要存在 DVDD，SPI 通信和逻辑输入就仍然可用。

7.4.3.2 智能栅极驱动器 - 功能方框图

7.4.3.2.1 智能栅极驱动器

DRV8002-Q1 采用先进的可调节浮动智能栅极驱动器架构，可实现出色的 MOSFET 控制和强大的开关性能。智能栅极驱动器架构提供用于压摆率控制的驱动器功能，并具有驱动器状态机，可用于死区时间握手，dV/dt 栅极寄生耦合预防和 MOSFET 栅极故障检测。

提供高级自适应驱动功能，以降低传播延迟，减少占空比失真和闭环可编程压摆时间。高级智能栅极驱动器功能可用于任何桥模式，每次只能用于一个半桥。高级功能不会干扰栅极驱动器的标准运行，并可根据系统要求使用。

以下总结了智能栅极驱动架构的不同功能，并在后续部分提供了更多详细信息。

智能栅极驱动器核心功能：

- 图 7-17
- 节 7.4.3.2.3
- 节 7.4.3.2.4
- 高级：节 7.4.3.2.5

- 高级：节 7.4.3.2.9
- 高级：节 7.4.3.2.10

备注

器件的正常运行无需高级自适应驱动功能和寄存器，它们专为满足特定的系统要求而设计。

表 7-31. 智能栅极驱动器术语说明

核心功能	术语	说明
IDRIVE/TDRIVE	I_{DRVP}	用于可调 MOSFET 压摆率控制的可编程栅极驱动拉电流。使用 IDRVP_x 控制寄存器进行配置。
	I_{DRVN}	用于可调 MOSFET 压摆率控制的可编程栅极驱动灌电流。使用 IDRVN_x 控制寄存器进行配置。
	I_{HOLD}	非开关期间的固定栅极驱动器保持上拉电流。
	I_{STRONG}	非开关期间的固定栅极驱动器强下拉电流。这包括半桥中相反方向的 MOSFET 正在开关或 Hi-Z 时的情况。
	t_{DRIVE}	I_{HOLD} 或 I_{STRONG} 之前的 $I_{DRVP/N}$ 驱动电流持续时间。还提供 V_{GS} 和 V_{DS} 故障监控消隐周期。使用 VGS_TDRV 控制寄存器进行配置。
	t_{PD}	从逻辑控制信号到栅极驱动器输出变化的传播延迟。
	t_{DEAD}	高侧和低侧开关转换之间的体二极管导通周期。使用 VGS_TDEAD 控制寄存器进行配置。
PDR (预充电)	I_{CHR_INIT}	充电控制环路的栅极驱动拉电流初始值。使用 PRE_CHR_INIT 控制寄存器进行配置。
	I_{PRE_CHR}	控制环路锁定后预充电期间的栅极驱动拉电流。使用 KP_PDR 控制寄存器进行配置的调整率。使用 PRE_MAX 控制寄存器配置的最大电流钳位。
	t_{PRE_CHR}	栅极驱动拉电流预充电期间持续时间。使用 T_PRE_CHR 控制寄存器进行配置。
	t_{DON}	从预充电期间开始到 V_{SH} 上升超过 V_{SH_L} 阈值的延迟时间。使用 T_DON_DOFF 控制寄存器进行配置。
	I_{DCHR_INIT}	放电期间控制环路的栅极驱动灌电流初始值。使用 PRE_DCHR_INIT 控制寄存器进行配置。
	I_{PRE_DCHR}	控制环路锁定后预放电期间的栅极驱动灌电流。使用 KP_PDR 控制寄存器进行配置的调整率。使用 PRE_MAX 控制寄存器配置的最大电流钳位。
	t_{PRE_DCHR}	栅极驱动灌电流预放电周期持续时间。使用 T_PRE_DCHR 控制寄存器进行配置。
	t_{DOFF}	从预放电周期开始到 V_{SH} 下降超过 V_{SH_H} 阈值的延迟时间。使用 T_DON_DOFF 控制寄存器进行配置。
	V_{SH_L}	V_{SH} 开关节点的低电压阈值。使用 AGD_THR 控制寄存器进行配置。
	V_{SH_H}	V_{SH} 开关节点的高电压阈值。使用 AGD_THR 控制寄存器进行配置。
PDR (后充电)	I_{PST_CHR}	后充电期间的栅极驱动拉电流。使用 KP_PST 控制寄存器配置调整速率。
	t_{PST_CHR}	栅极驱动拉电流后充电周期持续时间。
	I_{PST_DCHR}	后放电期间的栅极驱动灌电流。使用 KP_PST 控制寄存器配置调整速率。
	t_{PST_DCHR}	栅极驱动拉电流后充电周期持续时间。
	I_{FW_CHR}	续流充电电流。使用 FW_MAX 控制寄存器进行配置。
	I_{FW_DCHR}	续流放电电流。使用 FW_MAX 控制寄存器进行配置。
STC	t_{RISE}	V_{SHx} 从 V_{SHx_L} 超过 V_{SHx_H} 阈值的持续时间。使用 T_RISE_FALL 控制寄存器进行配置。
	t_{FALL}	V_{SHx} 从 V_{SHx_H} 超过 V_{SHx_L} 阈值的持续时间。使用 T_RISE_FALL 控制寄存器进行配置。

7.4.3.2.2 功能方框图

节 7.2 显示了半桥栅极驱动器架构的简要功能方框图。栅极驱动器块提供各种功能以实现 MOSFET 控制、反馈和保护。这些功能包括具有可调驱动电流的互补推挽式高侧和低侧栅极驱动器、控制逻辑电平转换器、 V_{DS} 、 V_{GS} 和 V_{SH} (开关节点) 反馈比较器、高侧齐纳钳位以及无源和有源下拉电阻。

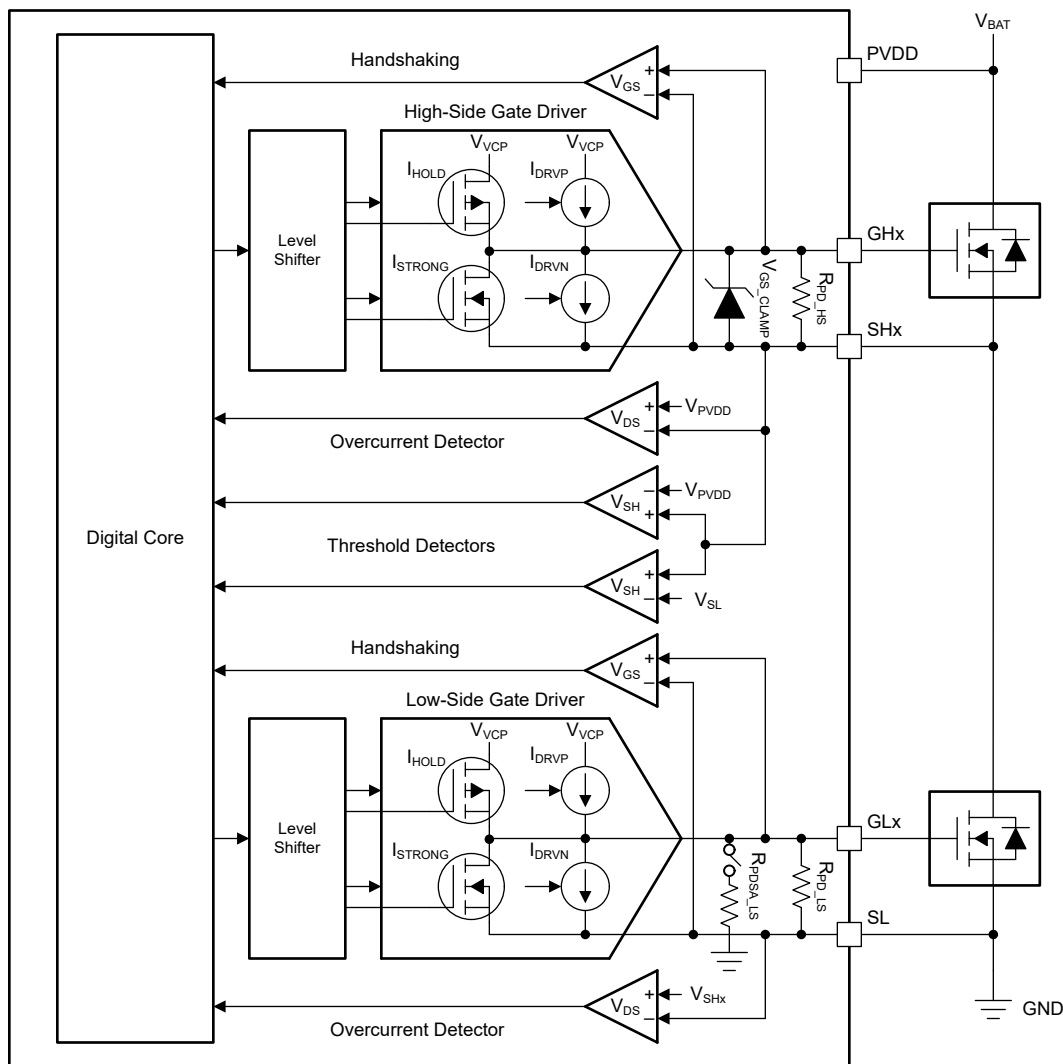


图 7-17. 栅极驱动器功能方框图

7.4.3.2.3 压摆率控制 (IDRIVE)

智能栅极驱动架构的 IDRIVE 组件实现了可调节的栅极驱动电流控制，可调整外部 MOSFET V_{DS} 压摆率。实现此目标的方法是为内部栅极驱动器架构实施可调节的上拉 (I_{DRVP}) 和下拉 (I_{DRVNP}) 电流源。

外部 MOSFET V_{DS} 压摆率是用于优化辐射和传导发射、二极管反向恢复、 dV/dt 栅极寄生耦合以及半桥开关节点上的过压或欠压瞬态的关键因素。IDRIVE 的工作原理是， V_{DS} 压摆率主要取决于 MOSFET Q_{GD} 或米勒充电区域中提供的栅极电荷（或栅极电流）的速率。通过让栅极驱动器调节栅极电流，栅极驱动器可以有效地控制外部功率 MOSFET 的压摆率。

IDRIVE 允许 DRV8002-Q1 通过 $IDRVP_x$ 和 $IDRVN_x$ 位动态更改栅极驱动器电流设置。该器件为拉电流和灌电流提供了介于 0.5 mA 和 62 mA 范围之间的 16 种设置值，如表 7-32 所示。在 t_{DRIVE} 持续时间内可使用峰值栅极驱动电流。在 MOSFET 进行开关并且 t_{DRIVE} 持续时间结束后，对于上拉的拉电流，栅极驱动器将切换到保持电流 (I_{HOLD})，以便在短路条件下限制输出电流，并提高驱动器的效率。

如果需要极低的压摆率控制， $IDRV_LOx$ 位支持进行 16 项设置，电流 $<0.5mA$ 。

表 7-32. IDRIVE 拉电流 (I_{DRV_P}) 和灌电流 (I_{DRV_N})

IDRVP_x/IDRVN_x	栅极拉电流/灌电流	
	IDRV_LOx = 0b	IDRV_LOx = 1b
0000b	0.5mA	50 μ A
0001b	1mA	110 μ A
0010b	2mA	170 μ A
0011b	3mA	230 μ A
0100b	4mA	290 μ A
0101b	5mA	350 μ A
0110b	6mA	410 μ A
0111b	7mA	600 μ A
1000b	8mA	725 μ A
1001b	12mA	850 μ A
1010b	16mA	1mA
1011b	20mA	1.2mA
1100b	24mA	1.4mA
1101b	31mA	1.6mA
1110b	48mA	1.8mA
1111b	62mA	2.3mA

7.4.3.2.4 栅极驱动器状态机 (TDRIVE)

智能栅极驱动架构的 TDRIVE 元件是一个集成的栅极驱动状态机，可提供自动死区时间插入、 dV/dt 栅极寄生耦合预防和 MOSFET 栅极故障检测等功能。

TDRIVE 状态机的第一个作用是自动死区时间握手。死区时间是外部高侧和低侧 MOSFET 开关期间体二极管导通的一段时间，旨在防止发生任何跨导或击穿。DRV8002-Q1 的栅极驱动器使用 V_{GS} 监控器来实施断路，然后通过测量外部 MOSFET V_{GS} 电压来确定正确启用外部 MOSFET 的时间，从而建立死区时间方案。该方案使栅极驱动器能够针对系统变化（例如温度漂移、老化、电压波动和外部 MOSFET 参数变化）来调整死区时间。如有需要，可插入一个额外的固定数字死区时间 (t_{DEAD_D})，并可通过 SPI 寄存器对其进行调整。

第二个作用侧重于防止 dV/dt 栅极电荷寄生耦合。这通过在半桥中相反状态的 MOSFET 开关或 Hi-Z 时启用栅极强下拉电流 (I_{STRONG}) 来实现。当半桥开关节点快速压摆时，此功能有助于消除耦合到外部 MOSFET 栅极中的寄生电荷。

第三个作用是实施栅极故障检测方案以检测栅极电压问题。这个方案用于检测引脚对引脚的焊接缺陷、MOSFET 栅极故障或者栅极卡在高电压或低电压的情况。为此，需使用 V_{GS} 监控器在 t_{DRIVE} 时间结束后测量栅极电压。如果栅极电压没有达到适当的阈值，栅极驱动器会报告相应的故障情况。为保持不会检测到伪故障，选择比 MOSFET 栅极充放电所需时间更长的 t_{DRIVE} 时间。 t_{DRIVE} 时间不会影响 PWM 最小持续时间，如果收到另一个 PWM 命令，此时间提前终止。

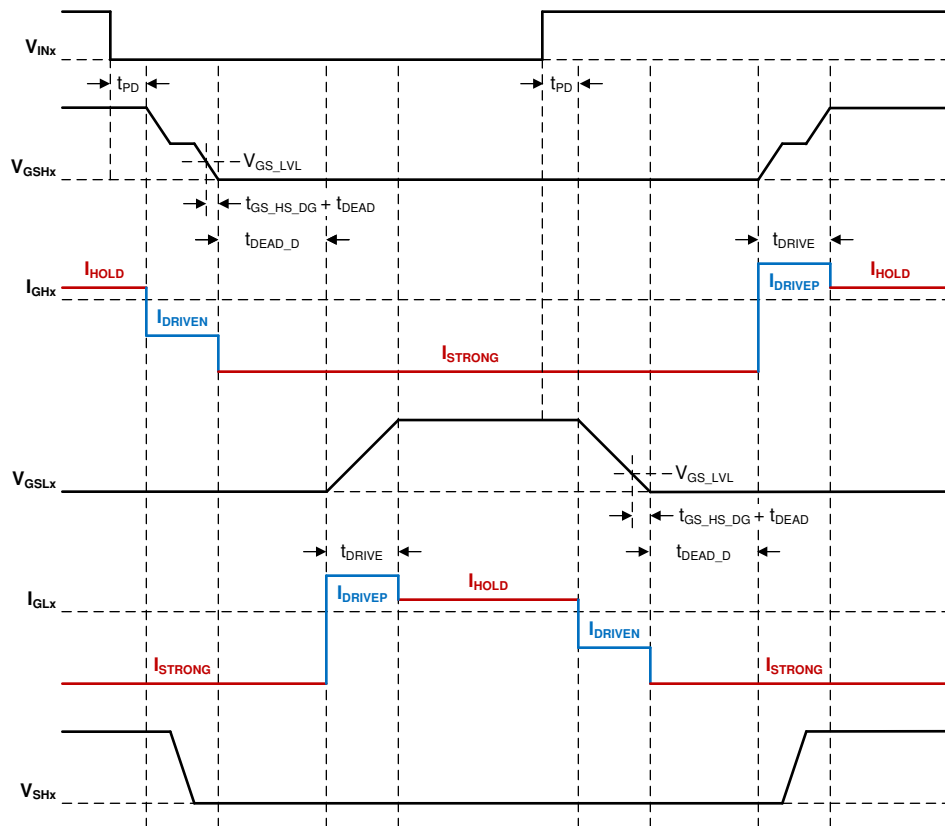


图 7-18. TDRIVE 导通/关断

7.4.3.2.4.1 t_{DRIVE} 计算示例

驱动器栅源监测超时 (t_{DRIVE}) 配置为允许外部 MOSFET 有足够的时间对所选 I_{DRIVE} 栅极电流进行充电和放电。默认情况下, 该设置为 8us, 这对于许多系统来说已经足够。可以利用 [方程式 1](#) 确定合适的 t_{DRIVE} 值。

$$t_{DRIVE} > Q_{G_TOT} / I_{DRIVE} \quad (1)$$

以输入设计参数为例, 我们可以计算 t_{DRIVE} 的近似值。

$$t_{DRIVE} > 30nC / 6mA = 5us \quad (2)$$

根据这些计算结果, 为 t_{DRIVE} 选择了值 8us。

7.4.3.2.5 传播延迟降低 (PDR)

传播延迟降低 (PDR) 控制有两个主要功能, 即预充电传播延迟降低功能和后充电加速功能。

传播延迟降低 (PDR) 的主要目标是通过在 MOSFET Q_{GD} 米勒区域之前使用动态预充电和预放电电流来降低外部 MOSFET 的导通和关断延迟。这可以使驱动器实现更高和更低的占空比分辨率, 同时仍满足复杂的 EMI 要求。

后充电加速功能使 MOSFET 能够更快地达到低电阻或关断状态, 从而通过在 MOSFET Q_{GD} 米勒区域之后增加后充电和放电后栅极电流来更大限度地降低功率损耗。

[PDR 充电曲线](#)中显示了 MOSFET 预充电和后充电电流曲线的示例。如 [PDR 放电曲线](#)中所示, 对 MOSFET 预放电和后放电重复相同的控制环路。[节 7.4.3.2.8](#) 中显示了不同 PWM 和电机情况下完整控制环路的几个示例。

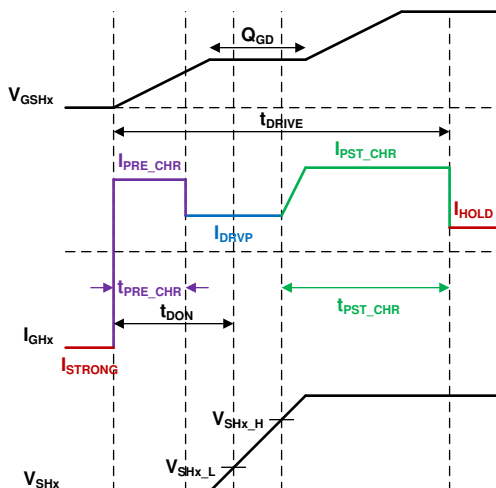


图 7-19. PDR 充电曲线

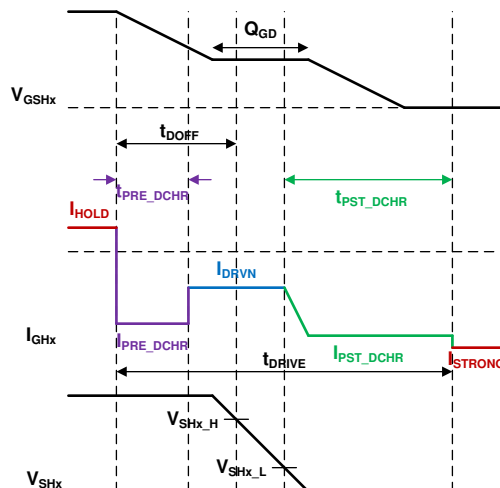


图 7-20. PDR 放电曲线

7.4.3.2.6 PDR 预充电/预放电控制环路运行详细信息

PDR 预充电/预放电控制环路通过比例增益误差控制器 (**KP_PDR**) 动态调整驱动器预充电 (I_{PRE_CHR}) 和预放电 (I_{PRE_DCHR}) 电流电平来实现用户配置的导通和关断传播延迟 (**T_DON_DOFF**)。误差控制器测量测得的传播延迟 (t_{ON} 、 t_{OFF}) 与配置的传播延迟 (**T_DON_DOFF**) 之间的差异，并更新下一个开关周期的预充电电流电平。控制环路可以使用器件的默认配置设置运行，但它提供了充分的灵活性来配置时序参数、初始电流电平、误差控制器强度及其他设置。

7.4.3.2.7 PDR 后充电/后放电控制环路运行详细信息

PDR 后充电/放电后控制环路通过在 MOSFET 开关区域之后增加驱动器栅极电流来运行。这通过测量开关节点电压 (V_{SHx})、然后在超过适当阈值后增加栅极电流来实现。控制环路可以使用器件的默认配置设置运行，但它提供了充分的灵活性来配置时序参数、控制器强度及其他设置。

7.4.3.2.7.1 PDR 充电后/放电后设置

- 启用充电后/放电后控制环路。KP_PST 寄存器设置。
- 可选配置选项：
 - 在充电后/放电后开始之前增加额外延迟。EN_PST_DLY 寄存器设置。
 - 调整比例增益控制器强度。KP_PST 寄存器设置。

7.4.3.2.8 检测驱动和续流 MOSFET

默认情况下，PDR 环路通过确定流出半桥的电流极性，自动检测哪个 MOSFET 是驱动 MOSFET、哪个 MOSFET 是续流 MOSFET。这通过测量死区时间期间的半桥 V_{SHx} 电压来实现，从而确定高侧还是低侧体二极管导通。如果无法确定电流极性，则会在 GD_STAT 寄存器中标记 IDIR_WARN。自动续流检测可以通过寄存器 GD_AGD_CNFG 中的 IDIR_MAN 位禁用。在手动续流模式下，PDR 环路依靠寄存器 GD_STC_CNFG 中的 IDIR_MAN_SEL 位来确定哪个 MOSFET 是驱动 MOSFET、哪个 MOSFET 是续流 MOSFET。如果 = 0b，则高侧 MOSFET 是驱动 MOSFET，低侧 MOSFET 是续流 MOSFET。如果 = 1b、则低侧 MOSFET 是驱动 MOSFET，高侧 MOSFET 是续流 MOSFET。

HS 驱动 PWM 导通/关断示例 显示了控制 V_{SHx} 开关节点电压转换的高侧 MOSFET (HS1) 和充当续流 MOSFET 的低侧 MOSFET (LS1)。

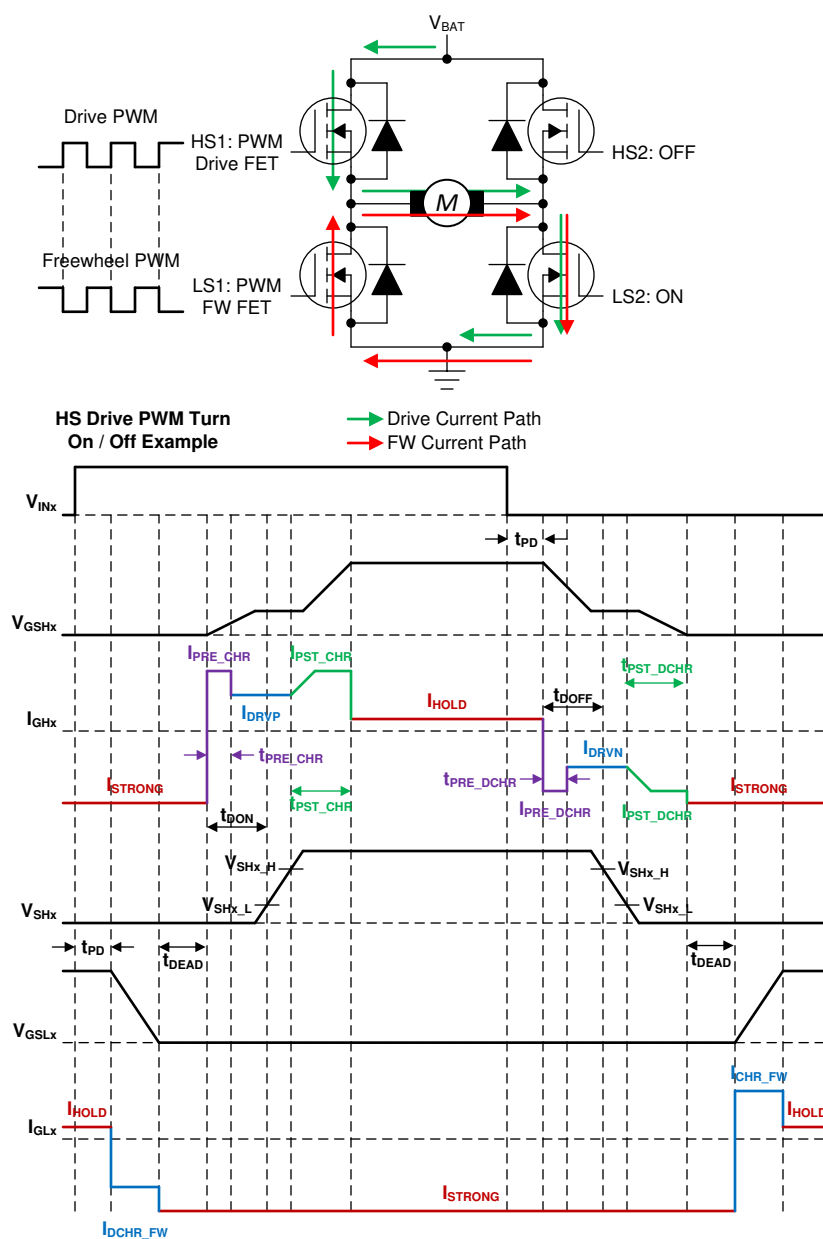


图 7-21. HS 驱动 PWM 导通/关断示例

LS 驱动 PWM 导通/关断示例 显示了控制 V_{SHx} 开关节点电压转换的低侧 MOSFET (LS2) 和充当续流 MOSFET 的高侧 MOSFET (HS2)。

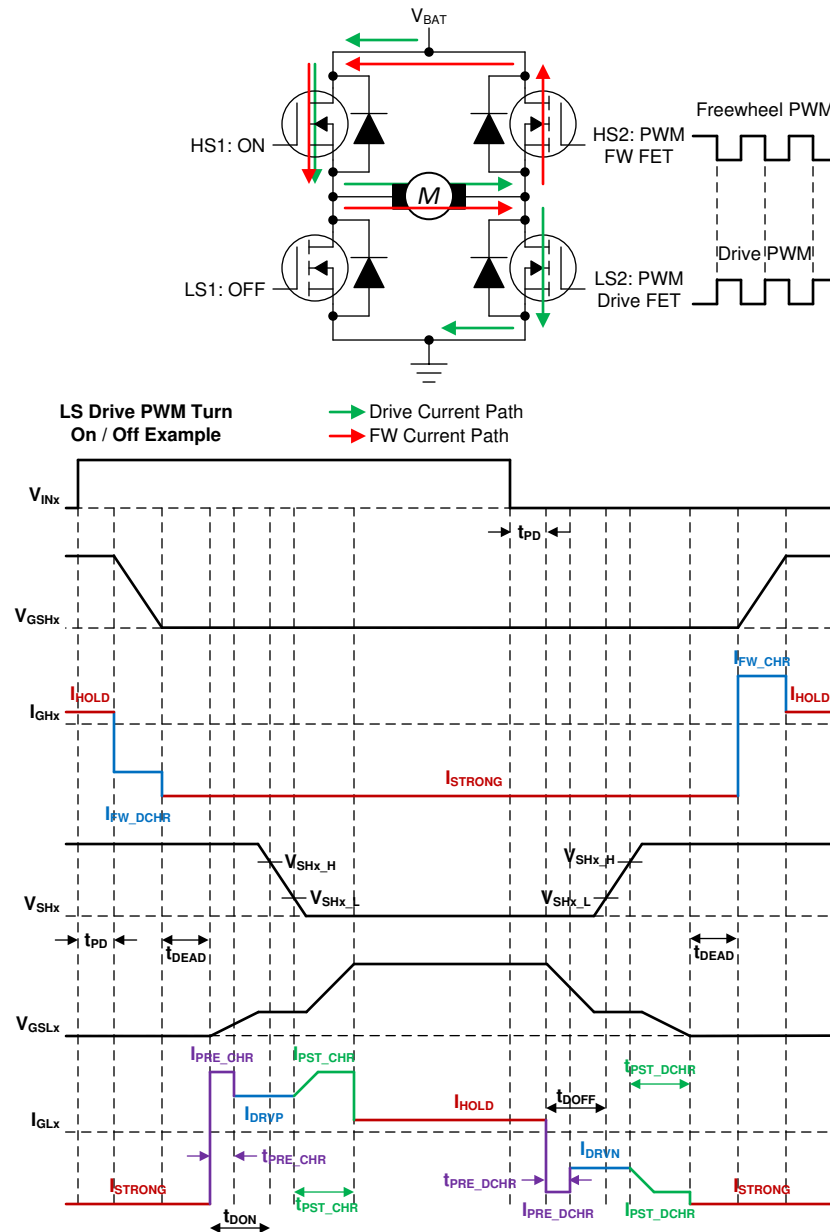


图 7-22. LS 驱动 PWM 导通/关断示例

7.4.3.2.9 自动占空比补偿 (DCC)

自动占空比补偿 (DCC) 智能栅极驱动器功能用于匹配导通和关断信号，从而减少由于导通和关断序列的不同延迟而发生的占空比失真。导通延迟和关断延迟的差异源于对续流 MOSFET 在发生 V_{SHx} 压摆之前必须进行充电或放电的依赖性。如果续流 MOSFET 在驱动 MOSFET 之前充电或放电，这可能会产生失配，从而导致占空比失真。DCC 控制环路会增加一个额外的延迟来匹配导通和关断延迟。此功能可用于标准驱动模式，或与 PDR 或 STC 控制模式结合使用。

DCC 功能通过 [EN_DCC](#) 位启用。设置通过 [SET_AGD](#) 位接收 PWM 控制的有源半桥。

7.4.3.2.10 闭环压摆时间控制 (STC)

压摆时间控制 (STC) 环路让器件能够为输出开关节点配置特定的压摆上升和下降时间。该器件调节栅极驱动输出电流 (I_{DRV_P} 和 I_{DRV_N}) 以满足所需的目标设置。此功能可用于标准驱动模式，或与 PDR 或 DCC 控制模式结合使用。

7.4.3.2.10.1 STC 控制环路设置

- 启用 STC 控制环路。[EN_STC](#) 寄存器设置
- 设置有源 PWM 半桥。[SET_AGD](#) 寄存器设置。注意：高级驱动器控制设置在每个半桥对之间共享。
- 设置目标 t_{RISE} 和 t_{FALL} 时间。[T_RISE_FALL](#) 寄存器设置。
- 可选配置选项：
- 调整比例增益控制器强度。[KP_STC](#) 寄存器设置。

7.4.3.3 三倍器 (双极) 电荷泵

外部 MOSFET 的高侧栅极驱动电压是使用三倍器 (双极) 电荷泵产生的，而该电荷泵采用 PVDD 电压电源输入端运行。该电荷泵使高侧和低侧栅极驱动器能够在宽输入电源电压范围内相对于源极电压适当地偏置外部 N 沟道 MOSFET。电荷泵输出会进行调节 (V_{VCP})，以相对于 VPVDD 保持固定电压。电荷泵会受到持续监测以确定是否发生欠压 (V_{VCP_UV}) 事件，从而防止 MOSFET 出现驱动不足或短路情况。

电荷泵提供多个配置选项。默认情况下，在 PVDD 引脚电压超过 VCP_SO 阈值后，电荷泵可在三倍器 (双级) 模式和倍频器 (单级) 模式之间自动切换，以降低功率耗散。也可以通过 SPI 寄存器设置 [CP_MODE](#) 将电荷泵配置为始终保持三倍器或倍频器模式。

电荷泵需要在 PVDD 和 VCP 引脚之间放置一个低 ESR、1μF、16V 陶瓷电容器 (推荐使用 X7R) 作为储能电容器。此外，还需要在 CP1H 至 CP1L 和 CP2H 至 CP2L 引脚之间放置一个低 ESR、100nF、PVDD 额定的陶瓷电容器 (推荐使用 X7R) 作为飞跨电容器。

备注

由于电荷泵会被调节至 PVDD 引脚，因此验证 PVDD 引脚和 MOSFET 电源之间的电压差被限制为允许在开关操作期间外部 MOSFET 实现适当 V_{GS} 的阈值。

7.4.3.4 宽共模差分电流分流放大器

该器件集成了一个高性能的宽共模双向电流分流放大器，可在外部半桥中使用分流电阻进行电流测量。通常会通过测量电流来实施过流保护、外部扭矩控制或通过外部控制器进行换向。由于分流放大器具有高共模范围，该分流放大器可支持低侧，高侧或直列式分流器配置。电流分流放大器具有如下特性：可编程增益，单向和双向支持，输出消隐，以及可编程内部电压基准，以设置放大器输出的中点偏置电压。[图 7-23](#) 展示了一个简化版方框图。SP 连接到分流电阻的正极端子，SN 连接到分流电阻的负极端子。根据需要，可将 RC 滤波器应用于 SO 引脚的放大器输出。如果未使用放大器，则 SN、SP 输入可连接到 PCB GND，而 SO 输出可保持悬空。

备注

请注意，在高侧检测配置中，当 nSLEEP = 0V 时，存在一个约为 600kΩ 至 GND 的漏电路径。TI 不建议向分流放大器的输入引脚 SP 或 SN 添加滤波。

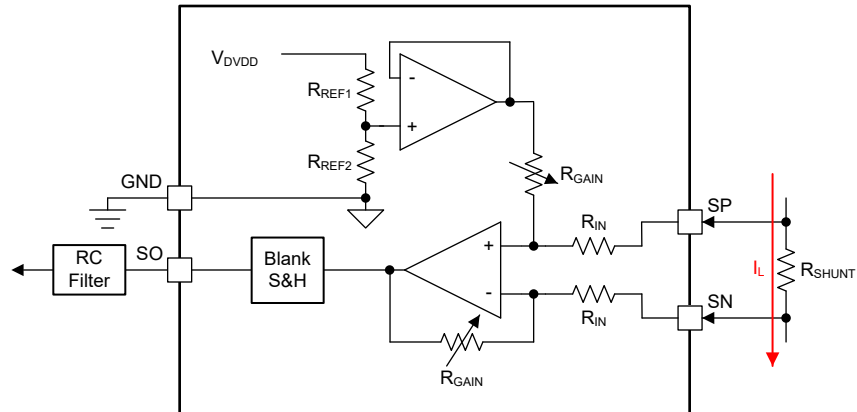


图 7-23. 放大器简化版方框图

中显示了一个详细的方框图。宽共模放大器采用两级差分架构实现。第一个差分级支持宽共模输入、差分输出，并具有固定增益 $G = 2$ 。第二个差分级支持可变增益调整， $G = 5$ 、 10 、 20 或 40 。两个级的总增益为 $G = 10$ 、 20 、 40 或 80 。

内部基准电压连接到分压器网络，缓冲器，然后设置差分放大器的输出电压偏置。可通过 [CSA_GAIN](#) 寄存器设置来配置增益，并通过 [CSA_DIV](#) 来配置参考分压比。

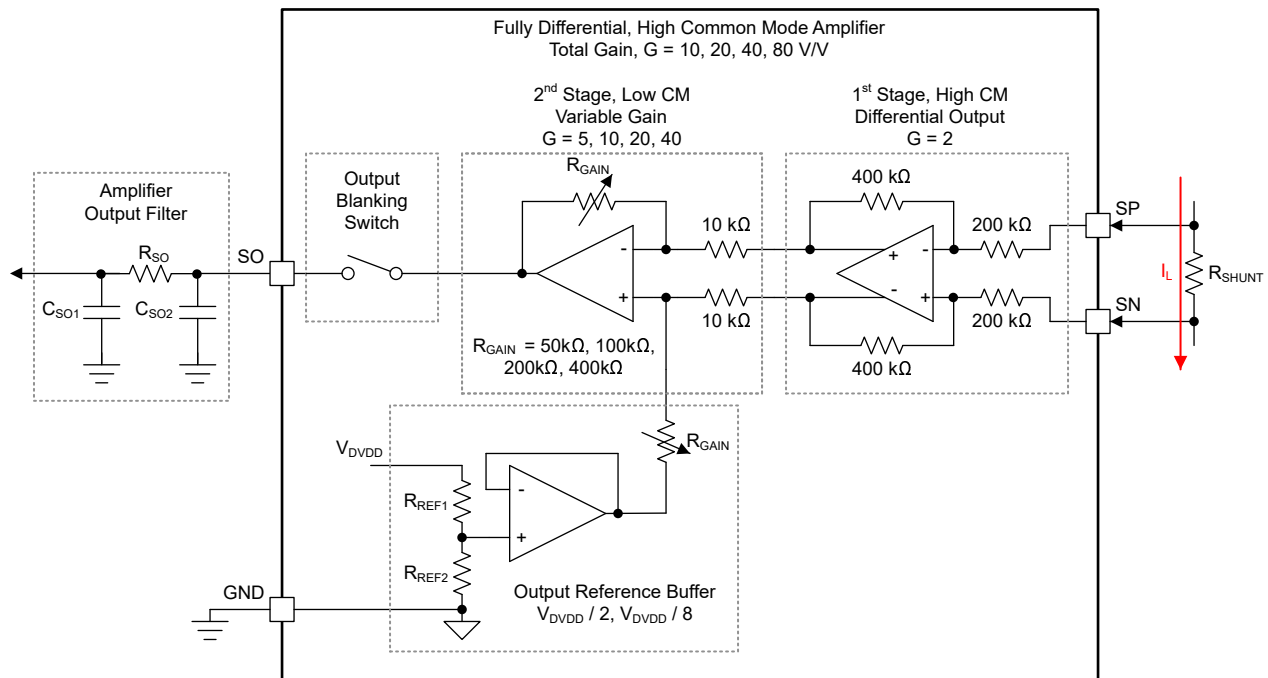


图 7-24. 放大器详细方框图

最后，放大器具有输出消隐开关。输出开关可用于在 PWM 开关期间断开放大器输出，以降低输出噪声（消隐）。可通过 [CSA_BLK_SEL](#) 寄存器设置将消隐电路设为在有源半桥上触发。可通过 [CSA_BLK](#) 寄存器设置来配置消隐周期。如果栅极驱动器在高侧和低侧 FET 导通和关断之间切换，或反之，则消隐时间会延长至死区时间窗口，以避免在死区时间期间因输出摆幅或噪声耦合而导致放大器信号噪声。当放大器在消隐期间断开时，建议使用输出保持电容器来稳定放大器输出 C_{SO2} 。通常情况下，该电容器位于 RC 滤波器配置中的串联电阻之后（如图中 R_{SO} 和 C_{SO1} 所示），以限制直接在放大器输出端看到的直接电容。图 7-25 中展示了消隐功能的一个示例。

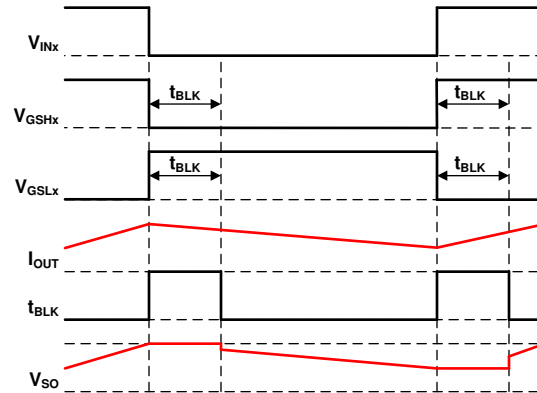


图 7-25. 放大器消隐示例

7.4.3.5 栅极驱动器保护电路

7.4.3.5.1 MOSFET V_{DS} 过流保护 (V_{DS_OCP})

如果 V_{DS} 过流比较器上的电压高于 V_{DS_LVL} 的时间超过 t_{DS_DG} 时间，则会检测到 V_{DS} 过流条件。电压阈值和抗尖峰脉冲时间可通过 $V_{DS_xx_LVL}$ 和 V_{DS_DG} 寄存器设置进行调整。

V_{DS} 过流监测器可以在通过 V_{DS_MODE} 寄存器设置进行设定的四种不同模式下进行响应和恢复。

- **锁存故障模式：**检测到过流事件后，将启用栅极驱动器下拉电阻，并且 **FAULT** 寄存器位和相关的 V_{DS} 寄存器位会被置位。过流事件消失后，仍会锁存故障状态，直到发出 **CLR_FLT**。
- **逐周期模式：**检测到过流事件后，将启用栅极驱动器下拉电阻，并且 **FAULT** 寄存器位和相关的 V_{DS_XX} 寄存器位会被置位。下一个 PWM 输入会清除 **FAULT** 寄存器位，并自动重新启用驱动器。相关的 V_{DS_XX} 寄存器位会保持置位状态，直到发出 **CLR_FLT**。
- **仅警告报告模式：**在 **WARN** 和相关 V_{DS_XX} 寄存器位中报告过流事件。器件不会执行任何操作。在发出 **CLR_FLT** 之前，警告将保持锁存状态。
- **禁用模式：** V_{DS} 过流监控器被禁用，不会响应或报告。

当发生 V_{DS} 过流故障时，可配置栅极下拉电流，以便增加或减少禁用外部 MOSFET 的时间。这有助于避免在大电流短路条件下关断速度过慢的问题。此设置通过 V_{DS_IDRVN} 寄存器设置进行配置。

7.4.3.5.2 栅极驱动器故障 (V_{GS_GDF})

如果 V_{GS} 电压在超过 t_{DRIVE} 时间的时长内仍未越过 V_{GS_LVL} 比较器电平，则会检测到 V_{GS} 栅极故障条件。

此外，在独立半桥和分离式 HS/LS PWM 控制 ($BRG_MODE = 00b$) 中，可将器件配置为禁用所有半桥，或仅通过 V_{GS_IND} 寄存器设置来禁用发生了栅极故障的相关半桥。在 DRV800x-Q1 PH/EN 和 PWM H 桥控制模式 ($BRG_MODE = 01b, 10b$) 下， V_{GS_IND} 寄存器设置可用于禁用所有 H 桥或仅禁用发生了故障的相关 H 桥。

V_{GS} 栅极故障监控器可以在通过 V_{GS_MODE} 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- **锁存故障模式：**检测到栅极故障事件后，将启用栅极驱动器下拉电阻，并且 **FAULT** 寄存器位和相关的 V_{GS} 寄存器位会被置位。栅极故障事件消失后，仍会锁存故障状态，直到发出 **CLR_FLT**。
- **逐周期模式：**检测到栅极故障事件后，将启用栅极驱动器下拉电阻，并且 **FAULT** 寄存器位、GD 和相关的 V_{GS_XX} 寄存器位会被置位。下一个 PWM 输入会清除 **FAULT** 寄存器位，并自动重新启用驱动器。 V_{GS_XX} 和 GD 位会保持置位状态，直到发出 **CLR_FLT**。
- **仅警告报告模式：**在 **WARN** 和相关 V_{GS_XX} 寄存器位中报告过流事件。器件不会执行任何操作。在发出 **CLR_FLT** 之前，警告将保持锁存状态。
- **禁用模式：** V_{GS} 栅极故障监控器被禁用，不会响应或报告。

7.4.3.5.3 离线短路和开路负载检测 (OOL 和 OSC)

该器件提供了必要的硬件来对外部功率 MOSFET 和负载执行离线短路和开路负载诊断。这是通过连接到外部半桥开关节点的 **SHx** 引脚上的集成上拉和下拉电流源来实现的。离线诊断由相关寄存器位 **EN_OLSC** 控制。首先，需要通过 **EN_OLSC** 寄存器设置来启用离线诊断模式。然后，可通过 **#none#** 和 **PU_SHx** 寄存器设置来启用各个电流源。

通过内部 V_{DS} 比较器持续监控 SHx 引脚上的电压。在诊断状态期间， V_{DS} 比较器在 SPI 寄存器内从相关 **VDS_XX** 寄存器状态位中报告 SHx 引脚节点上的实时电压反馈。当 V_{DS} 比较器处于诊断模式时，全局 GD SPI 寄存器位不会报告故障或警告。

在启用离线诊断之前，TI 建议通过 **EN_GD** 寄存器设置将外部 MOSFET 半桥置于禁用状态。此外，将 V_{DS} 比较器阈值（或）调整为 1V 或更高，保持足够的余量用于内部阻断二极管正向压降。

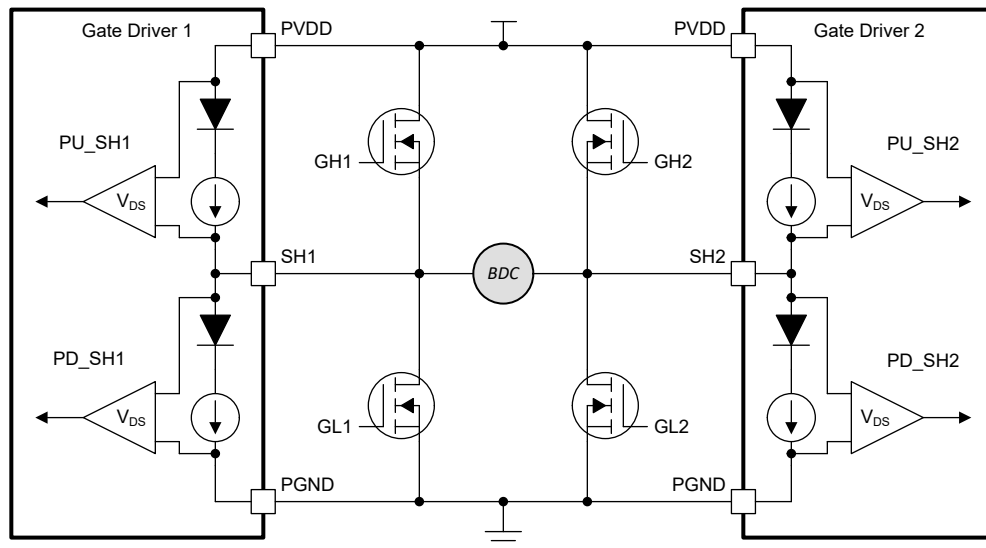


图 7-26. 离线诊断

备注

设置 **EN_OLSC** 后， V_{DS} 比较器会立即启动实时电压反馈。反馈会被忽略，直到设置了正确的上拉和下拉配置。

7.4.4 检测输出 (IPROPI)

该器件在 **IPROPI** 引脚上具有一个用于电流检测、**V_{PVDD}** 监控和芯片温度监控的输出。此信息可用于负载的状态或调节（在 **OUTx** 引脚上），检查芯片温度或提供本地电机供电电压。通过集成此类功能，无需使用多个外部检测电阻器或检测电路，有助于减小系统尺寸，降低系统的成本和复杂程度。

负载电流通过使用无分流器的高侧电流镜像拓扑来检测。IPROPI 输出电流与已使能的驱动器 (OUTx) 的瞬时电流成固定比率 A_{IPROPI} 。热仪表组输出来自对应区域温度检测电路。本地电机电源 PVDD 检测和温度检测通过 IPROPI 电阻器转换为 IPROPI 引脚上的电流输出, 从而实现 5V 和 3.3V ADC 引脚的可扩展输出电压。

对于任何 IPROPI 检测输出，所选标度（负载电流、电压或温度）的最大值由 2mA 的最大 IPROPI 输出电流表示。例如，如果在驱动 8A 负载（最小驱动器 OCP）时选择 OUT5 IPROPI，则预期的 IPROPI 输出电流为 2mA。如果负载电流略高于最小驱动器 OCP，则无法验证 IPROPI 输出电流是否遵循 IPROPI 电流检测比，在某些情况下可能会发生 OCP 关断。

位 **IPROPI SEL** 定义了哪些输出将多路复用到 **IPROPI** 引脚，控制值如下表所示：

表 7-33. IPROPI_SEL 选项

IPROPI_SEL	输出
00000b	无输出
00001b	OUT1 电流检测
00010b	OUT2 电流检测
00011b	OUT3 电流检测
00100b	OUT4 电流检测
00101b	OUT5 电流检测
00110b	OUT6 电流检测
00111b	OUT7 电流检测
01000b	OUT8 电流检测
01001b	OUT9 电流检测
01010b	OUT10 电流检测
01011b	OUT11 电流检测
01100b	OUT12 电流检测
01101b	RSVD
01110b	RSVD
01111b	RSVD
10000b	V _{PVDD} 检测标称范围 (5V - 22V)
10001b	热仪表组 1
10010	热仪表组 2
10011	热仪表组 3
10100	热仪表组 4
10101	V _{PVDD} 检测高范围 (20V 至 32V)

IPROPI 引脚是一个通用引脚，还可用作半桥的第二个 PWM 引脚控制输入选项，因此 IPROPI/PWM2 引脚模式通过寄存器 IC_CTRL 中的位 IPROPI_MODE 进行控制。

下图显示了可选 IPROPI 输出的简单方框图：

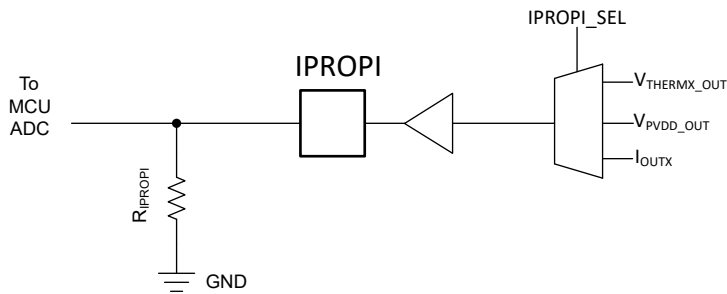


图 7-27. IPROPI 输出电路

IPROPI 复位、消隐和稳定时间：从上表中使用 IPROPI_SEL 位在 IPROPI 输出选项之间进行选择时，IPROPI 输出首先会在 5.5 μs 内复位为 0V。对于任何 IPROPI 输出选择或转换，都会发生此复位。为了防止误读，在打开任何驱动器或检测输出后，IPROPI 上的信号将被消隐，直至电路稳定，对于高侧驱动器，大约需要 60 μs。

电流 (I_{OUTX}) 检测：对于电流输出，IPROPI 输出模拟电流根据 A_{IPROPI} 按比例调整，如下所示：

$$I_{IPROPI} = I_{OUTX} / A_{IPROPI} \quad (3)$$

PVDD 检测：对于 PVDD 电压检测输出，有两个范围：

- 标称范围：5V - 22V，其中 IPROPI 输出电流为 $V_{PVDD}/11,000$
- 高范围：20V - 32V，其中 IPROPI 输出电流为 $V_{PVDD}/16,500$

例如：

- 为标称 PVDD 范围 1 (IPROPI_SEL = 10000b) 选择 IPROPI_SEL
- V_{PVDD} 为 13.5V
- $I_{IPROPI} = 1.2\text{mA}$

PVDD 检测故障行为：IPROPI PVDD 电压检测输出有效，当 V_{PVDD} 高于 PVDD UV 阈值且 V_{DVDD} 高于建议的最小工作电压时可用。

如果 V_{PVDD} 高于 PVDD OV 阈值，则仍支持 PVDD 检测输出。但是，在 $V_{PVDD} > 22\text{V}$ 以上时，无法验证标称范围 (5V-22V) IPROPI PVDD 检测输出。高范围 IPROPI PVDD 检测输出比为 1/16,500，在 20V 至 32V 范围内有效，但无法在 V_{PVDD} 为 32V 以上的情况下进行验证。

PVDD 检测不可用的故障：

- 电荷泵欠压 (VCP_UV)
- 配置为全局关断时的热关断 (默认)

温度检测输出：IPROPI 输出还提供四个热仪表组温度中任意一个的电流表示。该设计旨在用于测试和评估，但不支持在器件运行时使用。

IPROPI 输出电流可用的最高内部温度为 195°C ，此时 IPROPI 输出电流为 1.94mA 。IPROPI 电流输出根据 -40°C 至 195°C 的温度范围进行调节。IPROPI 输出电流的计算公式为：

$$I_{IPROPI} = \alpha + \beta \times t$$

其中， α 是大约等于 1.49mA 的失调电压， β 是 $2.32 \mu\text{A}/^{\circ}\text{C}$ ，“ t ”是温度。若要转换回温度，求解温度可得：

$$t = (I_{IPROPI} - \alpha) / \beta$$

根据 R_{IPROPI} 上生成的电压：

$$t = ([V_{IPROPI}/R_{IPROPI}] - \alpha) / \beta$$

例如，当仪表组温度为 0°C 时，IPROPI 输出电流为 1.49mA 。在 145°C 时，IPROPI 输出电流为 1.83mA 。

为了产生比例电压 V_{IPROPI} ，IPROPI 引脚必须通过外部电阻器 (R_{IPROPI}) 接地。这样即可将 IPROPI 电流作为应用中的 R_{IPROPI} 电阻器上的压降进行测量，以利用控制器 ADC 的整个量程。

选择 IPROPI 电阻值时，请注意最大工作 IPROPI 输出电压为 4.7V 。该值考虑了 IPROPI 的 10% 输出误差，在最大检测值 (例如驱动器的最大负载电流) 下，将 IPROPI 输出电压驱动为 5.3V 。要保持低于该电压，请使用小于 $2.35\text{k}\Omega$ 的电阻值，因为 2mA 电流流经 $2.35\text{k}\Omega$ 电阻时的压降约为 4.7V 。考虑到 IPROPI 的 10% 输出误差，如果需要 3.3V 的 MCU 电压，电阻将保持在 MCU 绝对最大电压以下。

7.4.5 保护电路

7.4.5.1 故障复位 (CLR_FLT)

DRV8002-Q1 提供了特定序列来清除驱动器的故障条件并恢复运行。此功能通过 CLR_FLT 寄存器位提供。若要清除故障报告，必须在故障条件消失后对 CLR_FLT 寄存器位进行置位。置位后，驱动器将清除故障并复位 CLR_FLT 寄存器位。

7.4.5.2 DVDD 逻辑电源上电复位 (DVDD_POR)

在任何时候，如果 DVDD 引脚上的输入逻辑电源电压低于 V_{DVDD_POR} 阈值的时间超过 $t_{DVDD_POR_DG}$ 时间，或 nSLEEP 引脚被置为低电平，则器件会进入其非运行状态，从而禁用栅极驱动器，电荷泵、OUTx 输出和保护监

控制器。当 DVDD 欠压条件消失或 nSLEEP 引脚被置位为高电平后，器件将恢复正常运行。在 DVDD 上电复位 (POR) 之后，POR 寄存器位会被置位，直到发出 CLR_FLT。

7.4.5.3 PVDD 电源欠压监测器 (PVDD_UV)

在任何时候，如果 PVDD 引脚上的电源电压低于 V_{PVDD_UV} 阈值的时间超过 $t_{PVDD_UV_DG}$ 时间，则 DRV8002-Q1 会检测到 PVDD 欠压条件。检测到欠压条件后，将使能栅极驱动器下拉电阻，禁用电荷泵，所有 OUTx 输出被禁用，并且 FAULT 寄存器位和 PVDD_UV 寄存器位会被置位。

PVDD 欠压监测器可以在通过 PVDD_UV_MODE 寄存器设置进行设定的两种不同模式下执行恢复。

- **锁存故障模式：**欠压条件消失后，仍会锁存故障状态且电荷泵保持禁用状态，直到发出 CLR_FLT。
- **自动恢复模式：**欠压条件消失后，FAULT 寄存器位将自动清零，且输出端重新使能。在发出 CLR_FLT 之前，PVDD_UV 寄存器位将保持锁存状态。

7.4.5.4 PVDD 电源过压监测器 (PVDD_OV)

在 DRV8002-Q1 中，有两个 V_{PVDD_OV} 阈值，包括一个低阈值和一个高阈值。过压响应选项取决于配置的驱动器输出（高侧、栅极驱动器、半桥驱动器）。IC_STAT1 中有两个可用的故障状态位 PVDD_OV_22V 和 PVDD_OV_28V。

PVDD 过压监测器可以在通过 PVDD_OV_MODE 寄存器设置进行设定的两种不同模式下进行响应和恢复。

- **锁存故障模式 (0b)：**检测到过压条件后，所有驱动器都会被禁用，并且 FAULT 寄存器位以及 PVDD_OV_22V 或 PVDD_OV_28V 寄存器位会被置位。过压条件消失后，仍会锁存故障状态，直到发出 CLR_FLT。
- **自动恢复模式 (1b)：**检测到过压条件后，所有驱动器都会被禁用，并且 FAULT 寄存器位以及 PVDD_OV_22V 或 PVDD_OV_28V 寄存器位会被置位。过压条件消失后，FAULT 寄存器位将自动清零，且驱动器将自动重新使能。在发出 CLR_FLT 之前，PVDD_OV_22V 或 PVDD_OV_28V 寄存器位将保持锁存状态。

高侧过压故障 (PVDD_OV_22V)：

- 当 $V_{PVDD} >$ 低 V_{PVDD} 阈值电压 (22V) 时，高侧会关断。
- 在高侧 PVDD 过压行为表中定义了 PVDD_OV_22V 故障状态。
- 高侧输出不能使用 PVDD_OV_LVL 设置
- PVDD_OV_MODE 可设置为故障响应锁存故障或自动恢复模式。

表 7-34. 高侧 PVDD 过压行为

PVDD 电压	高侧	PVDD_OV_22V 状态	PVDD_OV_28V	故障
$V_{PVDD} < 22V$	正常运行	0b	不适用	0b
$V_{PVDD} > 22V$	关断	1b	不适用	1b

半桥和栅极驱动器过压故障 (PVDD_OV_22V 或 PVDD_OV_28V)：

- 半桥和栅极驱动器支持在 $V_{PVDD} >$ 低 V_{PVDD} 阈值电压 (22V) 时发出警告或关断，或在高 V_{PVDD} 阈值电压 (28V) 时触发关断。
- PVDD_OV_22V 具有使用寄存器 PVDD_OV_LVL 设置的可配置警告或故障条件，可用于这些驱动器输出，如半桥和栅极驱动器 PVDD 过压行为表中所定义。
- PVDD_OV_22V 的抗尖峰脉冲时间可通过 PVDD_OV_DG 寄存器设置进行调整。
- PVDD_OV_MODE 可设置为故障响应锁存故障或自动恢复模式。

表 7-35. 半桥和栅极驱动器 PVDD 过压行为

PVDD_OV_LVL	PVDD 电压	半桥和栅极驱动器	高侧	PVDD_OV_22V	PVDD_OV_28V	故障
0b	$V_{PVDD} < 22V$	正常运行	正常运行	0b	0b	0b
0b	$V_{PVDD} > 22V$	关断	关断	1b	0b	1b
1b	$V_{PVDD} < 22V$	正常运行	正常运行	0b	0b	0b
1b	$28V > V_{PVDD} > 22V$	正常运行，但有警告	关断	1b	0b	1b

表 7-35. 半桥和栅极驱动器 PVDD 过压行为 (续)

PVDD_OV_LVL	PVDD 电压	半桥和栅极驱动器	高侧	PVDD_OV_22V	PVDD_OV_28V	故障
1b	$V_{PVDD} > 28V$	关断	关断	1b	1b	1b

7.4.5.5 VCP 电荷泵欠压锁定 (VCP_UV)

在任何时候，如果 VCP 引脚上的电压低于 V_{VCP_UV} 阈值的时间超过 $t_{VCP_UV_DG}$ 时间，则 DRV8002-Q1 会检测到 VCP 欠压条件。检测到欠压条件后，所有输出均被禁用，将使能栅极驱动器下拉电阻，并且 FAULT 寄存器位和 VCP_UV 寄存器位会被置位。欠压阈值可通过 VCP_UV_LVL 寄存器设置进行调整。

VCP 欠压监控器可以在通过 VCP_UV_MODE 寄存器设置进行设定的两种不同模式下执行恢复。

- **锁存故障模式：**此外，会在锁存故障模式下禁用电荷泵。欠压条件消失后，仍会锁存故障状态且电荷泵保持禁用状态，直到发出 CLR_FLT。
- **自动恢复模式：**欠压条件消失后，FAULT 寄存器 GD_VDS_CNFG 寄存器字段说明 位将自动清零，且驱动器将自动重新使能。在发出 CLR_FLT 之前，VCP_UV 寄存器位将保持锁存状态。

7.4.5.6 热仪表组

由于该器件上有多个多种类型的驱动器，因此芯片上有多个专用热传感器用于监控芯片上的关键模块温度。这些称为热仪表组的传感器中的每一个都可以测量特定器件模块的本地裸片温度。这些测量值可转换为 IPROPI 引脚上的输出电流，用于触发温度警告或关断超出可接受温度范围的特定仪表组或关断整个器件。

可以使用 IC_CNFG1 寄存器中的 OTSD_MODE 位来配置器件对热仪表组警告的响应：

- **默认模式 (OTSD_MODE = 0b)：**如果任何仪表组达到热关断阈值的时间超过 t_{OTSD_DG} ，则关断整个器件。
- **仪表组模式 (OTSD_MODE = 1b)：**如果仪表组达到热关断阈值的时间超过 t_{OTSD_DG} ，则只关断该仪表组。

如下面的表和图中所示，有四个使用热仪表组定义的区域：

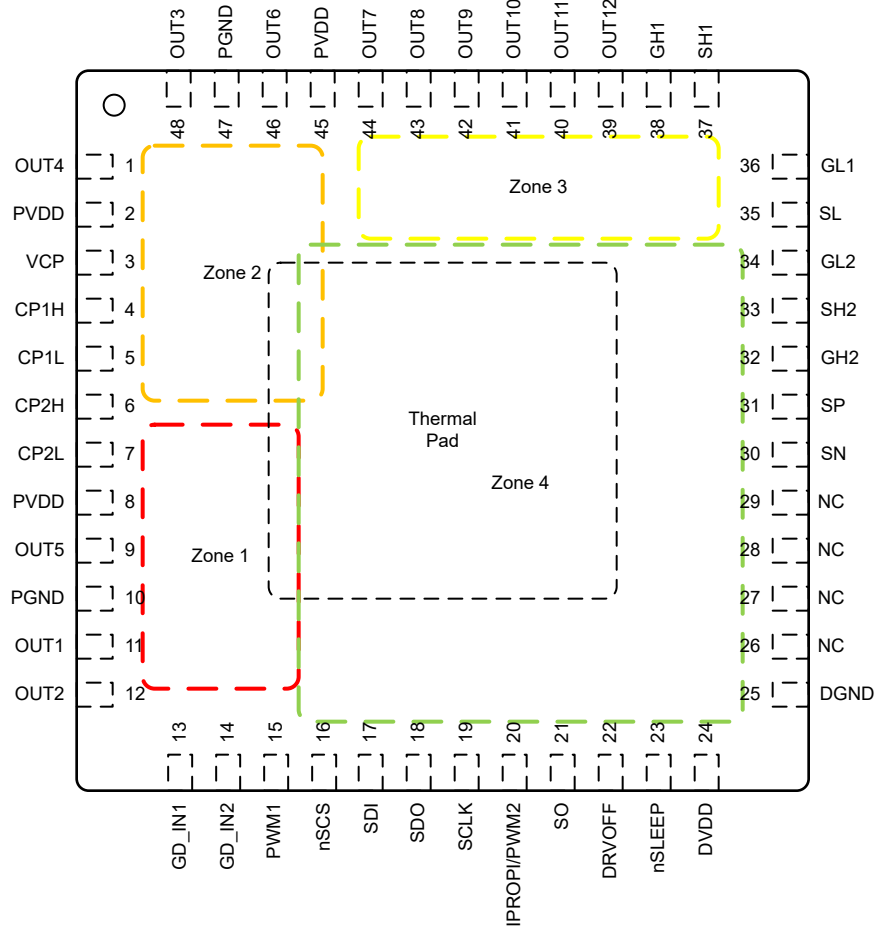


图 7-28. 热传感器区域

表 7-36. 热仪表组位置

热仪表组 1	热仪表组 2	热仪表组 3	热仪表组 4
OUT5、OUT1 和 OUT2	OUT3、OUT4 和 OUT6	高侧驱动器	全局驱动器和剩余驱动器

每个区域都有针对两个温度点的基于比较器的警告，即 125°C (低温) 和 145°C (高温)。位 [ZONEX_OTW_X](#) (L 或 H) 会被锁存到寄存器 [IC_STAT2](#) 中。每个警告都可以通过寄存器 [IC_CNFG2](#) 中的 [ZONEX_OTW_X_DIS](#) 位单独禁用。如果发生过热关断，则 [ZONEX_OTSD](#) 位会被锁存到寄存器 [IC_STAT2](#) 中。

7.4.5.7 看门狗计时器

该器件集成了一个可编程窗口型 [SPI](#) 看门狗计时器，以验证外部控制器是否正在工，以及 [SPI](#) 总线完整性是否受到监控。[SPI](#) 看门狗计时器可通过 [WD_EN](#) [SPI](#) 寄存器位使能。看门狗计时器默认处于禁用状态。看门狗计时器使能后，内部计时器开始递增计数。看门狗计时器通过将 [WD_RST](#) [SPI](#) 寄存器反转来进行复位。此 [WD_RST](#) 必须在下窗口时间和上窗口时间之间发出。如果检测到看门狗计时器故障，则器件响应可以配置为仅报告警告，或者报告故障并禁用所有驱动器。可以使用 [CLR_FLT](#) 命令清除看门狗故障。如果看门狗设置为禁用所有驱动器，则在发送 [CLR_FLT](#) 命令以消除看门狗故障条件后会使用驱动器。要在清除故障后重新启动看门狗，请使用 [WD_EN](#) 位禁用并重新启用看门狗

7.4.5.8 故障检测和响应汇总表

故障事件	条件	模式	数字内核	电荷泵	驱动器	状态位	故障/警告	功能恢复	状态位恢复
禁用栅极驱动器	DRVOFF = 高电平	不适用	有效	有效	栅极驱动器是下拉类型	DRVOFF_STAT	不适用	DRVOFF = 低电平和 CLR_FLT	CLR_FLT

故障事件	条件	模式	数字内核	电荷泵	驱动器	状态位	故障/警告	功能恢复	状态位恢复
SPI 时钟故障	SPI 时钟帧无效	锁存	有效	有效	有效	SPI_OK、SCLK_FLT、拒绝帧 SDO 帧上的 SPI_ERR	不适用	有效 SPI 帧	CLR_FLT
SPI 地址故障	地址超出范围	锁存	有效	有效	有效	SDO 帧上的 SPI_ERR	不适用	有效 SPI 帧	不适用
DVDD 上电复位	DVDD < VD_VDD_POR	不适用	复位	禁用	半有源下拉	POR	不适用	DVDD > VD_VDD_POR	CLR_FLT
PVDD 欠压	PVDD < VPVDD_UV	锁存	有效	禁用	下拉	PVDD_UV SDO 帧上的 OV/UV	故障	PVDD > VPVDD_UV 和 CLR_FLT	CLR_FLT
		自动	有效	禁用	下拉	PVDD_UV SDO 帧上的 OV/UV	故障	PVDD > VPVDD_UV	CLR_FLT
VCP 欠压	VCP < VVCP_UV	锁存	有效	禁用	下拉	VCP_UV SDO 帧上的 OV/UV	故障	VCP > VVCP_UV 和 CLR_FLT	CLR_FLT
		自动	有效	有效	下拉	VCP_UV SDO 帧上的 OV/UV	故障	VCP > VVCP_UV	CLR_FLT
PVDD 过压	PVDD_OV_LVL = 0 PVDD > 22V	锁存	有效	有效	下拉	PVDD_OV_22V SDO 帧上的 OV/UV	故障	PVDD < VPVDD_OV_LO 和 CLR_FLT	CLR_FLT
		自动	有效	有效	下拉	PVDD_OV_22V SDO 帧上的 OV/UV	故障	PVDD < VPVDD_OV_LO	CLR_FLT
	PVDD_OV_LVL = 1 28V > PVDD > 22V	锁存	有效	有效	HS 为下拉类型	PVDD_OV_22V SDO 帧上的 OV/UV	故障	PVDD < VPVDD_OV_LO 和 CLR_FLT	CLR_FLT
		自动	有效	有效	HS 为下拉类型	PVDD_OV_22V SDO 帧上的 OV/UV	故障	PVDD < VPVDD_OV_LO	CLR_FLT
	PVDD_OV_LVL = 1 PVDD > 28V	锁存	有效	有效	下拉	PVDD_OV_22V、PVDD_OV_28V SDO 帧上的 OV/UV	故障	PVDD < VPVDD_OV_LO 和 CLR_FLT	CLR_FLT
		自动	有效	有效	下拉	PVDD_OV_22V、PVDD_OV_28V SDO 帧上的 OV/UV	故障	PVDD < VPVDD_OV_LO	CLR_FLT
栅极驱动器 VDS 过流	VDS > VVDS_LVL	锁存	有效	有效	栅极驱动器是下拉类型	GD、VDS_Lx、VDS_Hx	故障	VDS < VDS_LVL 和 CLR_FLT	CLR_FLT
		周期	有效	有效	栅极驱动器是下拉类型	GD、VDS_Lx、VDS_Hx	故障	VDS_VDS_LVL 和 (CLR_FLT 或输入循环)	CLR_FLT
		警告	有效	有效	有效	GD、VDS_Lx、VDS_Hx	WARN	不适用	CLR_FLT
		禁用	有效	有效	有效	不适用	不适用	不适用	不适用

故障事件	条件	模式	数字内核	电荷泵	驱动器	状态位	故障/警告	功能恢复	状态位恢复
VGS 栅极故障	FET 关断 VGS > VVGS_LVL	锁存	有效	有效	栅极驱动器是下拉类型	GD、VGS_Lx、VGS_Hx	故障	VGS<VVGS_LVL 和 CLR_FLT	CLR_FLT
		周期	有效	有效	栅极驱动器是下拉类型	GD、VGS_Lx、VGS_Hx	故障	VGS < VGS_LVL 和 (CLR_FLT 或输入循环)	CLR_FLT
		警告	有效	有效	有效	GD、VGS_Lx、VGS_Hx	WARN	不适用	CLR_FLT
		禁用	有效	有效	有效	不适用	不适用	不适用	不适用
	FET 导通 VGS < VVGS_LVL	锁存	有效	有效	栅极驱动器是下拉类型	GD、VGS_Lx、VGS_Hx	故障	VGS>VVGS_LVL 和 CLR_FLT	CLR_FLT
		周期	有效	有效	栅极驱动器是下拉类型	GD、VGS_Lx、VGS_Hx	故障	VGS>VGS_LVL 和 (CLR_FLT 或输入循环)	CLR_FLT
		警告	有效	有效	有效	GD、VGS_Lx、VGS_Hx	WARN	不适用	CLR_FLT
		禁用	有效	有效	有效	不适用	不适用	不适用	不适用
半桥过流故障 (OUT1-OUT6)	IOUTx > IOCPx	锁存	有效	有效	受影响的驱动器为 Hi-Z	HB、OUTx_HS_OCP、OUTx_LS_OCP	故障	IOUTx < IOCPx 和 CLR_FLT	CLR_FLT
半桥有源开路负载故障 (OUT1-OUT6)	IOUTx < IOLA_OUTx	锁存	有效	有效	有效	HB、OUTx_HS_OLA、OUTx_LS_OLA	WARN	IOUTx > IOLA_OUTx 和 CLR_FLT	CLR_FLT
高侧驱动器过流故障 (OUT7-OUT12)	OUTx_ITRIP_EN = 0 IOUTx > IOCx	锁存	有效	有效	受影响的驱动器为 Hi-Z	HS、ITRIP、OUTx_ITRIP_STAT	故障	IOUTx < IOCx 和 CLR_FLT	CLR_FLT
高侧驱动器 OUTx ITRIP (OUT7-OUT12)	OUTx_ITRIP_EN = 1 IOUTx > IOCx	锁存	有效	有效	有效	HS、ITRIP、OUTx_ITRIP_STAT	不适用	IOUTx < IOCx	CLR_FLT
高侧驱动器短路故障 (OUT7-12)	VOUTx<VSC_DET	锁存	有效	有效	受影响的驱动器为 Hi-Z	HS、OUTx_OCP	故障	VOUTx > VSC_DET 和 CLR_FLT	CLR_FLT
高侧驱动器开路负载故障 (OUT7-OUT12)	IOUTx < IOLDx	锁存	有效	有效	有效	HS、OUTx_OLA	WARN	IOUTx > IOLDx 和 CLR_FLT	CLR_FLT
区域 X 热警告	TJ > TOTW1、TOTW2	自动	有效	有效	有效	OTW、ZONEx_OTW_L、ZONEx_OTW_H	不适用	TJ < TOTW1、TOTW2	不适用
区域 X 热关断	TJ > TOTSD	锁存	有效	禁用	半有源下拉, Hi-Z	OTSD、ZONEx_OTSD	故障	TJ < TOTSD 且 CLR_FLT	CLR_FLT
看门狗	WD_FLT_M=0b, 无效访问或到期	警告	有效	有效	有效	WD_FLT	WARN	CLR_FLT 和 WD_EN 禁用并重新启用	CLR_FLT
看门狗	WD_FLT_M=1b, 无效访问或到期	锁存	有效	有效	下拉	WD_FLT	故障	CLR_FLT 和 WD_EN 禁用并重新启用	CLR_FLT

7.5 编程

7.5.1 串行外设接口 (SPI)

SPI 总线用于为 DRV8002-Q1 器件设置器件配置、工作参数，以及读取诊断信息。SPI 在外设模式下运行，并连接到控制器。SPI 输入数据 (SDI) 字中包含一个 24 位的字 (包括一条 8 位命令和 16 位数据)。用于读取命令的 SPI 输出数据 (SDO) 字中包含状态指示位，然后是正在访问的用于读取命令的寄存器数据。用于写入命令的 SDO 字包含故障状态，后跟写入寄存器中的现有数据。图 7-29 展示了 MCU 和 SPI 外设驱动器之间的数据序列。

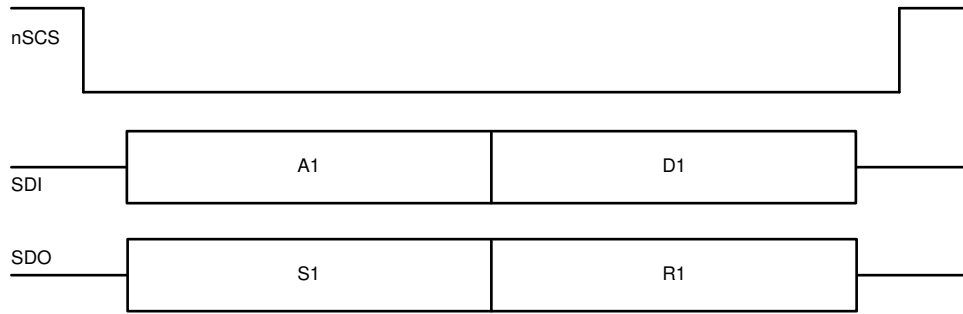


图 7-29. SPI 数据帧

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚被拉至低电平。
- 在字之间，nSCS 引脚被拉至高电平。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 下降沿被捕捉，并在 SCLK 上升沿传播。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 24 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于或多于 24 位，则会发生帧错误 (SCLK_FLT) 并且数据字会被忽略。
- 对于写命令，在 16 位命令数据之后，寄存器中要写入的现有数据会在 SDO 引脚上移出，先是故障状态字节，然后是 16 位数据。

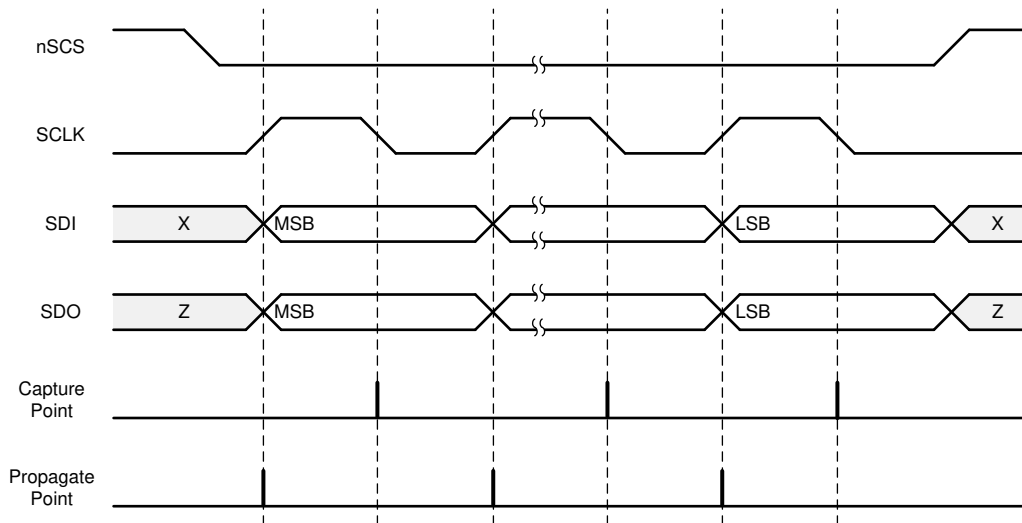


图 7-30. SPI 外设时序图

7.5.2 SPI 格式

SDI 输入数据的字长为 24 位，包含以下格式：

- MSB 位指示帧类型（对于标准帧，位 B23 = 0）。
- 1 个读取或写入位，W（位 B22，读取 = 0，写入 = 1）
- 6 个地址位，A（位 B21 至 B16）

- 16 个数据位，D (位 B15 到 B0)。对于读取操作，这些位通常设置为空值，而对于写入操作，这些位包含用于写入所寻址寄存器的数据值。

表 7-37. SDI 输入数据字格式

		R/W	地址							数据															
位	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
数据	0	W0	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

SDO 输出数据的字长为 24 位，IC 状态寄存器占前 8 位。报告字是所访问的寄存器的内容。

对于写命令 (W0 = 0)，响应字由故障状态指示位及随后寄存器中正在写入到的现有数据组成。

对于读命令 (W0 = 1)，响应字由故障状态指示位及随后寄存器中目前正在读取的数据组成。

表 7-38. SDO 输出数据字格式

	IC 状态								报告							
位	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8
									B7	B6	B5	B4	B3	B2	B1	B0
数据	1	1	故障	WARN	OV _V U	DRV	OTSD	SPI _E RR	D15	D14	D13	D12	D11	D10	D9	D8
									D7	D6	D5	D4	D3	D2	D1	D0

- FAULT - 任何器件故障 (全局或驱动器) 的“或”关系
- WARN - 任何器件警告的“或”关系
- OV_UV - PVDD、VCP 过压和欠压状态的“或”关系
- DRV - 任何驱动器故障的“或”关系
- OTSD - 在发生过热关断时置位
- SPI_ERR - 当接收到错误数量的 SCLK 时置位

7.5.3 时序图

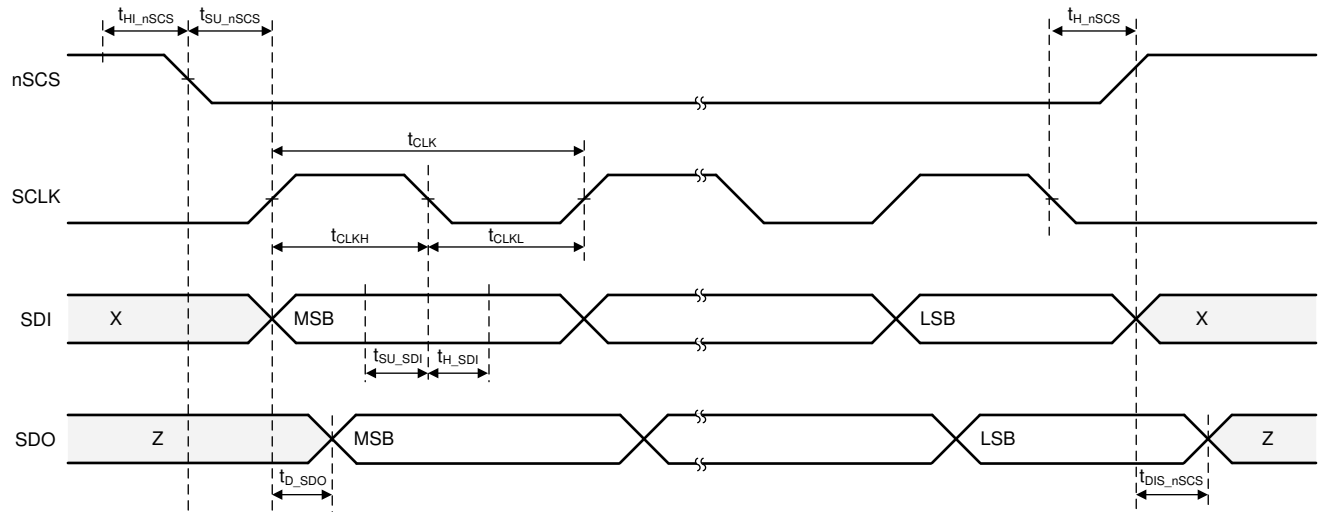


图 7-31. SPI 时序图

8 DRV8002-Q1 寄存器映射

列出了 DRV8002-Q1 的存储器映射寄存器。未列出的所有寄存器地址都被视为保留的存储单元，并且不会修改寄存器内容。关于保留的存储单元的说明仅供参考。器件 ID 表汇总了 DRV800x 器件的器件 ID。

表 8-1. 器件 ID 概要

器件	器件 ID
DRV8000-Q1	寄存器地址 0x8h, DEVICE_ID=0x02
DRV8001-Q1	寄存器地址 0x8h, DEVICE_ID=0x12
DRV8002-Q1	寄存器地址 0x8h, DEVICE_ID=0x22

表 8-2. DRV8002-Q1 寄存器映射

名称	15	14	13	12	11	10	9	8	类型	Addr
	7	6	5	4	3	2	1	0		
IC_STAT1	SPI_OK	POR	故障	WARN	GD	HB	RSVD	HS	R	00h
	PVDD_UV	PVDD_OV_22V	VCP_UV	OTW	OTSD	WD_FLT	ITRIP	PVDD_OV_28V		
IC_STAT2	DEVICE_ERR	RSVD	SCLK_FLT	RSVD	ZONE4_OTSD	ZONE3_OTSD	ZONE2_OTSD	ZONE1_OTSD	R	01h
	ZONE4_OTW_H	ZONE3_OTW_H	ZONE2_OTW_H	ZONE1_OTW_H	ZONE4_OTW_L	ZONE3_OTW_L	ZONE2_OTW_L	ZONE1_OTW_L		
GD_STAT	DRVOFF_STAT_FB	DRVOFF_STAT	STC_WARN_R	STC_WARN_F	PCHR_WARN	PDCHR_WARN	IDIR	IDIR_WARN	R	02h
	VGS_L2	VGS_H2	VGS_L1	VGS_H1	VDS_L2	VDS_H2	VDS_L1	VDS_H1		
HB_STAT1	RSVD		OUT6_LS_OCP	OUT5_LS_OCP	OUT4_LS_OCP	OUT3_LS_OCP	OUT2_LS_OCP	OUT1_LS_OCP	R	03h
	RSVD		OUT6_HS_OCP	OUT5_HS_OCP	OUT4_HS_OCP	OUT3_HS_OCP	OUT2_HS_OCP	OUT1_HS_OCP		
HB_STAT2	RSVD			HB_OLP_STAT	OUT6_LS_OLA	OUT5_LS_OLA	OUT4_LS_OLA	OUT3_LS_OLA	R	04h
	OUT2_LS_OLA	OUT1_LS_OLA	OUT6_HS_OLA	OUT5_HS_OLA	OUT4_HS_OLA	OUT3_HS_OLA	OUT2_HS_OLA	OUT1_HS_OLA		
ITRIP_STAT	RSVD								R	05h
	RSVD	OUT7_ITRIP_ST AT	OUT6_ITRIP_ST AT	OUT5_ITRIP_ST AT	OUT4_ITRIP_ST AT	OUT3_ITRIP_ST AT	OUT2_ITRIP_ST AT	OUT1_ITRIP_ST AT		
HS_STAT	RSVD		OUT12_OLA	OUT11_OLA	OUT10_OLA	OUT9_OLA	OUT8_OLA	OUT7_OLA	R	06h
	RSVD		OUT12_OCP	OUT11_OCP	OUT10_OCP	OUT9_OCP	OUT8_OCP	OUT7_OCP		
HS_ITRIP_STAT	RSVD								R	07h
	RSVD			OUT12_ITRIP_S TAT	OUT11_ITRIP_S TAT	OUT10_ITRIP_S TAT	OUT9_ITRIP_ST AT	OUT8_ITRIP_ST AT		
SPARE_STAT2	RSVD								R	08h
	DEV_ID									
IC_CNFG1	OTSD_MODE	DIS_CP	RSVD	PVDD_OV_MOD E	PVDD_OV_DG		PVD_OV_LVL	VCP_UV_LVL	R/W	09h
	CP_MODE		VCP_UV_MODE	PVDD_UV_MOD E	WD_EN	WD_FLT_M	WD_WIN	EN_SSC		
IC_CNFG2	RSVD								R/W	0Ah
	ZONE4_OTW_H _DIS	ZONE3_OTW_H _DIS	ZONE2_OTW_H _DIS	ZONE1_OTW_H _DIS	ZONE4_OTW_L _DIS	ZONE3_OTW_L _DIS	ZONE2_OTW_L _DIS	ZONE1_OTW_L _DIS		
GD_CNFG	RSVD		IDRV_LO1	IDRV_LO2	PU_SH_1	PD_SH_1	PU_SH_2	PD_SH_2	R/W	0Bh
	RSVD	IN2_MODE	IN1_MODE	BRG_FW	BRG_MODE		EN_OLSC	EN_GD		
GD_IDRV_CNFG	IDRVP_1				IDRVN_1				R/W	0Ch
	IDRVP_2				IDRVN_2					
GD_VGS_CNFG	RSVD				VGS_IND	VGS_TDEAD		RSVD	R/W	0Dh
	RSVD	VGS_TDRV			VGS_HS_DIS	VGS_LVL	VGS_MODE			
GD_VDS_CNFG	RSVD	VDS_IND	VDS_IDRVN		VDS_HS_LVL			R/W	0Eh	
	VDS_MODE		VDS_DG		VDS_LS_LVL					
GD_CSA_CNFG	RSVD								R/W	0Fh
	CSA_BLK			CSA_BLK_SEL	CSA_GAIN		CSA_DIV	CSA_EN		
GD_AGD_CNFG	RVSD	PDR_ERR	AGD_ISTRONG		AGD_THR		SET_AGD	FW_MAX	R/W	10h
	EN_DCC	IDIR_MAN	KP_PST		EN_PST_DLY	KP_PDR		EN_PDR		
GD_PDR_CNFG	PRE_MAX		T_DON_DOFF						R/W	11h
	T_PRE_CHR		T_PRE_DCHR		PRE_CHR_INIT		PRE_DCHR_INIT			
GD_STC_CNFG	RSVD							IDIR_MAN_SEL	R/W	12h
	T_RISE_FALL				STC_ERR	KP_STC		EN_STC		

表 8-2. DRV8002-Q1 寄存器映射 (续)

名称	15	14	13	12	11	10	9	8	类型	Addr
	7	6	5	4	3	2	1	0		
GD_SPARE_CNF G1	RSVD								R/W	13h
HB_ITRIP_DG	RSVD				OUT6_ITRIP_DG		OUT5_ITRIP_DG		R/W	14h
	OUT4_ITRIP_DG		OUT3_ITRIP_DG		OUT2_ITRIP_DG		OUT1_ITRIP_DG			
HB_OUT_CNFG1	RSVD	NSR_OUT6_DIS	NSR_OUT5_DIS	NSR_OUT4_DIS	NSR_OUT3_DIS	NSR_OUT2_DIS	NSR_OUT1_DIS	IPROPI_SH_EN	R/W	15h
	RSVD		OUT6_CNFG			OUT5_CNFG				
HB_OUT_CNFG2	RSVD		OUT4_CNFG			OUT3_CNFG			R/W	16h
	OUT2_MODE	OUT1_MODE	OUT2_CNFG			OUT1_CNFG				
HB_OCP_CNFG	RSVD				OUT6_OCP_DG		OUT5_OCP_DG		R/W	17h
	OUT4_OCP_DG		OUT3_OCP_DG		OUT2_OCP_DG		OUT1_OCP_DG			
HB_OL_CNFG1	RSVD		HB_OLP_CNFG		HB_OLP_SEL				R/W	18h
	RSVD		OUT6_OLA_EN	OUT5_OLA_EN	OUT4_OLA_EN	OUT3_OLA_EN	OUT2_OLA_EN	OUT1_OLA_EN		
HB_OL_CNFG2	RSVD				OUT6_OLA_TH		OUT5_OLA_TH		R/W	19h
	OUT4_OLA_TH		OUT3_OLA_TH		OUT2_OLA_TH		OUT1_OLA_TH			
HB_SR_CNFG	RSVD				OUT6_SR		OUT5_SR		R/W	1Ah
	OUT4_SR		OUT3_SR		OUT2_SR		OUT1_SR			
HB_ITRIP_CNFG	OUT6_ITRIP_E N	OUT5_ITRIP_E N	OUT4_ITRIP_E N	OUT3_ITRIP_E N	OUT2_ITRIP_E N	OUT1_ITRIP_E N	OUT6_ITRIP_LVL		R/W	1Bh
	OUT5_ITRIP_LVL		OUT4_ITRIP_LVL		OUT3_ITRIP_LVL		OUT2_ITRIP_LV L	OUT1_ITRIP_LV L		
HB_ITRIP_FREQ	RSVD		HB_TOFF_SEL		OUT6_ITRIP_FREQ		OUT5_ITRIP_FREQ		R/W	1Ch
	OUT4_ITRIP_FREQ		OUT3_ITRIP_FREQ		OUT2_ITRIP_PWM_FREQ/ PWM_OUT2_FREQ		OUT1_ITRIP_PWM_FREQ/ PWM_OUT1_FREQ			
HS_OUT_CNFG	RSVD				OUT12_CNFG		OUT11_CNFG		R/W	1Dh
	OUT10_CNFG		OUT9_CNFG		OUT8_CNFG		OUT7_CNFG			
HS_OC_CNFG	RSVD								R/W	1Eh
HS_OL_CNFG	RSVD		OUT12_OC_TH	OUT11_OC_TH	OUT10_OC_TH	OUT9_OC_TH	OUT8_OC_TH	OUT7_RDSON_ MODE	R/W	1Fh
	RSVD		OUT12_OLA_TH	OUT11_OLA_TH	OUT10_OLA_TH	OUT9_OLA_TH	OUT8_OLA_TH	RSVD		
HS_REG_CNFG1	RSVD								R/W	20h
	OUT7_ITRIP_E N	RSVD			OUT7_ITRIP_FREQ		OUT7_ITRIP_DG			
HS_REG_CNFG2	RSVD		OUT12_CCM_T O	OUT11_CCM_T O	OUT10_CCM_T O	OUT9_CCM_TO	OUT8_CCM_TO	OUT7_CCM_TO	R/W	21h
	RSVD		OUT12_CCM_E N	OUT11_CCM_E N	OUT10_CCM_E N	OUT9_CCM_EN	OUT8_CCM_EN	OUT7_CCM_EN		
HS_PWM_FREQ _CNFG	RSVD				PWM_OUT12_FREQ		PWM_OUT11_FREQ		R/W	22h
	PWM_OUT10_FREQ		PWM_OUT9_FREQ		PWM_OUT8_FREQ		PWM_OUT7_FREQ			
SPARE_CNFG	RSVD								R/W	23h
SPARE_CNFG1	RSVD								R/W	24h
HS_REG_CNFG3	RSVD				HS_OUT_ITRIP_FREQ		HS_OUT_ITRIP_DG		R/W	25h
	RSVD			HS_OUT12_ITRI P_EN	HS_OUT11_ITRI P_EN	HS_OUT10_ITRI P_EN	HS_OUT9_ITRI P_EN	HS_OUT8_ITRI P_EN		
SPARE_CNFG2	RSVD								R/W	26h
OUT1_HS_MODE _DC	RSVD						OUT1_DC		R/W	27h
	OUT1_DC									
OUT2_HS_MODE _DC	RSVD						OUT2_DC		R/W	28h
	OUT2_DC									
IC_CTRL	RSVD		IPROPI_MODE	IPROPI_SEL				R/W	29h	
	CTRL_LOCK			CNFG_LOCK			WD_RST	CLR_FLT		
GD_HB_CTRL	S_HI22	S_HI21	S_IN2	S_IN1	OUT6_CTRL		OUT5_CTRL		R/W	2Ah
	OUT4_CTRL		OUT3_CTRL			OUT2_CTRL		OUT1_CTRL		
HS_CTRL	RSVD								R/W	2Bh
	RSVD		OUT12_EN	OUT11_EN	OUT10_EN	OUT9_EN	OUT8_EN	OUT7_EN		

表 8-2. DRV8002-Q1 寄存器映射 (续)

名称	15	14	13	12	11	10	9	8	类型	Addr
	7	6	5	4	3	2	1	0		
OUT7_PWM_DC	RSVD						OUT7_DC		R/W	2Ch
	OUT7_DC									
OUT8_PWM_DC	RSVD						OUT8_DC		R/W	2Dh
	OUT8_DC									
OUT9_PWM_DC	RSVD						OUT9_DC		R/W	2Eh
	OUT9_DC									
OUT10_PWM_DC	RSVD						OUT10_DC		R/W	2Fh
	OUT10_DC									
OUT11_PWM_DC	RSVD						OUT11_DC		R/W	30h
	OUT11_DC									
OUT12_PWM_DC	RSVD						OUT12_DC		R/W	31h
	OUT12_DC									

8.1 DRV8000-Q1_STATUS 寄存器

表 8-3 列出了 DRV8000-Q1_STATUS 寄存器的存储器映射寄存器。表 8-3 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-3. DRV8000-Q1_STATUS 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	IC_STAT1	器件状态汇总 1。	节 8.1.1
1h	IC_STAT2	器件状态汇总 2。	节 8.1.2
2h	GD_STAT	栅极驱动器状态。	节 8.1.3
3h	HB_STAT1	半桥过流状态。	节 8.1.4
4h	HB_STAT2	半桥开路负载状态。	节 8.1.5
5h	ITRIP_STAT	ITRIP 状态。	节 8.1.6
6h	HS_STAT	高侧驱动器状态。	节 8.1.7
7h	HS_ITRIP_STAT	高侧 ITRIP 状态	节 8.1.8
8h	SPARE_STAT2	备用状态 2。	节 8.1.9

复杂的位访问类型经过编码可适应小型表单元。表 8-4 展示了适用于此部分中访问类型的代码。

表 8-4. DRV8000-Q1_STATUS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
-n		复位后的值或默认值

8.1.1 IC_STAT1 寄存器 (偏移 = 0h) [复位 = C000h]

IC_STAT1 如表 8-5 所示。

返回到[汇总表](#)。

用于驱动器、电源和过热故障状态的主器件状态寄存器。还包括看门狗和 ITRIP 调节故障状态。

表 8-5. IC_STAT1 寄存器字段说明

位	字段	类型	复位	说明
15	SPI_OK	R	1h	指示是否检测到 SPI 通信故障。 0b = 前面的帧中有一个或多个 SCLK_FLT。 1b = 未检测到 SPI 故障。
14	POR	R	1h	表明存在上电复位条件。 0b = 未检测到上电复位条件。 1b = 检测到上电复位条件。
13	故障	R	0h	一般故障指示器。表示发生了器件或驱动器故障。 0b = 无故障。 1b = 检测到故障。
12	WARN	R	0h	通用警告指示器。表示存在警告。 0b = 无警告。 1b = 存在警告。
11	GD	R	0h	栅极驱动器 VDS 和 VGS 故障指示器的逻辑“或”。
10	HB	R	0h	半桥过流和开路负载故障指示器的逻辑“或”。
9	RESERVED	R	0h	保留
8	HS	R	0h	集成高侧驱动器过流、短路和开路负载故障指示器的逻辑“或”。
7	PVDD_UV	R	0h	表明 PVDD 引脚上存在欠压故障。
6	PVDD_OV_22V	R	0h	指示 PVDD 引脚上的过压故障大于 22V。
5	VCP_UV	R	0h	表明 VCP 引脚上存在欠压故障。
4	OTW	R	0h	表明过热警告。
3	OTSD	R	0h	指示过热关断
2	WD_FLT	R	0h	表示看门狗计时器故障。
1	ITRIP	R	0h	在任何 OUTx 进入 ITRIP 时表示 ITRIP 调节警告。
0	PVDD_OV_28V	R	0h	指示 PVDD 引脚上的过压故障大于 28V。

8.1.2 IC_STAT2 寄存器 (偏移 = 1h) [复位 = 0000h]

IC_STAT2 如表 8-6 所示。

返回到[汇总表](#)。

具有 SPI 故障和特定热仪表组故障/警告状态的第二个器件状态寄存器。

表 8-6. IC_STAT2 寄存器字段说明

位	字段	类型	复位	说明
15	DEVICE_ERR	R	0h	指示发生了器件 OTP 存储器错误。
14	RESERVED	R	0h	保留
13	SCLK_FLT	R	0h	当事务帧中的 SCLK 脉冲数不等于 24 位 (1 字节地址 + 2 字节数据) 时, 指示 SPI 时钟 (帧) 故障。在 SPI_ERR 位上报告。
12	RESERVED	R	0h	保留
11	ZONE4_OTSD	R	0h	表示区域 4 中发生了过热关断。
10	ZONE3_OTSD	R	0h	表示区域 3 中发生了过热关断。
9	ZONE2_OTSD	R	0h	表示区域 2 中发生了过热关断。
8	ZONE1_OTSD	R	0h	表示区域 1 中发生了过热关断。
7	ZONE4_OTW_H	R	0h	表示区域 4 中发生了高温警告 (高于 145°C) 。
6	ZONE3_OTW_H	R	0h	表示区域 3 中发生了高温警告 (高于 145°C) 。
5	ZONE2_OTW_H	R	0h	表示区域 2 中发生了高温警告 (高于 145°C) 。
4	ZONE1_OTW_H	R	0h	表示区域 1 中发生了高温警告 (高于 145°C) 。
3	ZONE4_OTW_L	R	0h	指示区域 4 中发生了低温警告 (高于 125°C) 。
2	ZONE3_OTW_L	R	0h	指示区域 3 中发生了低温警告 (高于 125°C) 。
1	ZONE2_OTW_L	R	0h	指示区域 2 中发生了低温警告 (高于 125°C) 。
0	ZONE1_OTW_L	R	0h	指示区域 1 中发生了低温警告 (高于 125°C) 。

8.1.3 GD_STAT 寄存器 (偏移 = 2h) [复位 = 0000h]

表 8-7 展示了 GD_STAT。

返回到[汇总表](#)。

具有所有栅极驱动器故障和警告 (包括智能栅极驱动器故障和警告) 的栅极驱动器状态寄存器。

表 8-7. GD_STAT 寄存器字段说明

位	字段	类型	复位	说明
15	DRVOFF_STAT_FB	R	0h	栅极驱动器的 DRVOFF 模拟锁存状态。用户可以在释放 DRVOFF 引脚并发出 CLR_FLT 命令后清除状态位。
14	DRVOFF_STAT	R	0h	指示 DRVOFF 引脚的锁存状态 (高电平或低电平)。 如果 DRVOFF 引脚被置位, 则 DRVOFF_STAT = 1b。 如果 DRVOFF 引脚被取消置位, 则 DRVOFF_STAT = 0b。
13	STC_WARN_R	R	0h	指示栅极驱动器半桥 1 和 2 的上升压摆时间 TDRV 溢出。
12	STC_WARN_F	R	0h	指示栅极驱动器半桥 1 和 2 的下降压摆时间 TDRV 溢出。
11	PCHR_WARN	R	0h	指示栅极驱动器半桥 1 和 2 的预充电下溢或溢出故障。
10	PDCHR_WARN	R	0h	指示栅极驱动器半桥 1 和 2 的预放电下溢或溢出故障。
9	IDIR	R	0h	指示栅极驱动器半桥 1 和 2 的电流方向。
8	IDIR_WARN	R	0h	指示栅极驱动器半桥 1 和 2 的电流方向未知
7	VGS_L2	R	0h	表明低侧 2 MOSFET 上存在 VGS 栅极故障。
6	VGS_H2	R	0h	表明高侧 2 MOSFET 上存在 VGS 栅极故障。
5	VGS_L1	R	0h	表明低侧 1 MOSFET 上存在 VGS 栅极故障。
4	VGS_H1	R	0h	表明高侧 1 MOSFET 上存在 VGS 栅极故障。
3	VDS_L2	R	0h	表明低侧 2 MOSFET 上存在 VDS 过流故障。
2	VDS_H2	R	0h	表明高侧 2 MOSFET 上存在 VDS 过流故障。
1	VDS_L1	R	0h	表明低侧 1 MOSFET 上存在 VDS 过流故障。
0	VDS_H1	R	0h	表明高侧 1 MOSFET 上存在 VDS 过流故障。

8.1.4 HB_STAT1 寄存器 (偏移 = 3h) [复位 = 0000h]

HB_STAT1 如表 8-8 所示。

返回到[汇总表](#)。

每个半桥的高侧或低侧的半桥过流故障。

表 8-8. HB_STAT1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	OUT6_LS_OCP	R	0h	表示半桥 OUT6 的低侧上存在过流故障。
12	OUT5_LS_OCP	R	0h	表示半桥 OUT5 的低侧上存在过流故障。
11	OUT4_LS_OCP	R	0h	表示半桥 OUT4 的低侧上存在过流故障。
10	OUT3_LS_OCP	R	0h	表示半桥 OUT3 的低侧上存在过流故障。
9	OUT2_LS_OCP	R	0h	表示半桥 OUT2 的低侧上存在过流故障。
8	OUT1_LS_OCP	R	0h	表示半桥 OUT1 的低侧上存在过流故障。
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	OUT6_HS_OCP	R	0h	表示半桥 OUT6 的高侧上存在过流故障。
4	OUT5_HS_OCP	R	0h	表示半桥 OUT5 的高侧上存在过流故障。
3	OUT4_HS_OCP	R	0h	表示半桥 OUT4 的高侧上存在过流故障。
2	OUT3_HS_OCP	R	0h	表示半桥 OUT3 的高侧上存在过流故障。
1	OUT2_HS_OCP	R	0h	表示半桥 OUT2 的高侧上存在过流故障。
0	OUT1_HS_OCP	R	0h	表示半桥 OUT1 的高侧上存在过流故障。

8.1.5 HB_STAT2 寄存器 (偏移 = 4h) [复位 = 0000h]

HB_STAT2 如表 8-9 所示。

返回到[汇总表](#)。

半桥有源和关断状态开路负载故障。

表 8-9. HB_STAT2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	HB_OLP_STAT	R	0h	指示集成半桥 OLP 状态。
11	OUT6_LS_OLA	R	0h	指示半桥 OUT6 低侧上存在有源开路负载故障。
10	OUT5_LS_OLA	R	0h	指示半桥 OUT5 低侧上存在有源开路负载故障。
9	OUT4_LS_OLA	R	0h	指示半桥 OUT4 低侧上存在有源开路负载故障。
8	OUT3_LS_OLA	R	0h	指示半桥 OUT3 低侧上存在有源开路负载故障。
7	OUT2_LS_OLA	R	0h	指示半桥 OUT2 低侧上存在有源开路负载故障。
6	OUT1_LS_OLA	R	0h	指示半桥 OUT1 低侧上存在有源开路负载故障。
5	OUT6_HS_OLA	R	0h	指示半桥 OUT6 高侧上存在有源开路负载故障。
4	OUT5_HS_OLA	R	0h	指示半桥 OUT5 高侧上存在有源开路负载故障。
3	OUT4_HS_OLA	R	0h	指示半桥 OUT4 高侧上存在有源开路负载故障。
2	OUT3_HS_OLA	R	0h	指示半桥 OUT3 高侧上存在有源开路负载故障。
1	OUT2_HS_OLA	R	0h	指示半桥 OUT2 高侧上存在有源开路负载故障。
0	OUT1_HS_OLA	R	0h	指示半桥 OUT1 高侧上存在有源开路负载故障。

8.1.6 ITRIP_STAT 寄存器 (偏移 = 5h) [复位 = 0000h]

ITRIP_STAT 如表 8-10 所示。

返回到[汇总表](#)。

包括 ITRIP 调节状态警告。

表 8-10. ITRIP_STAT 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	OUT7_ITRIP_STAT	R	0h	表示 OUT7 上的 ITRIP 调节警告。
5	OUT6_ITRIP_STAT	R	0h	表示 OUT6 上的 ITRIP 调节警告。
4	OUT5_ITRIP_STAT	R	0h	表示 OUT5 上的 ITRIP 调节警告。
3	OUT4_ITRIP_STAT	R	0h	表示 OUT4 上的 ITRIP 调节警告。
2	OUT3_ITRIP_STAT	R	0h	表示 OUT3 上的 ITRIP 调节警告。
1	OUT2_ITRIP_STAT	R	0h	表示 OUT2 上的 ITRIP 调节警告。
0	OUT1_ITRIP_STAT	R	0h	表示 OUT1 上的 ITRIP 调节警告。

8.1.7 HS_STAT 寄存器 (偏移 = 6h) [复位 = 0000h]

表 8-11 展示了 HS_STAT。

返回到[汇总表](#)。

高侧驱动器过流和开路负载故障状态。

表 8-11. HS_STAT 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	OUT12_OLA	R	0h	表示 OUT12 上存在开路负载故障。
12	OUT11_OLA	R	0h	表示 OUT11 上存在开路负载故障。
11	OUT10_OLA	R	0h	表示 OUT10 上存在开路负载故障。
10	OUT9_OLA	R	0h	表示 OUT9 上存在开路负载故障。
9	OUT8_OLA	R	0h	表示 OUT8 上存在开路负载故障。
8	OUT7_OLA	R	0h	表示 OUT7 上存在开路负载故障。
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	OUT12_OCP	R	0h	表示 OUT12 上存在过流故障。
4	OUT11_OCP	R	0h	表示 OUT11 上存在过流故障。
3	OUT10_OCP	R	0h	表示 OUT10 上存在过流故障。
2	OUT9_OCP	R	0h	表示 OUT9 上存在过流故障。
1	OUT8_OCP	R	0h	表示 OUT8 上存在过流故障。
0	OUT7_OCP	R	0h	表示 OUT7 上存在过流故障。

8.1.8 HS_ITRIP_STAT 寄存器 (偏移 = 7h) [复位 = 0000h]

HS_ITRIP_STAT 如表 8-12 所示。

返回到[汇总表](#)。

包括高侧 ITRIP 状态寄存器。

表 8-12. HS_ITRIP_STAT 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	OUT12_ITRIP_STAT	R	0h	表示 OUT12 上的 ITRIP 调节警告。
3	OUT11_ITRIP_STAT	R	0h	表示 OUT11 上的 ITRIP 调节警告。
2	OUT10_ITRIP_STAT	R	0h	表示 OUT10 上的 ITRIP 调节警告。
1	OUT9_ITRIP_STAT	R	0h	表示 OUT9 上的 ITRIP 调节警告。
0	OUT8_ITRIP_STAT	R	0h	表示 OUT8 上的 ITRIP 调节警告。

8.1.9 SPARE_STAT2 寄存器 (偏移 = 8h) [复位 = 0000h]

SPARE_STAT2 如表 8-13 所示。

返回到[汇总表](#)。

备用状态寄存器。

表 8-13. SPARE_STAT2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0h	保留
14	RESERVED	R	0h	保留
13	RESERVED	R	0h	保留
12	RESERVED	R	0h	保留
11	RESERVED	R	0h	保留
10	RESERVED	R	0h	保留
9	RESERVED	R	0h	保留
8	RESERVED	R	0h	保留
7-0	DEV_ID	R	0h	0x02= DRV8000 0x21= DRV8001 0x22= DRV8002

8.2 DRV8000-Q1_CNFG 寄存器

表 8-14 列出了 DRV8000-Q1_CNFG 寄存器的存储器映射寄存器。表 8-14 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-14. DRV8000-Q1_CNFG 寄存器

偏移	首字母缩写词	寄存器名称	部分
9h	IC_CNFG1	IC 配置寄存器 1。	节 8.2.1
Ah	IC_CNFG2	IC 配置寄存器 2。	节 8.2.2
Bh	GD_CNFG	栅极驱动器配置寄存器。	节 8.2.3
Ch	GD_IDRV_CNFG	IDRIVE 设置配置寄存器。	节 8.2.4
Dh	GD_VGS_CNFG	VGS 检测配置寄存器。	节 8.2.5
Eh	GD_VDS_CNFG	VDS 监控配置寄存器。	节 8.2.6
Fh	GD_CSA_CNFG	CSA 配置寄存器。	节 8.2.7
10h	GD_AGD_CNFG	高级智能栅极驱动器配置寄存器。	节 8.2.8
11h	GD_PDR_CNFG	传播延迟降低配置寄存器。	节 8.2.9
12h	GD_STC_CNFG	压摆时间控制配置寄存器。	节 8.2.10
13h	GD_SPARE_CNFG1	备用栅极驱动器配置寄存器 1。	节 8.2.11
14h	HB_ITRIP_DG	半桥 ITRIP 抗尖峰脉冲配置寄存器 2。	节 8.2.12
15h	HB_OUT_CNFG1	半桥输出 5 和 6 配置寄存器。	节 8.2.13
16h	HB_OUT_CNFG2	半桥输出 1-4 配置寄存器。	节 8.2.14
17h	HB_OCP_CNFG	半桥过流抗尖峰脉冲配置寄存器。	节 8.2.15
18h	HB_OL_CNFG1	半桥有源和无源开路负载使能寄存器	节 8.2.16
19h	HB_OL_CNFG2	半桥有源开路负载阈值选择寄存器。	节 8.2.17
1Ah	HB_SR_CNFG	半桥转换率配置寄存器。	节 8.2.18
1Bh	HB_ITRIP_CNFG	半桥 ITRIP 配置寄存器 1。	节 8.2.19
1Ch	HB_ITRIP_FREQ	半桥 ITRIP 频率配置寄存器 2。	节 8.2.20
1Dh	HS_OUT_CNFG	高侧输出配置寄存器。	节 8.2.21
1Eh	HS_OC_CNFG	高侧驱动器过流阈值配置寄存器。	节 8.2.22
1Fh	HS_OL_CNFG	高侧驱动器开路负载阈值配置寄存器。	节 8.2.23
20h	HS_REG_CNFG1	高侧驱动器调节配置寄存器。	节 8.2.24
21h	HS_REG_CNFG2	高侧驱动器调节配置寄存器。	节 8.2.25
22h	HS_PWM_FREQ_CNFG	高侧驱动器 PWM 发生器频率配置寄存器。	节 8.2.26
23h	SPARE_CNFG	备用配置	节 8.2.27
24h	SPARE_CNFG1	备用配置	节 8.2.28
25h	HS_REG_CNFG3	高侧驱动器调节配置寄存器。	节 8.2.29
26h	SPARE_CNFG2	备用配置	节 8.2.30
27h	OUT1_HS_MODE_DC	OUT1 的占空比配置。	节 8.2.31
28h	OUT2_HS_MODE_DC	OUT2 的占空比配置。	节 8.2.32

复杂的位访问类型经过编码可适应小型表单元。表 8-15 展示了适用于此部分中访问类型的代码。

表 8-15. DRV8000-Q1_CNFG 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取

表 8-15. DRV8000-Q1_CNFG 访问类型代码 (续)

访问类型	代码	说明
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.2.1 IC_CNFG1 寄存器 (偏移 = 9h) [复位 = 0002h]

IC_CNFG1 如表 8-16 所示。

返回到[汇总表](#)。

包括电荷泵和看门狗的配置，以及针对电源、电荷泵、热故障和看门狗故障的故障级别和反应。

表 8-16. IC_CNFG1 寄存器字段说明

位	字段	类型	复位	说明
15	OTSD_MODE	R/W	0h	设置过热关断行为。如果任何热仪表组达到 OT，器件要么关闭所有驱动器，要么仅关闭受影响的驱动器（例如区域 3 中的驱动器）。 0b = 全局关断。 1b = 仅关断受影响的驱动器。
14	DIS_CP	R/W	0h	当所有输出均关断（OUTx_EN、EN_GD、HEAT_EN、EC_ON）时，可以禁用电荷泵，将器件置于仅通信模式。 0b = 使能电荷泵。 1b = 禁用电荷泵。
13	RSVD	R	0h	保留。
12	PVDD_OV_MODE	R/W	0h	PVDD 电源过压监控模式。 0b = 锁存故障。 1b = 自动恢复。
11-10	PVDD_OV_DG	R/W	0h	PVDD 电源过压监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
9	PVDD_OV_LVL	R/W	0h	PVDD 电源过压监控阈值。 0b = 22V 1b = 28V
8	VCP_UV_LVL	R/W	0h	VCP 电荷泵欠压监控阈值。 0b = 4.75V 1b = 6.25V
7-6	CP_MODE	R/W	0h	电荷泵工作模式。 00b = 三倍器和倍频器模式之间自动切换。 01b = 始终为倍频器模式。 10b = 始终为三倍器模式。 11b = RSVD
5	VCP_UV_MODE	R/W	0h	VCP 电荷泵欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。
4	PVDD_UV_MODE	R/W	0h	PVDD 电源欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。
3	WD_EN	R/W	0h	看门狗计时器使能。 0b = 看门狗计时器已禁用。 1b = 看门狗计时器启用。
2	WD_FLT_M	R/W	0h	看门狗故障模式。看门狗故障由 CLR_FLT 清除。 0b = 向 WD_FLT 和 WARN 寄存器位报告看门狗故障。驱动器保持使能状态，并且 FAULT 位不会置位。 1b = 向 WD_FLT 和 FAULT 寄存器位报告看门狗故障。所有驱动器都被禁用以响应看门狗故障。
1	WD_WIN	R/W	1h	看门狗计时器窗口。 0b = 4 至 12ms 1b = 10 至 100ms

表 8-16. IC_CNFG1 寄存器字段说明 (续)

位	字段	类型	复位	说明
0	EN_SSC	R/W	0h	扩频时钟。 0b = 禁用。 1b = 使能。

8.2.2 IC_CNFG2 寄存器 (偏移 = Ah) [复位 = 0000h]

IC_CNFG2 如表 8-17 所示。

返回到[汇总表](#)。

包括热仪表组警告禁用位。

表 8-17. IC_CNFG2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9	RESERVED	R/W	0h	保留
8	RESERVED	R/W	0h	保留
7	ZONE4_OTW_H_DIS	R/W	0h	禁用区域 4 的高温过热警告。 使能 = 0b 禁用 = 1b
6	ZONE3_OTW_H_DIS	R/W	0h	禁用区域 3 的高温过热警告。 使能 = 0b 禁用 = 1b
5	ZONE2_OTW_H_DIS	R/W	0h	禁用区域 2 的高温过热警告。 使能 = 0b 禁用 = 1b
4	ZONE1_OTW_H_DIS	R/W	0h	禁用区域 1 的高温过热警告。 使能 = 0b 禁用 = 1b
3	ZONE4_OTW_L_DIS	R/W	0h	禁用区域 4 的低温过热警告。 使能 = 0b 禁用 = 1b
2	ZONE3_OTW_L_DIS	R/W	0h	禁用区域 3 的低温过热警告。 使能 = 0b 禁用 = 1b
1	ZONE2_OTW_L_DIS	R/W	0h	禁用区域 2 的低温过热警告。 使能 = 0b 禁用 = 1b
0	ZONE1_OTW_L_DIS	R/W	0h	禁用区域 1 的低温过热警告。 使能 = 0b 禁用 = 1b

8.2.3 GD_CNFG 寄存器 (偏移 = Bh) [复位 = 0000h]

表 8-18 展示了 GD_CNFG。

返回到[汇总表](#)。

通用栅极驱动器控制。包括栅极驱动器使能、桥配置、输入引脚模式和开路负载使能。

表 8-18. GD_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	IDRV_LO1	R/W	0h	为半桥 1 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_1 和 IDRVN_1 使用标准值。 1b = IDRVP_1 和 IDRVN_1 使用低电流值。
12	IDRV_LO2	R/W	0h	为半桥 2 使能低电流 IDRVN 和 IDRVP 模式。 0b = IDRVP_2 和 IDRVN_2 使用标准值。 1b = IDRVP_2 和 IDRVN_2 使用低电流值。
11	PU_SH_1	R/W	0h	栅极驱动器 1 上拉诊断电流源。 设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 使能。
10	PD_SH_1	R/W	0h	栅极驱动器 1 下拉诊断电流源。 设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 使能。
9	PU_SH_2	R/W	0h	栅极驱动器 2 上拉诊断电流源。 设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 使能。
8	PD_SH_2	R/W	0h	栅极驱动器 2 下拉诊断电流源。 设置 EN_OLSC = 1b 以使用。 0b = 禁用。 1b = 使能。
7	RESERVED	R/W	0h	保留
6	IN2_MODE	R/W	0h	设置栅极驱动器 2 控制源。 0b = 输入引脚 IN2。 1b = SPI 控制。
5	IN1_MODE	R/W	0h	设置栅极驱动器 1 控制源。 0b = 输入引脚 IN1。 1b = SPI 控制。
4	BRG_FW	R/W	0h	栅极驱动器 1 和 2 控制续流设置。在半桥 1 和 2 之间共享的设置。 0b = 低侧续流 1b = 高侧续流。
3-2	BRG_MODE	R/W	0h	栅极驱动器 1 和 2 输入控制模式。 00b = 独立半桥输入控制。 01b = PH/EN H 桥输入控制。 10b = PWM H 桥输入控制。 11b = 被保留。
1	EN_OLSC	R/W	0h	启用离线路负载和短路诊断。 0b = 禁用。 1b = VDS 监控器设置为实时电压监控模式并使能诊断电流源。
0	EN_GD	R/W	0h	启用栅极驱动器位。 0b = 忽略驱动器输入，启用栅极驱动器无源下拉电阻。 1b = 栅极驱动器输出由数字输入使能和控制。

8.2.4 GD_IDRV_CNFG 寄存器 (偏移 = Ch) [复位 = 4444h]

表 8-19 展示了 GD_IDRV_CNFG。

返回到[汇总表](#)。

包括每个半桥栅极驱动器的 IDRIVE 驱动电流电平。

表 8-19. GD_IDRV_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15-12	IDRVP_1	R/W	4h	栅极驱动器 1 峰值供电上拉电流。括号中为备用低电流值 (IDRV_LO1)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
11-8	IDRVN_1	R/W	4h	栅极驱动器 1 峰值受电下拉电流。括号中为备用低电流值 (IDRV_LO1)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)
7-4	IDRVP_2	R/W	4h	栅极驱动器 2 峰值供电上拉电流。括号中为备用低电流值 (IDRV_LO2)。 0000b = 0.5mA (50µA) 0001b = 1mA (110µA) 0010b = 2mA (170µA) 0011b = 3mA (230µA) 0100b = 4mA (290µA) 0101b = 5mA (350µA) 0110b = 6mA (410µA) 0111b = 7mA (600µA) 1000b = 8mA (725µA) 1001b = 12mA (850µA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

表 8-19. GD_IDRV_CNFG 寄存器字段说明 (续)

位	字段	类型	复位	说明
3-0	IDRVN_2	R/W	4h	栅极驱动器 2 峰值受电下拉电流。括号中为备用低电流值 (IDRV_LO2)。 0000b = 0.5mA (50μA) 0001b = 1mA (110μA) 0010b = 2mA (170μA) 0011b = 3mA (230μA) 0100b = 4mA (290μA) 0101b = 5mA (350μA) 0110b = 6mA (410μA) 0111b = 7mA (600μA) 1000b = 8mA (725μA) 1001b = 12mA (850μA) 1010b = 16mA (1mA) 1011b = 20mA (1.2mA) 1100b = 24mA (1.4mA) 1101b = 31mA (1.6mA) 1110b = 48mA (1.8mA) 1111b = 62mA (2.3mA)

8.2.5 GD_VGS_CNFG 寄存器 (偏移 = Dh) [复位 = 0030h]

表 8-20 展示了 GD_VGS_CNFG。

返回到[汇总表](#)。

VGS 故障检测配置。

表 8-20. GD_VGS_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	VGS_IND	R/W	0h	启用 VGS 独立关断模式。 BRG_MODE = 00b 时有效。 0b = 禁用。 1b = 使能。VGS 栅极故障只会将相关的半桥关断。
10-9	VGS_TDEAD	R/W	0h	可插入的数字死区时间。 00b = 0ns 01b = 2μs 10b = 4μs 11b = 8μs
8	RESERVED	R/W	0h	保留
7	RESERVED	R/W	0h	保留
6-4	VGS_TDRV	R/W	3h	VGS 驱动时间和 VDS 监控消隐时间。 000b = 2μs 001b = 4μs 010b = 8μs 011b = 12μs 100b = 16μs 101b = 24μs 110b = 32μs 111b = 96 μs
3	VGS_HS_DIS	R/W	0h	基于 VGS 监控器的死区时间握手。 0b = 使能。 1b = 禁用。基于 tDRIVE 和 tDEAD 持续时间的栅极驱动转换
2	VGS_LVL	R/W	0h	用于死区时间握手和栅极故障检测的 VGS 监控阈值。 0b = 1.4V 1b = 1.0V
1-0	VGS_MODE	R/W	0h	VGS 栅极故障监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。

8.2.6 GD_VDS_CNFG 寄存器 (偏移 = Eh) [复位 = 0D2Dh]

表 8-21 展示了 GD_VDS_CNFG。

返回到[汇总表](#)。

VDS 监控或短路检测配置寄存器。

表 8-21. GD_VDS_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RSVD	R/W	0h	保留。
14	VDS_IND	R/W	0h	VDS 故障独立关断模式配置。 0b = 禁用。VDS 故障会关断所有栅极驱动器。 1b = 使能。VDS 栅极故障只会将相关的栅极驱动器关断。
13-12	VDS_IDRVN	R/W	0h	栅极驱动器 1 和 2 的 VDS_OCP 故障之后的 IDRVN 栅极下拉电流。 00b = 已编程 IDRVN 01b = 8mA 10b = 31mA 11b = 62mA
11-8	VDS_HS_LVL	R/W	Dh	高侧 VDS 过流监控阈值。 0000b = 0.06V 00001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V
7-6	VDS_MODE	R/W	0h	VDS 过流监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
5-4	VDS_DG	R/W	2h	VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs

表 8-21. GD_VDS_CNFG 寄存器字段说明 (续)

位	字段	类型	复位	说明
3-0	VDS_LS_LVL	R/W	Dh	低侧 VDS 过流监控阈值。 0000b = 0.06V 0001b = 0.08V 0010b = 0.10V 0011b = 0.12V 0100b = 0.14V 0101b = 0.16V 0110b = 0.18V 0111b = 0.2V 1000b = 0.3V 1001b = 0.4V 1010b = 0.5V 1011b = 0.6V 1100b = 0.7V 1101b = 1V 1110b = 1.4V 1111b = 2V

8.2.7 GD_CSA_CNFG 寄存器 (偏移 = Fh) [复位 = 0004h]

表 8-22 展示了 GD_CSA_CNFG。

返回到[汇总表](#)。

CSA 配置和控制。

表 8-22. GD_CSA_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9	RESERVED	R/W	0h	保留
8	RESERVED	R/W	0h	保留
7-5	CSA_BLK	R/W	0h	电流分流放大器消隐时间。tDRV 的百分比。 000b = 0 % , 禁用 001b = 25 % 010b = 37.5 % 011b = 50 % 100b = 62.5 % 101b = 75 % 110b = 87.5 % 111b = 100 %
4	CSA_BLK_SEL	R/W	0h	电流分流放大器消隐触发源。 0b = 栅极驱动器 1 1b = 栅极驱动器 2
3-2	CSA_GAIN	R/W	1h	电流分流放大器增益设置。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V
1	CSA_DIV	R/W	0h	电流分流放大器内部基准电压分压器。 0b = VDVDD / 2 1b = VDVDD / 8
0	CSA_EN	R/W	0h	电流检测放大器启用。 0b = 禁用 1b = 启用

8.2.8 GD_AGD_CNFG 寄存器 (偏移 = 10h) [复位 = 0402h]

表 8-23 展示了 GD_AGD_CNFG。

返回到[汇总表](#)。

包括高级智能栅极驱动器配置，为 DCC 和 PDR、后充电设置使能。

表 8-23. GD_AGD_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	PDR_ERR	R/W	0h	栅极驱动器 1 和 2 的 PDR 环路误差限制。 0b = 1 位误差 1b = 实际误差
13-12	AGD_ISTRONG	R/W	0h	自适应栅极驱动器 ISTRONG 配置。00b = ISTRONG 下拉电阻从初始 IDRVP_x 寄存器设置解码。 01b = 62mA 10b = 124mA 11b = RSVD
11-10	AGD_THR	R/W	1h	自适应栅极驱动器 VSH 阈值配置。 00b = 0.5V, VDRAIN - 0.5V 01b = 1V, VDRAIN - 1V 10b = 1.5V, VDRAIN - 1.5V 11b = 2V, VDRAIN - 2V
9	SET_AGD	R/W	0h	为自适应栅极驱动控制环路设置有源半桥。 0b = 栅极驱动器 1 1b = 栅极驱动器 2
8	FW_MAX	R/W	0h	用于栅极驱动器 1 和 2 续流 MOSFET 的栅极驱动电流。 0b = PRE_CHR_MAX_12 1b = 64mA
7	EN_DCC	R/W	0h	使能半桥 1 和 2 的占空比补偿。
6	IDIR_MAN	R/W	0h	半桥 1 和 2 的电流极性检测模式。 0b = 自动 1b = 手动 (由 IDIR_MAN_SEL 设置)
5-4	KP_PST	R/W	0h	半桥 1 和 2 的后充电比例控制增益设置。 00b = 禁用 01b = 2 10b = 4 11b = 15
3	EN_PST_DLY	R/W	0h	使能后充电延时时间。延时时间等于 T_DON_DOFF_12 - T_PRE_CHR_12。
2-1	KP_PDR	R/W	1h	半桥 1 和 2 的 PDR 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4
0	EN_PDR	R/W	0h	使能半桥 1 和 2 的 PDR 环路控制。

8.2.9 GD_PDR_CNFG 寄存器 (偏移 = 11h) [复位 = 0AF6h]

表 8-24 展示了 GD_PDR_CNFG。

返回到[汇总表](#)。

包括其余 PDR 控制、预充电设置和计时。

表 8-24. GD_PDR_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15-14	PRE_MAX	R/W	0h	半桥 1 和 2 的预充电和预放电的最大栅极驱动电流限制。 00b = 64mA 01b = 32mA 10b = 16mA 11b = 8mA
13-8	T_DON_DOFF	R/W	Ah	半桥 1 和 2 的导通和关断延时时间。140ns x T_DON_DOFF [3:0] 默认时间：001010b (1.4μs)
7-6	T_PRE_CHR	R/W	3h	半桥 1 和 2 的 PDR 控制环路预充电时间。设置为 T_DON_DOFF_12 的比率 [5:0]。 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
5-4	T_PRE_DCHR	R/W	3h	半桥 1 和 2 的 PDR 控制环路预放电时间。设置为 T_DON_DOFF_12 的比率 [5:0]。 00b = 1/8 01b = 1/4 10b = 3/8 11b = 1/2
3-2	PRE_CHR_INIT	R/W	1h	半桥 1 和 2 的 PDR 控制环路初始预充电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA
1-0	PRE_DCHR_INIT	R/W	2h	半桥 1 和 2 的 PDR 控制环路初始预放电电流设置。 00b = 4mA 01b = 8mA 10b = 16mA 11b = 32mA

8.2.10 GD_STC_CNFG 寄存器 (偏移 = 12h) [复位 = 0026h]

表 8-25 展示了 GD_STC_CNFG。

返回到[汇总表](#)。

包括压摆时间控制的配置和使能。

表 8-25. GD_STC_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9	RESERVED	R/W	0h	保留
8	IDIR_MAN_SEL	R/W	0h	栅极驱动器的手动续流选择。 0b = 高侧 MOSFET 驱动, 低侧 MOSFET 续流。 1b = 低侧 MOSFET 驱动, 高侧 MOSFET 续流。
7-4	T_RISE_FALL	R/W	2h	设置半桥 1 和 2 的开关节点 VSH 上升和下降时间。 0000b = 0.35us 0001b = 0.56us 0010b = 0.77us 0011b = 0.98us 0100b = 1.33us 0101b = 1.68us 0110b = 2.03us 0111b = 2.45us 1000b = 2.94us 1001b = 3.99us 1010b = 4.97us 1011b = 5.95us 1100b = 7.98us 1101b = 9.94us 1110b = 11.97us 1111b = 15.96us
3	STC_ERR	R/W	0h	半桥 1 和 2 的 STC 环路误差限制。 0b = 1 位误差 1b = 实际误差
2-1	KP_STC	R/W	3h	半桥 1 和 2 的 STC 比例控制器增益设置。 00b = 1 01b = 2 10b = 3 11b = 4
0	EN_STC	R/W	0h	使能半桥 1 和 2 的 STC 环路控制。

8.2.11 GD_SPARE_CNFG1 寄存器 (偏移 = 13h) [复位 = 0000h]

GD_SPARE_CNFG1 如表 8-26 所示。

返回到[汇总表](#)。

用于栅极驱动器的备用配置寄存器。

表 8-26. GD_SPARE_CNFG1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9	RESERVED	R/W	0h	保留
8	RESERVED	R/W	0h	保留
7	RESERVED	R/W	0h	保留
6	RESERVED	R/W	0h	保留
5	RESERVED	R/W	0h	保留
4	RESERVED	R/W	0h	保留
3	RESERVED	R/W	0h	保留
2	RESERVED	R/W	0h	保留
1	RESERVED	R/W	0h	保留
0	RESERVED	R/W	0h	保留

8.2.12 HB_ITRIP_DG 寄存器 (偏移 = 14h) [复位 = 0000h]

表 8-27 展示了 HB_ITRIP_DG。

返回到[汇总表](#)。

为每个半桥配置 ITRIP 抗尖峰脉冲。ITRIP 定时在半桥对之间共享。

表 8-27. HB_ITRIP_DG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11-10	OUT6_ITRIP_DG	R/W	0h	配置半桥 6 的 ITRIP 抗尖峰脉冲时间。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
9-8	OUT5_ITRIP_DG	R/W	0h	配置半桥 5 的 ITRIP 抗尖峰脉冲时间。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
7-6	OUT4_ITRIP_DG	R/W	0h	配置半桥 4 的 ITRIP 抗尖峰脉冲时间。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
5-4	OUT3_ITRIP_DG	R/W	0h	配置半桥 3 的 ITRIP 抗尖峰脉冲时间。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
3-2	OUT2_ITRIP_DG	R/W	0h	配置半桥 2 的 ITRIP 抗尖峰脉冲时间。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs
1-0	OUT1_ITRIP_DG	R/W	0h	配置半桥 1 的 ITRIP 抗尖峰脉冲时间。 00b = 2μs 01b = 5μs 10b = 10μs 11b = 20μs

8.2.13 HB_OUT_CNFG1 寄存器 (偏移 = 15h) [复位 = 0000h]

HB_OUT_CNFG1 如表 8-28 所示。

返回到[汇总表](#)。

为每个半桥配置输出模式，设置 IPROPI 采样保持电路和半桥对续流。

表 8-28. HB_OUT_CNFG1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	NSR_OUT6_DIS	R/W	0h	在半桥 6 的 ITRIP 调节期间禁用非同步整流 (设置有源续流) 。 无源续流 = 0b 有源续流 = 1b
13	NSR_OUT5_DIS	R/W	0h	在半桥 5 的 ITRIP 调节期间禁用非同步整流 (设置有源续流) 。 无源续流 = 0b 有源续流 = 1b
12	NSR_OUT4_DIS	R/W	0h	在半桥 4 的 ITRIP 调节期间禁用非同步整流 (设置有源续流) 。 无源续流 = 0b 有源续流 = 1b
11	NSR_OUT3_DIS	R/W	0h	在半桥 3 的 ITRIP 调节期间禁用非同步整流 (设置有源续流) 。 无源续流 = 0b 有源续流 = 1b
10	NSR_OUT2_DIS	R/W	0h	在半桥 2 的 ITRIP 调节期间禁用非同步整流 (设置有源续流) 。 无源续流 = 0b 有源续流 = 1b
9	NSR_OUT1_DIS	R/W	0h	在半桥 1 的 ITRIP 调节期间禁用非同步整流 (设置有源续流) 。 无源续流 = 0b 有源续流 = 1b
8	IPROPI_SH_EN	R/W	0h	使能 IPROPI 采样保持电路。
7	RESERVED	R/W	0h	保留
6	RESERVED	R/W	0h	保留
5-3	OUT6_CNFG	R/W	0h	半桥 6 的配置。 使能或禁用半桥控制，并在 PWM 或 SPI 之间设置控制模式。 000b = 禁用 001b = 使能 (SPI 寄存器控制) 010b = PWM1 互补控制 011b = PWM1 LS 控制 100b = PWM1 HS 控制 101b = PWM2 互补控制 110b = PWM2 LS 控制 111b = PWM2 HS 控制
2-0	OUT5_CNFG	R/W	0h	半桥 5 的配置。 使能或禁用半桥控制，并在 PWM 或 SPI 之间设置控制模式。 000b = 禁用 001b = 使能 (SPI 寄存器控制) 010b = PWM1 互补控制 011b = PWM1 LS 控制 100b = PWM1 HS 控制 101b = PWM2 互补控制 110b = PWM2 LS 控制 111b = PWM2 HS 控制

8.2.14 HB_OUT_CNFG2 寄存器 (偏移 = 16h) [复位 = 0000h]

HB_OUT_CNFG2 如表 8-29 所示。

返回到[汇总表](#)。

为每个半桥配置输出模式。

表 8-29. HB_OUT_CNFG2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13-11	OUT4_CNFG	R/W	0h	半桥 4 的配置。 使能或禁用半桥控制，并在 PWM 或 SPI 之间设置控制模式。 000b = 禁用 001b = 使能 (SPI 寄存器控制) 010b = PWM1 互补控制 011b = PWM1 LS 控制 100b = PWM1 HS 控制 101b = PWM2 互补控制 110b = PWM2 LS 控制 111b = PWM2 HS 控制
10-8	OUT3_CNFG	R/W	0h	半桥 3 的配置。 使能或禁用半桥控制，并在 PWM 或 SPI 之间设置控制模式。 000b = 禁用 001b = 使能 (SPI 寄存器控制) 010b = PWM1 互补控制 011b = PWM1 LS 控制 100b = PWM1 HS 控制 101b = PWM2 互补控制 110b = PWM2 LS 控制 111b = PWM2 HS 控制
7	OUT2_MODE	R/W	0h	用于通过内部 PWM 将 OUT2 启用为高侧驱动器的位。 OUT2_CNFG 用于启用和禁用驱动器 PWM 设置 - 频率：PWM_OUT2_FREQ，DC：OUT2_DC。
6	OUT1_MODE	R/W	0h	用于通过内部 PWM 将 OUT1 启用为高侧驱动器的位。 OUT1_CNFG 用于启用和禁用驱动器 PWM 设置 - 频率：PWM_OUT1_FREQ，DC：OUT1_DC。
5-3	OUT2_CNFG	R/W	0h	半桥 2 的配置。 使能或禁用半桥控制，并在 PWM 或 SPI 之间设置控制模式。 000b = 禁用 001b = 使能 (SPI 寄存器控制) 010b = PWM1 互补控制 011b = PWM1 LS 控制 100b = PWM1 HS 控制 101b = PWM2 互补控制 110b = PWM2 LS 控制 111b = PWM2 HS 控制
2-0	OUT1_CNFG	R/W	0h	半桥 1 的配置。 使能或禁用半桥控制，并在 PWM 或 SPI 之间设置控制模式。 000b = 禁用 001b = 使能 (SPI 寄存器控制) 010b = PWM1 互补控制 011b = PWM1 LS 控制 100b = PWM1 HS 控制 101b = PWM2 互补控制 110b = PWM2 LS 控制 111b = PWM2 HS 控制

8.2.15 HB_OCP_CNFG 寄存器 (偏移 = 17h) [复位 = 0000h]

表 8-30 展示了 HB_OCP_CNFG。

返回到[汇总表](#)。

半桥配置寄存器的过流抗尖峰脉冲。

表 8-30. HB_OCP_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11-10	OUT6_OCP_DG	R/W	0h	半桥 6 的过流抗尖峰脉冲时间。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
9-8	OUT5_OCP_DG	R/W	0h	半桥 5 的过流抗尖峰脉冲时间。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
7-6	OUT4_OCP_DG	R/W	0h	半桥 4 的过流抗尖峰脉冲时间。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
5-4	OUT3_OCP_DG	R/W	0h	半桥 3 的过流抗尖峰脉冲时间。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
3-2	OUT2_OCP_DG	R/W	0h	半桥 2 的过流抗尖峰脉冲时间。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs
1-0	OUT1_OCP_DG	R/W	0h	半桥 1 的过流抗尖峰脉冲时间。 00b = 6μs 01b = 10μs 10b = 15μs 11b = 60μs

8.2.16 HB_OL_CNFG1 寄存器 (偏移 = 18h) [复位 = 0000h]

HB_OL_CNFG1 如表 8-31 所示。

返回到[汇总表](#)。

配置半桥的有源和关断状态开路负载检测电路。

表 8-31. HB_OL_CNFG1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13-12	HB_OLP_CNFG	R/W	0h	关断状态诊断配置。 00b = 禁用关断状态 01b = 使能 OUT X 上拉, 使能 OUT Y 下拉, 选择 OUT Y, VREF 低电平 10b = 使能 OUT X 上拉, 使能 OUT Y 下拉, 选择 OUT X, VREF 高电平 11b = 使能 OUT X 下拉, 使能 OUT Y 上拉, 选择 OUT Y, VREF 低电平
11-8	HB_OLP_SEL	R/W	0h	半桥的关断状态开路负载诊断使能。 0000b = 禁用 0001b = OUT1 和 OUT2 0010b = OUT1 和 OUT3 0011b = OUT1 和 OUT4 0100b = OUT1 和 OUT5 0101b = OUT1 和 OUT6 0110b = OUT2 和 OUT3 0111b = OUT2 和 OUT4 1000b = OUT2 和 OUT5 1001b = OUT2 和 OUT6 1010b = OUT3 和 OUT4 1011b = OUT3 和 OUT5 1100b = OUT3 和 OUT6 1101b = OUT4 和 OUT5 1110b = OUT4 和 OUT6 1111b = OUT5 和 OUT6
7	RESERVED	R/W	0h	保留
6	RESERVED	R/W	0h	保留
5	OUT6_OLA_EN	R/W	0h	半桥 6 的有源开路负载诊断使能。 0b = 禁用 1b = 启用
4	OUT5_OLA_EN	R/W	0h	半桥 5 的有源开路负载诊断使能。 0b = 禁用 1b = 启用
3	OUT4_OLA_EN	R/W	0h	半桥 4 的有源开路负载诊断使能。 0b = 禁用 1b = 启用
2	OUT3_OLA_EN	R/W	0h	半桥 3 的有源开路负载诊断使能。 0b = 禁用 1b = 启用
1	OUT2_OLA_EN	R/W	0h	半桥 2 的有源开路负载诊断使能。 0b = 禁用 1b = 启用
0	OUT1_OLA_EN	R/W	0h	半桥 1 的有源开路负载诊断使能。 0b = 禁用 1b = 启用

8.2.17 HB_OL_CNFG2 寄存器 (偏移 = 19h) [复位 = 0000h]

HB_OL_CNFG2 如表 8-32 所示。

返回到[汇总表](#)。

配置半桥有源开路负载检测电路的周期计数阈值。

表 8-32. HB_OL_CNFG2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11-10	OUT6_OLA_TH	R/W	0h	设置半桥 6 有源开路负载周期计数阈值。 0b = 32 个周期 1b = 128 个周期 10b - 512 个周期 11b - 1024 个周期
9-8	OUT5_OLA_TH	R/W	0h	设置半桥 5 有源开路负载周期计数阈值。 0b = 32 个周期 1b = 128 个周期 10b - 512 个周期 11b - 1024 个周期
7-6	OUT4_OLA_TH	R/W	0h	设置半桥 4 有源开路负载周期计数阈值。 0b = 32 个周期 1b = 128 个周期 10b - 512 个周期 11b - 1024 个周期
5-4	OUT3_OLA_TH	R/W	0h	设置半桥 3 有源开路负载周期计数阈值。 0b = 32 个周期 1b = 128 个周期 10b - 512 个周期 11b - 1024 个周期
3-2	OUT2_OLA_TH	R/W	0h	设置半桥 2 有源开路负载周期计数阈值。 0b = 32 个周期 1b = 128 个周期 10b - 512 个周期 11b - 1024 个周期
1-0	OUT1_OLA_TH	R/W	0h	设置半桥 1 有源开路负载周期计数阈值。 0b = 32 个周期 1b = 128 个周期 10b - 512 个周期 11b - 1024 个周期

8.2.18 HB_SR_CNFG 寄存器 (偏移 = 1Ah) [复位 = 0000h]

表 8-33 展示了 HB_SR_CNFG。

返回到[汇总表](#)。

为每个半桥配置转换率时序。

表 8-33. HB_SR_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11-10	OUT6_SR	R/W	0h	配置半桥 6 的转换率。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
9-8	OUT5_SR	R/W	0h	配置半桥 5 的转换率。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
7-6	OUT4_SR	R/W	0h	配置半桥 4 的转换率。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
5-4	OUT3_SR	R/W	0h	配置半桥 3 的转换率。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
3-2	OUT2_SR	R/W	0h	配置半桥 2 的转换率。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs
1-0	OUT1_SR	R/W	0h	配置半桥 1 的转换率。 00b = 1.6V/μs 01b = 13.5V/μs 10b = 24V/μs

8.2.19 HB_ITRIP_CNFG 寄存器 (偏移 = 1Bh) [复位 = 0000h]

表 8-34 展示了 HB_ITRIP_CNFG。

返回到[汇总表](#)。

配置 ITRIP 电平并为每个半桥使能 ITRIP。ITRIP 电平在半桥对之间共享。

表 8-34. HB_ITRIP_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	OUT6_ITRIP_EN	R/W	0h	使能半桥 6 的 ITRIP 调节。
14	OUT5_ITRIP_EN	R/W	0h	使能半桥 5 的 ITRIP 调节。
13	OUT4_ITRIP_EN	R/W	0h	使能半桥 4 的 ITRIP 调节。
12	OUT3_ITRIP_EN	R/W	0h	使能半桥 3 的 ITRIP 调节。
11	OUT2_ITRIP_EN	R/W	0h	使能半桥 2 的 ITRIP 调节。
10	OUT1_ITRIP_EN	R/W	0h	使能半桥 1 的 ITRIP 调节。
9-8	OUT6_ITRIP_LVL	R/W	0h	配置半桥 6 的 ITRIP 电流阈值电平。 00b = 2.3A 01b = 5.4A 10b = 6.2A 11b = 保留。
7-6	OUT5_ITRIP_LVL	R/W	0h	配置半桥 5 的 ITRIP 电流阈值电平。 00b = 2.9A 01b = 6.6A 10b = 7.6A 11b = 保留。
5-4	OUT4_ITRIP_LVL	R/W	0h	配置半桥 4 的 ITRIP 电流阈值电平。 00b = 1.3A 01b = 2.5A 10b = 3.4A 11b = 保留。
3-2	OUT3_ITRIP_LVL	R/W	0h	配置半桥 3 的 ITRIP 电流阈值电平。 00b = 1.3A 01b = 2.5A 10b = 3.4A 11b = 保留。
1	OUT2_ITRIP_LVL	R/W	0h	配置半桥 2 的 ITRIP 电流阈值电平。 0b = 0.7A 1b = 0.875A
0	OUT1_ITRIP_LVL	R/W	0h	配置半桥 1 的 ITRIP 电流阈值电平。 0b = 0.7A 1b = 0.875A

8.2.20 HB_ITRIP_FREQ 寄存器 (偏移 = 1Ch) [复位 = 0000h]

表 8-35 展示了 HB_ITRIP_FREQ。

返回到[汇总表](#)。

为每个半桥配置 ITRIP 频率和抗尖峰脉冲。ITRIP 定时在半桥对之间共享。

表 8-35. HB_ITRIP_FREQ 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13-12	HB_TOFF_SEL	R/W	0h	OUT1-6 半桥驱动器的 Toff 选择。此处 T 由 OUTx_ITRIP_FREQ 决定。 00b - 零, 禁用 01b - Toff = T/2 10b - Toff=T/4 11b - Toff=T
11-10	OUT6_ITRIP_FREQ	R/W	0h	配置半桥 6 的 ITRIP 调节频率。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
9-8	OUT5_ITRIP_FREQ	R/W	0h	配置半桥 5 的 ITRIP 调节频率。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
7-6	OUT4_ITRIP_FREQ	R/W	0h	配置半桥 4 的 ITRIP 调节频率。00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
5-4	OUT3_ITRIP_FREQ	R/W	0h	配置半桥 3 的 ITRIP 调节频率。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz
3-2	OUT2_ITRIP_FREQ/ PWM_OUT2_FREQ	R/W	0h	配置半桥 2 的 ITRIP 调节频率。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz (当 OUT2_MODE = 1 时)。用于 PWM FREQ 设置 PWM_OUT2_FREQ : 00b - 108Hz 01b - 217Hz 10b - 289Hz 11b - 434Hz
1-0	OUT1_ITRIP_FREQ/ PWM_OUT1_FREQ	R/W	0h	配置半桥 1 的 ITRIP 调节频率。 00b = 20kHz 01b = 10kHz 10b = 5kHz 11b = 2.5kHz (当 OUT1_MODE = 1 时)。用于 PWM FREQ 设置 PWM_OUT1_FREQ : 00b - 108Hz 01b - 217Hz 10b - 289Hz 11b - 434Hz

8.2.21 HS_OUT_CNFG 寄存器 (偏移 = 1Dh) [复位 = 0000h]

HS_OUT_CNFG 如表 8-36 所示。

返回到[汇总表](#)。

为每个高侧驱动器配置输出模式。

表 8-36. HS_OUT_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11-10	OUT12_CNFG	R/W	0h	高侧驱动器 12 的配置。使能或禁用高侧驱动器控制，并在 PWM 或 SPI 之间设置控制模式。 00b = 禁用 01b = 使能 SPI 控制 10b = PWM 引脚控制 11b = PWM 发生器
9-8	OUT11_CNFG	R/W	0h	高侧驱动器 11 的配置。使能或禁用高侧驱动器控制，并在 PWM 或 SPI 之间设置控制模式。 00b = 禁用 01b = 使能 SPI 控制 10b = PWM 引脚控制 11b = PWM 发生器
7-6	OUT10_CNFG	R/W	0h	高侧驱动器 10 的配置。使能或禁用高侧驱动器控制，并在 PWM 或 SPI 之间设置控制模式。 00b = 禁用 01b = 使能 SPI 控制 10b = PWM 引脚控制 11b = PWM 发生器
5-4	OUT9_CNFG	R/W	0h	高侧驱动器 9 的配置。使能或禁用高侧驱动器控制，并在 PWM 或 SPI 之间设置控制模式。 00b = 禁用 01b = 使能 SPI 控制 10b = PWM 引脚控制 11b = PWM 发生器
3-2	OUT8_CNFG	R/W	0h	高侧驱动器 8 的配置。使能或禁用高侧驱动器控制，并在 PWM 或 SPI 之间设置控制模式。 00b = 禁用 01b = 使能 SPI 控制 10b = PWM 引脚控制 11b = PWM 发生器
1-0	OUT7_CNFG	R/W	0h	高侧驱动器 7 的配置。使能或禁用高侧驱动器控制，并在 PWM 或 SPI 之间设置控制模式。 00b = 禁用 01b = 使能 SPI 控制 10b = PWM 引脚控制 11b = PWM 发生器

8.2.22 HS_OC_CNFG 寄存器 (偏移 = 1Eh) [复位 = 0000h]

表 8-37 展示了 HS_OC_CNFG。

返回到[汇总表](#)。

为每个高侧驱动器配置过流阈值。

表 8-37. HS_OC_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9	RESERVED	R/W	0h	保留
8	RESERVED	R/W	0h	保留
7	RESERVED	R/W	0h	保留
6	RESERVED	R/W	0h	保留
5	OUT12_OC_TH	R/W	0h	为高侧驱动器 12 配置高或低过流阈值。 0b = 低电流阈值 1b = 高电流阈值
4	OUT11_OC_TH	R/W	0h	为高侧驱动器 11 配置高或低过流阈值。 0b = 低电流阈值 1b = 高电流阈值
3	OUT10_OC_TH	R/W	0h	为高侧驱动器 10 配置高或低过流阈值。 0b = 低电流阈值 1b = 高电流阈值
2	OUT9_OC_TH	R/W	0h	为高侧驱动器 9 配置高或低过流阈值。 0b = 低电流阈值 1b = 高电流阈值
1	OUT8_OC_TH	R/W	0h	为高侧驱动器 8 配置高或低过流阈值。 0b = 低电流阈值 1b = 高电流阈值
0	OUT7_RDSON_MODE	R/W	0h	为高侧驱动器 7 配置高 RDSON 模式或低 RDSON 模式 (适用于灯泡/灯负载)。 0b = 高 RDSON 模式 (LED 驱动器模式) 1b = 低 RDSON 模式 (灯泡/灯驱动器模式)

8.2.23 HS_OL_CNFG 寄存器 (偏移 = 1Fh) [复位 = 0000h]

表 8-38 展示了 HS_OL_CNFG。

返回到[汇总表](#)。

为每个高侧驱动器配置开路负载阈值。

表 8-38. HS_OL_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	OUT12_OLA_TH	R/W	0h	配置高侧驱动器 12 开路负载阈值。 0b = 低阈值 1b = 高阈值
12	OUT11_OLA_TH	R/W	0h	配置高侧驱动器 11 开路负载阈值。 0b = 低阈值 1b = 高阈值
11	OUT10_OLA_TH	R/W	0h	配置高侧驱动器 10 开路负载阈值。 0b = 低阈值 1b = 高阈值
10	OUT9_OLA_TH	R/W	0h	配置高侧驱动器 9 开路负载阈值。 0b = 低阈值 1b = 高阈值
9	OUT8_OLA_TH	R/W	0h	配置高侧驱动器 8 开路负载阈值。 0b = 低阈值 1b = 高阈值
8	RESERVED	R/W	0h	保留
7	RESERVED	R/W	0h	保留
6	RESERVED	R/W	0h	保留
5	OUT12_OLA_EN	R/W	0h	为高侧驱动器 12 使能开路负载检测电路。
4	OUT11_OLA_EN	R/W	0h	为高侧驱动器 11 使能开路负载检测电路。
3	OUT10_OLA_EN	R/W	0h	为高侧驱动器 10 使能开路负载检测电路。
2	OUT9_OLA_EN	R/W	0h	为高侧驱动器 9 使能开路负载检测电路。
1	OUT8_OLA_EN	R/W	0h	为高侧驱动器 8 使能开路负载检测电路。
0	OUT7_OLA_EN	R/W	0h	为高侧驱动器 7 使能开路负载检测电路。

8.2.24 HS_REG_CNFG1 寄存器 (偏移 = 20h) [复位 = 0000h]

HS_REG_CNFG1 如表 8-39 所示。

返回到[汇总表](#)。

配置 OUT7 ITRIP 设置。

表 8-39. HS_REG_CNFG1 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9	RESERVED	R/W	0h	保留
8	RESERVED	R/W	0h	保留
7	OUT7_ITRIP_EN	R/W	0h	使能高侧驱动器 7 的 ITRIP。
6	RESERVED	R/W	0h	保留
5	RESERVED	R/W	0h	保留
4	RESERVED	R/W	0h	保留
3-2	OUT7_ITRIP_FREQ	R/W	0h	配置 OUT7 ITRIP 调节频率。 00b = 1.7kHz 01b = 2.2kHz 10b = 3kHz 11b = 4.4kHz
1-0	OUT7_ITRIP_DG	R/W	0h	配置 OUT7 ITRIP 抗尖峰脉冲时间。 00b = 48μs 01b = 40μs 10b = 32μs 11b = 24μs

8.2.25 HS_REG_CNFG2 寄存器 (偏移 = 21h) [复位 = 0000h]

HS_REG_CNFG2 如表 8-40 所示。

返回到[汇总表](#)。

为每个高侧驱动器配置恒流模式。

表 8-40. HS_REG_CNFG2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	OUT12_CCM_TO	R/W	0h	配置高侧输出 12 的恒流模式电流限制选项。 0b = 350mA 1b = 450mA
12	OUT11_CCM_TO	R/W	0h	配置高侧输出 11 的恒流模式电流限制选项。 0b = 350mA 1b = 450mA
11	OUT10_CCM_TO	R/W	0h	配置高侧输出 10 的恒流模式电流限制选项。 0b = 350mA 1b = 450mA
10	OUT9_CCM_TO	R/W	0h	配置高侧输出 9 的恒流模式电流限制选项。 0b = 350mA 1b = 450mA
9	OUT8_CCM_TO	R/W	0h	配置高侧输出 8 的恒流模式电流限制选项。 0b = 350mA 1b = 450mA
8	OUT7_CCM_TO	R/W	0h	配置高侧输出 7 的恒流模式电流限制选项。CCM 值基于 OUT7_RDSON_MODE。 如果 OUT7_RDSON_MODE = 0b : 0b = 250mA 1b = 330mA 如果 OUT7_RDSON_MODE = 1b : 0b = 360mA 1b = 450mA
7	RESERVED	R/W	0h	保留
6	RESERVED	R/W	0h	保留
5	OUT12_CCM_EN	R/W	0h	为高侧驱动器 12 使能恒流模式电路。
4	OUT11_CCM_EN	R/W	0h	为高侧驱动器 11 使能恒流模式电路。
3	OUT10_CCM_EN	R/W	0h	为高侧驱动器 10 使能恒流模式电路。
2	OUT9_CCM_EN	R/W	0h	为高侧驱动器 9 使能恒流模式电路。
1	OUT8_CCM_EN	R/W	0h	为高侧驱动器 8 使能恒流模式电路。
0	OUT7_CCM_EN	R/W	0h	为高侧驱动器 7 使能恒流模式电路。

8.2.26 HS_PWM_FREQ_CNFG 寄存器 (偏移 = 22h) [复位 = 0000h]

表 8-41 展示了 HS_PWM_FREQ_CNFG。

返回到[汇总表](#)。

配置每个专用 PWM 发生器的频率。

表 8-41. HS_PWM_FREQ_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11-10	PWM_OUT12_FREQ	R/W	0h	为高侧驱动器 12 配置专用 PWM 发生器的频率输出。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
9-8	PWM_OUT11_FREQ	R/W	0h	为高侧驱动器 11 配置专用 PWM 发生器的频率输出。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
7-6	PWM_OUT10_FREQ	R/W	0h	为高侧驱动器 10 配置专用 PWM 发生器的频率输出。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
5-4	PWM_OUT9_FREQ	R/W	0h	为高侧驱动器 9 配置专用 PWM 发生器的频率输出。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
3-2	PWM_OUT8_FREQ	R/W	0h	为高侧驱动器 8 配置专用 PWM 发生器的频率输出。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz
1-0	PWM_OUT7_FREQ	R/W	0h	为高侧驱动器 7 配置专用 PWM 发生器的频率输出。 00b = 108Hz 01b = 217Hz 10b = 289Hz 11b = 434Hz

8.2.27 SPARE_CNFG 寄存器 (偏移 = 23h) [复位 = 0000h]

SPARE_CNFG 如表 8-42 所示。

返回到[汇总表](#)。

备用配置寄存器。

表 8-42. SPARE_CNFG 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R/W	0h	保留

8.2.28 SPARE_CNFG1 寄存器 (偏移 = 24h) [复位 = 0000h]

SPARE_CNFG1 如表 8-43 所示。

返回到[汇总表](#)。

备用配置寄存器。

表 8-43. SPARE_CNFG1 寄存器字段说明

位	字段	类型	复位	说明
15-0	RESERVED	R/W	0h	保留

8.2.29 HS_REG_CNFG3 寄存器 (偏移 = 25h) [复位 = 0000h]

HS_REG_CNFG3 如表 8-44 所示。

返回到[汇总表](#)。

配置 HS ITRIP 设置。

表 8-44. HS_REG_CNFG3 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11-10	HS_OUT_ITRIP_FREQ	R/W	0h	OUT8-12 的 ITRIP FREQ 设置 00b - 1.7KHz 01b - 2.2KHz 10b - 3KHz 11b - 4.4KHz
9-8	HS_OUT_ITRIP_DG	R/W	0h	OUT8-12 驱动器的常见 ITRIP 抗尖峰脉冲设置 00b - 48μs 01b - 40μs 10b - 32μs 11b - 24μs
7	RESERVED	R/W	0h	保留
6	RESERVED	R/W	0h	保留
5	RESERVED	R/W	0h	保留
4	HS_OUT12_ITRIP_EN	R/W	0h	使能高侧驱动器 12 的 ITRIP。
3	HS_OUT11_ITRIP_EN	R/W	0h	使能高侧驱动器 11 的 ITRIP。
2	HS_OUT10_ITRIP_EN	R/W	0h	使能高侧驱动器 10 的 ITRIP。
1	HS_OUT9_ITRIP_EN	R/W	0h	使能高侧驱动器 9 的 ITRIP。
0	HS_OUT8_ITRIP_EN	R/W	0h	使能高侧驱动器 8 的 ITRIP。

8.2.30 SPARE_CNFG2 寄存器 (偏移 = 26h) [复位 = 0000h]

SPARE_CNFG2 如表 8-45 所示。

返回到[汇总表](#)。

备用配置寄存器。

表 8-45. SPARE_CNFG2 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9	RESERVED	R/W	0h	保留
8	RESERVED	R/W	0h	保留
7	RESERVED	R/W	0h	保留
6	RESERVED	R/W	0h	保留
5	RESERVED	R/W	0h	保留
4	RESERVED	R/W	0h	保留
3	RESERVED	R/W	0h	保留
2	RESERVED	R/W	0h	保留
1	RESERVED	R/W	0h	保留
0	RESERVED	R/W	0h	保留

8.2.31 OUT1_HS_MODE_DC 寄存器 (偏移 = 27h) [复位 = 0000h]

OUT1_HS_MODE_DC 如表 8-46 所示。

返回到[汇总表](#)。

配置占空比的 10 个位

表 8-46. OUT1_HS_MODE_DC 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9-0	OUT1_DC	R/W	0h	当 OUT1_MODE=1 时，专用 PWM 发生器的 OUT1 占空比的 10 位分辨率控制，最大值为 1022。

8.2.32 OUT2_HS_MODE_DC 寄存器 (偏移 = 28h) [复位 = 0000h]

OUT2_HS_MODE_DC 如表 8-47 所示。

返回到[汇总表](#)。

配置占空比的 10 个位

表 8-47. OUT2_HS_MODE_DC 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9-0	OUT2_DC	R/W	0h	当 OUT2_MODE=1 时，专用 PWM 发生器的 OUT2 占空比的 10 位分辨率控制，最大值为 1022。

8.3 DRV8000-Q1_CTRL 寄存器

表 8-48 列出了 DRV8000-Q1_CTRL 寄存器的存储器映射寄存器。表 8-48 中未列出的所有寄存器偏移地址都应视为保留位置，并且不应修改寄存器内容。

表 8-48. DRV8000-Q1_CTRL 寄存器

偏移	首字母缩写词	寄存器名称	部分
29h	IC_CTRL	IC 控制寄存器。	节 8.3.1
2Ah	GD_HB_CTRL	栅极驱动器和半桥控制寄存器。	节 8.3.2
2Bh	HS_CTRL	高侧驱动器控制寄存器。	节 8.3.3
2Ch	OUT7_PWM_DC	OUT7 PWM 占空比控制寄存器。	节 8.3.4
2Dh	OUT8_PWM_DC	OUT8 PWM 占空比控制寄存器。	节 8.3.5
2Eh	OUT9_PWM_DC	OUT9 PWM 占空比控制寄存器。	节 8.3.6
2Fh	OUT10_PWM_DC	OUT10 PWM 占空比控制寄存器。	节 8.3.7
30h	OUT11_PWM_DC	OUT11 PWM 占空比控制寄存器。	节 8.3.8
31h	OUT12_PWM_DC	OUT12 PWM 占空比控制寄存器。	节 8.3.9

复杂的位访问类型经过编码可适应小型表单元。表 8-49 展示了适用于此部分中访问类型的代码。

表 8-49. DRV8000-Q1_CTRL 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.3.1 IC_CTRL 寄存器 (偏移 = 29h) [复位 = 006Ch]

IC_CTRL 如表 8-50 所示。

返回到[汇总表](#)。

用于锁定和解锁配置或控制寄存器以及清除故障的控制寄存器。

表 8-50. IC_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	IPROPI_MODE	R/W	0h	在输入模式和输出模式之间选择 IPROPI/PWM2 引脚模式。 0b = 输出 (IPROPI 模式) 1b = 输入 (PWM 模式)
12-8	IPROPI_SEL	R/W	0h	控制电流、电压和温度检测输出之间的 IPROPI MUX 输出。 00000b = 无输出 00001b = OUT1 电流检测输出 00010b = OUT2 电流检测输出 00011b = OUT3 电流检测输出 00100b = OUT4 电流检测输出 00101b = OUT5 电流检测输出 00110b = OUT6 电流检测输出 00111b = OUT7 电流检测输出 01000b = OUT8 电流检测输出 01001b = OUT9 电流检测输出 01010b = OUT10 电流检测输出 01011b = OUT11 电流检测输出 01100b = OUT12 电流检测输出 01101b = 保留。 01110b = 保留。 01111b = 保留。 10000b = VPVDD 检测标称范围 (5V -22V) 10001b = 热仪表组 1 输出 10010b = 热仪表组 2 输出 10011b = 热仪表组 3 输出 10100b = 热仪表组 4 输出 10101b = VPVDD 检测高范围 (20V - 32V)
7-5	CTRL_LOCK	R/W	3h	锁定和解锁控制寄存器。未列出的位设置无效。 011b = 解锁所有控制寄存器。 110b = 通过忽略除 IC_CTRL 寄存器之外的后续写入来锁定控制寄存器。
4-2	CNFG_LOCK	R/W	3h	锁定和解锁配置寄存器。未列出的位设置无效。 011b = 解锁所有配置寄存器。 110b = 忽略后续写入以锁定配置寄存器。
1	WD_RST	R/W	0h	看门狗重启。 上电后默认为 0b。 将该位反转以重启看门狗计时器。 写入后, 该位反映新的取反值。
0	CLR_FLT	R/W	0h	清除锁存故障状态信息。 0b = 默认状态。 1b = 清除锁存故障位, 完成后复位为 0b。它还会清除 SPI 故障和看门狗故障状态。

8.3.2 GD_HB_CTRL 寄存器 (偏移 = 2Ah) [复位 = 0000h]

表 8-51 展示了 GD_HB_CTRL。

返回到[汇总表](#)。

栅极驱动器和半桥输出控制寄存器。

表 8-51. GD_HB_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	S_HIZ2	R/W	0h	栅极驱动器 2 Hi-Z 控制位。 仅在半桥输入控制模式下有效。 0b = 输出跟随 GD_IN2 信号。 1b = 启用栅极驱动器 ISTRONG 下拉电阻。半桥 2 高阻态
14	S_HIZ1	R/W	0h	栅极驱动器 1 Hi-Z 控制位。 仅在半桥输入控制模式下有效。 0b = 输出跟随 GD_IN1 信号。 1b = 启用栅极驱动器 ISTRONG 下拉电阻。半桥 1 高阻态
13	S_IN2	R/W	0h	GD_IN2 输入引脚信号的寄存器控制位替代。 通过 IN2_MODE 位使能。
12	S_IN1	R/W	0h	GD_IN1 输入引脚信号的寄存器控制位替代。 通过 IN1_MODE 位使能。
11-10	OUT6_CTRL	R/W	0h	集成半桥输出 6 控制。 00b = 关闭 01b = HS 开启 10b = LS 开启 11b = RSVD
9-8	OUT5_CTRL	R/W	0h	集成半桥输出 5 控制。 00b = 关闭 01b = HS 开启 10b = LS 开启 11b = RSVD
7-6	OUT4_CTRL	R/W	0h	集成半桥输出 4 控制。 00b = 关闭 01b = HS 开启 10b = LS 开启 11b = RSVD
5-4	OUT3_CTRL	R/W	0h	集成半桥输出 3 控制。 00b = 关闭 01b = HS 开启 10b = LS 开启 11b = RSVD
3-2	OUT2_CTRL	R/W	0h	集成半桥输出 2 控制。 00b = 关闭 01b = HS 开启 10b = LS 开启 11b = RSVD
1-0	OUT1_CTRL	R/W	0h	集成半桥输出 1 控制。 00b = 关闭 01b = HS 开启 10b = LS 开启 11b = RSVD

8.3.3 HS_CTRL 寄存器 (偏移 = 2Bh) [复位 = 0000h]

HS_CTRL 如表 8-52 所示。

返回到[汇总表](#)。

高侧驱动器输出控制寄存器。

表 8-52. HS_CTRL 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13-8	RESERVED	R/W	0h	保留
7	RESERVED	R/W	0h	保留
6	RSVD_6	R/W	0h	保留。
5	OUT12_EN	R/W	0h	使能高侧驱动器 12。
4	OUT11_EN	R/W	0h	使能高侧驱动器 11。
3	OUT10_EN	R/W	0h	使能高侧驱动器 10。
2	OUT9_EN	R/W	0h	使能高侧驱动器 9。
1	OUT8_EN	R/W	0h	使能高侧驱动器 8。
0	OUT7_EN	R/W	0h	使能高侧驱动器 7。

8.3.4 OUT7_PWM_DC 寄存器 (偏移 = 2Ch) [复位 = 0000h]

OUT7_PWM_DC 如表 8-53 所示。

返回到[汇总表](#)。

高侧驱动器 7 的 10 位占空比控制。

表 8-53. OUT7_PWM_DC 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9-0	OUT7_DC	R/W	0h	高侧驱动器 7 专用 PWM 发生器占空比的 10 位分辨率控制，最大值为 1022。

8.3.5 OUT8_PWM_DC 寄存器 (偏移 = 2Dh) [复位 = 0000h]

OUT8_PWM_DC 如表 8-54 所示。

返回到[汇总表](#)。

高侧驱动器 8 的 10 位占空比控制。

表 8-54. OUT8_PWM_DC 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9-0	OUT8_DC	R/W	0h	高侧驱动器 8 专用 PWM 发生器占空比的 10 位分辨率控制，最大值为 1022。

8.3.6 OUT9_PWM_DC 寄存器 (偏移 = 2Eh) [复位 = 0000h]

OUT9_PWM_DC 如表 8-55 所示。

返回到[汇总表](#)。

高侧驱动器 9 的 10 位占空比控制。

表 8-55. OUT9_PWM_DC 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9-0	OUT9_DC	R/W	0h	高侧驱动器 9 专用 PWM 发生器占空比的 10 位分辨率控制，最大值为 1022。

8.3.7 OUT10_PWM_DC 寄存器 (偏移 = 2Fh) [复位 = 0000h]

OUT10_PWM_DC 如表 8-56 所示。

返回到[汇总表](#)。

高侧驱动器 10 的 10 位占空比控制。

表 8-56. OUT10_PWM_DC 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9-0	OUT10_DC	R/W	0h	高侧驱动器 10 专用 PWM 发生器占空比的 10 位分辨率控制，最大值为 1022。

8.3.8 OUT11_PWM_DC 寄存器 (偏移 = 30h) [复位 = 0000h]

OUT11_PWM_DC 如表 8-57 所示。

返回到[汇总表](#)。

高侧驱动器 11 的 10 位占空比控制。

表 8-57. OUT11_PWM_DC 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9-0	OUT11_DC	R/W	0h	高侧驱动器 11 专用 PWM 发生器占空比的 10 位分辨率控制，最大值为 1022。

8.3.9 OUT12_PWM_DC 寄存器 (偏移 = 31h) [复位 = 0000h]

OUT12_PWM_DC 如表 8-58 所示。

返回到[汇总表](#)。

高侧驱动器 12 的 10 位占空比控制。

表 8-58. OUT12_PWM_DC 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留
14	RESERVED	R/W	0h	保留
13	RESERVED	R/W	0h	保留
12	RESERVED	R/W	0h	保留
11	RESERVED	R/W	0h	保留
10	RESERVED	R/W	0h	保留
9-0	OUT12_DC	R/W	0h	高侧驱动器 12 专用 PWM 发生器占空比的 10 位分辨率控制，最大值为 1022。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

DRV800x-Q1 是一款高度可配置的多通道集成 H 桥半桥 MOSFET 栅极驱动器，可用于驱动各种不同的输出负载。以下设计示例将重点说明如何针对不同的应用用例来使用和配置该器件。

9.2 典型应用

DRV8002-Q1 的典型应用是控制典型汽车门中的多个负载。其中包括多个集成半桥和高侧驱动器和一个具有电流分流放大器的外部 MOSFET H 桥驱动器。下面的 中显示了一个概要原理图示例。

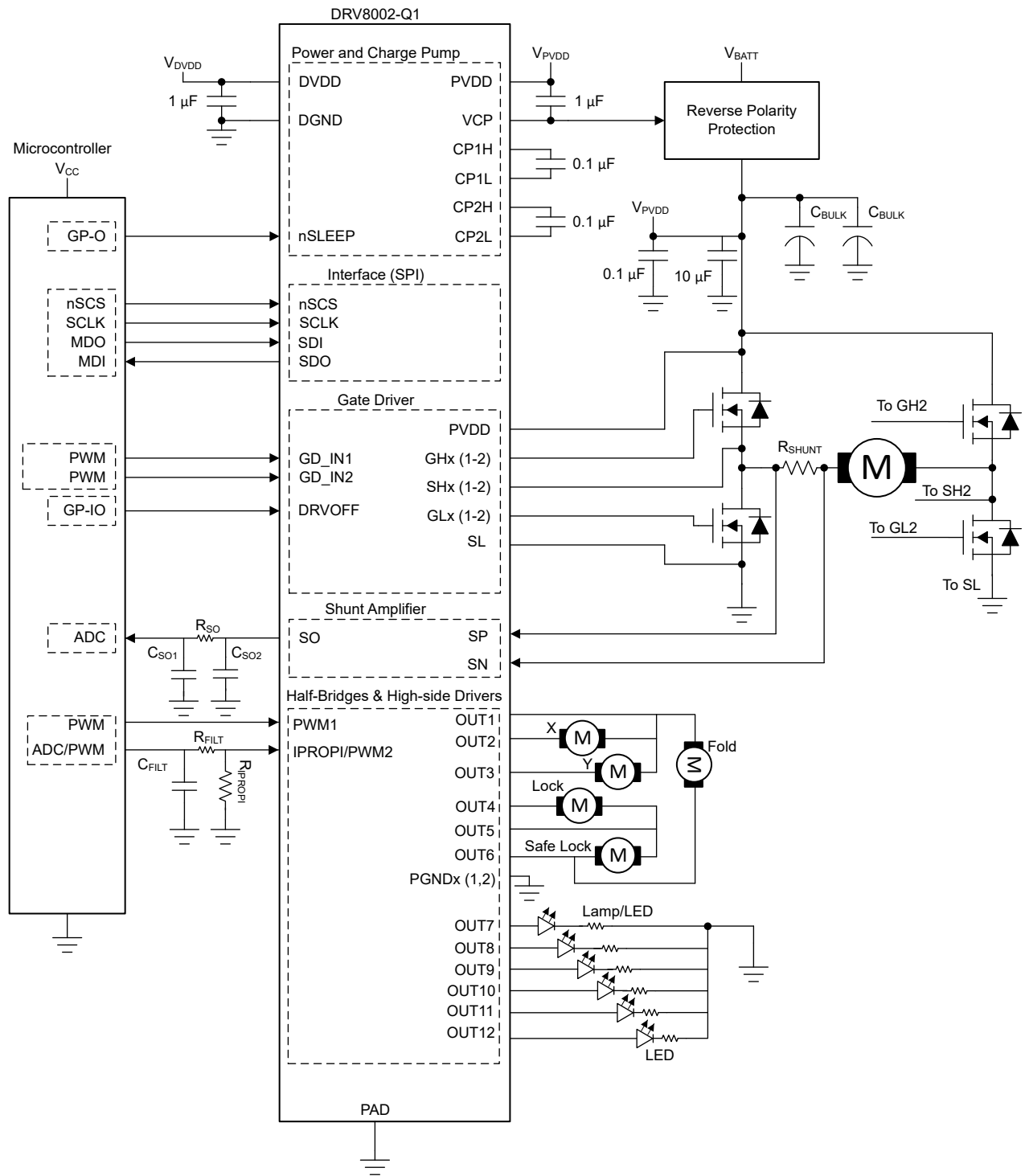


图 9-1. DRV8002-Q1 典型应用

9.2.1 设计要求

表 9-1 列出了用于系统设计的一组输入参数示例。

表 9-1. 设计参数

参数	值
PVDD 电源电压范围	9 至 18V
PVDD 标称电源电压	13.5V
DVDD 逻辑电源电压范围	3.3V
I _{PROPI} 电阻	2.35k Ω
H 桥 MOSFET 总栅极电荷	V _{GS} = 10V 时为 30nC (典型值)
H 桥 MOSFET 栅漏极电荷	5nC (典型值)
H 桥 MOSFET 导通电阻	4m Ω
目标输出上升时间	750-1000 ns
目标输出下降时间	250-500 ns
PWM 频率	20kHz
最大 H 桥电机电流	25A
分流电阻功率容量	3W

9.2.2 详细设计过程

9.2.2.1 I_{DRIVE} 计算示例

栅极驱动电流强度 I_{DRIVE} 的选择依据包括：外部 MOSFET 的栅漏电荷，以及开关节点的目标上升和下降时间。对于给定的 MOSFET，如果选择的 I_{DRIVE} 过低，则 MOSFET 可能无法在配置的 t_{DRIVE} 时间内完全导通或关断，并且可以断定出现栅极故障。此外，较长的上升和下降时间会导致外部功率 MOSFET 中出现更高的开关功率损耗。TI 建议使用所需的外部 MOSFET 和负载在系统中验证这些值，以确定设计的设置。

高侧和低侧外部 MOSFET 的 I_{DRIVEP} 和 I_{DRIVEN} 均可在寄存器 GD_IDRV_CNFG 中配置。

对于具有已知栅漏电荷 Q_{GD}、所需上升时间 (t_{rise}) 和所需下降时间 (t_{fall}) 的 MOSFET，可使用方程式 4 和方程式 5 分别计算 I_{DRIVEP} 和 I_{DRIVEN} 的近似值。

$$I_{DRIVEP} = Q_{GD} / t_{rise} \quad (4)$$

$$I_{DRIVEN} = Q_{GD} / t_{fall} \quad (5)$$

以输入设计参数为例，我们可以计算 I_{DRIVEP} 和 I_{DRIVEN} 的近似值。

$$I_{DRIVEP_HI} = 5nC / 750ns = 6.67mA \quad (6)$$

$$I_{DRIVEP_LO} = 5nC / 1000ns = 5mA \quad (7)$$

根据这些计算结果，为 I_{DRIVEP} 选择了值 6 mA。

$$I_{DRIVEN_HI} = 5nC / 250ns = 20mA \quad (8)$$

$$I_{DRIVEN_LO} = 5nC / 500ns = 10mA \quad (9)$$

根据这些计算结果，为 I_{DRIVEN} 选择了值 16mA。

9.2.2.2 t_{DRIVE} 计算示例

驱动器栅源监测超时 (t_{DRIVE}) 配置为允许外部 MOSFET 有足够的时间对所选 I_{DRIVE} 栅极电流进行充电和放电。默认情况下，该设置为 8 μs，这对于许多系统来说已经足够。然后确定合适的 t_{DRIVE} 值，可以利用以下公式。

$$t_{DRIVE} > Q_{G_TOT} / I_{DRIVE} \quad (10)$$

以输入设计参数为例，我们可以计算 t_{DRIVE} 的近似值。

$$t_{\text{DRIVE}} > 30\text{nC} / 6\text{mA} = 5 \mu\text{s} \quad (11)$$

根据这些计算结果，为 t_{DRIVE} 选择了值 8us。

9.2.2.3 最大 PWM 开关频率

驱动器的最大 PWM 频率通常由系统中的多个因素决定。虽然 DRV800x-Q1 器件可以支持高达 100kHz 的频率，但系统参数可以将此限制为较低的值。

这些系统参数包括：

- 外部 MOSFET 的上升和下降时间。
- MOSFET Q_G 和电荷泵上的负载。
- 最小和最大占空比要求（例如 10% 至 90%）

9.2.2.4 电流分流放大器配置

DRV800x-Q1 差分分流放大器增益和分流电阻值的选择依据包括：动态电流范围、基准电压电源、分流电阻功率额定值，以及工作温度范围。在分流放大器的双向运行模式下，输出动态范围的近似计算方法如 [双向 SO 电压的公式](#) 所示。放大器的输出可从中点基准 ($V_{\text{DVDD}} / 2$) 摆动到 0.25V 或 $V_{\text{DVDD}} - 0.25\text{V}$ ，具体取决于放大器输入电压的极性。

$$V_{\text{SO_BI}} = (V_{\text{DVDD}} - 0.25\text{V}) - (V_{\text{DVDD}} / 2) \quad (12)$$

如果只需要单向电流检测，则修改放大器基准来扩大输出动态范围，这可通过 [CSA_DIV](#) SPI 寄存器设置进行修改。在此模式下，输出动态范围的近似计算方法如 [V_{SO_UNI}](#) 所示。

$$V_{\text{SO_UNI}} = (V_{\text{DVDD}} - 0.25\text{V}) - (V_{\text{DVDD}} / 8) \quad (13)$$

根据 $V_{\text{DVDD}} = 3.3\text{V}$ ，双向或单向感测中动态输出范围的计算如下：

$$V_{\text{SO_BI}} = (3.3\text{V} - 0.25\text{V}) - (3.3\text{V} / 2) = 1.4\text{V} \quad (14)$$

$$V_{\text{SO_UNI}} = (3.3\text{V} - 0.25\text{V}) - (3.3\text{V} / 8) = 2.6375\text{V} \quad (15)$$

外部分流电阻值和分流放大器增益设置的选择依据包括：可用的动态输出范围、分流电阻功率额定值，以及需要测量的最大电机电流。分流电阻和放大器增益的此精确值由 [R_{SHUNT} 计算](#) 和 [放大器增益计算](#) 确定。

$$R_{\text{SHUNT}} < P_{\text{SHUNT}} / I_{\text{MAX}}^2 \quad (16)$$

$$A_V < V_{\text{SO}} / (I_{\text{MAX}} \times R_{\text{SHUNT}}) \quad (17)$$

根据 $V_{\text{SO}} = 1.4\text{V}$ 、 $I_{\text{MAX}} = 25\text{A}$ 和 $P_{\text{SHUNT}} = 3\text{W}$ ，分流电阻和放大器增益值的计算如下：

$$R_{\text{SHUNT}} < 3\text{W} / 25^2 \text{ A} = 4.8\text{m}\Omega \quad (18)$$

$$A_V < 1.4\text{V} / (25\text{A} \times 4.8\text{m}\Omega) = 11.67\text{V/V} \quad (19)$$

根据这些结果，可选择 4mΩ 的分流电阻和 10 V/V 的放大器增益。

9.3 初始化设置

9.4 电源相关建议

9.4.1 确定大容量电容器的大小

配备合适的局部大容量电容是电机驱动系统设计中的重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。所需的局部电容量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的类型、电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电源电压纹波
- 电机类型（有刷直流、无刷直流、步进电机）
- 电机启动和制动方法

电源和电机驱动系统之间的电感会限制电源的电流速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表给出了建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容器。

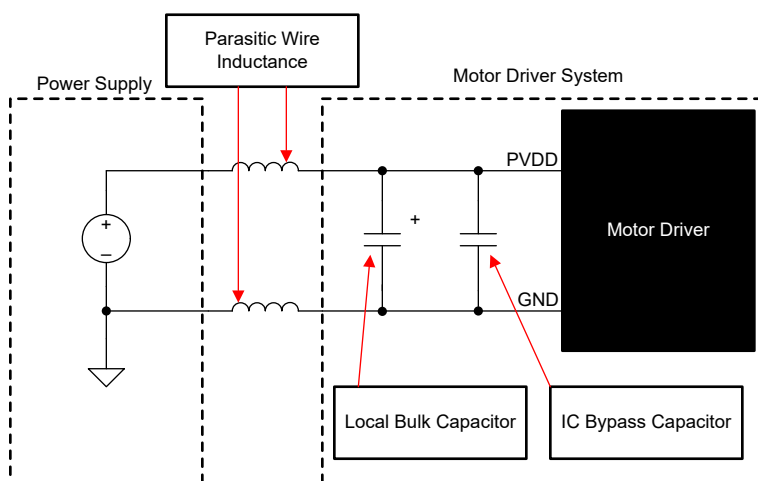


图 9-2. 电机驱动器电源寄生效应示例

9.5 布局

9.5.1 布局指南

使用低 ESR 陶瓷旁路电容器 C_{PVDD1} 将 PVDD 引脚旁路至 GND 引脚。将该电容器放置在尽可能靠近 PVDD 引脚的位置，并通过较宽的引线或通过接地平面连接到 GND 引脚。此外，使用额定电压为 PVDD 的大容量电容器 C_{PVDD2} 旁路 PVDD 引脚。该元件可以是电解电容器。其容值必须至少为 $10\mu\text{F}$ 。可以接受该电容与外部功率 MOSFET 的大容量电容共享。

在 CPL1/CPH1 和 CPL2/CP2H 引脚之间放置一个低 ESR 陶瓷电容器 C_{FLY1} 和 C_{FLY2} 。此外，在 VCP 和 PVDD 引脚之间放置一个低 ESR 陶瓷电容器 C_{VCP} 。

需要额外的大容量电容来旁路掉 H 桥驱动器外部功率 MOSFET 上的大电流路径。放置此大容量电容时应做到尽可能缩短通过外部 MOSFET 的大电流路径的长度。连接金属走线尽可能宽，并具有许多连接 PCB 层的过孔。这些做法可更最大限度地减少电感并允许大容量电容器提供大电流。

对于 H 桥驱动器外部 MOSFET，请使用具有适当额定电压的低 ESR 陶瓷旁路电容器将漏极引脚旁路至 GND 平面。将该电容器放置在尽可能靠近 MOSFET 漏极和源极引脚的位置，并通过粗走线或通过平面连接与 GND 平面相连。将串联栅极电阻器尽可能靠近 MOSFET 栅极引脚放置。

对于电流分流放大器，为尽可能减小走线阻抗，检测电阻的放置与功率级的元件一致。为降低耦合到电路板上其他布线的可能性，分流电阻也尽可能放置在靠近 CSA 连接件的位置。

对于高侧电流检测，分流电阻靠近电源与高侧 MOSFET 源极之间的星点。对于低侧电流检测，分流电阻位于低侧 MOSFET 源极与功率级星点接地连接件之间。其余元件放置在离器件最近的位置。

使用差分对来完成感测信号的布线。在一个差分对中，两个信号在布局中紧密耦合，布线必须从分流电阻或感测电阻并联到 IC 输入端的 CSA。

使用 C_{DVDD} 将 DVDD 引脚旁路至 DGND 引脚。将此电容器尽可能靠近引脚放置，并尽量缩短从电容器到 DGND 引脚的路径。如果这些电源上已经存在靠近器件的本地旁路电容器以更大限度地减少噪声，则无需为 DVDD 使用这些额外元件。

不要将 SL 引脚直接连接到 GND 平面。而是应该使用专用迹线将这些引脚连接到低侧外部 MOSFET 的源极。遵循这些建议有助于更准确地感测外部 MOSFET 的 VDS 以实现过流检测。

尽可能地缩短高侧和低侧栅极驱动器的回路长度。高侧环路是从器件的 GHx 引脚到高侧功率 MOSFET 栅极，然后沿着高侧 MOSFET 源极返回到 SHx 引脚。低侧环路是从器件的 GLx 引脚到低侧功率 MOSFET 栅极，然后沿着低侧 MOSFET 源极返回到 SL 引脚。

9.5.2 布局示例

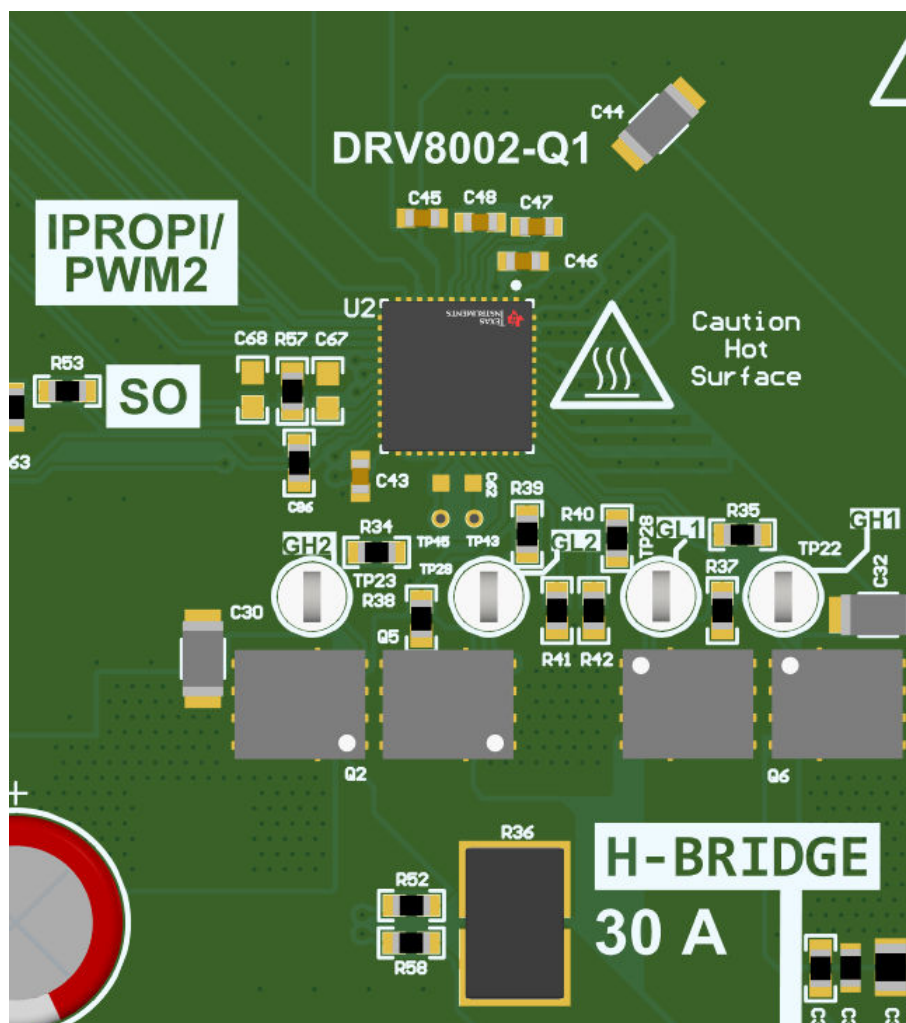


图 9-3. DRV8002-Q1 元件放置和布局

上面的布局屏幕截图显示了器件的元件以及相对于器件的布局。此布局屏幕截图来自器件评估模块。请注意，所有电源去耦电容器（尤其是较小值的电容器）和电荷泵电容器都尽可能靠近引脚放置，并放置在器件的同一层。评估模块布局设计尽可能遵循了上一节中概述的所有通用指南。

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发设计的工具和软件。

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 预量产版修订历史记录

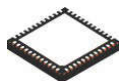
注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (May 2024) to Revision A (October 2025)

Page

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

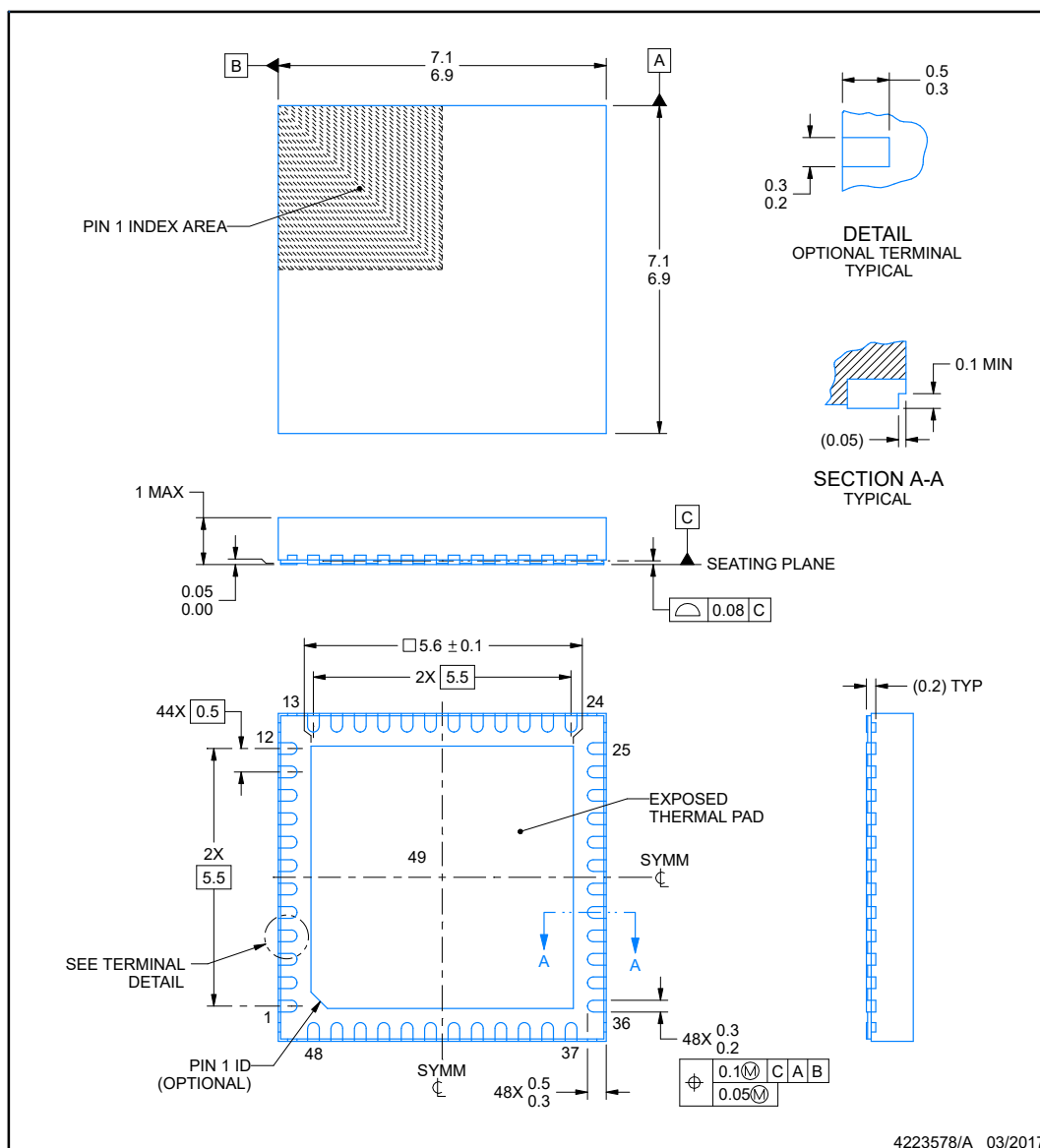


RGZ0048M

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

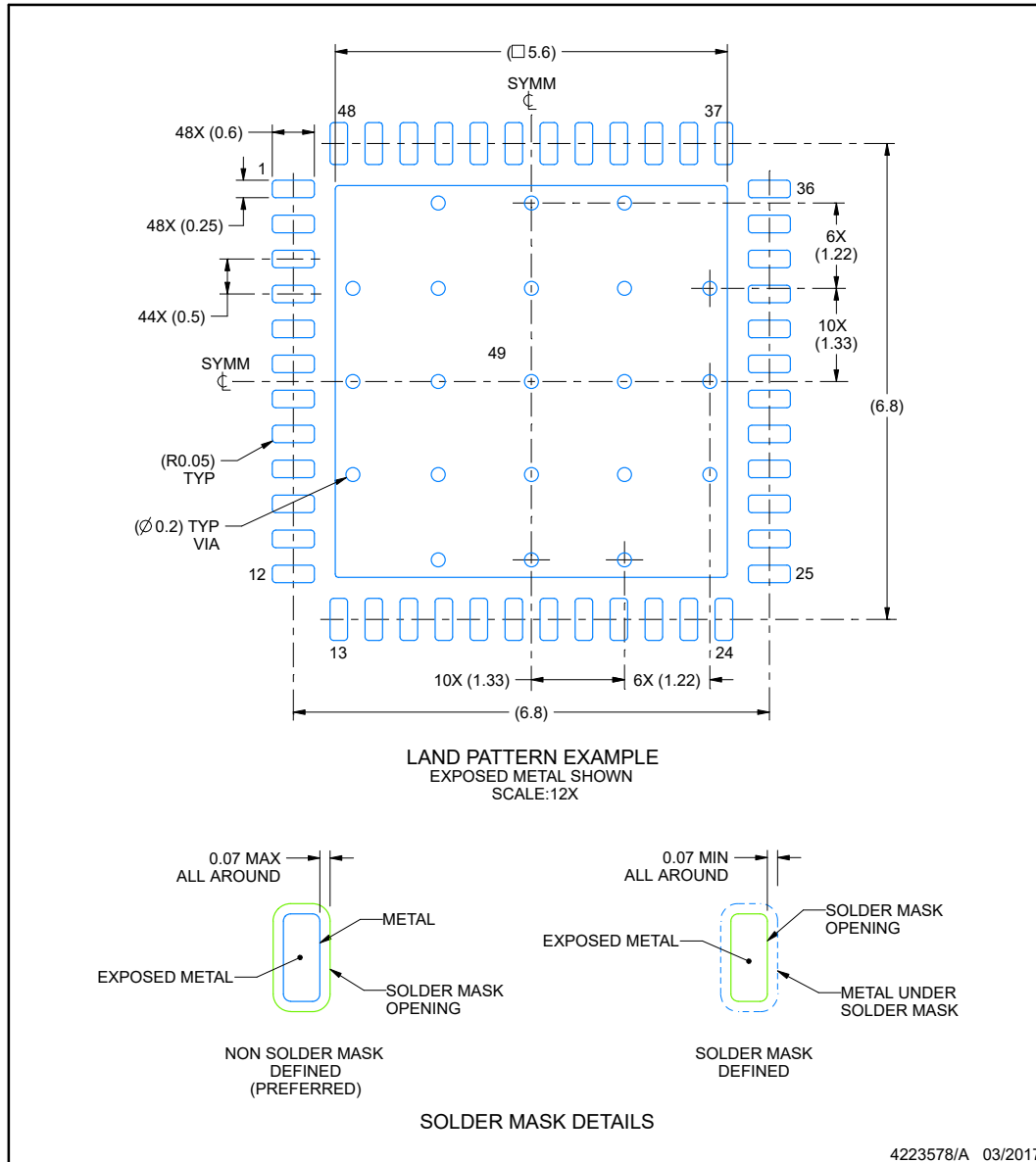


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT**RGZ0048M****VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

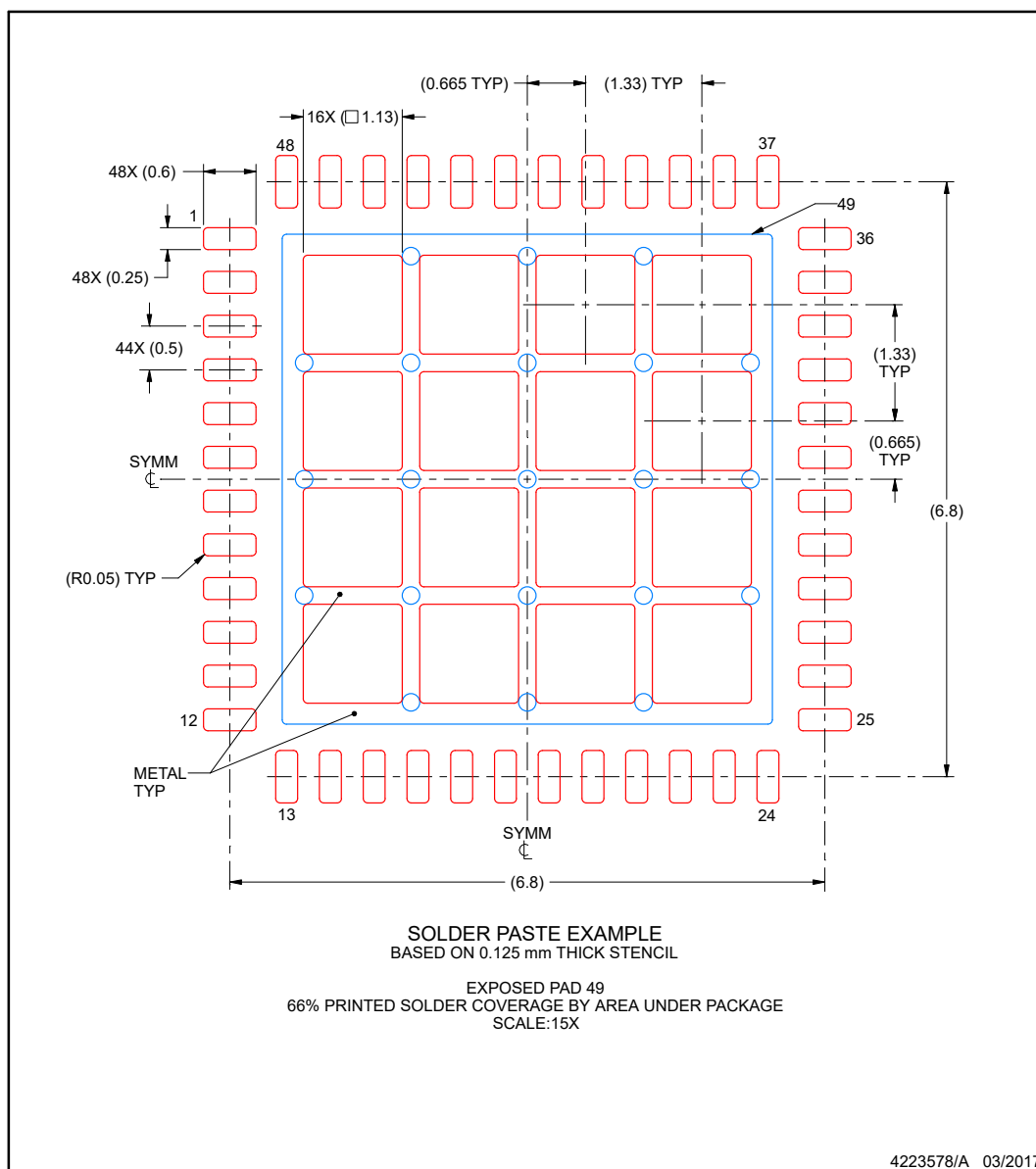
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

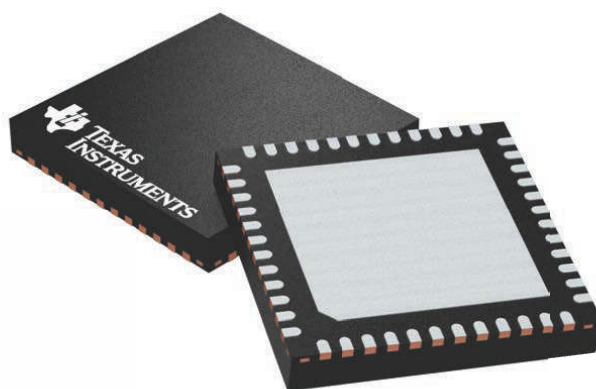
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW**RGZ 48**

7 x 7, 0.5 mm pitch

VQFN - 1 mm max height

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

12.1 封装选项附录

封装信息

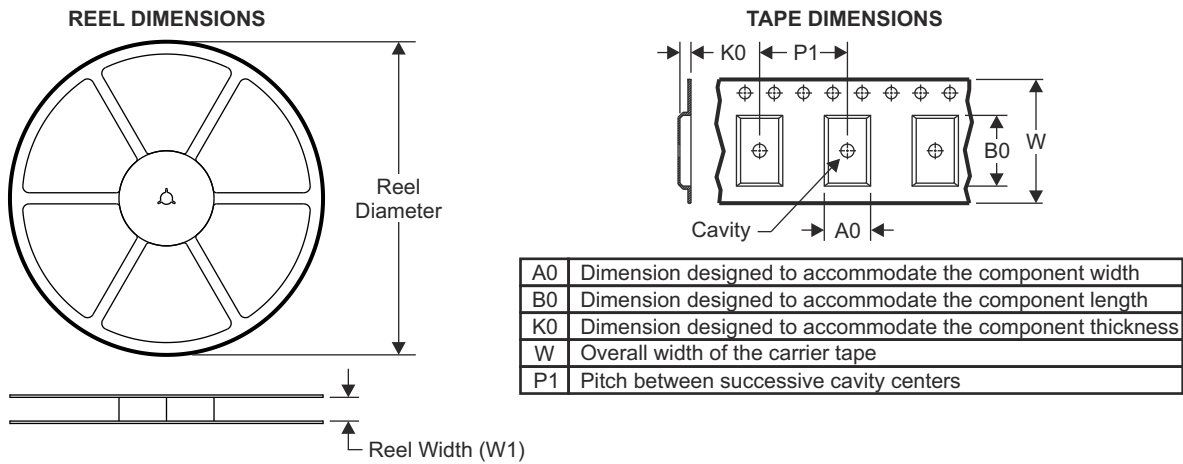
可订购器件	状态	封装类型 ⁽¹⁾	封装图	引脚	包装数量	环保计划 ⁽²⁾	铅/焊球镀层 ⁽⁶⁾	MSL 峰值温度 ⁽³⁾	工作温度 (°C)	器件标识 ^{(4) (5)}
PDRV8002QWRGZRQ1	预发布	VQFN	RGZ	48	2500	RoHS 和绿色 环保	NIPDAU	Level-3-260C- 168 HR	-40 至 125	PDRV8002
DRV8002QWRGZRQ1	量产	VQFN	RGZ	48	2500	RoHS 和绿色 环保	NIPDAU	Level-3-260C- 168 HR	-40 至 125	DRV8002

- (1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
PRE_PROD：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。
预发布：器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。
- (2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅 (RoHS 豁免) 或绿色 (RoHS，无镉/溴) - 如需了解最新供货信息及更多产品内容详情，请访问 www.ti.com.cn/productcontent。
待定：无铅/绿色环保转换计划尚未确定。
无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
无铅 (RoHS 豁免)：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅 (符合 RoHS)。
绿色环保 (RoHS，无镉/溴)：TI 定义的“绿色环保”表示无铅 (符合 RoHS 标准)、无溴 (Br) 和无镉 (Sb) 系阻燃剂 (均质材料中 Br 或 Sb 的质量不超过总质量的 0.1%)。
- (3) MSL，峰值温度-- 湿敏等级额定值 (符合 JEDEC 工业标准分级) 和峰值焊接温度。
- (4) 器件上可能还有与标识、批次跟踪代码信息或环境分类相关的其他标志。
- (5) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。
- (6) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。

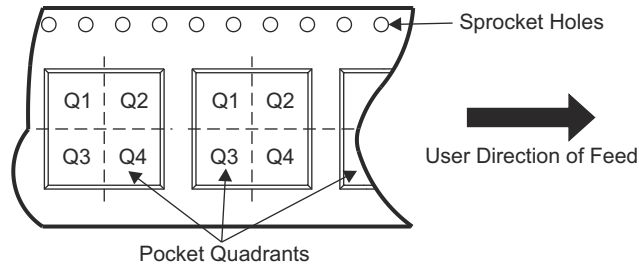
重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

12.2 卷带包装信息

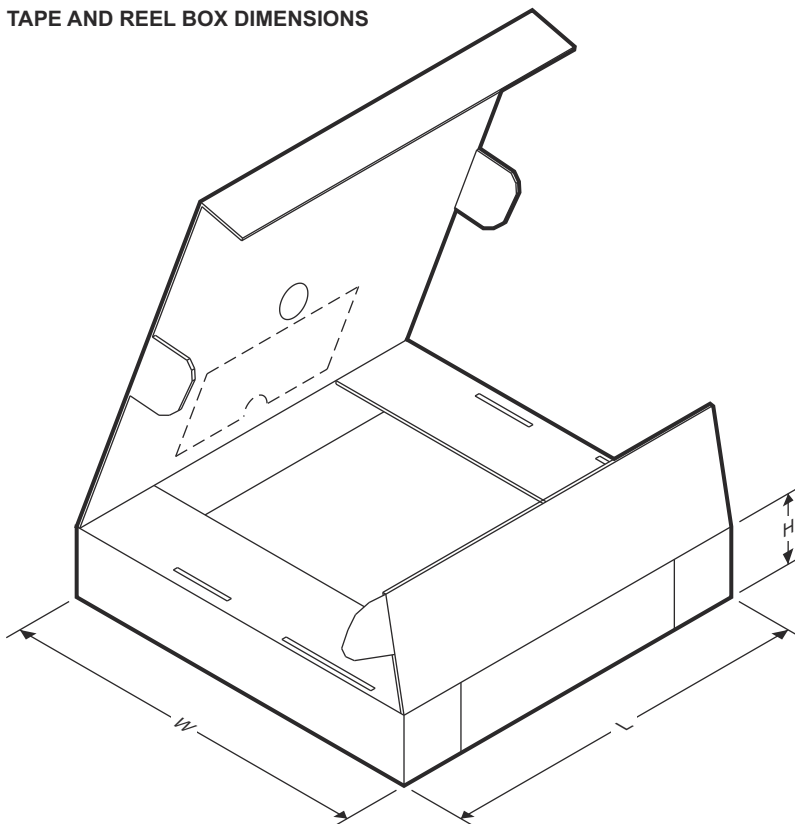


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
DRV8002QWRGZRQ1	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12	16	Q2

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
DRV8002QWRGZRQ1	VQFN	RGZ	48	2500	367	367	35

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8002QWRGZRQ1	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8002

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

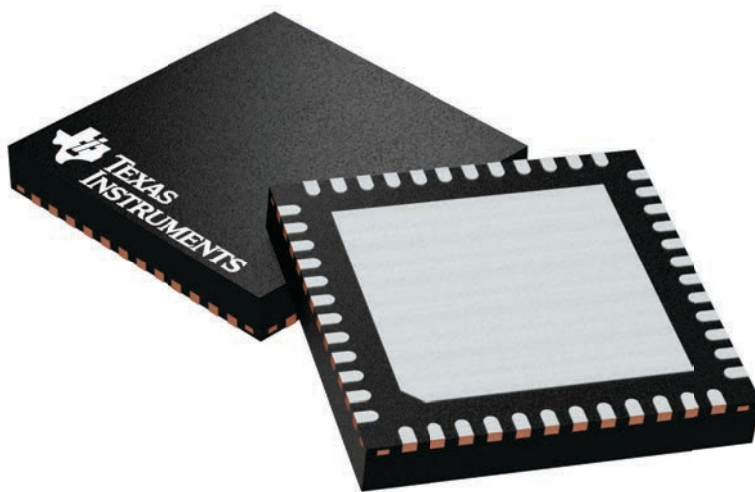
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

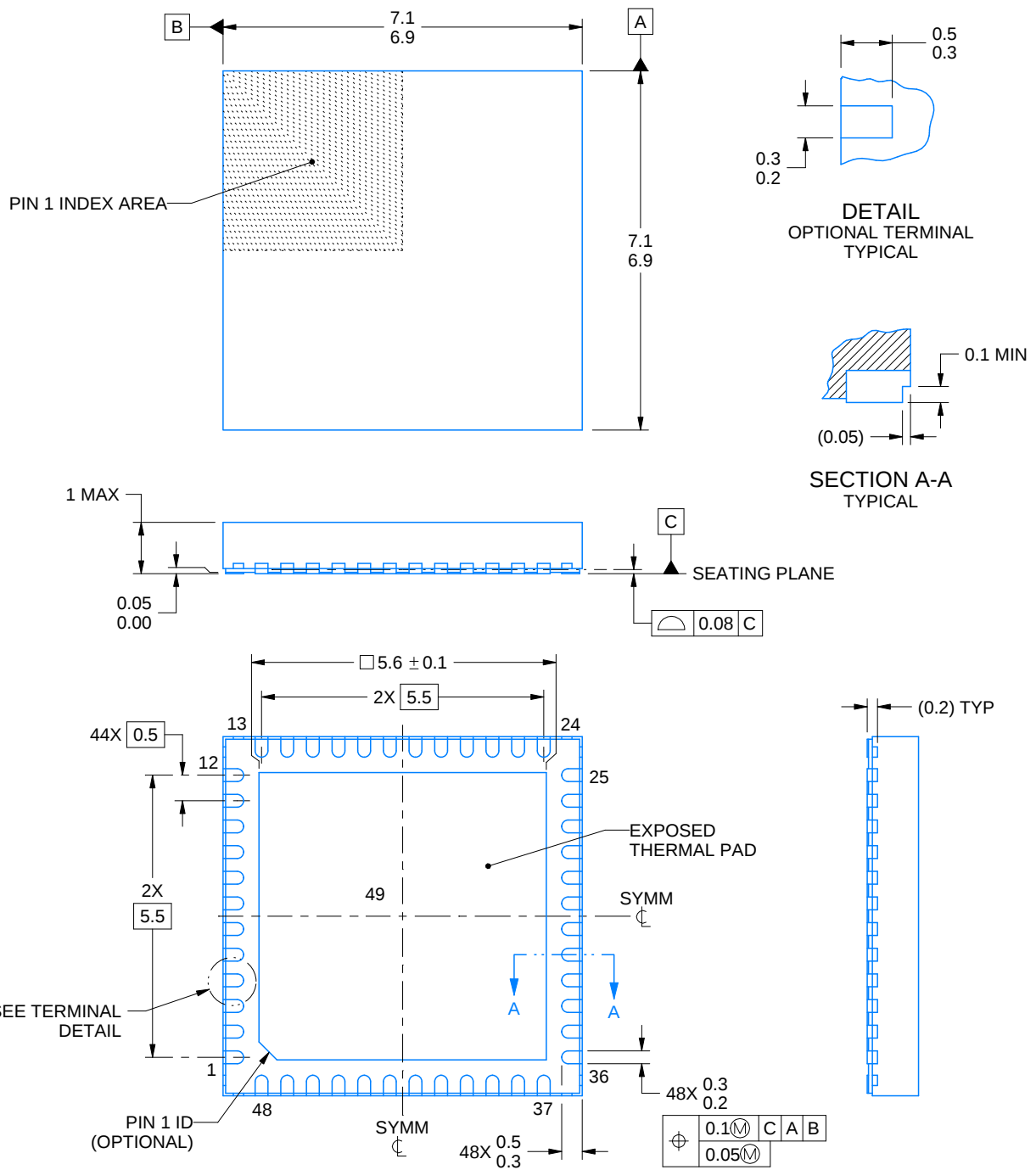
7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A



4223578/A 03/2017

NOTES:

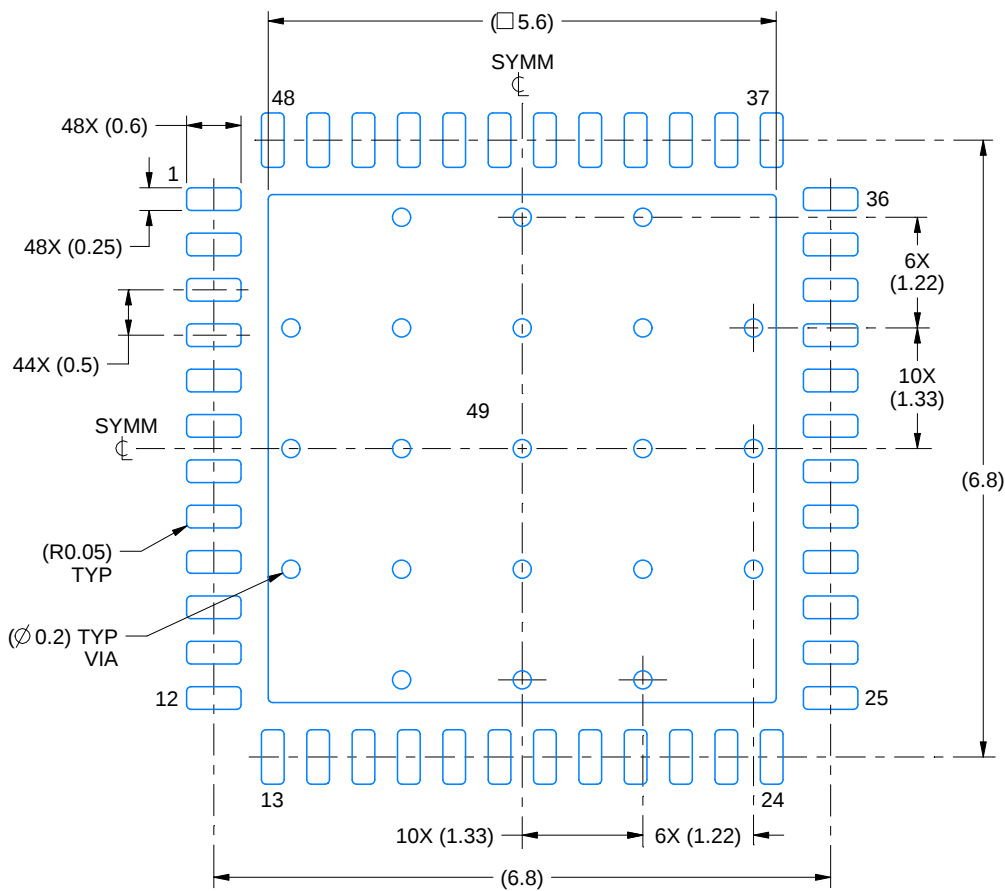
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

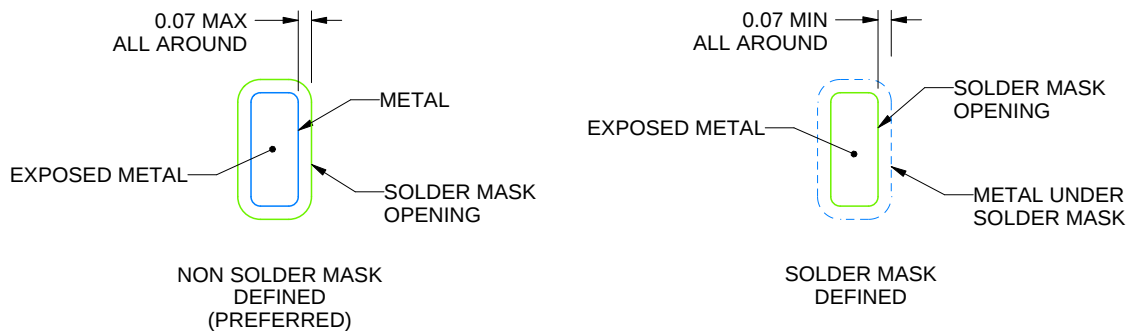
RGZ0048M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4223578/A 03/2017

NOTES: (continued)

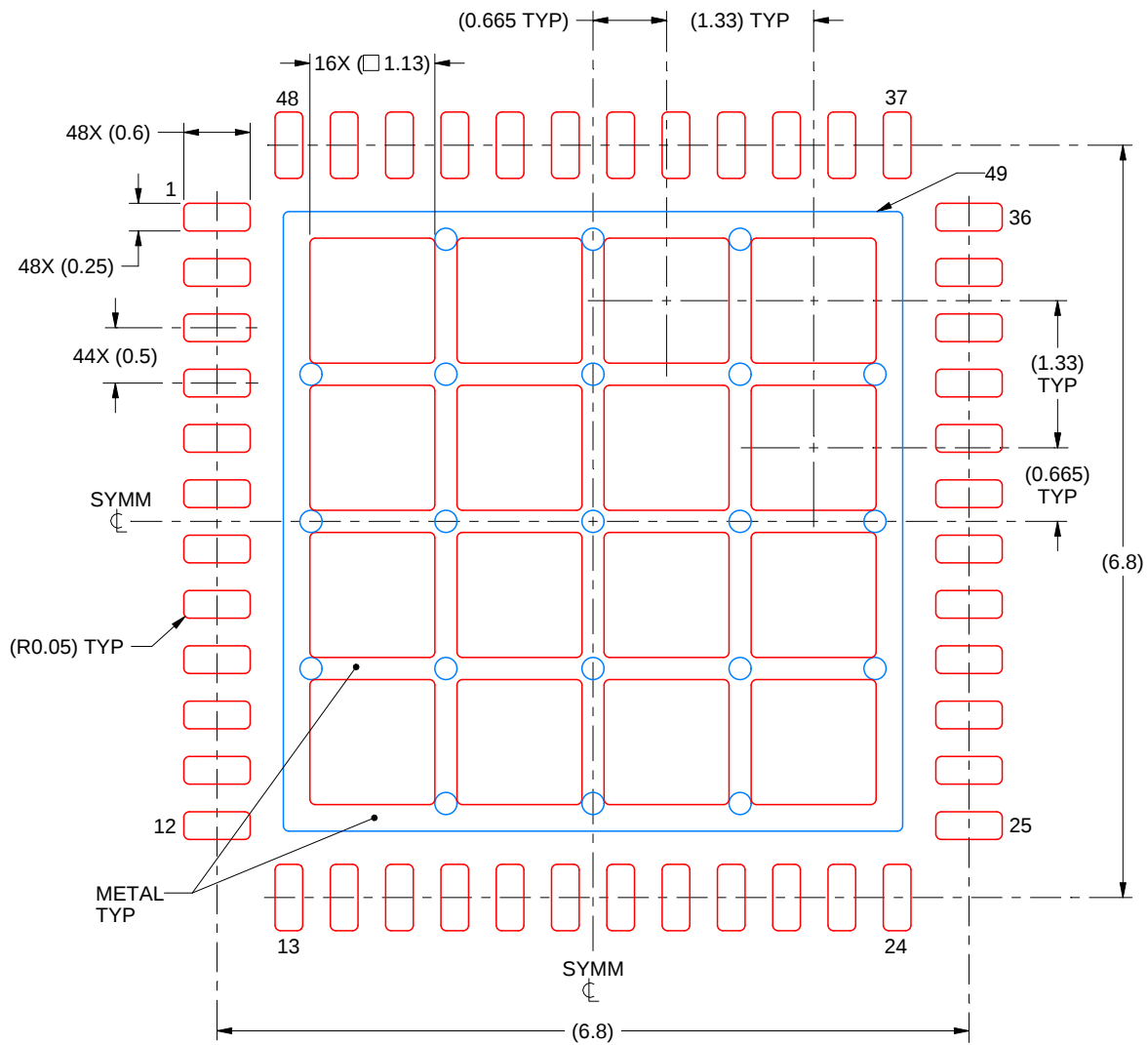
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048M

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:15X

4223578/A 03/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月