

DRV8213 具有集成电流检测、电流调节和失速检测功能的 4A 有刷直流电机驱动器

1 特性

- N 沟道 H 桥有刷直流电机驱动器
- **1.65V 至 11V** 工作电源电压范围
- **240mΩ** $R_{DS(on)}$ (高侧 + 低侧)
- 高输出电流能力：**4A** 峰值
- PWM 控制接口，开关频率最高 **100kHz**
- 支持 **1.8V、3.3V** 和 **5V** 逻辑输入
- 集成电流检测和调节
- 模拟电流检测输出 (**IPROPI**)
- 增益选择 (**GAINSEL**) 特性可实现：
 - 低至 **10mA** 的高精度电流检测
 - 针对不同电流范围优化 $R_{DS(ON)}$ 和过流限值
- 可配置浪涌时间 (仅 RTE 封装提供)
- **内部** 电荷泵
- 通过低功耗睡眠模式实现长电池寿命
 - 最大睡眠电流 **< 60nA**
- 小型封装引脚尺寸
- 集成型保护特性
 - VM 欠压锁定 (UVLO)
 - 自动重试过流保护 (OCP)
 - 热关断 (TSD)
 - **失速检测** (仅 RTE 封装提供)

2 应用

- 有刷直流电机、螺线管和继电器驱动
- 水表和燃气表
- 电子智能锁
- 电动玩具和机器人玩具
- 输液泵和其他便携式医疗设备
- 电动牙刷
- 美容美发
- 便携式打印机
- 销售点 (POS) 设备
- 其他电池供电的直流电机应用

3 说明

DRV8213 是一款集成电机驱动器，具有 N 沟道 H 桥、电荷泵、电流检测输出、电流调节和保护电路。三倍电荷泵允许器件在低至 **1.65V** 的电压下工作，以适应 **1.8V** 的电源轨和电池电量不足的情况。电荷泵集成了所有电容器并允许 **100%** 占空比运行。

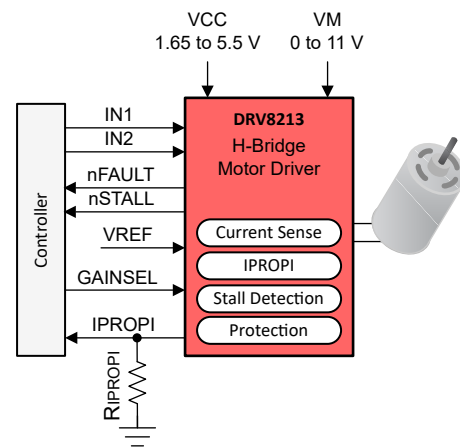
内部电流镜可实现电流检测和调节。这样就无需使用大型电源分流电阻，因而可以节省电路板面积并降低系统成本。借助 **IPROPI** 电流检测输出，微控制器可以检测电机失速或负载条件变化。增益选择 (**GAINSEL**) 特性可实现平均电机电流低至 **10mA** 的高精度电流检测。使用 **VREF** 引脚，器件可以在启动和高负载事件期间调节电机电流，而无需与微控制器进行交互。RTE 封装支持无传感器电机失速检测并向微控制器报告。

低功耗睡眠模式可通过关断大部分内部电路实现超低静态电流消耗。内部保护特性包括欠压、过流和过热保护。

器件信息(1)

器件型号	封装	封装尺寸 (标称值)
DRV8213DSG	WSON (8)	2.00mm × 2.00mm
DRV8213RTE	WQFN (16)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



RTE 封装简化版原理图



内容

1 特性	1	8.4 特性说明.....	14
2 应用	1	8.5 器件功能模式.....	22
3 说明	1	8.6 引脚图.....	23
4 修订历史记录	2	9 应用和实施	24
5 器件比较	3	9.1 应用信息.....	24
6 引脚配置和功能	3	9.2 典型应用.....	24
7 规格	5	10 电源相关建议	36
7.1 绝对最大额定值.....	5	10.1 大容量电容.....	36
7.2 ESD 等级.....	5	11 布局	37
7.3 建议运行条件.....	5	11.1 布局指南.....	37
7.4 热性能信息.....	6	12 器件和文档支持	38
7.5 电气特性.....	6	12.1 文档支持.....	38
7.6 时序图.....	9	12.2 接收文档更新通知.....	38
7.7 典型工作特性.....	9	12.3 社区资源.....	38
8 详细说明	11	12.4 商标.....	38
8.1 概述.....	11	13 机械、封装和可订购信息	38
8.2 功能模块图.....	12	13.1 卷带封装信息.....	45
8.3 外部元件.....	13		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
August 2023	*	初始发行版

5 器件比较

表 5-1. 器件比较表

器件型号	封装	电源 (VM, V)	R _{DS(on)} (mΩ)	电流调节	电流检测输出	失速检测	封装尺寸
DRV8213	RTE	1.65 至 11	240	是	是	是	3mm x 3mm
DRV8213	DSG	1.65 至 11	240	是	是	否	2mm x 2mm
DRV8212/P	DSG	1.65 至 11	280	否	否	否	2mm x 2mm
DRV8210/P	DSG	1.65 至 11	1000	否	否	否	2mm x 2mm
DRV8837	DSG	0 至 11	280	否	否	否	2mm x 2mm
DRV8837C	DSG	0 至 11	1000	否	否	否	2mm x 2mm

6 引脚配置和功能

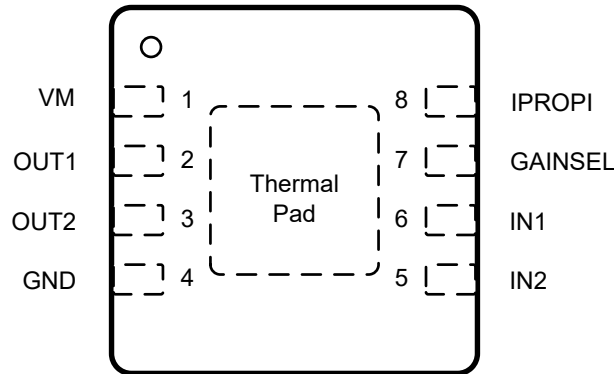


图 6-1. DSG 封装 (WSON) 顶视图

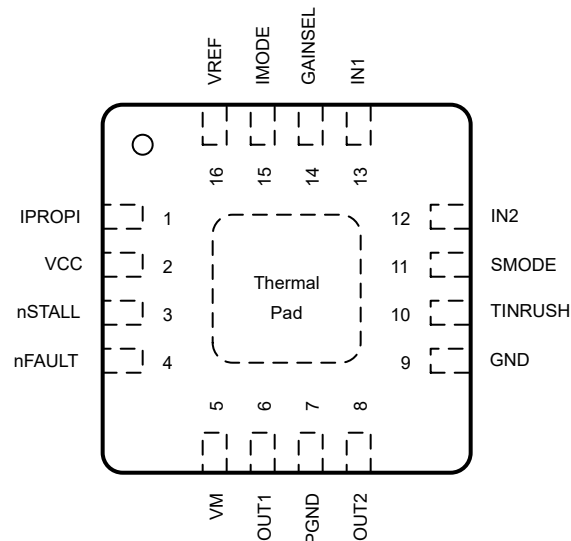


图 6-2. RTE 封装 (WQFN) 顶视图

表 6-1. 引脚功能

引脚			类型	说明
名称	DSG	RTE		
GND	4	9	PWR	器件接地。连接到系统接地端。
IMODE	—	15	I	电流调节模式配置。三电平输入。请参阅表 8-4
IN1	6	13	I	控制 H 桥输出。具有内部下拉电阻。逻辑输入。请参阅表 8-2
IN2	5	12	I	控制 H 桥输出。具有内部下拉电阻。逻辑输入。请参阅表 8-2
IPROPI	8	1	PWR	模拟电流输出与负载电流成正比。请参阅节 8.4.2.1
nFAULT	—	4	OD	故障指示灯输出。在故障状况期间下拉为低电平。连接一个外部上拉电阻器以执行开漏操作。连接到 nSTALL 引脚，减少外部元件的数量。请参阅节 8.4.4
nSTALL	—	3	OD	失速检测启用和失速指示器输出。在失速情况期间拉低。连接一个外部上拉电阻器以执行开漏操作。连接到 nFAULT 引脚，减少外部元件的数量。连接至 GND，禁用失速检测。请参阅节 8.4.3
OUT1	2	6	O	H 桥输出。直接连接到电机或其他电阻负载。
OUT2	3	8	O	H 桥输出。直接连接到电机或其他电阻负载。
PGND	—	7	PWR	器件电源接地。连接到系统接地端。
SMODE	—	11	I	失速检测响应配置。三电平输入。请参阅表 8-6
TINRUSH	—	10	O	设置失速检测的时序，忽略电机浪涌电流。将陶瓷电容器连接到系统接地。请参阅节 8.4.3
VCC	—	2	PWR	逻辑电源。使用额定值为 VCC 的 0.1 μ F 陶瓷电容器将此引脚旁路至 GND 引脚。
VM	1	5	PWR	电机电源。使用 0.1 μ F 陶瓷电容器和额定电压为 VM 的充足大容量电容器将此引脚旁路连接至 GND 引脚。
VREF	—	16	I	用于设置电流调节和失速检测电平的模拟输入。DSG 封装中，VREF 的内部电压固定为 510mV。有关电流调节的信息，请参阅节 8.4.2.2。有关失速检测的信息，请参阅节 8.4.3。
GAINSEL	7	14	I	根据输出电流范围配置 IPROPI 增益系数。三电平输入。
PAD	—	—	—	散热焊盘。连接到板接地。为了更好地散热，在多层接地平面上使用，并在附近利用多个缝合过孔连接平面。

7 规格

7.1 绝对最大额定值

在工作温度范围内（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源引脚电压	VM	-0.5	12	V
逻辑电源引脚电压	VCC	-0.5	5.75	V
电源瞬态电压斜坡	VM、VCC	0	2	V/μs
接地引脚之间的电压差	GND、PGND	-0.6	0.6	V
逻辑引脚电压	IN1、IN2、GAINSEL、nSLEEP、IMODE、SMODE	-0.3	5.75	V
开漏输出引脚电压	nFAULT、nSTALL	-0.3	5.75	V
计时电容器电流输出引脚电压	TINRUSH	-0.3	V _{VCC}	V
比例电流输出引脚电压，VM ≥ 5.45V	IPROPI	-0.3	5.75	V
比例电流输出引脚电压，VM < 5.45V		-0.3	V _{VM} + 0.3	V
基准输入引脚电压	VREF	0.3	5.75	V
输出引脚电压	OUTx	-V _{SD}	V _{VM} +V _{SD}	V
输出电流	OUTx	受内部限制	受内部限制	A
环境温度，T _A		-40	125	°C
结温，T _J		-40	150	°C
贮存温度，T _{stg}		-65	150	°C

(1) 超出绝对最大额定值下列出的压力可能会对器件造成损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	
		±2000	
		±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。列为 ±2000V 的引脚实际上可能具有更高的性能。

(2) JEDEC 文档 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。列为 ±500V 的引脚实际上可能具有更高的性能。

7.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V _{VM}	电源电压、DSG	VM	1.65		11	V
V _{VM}	电源电压、RTE	VM	0		11	V
V _{VCC}	电源电压、RTE	VCC	1.65		5.5	V
V _{IN}	逻辑输入电压	IN1、IN2、nSLEEP、IMODE、SMODE、GAINSEL	0		5.5	V
f _{PWM}	PWM 频率	IN1、IN2	0		100	kHz
V _{OD}	开漏上拉电压	nFAULT、nSTALL	0		5.5	V
I _{OD}	开漏输出电流	nFAULT、nSTALL	0		5	mA
I _{OUT} ⁽¹⁾	峰值输出电流	OUTx	0		4	A
I _{IPROPI}	电流检测输出电流	IPROPI	0		1	mA
V _{VREF}	电流限制基准电压	VREF	0		最小值 (3.3, V _{VM} - 1.25)	V

在工作温度范围内（除非另有说明）

		最小值	标称值	最大值	单位
T _A	工作环境温度	-40		125	°C
T _J	工作结温	-40		150	°C

(1) 必须遵循功率损耗和热限值

7.4 热性能信息

热指标 ⁽¹⁾		器件	器件	单位
		DSG (WSON)	RTE (WQFN)	
		8 引脚	16 引脚	
R _{θJA}	结至环境热阻	65.9	50.7	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	75.2	52.0	°C/W
R _{θJB}	结至电路板热阻	28.7	25.5	°C/W
Ψ _{JT}	结至顶部特征参数	2.0	1.8	°C/W
Ψ _{JB}	结至电路板特征参数	28.7	25.4	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	12.0	11.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

7.5 电气特性

DSG : $1.65V \leq V_{VM} \leq 11V$, RTE : $0V \leq V_{VM} \leq 11V$ 且 $1.65V \leq V_{VCC} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。

典型值在 $T_J = 27^{\circ}C$ 、 $V_{VM} = 5V$ 、 $V_{VCC} = 3.3V$ 下测得。

参数		测试条件	最小值	典型值	最大值	单位
电源, DSG (VM)						
I _{VMQ}	VM 睡眠模式电流	IN1 = IN2 = 0V, 等待 t _{AUTOSLEEP} 后, V _{VM} = 5V, T _J = 27°C		20	60	nA
I _{VM}	VM 活动模式电流	IN1 = 3.3V, IN2 = 0V		1.2	1.9	mA
t _{WAKE}	开通时间	睡眠模式到工作模式延迟			250	μs
t _{AUTOSLEEP}	自动睡眠关闭时间	工作模式到自动睡眠模式延迟	0.7	1	1.3	ms
f _{VCP}	电荷泵开关频率			6000		kHz
电源, RTE (VM, VCC)						
I _{VMQ}	VM 睡眠模式电流	IN1 = IN2 = 0V, 等待 t _{AUTOSLEEP} 后, V _{VM} = 5V, V _{VCC} = 3.3V, T _J = 27°C		10	20	nA
I _{VM}	VM 活动模式电流	IN1 = 3.3V, IN2 = 0V, V _{VM} = 5V, V _{VCC} = 3.3V		0.83	1	mA
I _{VCCQ}	VCC 睡眠模式电流	IN1 = IN2 = 0V, 等待 t _{AUTOSLEEP} 后, V _{VM} = 5V, V _{VCC} = 3.3V, T _J = 27°C		6	12	nA
I _{VCC}	VCC 运行模式电流	IN1 = 3.3V, IN2 = 0V, V _{VM} = 5V, V _{VCC} = 3.3V		0.46	0.6	mA
t _{WAKE}	开通时间	睡眠模式到工作模式延迟			250	μs
t _{AUTOSLEEP}	自动睡眠关闭时间	工作模式到自动睡眠模式延迟	0.75	0.9	1.05	ms
逻辑电平输入 (IN1, IN2)						
V _{IL}	输入逻辑低电平电压		0		0.4	V
V _{IH}	输入逻辑高电平电压		1.45		5.5	V
V _{HYS}	输入滞后		40			mV
I _{IL}	输入逻辑低电平电流	V _I = 0V	-1		1	μA

DSG : $1.65V \leq V_{VM} \leq 11V$, RTE : $0V \leq V_{VM} \leq 11V$ 且 $1.65V \leq V_{VCC} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。

典型值在 $T_J = 27^{\circ}C$ 、 $V_{VM} = 5V$ 、 $V_{VCC} = 3.3V$ 下测得。

参数		测试条件	最小值	典型值	最大值	单位
I _{IH}	输入逻辑高电流	V _{INx} = 5V	15		35	μA
		V _{nSTALL} = VCC			40	nA
R _{PD}	输入下拉电阻, INx			200		kΩ
t _{DEGLITCH}	输入逻辑抗尖峰, INx			50		ns
三电平输入 (IMODE、SMODE)						
V _{THYS}	三电平输入逻辑低电压		0		0.4	V
I _{TIL}	三电平输入高阻抗电压		0.75		1.05	V
I _{TIZ}	三电平输入逻辑高电压		1.45		5.5	V
R _{TPD}	三电平下拉电阻	至 GND		83		kΩ
I _{TPU}	三电平上拉电流	接至 VCC		10.5		μA
开漏输出 (nFAULT、nSTALL)						
V _{OL}	输出逻辑低电压	I _{OD} = 5mA			0.4	V
I _{OZ}	输出逻辑高电流	V _{OD} = VCC	-1		1	μA
驱动器输出 (OUTx)						
R _{DS(ON)_HS}	高侧 MOSFET 导通电阻	I _{OUTx} = 1A		120	280	mΩ
R _{DS(ON)_LS}	低侧 MOSFET 导通电阻、350mA 至 2A	GAINSEL = 低电平		120	260	mΩ
R _{DS(ON)_LS}	低侧 MOSFET 导通电阻、60mA 至 350mA	GAINSEL = 高阻态		460	900	mΩ
R _{DS(ON)_LS}	低侧 MOSFET 导通电阻、10mA 至 60mA	GAINSEL = 高电平		2100	4000	mΩ
V _{SD}	体二极管正向电压	I _{OUTx} = -1A		0.9		V
t _{RISE}	输出上升时间	V _{OUTx} 从 V _{VM} 的 10% 上升至 90%		70		ns
t _{FALL}	输出下降时间	V _{OUTx} 从 V _{VM} 的 90% 下降至 10%		40		ns
t _{PDR}	输入高电平至输出高电平传播延迟	输入至 OUTx		450		ns
t _{PDF}	输入低电平至输出低电平传播延迟	输入至 OUTx		450		ns
t _{DEAD}	输出死区时间			500		ns
电流检测和调节 (IPROPI、VREF)						
V _{REF_INT}	内部基准电压	对于 RTE 封装和 DSG 封装, SMODE = 开路	470	510	550	mV
A _{IPROPI_H}	电流比例因子	GAINSEL = 低电平		205		μA/A
A _{IPROPI_M}	电流比例因子	GAINSEL = 高阻态		1050		μA/A
A _{IPROPI_L}	电流比例因子	GAINSEL = 高电平		4900		μA/A
A _{ERR_H}	电流镜总误差、350mA 至 2A	GAINSEL = 低电平, V _{IPROPI} ≤ min(V _M -1.25V, 3.3V), 3.3V ≤ V _{VM} ≤ 11V	-6		6	%
A _{ERR_H}	电流镜总误差、350mA 至 2A	GAINSEL = 低电平, V _{IPROPI} ≤ min(V _M -1.25V, 3.3V), 1.65V ≤ V _{VM} ≤ 3.3V	-6		6	%
A _{ERR_M}	电流镜总误差、60mA 至 350mA	GAINSEL = 高阻态, V _{IPROPI} ≤ min(V _M -1.25V, 3.3V), 3.3V ≤ V _{VM} ≤ 11V	-6		6	%
		GAINSEL = 高阻态, V _{IPROPI} ≤ min(V _M -1.25V, 3.3V), 1.65V ≤ V _{VM} ≤ 3.3V	-6		6	%

DSG : $1.65V \leq V_{VM} \leq 11V$, RTE : $0V \leq V_{VM} \leq 11V$ 且 $1.65V \leq V_{VCC} \leq 5.5V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。

典型值在 $T_J = 27^{\circ}C$ 、 $V_{VM} = 5V$ 、 $V_{VCC} = 3.3V$ 下测得。

参数		测试条件	最小值	典型值	最大值	单位
A _{ERR_L}	电流镜总误差、10mA 至 60mA	GAINSEL = 高电平, $V_{IPROPI} \leq \min(V_{M}-1.25V, 3.3V)$, $3.3V \leq V_{VM} \leq 11V$	-6		6	%
		GAINSEL = 高电平, $V_{IPROPI} \leq \min(V_{M}-1.25V, 3.3V)$, $1.65V \leq V_{VM} \leq 3.3V$	-6		6	%
t _{OFF}	电流调节关断时间			20		μs
t _{BLANK}	电流调节消隐时间			1.8		μs
t _{DELAY}	电流检测延迟时间			1.5		μs
t _{DEG}	电流调节和失速检测抗尖峰脉冲时间			2		μs
硬件失速检测 (TINRUSH)						
V _{TINRUSH_trip}	用于设置 t _{TINRUSH} 时序的阈值电压		0.97	1	1.03	V
I _{TINRUSH}	从 TINRUSH 引脚流出的电流	输入转换至 IN1=IN2=0、 $V_{TINRUSH} < V_{TINRUSH_trip}$ 之外的状态	8	10	12	μA
t _{discharge}	TINRUSH 电容器放电时间	$0.8nF \leq C_{TINRUSH} \leq 0.8\mu F$			100	μs
t _{STALL_RETRY}	IN1/IN2 = 0/0 时从失速情况恢复的持续时间 (重试类型)		350		900	μs
保护电路						
V _{UVLO_VM}	VM 电源欠压锁定 (UVLO)、DSG	电源上升			1.65	V
		电源下降	1.30			V
V _{UVLO_VCC}	VCC 电源欠压锁定 (UVLO)、RTE	电源上升			1.65	V
		电源下降	1.30			V
V _{UVLO_HYS}	电源 UVLO 迟滞	上升至下降阈值		150		mV
t _{UVLO}	电源欠压抗尖峰脉冲时间	V _{VM} 下降 (DSG) 或 V _{VCC} 下降 (RTE) 至 OUTx 禁用		10		μs
I _{OC1}	过流保护跳闸点、350mA 至 2A		4			A
I _{OC2}	过流保护跳闸点、60mA 至 350mA		0.8			A
I _{OC3}	过流保护跳闸点、10mA 至 60mA		0.16			A
t _{OC1}	过流保护抗尖峰脉冲时间			4.2		μs
t _{RETRY}	故障重试时间			1.5		ms
T _{TSD}	热关断温度		165	175	185	°C
T _{HYS}	热关断迟滞			17		°C

7.6 时序图

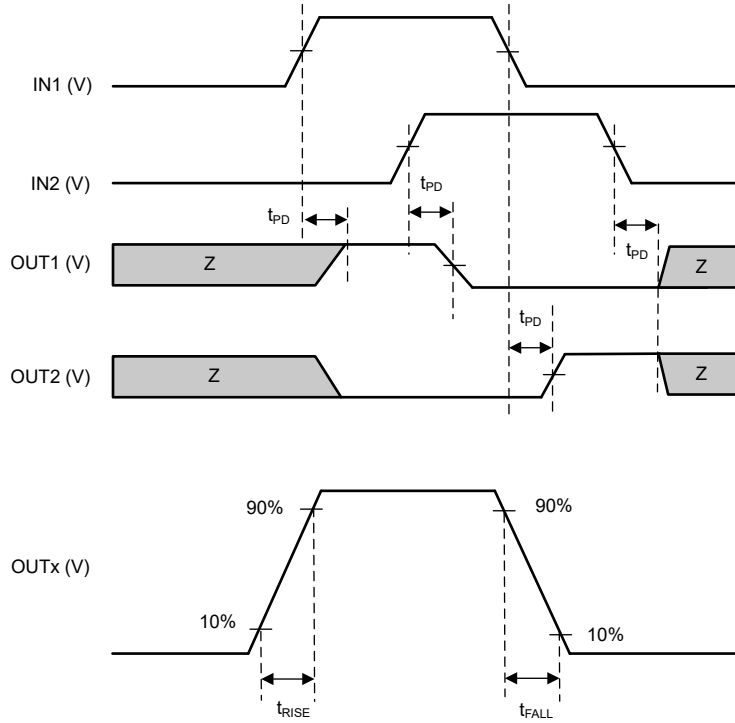


图 7-1. 输入到输出时序

7.7 典型工作特性

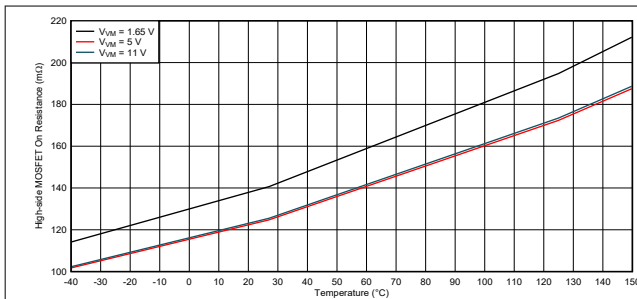


图 7-2. 高侧 MOSFET 导通电阻 (DSG 封装)

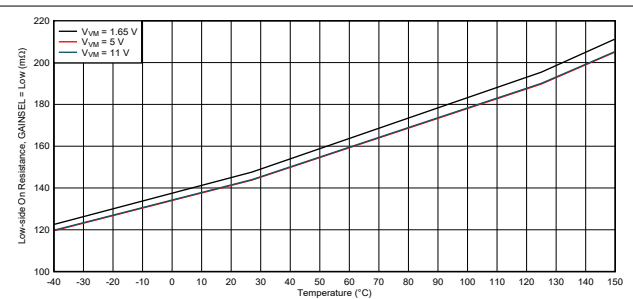


图 7-3. GAINSEL = 低时的低侧 MOSFET 导通电阻 (DSG 封装)

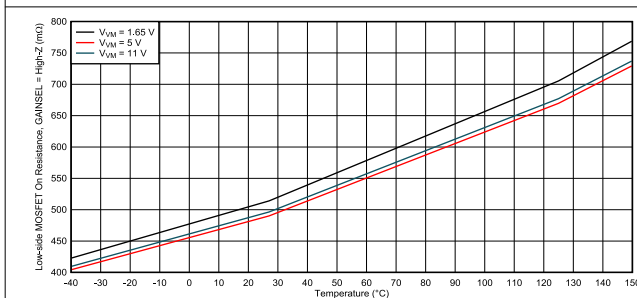


图 7-4. GAINSEL = 高阻态时的低侧 MOSFET 导通电阻 (DSG 封装)

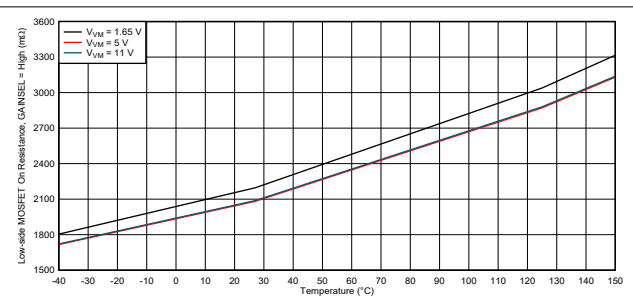


图 7-5. GAINSEL = 高时的低侧 MOSFET 导通电阻 (DSG 封装)

7.7 典型工作特性 (continued)

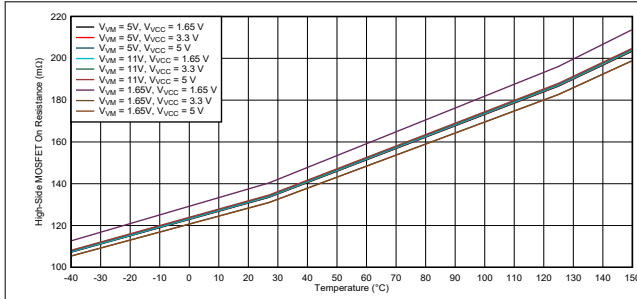


图 7-6. 高侧 MOSFET 导通电阻 (RTE 封装)

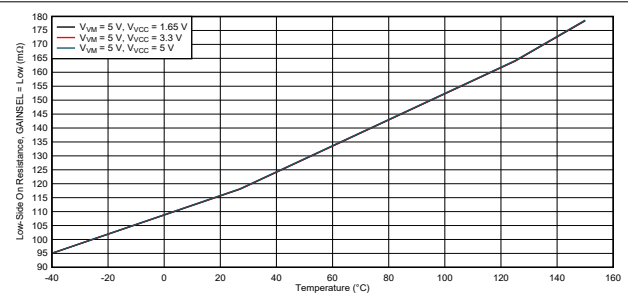


图 7-7. GAINSEL = 低时的低侧 MOSFET 导通电阻 (RTE 封装)

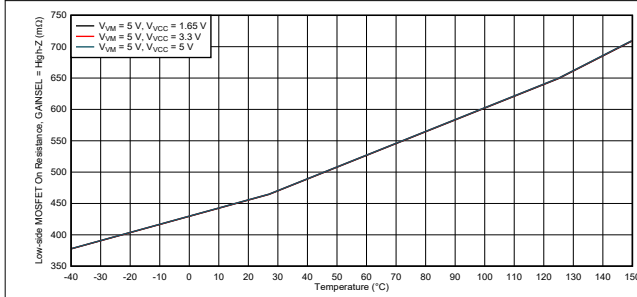


图 7-8. GAINSEL = 高阻态时的低侧 MOSFET 导通电阻 (RTE 封装)

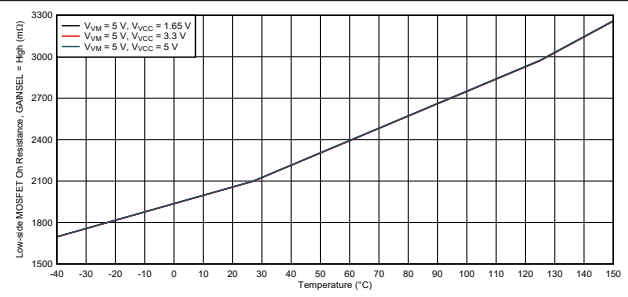


图 7-9. GAINSEL = 高时的低侧 MOSFET 导通电阻 (RTE 封装)

8 详细说明

8.1 概述

DRV8213 是一款具有集成电流检测、电流调节和电流检测输出功能的全桥驱动器。为了减少印刷电路板的面积和外部元件，该器件集成了电荷泵稳压器及电容器。在 WQFN (RTE) 封装中，使用独立的全桥 (VM) 电源和逻辑 (VCC) 电源；只要 VCC 电源稳定，全桥电源电压可降至 0V，而不会对 $R_{DS(ON)}$ 产生显著影响，并且不会触发 UVLO。在 WSON (DSG) 封装中，单个电源输入 (VM) 可用作器件电源和全桥电源，因此缩小了设计尺寸。自动睡眠模式通过消除禁用/睡眠引脚，并在 PWM 输入处于低电平持续 $t_{AUTOSLEEP}$ 时，自动将器件置于低功耗睡眠模式，可减少微控制器 GPIO 的连接。

DRV8213 使用标准 2 引脚 (IN1/IN2) PWM 接口。IN1/IN2 引脚控制全桥。全桥由四个 N 沟道 MOSFET 组成，它们的典型 $R_{DS(ON)}$ 为 $240m\Omega$ (包括一个高侧 FET 和一个低侧 FET)。电机转速可通过脉宽调制 (PWM) 进行控制，频率范围为 0 至 100kHz。

集成的电流调节特性根据 VREF 和 IPROPI 设置将电机电流限制为预定义的最大值。IPROPI 信号可以在 H 桥的驱动和制动/慢速衰减状态期间向微控制器提供电流反馈。

增益选择 (GAINSEL) 特性可实现平均电机电流低至 10mA 的高精度电流检测。低侧 MOSFET 的 $R_{DS(ON)}$ 和过流保护限值根据 GAINSEL 设置变化，从而针对不同的应用和电机电流值进行优化。

在 WQFN (RTE) 封装中，DRV8213 具有额外的引脚，可根据 IPROPI 电流检测信号配置硬件失速检测特性。

集成保护功能可在出现系统故障时保护该器件。这些保护功能包括欠压锁定 (UVLO)、过流保护 (OCP) 和过热关断 (TSD)。

8.2 功能模块图

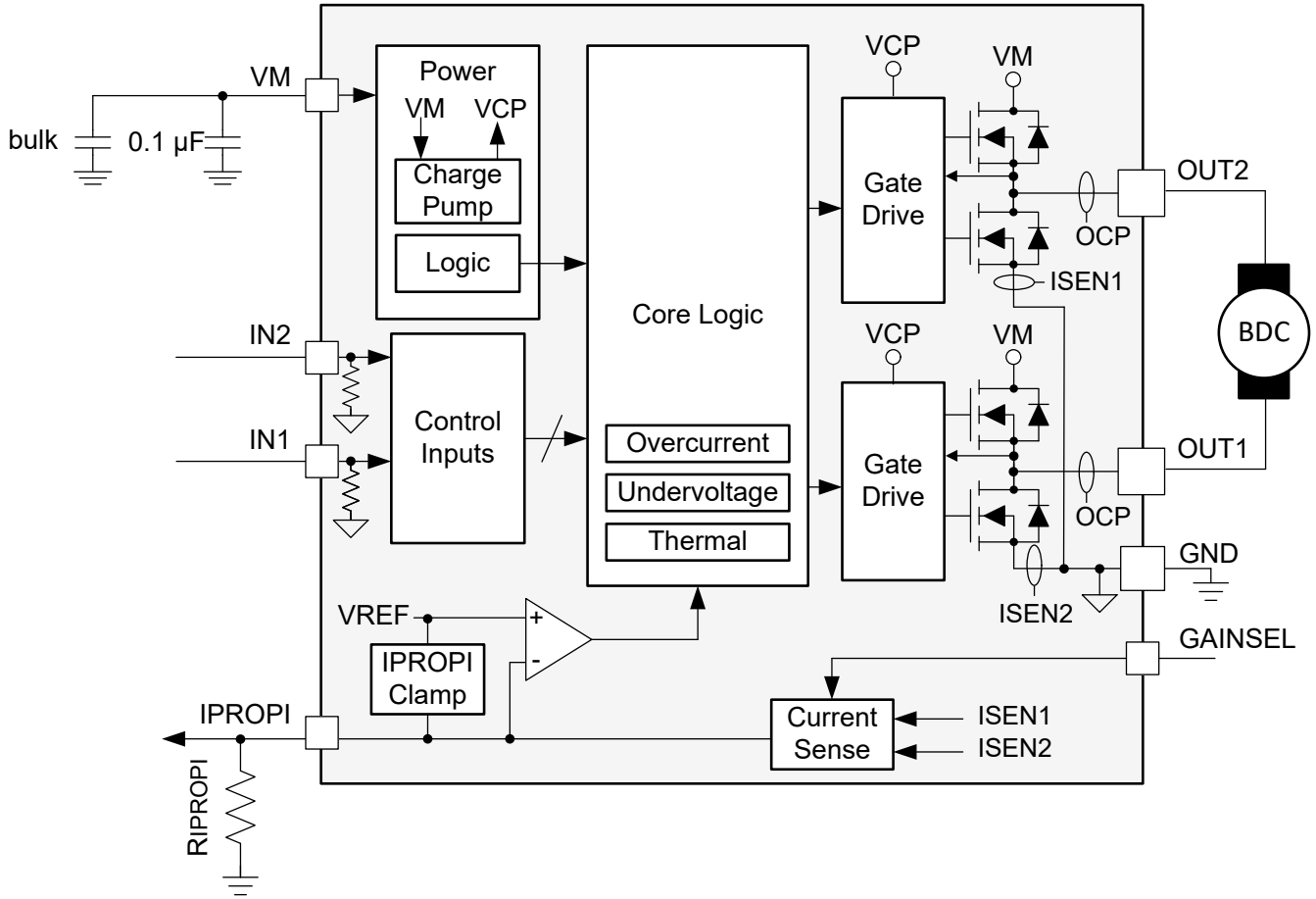


图 8-1. DRV8213 采用 WSON (DSG) 封装，具有单电源引脚

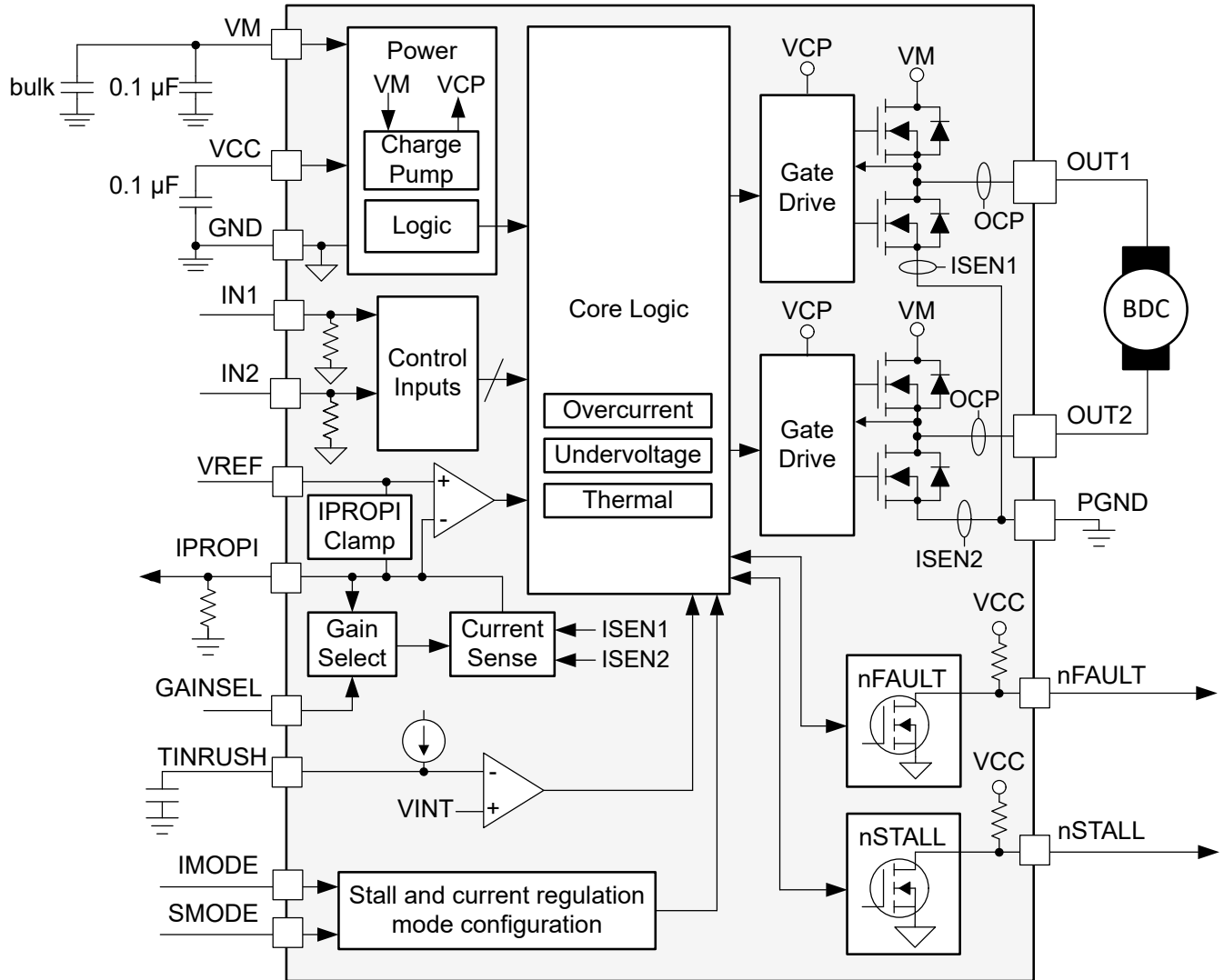


图 8-2. DRV8213 采用 WQFN (RTE) 封装，具有失速检测功能和双电源引脚

8.3 外部元件

表 8-1 列出了建议用于此器件的外部元件。

表 8-1. 推荐的外部元件

元件	引脚 1	引脚 2	推荐
C _{VM1}	VM	GND	0.1μF、低 ESR 陶瓷电容器，额定电压为 VM
C _{VM2}	VM	GND	节 10.1，额定电压为 VM
C _{VCC}	VCC	GND	0.1μF、低 ESR 陶瓷电容器，额定电压为 VM
R _{IPROPI}	IPROPI	GND	电阻从 IPROPI 引脚连接至 GND，用于设置电流调节电平
C _{TINRUSH}	TINRUSH	GND	设置浪涌电流消隐时间
R _{nFAULT}	VCC	nFAULT	10kΩ
R _{nSTALL}	VCC	nSTALL	10kΩ

8.4 特性说明

8.4.1 电桥控制

DRV8213 输出包含四个用于驱动高电流的 N 沟道 MOSFET，通过表 8-2 所列两个 PWM 输入 IN1 和 IN2 进行控制。

表 8-2. H 桥控制

IN1	IN2	OUT1	OUT2	说明
0	0	高阻态	高阻态	滑行；H 桥禁用至高阻态（经过 $t_{\text{AUTOSLEEP}}$ 之后进入睡眠模式）
0	1	L	H	反向（电流 $\text{OUT2} \rightarrow \text{OUT1}$ ）
1	0	H	L	正向（电流 $\text{OUT1} \rightarrow \text{OUT2}$ ）
1	1	L	L	制动；低侧慢速衰减

输入可设置为静态电压以实现 100% 占空比驱动，也可设置为脉宽调制 (PWM) 以实现可变电机转速。使用 PWM 时，驱动和制动之间通常能很好地切换。例如，要以最大 RPM 的 50% 正向驱动电机，在驱动周期内，IN1 = 1 且 IN2 = 0；而在其他时间内，IN1 = 1 且 IN2 = 1。此外，还提供能实现快速电流衰减的滑行模式 (IN1 = 0, IN2 = 0)。图 8-3 显示了电机电流流过 H 桥的示意图。可以在应用 VM 或 VCC 之前为输入引脚供电。

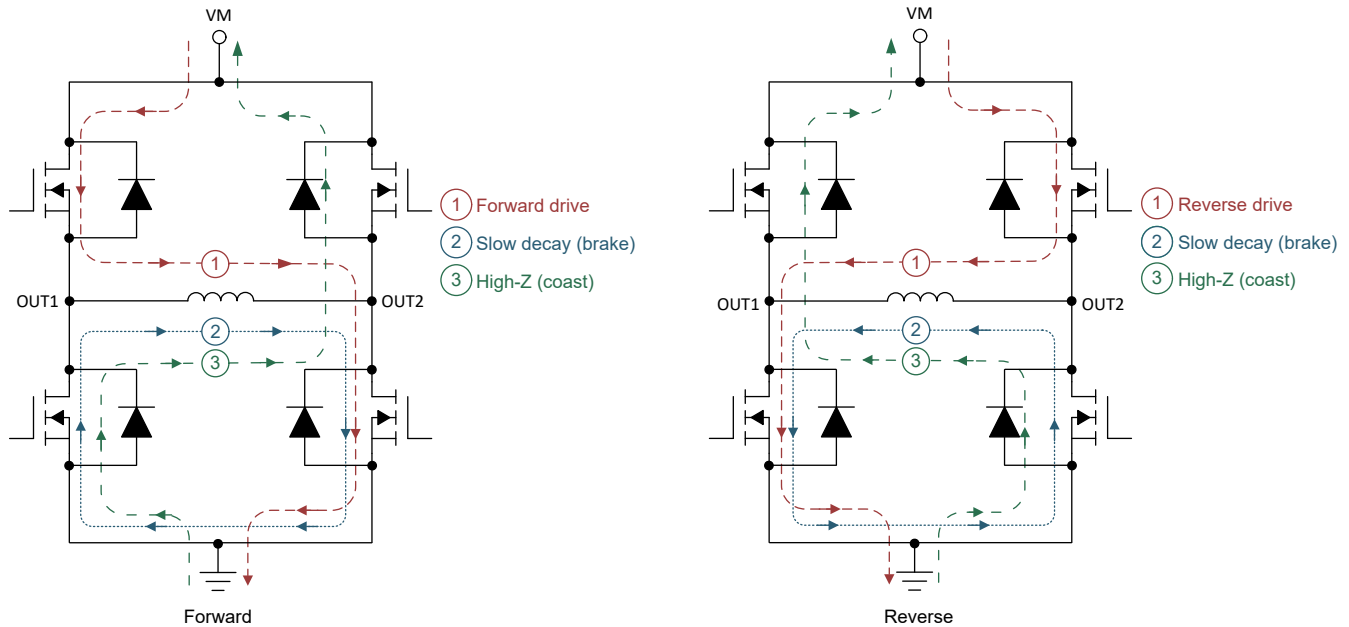


图 8-3. H 桥电流路径

当输出从驱动高电平变为驱动低电平，或从驱动低电平变为驱动高电平时，会自动插入死区时间以防止击穿。 t_{DEAD} 时间是输出为高阻时的中间时间。如果在 t_{DEAD} 期间测量输出引脚，则电压取决于电流方向。如果电流离开管脚，则电压为低于地电平的二极管压降。如果电流进入引脚，则电压为高于 VM 的二极管压降。该二极管是高侧或低侧 FET 的体二极管。

传播延迟时间 (t_{PD}) 是输入边沿与输出变化之间的时间。该时间考虑了输入抗尖峰脉冲时间和其他内部逻辑传播延迟。输入抗尖峰脉冲时间可防止输入引脚上的噪声影响输出状态。附加的输出压摆延迟时序考虑了 FET 导通或关断时间 (t_{RISE} 和 t_{FALL})。

8.4.2 电流检测和调节 (IPROPI)

DRV8213 器件集成了电流检测、调节和电流检测反馈功能。使用内部电流镜架构，器件能够在不使用外部检测电阻或检测电路的情况下检测输出电流，因此减小了系统尺寸、成本和复杂性。借助电流调节功能，器件能够在发生电机失速或高扭矩事件的情况下限制输出电流，并通过 IPROPI 输出为控制器提供关于负载电流的详细反馈。图 8-4 显示了电气特性表中指定的 IPROPI 时序。

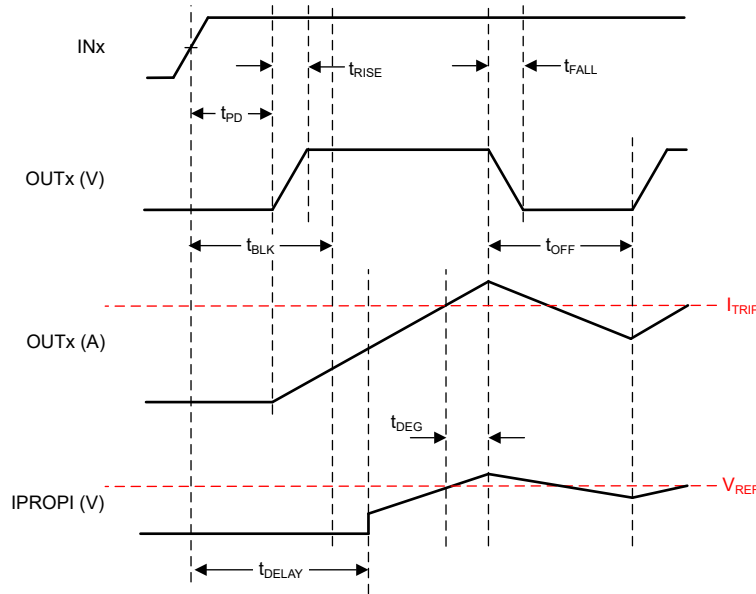


图 8-4. 详细 IPROPI 时序图

8.4.2.1 电流检测和电流镜增益选择

IPROPI 引脚会根据流经 H 桥中的低侧功率 MOSFET 并经过 (A_{IPROPI}) 电流镜增益调节的电流，输出与之成比例的模拟电流。可以使用方程式 1 计算出 IPROPI 输出电流。只有当电流在低侧 MOSFET 中从漏极流向源极时，方程式 1 中的 I_{LSx} 才有效。如果电流从源极流向漏极或流经体二极管，则该通道的 I_{LSx} 值为零。例如，如果电桥处于制动/慢速衰减状态，则 IPROPI 外的电流仅与其中一个低侧 MOSFET 中的电流成正比。

$$I_{PROPI} (\mu A) = (I_{LS1} + I_{LS2}) (A) \times A_{IPROPI} (\mu A/A) \quad (1)$$

“电气特性”表中的 A_{ERR} 参数是与 A_{IPROPI} 增益相关的误差。 A_{ERR} 表示 I_{OUT} 电流中增加的偏移量误差和增益误差带来的综合影响。

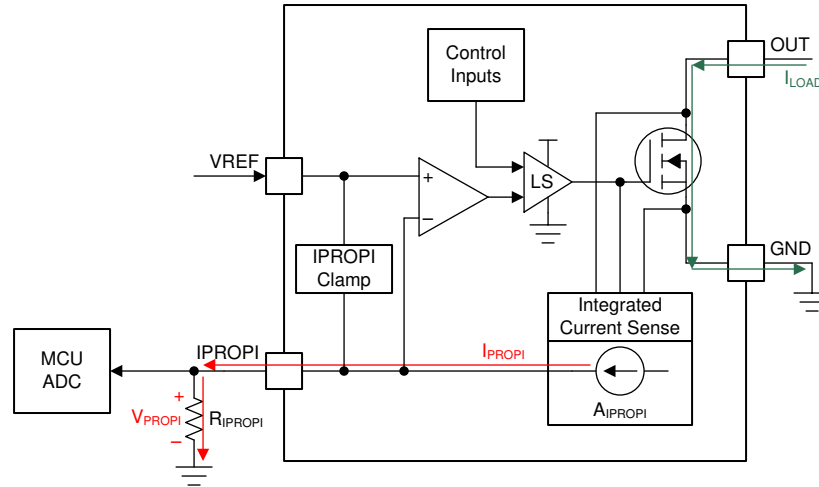
根据应用的不同，需要低至 10mA 电流的高精度电流检测输出。 $GAINSEL$ 特性可降低 OCP 限值并在电机电流较低时增加电流镜增益，从而优化不同终端应用的设计。电流镜增益 A_{IPROPI} 取决于 $GAINSEL$ 引脚设置，如表 8-3 所示。

表 8-3. $GAINSEL$ 设置

$GAINSEL$	A_{IPROPI}	建议电流范围	低侧 FET $R_{DS(ON)}$	OCP 最低限值
低电平	205 $\mu A/A$	350mA 至 2A	120m Ω	4A
高阻态	1050 $\mu A/A$	60mA 至 350mA	460m Ω	800mA
高电平	4900 $\mu A/A$	10mA 至 60mA	2100m Ω	160mA

电机电流由低侧 FET 上的内部电流镜架构测得，而无需使用外部功率检测电阻，如图 8-5 所示。电流镜架构能够检测驱动和制动低侧慢速衰减期间的电机绕组电流，从而在典型双向有刷直流电机应用中持续监测电流。在滑行

模式下，由于电流是从源极流向漏极的续流电流，因此无法被检测到。但是，可以在驱动或慢速衰减模式下短暂重新启用驱动器，并在再次切换回滑行模式之前测量此电流，从而对电流进行采样。



Copyright © 2017, Texas Instruments Incorporated

图 8-5. 集成电流检测

将 IPROPI 引脚连接到外部电阻器 (R_{IPROPI}) 进行接地，从而利用 I_{IPROPI} 模拟电流输出在 IPROPI 引脚上产生一个成比例的电压 (V_{IPROPI})。这样即可使用标准模数转换器 (ADC) 将负载电流作为 R_{IPROPI} 电阻器两端的压降进行测量。可以根据应用中的预期负载电流来调节 R_{IPROPI} 电阻器的大小，以利用控制器 ADC 的整个量程。

此外，DRV8213 器件还采用了一个内部 IPROPI 电压钳位电路，可基于 VREF 引脚上的 V_{VREF} 限制 V_{IPROPI} ，并在发生输出过流或意外高电流事件时保护外部 ADC。在 DSG 封装中， V_{VREF} 在内部设置为 510mV。TI 建议在 V_{VM} 与 ADC 要测量的最大 V_{IPROPI} 电压 (V_{IPROPI_MAX}) 之间设计至少 1.25V 的余量。这样可以准确地确定 ADC 测量的 IPROPI 电压范围。例如， V_{VM} 为 4.55V 至 11V 时， V_{IPROPI_MAX} 可以高达 3.3V； V_{VM} 为 3.3V 时， V_{IPROPI} 可准确确定为高达 2.05V。

可以使用方程式 2 计算对应于输出电流的 IPROPI 电压。

$$V_{IPROPI} (V) = I_{IPROPI} (A) \times R_{IPROPI} (\Omega) \quad (2)$$

IPROPI 输出带宽受内部电流检测电路的检测延迟时间 (t_{DELAY}) 限制。此时间是指从低侧 MOSFET 启用命令 (来自 INx 引脚) 到 IPROPI 输出准备就绪这两个时间点之间的延迟。

在 H 桥 PWM 信号中，如果器件在驱动和慢速衰减 (制动) 之间交替切换，则感测电流的低侧 MOSFET 会持续导通，但感测延迟时间对 IPROPI 输出不会产生任何影响。如果 INx 引脚上的命令禁用低侧 MOSFET (根据节 8.4.1 中的逻辑表)，则 IPROPI 输出将通过输入逻辑信号禁用。虽然低侧 MOSFET 在根据器件压摆率 (在“电气特性”表中以 t_{RISE} 时间表示) 禁用时仍可能传导电流，但 IPROPI 并不表示此关断时间内低侧 MOSFET 中的电流。

8.4.2.2 电流调节

DRV8213 器件使用固定关断时间电流斩波方案集成了电流调节功能，如图 8-6 所示。这样，器件能够在发生电机失速、高扭矩或其他高电流负载事件的情况下限制输出电流，而无需外部控制器。

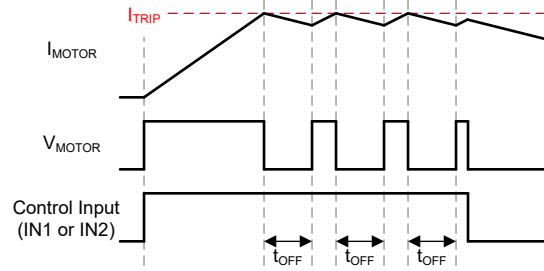


图 8-6. 关断时间电流调节

可通过 V_{REF} 电压 (V_{VREF}) 与 I_{PROPI} 输出电阻器 ($R_{I_{PROPI}}$) 设置电流斩波阈值 (I_{TRIP})。可通过将外部 $R_{I_{PROPI}}$ 电阻器和 V_{VREF} 之间的压降与内部比较器进行比较来执行此操作。

$$I_{TRIP} (A) \times A_{I_{PROPI}} (\mu A/A) = V_{VREF} (V) / R_{I_{PROPI}} (\Omega) \quad (3)$$

例如，如果 $V_{VREF} = 3.3V$ 、 $R_{I_{PROPI}} = 8.06k\Omega$ 且 $A_{I_{PROPI}} = 205 \mu A/A$ ，则 I_{TRIP} 大概为 2A。

V_{VREF} 的电压须至少比 V_{VM} 的电压低 1.25V。 V_{VREF} 的最大建议值为 3.3V。

如前所述，DSG 封装中 V_{VREF} 的内部电压固定为 510mV。RTE 封装中，在 $SMODE$ 保持开路时， V_{VREF} 的内部电压固定为 510mV。

固定关断时间电流斩波方案支持高达 100% 占空比电流调节，因为在 t_{OFF} 期间结束后 H 桥会自动启用，而且不需要 INx 引脚上的新控制输入边沿来复位输出。当电机电流超过 I_{TRIP} 阈值时，输出将进入具有固定关断时间 (t_{OFF}) 的电流斩波模式。在 t_{OFF} 期间，当 I_{OUT} 超过 I_{TRIP} 之后，H 桥会在 t_{OFF} 持续时间内进入制动/低侧慢速衰减状态（两个低侧 MOSFET 都导通）。在 t_{OFF} 之后，如果 I_{OUT} 小于 I_{TRIP} ，将根据控制输入来重新启用输出。如果 I_{OUT} 仍然大于 I_{TRIP} ，H 桥将在 t_{BLANK} 驱动时间后进入另一个制动/低侧慢速衰减期，持续时间为 t_{OFF} 。如果 INx 控制引脚的状态在 t_{OFF} 时间内发生变化，则 t_{OFF} 时间的剩余部分将被忽略，输出将再次跟随输入。

I_{TRIP} 比较器既具有消隐时间 (t_{BLK})，也具有抗尖峰脉冲时间 (t_{DEG})。内部消隐时间有助于在切换输出时防止电压和电流瞬变影响电流调节。这些瞬变可能由电机内部或电机端子连接上的电容器引起。内部抗尖峰脉冲时间可确保瞬变条件不会过早触发电流调节。在瞬态条件超过抗尖峰脉冲时间的某些情况下，在 I_{PROPI} 引脚上靠近器件之处放置一个 10nF 电容器，将有助于过滤 I_{PROPI} 输出上的瞬变，从而不会过早触发电流调节。电容值可根据需要进行调整，但电容值较大可能会减慢电流调节电路的响应时间。

$IMODE$ 引脚决定电机驱动器是否执行电流调节。当 $IMODE$ 为逻辑低电平 ($IMODE = 0$) 时，禁用电流调节。当 $IMODE$ 为悬空 ($IMODE = Z$) 时，如启用了失速检测，器件仅在 t_{INRUSH} 期间执行电流调节。此功能与节 8.4.3 中所述的硬件失速检测功能相关。当 $IMODE$ 为逻辑高电平 ($IMODE = 1$) 时，始终启用电流调节。表 8-4 总结了 $IMODE$ 引脚设置。

表 8-4. $IMODE$ 配置

$IMODE$	nSTALL	说明
低电平	X	不执行电流调节
高阻态	低电平	始终执行电流调节
高阻态	高电平	仅在 t_{INRUSH} 期间执行电流调节
高电平	X	始终执行电流调节

8.4.3 硬件失速检测

DRV8213 在 RTE 封装型号中集成了硬件失速检测功能。失速检测方案的原理基础是，电机电流会在失速条件下增大。DRV8213 比较 I_{PROPI} 引脚上的电压与 V_{REF} 引脚上的电压（或 510mV，如适用），确定是否发生了失速情况。以下段落介绍了如何通过配置器件引脚，实现所需的失速检测响应。有关在 DSG 封装型号中实施失速检测的信息，请参阅节 9.2.1.3.1.2。

检测到失速时，nSTALL 输出被拉低。nSTALL 引脚状态在加电时被锁存。需要在 VCC 上连接一个上拉电阻，在发生失速情况时将其拉至低电平。该引脚可连接到 nFAULT 引脚，因此两个引脚可共用一个上拉电阻。结合 nFAULT 和 nSTALL 信号可减小外部元件所需的电路板面积，减少控制器上用于检测故障和失速情况的输入引脚数量。通过为 nSTALL 和 nFAULT 配备单独的上拉电阻，微控制器可以使用两个输入引脚检测与失速情况无关的器件故障。将 nSTALL 直接连接到 GND 会禁用失速检测。表 8-5 总结了 nSTALL 引脚设置。

表 8-5. nSTALL 配置

nSTALL	说明
0V	禁用失速检测。悬空 TINRUSH。如果 IMODE = 高阻态，当 $V_{IPROPI} \geq V_{VREF}$ 时，将始终进行电流调节。
VCC 连接上拉电阻	启用失速检测。引脚拉至低电平表示失速。

IPROPI 引脚为硬件失速检测功能提供电流检测信号。VREF 引脚设置检测到失速条件的 I_{TRIP} 电流电平。DSG 封装或 RTE 封装中，在 SMODE = 高阻态时， V_{VREF} 的内部电压固定为 510mV。当 $V_{IPROPI} \geq V_{VREF}$ 且 $I_{OUT} \geq I_{TRIP}$ 时，器件将在经过 t_{INRUSH} 后检测失速情况。IPROPI 和 VREF 引脚也负责电流调节，如节 8.4.2 中所述。

TINRUSH 引脚设置失速检测方案在电机启动期间忽略浪涌电流的时间 (t_{INRUSH})。当输入引脚状态从 $IN1 = IN2 =$ 逻辑低电平转换为任何其他逻辑组合时，TINRUSH 引脚会向连接的电容器 (C_{INRUSH}) 提供 $10 \mu A$ 的电流，并从 TINRUSH 引脚接地。一旦 TINRUSH 引脚的电压超过 1V，器件就会在不到 $100 \mu s$ 的时间内使电容器放电。电容器充电时间在内部乘以 65，确定 t_{INRUSH} 时间。 t_{INRUSH} 时间结束后，DRV8213 指示下一次 V_{IPROPI} 大于或等于 V_{VREF} 的失速情况。

以下情况会导致失速检测方案在 t_{INRUSH} 时间内忽略浪涌电流：

- 给 DRV8213 上电
- 从故障中恢复
- 器件退出睡眠模式后
- 从失速情况恢复后，如表 8-6 所述

使用以下公式选择 C_{INRUSH} 电容器：

$$t_{INRUSH} = 6.5 \times 10^6 \times C_{INRUSH}$$

SMODE 引脚设置器件对失速条件的响应。当 V_{IPROPI} 大于或等于 V_{VREF} ，经过 t_{INRUSH} 时间后，器件会确定发生了失速情况。当 SMODE = 逻辑低电平时，输出禁用，nSTALL 引脚锁存为低电平。当 SMODE = 逻辑高电平时，nSTALL 引脚仍锁定为低电平，但输出继续将电流驱动到电机中。当 SMODE = 高阻态时，器件使用内部 V_{VREF} (510mV) 进行失速检测，nSTALL 引脚仍锁存为低电平，但输出继续驱动电流进入电机。表 8-6 总结了 SMODE 引脚设置。

表 8-6. SMODE 配置

SMODE	说明	从失速情况中恢复
0	带指示的锁存禁用：OUTx 引脚禁用且 nSTALL 引脚拉至低电平。	要从这种情况中恢复，器件需要进入睡眠模式。IN1 和 IN2 在 t_{SLEEP} 期间均为低电平后，nSTALL 将变为高电平。从睡眠模式唤醒后，失速检测方案会在 t_{INRUSH} 时间内忽略浪涌电流。
1	仅指示：OUTx 引脚保持工作状态，nSTALL 引脚拉低。	如果未观察到失速情况，且 IN1 和 IN2 在失速重试时间 (t_{STALL_RETRY}) 内都为低电平，则 nSTALL 变为高电平。在 t_{INRUSH} 时间后，如果电机电流仍然高于 I_{TRIP} ，nSTALL 引脚再次被拉低。
高阻态	仅指示：OUTx 引脚保持工作状态，nSTALL 引脚拉低。器件使用内部 V_{VREF} (510mV) 进行失速检测。	

执行失速重试时间 (t_{STALL_RETRY})，以便始终低于自动睡眠关闭时间 ($t_{AUTOSLEEP}$)。

IMODE 引脚决定电机驱动器是否执行电流调节。当 IMODE 为悬空 (IMODE = 高阻态) 时，器件仅在 t_{INRUSH} 时间内执行电流调节。表 8-4 总结了 IMODE 引脚设置。有关电流调节的更多详细信息，请参阅节 8.4.2.2。

下图显示了硬件失速检测功能在不同配置下的示例时序图。

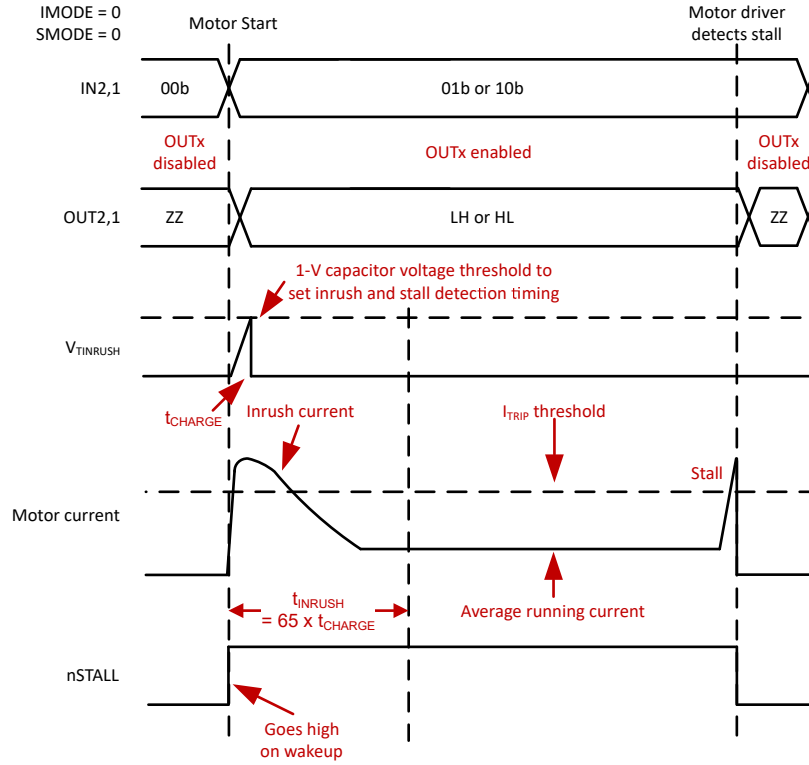


图 8-7. 带锁存禁用的失速检测

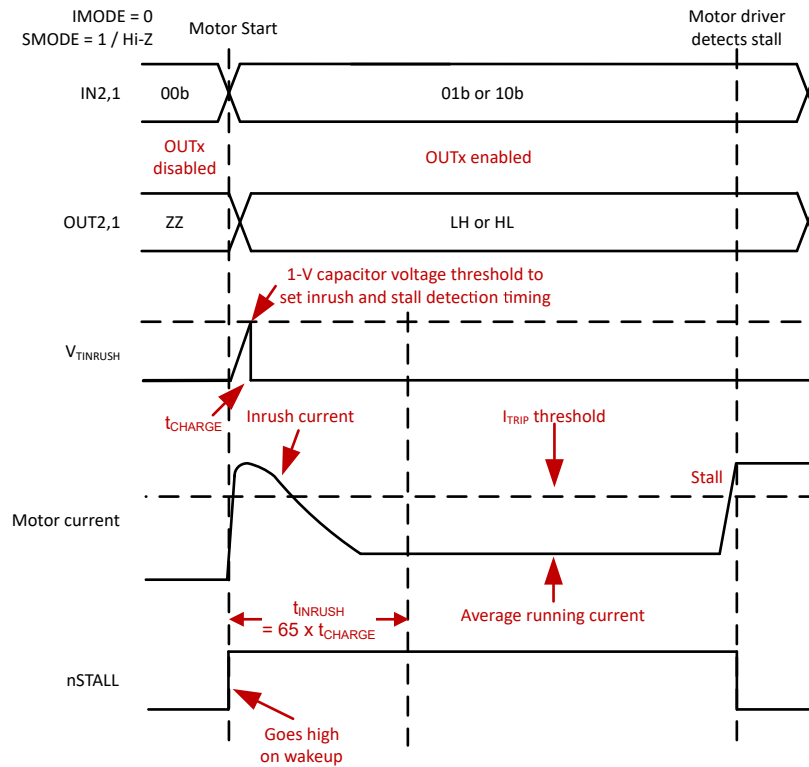


图 8-8. 仅带有 nSTALL 指示的失速检测

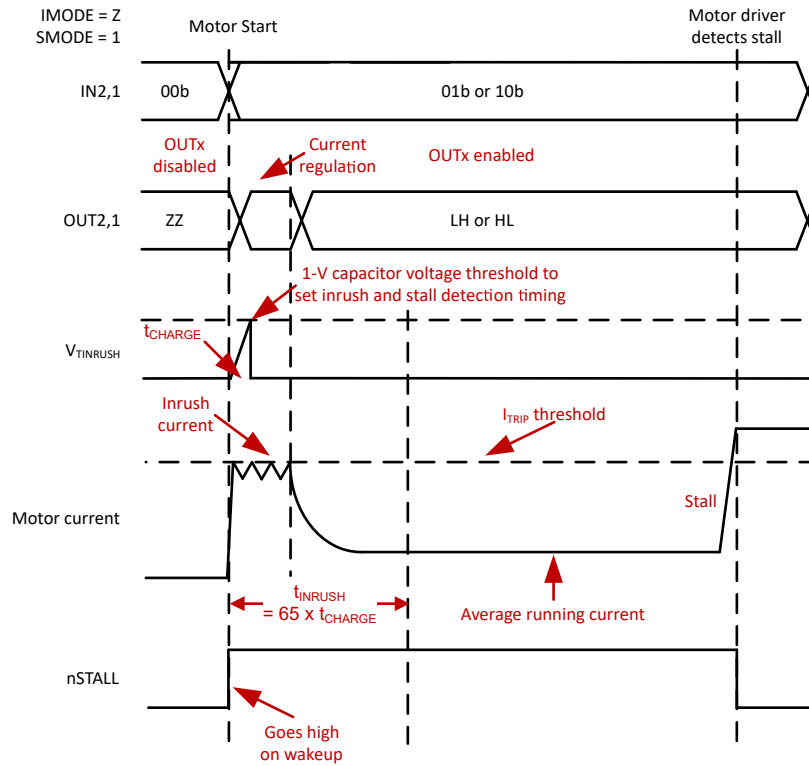


图 8-9. 浪涌期间具有电流调节的失速调节

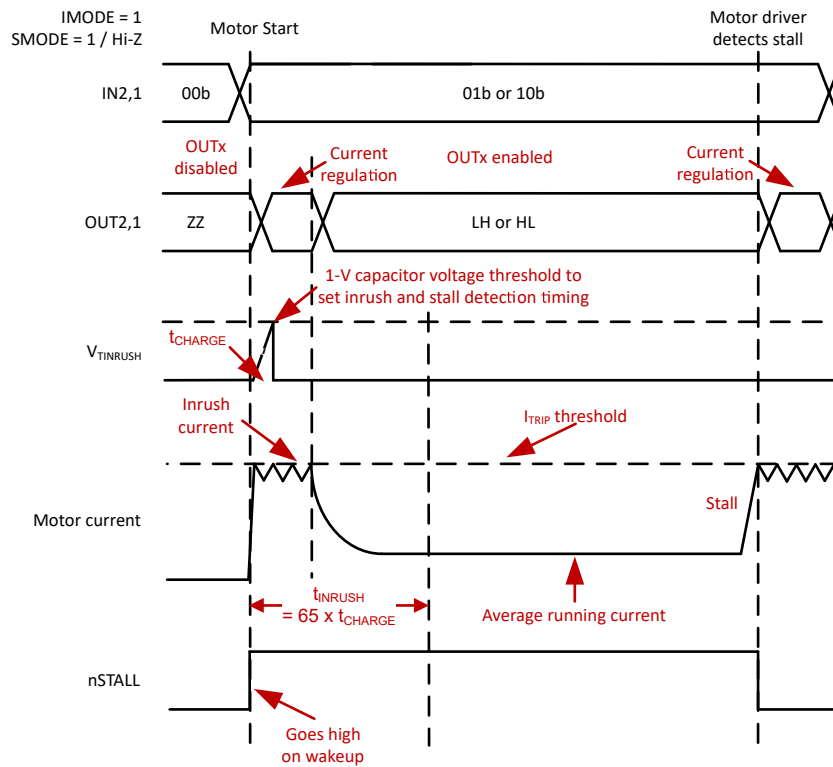


图 8-10. 带电流调节的失速检测

8.4.4 保护电路

DRV8213 可完全防止电源欠压、过流和过热事件。

8.4.4.1 过流保护 (OCP)

每个 FET 上的模拟电流限制电路通过在内部限制栅极驱动器来限制通过 FET 的电流。如果此模拟电流限制的持续时间超过 OCP 抗尖峰脉冲时间 (t_{OCP})，禁用 H 桥中的所有 FET 并将 nFAULT 引脚拉低。在故障重试周期 (t_{RETRY}) 过后，驱动器将重新启用。如果故障仍然存在，则重复此周期，如图 8-11 所示。

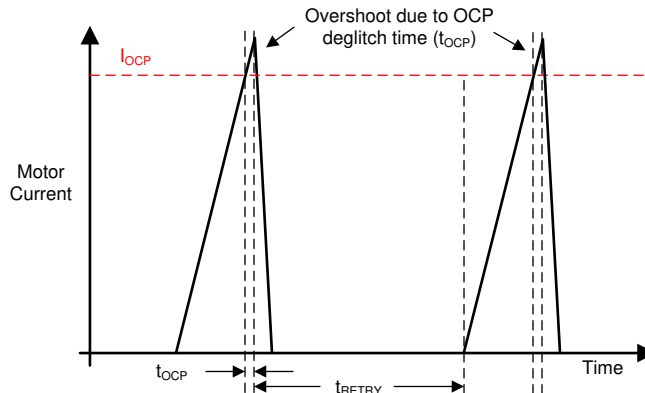


图 8-11. OCP 运行

在高侧和低侧 FET 上单独检测到过流情况。这意味着接地短路、电源短路或跨电机绕组短路都会导致过流关断。过流保护不使用用于电流调节的电流检测电路，因此无论 VREF 和 IPROPI 设置如何，它都能正常工作。

8.4.4.2 热关断 (TSD)

如果内核温度超过热关断限值 (T_{TSD})，则会禁用 H 桥中的所有 FET 并将 nFAULT 引脚拉低。在故障重试周期 (t_{RETRY}) 过后，驱动器将重新启用。如果故障仍然存在，则重复此过程。

8.4.4.3 VM 欠压锁定 (UVLO)

每当电源电压降至低于 UVLO 下降阈值电压 V_{UVLO} 时，器件中的所有电路都会被禁用，输出 FETS 被禁用，所有内部逻辑被复位，nFAULT 被拉低。如果由双电源供电（仅限 RTE 封装），当 VCC 引脚电压降至 V_{UVLO_VCC} 下降阈值以下时，UVLO 触发。此时，VM 电源电压可以一直下降到 0V。如果采用单电源供电（仅限 DSG 封装），当 VM 引脚电压降至 V_{UVLO_VM} 下降阈值以下时，UVLO 触发。当电源电压升至高于 V_{UVLO} 上升阈值时，将恢复正常运行，如图 8-12 所示。表 8-7 总结了器件进入 UVLO 时的条件。

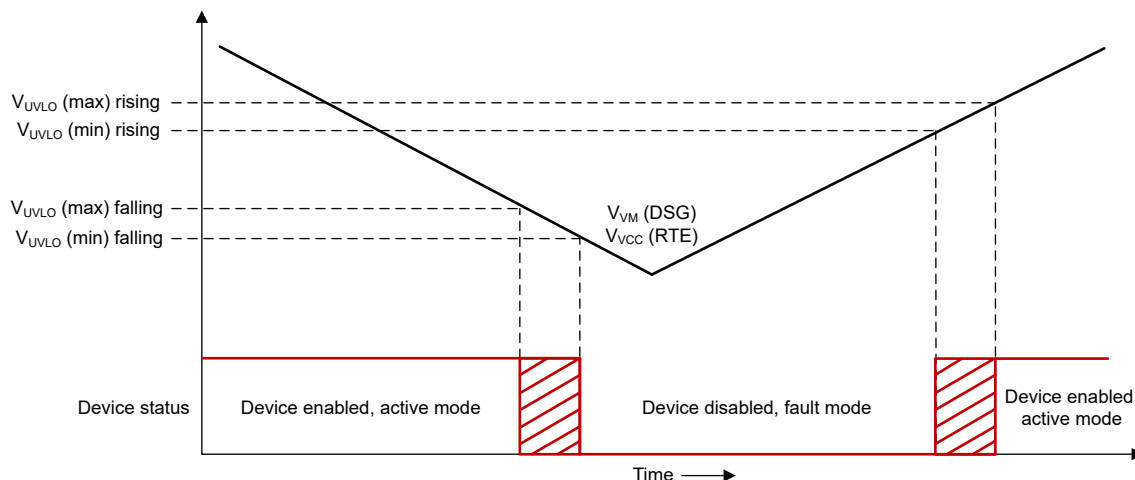


图 8-12. UVLO 运行

表 8-7. UVLO 响应条件

封装型号	V_{VM}	V_{VCC}	器件响应	I _{PROPI}
RTE	0V 至 V_{VM_MAX}	<1.65V	UVLO	不可用
	0V 至 V_{VM_MAX}	>1.65V	正常运行	适用于 $V_{VM} > 1.65V$ 的情况
DSG	<1.65V	不适用	UVLO	不可用
	1.65V 至 V_{VM_MAX}	不适用	正常运行	可用

8.5 器件功能模式

表 8-8 总结了本节介绍的 DRV8213 功能模式。

表 8-8. 运行模式

MODE	条件	H 桥	内部电路
工作模式	IN1 或 IN2 = 逻辑高电平	工作	工作
低功耗睡眠模式	IN1 = IN2 = 逻辑低电平	禁用	禁用
故障模式	满足任何故障条件	禁用	请参阅表 8-9

8.5.1 运行模式

VM 引脚 (DSG 封装) 或 VCC 引脚 (RTE 封装) 的电源电压超过上升欠压阈值 V_{UVLO} 后, 如果 INx 引脚不处于 IN1 = 0 和 IN2 = 0 的状态, 则经过 t_{WAKE} 后, 器件将进入运行模式。在此模式下, 全桥电路、电荷泵和内部逻辑将被激活, 器件可以接收输入。

在 RTE 封装中, 当 $V_{VCC} < V_{VM}$ 时, VM 引脚 (而非 VCC 引脚) 为 DRV8213 提供运行电流 (I_{VM})。在这种工作条件下, I_{VCC} 通常小于 500nA。当 $V_{VCC} > V_{VM}$ 时, VCC 引脚为器件提供运行电流, VM 引脚只产生负载所需的电流。当 $V_{VCC} = V_{VM}$ 时, 两个电源引脚均可提供运行电流。运行电流通常小于 1.9mA。

8.5.2 低功耗睡眠模式

当 IN1 和 IN2 引脚在 t_{SLEEP} 时间内均为低电平时, DRV8213 器件进入低功耗睡眠模式。在睡眠模式下, 输出保持高阻态, 器件从电源引脚 (I_{VMQ} 或 I_{VCCQ}) 消耗的电流最小。任何输入引脚设置的高电平时间超过 t_{WAKE} 的持续时间后, 器件将完全正常运行。图 8-13 显示了进入和离开睡眠模式的示例时序图。

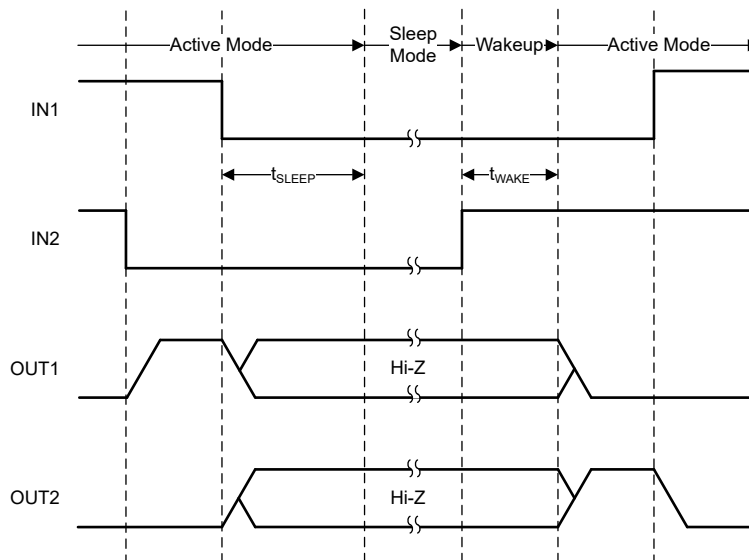


图 8-13. 睡眠模式进入和唤醒时序图

8.5.3 故障模式

DRV8213 器件在遇到故障条件时进入故障模式。这可保护器件和输出上的负载。表 8-9 描述了故障模式中器件在不同故障条件下的行为。当系统满足恢复条件时，器件会退出故障模式并重新进入运行模式。

表 8-9. 故障条件汇总

故障	故障条件	错误报告	全桥	内部电路	恢复条件
VM 欠压 (UVLO), DSG	$V_{VM} < V_{UVLO_VM}$ 下降	nFAULT	禁用	禁用	$V_{VM} > V_{UVLO_VM}$ 上升
VCC 欠压 (UVLO), RTE	$V_{VCC} < V_{UVLO_VCC}$ 下降	nFAULT	禁用	禁用	$V_{VCC} > V_{UVLO_VCC}$ 上升
过流 (OCP)	$I_{OUT} > I_{OCP}$	nFAULT	禁用	工作	$I_{OUT} < I_{OCP}$
热关断 (TSD)	$T_J > T_{TSD}$	nFAULT	禁用	工作	$T_J < T_{TSD} - T_{HYS}$

8.6 引脚图

8.6.1 逻辑电平输入

图 8-14 显示了逻辑电平输入引脚 IN1 和 IN2 的输入结构。

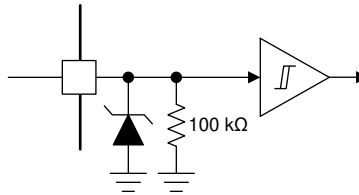


图 8-14. 逻辑电平输入

8.6.2 三电平输入

图 8-15 显示了三电平输入引脚 GAINSEL、IMODE 和 SMODE 的输入结构。

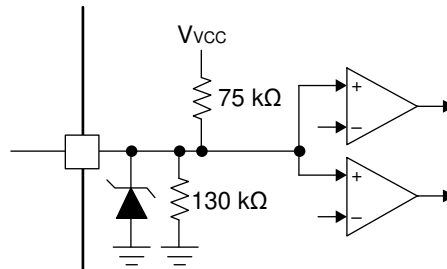


图 8-15. 三电平输入

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

DRV8213 用于驱动有刷直流电机。

9.2 典型应用

9.2.1 有刷直流电机

DRV8213 的典型应用是使用全桥输出驱动有刷直流电机。图 9-1 显示了使用 DSG 封装驱动电机，并通过微控制器 (MCU) 控制驱动器的示例原理图。图 9-2 显示了使用 RTE 封装并禁用失速检测的示例原理图。IPROPI 引脚上的电阻可以向微控制器模数转换器 (ADC) 提供电压信号。

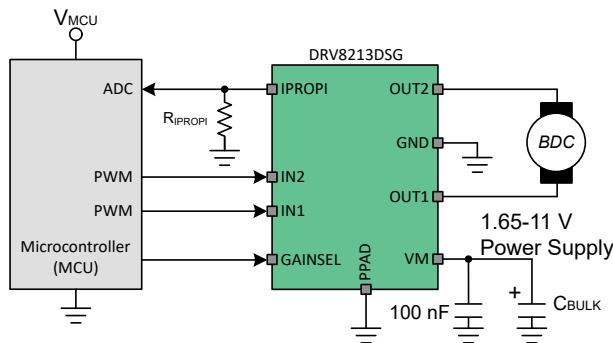


图 9-1. DSG 型号的典型连接

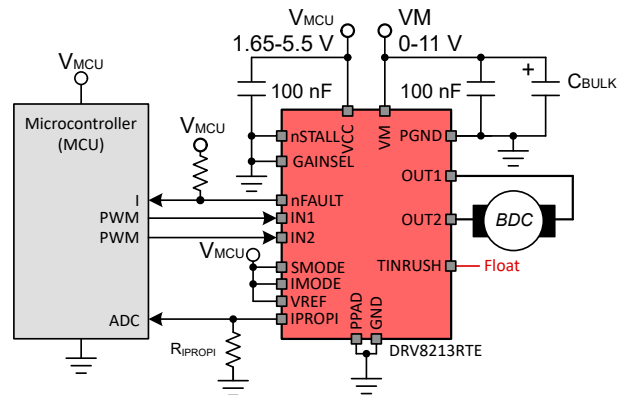


图 9-2. RTE 型号禁用失速检测的典型连接

9.2.1.1 设计要求

表 9-1 列出了示例设计参数。

表 9-1. 设计参数

设计参数	基准	示例值
电机电压	V_{VM}	8V
平均电机电流	I_{AVG}	0.8 A
电机浪涌 (启动) 电流	I_{INRUSH}	2.1 A
电机失速电流	I_{STALL}	2.1 A
电机电流跳闸点	I_{TRIP}	1.9A
VREF 电压	VREF	3.3V
IPROPI 电阻	R_{IPROPI}	8.45k Ω
PWM 频率	f_{PWM}	20kHz

9.2.1.2 详细设计过程

9.2.1.2.1 电机电压

使用的电机电压取决于所选电机的额定值和所需的 RPM。电压越高，有刷直流电机就旋转得越快，同时将相同的 PWM 占空比应用于功率 FET。更高的电压也会增加通过感应电机绕组的电流变化率。

9.2.1.2.2 电机电流

电机在低速、初始启动和转子失速条件下会经历大电流。电机启动时的大电流有时称为浪涌电流。DRV8213 中的电流调节特性有助于限制这些大电流。也可以利用微控制器，通过在启动期间升高 PWM 占空比来限制浪涌电流。

9.2.1.3 失速检测

一些应用需要进行失速检测来通知微控制器锁定转子/失速情况。失速可能由以下任意一种情况引起：意外机械阻塞，或者负载在受限的行驶路径中到达终点止动装置。DRV8213 支持两种确定失速情况的方法：硬件失速检测和软件失速检测。RTE 封装提供额外的引脚，用来配置器件对失速情况的响应，从而支持硬件失速检测，如图 9-3 所示。DSG 和 RTE 封装会向微控制器的 ADC 提供 IPROPI 模拟电流检测反馈，从而支持软件失速检测，如图 9-1 和图 9-2 所示。

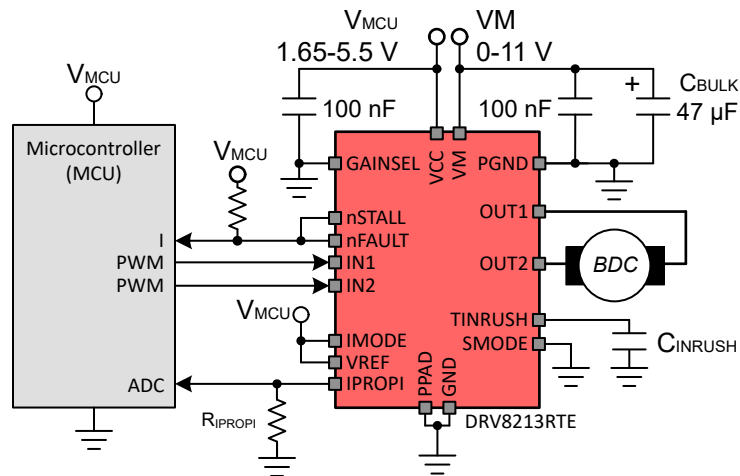


图 9-3. 启用了带失速检测的 RTE 型号的典型连接

9.2.1.3.1 详细设计过程

9.2.1.3.1.1 硬件失速检测应用说明

这种失速检测方案的原理基础是，电机电流会在失速条件下增大，如图 9-5 所示。DRV8213 比较 IPROPI 引脚上的电压与 VREF 引脚上的电压，确定是否发生了失速情况。TINRUSH 引脚上的电容器设置时序 t_{INRUSH} ，因此 DRV8213 会忽略电机启动时的浪涌电流。SMODE 引脚配置 DRV8213 响应失速情况的条件。IMODE 引脚配置器件是否在浪涌电流和失速电流期间调节电流。当检测到失速情况时，nSTALL 拉低，向微控制器指示失速事件。节 8.4.3 描述了有关配置失速检测特性的完整详细信息。

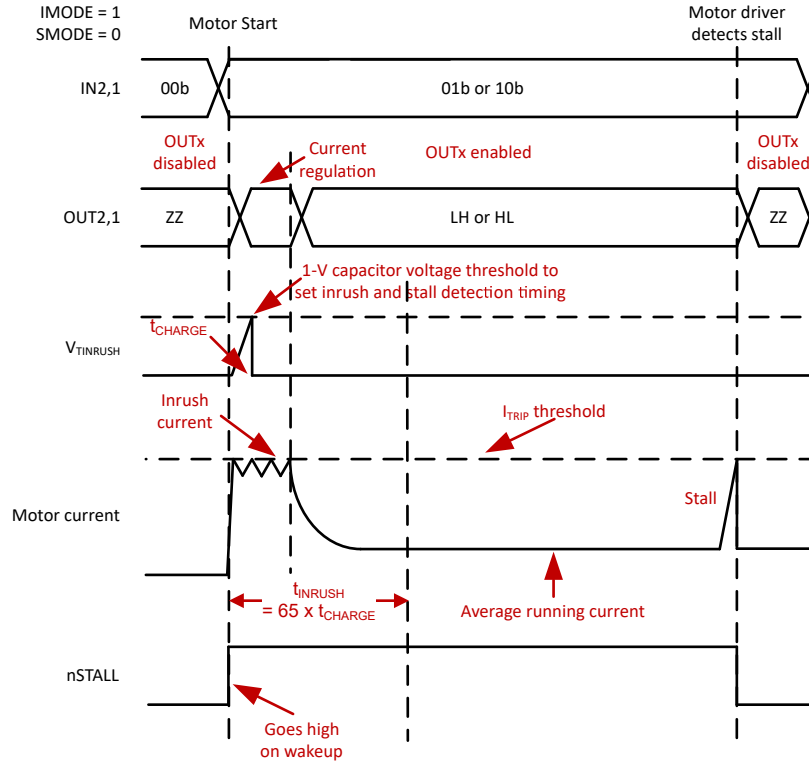


图 9-4. 硬件失速检测的示例时序图

表 9-2 总结了失速检测配置。

表 9-2. 硬件失速检测引脚配置汇总表

nSTALL	TINRUSH	SMODE	说明
GND	Z	X	禁用失速检测。悬空 TINRUSH。当 IMODE = Z 且 $V_{IPROPI} \geq V_{VREF}$ 时，始终执行电流调节。
VCC 连接上拉电阻	GND	X	TI 不建议使用这种配置。对应的 t_{INRUSH} 约为 6.7s。器件持续从 TINRUSH 引脚输出 $10 \mu A$ 到 GND。当 IMODE = Z 且 $V_{IPROPI} \geq V_{VREF}$ 时执行电流调节。
	电容器至 GND	0	带指示的锁存禁用：OUTx 引脚禁用，且当 $V_{IPROPI} \geq V_{VREF}$ 时，经过 t_{INRUSH} 后，nSTALL 引脚拉低。
		1 / Z	仅供参考：OUTx 引脚保持工作状态，且当 $V_{IPROPI} \geq V_{VREF}$ 时，经过 t_{INRUSH} 后，nSTALL 引脚拉低。
	Z	X	TI 不建议使用这种配置。悬空 TINRUSH 引脚可成功设置 $t_{INRUSH} = 0s$ 。当 $V_{IPROPI} \geq V_{VREF}$ 时，器件始终根据 SMODE 和 IMODE 的设置作出响应。
VCC	X	X	TI 不建议使用这种配置。将 TINRUSH 连接到高于 1V 的电压可成功设置 $t_{INRUSH} = 0s$ 。由于 TINRUSH 放电路径打开，器件会从电压源消耗过多电流。

9.2.1.3.1.1.1 硬件失速检测时序

由于电机转速较低，因此在电机启动期间会产生较大的浪涌电流。随着电机加速，由于电机中的反电动势 (EMF) 随速度增加，电机电流下降到平均水平。不应将浪涌电流误认为是失速条件，因此 DRV8213 在 RTE 封装型号中集成了一个计时电路，用于忽略启动期间 t_{INRUSH} 的浪涌电流。计时电路使用 TINRUSH 引脚上的电容器 C_{INRUSH} 配置。节 8.4.3 描述了使用失速检测特性的总体详细信息。

在针对 t_{INRUSH} 时间进行设计时，必须留出足够的裕量，考虑 DRV8213 和整个系统的容差和变化。方程式 4 定义了 t_{INRUSH} 最短时间 - t_{INRUSH_min} 。 t_{INRUSH_motor} 应通过实验确定，因为此值取决于电机参数、电源电压、温度和机械负载响应时间。 $\epsilon_{TINRUSH}$ 表示 TINRUSH 计时电路和 C_{INRUSH} 电容器的容差。

$$t_{INRUSH_min} = t_{INRUSH_motor} \times (1 + \epsilon_{TINRUSH}) \quad (4)$$

方程式 5 显示了计算 $\epsilon_{TINRUSH}$ 的表达式。TINRUSH 引脚上 1V 基准电压的容差为 $\epsilon_{VTINRUSH_trip}$ 。此容差为 3%，由电气特性表中 $V_{TINRUSH_trip}$ 的最小规格值和最大规格值定义。TINRUSH 引脚上 10- μ A 电流源的容差为 $\epsilon_{ITINRUSH}$ 。此容差为 20%，由电气特性表中 $I_{TINRUSH}$ 的最小规格值和最大规格值定义。 C_{INRUSH} 电容器的容差为 $\epsilon_{CINRUSH}$ ，由所选 C_{INRUSH} 电容器的容差确定。

$$\epsilon_{TINRUSH} = \sqrt{\epsilon_{VTINRUSH_trip}^2 + \epsilon_{ITINRUSH}^2 + \epsilon_{CINRUSH}^2} \quad (5)$$

例如，假设 $t_{INRUSH_motor} = 100\text{ms}$ C_{INRUSH} 将使用容差为 1% 的电容器。由此可以计算出 C_{INRUSH} 电容器的电容值应大于 18.5nF，那么在此应用中，22nF 电容器就足够了。

9.2.1.3.1.1.2 硬件失速阈值选择

VREF 引脚上的电压选择 I_{TRIP} 阈值。该阈值设置失速检测和电流调节的电流电平。选择该阈值时，应确保在不使用电流调节时 I_{TRIP} 小于电机的失速电流。阈值应设得够低，确保考虑因电机电源电压、 V_{VM} 和温度变化引起的失速电流变化。节 8.4.2.2 和 节 8.4.3 提供了有关在 VREF 引脚上配置电压的更多详细信息。

9.2.1.3.1.1.2 软件失速检测应用说明

这种失速检测方案的原理基础是，电机电流会在失速条件下增大，如图 9-5 所示。为了实现失速检测，微控制器使用 ADC 读取 IPROPI 引脚上的电压，并将其与固件中设置的失速阈值进行比较。也可以使用比较器外设来设置该阈值。

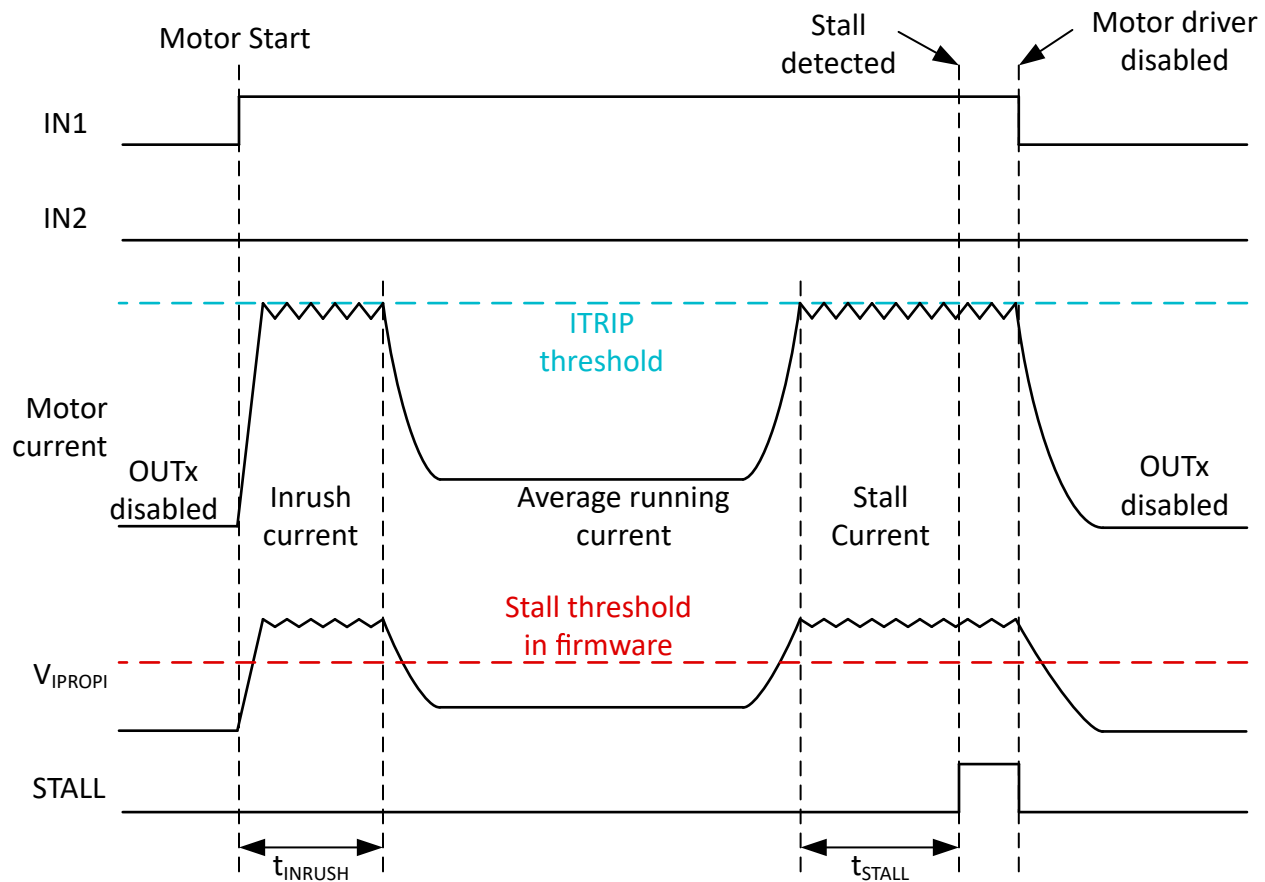


图 9-5. 带 STALL 信号的电机电流曲线

9.2.1.3.1.2.1 软件失速检测时序

微控制器需要决定 IPROPI 信号是否表示电机失速。由于电机转速较低，因此在电机启动期间会产生较大的浪涌电流。随着电机加速，由于电机中的反电动势 (EMF) 随速度增加，电机电流下降到平均水平。不要将浪涌电流误认为失速情况。其中一个实现方法是，让微控制器在启动时浪涌电流的持续期间 t_{INRUSH} ，忽略高于固件失速阈值的 IPROPI 信号。 t_{INRUSH} 时序根据电机参数、电源电压和机械负载响应时间通过实验确定。

当发生失速情况时，由于反电动势此时为 0V，因此电机电流会升高，超过平均运行电流电平。在某些情况下，如果电机能够自行清除堵塞，可能需要以失速电流驱动一段时间。在电机发生意外失速或高扭矩情况下，这点可能很有帮助。在这种情况下，系统设计人员可以选择较长的失速检测时间 t_{STALL} ，结束后再让微控制器决定采取何种措施。在其他情况下，例如进行终点止动检测时，可能需要作出更快的响应，来降低功率或更大限度地减小齿轮或终点止动装置的电机扭矩。微控制器的 t_{STALL} 时间也需相应地缩短。

图 9-5 说明了 t_{INRUSH} 和 t_{STALL} 的时序以及它们与电机电流波形的关系。

9.2.1.3.1.2.2 软件失速阈值选择

固件中的失速检测阈值应在最大失速电流与电机平均运行电流之间选择，如图 9-5 所示。

9.2.1.4 应用曲线

从上到下的迹线：IN1 (6V/div)，OUT2 (5V/div)，V_IPROPI (600mV/div)，电机电流 (100mA/div)

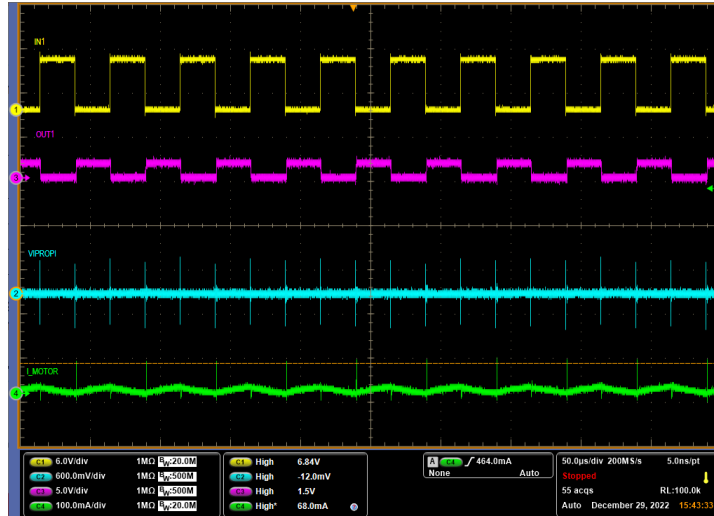


图 9-6. VM = 1.65V 时的 PWM 运行图像

从上到下的迹线：OUT1 (10V/div)，OUT2 (10V/div)，电机电流 (1A/div)，V_IPROPI (50mV/div)

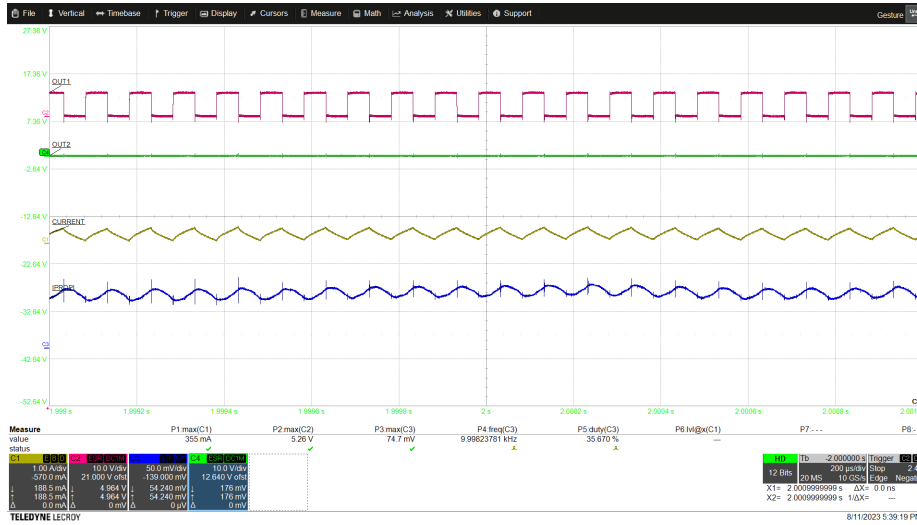


图 9-7. VM = 5V 时的 PWM 运行图像

从上到下的迹线：IN1 (7V/div)，OUT2 (6V/div)，电机电流 (200mA/div)， V_{IPROPI} (2V/div)

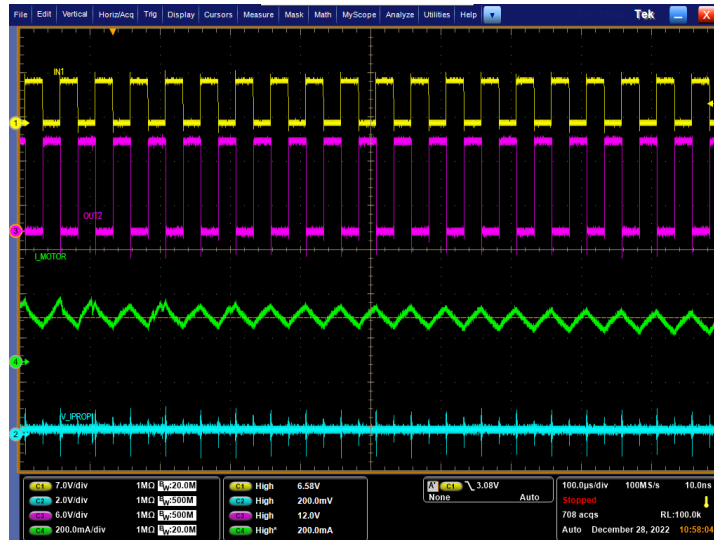


图 9-8. VM = 11V 时的 PWM 运行图像

从上到下的布线：nSTALL (4V/div)，TINRUSH (1V/div)，OUT2 (5V/div)，电机电流 (600mA/div)

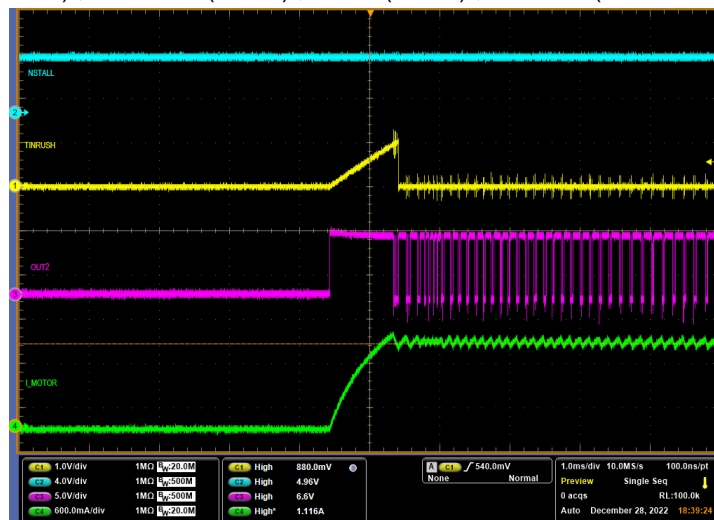


图 9-9. IMODE = 高阻态、SMODE = 1 时的失速检测

9.2.1.5 热性能

数据表指定的结至环境热阻 $R_{\theta JA}$ 主要用于比较各种驱动器或者估算热性能。不过，实际系统性能可能比此值更好或更差，具体情况取决于 PCB 层叠、布线、过孔数量以及散热焊盘周围的铜面积。驱动器驱动特定电流的时间长度也会影响功耗和热性能。本节介绍了如何设计稳态和瞬态温度条件。

本节中的数据是按如下条件仿真得出的：

WSON (DSG 封装)

- 2 层 PCB (尺寸 114.3mm x 76.2mm x 1.6mm)，标准 FR4，1oz (35mm 铜厚度) 或 2oz 铜厚度。散热过孔仅存在于散热焊盘下方 (2 个过孔，1.2mm 间距，0.3mm 直径，0.025mm 铜镀层)。
 - 顶层：DRV8213 WSON 封装尺寸和铜平面散热器。顶层覆铜区在仿真中有所不同。
 - 底层：接地层通过 DRV8213 的散热焊盘下方的过孔进行热连接。底层铜面积随顶层铜面积而变化。

- 4 层 PCB (尺寸 114.3mm x 76.2mm x 1.6mm)，标准 FR4。外侧平面具有 1oz (35mm 覆铜厚度) 或 2oz 覆铜厚度。内侧平面保持在 1oz。散热过孔仅存在于散热焊盘下方 (2 个过孔，1.2mm 间距，0.3mm 直径，0.025mm 铜镀层)。
 - 顶层：DRV8213 WSON 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
 - 中间层 1：GND 平面通过过孔热连接至 DRV8213 散热焊盘。接地平面的面积为 74.2mm x 74.2mm。
 - 中间层 2：电源平面，无热连接。电源平面的面积为 74.2mm x 74.2mm。
 - 底层：接地层通过来自顶部和内部 GND 平面的过孔拼接进行热连接。底层铜面积随顶层铜面积而变化。

图 9-10 展示了 DSG 封装的模拟电路板示例。表 9-3 显示了每次仿真时使用的不同板尺寸。

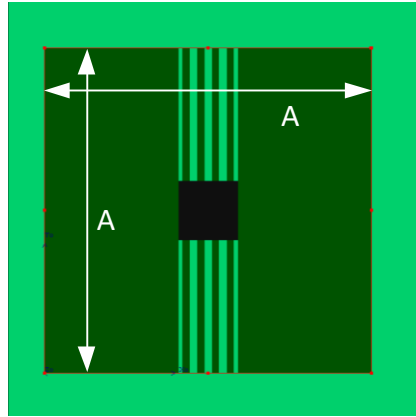


图 9-10. WSON PCB 模型顶层

表 9-3. 用于 8 引脚 DSG 封装的尺寸 A

铜面积 (mm ²)	尺寸 A (mm)
2	15.11
4	20.98
8	29.27
16	40.99

WQFN (RTE 封装)

- 2 层 PCB (尺寸 114.3mm x 76.2mm x 1.6mm)，标准 FR4，1oz (35mm 铜厚度) 或 2oz 铜厚度。散热过孔仅存在于封装尺寸下方 (5 个过孔，1mm 间距，0.2mm 直径，0.025mm 铜镀层)。
 - 顶层：WQFN 封装尺寸和布线。
 - 底层：接地层通过封装尺寸下的过孔进行热连接。底层覆铜区在仿真中有所不同。
- 4 层 PCB (尺寸 114.3mm x 76.2mm x 1.6mm)，标准 FR4。外侧平面具有 1oz (35mm 覆铜厚度) 或 2oz 覆铜厚度。内侧平面保持在 1oz。散热过孔仅存在于封装尺寸下方 (5 个过孔，1mm 间距，0.2mm 直径，0.025mm 铜镀层)。
 - 顶层：WQFN 封装尺寸和布线。
 - 中间层 1：GND 平面通过过孔在封装尺寸下进行热连接。接地平面的面积为 74.2mm x 74.2mm。
 - 中间层 2：电源平面，无热连接。电源平面的面积为 74.2mm x 74.2mm。
 - 底层：带有小型铜焊盘的信号层，位于驱动器下方，通过来自顶部和内部 GND 平面的过孔拼接进行热连接。底层散热焊盘的尺寸与封装相当 (3 mm x 3 mm)。底部焊盘的尺寸保持不变。

图 9-11 展示了 WQFN 封装的模拟电路板示例。表 9-4 显示了每次仿真时使用的不同板尺寸。

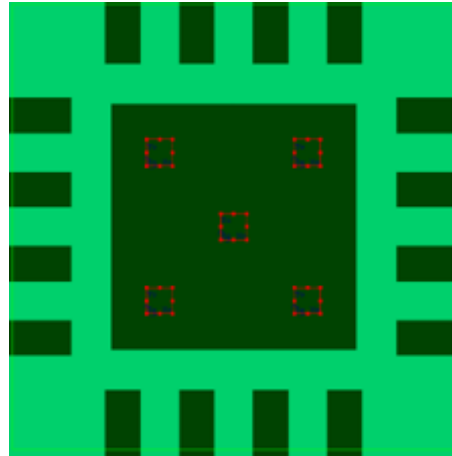


图 9-11. WQFN PCB 模型顶层

表 9-4. 用于 16 引脚 RTE 封装的尺寸 A

铜面积 (cm ²)	尺寸 A (mm)
2	14.14
4	20.00
8	28.28
16	40.00

9.2.1.5.1 稳态热性能

“稳态”条件假设电机驱动器在很长一段时间内以恒定的 RMS 电流工作。本部分中的图显示了 $R_{\theta JA}$ 和 Ψ_{JB} (结至电路板特征参数) 如何随 PCB 的铜面积、覆铜厚度和层数而变化。铜面积越大、层数越多、铜平面越厚, $R_{\theta JA}$ 和 Ψ_{JB} 就越小, 表明 PCB 布局的热性能越强。

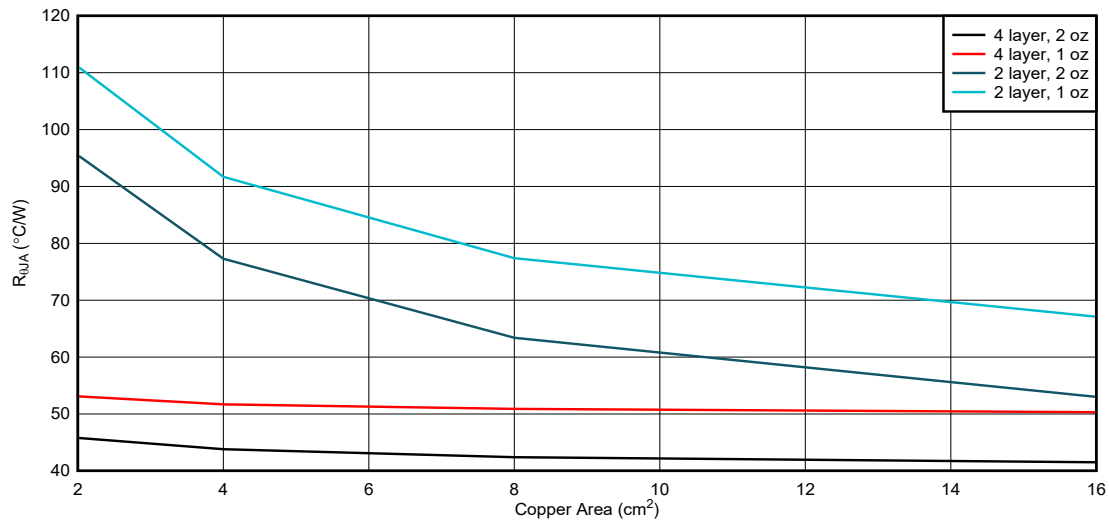


图 9-12. WSON、PCB 结至环境热阻与铜面积间的关系

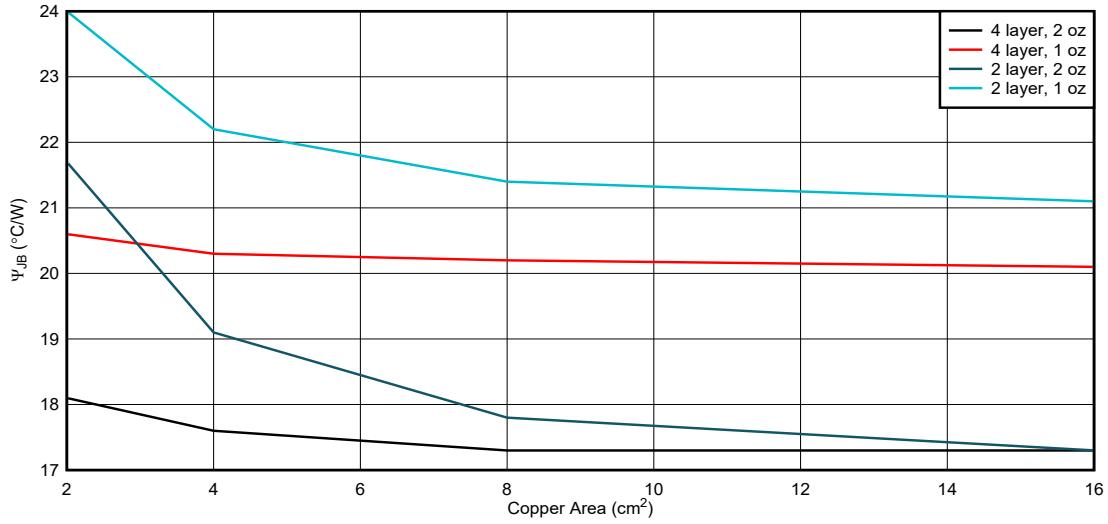


图 9-13. WSON、结至电路板特征参数与铜面积间的关系

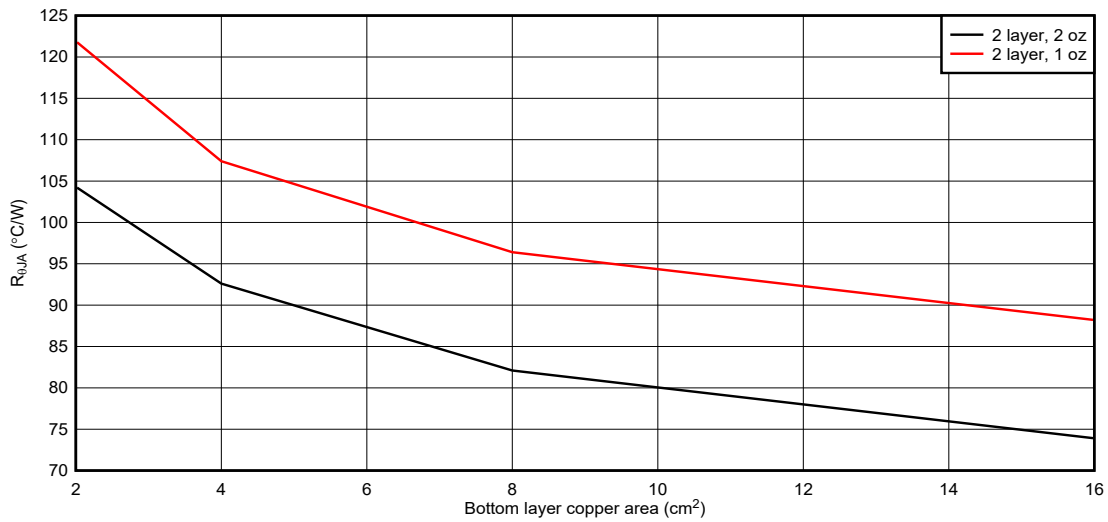


图 9-14. WQFN、PCB 结至环境热阻与铜面积间的关系

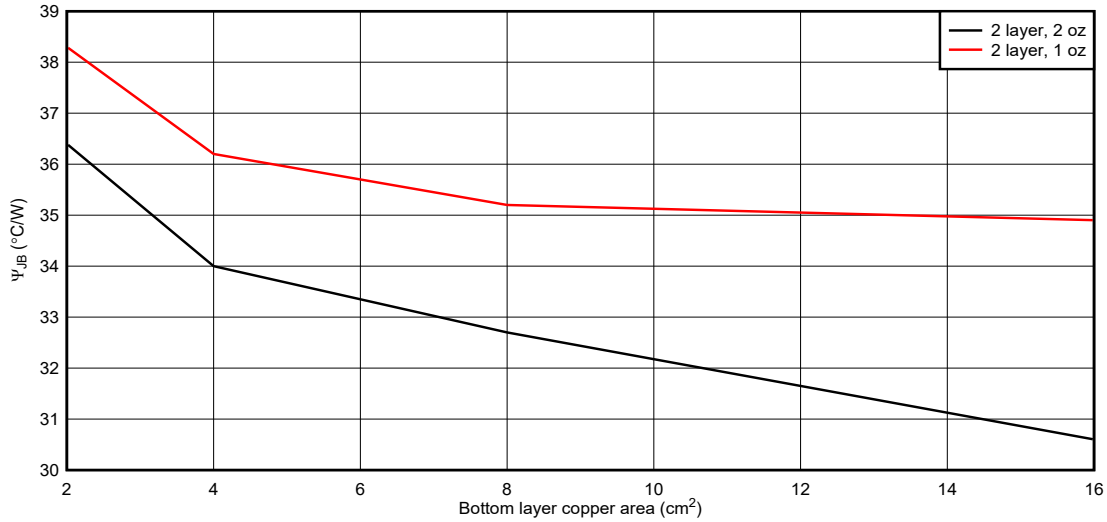


图 9-15. WQFN、结至电路板特征参数与铜面积间的关系

9.2.1.5.2 瞬态热性能

电机驱动器可能会遇到不同的瞬态驱动条件，导致大电流在短时间内流动。这些条件可能包括

- 转子最初静止时的电机启动。
- 电机输出之一的电源或接地短路且触发过流保护时的故障条件。
- 在有限的时间内为电机或螺线管短暂通电，然后再断电。

对于这些瞬态情况，除了铜面积和覆铜厚度之外，驱动持续时间是影响热性能的另一因素。在瞬态情况中，热阻抗参数 $Z_{\theta JA}$ 表示结至环境热性能。本部分中的图显示了 WSON 封装和 WQFN 封装的 1oz 和 2oz 铜布局的模拟热阻抗。这些图表表明，短电流脉冲具有更好的热性能。对于更短的驱动时间，器件的裸片尺寸和封装决定了热性能。对于更长的驱动脉冲，电路板布局布线对热性能的影响更大。这两个图表都显示了随着驱动脉冲持续时间的增加，层数和覆铜区导致的热阻抗分裂曲线。可以将长脉冲视为稳态性能。

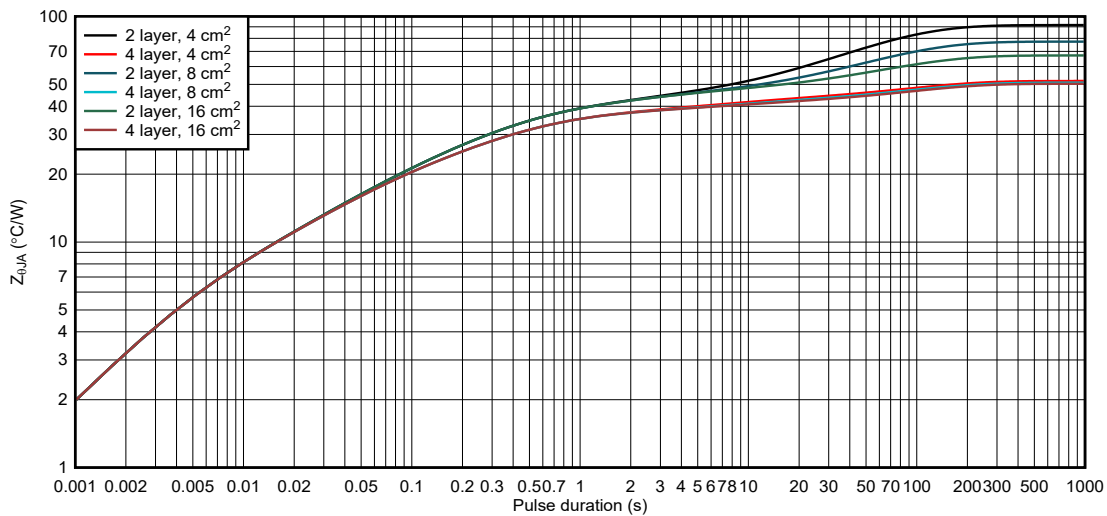


图 9-16. 1oz 铜布局的 WSON 封装结至环境热阻抗

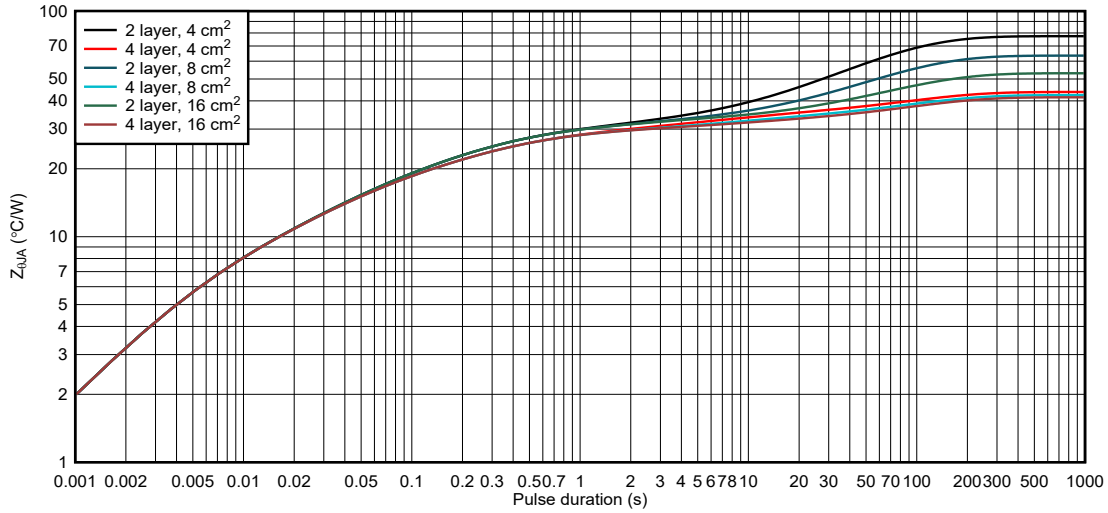


图 9-17. 2oz 铜布局的 WSON 封装结至环境热阻抗

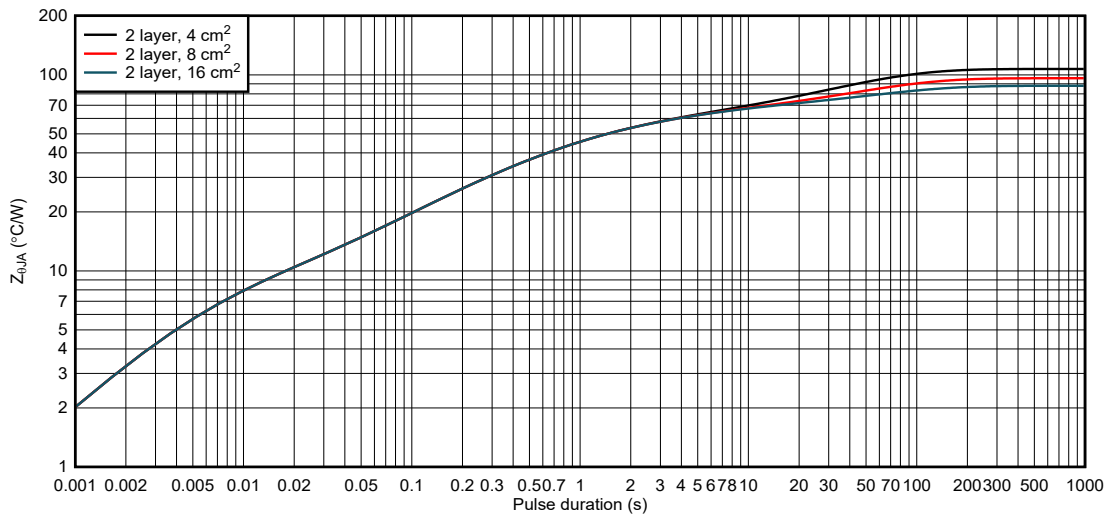


图 9-18. 1oz 铜布局的 WQFN 封装结至环境热阻抗

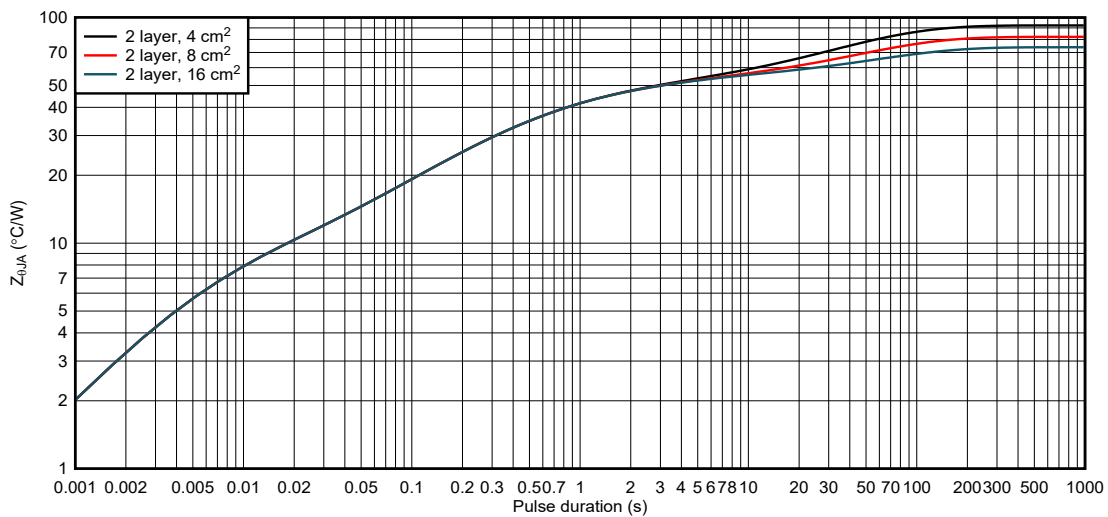


图 9-19. 2oz 铜布局的 WQFN 封装结至环境热阻抗

10 电源相关建议

10.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和拉电流能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

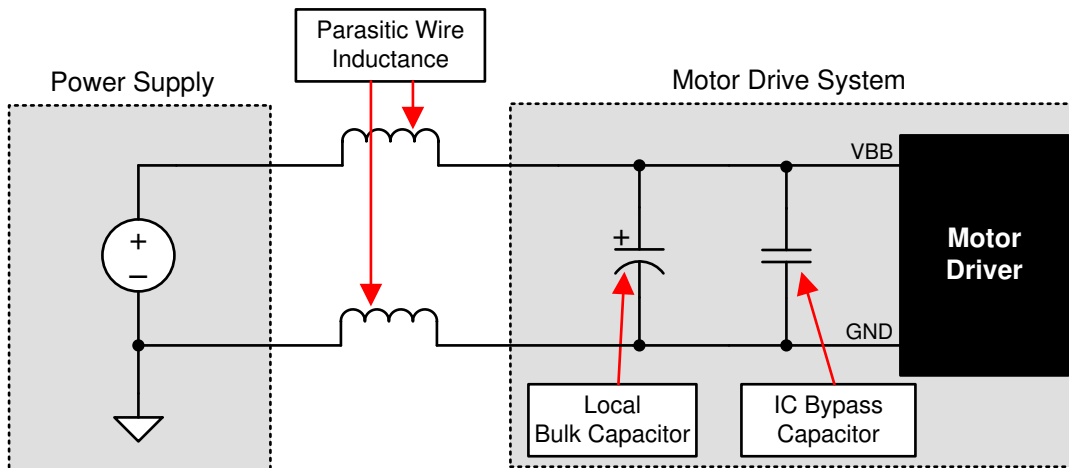


图 10-1. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

11 布局

11.1 布局指南

由于 DRV8213 已集成了能够驱动大电流的功率 MOSFET，因此，应特别注意布局设计和外部元件放置。下面提供了一些设计和布局指南。

- VM 至 GND 旁路电容器应采用低 ESR 陶瓷电容器。建议使用 X5R 和 X7R 类型的电容器。
- VM 电源电容器应放置在尽可能靠近器件的位置，以尽可能减少环路电感。
- VM 电源大容量电容器可以是陶瓷电容器或电解电容器，但也应尽可能靠近器件放置，以最大限度减小回路电感。
- VM、OUT1、OUT2 和 GND 承载着从电源传输到输出、然后传回到接地端的高电流。对于这些迹线，应使用厚金属布线（如果可行）。
- 应通过热通路将器件散热焊盘连接到 PCB 顶层接地平面和内部接地平面（如果可用）上，以获得最强的 PCB 散热能力。
- “封装图”一节中提供了建议用于热通路的焊盘图案。
- 应尽可能扩大连接到散热焊盘的铜平面面积，以确保获得最佳散热效果。

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [计算电机驱动器的功耗应用报告](#)
- 德州仪器 (TI), [电流再循环和衰减模式应用报告](#)
- 德州仪器 (TI), [PowerPAD™ 速成应用报告](#)
- 德州仪器 (TI), [PowerPAD™ 热增强型封装应用报告](#)
- 德州仪器 (TI), [了解电机驱动器电流等级应用报告](#)

12.2 接收文档更新通知

若要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 社区资源

12.4 商标

所有商标均为其各自所有者的财产。

13 机械、封装和可订购信息

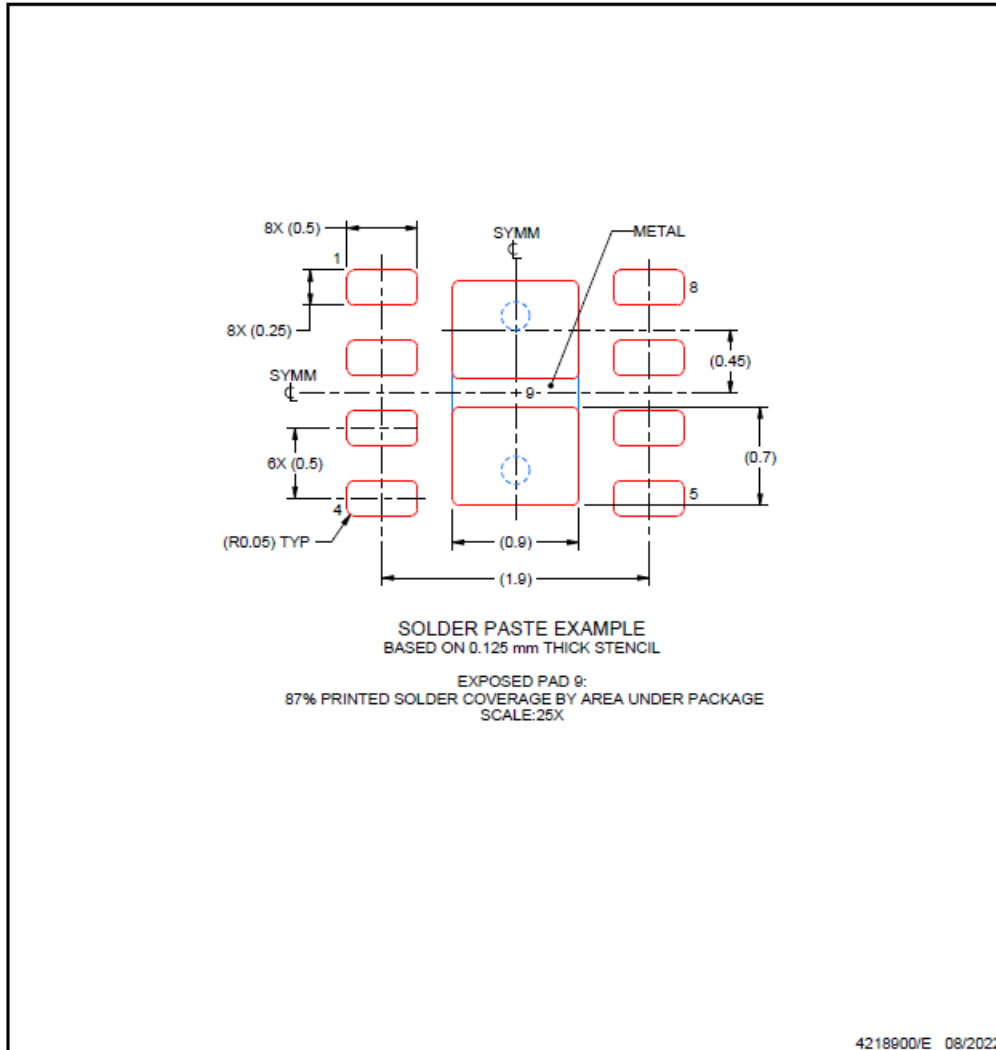
下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

EXAMPLE STENCIL DESIGN

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

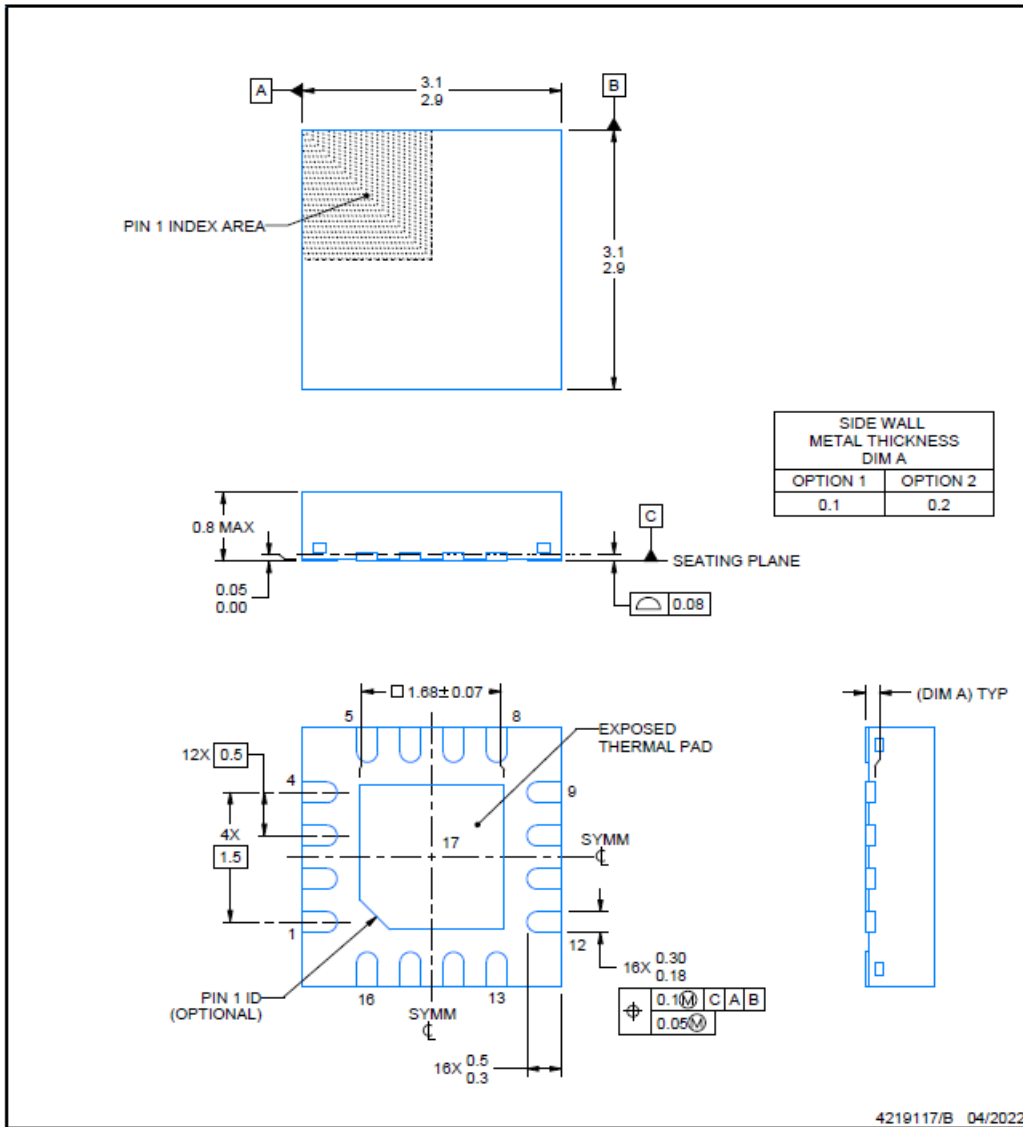
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RTE0016C



PACKAGE OUTLINE
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

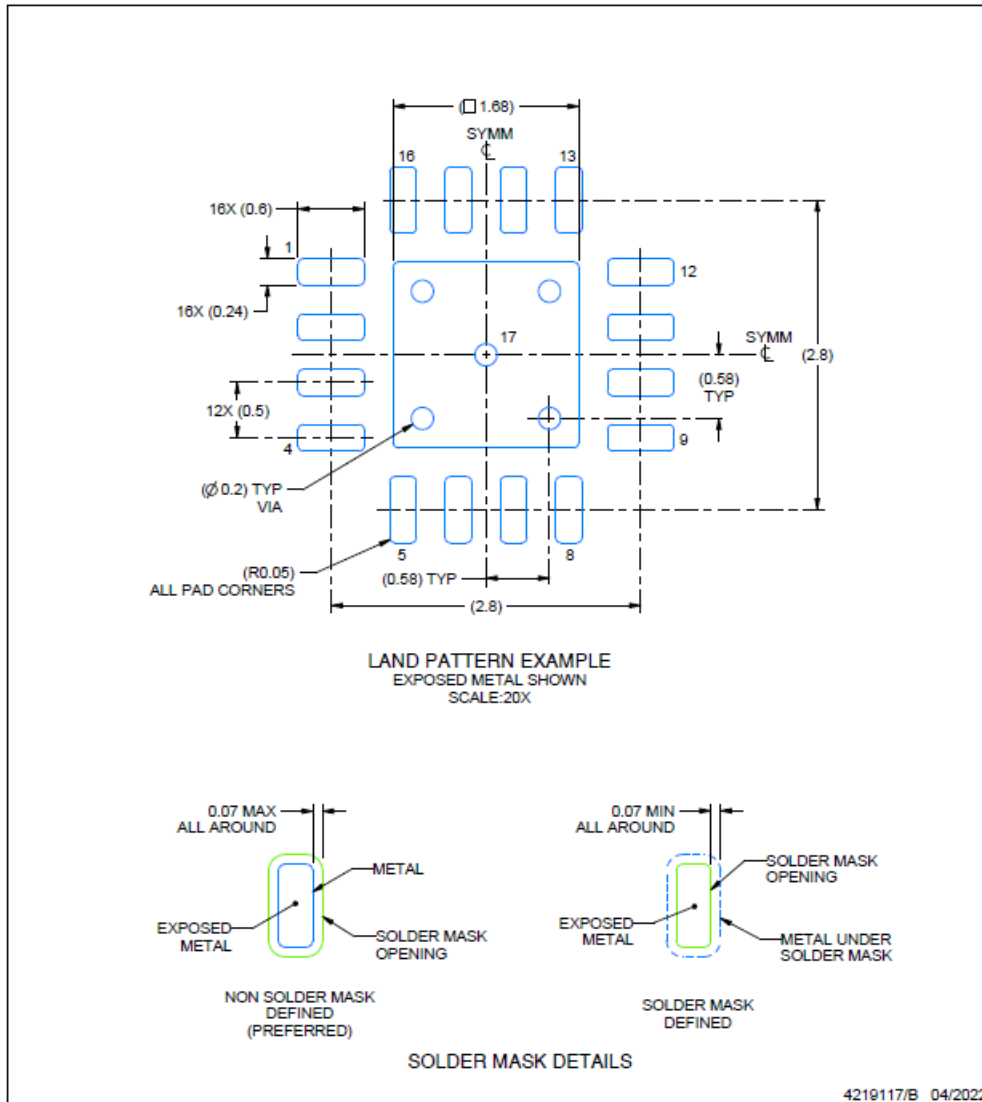
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

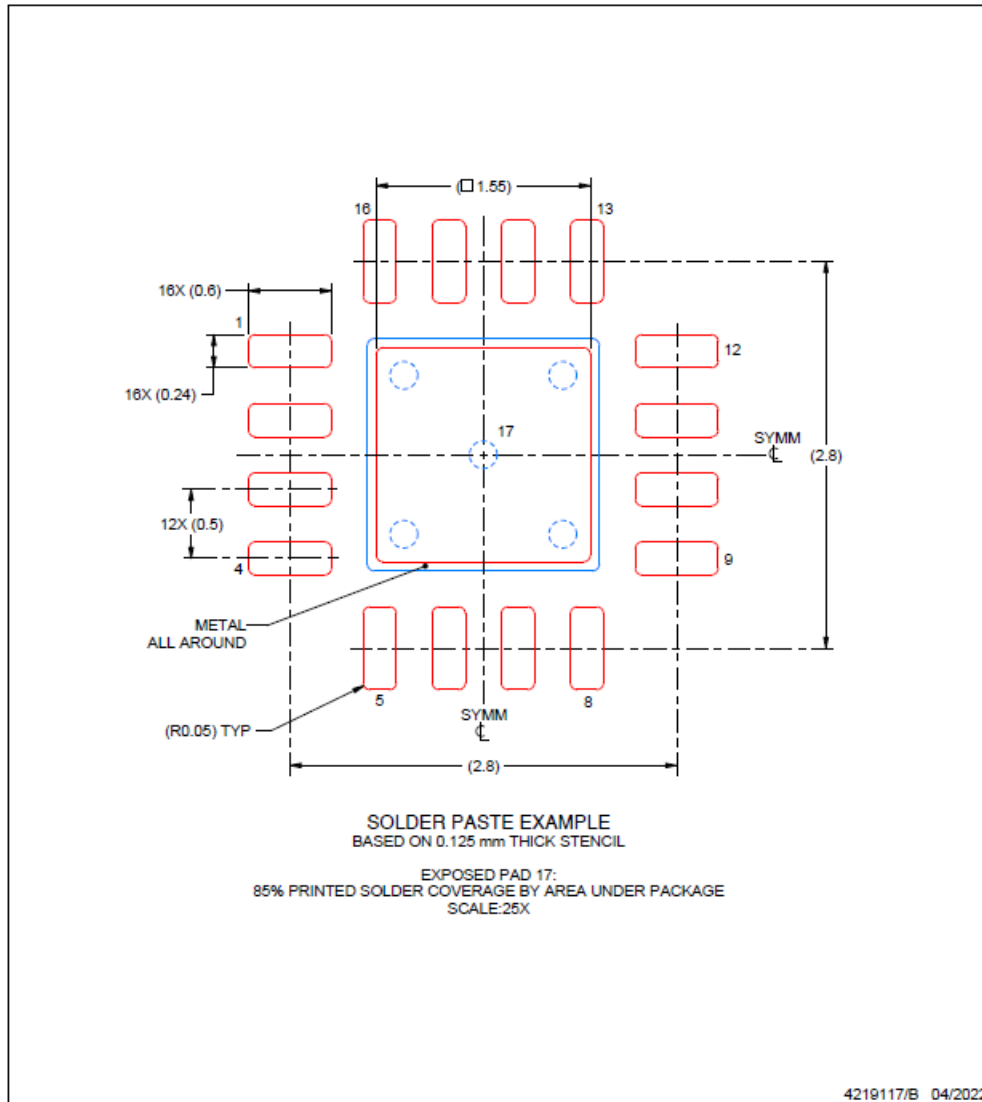
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

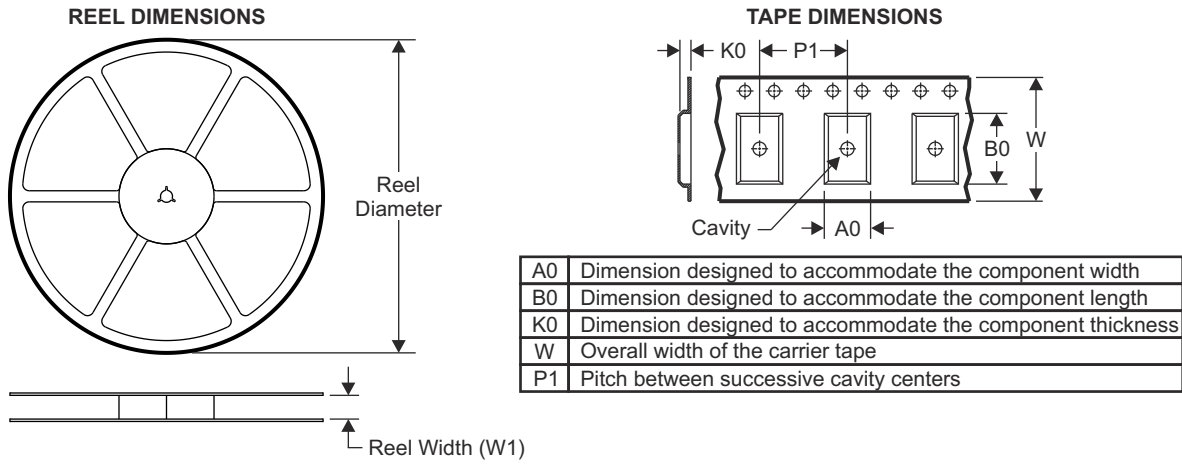
PLASTIC QUAD FLATPACK - NO LEAD



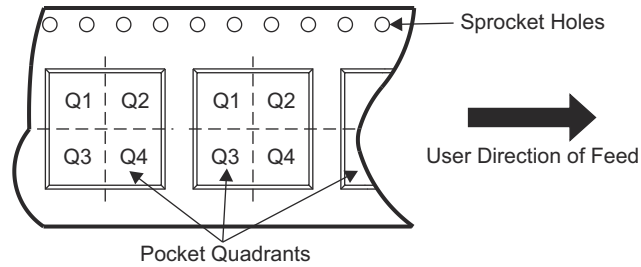
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

13.1 卷带封装信息

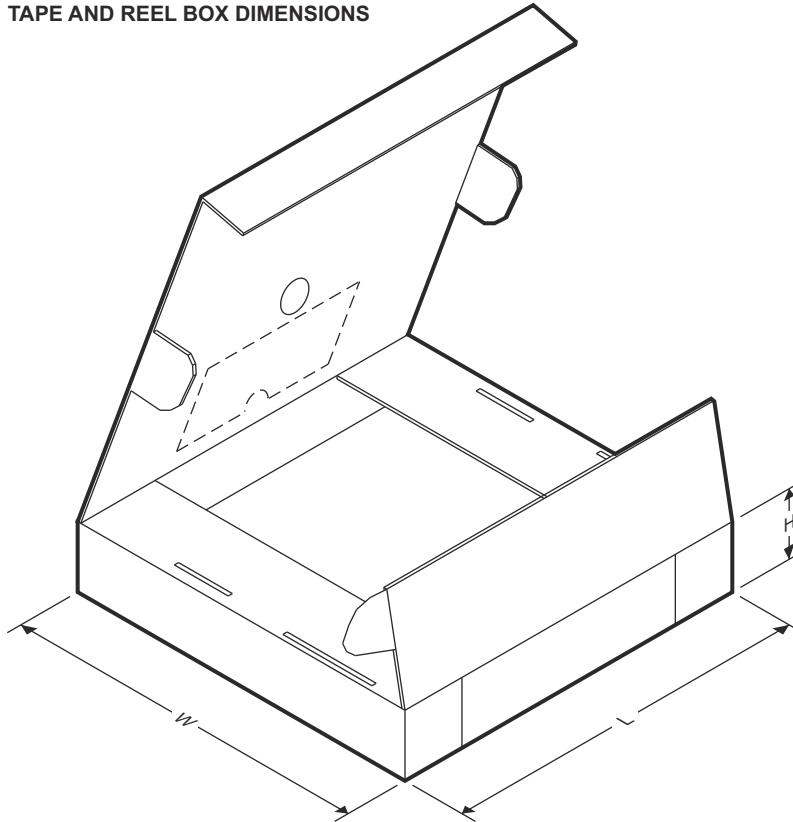


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
DRV8213DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
DRV8213RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
DRV8213DSGR	WSON	DSG	8	3000	2.0	2.0	0.8
DRV8213RTER	WQFN	RTE	16	3000	3.0	3.0	0.8

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8213DSGR	ACTIVE	WSON	DSG	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8213	Samples
DRV8213RTER	ACTIVE	WQFN	RTE	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8213	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

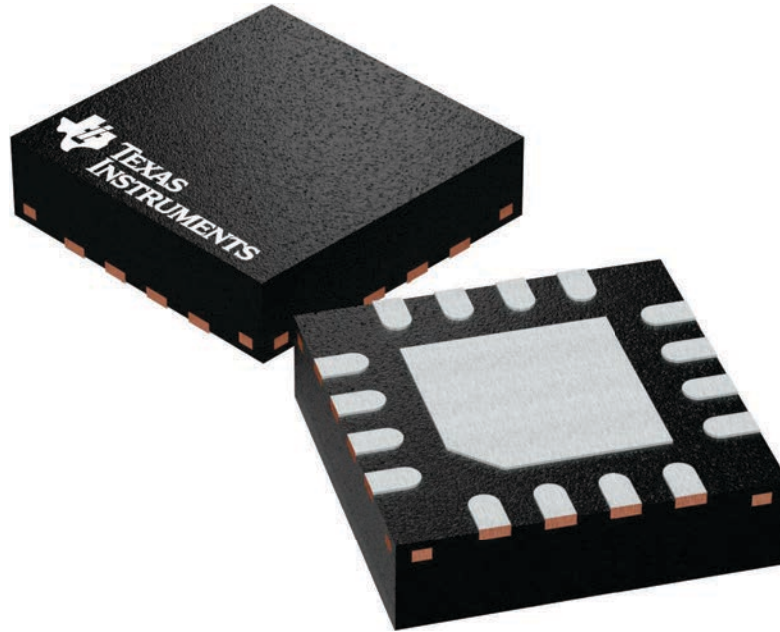
RTE 16

WQFN - 0.8 mm max height

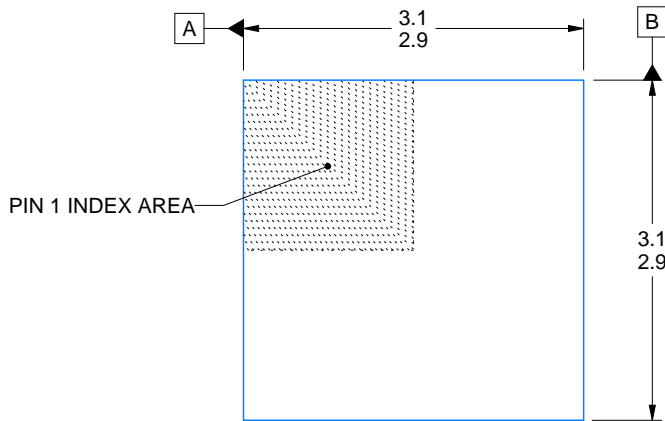
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

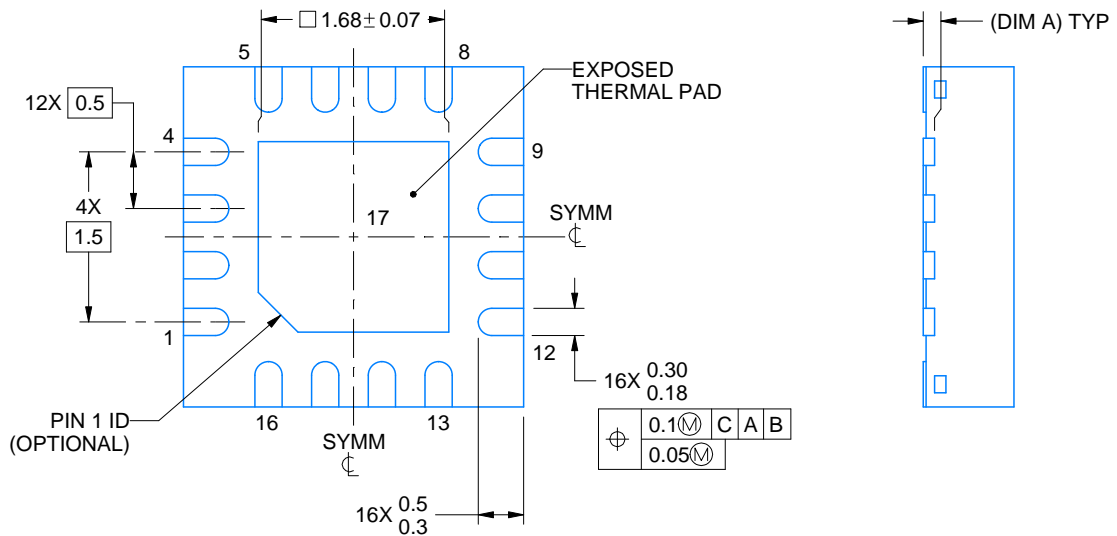
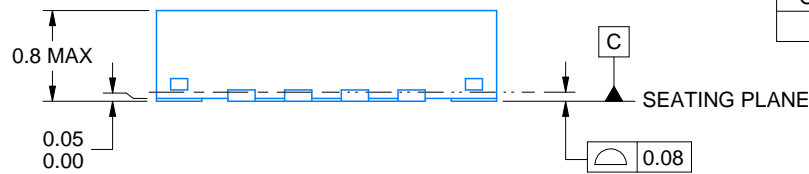
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225944/A



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4219117/B 04/2022

NOTES:

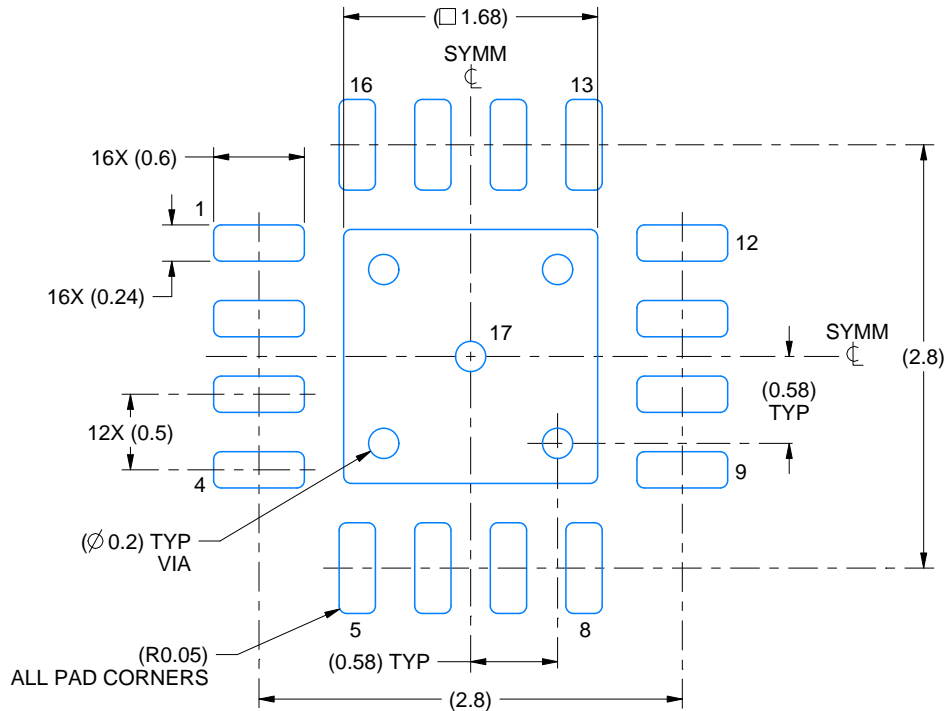
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

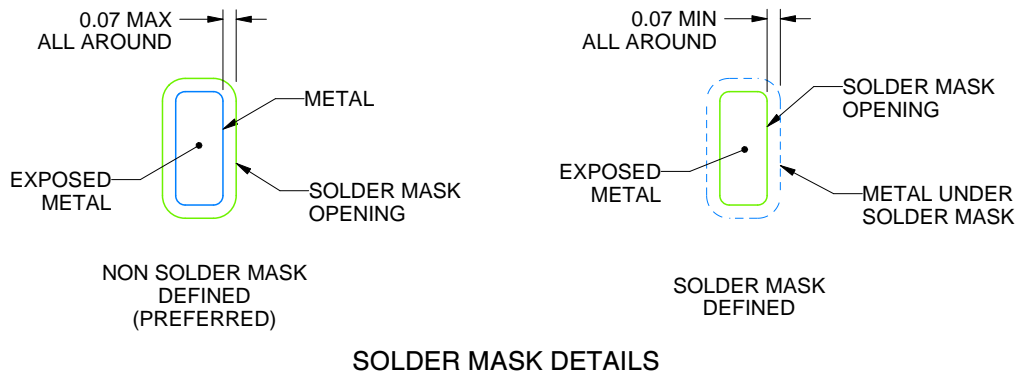
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

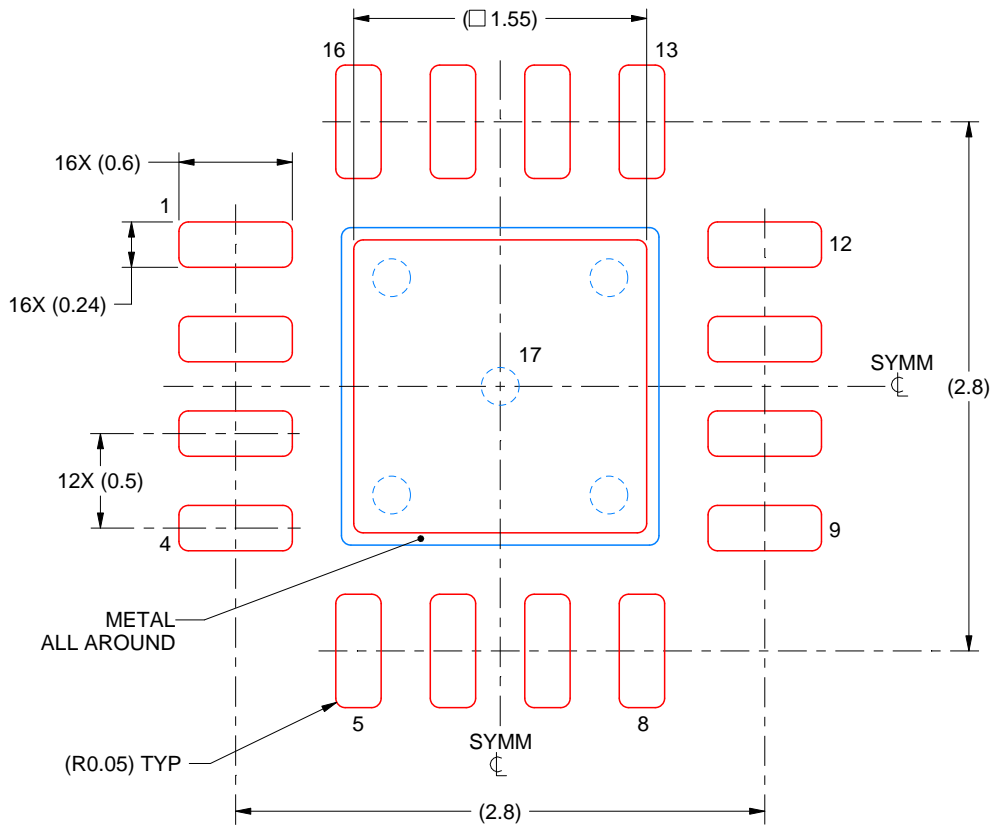
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

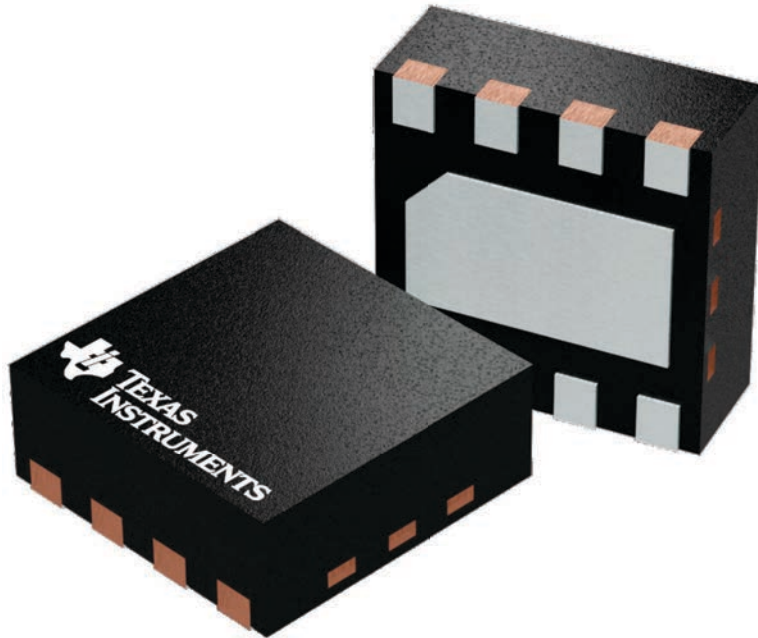
DSG 8

WSON - 0.8 mm max height

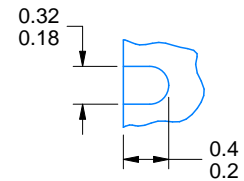
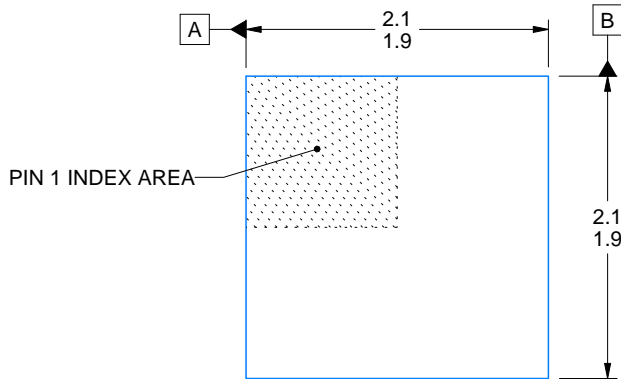
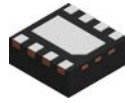
2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

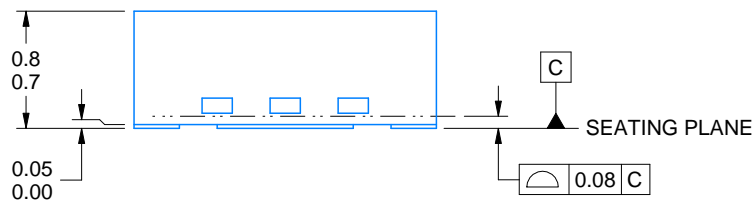
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



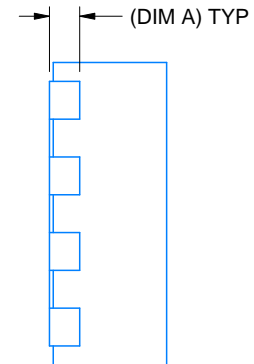
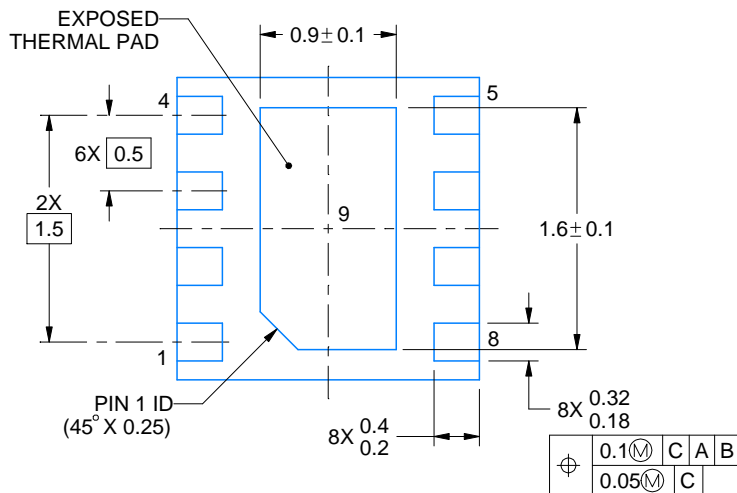
4224783/A



ALTERNATIVE TERMINAL SHAPE TYPICAL



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4218900/E 08/2022

NOTES:

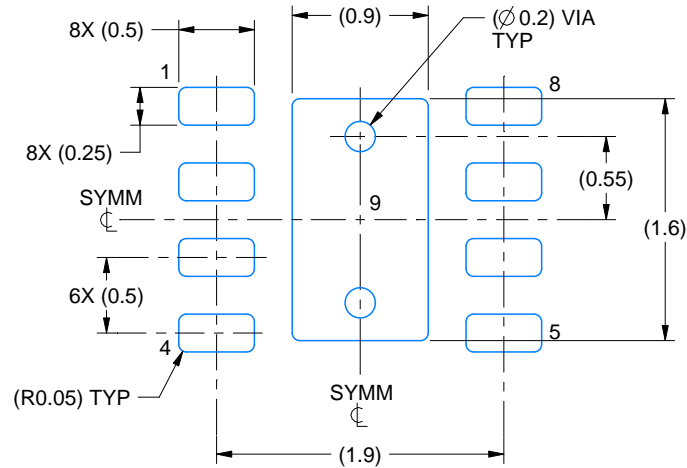
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

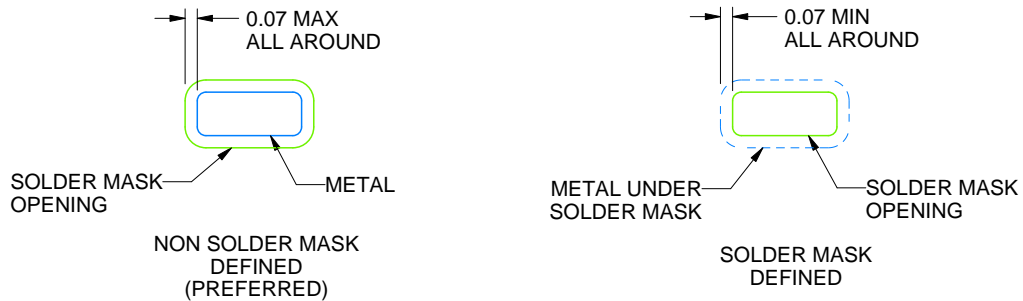
DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

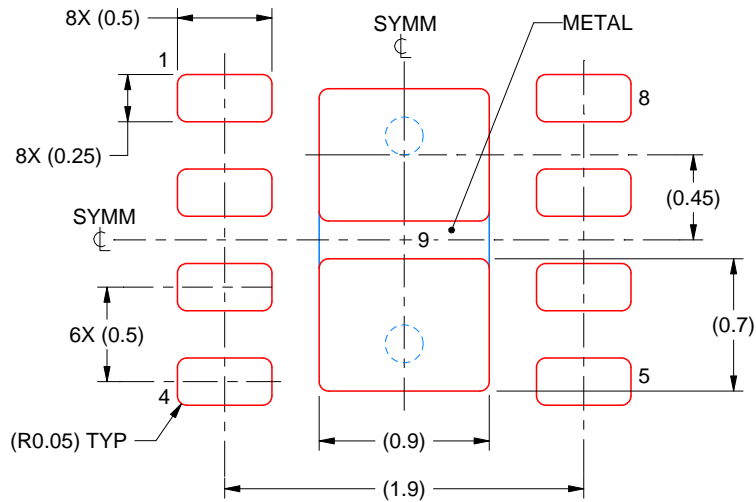
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司