

DRV8329-Q1 4.5V 至 60V 三相 BLDC 栅极驱动器

1 特性

- 65V 三相半桥栅极驱动器
 - 可驱动 3 个高侧和 3 个低侧 N 沟道 MOSFET (NMOS)
 - 4.5V 至 60V 工作电压范围
 - 具有涓流电荷泵，支持 100% 占空比
- 基于自举的栅极驱动器架构
 - 1000mA 最大峰值拉电流
 - 2000mA 最大峰值灌电流
- 具有低输入失调电压的集成电流检测放大器 (针对 1 个分流器进行了优化)
 - 可调增益 (5V/V、10V/V、20V/V、40V/V)
- 硬件接口提供简单配置
- 温度为 25°C 时，超低功耗休眠模式下的电流 <1uA
- 4ns (典型值) 相位间传播延迟匹配
- 独立驱动器关断路径 (DRVOFF)
- 65V 耐压唤醒引脚 (nSLEEP)
- SHx 引脚瞬态负压可达 -10V
- 6x 和 3x PWM 模式
- 支持 3.3V 和 5V 逻辑输入
- 精密 LDO (AVDD), 3.3V ±3%, 80mA
- 紧凑型 QFN 封装和尺寸
- 可通过 VDSLVL 引脚调节 VDS 过流阈值
- 可通过 DT 引脚调节死区时间
- 具有电源块的高效系统设计
- 集成保护特性
 - PVDD 欠压锁定 (PVDDUV)
 - GVDD 欠压 (GVDDUV)
 - 自举欠压 (BST_UV)
 - 过流保护 (VDS_OCP、SEN_OCP)
 - 热关断 (OTSD)
 - 故障状态指示器 (nFAULT)

2 应用

- 无刷直流 (BLDC) 电机模块和 PMSM
- 汽车泵
- 汽车 HVAC 风扇
- 电动自行车、电动踏板车和电动汽车
- 汽车车身电子装置 (车窗、车门、天窗、座椅、雨刮器) 模块

3 说明

DRV8329-Q1 系列器件是适用于三相应用的集成栅极驱动器。这类器件具有三个半桥栅极驱动器，每个驱动器都能够驱动高侧和低侧 N 沟道功率 MOSFET。该器件使用内部电荷泵生成合适的栅极驱动电压，使用自举电路增强高侧 MOSFET。该器件具有涓流电荷泵，支持 100% 占空比。此栅极驱动架构支持高达 1A 的栅极驱动峰值拉电流和 2A 的栅极驱动峰值灌电流。DRV8329-Q1 由单一电源供电，支持 4.5V 至 60V 的宽输入电源电压范围。

6x 和 3x PWM 模式可简化与控制器电路的连接。该器件具有集成的精密 3.3V LDO，该 LDO 可用于为外部控制器供电，并可用作 CSA 的基准电压。该器件的配置设置可通过硬件 (H/W) 引脚来配置。

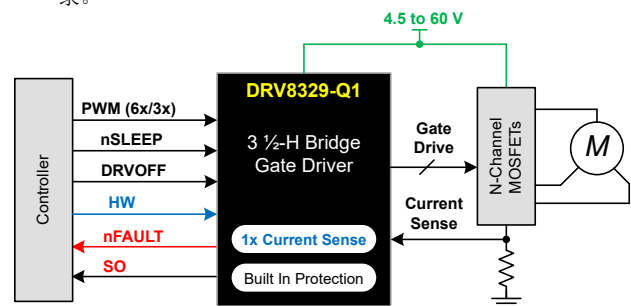
DRV8329-Q1 器件集成了低侧电流检测放大器，可在驱动级的全部三个相位上进行电流检测，以获得电流总和。

该器件提供低功耗休眠模式，通过关断大部分内部电路实现了低静态电流。该器件针对欠压锁定、GVDD 故障、MOSFET 过流、MOSFET 短路和过热等情况，提供内部保护功能。故障条件在 nFAULT 引脚上指示。

器件信息 (1)

器件型号	封装	封装尺寸 (标称值)
DRV8329ARGF-Q1	WQFN (40)	7.00mm × 5.00mm
DRV8329BRGF-Q1	WQFN (40)	7.00mm × 5.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



DRV8329-Q1 简化原理图



内容

1 特性	1	7.4 器件功能模式.....	29
2 应用	1	8 应用和实施	30
3 说明	1	8.1 应用信息.....	30
4 器件比较表	3	8.2 典型应用.....	30
5 引脚配置和功能	4	8.3 电源相关建议.....	44
6 规格	7	8.4 布局.....	45
6.1 绝对最大额定值.....	7	9 器件和文档支持	47
6.2 ESD 等级 - 汽车.....	7	9.1 器件支持.....	47
6.3 建议运行条件.....	8	9.2 文档支持.....	47
6.4 2pkg 热性能信息.....	8	9.3 相关链接.....	47
6.5 电气特性.....	9	9.4 接收文档更新通知.....	47
6.6 典型特性.....	16	9.5 社区资源.....	47
7 详细说明	17	9.6 商标.....	47
7.1 概述.....	17	10 修订历史记录	47
7.2 功能方框图.....	18	11 机械、封装和可订购信息	47
7.3 特性说明.....	19		

4 器件比较表

表 4-1. 不同器件型号

器件	器件型号	封装	数模转换器 (LDO) 输出	DT 引脚和 VDSLVL	PWM_MODE
DRV8329-Q1	DRV8329A-Q1	40 引脚 QFN (7.00mm x 5.00mm)	3.3V	可用	6x
	DRV8329B-Q1				3x

5 引脚配置和功能

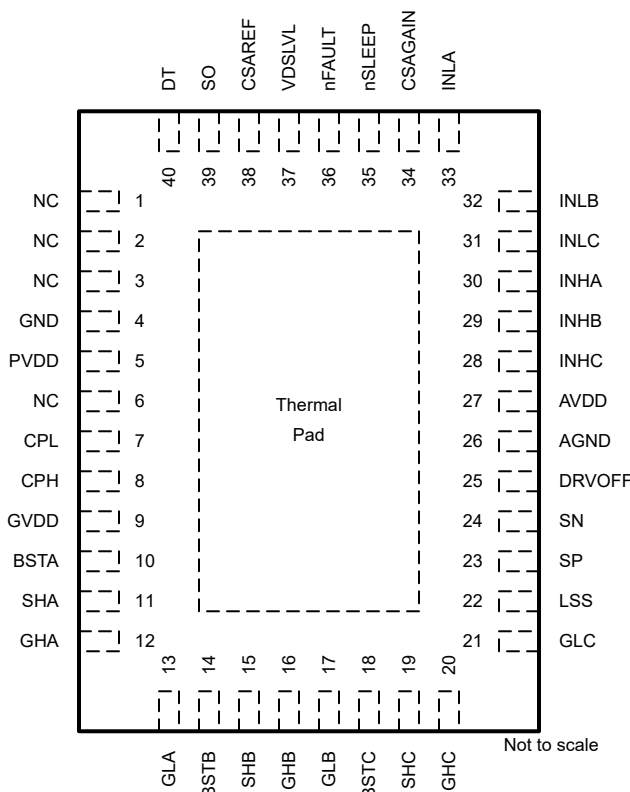


图 5-1. DRV8329 RGF 封装 40 引脚 VQFN (带有外露散热焊盘) 顶视图

表 5-1. 引脚功能 - 40 引脚 DRV8329-Q1 器件

名称	引脚编号 DRV8329	类型 ⁽¹⁾	说明
NC	1	—	无连接。
NC	2	—	无连接。
NC	3	—	无连接。
GND	4	PWR	器件接地。有关连接的建议，请参阅节 8.4.1。
PVDD	5	PWR	栅极驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 X5R 或 X7R、0.1μF、额定电压大于 2 倍 PVDD、容值大于 10uF 的陶瓷局部电容器。TI 建议电容器的额定电压至少是引脚正常工作电压的两倍。
NC	6	—	无连接。
CPL	7	PWR	电荷泵开关节点。在 CPH 引脚和 CPL 引脚之间连接一个 X5R 或 X7R、额定电压为 PVDD 的陶瓷电容器。TI 建议电容器的额定电压至少是引脚正常工作电压的两倍。
CPH	8	PWR	
GVDD	9	PWR-O	栅极驱动器电源输出。在 GVDD 和 GND 引脚之间连接一个 X5R 或 X7R、额定电压为 30V、容值 ≥ 10uF 的陶瓷局部电容器。TI 建议使用大于 10 倍 C _{BSTx} 的电容器容值和至少两倍于引脚正常工作电压的额定电压。
BSTA	10	O	自举输出引脚。在 BSTA 和 SHA 之间连接一个 X5R 或 X7R、1μF、25V 的陶瓷电容器。
SHA	11	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
GHA	12	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。

表 5-1. 引脚功能 - 40 引脚 DRV8329-Q1 器件 (续)

名称	引脚编号	类型 ⁽¹⁾	说明
	DRV8329		
GLA	13	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
BSTB	14	O	自举输出引脚。在 BSTB 和 SHB 之间连接一个 X5R 或 X7R、1 μ F、25V 的陶瓷电容器。
SHB	15	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
GHB	16	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLB	17	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
BSTC	18	O	自举输出引脚。在 BSTC 和 SHC 之间连接一个 X5R 或 X7R、1 μ F、25V 的陶瓷电容器。
SHC	19	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
GHC	20	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLC	21	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
LSS	22	PWR	低侧源极引脚，连接此处外部低侧 MOSFET 的所有源极。该引脚是低侧栅极驱动器的灌电流路径，并用作监测低侧 MOSFET VDS 电压和 VSEN_OCP 电压的输入。
SP	23	I	电流采样放大器输入。连接到低侧功率 MOSFET 源极和电流采样电阻的高侧。
SN	24	I	电流检测放大器输入。连接到电流采样电阻的低侧。
DRVOFF	25	I	独立驱动器关断路径。通过将栅极驱动器置于下拉状态，将 DRVOFF 拉高可关断所有外部 MOSFET。该信号绕过并覆盖 DRV8329 的数字内核。
AGND	26	PWR	器件模拟接地。有关连接的建议，请参阅节 8.4.1。
AVDD	27	PWR-O	3.3V 稳压器输出。在 AVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1 μ F、大于 6.3V 的陶瓷电容器。该稳压器可从外部拉取高达 80mA 的电流。TI 建议电容器的额定电压至少是引脚正常工作电压的两倍。
INHC	28	I	C 相的高侧栅极驱动器控制输入。该引脚控制高侧 FET 的输出 (DRV8329A) 或控制半桥的输出 (DRV8329B)。
INHB	29	I	B 相的高侧栅极驱动器控制输入。该引脚控制高侧 FET 的输出 (DRV8329A) 或控制半桥的输出 (DRV8329B)。
INHA	30	I	A 相的高侧栅极驱动器控制输入。该引脚控制高侧 FET 的输出 (DRV8329A) 或控制半桥的输出 (DRV8329B)。
INLC	31	I	C 相的低侧栅极驱动器控制输入。该引脚控制低侧 FET 的输出 (DRV8329A) 或控制半桥的高阻态模式 (DRV8329B)。
INLB	32	I	B 相的低侧栅极驱动器控制输入。该引脚控制低侧 FET 的输出 (DRV8329A) 或控制半桥的高阻态模式 (DRV8329B)。
INLA	33	I	A 相的低侧栅极驱动器控制输入。该引脚控制低侧 FET 的输出 (DRV8329A) 或控制半桥的高阻态模式 (DRV8329B)。
CSAGAIN	34	I	电流检测放大器的增益设置。该引脚是由外部电阻器设置的 4 电平输入引脚。有关更多信息，请参阅节 7.3.4。
nSLEEP	35	I	睡眠模式进入引脚。当该引脚被拉至逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 1 μ s 至 1.2 μ s 的低电平脉冲来复位故障条件，而不进入睡眠模式。
nFAULT	36	OD	故障指示灯输出。该引脚在发生故障期间被拉至逻辑低电平，并且需要使用一个连接到 3.3V 至 5.0V 电压的外部上拉电阻器。
VDSLVL	37	I	VDS 监测跳闸点设置。连接 0.1V 至 2.5V 的模拟电平输入，以便设置 VDS 监测跳闸点，从而实现 MOSFET 过流保护。有关更多信息，请参阅节 8.2.1.1.7。
CSAREF	38	I	电流检测放大器基准。在 CSAREF 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1 μ F、6.3V 的陶瓷电容器。
SO	39	O	电流检测放大器输出。支持容性负载或低通滤波器 (串联电阻器和电容器至 AGND)
DT	40	I	栅极驱动器死区时间设置。在 DT 和 AGND 之间连接一个值介于 10k Ω 与 390k Ω 之间的电阻，以在 100ns 至 2000ns 之间调节死区时间。如果引脚悬空或连接到 AGND，则会插入固定为 55ns 的死区时间。

表 5-1. 引脚功能 - 40 引脚 DRV8329-Q1 器件 (续)

名称	引脚编号	类型 ⁽¹⁾	说明
	DRV8329		
散热焊盘		PWR	必须连接到 GND

(1) PWR = 电源, I = 输入, O = 输出, NC = 无连接, OD = 开漏输出

6 规格

6.1 绝对最大额定值

在工作温度范围内（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源引脚电压	PVDD	-0.3	65	V
自举引脚电压	BSTx	-0.3	80	V
自举引脚电压	BSTx, 以 SHx 为基准	-0.3	20	V
自举引脚电压	BSTx, 以 GHx 为基准	-0.3	20	V
电荷泵引脚电压	CPL、CPH	-0.3	V _{GVDD}	V
栅极驱动器稳压器引脚电压	GVDD	-0.3	20	V
模拟稳压器引脚电压	AVDD	-0.3	4	V
逻辑引脚电压 (nSLEEP)	nSLEEP	-0.3	65	V
逻辑引脚电压	DRVOFF、DT、INHx、INLx、nFAULT、VDSLVL	-0.3	6	V
高侧栅极驱动引脚电压	GHx	-8	80	V
高侧栅极驱动引脚 500ns 瞬态电压	GHx	-10	80	V
高侧栅极驱动引脚电压	GHx, 以 SHx 为基准	-0.3	20	V
高侧源极引脚电压	SHx	-8	70	V
高侧源极引脚 500ns 瞬态电压	SHx	-10	72	V
低侧栅极驱动引脚电压	GLx, 以 LSS 为基准	-0.3	20	V
低侧栅极驱动引脚 500ns 瞬态电压 ⁽²⁾	GLx, 以 LSS 为基准	-1	20	V
低侧栅极驱动引脚电压	GLx, 以 GVDD 为基准		0.3	V
低侧栅极驱动引脚 500ns 瞬态电压	GLx, 以 GVDD 为基准		1	V
低侧源极检测引脚电压	LSS	-1	1	V
低侧源极检测引脚 500ns 瞬态电压	LSS	-10	8	V
栅极驱动电流	GHx、GLx	内部受限制	内部受限制	A
电流检测放大器基准输入引脚电压	CSAREF	-0.3	5.5	V
分流放大器输入引脚电压	SN、SP	-1	1	V
分流放大器输入引脚 500ns 瞬态电压	SN、SP	-10	8	V
分流放大器输出引脚电压	SO	-0.3	V _{CSAREF} + 0.3	V
结温, T _J		-40	150	°C
贮存温度, T _{stg}		-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命
- (2) 当 GLx-LSS 为负时，支持高达 5A、持续时间为 500nS 的电流

6.2 ESD 等级 - 汽车

			值	单位	
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	±2000	V	
		充电器件模型 (CDM), 符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚		±750
			其他引脚		±500

- (1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

6.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V _{PVDD}	电源电压	PVDD	4.5		60	V
V _{PVDD_RAMP}	上电时的电源电压斜升速率	PVDD			30	V/us
V _{PVDD_RAMP}	运行期间的电源电压斜升速率	PVDD			4	V/us
V _{BST}	以 SHx 为基准的自举引脚电压	nSLEEP = 高电平, INHx 进行开关	4		20	V
I _{AVDD} ⁽¹⁾	稳压器外部负载电流	AVDD			80	mA
I _{TRICKLE}	涓流电荷泵外部负载电流	BSTx			2	μA
V _{IN}	逻辑输入电压	DRVOFF、INHx、INLx、nSLEEP	0		5.5	V
V _{IN}	逻辑输入电压	DT、VDSLVL	0		3.4	V
f _{PWM}	PWM 频率	INHx、INLx	0		200	kHz
V _{OD}	开漏上拉电压	nFAULT			5.5	V
I _{OD}	开漏输出电流	nFAULT			-10	mA
I _{GS} ⁽¹⁾	总平均栅极驱动电流（低侧和高侧相结合）	I _{GHx} 、I _{GLx}			30	mA
V _{CSAREF}	电流检测放大器基准电压	CSAREF	2.8		5.5	V
V _{SHSL}	SHx 引脚上的压摆率				4	V/ns
C _{BSTx}	BSTx 和 SHx 之间的电容器				4.7 ⁽²⁾	μF
C _{GVDD}	GVDD 和 GND 之间的电容器				130	μF
T _A	工作环境温度		-40		125	°C
T _J	工作结温		-40		150	°C

(1) 必须遵循功率耗散和热限值。

(2) 当 C_{BSTx} > 4.7μF 时，需要限制流经自举二极管 (DBOOT) 的电流。

6.4 2pkg 热性能信息

热性能指标 ⁽¹⁾		器件	
		RGF (VQFN)	
		40	
			单位
R _{θJA}	结至环境热阻	30.6	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	20.1	°C/W
R _{θJB}	结至电路板热阻	12.0	°C/W
Ψ _{JT}	结至顶部特征参数	0.4	°C/W
Ψ _{JB}	结至电路板特征参数	12.0	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	4.6	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅[半导体和 IC 封装热性能指标应用报告](#)。

6.5 电气特性

4.5V ≤ V_{PVDD} ≤ 60V, -40°C ≤ T_J ≤ 150°C (除非另有说明)。典型限值适用于 T_A = 25°C、V_{PVDD} = 24V

参数		测试条件	最小值	典型值	最大值	单位
电源 (AVDD、PVDD、GVDD)						
I _{PVDDQ}	PVDD 睡眠模式电流	V _{PVDD} = 24V, nSLEEP = 0, T _A = 25°C			1	μA
		nSLEEP = 低电平			2	μA
I _{PVDDS}	PVDD 待机模式电流	V _{PVDD} = 24V; nSLEEP = 高电平, INHx = INLx = 低电平, DRVOFF = 高电平		2	4	mA
		nSLEEP = 高电平, INHx = INLx = 低电平, DRVOFF = 高电平		3	5.5	mA
I _{PVDD}	PVDD 活动模式电流	V _{PVDD} = 24V, nSLEEP = 高电平, INHx = INLx = 开关频率为 20kHz, 未连接 FET		4	7	mA
		nSLEEP = 高电平, INHx = INLx = 开关频率为 20kHz, 未连接 FET		5	10	mA
		V _{PVDD} = 8V, nSLEEP = 高电平, INHx = INLx = 低电平, 未连接 FET		5	10	mA
		V _{PVDD} = 24V, nSLEEP = 高电平, INHx = INLx = 低电平, 未连接 FET		5	7	mA
I _{LBSx}	自举引脚漏电流	V _{BSTx} = V _{SHx} = 60V, V _{GVDD} = 0V, nSLEEP = 低电平	5	10	16	μA
I _{LBS_TRAN}	自举引脚运行模式瞬态漏电流	INHx = INHx = 开关频率为 20kHz, 未连接 FET	60	115	300	μA
I _{LBS_DC_SRC}	自举引脚运行模式静态泄漏拉电流	INHx = 高电平, INLx = 低电平, INLy = INLz = 高电平, nSLEEP = 高电平, V _{PVDD} = V _{SHx} = V _{GVDD} = 12V, V _{BSTx} - V _{SHx} = 5V	135	200	280	μA
		INHx = 高电平, INLx = 低电平, INLy = INLz = 高电平, nSLEEP = 高电平, V _{PVDD} = V _{SHx} = V _{GVDD} = 12V, V _{BSTx} - V _{SHx} = 7V	70	105	145	μA
		INHx = 低电平, INLx = 低电平, INLy = INLz = 高电平, nSLEEP = 高电平, V _{PVDD} = V _{SHx} = V _{GVDD} = 12V, V _{BSTx} - V _{SHx} = 5V	25	50	90	μA
		INHx = 低电平, INLx = 低电平, INLy = INLz = 高电平, nSLEEP = 高电平, V _{PVDD} = V _{SHx} = V _{GVDD} = 12V, V _{BSTx} - V _{SHx} = 7V	16	28	50	μA
I _{LBS_DC_SINK}	自举引脚运行模式静态泄漏灌电流	INHx = 低电平, INLx = 低电平, INLy = INLz = 高电平, nSLEEP = 高电平, V _{PVDD} = V _{SHx} = V _{GVDD} = 12V, V _{BSTx} - V _{SHx} = 12V	10	40	90	μA
		INHx = 高电平, INLx = 低电平, INLy = INLz = 高电平, nSLEEP = 高电平, V _{PVDD} = V _{SHx} = V _{GVDD} = 12V, V _{BSTx} - V _{SHx} = 12V	14	45	91	μA

$4.5V \leq V_{PVDD} \leq 60V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。典型限值适用于 $T_A = 25^{\circ}C$ 、 $V_{PVDD} = 24V$

参数	测试条件	最小值	典型值	最大值	单位	
I _{LSHx}	源极引脚漏电流 INHx = INLx = 低电平, V _{BSTx} - V _{SHx} = 15V, V _{SHx} = 0V 至 60V, nSLEEP = 高电平, DRVOFF = 低电平	80	145	210	μA	
	INHx = INLx = 低电平, V _{BSTx} - V _{SHx} = 11V, V _{SHx} = 0V 至 60V, nSLEEP = 高电平, DRVOFF = 低电平	15	20	30	μA	
	INHx = 高电平, INLx = 低电平, V _{BSTx} - V _{SHx} = 15V, V _{SHx} = 0V 至 60V, nSLEEP = 高电平, DRVOFF = 低电平	80	145	210	μA	
	INHx = 高电平, INLx = 低电平, V _{BSTx} - V _{SHx} = 11V, V _{SHx} = 0V 至 60V, nSLEEP = 高电平, DRVOFF = 低电平	13	25	35	μA	
t _{WAKE}	导通时间 (nSLEEP) nSLEEP = 高电平至运行模式 (输出就绪) , DRVOFF = 低电平, C _{GVDD} = 10uF, C _{BSTx} = 1uF		1	2	ms	
	nSLEEP = 高电平至运行模式 (输出就绪) 。 C _{GVDD} = 100uF, C _{AVDD} = 10uF, C _{BSTx} = 10uF		10	15	ms	
	V _{PVDD} = 12V, nSLEEP = 高电平至运行模式 (输出就绪) , DRVOFF = 低电平, C _{GVDD} = 10uF		1	2	ms	
	导通时间 (DRVOFF) DRVOFF = 低电平至运行模式 (输出就绪) , nSLEEP = 高电平		0.05	0.1	ms	
t _{SLEEP}	关断时间 nSLEEP = 低电平至睡眠模式			20	us	
t _{RST}	最短复位脉冲时间 nSLEEP = 复位故障的低电平周期	1		1.2	us	
V _{GVDD_RT}	GVDD 栅极驱动器稳压器电压 (室温)	V _{PVDD} ≥ 40V, I _{GS} = 10mA, T _J = 25°C	11.8	13	15	V
		22V ≤ V _{PVDD} ≤ 40V, I _{GS} = 30mA, T _J = 25°C	11.8	13	15	V
		8V ≤ V _{PVDD} ≤ 22V, I _{GS} = 30mA, T _J = 25°C	11.8	13	15	V
		6.75V ≤ V _{PVDD} ≤ 8V, I _{GS} = 10mA, T _J = 25°C	11.8	13	14.5	V
		4.5V ≤ V _{PVDD} ≤ 6.75V, I _{GS} = 10mA, T _J = 25°C	2*V _{PVDD} - 1		13.5	V
V _{GVDD}	GVDD 栅极驱动器稳压器电压	V _{PVDD} ≥ 40V, I _{GS} = 10mA	11.5		15.5	V
		22V ≤ V _{PVDD} ≤ 40V, I _{GS} = 30mA	11.5		15.5	V
		8V ≤ V _{PVDD} ≤ 22V, I _{GS} = 30mA	11.5		15.5	V
		6.75V ≤ V _{PVDD} ≤ 8V, I _{GS} = 10mA	11.5		14.5	V
		4.5V ≤ V _{PVDD} ≤ 6.75V, I _{GS} = 10mA	2*V _{PVDD} - 1.4		13.5	V
V _{AVDD_RT}	AVDD 模拟稳压器电压 (室温)	V _{PVDD} ≥ 6V, 0mA ≤ I _{AVDD} ≤ 30mA, T _J = 25°C	3.26	3.3	3.33	V
		V _{PVDD} ≤ 6V, 30mA ≤ I _{AVDD} ≤ 80mA, T _J = 25°C	3.2	3.3	3.4	V
		V _{PVDD} ≤ 6V, 0mA ≤ I _{AVDD} ≤ 50mA, T _J = 25°C	3.13	3.3	3.46	V
V _{AVDD}	AVDD 模拟稳压器电压	V _{PVDD} ≥ 6V, 0mA ≤ I _{AVDD} ≤ 80mA	3.2	3.3	3.4	V
		V _{PVDD} ≤ 6V, 0mA ≤ I _{AVDD} ≤ 50mA	3.125	3.3	3.5	V
逻辑电平输入 (DRVOFF、INHx、INLx、nSLEEP 等)						

4.5V ≤ V_{PVDD} ≤ 60V, -40°C ≤ T_J ≤ 150°C (除非另有说明)。典型限值适用于 T_A = 25°C、V_{PVDD} = 24V

参数		测试条件	最小值	典型值	最大值	单位
V _{IL}	输入逻辑低电平电压	DRVOFF			0.8	V
		INLx、INHx 引脚			0.8	V
V _{IH}	输入逻辑高电平电压	DRVOFF	2.2			V
		INLx、INHx 引脚	2.2			V
V _{HYS}	输入迟滞	DRVOFF	200	400	650	mV
		INLx、INHx 引脚	45	240	350	mV
I _{IL}	输入逻辑低电平电流	V _{PIN} (引脚电压) = 0V;	-1	0	1	μA
I _{IH}	输入逻辑高电平电流	nSLEEP, V _{PIN} (引脚电压) = 65V;	3	6.5	10	μA
		nSLEEP, V _{PIN} (引脚电压) = 5V;	3	6	10	μA
		其他引脚, V _{PIN} (引脚电压) = 5V;	7	20	35	μA
R _{PD_DRVOFF}	输入下拉电阻	DRVOFF 至 GND	100	200	300	kΩ
R _{PD_nSLEEP}	输入下拉电阻	nSLEEP 至 GND	500	800	1500	kΩ
R _{PD}	输入下拉电阻	所有其他引脚至 GND	150	250	350	kΩ
四电平输入 (GAIN)						
V _{L1}	输入电平 1 电压	连接至 GND	0	0.18*AV _{DD}		V
V _{L2}	输入电平 2 电压	50kΩ +/- 5% 连接至 GND	0.48*AV _{DD}	0.5*AV _D	0.52*AV _{DD}	V
V _{L3}	输入电平 3 电压	200kΩ +/- 5% 连接至 GND	0.82*AV _{DD}	0.833*AV _{DD}	0.85*AV _{DD}	V
V _{L4}	输入电平 4 电压	高阻态或连接至 AVDD		AVDD		V
R _{PU}	输入上拉电阻	GAIN 至 AVDD	80	100	120	kΩ
开漏输出 (nFAULT 等)						
V _{OL}	输出逻辑低电平电压	I _{OD} = 5mA			0.4	V
I _{OZ}	输出逻辑高电平电流	V _{OD} = 5V	-1		1	μA
C _{OD}	输出电容	V _{OD} = 5V			30	pF
栅极驱动器 (GHx、GLx、SHx、SLx)						
V _{GSHx_LO}	高侧栅极驱动低电平电压	I _{GLx} = -100mA, V _{GVDD} = 12V, 未连接 FET	0.05	0.11	0.24	V
V _{GSHx_HI}	高侧栅极驱动高电平电压 (V _{BSTx} - V _{GHx})	I _{GHx} = 100mA, V _{GVDD} = 12V, 未连接 FET	0.28	0.44	0.82	V
V _{GSLx_LO}	低侧栅极驱动低电平电压	I _{GLx} = -100mA, V _{GVDD} = 12V, 未连接 FET	0.05	0.11	0.27	V
V _{GSLx_HI}	低侧栅极驱动高电平电压 (V _{GVDD} - V _{GHx})	I _{GHx} = 100mA, V _{GVDD} = 12V, 未连接 FET	0.28	0.44	0.82	V
V _{GSH_100_PH}	具有 100% 占空比的稳态高侧栅极驱动电压 (GHx - SHx)	INHx = 高电平, INLx = 低电平, INLy = INLz = 高电平, V _{PVDD} > 15V, V _{GVDD} ≥ 11.5V	8.4	9.6	11.1	V
		INHx = 高电平, INLx = 低电平, INLy = INLz = 高电平, V _{GVDD} ≤ 11.5V	7.5	8.3	9	V
		INHx = 高电平, INLx = 低电平, INLy = INLz = 高电平, 7V ≥ V _{GVDD} ≥ 8V	5.7	6.5	7.6	V
R _{DS(ON)_PU_HS}	高侧上拉开关电阻	I _{GHx} = 100mA, V _{GVDD} = 12V	2.7	4.5	8.4	Ω
R _{DS(ON)_PD_HS}	高侧下拉开关电阻	I _{GHx} = 100mA, V _{GVDD} = 12V	0.2	1.1	2.4	Ω
R _{DS(ON)_PU_LS}	低侧上拉开关电阻	I _{GLx} = 100mA, V _{GVDD} = 12V	2.7	4.5	8.3	Ω

DRV8329-Q1

ZHCSVR5A - MARCH 2023 - REVISED NOVEMBER 2024

 $4.5V \leq V_{PVDD} \leq 60V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}C$ 、 $V_{PVDD} = 24V$

参数		测试条件	最小值	典型值	最大值	单位
$R_{DS(ON_PD_LS)}$	低侧下拉开关电阻	$I_{GLx} = 100mA$, $V_{GVDD} = 12V$	0.2	1.1	2.8	Ω
I_{DRIVEP_HS}	高侧峰值栅极拉电流	$V_{GSHx} = 12V$	550	1000	1575	mA
I_{DRIVEN_HS}	高侧峰值栅极灌电流	$V_{GSHx} = 0V$	1150	2000	2675	mA
I_{DRIVEP_LS}	低侧峰值栅极拉电流	$V_{GSLx} = 12V$	550	1000	1575	mA
I_{DRIVEN_LS}	低侧峰值栅极灌电流	$V_{GSLx} = 0V$	1150	2000	2675	mA
R_{PD_LS}	低侧无源下拉电阻	GLx 至 LSS	80	100	120	k Ω
R_{PDSA_HS}	高侧半有源下拉电阻	GHx 至 SHx, $V_{GSHx} = 2V$	8	10	12.5	k Ω
栅极驱动器时序						
t_{PDR_LS}	低侧上升传播延迟	INLx 至 GLx 上升, $V_{GVDD} > 8V$	70	100	145	ns
t_{PDF_LS}	低侧下降传播延迟	INLx 至 GLx 下降, $V_{GVDD} > 8V$	70	100	135	ns
t_{PDR_HS}	高侧上升传播延迟	INHx 至 GHx 上升, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$	65	100	145	ns
t_{PDF_HS}	高侧下降传播延迟	INHx 至 GHx 下降, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$	70	100	140	ns
$t_{PD_MATCH_PH}$	每相位的匹配传播延迟	GLx 开启至 GLx 关闭, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$, SHx = 0V 至 60V, GHx 和 GLx 上没有负载	-25	± 4	25	ns
		GLx 关闭至 GHx 开启, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$, SHx = 0V 至 60V, GHx 和 GLx 上没有负载	-28	± 4	28	ns
		GHx 开启至 GHx 关闭, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$, SHx = 0V 至 60V, GHx 和 GLx 上没有负载	-25	± 4	25	ns
		GHx 关闭至 GLx 开启, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$, SHx = 0V 至 60V, GHx 和 GLx 上没有负载	-25	± 4	25	ns
$t_{PD_MATCH_PH_PH}$	相间匹配传播延迟	GHx 开启至 GHy 开启, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$, SHx = 0V 至 60V, GHx 和 GLx 上没有负载	-10	± 4	10	ns
		GLx 开启至 GLy 开启, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$, SHx = 0V 至 60V, GHx 和 GLx 上没有负载	-10	± 4	10	ns
		GHx 关闭至 GHy 关闭, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$, SHx = 0V 至 60V, GHx 和 GLx 上没有负载	-15	± 4	15	ns
		GLx 关闭至 GLy 关闭, $V_{GVDD} = V_{BSTx} - V_{SHx} > 8V$, SHx = 0V 至 60V, GHx 和 GLx 上没有负载	-10	± 4	10	ns
t_{PW_MIN}	INHx、INLx 上改变 GHx、GLx 输出的最小输入脉冲宽度		18	32	45	ns
t_{DEAD}	栅极驱动器死区时间可配置范围		50		2000	ns
t_{DEAD}	栅极驱动器死区时间	DT 引脚悬空	35	55	90	ns
		DT 引脚连接至 GND	25	55	80	ns
		DT 引脚和 GND 之间连接 10k Ω 电阻	75	100	140	ns
		DT 引脚和 GND 之间连接 390k Ω 电阻	1350	2000	2650	ns
自举二极管						
V_{BOOTD}	自举二极管正向电压	$I_{BOOT} = 100\mu A$			0.8	V
		$I_{BOOT} = 100mA$			1.6	V

4.5V ≤ V_{PVDD} ≤ 60V, -40°C ≤ T_J ≤ 150°C (除非另有说明)。典型限值适用于 T_A = 25°C、V_{PVDD} = 24V

参数		测试条件	最小值	典型值	最大值	单位
R _{BOOTD}	自举动态电阻 (ΔV _{BOOTD} /ΔI _{BOOT})	I _{BOOT} = 100mA 和 50mA	4.5	5.5	9	Ω
电流分流放大器 (SNx、SOx、SPx、CSAREF)						
A _{CSA}	检测放大器增益	CSAGAIN = 连接至 GND	4.92	5	5.05	V/V
		CSAGAIN = 50kΩ ±5% 连接至 GND	9.9	10	10.1	V/V
		CSAGAIN = 200kΩ ±5% 连接至 GND	19.75	20	20.2	V/V
		CSAGAIN = 高阻态；	39.6	40	40.6	V/V
A _{CSA_ERR}	检测放大器增益误差	T _J = 25°C	-1.5		1.5	%
A _{CSA_ERR_D RIFT}	检测放大器增益误差温度漂移		-20		20	ppm/°C
NL	非线性误差			0.01	0.05	%
t _{SET}	精度达 ±1% 的稳定时间	V _{STEP} = 1.6V, A _{CSA} = 5V/V, C _{LOAD} = 500pF		0.6	1	μs
		V _{STEP} = 1.6V, A _{CSA} = 10V/V, C _{LOAD} = 500pF		0.6	1.1	μs
		V _{STEP} = 1.6V, A _{CSA} = 20V/V, C _{LOAD} = 500pF		0.7	1.2	μs
		V _{STEP} = 1.6V, A _{CSA} = 40V/V, C _{LOAD} = 500pF		0.8	1.7	μs
t _{SET}	精度达 ±1% 的稳定时间	V _{STEP} = 1.6V, A _{CSA} = 5V/V, C _{LOAD} = 60pF		0.3	0.5	μs
		V _{STEP} = 1.6V, A _{CSA} = 10V/V, C _{LOAD} = 60pF		0.3	0.5	μs
		V _{STEP} = 1.6V, A _{CSA} = 20V/V, C _{LOAD} = 60pF		0.3	0.65	μs
		V _{STEP} = 1.6V, A _{CSA} = 40V/V, C _{LOAD} = 60pF		0.3	0.8	μs
BW	带宽	A _{CSA} = 5V/V, C _{LOAD} = 60pF, 小信号 -3dB	3	5	7	MHz
		A _{CSA} = 10V/V, C _{LOAD} = 60pF, 小信号 -3dB	2.5	4.8	6.6	MHz
		A _{CSA} = 20V/V, C _{LOAD} = 60pF, 小信号 -3dB	2	4	5.4	MHz
		A _{CSA} = 40V/V, C _{LOAD} = 60pF, 小信号 -3dB	1.75	3	4.2	MHz
t _{SR}	输出压摆率	V _{STEP} = 1.6V, A _{CSA} = 5V/V, C _{LOAD} = 60pF, 从低电平转换到高电平		12		V/μs
		V _{STEP} = 1.6V, A _{CSA} = 10V/V, C _{LOAD} = 60pF, 从低电平转换到高电平		13		V/μs
		V _{STEP} = 1.6V, A _{CSA} = 20V/V, C _{LOAD} = 60pF, 从低电平转换到高电平		11		V/μs
		V _{STEP} = 1.6V, A _{CSA} = 40V/V, C _{LOAD} = 60pF, 从低电平转换到高电平		11		V/μs
V _{SWING}	输出电压范围	V _{CSAREF} = 3	0.25		2.75	V
V _{SWING}	输出电压范围	V _{CSAREF} = 5.5	0.25		5.25	V
V _{SWING}	输出电压范围	V _{CSAREF} = 3V 至 5.5V	0.25		V _{CSAREF} - 0.25	V
V _{COM}	共模输入范围		-0.15		0.15	V
V _{DIFF}	差分模式输入范围		-0.3		0.3	V
V _{OFF}	输入失调电压	V _{SP} = V _{SN} = GND, T _J = -40°C, CSA_VREF = 0	-2.0		2.0	mV

$4.5V \leq V_{PVDD} \leq 60V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}C$ 、 $V_{PVDD} = 24V$

参数		测试条件	最小值	典型值	最大值	单位
V_{OFF}	输入失调电压	$V_{SP} = V_{SN} = GND$, $T_J = 25^{\circ}C$, $CSA_VREF = 0$	-1.9		1.9	mV
V_{OFF}	输入失调电压	$V_{SP} = V_{SN} = GND$, $T_J = 175^{\circ}C$, $CSA_VREF = 0$	-2.0		2.0	mV
V_{OFF}	输入失调电压	$V_{SP} = V_{SN} = GND$	-2.0		2.0	mV
V_{OFF_DRIFT}	输入漂移失调电压	$V_{SP} = V_{SN} = GND$		8		$\mu V/^{\circ}C$
V_{BIAS}	输出电压偏置比	$V_{SP} = V_{SN} = GND$	0.122	0.125	0.128	V
V_{BIAS_ACC}	输出电压偏置比精度	$V_{SP} = V_{SN} = GND$	-1.2		1.2	%
I_{BIAS}	输入偏置电流	$V_{SP} = V_{SN} = GND$, $V_{CSAREF} = 3V$ 至 5.5V			100	μA
I_{BIAS_OFF}	输入偏置电流失调	$I_{SP} - I_{SN}$	-1		1	μA
I_{CSASRC}	SO 输出灌电流能力		5	7	11	mA
I_{CSASRC}	SO 输出拉电流能力		2	3.7	6.6	mA
CMRR	共模抑制比	直流		80		dB
		20kHz		65		dB
PSRR	电源抑制比 (CSAREF)	CSAREF 至 SOx, 直流, 差分		80		dB
		CSAREF 至 SOx, 20kHz, 差分		70		dB
PSRR	电源抑制比 (CSAREF)	CSAREF 至 SOx, 20kHz, 单端		40		dB
I_{CSA_SUP}	CSA 的电源电流	$V_{CSAREF} = 3V$ 至 5.5V		1.5	2.1	mA
T_{CMREC}	共模恢复时间			0.6	0.7	us
C_{LOAD}	最大负载电容			10		nF
V_{OFF_OUT}	输出失调电压误差	$A_{CSA} = 5V/V$	-3		3	mV
		$A_{CSA} = 10V/V$	-4		4	mV
		$A_{CSA} = 20V/V$	-5		5	mV
		$A_{CSA} = 40V/V$	-6		6	mV
保护电路						
V_{PVDD_UV}	PVDD 欠压锁定阈值	V_{PVDD} 上升	4.3	4.4	4.5	V
		V_{PVDD} 下降	4	4.1	4.25	
$V_{PVDD_UV_HYS}$	PVDD 欠压锁定迟滞	上升至下降阈值	225	265	325	mV
$t_{PVDD_UV_DG}$	PVDD 欠压抗尖峰脉冲时间		10	20	30	μs
V_{AVDD_POR}	AVDD 电源 POR 阈值	AVDD 上升	2.7	2.85	3.0	V
		AVDD 下降	2.5	2.65	2.8	
$V_{AVDD_POR_HYS}$	AVDD POR 迟滞	上升至下降阈值	170	200	250	mV
$t_{AVDD_POR_DG}$	AVDD POR 抗尖峰脉冲时间		7	12	22	μs
V_{GVDD_UV}	GVDD 欠压阈值	V_{GVDD} 上升	7.3	7.5	7.8	V
		V_{GVDD} 下降	6.4	6.7	6.9	V
$V_{GVDD_UV_HYS}$	GVDD 欠压迟滞	上升至下降阈值	800	900	1000	mV
$t_{GVDD_UV_DG}$	GVDD 欠压抗尖峰脉冲时间		5	10	15	μs
V_{BST_UV}	自举欠压阈值	$V_{BSTx} - V_{SHx}$, V_{BSTx} 上升	3.9	4.45	5	V
		$V_{BSTx} - V_{SHx}$, V_{BSTx} 下降	3.7	4.2	4.8	V
$V_{BST_UV_HYS}$	自举欠压迟滞	上升至下降阈值	150	220	285	mV
$t_{BST_UV_DG}$	自举欠压抗尖峰脉冲时间		2	4	6	μs

$4.5V \leq V_{PVDD} \leq 60V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}C$ 、 $V_{PVDD} = 24V$

参数		测试条件	最小值	典型值	最大值	单位
$V_{DS_LVL_RNG}$	V_{DS} 过流保护阈值线性范围		0.1		2.5	V
V_{DS_DIS}	V_{DS} 过流保护禁用电阻	VDSLVL 引脚至 GVDD	70	100	500	k Ω
V_{DS_LVL}	V_{DS} 过流保护阈值基准	VDSLVL = 100k Ω 至 GVDD	3	4.2	5.5	V
		VDSLVL = 0.1V	0.065	0.1	0.145	V
		VDSLVL 引脚 = 2.5V	2.2	2.5	2.8	V
V_{SENSE_LVL}	V_{SENSE} 过流保护阈值	LSS 至 GND 引脚 = 0.5V	0.48	0.5	0.52	V
t_{DS_BLK}	V_{DS} 过流保护消隐时间		0.5	1	2.7	μ s
t_{DS_DG}	V_{DS} 和 V_{SENSE} 过流保护抗尖峰脉冲时间		1.5	3	5	μ s
$t_{SD_SINK_DIG}$	DRVOFF 峰值灌电流持续时间		3	5	7	μ s
t_{SD_DIG}	DRVOFF 数字关断延迟		0.5	1.5	2.2	μ s
t_{SD}	DRVOFF 模拟关断延迟		7	14	21	μ s
T_{OTSD}	热关断温度	T_J 上升 ;	160	170	187	$^{\circ}C$
T_{HYS}	热关断迟滞		16	20	23	$^{\circ}C$

6.6 典型特性

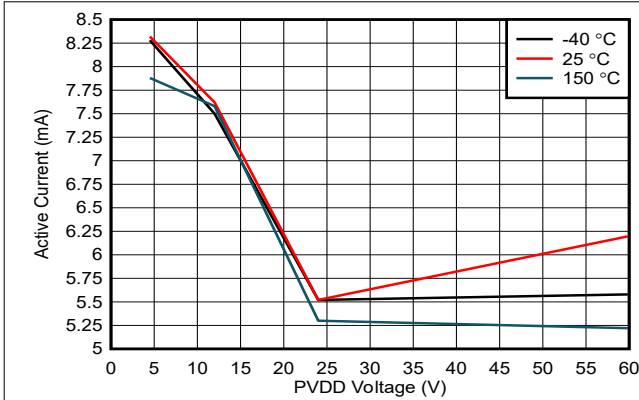


图 6-1. 电源电流与 PVDD 电压之间的关系

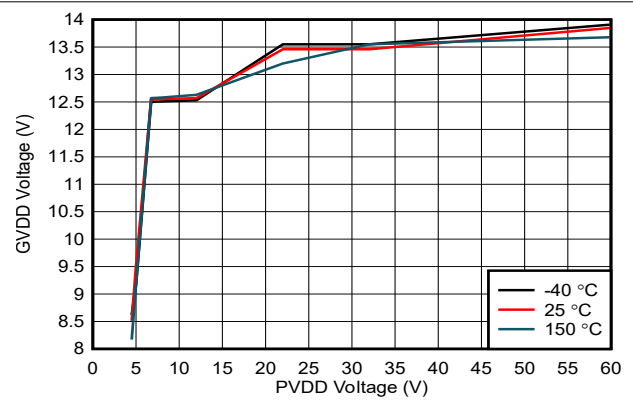


图 6-2. GVDD 电压与 PVDD 电压之间的关系

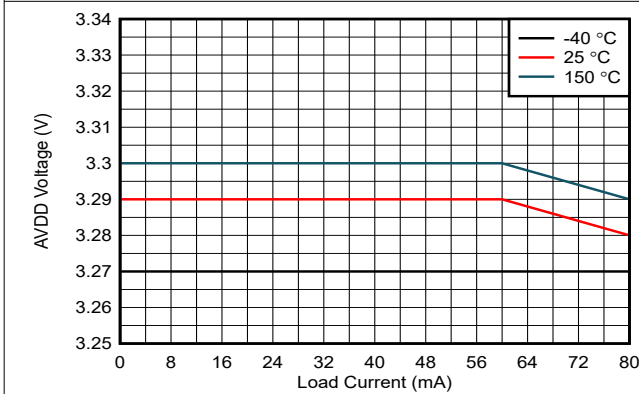


图 6-3. AVDD 电压与负载电流之间的关系

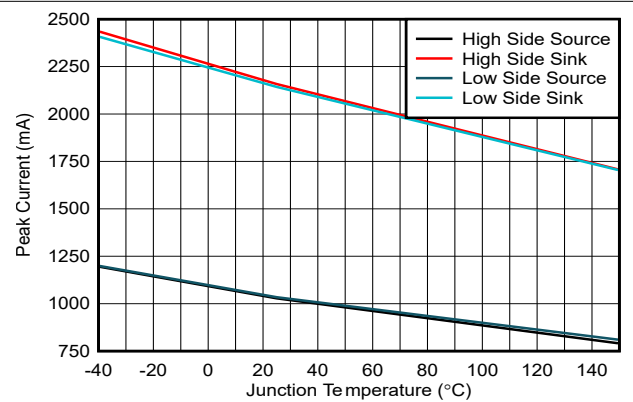


图 6-4. 驱动器峰值电流与结温之间的关系

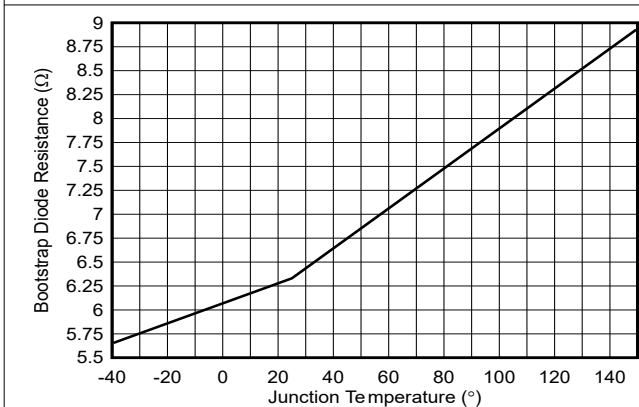


图 6-5. 自举二极管电阻与结温之间的关系

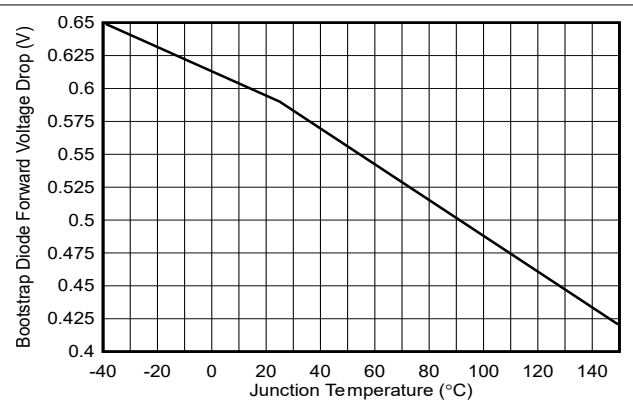


图 6-6. 自举二极管正向压降与结温之间的关系

7 详细说明

7.1 概述

DRV8329-Q1 系列器件是集成式三相栅极驱动器，支持 4.5V 至 60V 的输入电压范围。这些器件集成了三个独立的半桥栅极驱动器、涓流电荷泵，以及具有线性稳压器的电荷泵来为高侧和低侧栅极驱动器提供电源电压，从而减少系统元件数量并降低系统成本和复杂性。DRV8329-Q1 还集成了一个精确的低电压稳压器 (AVDD)，能够在 80mA 输出下支持 3.3V 电压。使用硬件接口则可以轻松配置电机驱动器和控制电机。

这些栅极驱动器支持外部 N 沟道高侧和低侧功率 MOSFET，并可驱动高达 1A 的栅极驱动峰值拉电流、2A 的栅极驱动峰值灌电流和 30mA 的平均输出电流。带电容器的自举电路生成高侧栅极驱动器的电源电压，并采用涓流电荷泵来支持 100% 占空比。低侧栅极驱动器的电源电压由具有线性稳压器 GVDD 的电荷泵从 PVDD 电源生成，该电源电压可调节至 12V。

除了器件高度集成之外，DRV8329-Q1 系列器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (PVDDUV)、稳压器欠压锁定 (GVDDUV)、自举电压欠压锁定 (BSTUV)、 V_{DS} 过流监控 (OCP)、检测电阻器过流监控 (SEN_OCP) 和过热关断 (TSD)。故障事件通过 nFAULT 引脚指示。

DRV8329-Q1 采用 0.5mm 间距、5mm × 7mm 40 引脚 QFN 表面贴装封装。

7.2 功能方框图

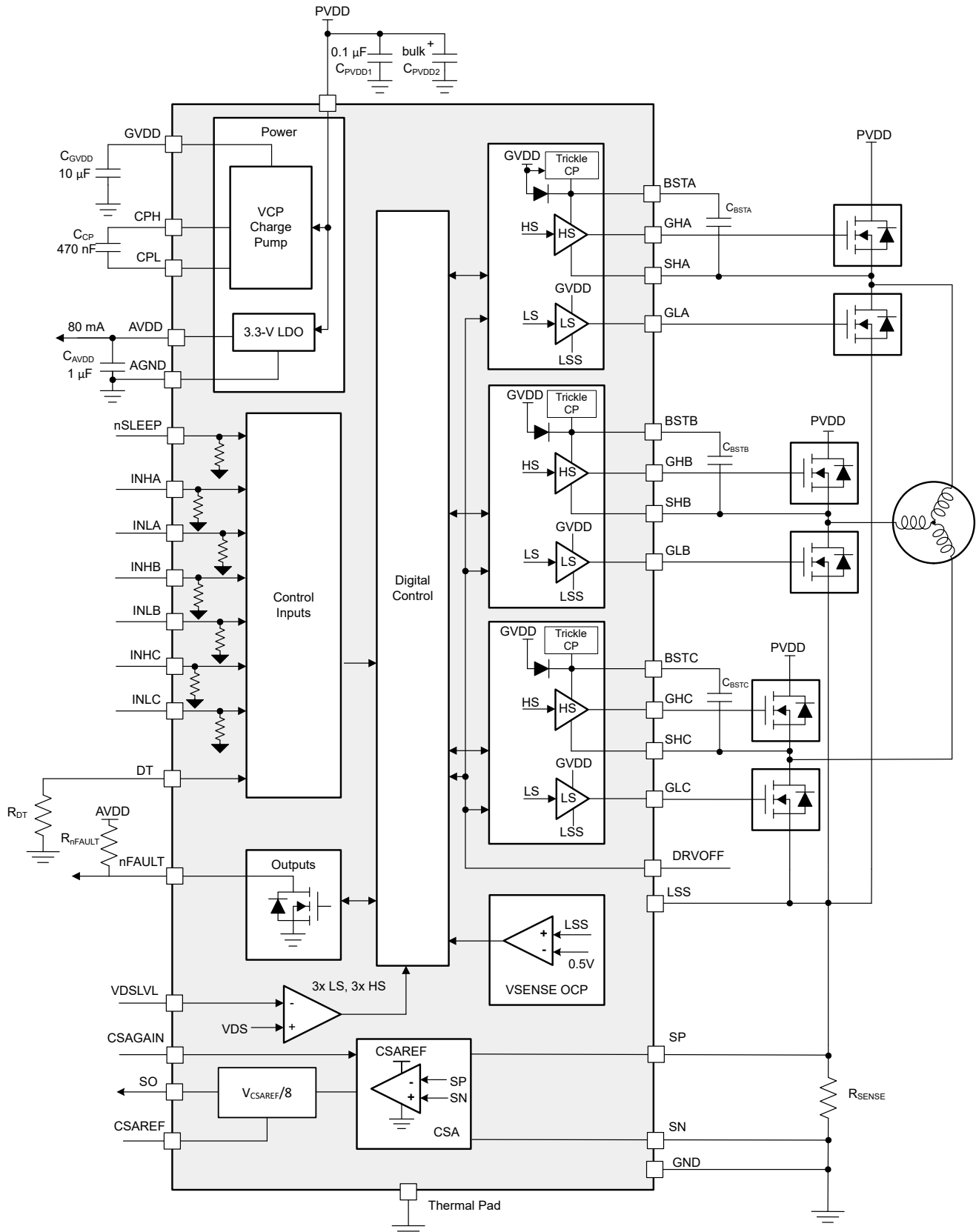


图 7-1. DRV8329 的方框图

7.3 特性说明

表 7-1 列出了栅极驱动器和降压稳压器外部元件的建议值。

表 7-1. DRV8329-Q1 外部元件

元件	引脚 1	引脚 2	推荐
C _{PVDD1}	PVDD	PGND	X5R 或 X7R, 0.1μF, 额定电压大于 2 倍 PVDD 的电容器
C _{PVDD2}	PVDD	PGND	≥ 10μF, 额定电压大于 2 倍 PVDD 的电容器
C _{CP}	CPH	CPL	X5R 或 X7R, 470nF, PVDD 额定电容器
C _{GVDD}	GVDD	GND	X5R 或 X7R、≥10uF、额定电压为 25V 的电容器
C _{AVDD}	AVDD	AGND	X5R 或 X7R, ≥1μF, 6.3V 电容器
C _{BSTx}	BSTx	SHx	X5R 或 X7R, 1μF (典型值), 额定电压为 25V 的电容器
R _{nFAULT}	VCC ⁽¹⁾	nFAULT	上拉电阻器 (10kΩ)
R _{DT}	DT	AGND	硬件接口电阻器。有关详细信息, 请参阅 死区时间和跨导保护 。

(1) VCC 引脚不是 DRV8329-Q1 的引脚, 但开漏输出 nFAULT 需要 VCC 电源电压上拉。此引脚也可以上拉至 AVDD。

7.3.1 三相 BLDC 栅极驱动器

DRV8329-Q1 系列器件集成了三个半桥栅极驱动器, 每个驱动器都能够驱动高侧和低侧 N 沟道功率 MOSFET。电荷泵用于生成 GVDD, 以便在宽工作电压范围内提供正确的栅极偏置电压。低侧栅极输出直接由 GVDD 驱动, 而高侧栅极输出由带有集成二极管的自举电路驱动。内部涓流电荷泵提供对 100% 占空比运行的支持。可以组合使用多个半桥栅极驱动器来驱动三相电机, 也可以单独使用这些驱动器来驱动其他类型的负载。

7.3.1.1 PWM 控制模式

7.3.1.1.1 6x PWM 模式

在 6x PWM 模式下, 每个半桥支持三种输出状态: 低电平、高电平或高阻抗 (高阻态)。相应的 INHx 和 INLx 信号控制着输出状态, 如表 7-2 所示。

表 7-2. 6x PWM 模式真值表

INLx	INHx	GLx	GHx	SHx
0	0	L	L	高阻态
0	1	L	H	H
1	0	H	L	L
1	1	L	L	高阻态

7.3.1.1.2 3x PWM 模式

在 3x PWM 模式下，INHx 引脚控制每个半桥并支持两种输出状态：低电平或高电平。INLx 引脚用于将半桥置于高阻态。如果不需要高阻态，请将所有 INLx 引脚保持在逻辑高电平。相应的 INHx 和 INLx 信号控制着输出状态，如表 7-3 所示。

表 7-3. 3x PWM 模式真值表

INLx	INHx	GLx	GHx	SHx
0	X	L	L	高阻态
1	0	H	L	L
1	1	L	H	H

7.3.1.2 器件硬件接口

DRV8329-Q1 利用硬件接口来配置不同的器件设置。这些硬件可配置输入为 DT 和 VDSLVL。一般故障信息通过 nFAULT 引脚报告。

- DT 引脚用于配置栅极驱动死区时间。可通过更改 DT 引脚和 GND 之间的电阻值来调节死区时间。
 - VDSLVL 引脚用于配置 V_{DS} 过流监视器的电压阈值。施加到 VDSLVL 引脚的电压直接用作 VDS 比较器的基准
- 有关硬件接口的更多信息，请参阅 [节 7.3.3](#)。

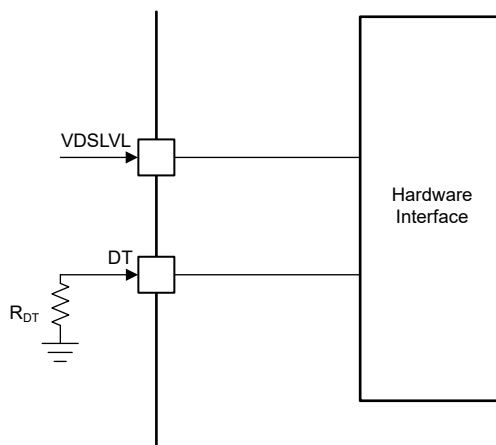


图 7-2. 硬件接口

7.3.1.3 栅极驱动架构

栅极驱动器器件采用适用于高侧和低侧驱动器的互补推挽拓扑。该拓扑允许对外部 MOSFET 栅极进行强上拉和强下拉。低侧栅极驱动器由 GVDD 稳压器电源直接供电。GVDD 的工作模式取决于 PVDD 的电压。当 $PVDD > 18V$ 时，GVDD 电压由 LDO 生成，而 $PVDD < 18V$ 时，GVDD 电压由电荷泵生成。对于高侧栅极驱动器，自举二极管和电容器用于生成浮动高侧栅极电压电源。器件中集成了自举二极管，并在 BSTx 引脚上使用了一个外部自举电容器。为支持 100% 占空比控制，器件中集成了一个涓流电荷泵。涓流电荷泵连接到 BSTx 节点，以防止由于驱动器和外部 MOSFET 的漏电流而导致压降。

高侧栅极驱动器具有半有源下拉功能，而低侧栅极驱动器具有无源下拉功能，有助于防止外部 MOSFET 在睡眠状态或电源断开时导通。

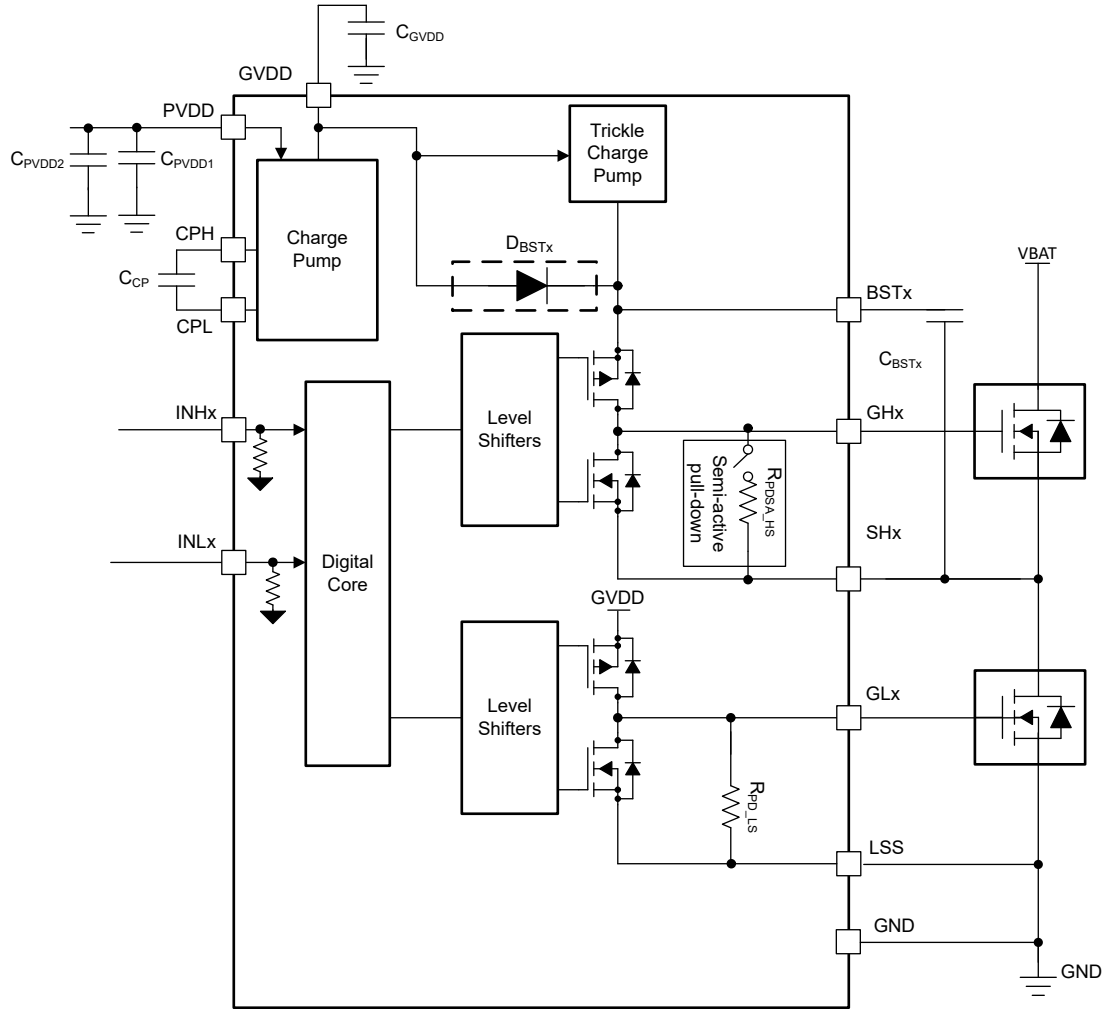


图 7-3. 栅极驱动器方框图

7.3.1.3.1 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与检测到的输出变化之间的时间。该时间由两个部分组成，即数字传播延迟和通过模拟栅极驱动器的延迟。

为了支持多种控制模式和死区时间插入，在输入命令通过器件传播时添加了一个较小的数字延迟。最后，模拟栅极驱动器具有较小的延迟，从而增大器件的总体传播延迟。

7.3.1.3.2 死区时间和跨导保护

在 DRV8329-Q1 中，高侧和低侧输入独立运行，但有一个例外，即当同一半桥的高侧和低侧同时开启时，以防止发生跨导。当高侧和低侧输入同时为逻辑高电平时，该器件会关闭高侧和低侧输出，以防止击穿。

DRV8329-Q1 还提供死区时间插入功能，以防止每个半桥的两个外部 MOSFET 同时导通。在具有 DT 引脚的器件中，通过在 DT 和地之间连接一个电阻器，可以在 100ns 和 2000ns 之间线性调节死区时间。当 DT 引脚悬空或连接到 GND 时，会插入 55ns (典型值) 的固定死区时间。该电阻的值可以使用以下公式计算。

$$R_{DT}(k\Omega) = \frac{Deadtime(ns) - 10k\Omega}{5} \quad (1)$$

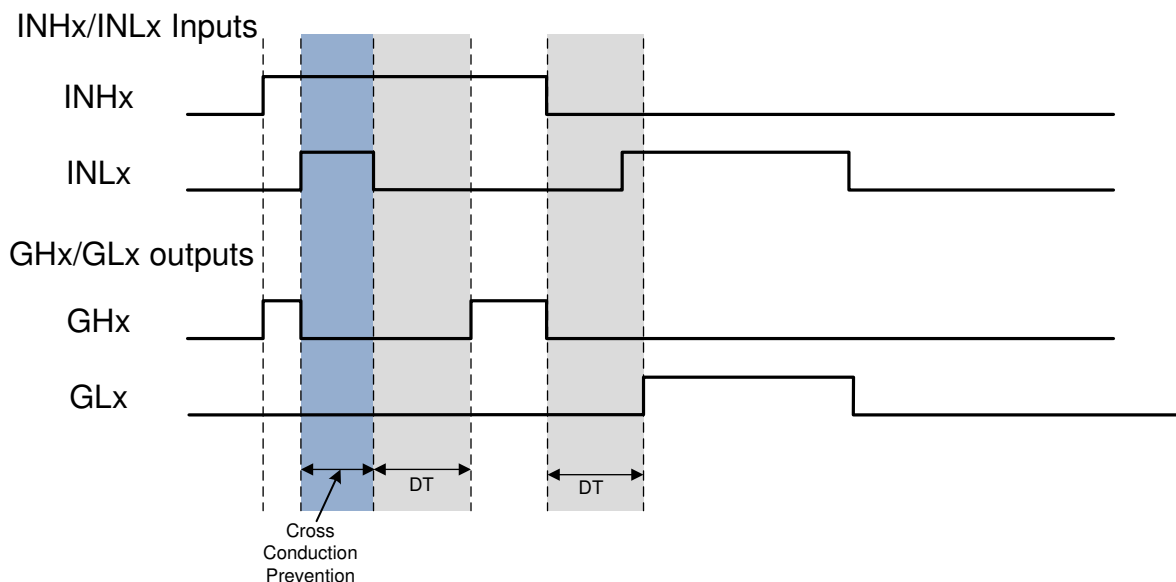


图 7-4. 跨导保护和死区时间插入

7.3.2 AVDD 线性稳压器

该器件上的 3.3V、80mA 线性稳压器可供外部电路使用。LDO 的输出固定为 3.3V。该稳压器可为低功耗 MCU 或其他具有低电源电流需求的电路提供电源电压。AVDD 稳压器的输出应在 AVDD 引脚附近旁路，通过一个 X5R 或 X7R、1μF、6.3V 陶瓷电容器连接回至 AGND 引脚。

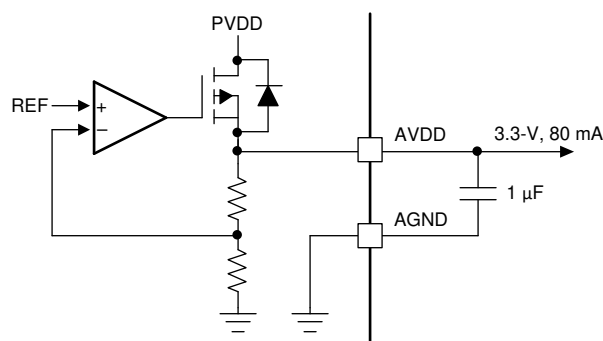


图 7-5. AVDD 线性稳压器方框图

可以使用以下公式来计算器件中 AVDD 线性稳压器耗散的功率： $P = (V_{PVDD} - V_{AVDD}) \times I_{AVDD}$
 例如，当 V_{PVDD} 为 24V 时，从 AVDD 汲取 20mA 的电流会导致方程式 2 所示的功率耗散。

$$P = (24 \text{ V} - 3.3 \text{ V}) \times 20 \text{ mA} = 414 \text{ mW} \tag{2}$$

7.3.3 引脚图

图 7-6 展示了逻辑电平引脚 INHx 和 INLx 的输入结构。输入可以由电压或外部电阻器驱动。

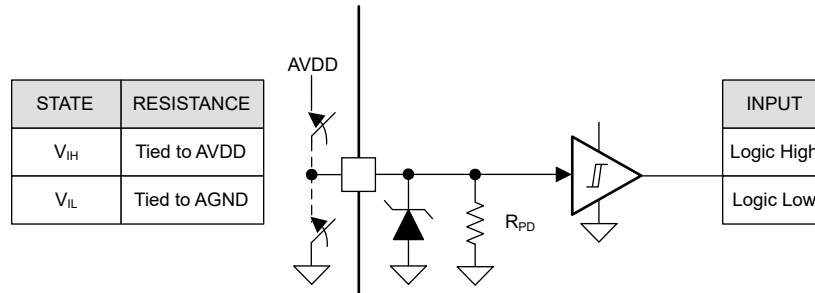


图 7-6. 逻辑电平输入引脚结构

图 7-7 展示了硬件接口器件上四电平输入引脚 MODE 和 CSAGAIN 的结构。该输入可以通过外部电阻器设置。

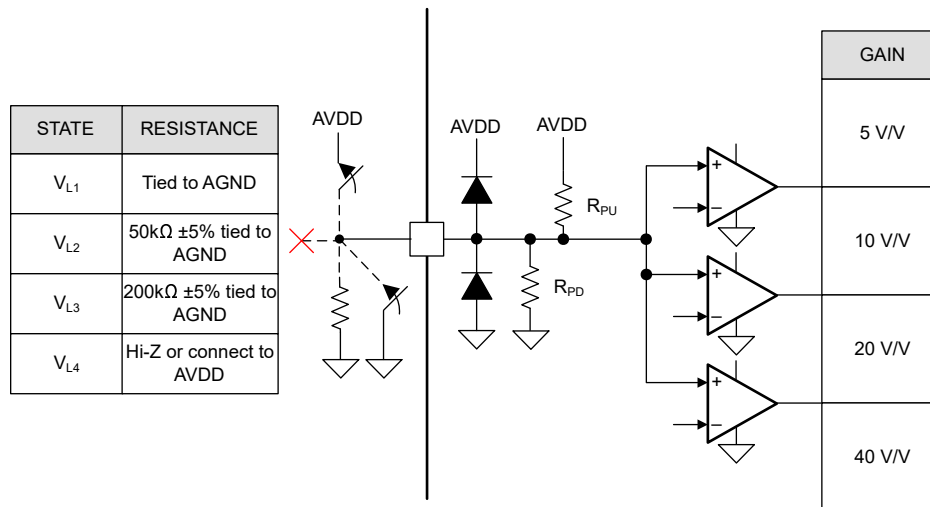


图 7-7. 四电平输入引脚结构

图 7-8 展示了开漏输出引脚 nFAULT 的结构。开漏输出需要外部上拉电阻器才能正常运行。

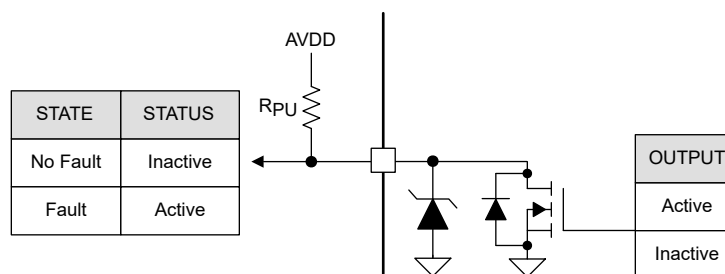


图 7-8. 开漏输出引脚结构

7.3.4 低侧电流检测放大器

DRV8329 集成了一个高性能低侧电流检测放大器，用于使用低侧分流电阻进行电流测量。通常会通过测量低侧电流来实施过流保护、外部扭矩控制或通过外部控制器进行无刷直流换向。电流检测放大器可用于检测半桥电流之和。电流检测放大器包含可配置增益 (CSAGAIN) 和电压基准引脚 (CSAREF) 等功能。DRV8329 在内部生成 $V_{CSAREF}/8$ 的共模电压。

增益设置值可在四个不同级别 (5V/V、10V/V、20V/V 和 40V/V) 之间调节。可以通过 CSAGAIN 引脚配置增益设置。

表 7-4. CSA 增益设置

CSAGAIN 引脚	CSA 增益设置
连接到 GND	5V/V
50kΩ +/- 5%，连接到 GND	10V/V
200kΩ +/- 5%，连接到 GND	20V/V
高阻态或连接至 AVDD	40 V/V

7.3.4.1 电流检测工作原理

DRV8329 在内部生成 $V_{CSAREF}/8$ 的共模电压，用于为电流测量实现最大分辨率。SO 引脚输出的模拟电压等于 SP 和 SN 引脚之间的电压乘以增益设置 (CSAGAIN)。

可以使用方程式 3 来计算流过分流电阻器 (R_{SENSE}) 的电流。

$$I = \frac{V_{SO} - \frac{V_{CSAREF}}{8}}{CSAGAIN \times R_{SENSE}} \tag{3}$$

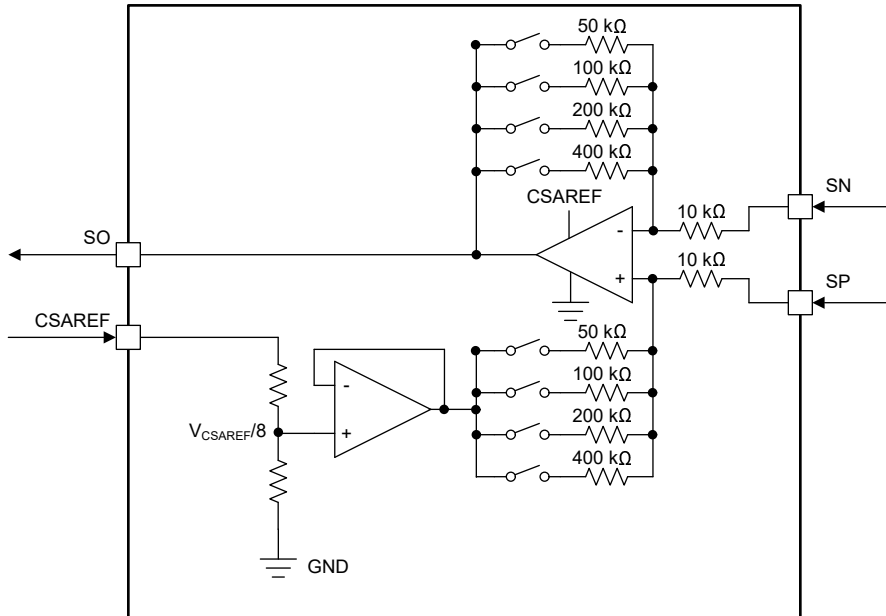


图 7-9. 电流检测配置

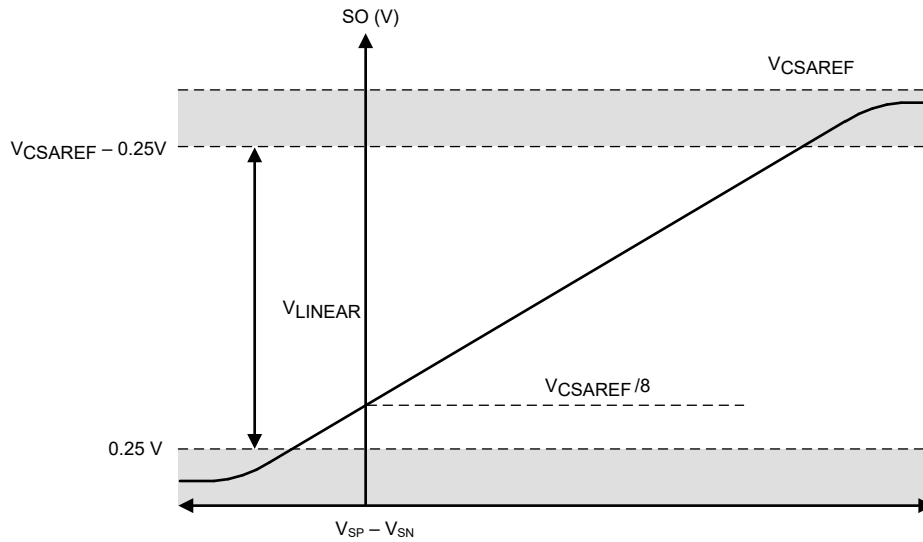


图 7-10. 电流检测输出

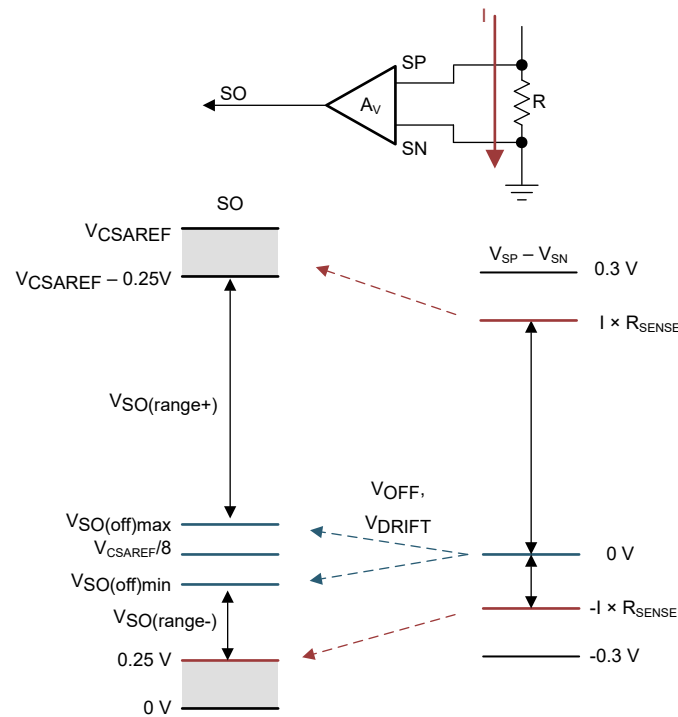


图 7-11. 电流检测区域

7.3.5 栅极驱动器关断序列 (DRVOFF)

当 DRVOFF 被驱动为高电平时，栅极驱动器进入关断模式，覆盖输入引脚 INHx 和 INLx 上的信号。DRVOFF 绕过器件内部的数字控制逻辑，直接连接到栅极驱动器输出（请参阅图 7-12）。该引脚为外部故障监测提供了一种机制，可通过直接绕过外部控制器或内部控制逻辑来禁用栅极驱动器。当 DRV8329-Q1 检测到 DRVOFF 引脚被驱动为高电平时，它会禁用栅极驱动器并将其置于下拉模式（请参阅图 7-13）。栅极驱动器的关断序列如图 7-13 所示。当栅极驱动器启动关断序列后，会为 I_{SINK} 电流应用有源驱动器下拉并持续 $t_{SD_SINK_DIG}$ 时间，之后栅极驱动器进入无源下拉模式。当 DRVOFF 保持高电平时，nFAULT 将被拉至低电平以指示关断状态，当 DRVOFF 被驱动为低电平时将释放。

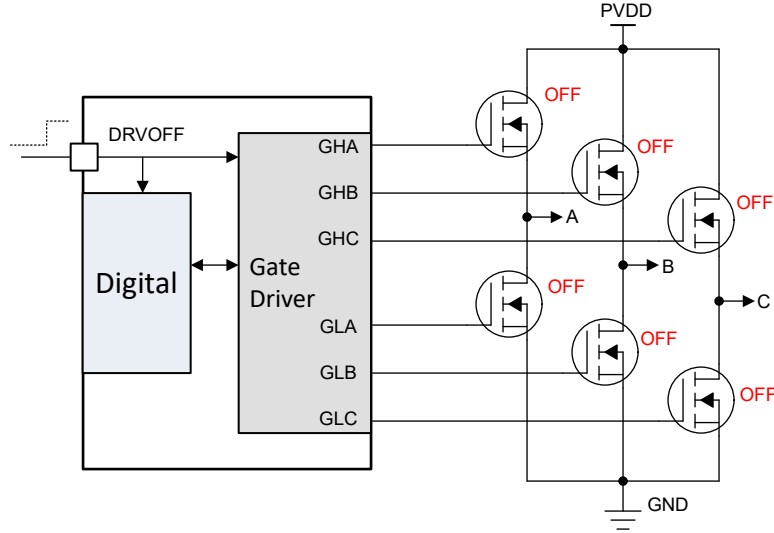


图 7-12. DRV8329-Q1 DRVOFF 栅极驱动器输出状态

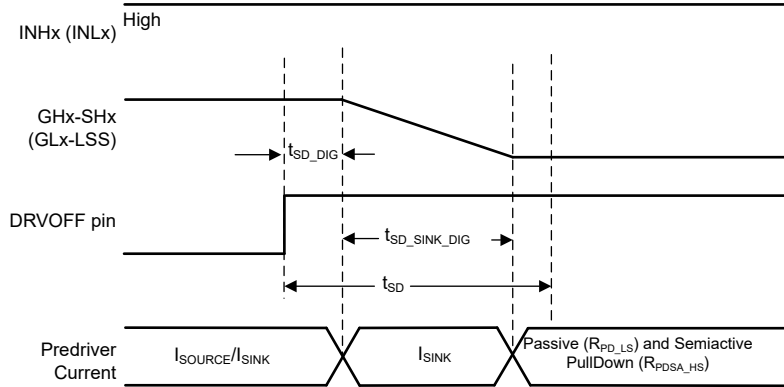


图 7-13. 栅极驱动器关断序列

7.3.6 栅极驱动器保护电路

DRV8329-Q1 针对 PVDD 欠压、AVDD 上电复位、自举欠压、GVDD 欠压、MOSFET V_{DS} 和 V_{SENSE} 过流事件提供了保护功能。

表 7-5. 故障操作和响应

故障	条件	配置	报告	栅极驱动器	逻辑	恢复
PVDD 欠压 (PVDD_UV)	$V_{PVDD} < V_{PVDD_UV}$	-	nFAULT	禁用 ¹	禁用	自动： $V_{PVDD} > V_{PVDD_UV}$
AVDD POR (AVDD_POR)	$V_{AVDD} < V_{AVDD_POR}$	-	nFAULT	禁用 ¹	禁用	自动： $V_{AVDD} > V_{AVDD_POR}$
GVDD 欠压 (GVDD_UV)	$V_{GVDD} < V_{GVDD_UV}$	-	nFAULT	拉至低电平 ²	有效	锁存： nSLEEP 复位脉冲
BSTx 欠压 (BST_UV)	$V_{BSTx} - V_{SHx} < V_{BST_UV}$ ， INHx = 高电平	-	nFAULT	拉至低电平 ²	有效	锁存： nSLEEP 复位脉冲
V_{DS} 过流 (VDS_OCP)	$V_{DS} > V_{DS_LVL}$	$0.1V < V_{VDSLVL} < 2.5V$	nFAULT	拉至低电平 ²	有效	锁存： nSLEEP 复位脉冲
		VDSLVL 引脚 100kΩ 连接至 GVDD	无	有效	有效	无操作
V_{SENSE} 过流 (SEN_OCP)	$V_{SP} > V_{SENSE_LVL}$	-	nFAULT	拉至低电平 ²	有效	锁存： nSLEEP 复位脉冲
		VDSLVL 引脚 100kΩ 连接至 GVDD	无	有效	有效	无操作
热关断 (OTSD)	$T_J > T_{OTSD}$	-	nFAULT	拉至低电平 ²	有效	锁存： nSLEEP 复位脉冲

1. 禁用：对于 GLx 为无源下拉，对于 GHx 为半有源下拉
2. 拉至低电平：栅极驱动器主动将 GHx 和 GLx 拉至低电平

7.3.6.1 PVDD 电源欠压锁定 (PVDD_UV)

在任何时候，如果 PVDD 引脚上的电源电压低于 V_{PVDD_UV} 阈值的时间超过 $t_{PVDD_UV_DG}$ ，则器件会检测到 PVDD 欠压事件。检测到欠压情况后，栅极驱动器被禁用，电荷泵被禁用，内部数字逻辑被禁用，并且 nFAULT 引脚被驱动为低电平。当 PVDD 引脚上上升至高于 V_{PVDD_UV} 时，再次开始正常运行（栅极驱动器变得可操作并且 nFAULT 引脚被释放）。

7.3.6.2 AVDD 上电复位 (AVDD_POR)

在任何时候，如果 AVDD 引脚上的电源电压低于 V_{AVDD_POR} 阈值的时间超过 $t_{AVDD_POR_DG}$ ，则器件会进入非运行状态，从而禁用栅极驱动器、电荷泵和内部数字逻辑，nFAULT 会被驱动为低电平。正常运行（数字逻辑运行）需要将 nSLEEP 置为高电平并且 AVDD 超过 V_{AVDD_POR} 电平。

7.3.6.3 GVDD 欠压锁定 (GVDD_UV)

在任何时候，如果 GVDD 引脚上的电压低于 V_{GVDD_UV} 阈值电压的时间长于 $t_{GVDD_UV_DG}$ ，则器件会检测到 GVDD 欠压事件。在检测到 GVDD_UV 欠压事件后，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，电荷泵会被禁用，并且 nFAULT 引脚被驱动为低电平。在 GVDD_UV 条件被清除后，故障状态保持锁存状态，并可通过 nSLEEP 引脚复位脉冲 (t_{RST}) 清除。

备注

通过 nSLEEP 引脚复位脉冲清除 GVDD_UV 故障后，nFAULT 引脚会保持低电平，直到电荷泵刷新 GVDD 电容器。在 GVDD 电容器充电后，nFAULT 引脚会自动释放。故障清除后 nFAULT 引脚处于低电平的持续时间不会超过 t_{WAKE} 。

7.3.6.4 BST 欠压锁定 (BST_UV)

如果在任何时候 BSTx 和 SHx 引脚之间的电压低于 V_{BST_UV} 阈值电压的持续时间大于 $t_{BST_UV_DG}$ ，该器件检测到 BST 欠压事件。检测到 BST_UV 事件后，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，并且

nFAULT 引脚被驱动为低电平。在 BST_UV 条件被清除后，故障状态保持锁存状态，并可通过 nSLEEP 引脚复位脉冲 (t_{RST}) 清除。

7.3.6.5 MOSFET V_{DS} 过流保护 (VDS_OCP)

该器件具有可调节的 V_{DS} 电压监视器，可检测外部功率 MOSFET 上的过流或短路情况。可以通过监测外部 MOSFET $R_{DS(on)}$ 上的 V_{DS} 压降来检测 MOSFET 过流事件。高侧 VDS 监视器在 PVDD 和 SHx 引脚之间进行测量，低侧 VDS 监视器在 SHx 和 LSS 引脚之间进行测量。如果外部 MOSFET 两端的电压超过 V_{DS_LVL} 阈值的时间大于 t_{DS_DG} 抗尖峰脉冲时间，则会识别到 VDS_OCP 事件。检测到 VDS 过流事件后，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，并且 nFAULT 引脚被驱动为低电平。通过在 VDSLVL 引脚上施加电压，可以在 0.1V 至 2.5V 之间设置 VDS 阈值。VDS OCP 可通过使用一个 100 k Ω 电阻器将 VDSLVL 连接至 GVDD 来禁用。在 VDS_OCP 条件被清除后，故障状态保持锁存状态，并可通过 nSLEEP 引脚复位脉冲 (t_{RST}) 清除。

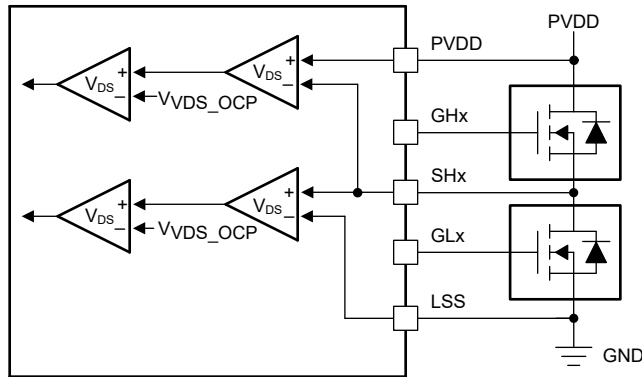


图 7-14. DRV8329-Q1 V_{DS} 监视器

7.3.6.6 V_{SENSE} 过流保护 (SEN_OCP)

过流情况也通过检测 LSS 和 GND 引脚之间外部电流检测电阻上的压降来监测。在任何时候，如果 LSS 输入上的电压超过 V_{SEN_OCP} 阈值的时间超过 t_{DS_DEG} 抗尖峰脉冲时间，则会识别到 SEN_OCP 事件。检测到 SEN_OCP 过流事件后，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，并且 nFAULT 引脚被驱动为低电平。 V_{SENSE} 阈值固定为 0.5V，抗尖峰脉冲时间固定为 3 μ s。在 SEN_OCP 条件清除后，故障状态保持锁存状态，并可通过 nSLEEP 引脚复位脉冲 (t_{RST}) 清除。SEN_OCP 可以通过使用 100k Ω 电阻器将 VDSLVL 连接至 GVDD 来禁用。

7.3.6.7 热关断 (OTSD)

如果内核温度超过热关断限制 (T_{OTSD}) 的跳闸点，则会识别到 OTSD 事件。检测到 OTSD 过热事件后，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，电荷泵被禁用，并且 nFAULT 引脚被驱动为低电平。在 OTSD 条件被清除后，故障状态保持锁存状态，并可通过 nSLEEP 引脚复位脉冲 (t_{RST}) 清除。

7.4 器件功能模式

7.4.1 栅极驱动器功能模式

7.4.1.1 睡眠模式

nSLEEP 引脚管理 DRV8329-Q1 的状态。当 nSLEEP 引脚为低电平时，该器件进入低功耗睡眠模式。在睡眠模式下，所有栅极驱动器、所有外部 MOSFET、GVDD 稳压器和 AVDD 稳压器均被禁用。必须在 nSLEEP 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

备注

在器件通过 nSLEEP 引脚上电和下电期间，nFAULT 引脚保持低电平，因为内部稳压器处于非活动状态。稳压器处于活动状态后，nFAULT 引脚会自动释放。nFAULT 引脚处于低电平的持续时间不超过 t_{SLEEP} 或 t_{WAKE} 时间。

7.4.1.2 工作模式

当 nSLEEP 引脚为高电平且 V_{PVDD} 电压大于 V_{PVDD_UV} 电压时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在此模式下，GVDD 稳压器和 AVDD 总线处于活动状态。

7.4.1.3 故障复位 (nSLEEP 复位脉冲)

在存在器件锁存故障的情况下，DRV8329-Q1 会进入部分关断状态，以帮助保护外部功率 MOSFET 和系统。

备注

如果用户希望在锁存故障事件后将器件置于睡眠状态，则需要驱动 nSLEEP 引脚之前将输入 INHx 和 INLx 拉低。如果输入 INHx 和 INLx 未被驱动为低电平，则在 nSLEEP 被驱动为低电平达到 t_{RST} 时间后会将故障复位，并且在器件进入睡眠模式之前，栅极驱动器输出 GHx 和 GLx 上可能会出现脉冲。如果 INHx 和 INLx 未被拉至低电平，则 GHx 和 GLx 上的脉冲持续时间可以为 t_{SLEEP} 。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

DRV8329-Q1 系列器件主要用于三相无刷直流电机控制应用。第 8.2 节中的设计过程重点介绍了如何使用和配置 DRV8329-Q1 系列器件。

8.2 典型应用

8.2.1 三相无刷直流电机控制

在此应用中，DRV8329-Q1 用于驱动三相无刷直流电机。

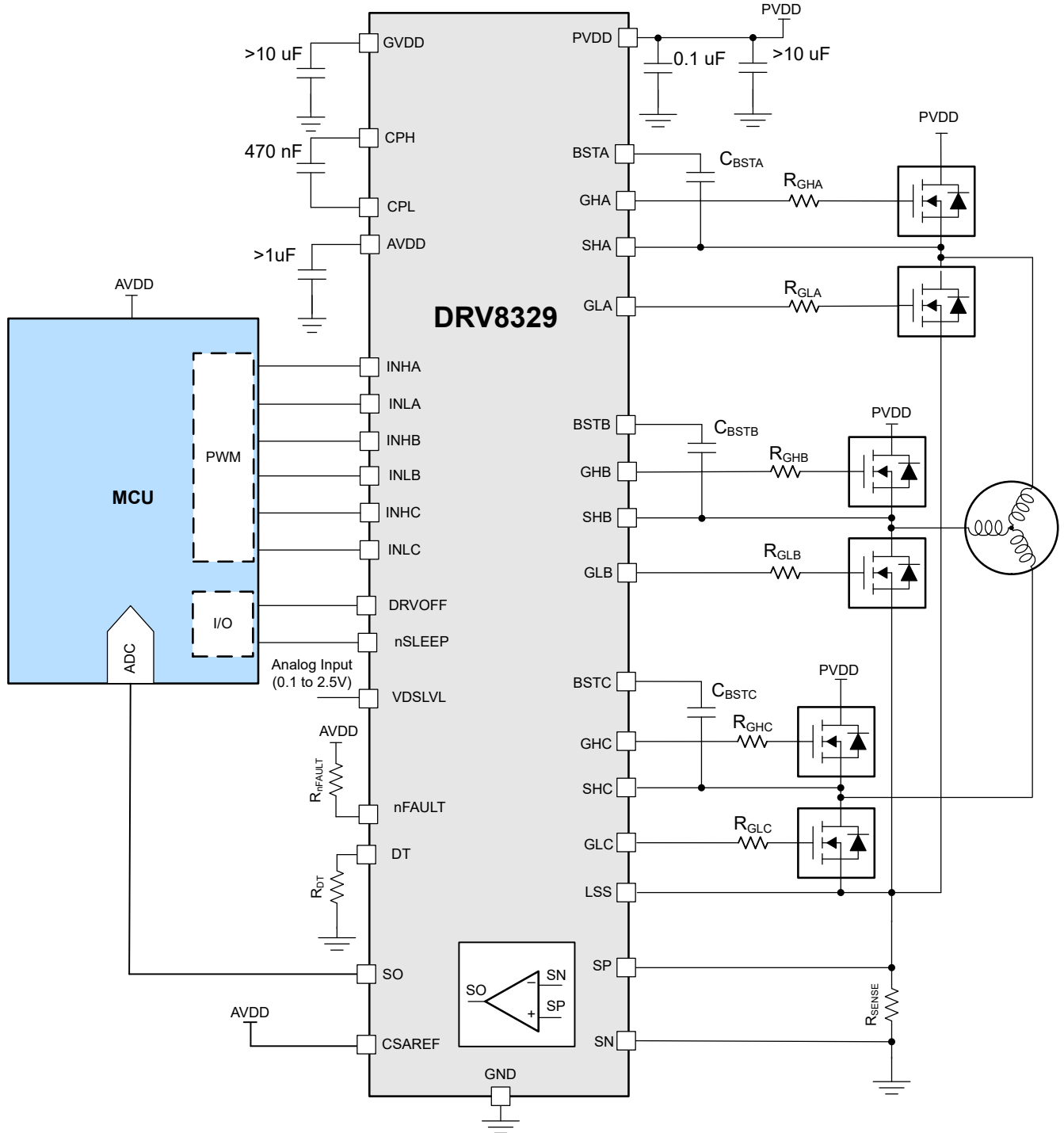


图 8-1. DRV8329-Q1 应用示意图

8.2.1.1 详细设计过程

节 8.2.1.1 列出了系统设计的示例输入参数。

表 8-1. 设计参数

设计参数	基准	示例值
电源电压	V_{PVDD}	24V

表 8-1. 设计参数 (续)

设计参数	基准	示例值
电机峰值电流	I_{PEAK}	20A
PWM 频率	f_{PWM}	20kHz
MOSFET VDS 压摆率	SR	120V/ μ s
MOSFET 输入栅极电容	Q_G	54nC
MOSFET 输入栅极电容	Q_{GD}	14nC
死区时间	t_{dead}	200ns
过流保护	I_{OCP}	30A

8.2.1.1.1 电机电压

无刷直流电机通常具有特定的额定电压 (例如 18V、24V 或 36V)。DRV8329-Q1 支持 4.5V 至 60V 的各种可能工作电压。

8.2.1.1.2 自举电容器和 GVDD 电容器选型

自举电容器的大小必须能够维持自举电压高于欠压锁定以实现正常运行。方程式 4 用于计算自举电容器上允许的最大压降：

$$\Delta V_{BSTX} = V_{GVDD} - V_{BOOTD} - V_{BSTUV} \quad (4)$$

$$= 12V - 0.85V - 4.45V = 6.7V$$

其中

- V_{GVDD} 是栅极驱动器的电源电压
- V_{BOOTD} 是自举二极管的正向压降
- V_{BSTUV} 是自举欠压锁定的阈值

在该示例中，自举电容器上允许的压降为 6.7V。通常建议应尽可能降低自举电容器和 GVDD 电容器上的纹波电压。商业、工业和汽车应用中的常用纹波值介于 0.5V 和 1V 之间。

每个开关周期所需的总电荷可以通过方程式 5 进行估算：

$$Q_{TOT} = Q_G + \frac{I_{LBS_TRAN}}{f_{SW}} \quad (5)$$

$$= 54nC + 115 \mu A / 20kHz = 54nC + 5.8nC = 59.8nC$$

其中

- Q_G 是总 MOSFET 栅极电荷
- I_{LBS_TRAN} 是自举引脚漏电流
- f_{SW} 是 PWM 频率

假设 ΔV_{BSTX} 为 1V，则最小自举电容器可通过以下公式进行估算：

$$C_{BST_MIN} = Q_{TOT} / \Delta V_{BSTX} \quad (6)$$

$$= 59.8nC / 1V = 59.8nF$$

计算出的最小自举电容值为 59.8nF。请注意，这是全偏置电压条件下所需的电容值。实际应用中，自举电容值必须大于计算值，才能确保在功率级可能因各种瞬态条件而发生脉冲跳跃的情况下正常使用。在本示例中，建议使用 100nF 自举电容器。此外，还建议预留足够的裕度，并将自举电容器尽可能靠近 BSTx 和 SHx 引脚放置。

$$C_{GVDD} \geq 10 \times C_{BSTX} \quad (7)$$

$$= 10 \times 100\text{nF} = 1 \mu\text{F}$$

对于该示例应用，选择 1μF C_{GVDD} 电容器。选择电压等级至少是其将承受的最大电压两倍的电容器，因为大多数陶瓷电容器在偏置时会损失大量电容。该值还可提高系统的长期可靠性。

备注

对于需要以更长时间提供 100% 占空比支持的更高功率系统，建议使用 $\geq 1 \mu\text{F}$ 的 C_{BSTx} 和 $\geq 10 \mu\text{F}$ 的 C_{GVDD}。

8.2.1.1.3 栅极驱动电流

在开启或关闭功率 MOSFET 栅极以开关电机电流时，选择合适的栅极驱动电流至关重要。MOSFET 的栅极驱动电流和输入电容的大小决定了漏源电压压摆率 (V_{DS})。栅极驱动电流可从 GVDD 流入 MOSFET 栅极 (I_{SOURCE}) 或从 MOSFET 栅极流入 SHx 或 LSS (I_{SINK})。

使用过高的栅极驱动电流会造成 MOSFET 导通过快，这可能会导致过度振铃、dV/dt 耦合或开关大电流引起的跨导。如果系统中存在寄生电感和电容，则可能会出现电压尖峰或振铃，这可能会损坏 MOSFET 或 DRV8329-Q1 器件。

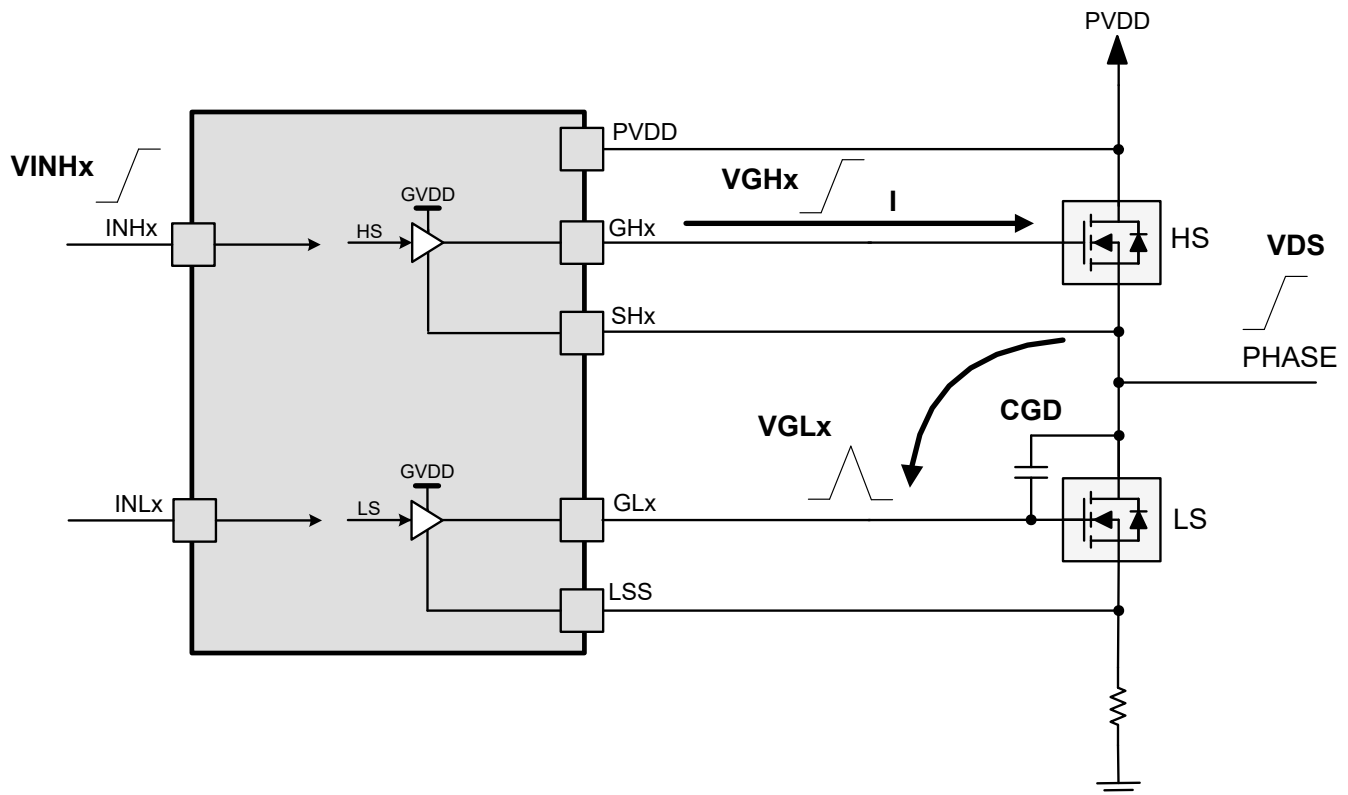


图 8-2. 高栅极驱动电流的影响

另一方面，使用过低的栅极驱动电流会导致较慢的 V_{DS} 压摆率。由于 R_{DS,on} 开关损耗，MOSFET 的导通速度太慢可能会使 MOSFET 升温。

栅极驱动电流 I_{GATE} 、MOSFET 栅漏电荷 Q_{GD} 和 V_{DS} 压摆率开关时间 $t_{rise,fall}$ 之间的关系如以下公式所示：

$$SR_{DS} = \frac{V_{DS}}{t_{rise,fall}} \quad (8)$$

$$I_{GATE} = \frac{Q_{gd}}{t_{rise,fall}} \quad (9)$$

建议在较低的栅极驱动电流下进行评估并增加栅极驱动电流设置，避免在初始评估期间因意外操作而造成损坏。

8.2.1.1.4 栅极电阻器选型

SHx 连接的压摆率将取决于外部 MOSFET 栅极的控制速率。DRV8329-Q1 的上拉/下拉强度在内部是固定的，因此可以通过外部串联栅极电阻器来控制栅极电压的压摆率。在部分应用中，MOSFET 的栅极电荷（即栅极驱动器器件上的负载）明显大于栅极驱动器峰值输出电流能力。在此类应用中，外部栅极电阻器可以限制栅极驱动器的峰值输出电流。外部栅极电阻器还用于抑制振铃和噪声。

MOSFET 的特定参数、系统电压和电路板寄生效应都会影响最终的 SHx 压摆率，因此选择外部栅极电阻器的最佳阻值或配置通常是一个迭代过程。

为了降低栅极驱动电流，串联电阻器 R_{GATE} 可以放置在栅极驱动输出端上，以控制拉电流和灌电流路径的电流。单个栅极电阻器将为栅极拉电流和灌电流提供相同的栅极路径，因此较大的 R_{GATE} 值将产生类似的 SHx 压摆率。请注意，栅极驱动电流因器件的 PVDD 电压、结温和工艺变化而异。栅极电阻值可以使用 [栅极电阻计算器](#) 以 +/-30% 的精度进行估算。

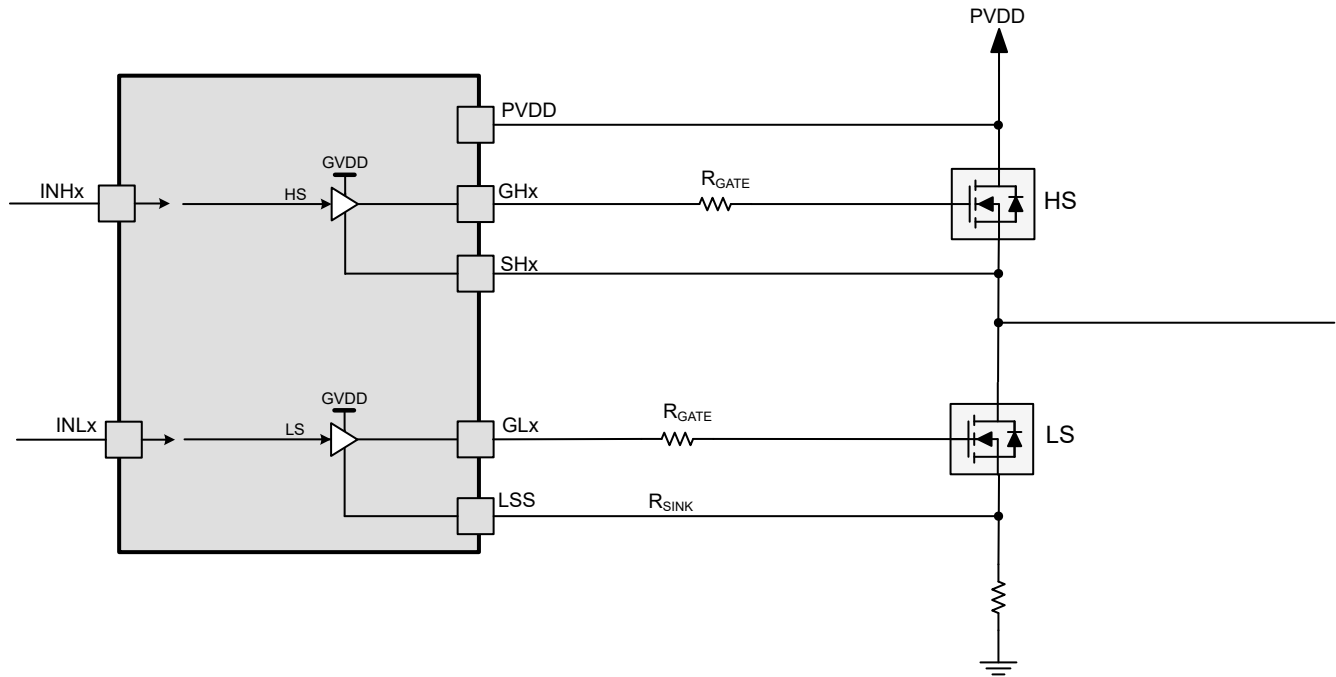


图 8-3. 具有串联电阻器的栅极驱动器输出

通常，建议灌电流是拉电流的两倍，以实现从栅极到源极的强下拉，从而确保 MOSFET 在相反的 FET 开关时保持关断。通过将二极管和一个灌电流电阻器 (R_{SINK}) 与拉电流电阻器 (R_{SOURCE}) 并联放置，使用一个电阻器为拉电流和灌电流提供单独的路径，能够以分立方式实现这一点。使用阻值相同的拉电流电阻器和灌电流电阻器会使灌电流路径的等效电阻减半。这样产生的栅极驱动灌电流是拉电流的两倍，并且在关断 MOSFET 时 SHx 的压摆率将提高一倍。

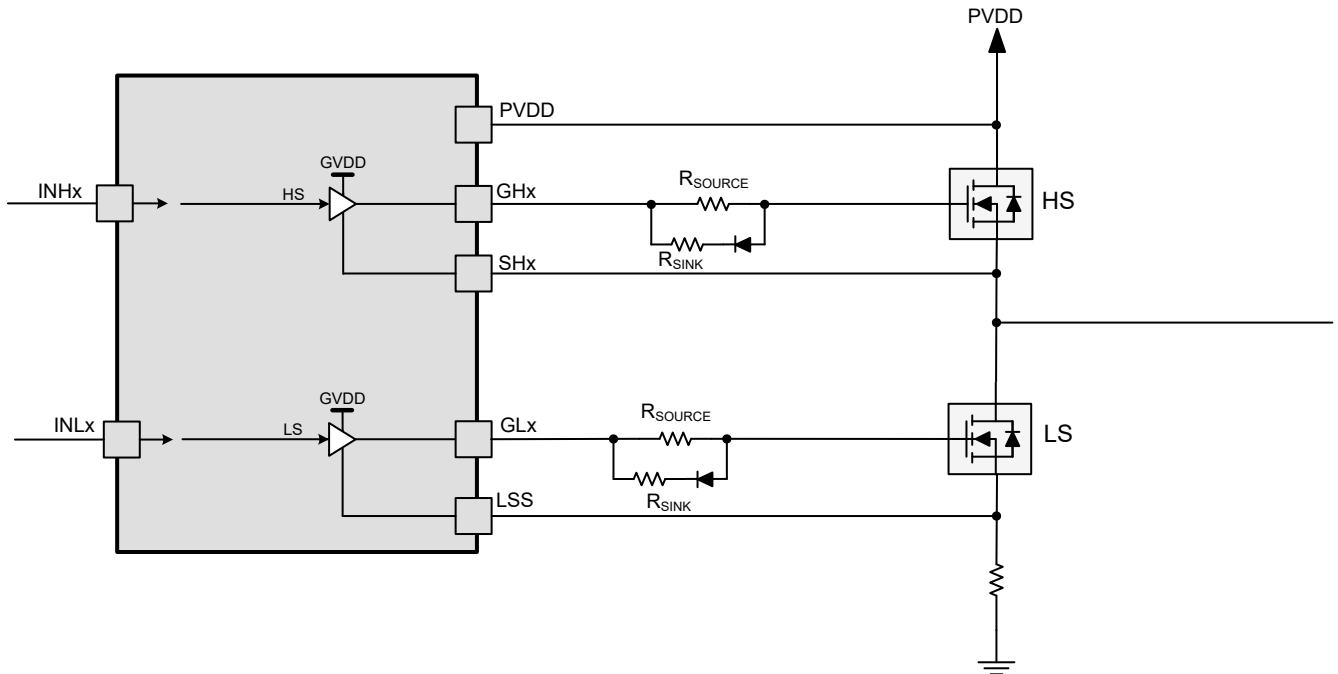


图 8-4. 具有独立拉电流路径和灌电流路径的栅极驱动器输出

8.2.1.1.5 大功率设计中的系统注意事项

对于功率较高的系统设计，可能需要考虑在功率较低的系统设计中未考虑的设计和应用注意事项。务必通过实施故障排除指南、外部元件和电路、驱动器产品功能或布局技术来应对功率更高的系统的不稳定性。有关更多信息，请访问 [大功率电机驱动器应用的系统设计注意事项](#) 应用手册。

8.2.1.1.5.1 电容器电压等级

使用电压等级为电源电压 (PVDD、GVDD、AVDD 等) 2 倍的电容器。由于直流电压等级性能较差，因此电容器最多可使用其额定电容的一半。

例如，由于 SHx (BSTx-SHx) 的自举电压约为 12 至 13V，因此 BSTx-SHx 电容器的额定电压应为 25V 或更高。

8.2.1.1.5.2 外部功率级元件

设计不需要在功率级中使用外部元件，但外部元件有助于抑制瞬态、管理电感器线圈能量、减轻电源泵回、抑制相位振铃或提供强大的栅源下拉路径。这些元件用于系统调优和调试，从而确保 BLDC 电机系统稳健，同时避免损坏 DRV8329-Q1 器件或外部 MOSFET。

图 8-5 展示了设计中可以放置功率级元件的最佳位置示例。

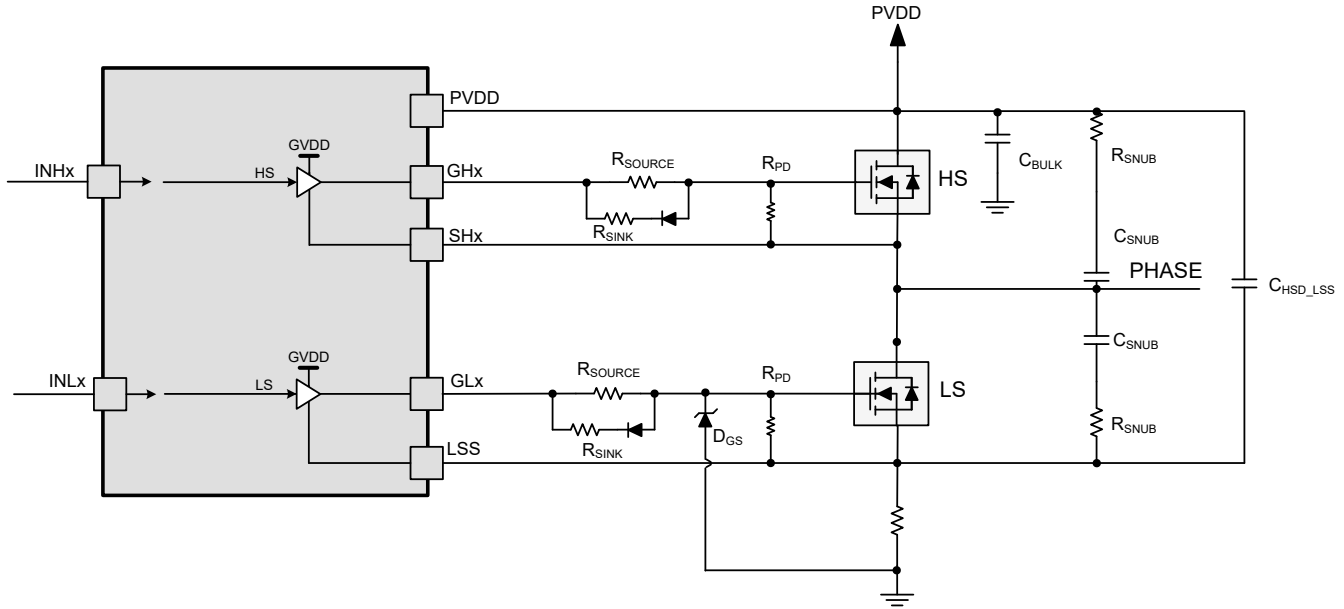


图 8-5. 可选的外部功率级元件

表 8-2 列出了一些问题示例和可以解决这些问题的外部元件：

表 8-2. 功率级调试的常见问题和解决方案

问题	解决方案	元件
所需的栅极驱动电流太大，从而导致 MOSFET V_{DS} 压摆率非常快	需要使用串联电阻器来实现栅极驱动电流可调节性	栅极驱动器输出端 (GHx/GLx) 处的 $0\ \Omega$ 至 $100\ \Omega$ 串联电阻器 (RGATE/RSOURCE)、可选灌电流电阻器 (RSINK) 以及与栅极电阻器并联的二极管，以实现可调节灌电流
相位开关节点 (SHx) 处发生振铃，从而导致很高的 EMI 发射	与每个 HS/LS MOSFET 并联放置 RC 缓冲器，以抑制振荡	与 MOSFET 并联放置的电阻器 (RSNUB) 和电容器 (CSNUB)，使用 适用于电机驱动器的 RC 缓冲器设计 根据振铃频率计算 RC 值
低侧源极 (LSS) 的负瞬态低于最小规格	在 HS 漏极和 LS 源极之间连接一个电容器，以抑制负反弹	来自 PVDD-LSS (CHSD_LSS) 的 $0.01\ \mu\text{F}$ - $1\ \mu\text{F}$ VM 等级电容器，放置在 LS MOSFET 的源极附近
低侧栅极 (GLx) 的负瞬态低于最小规格	使用栅极和地之间的齐纳二极管来钳制负电压	GVDD 电压额定齐纳二极管 (DGS)，阳极连接到 GND，阴极连接到 GLx
如果栅极驱动信号为高阻态，则需要额外的保护以确保 MOSFET 关闭	使用外部栅源下拉电阻器 (在串联栅极电阻器之后)	在每个 MOSFET 的栅极和源极之间连接 $10\ \text{k}\ \Omega$ 至 $100\ \text{k}\ \Omega$ 电阻器 (RPD)

8.2.1.1.5.3 并行 MOSFET 配置

如果电机需要更高的 MOSFET 持续漏极电流额定值，则可以使用并联 MOSFET 以提供更高的电流能力。但是，这需要特殊的原理图和布局设计要求来同时开关两个 MOSFET，因为由于工艺差异，一个 MOSFET 的导通速度可能比另一个 MOSFET 快。

建议将 MOSFET 尽可能彼此靠近放置，同时使用一个公共的栅极信号，并在尽可能靠近 MOSFET 栅极处进行拆分。如果需要栅极电阻，则计算等效额定 MOSFET 所需的等效电阻，并将栅极电阻器尽可能靠近 MOSFET 栅极输入端放置，以抑制到栅极驱动器的任何耦合问题。

更多相关信息，请查看 [驱动并联 MOSFET](#) 应用简报。

8.2.1.1.6 死区时间电阻器选型

在 DRV8329-Q1 中，可以通过从 DT 引脚到地的电阻器 (R_{DT}) 插入死区时间，如图 8-6 所示。当 R_{DT} 从 DT 引脚连接到 GND 时，DRV8329-Q1 中的死区时间范围为 100ns 至 2000ns。可以使用电阻值的线性插值来设置适当的死区时间。

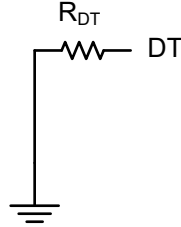


图 8-6. 死区时间电阻器

死区时间 (以纳秒为单位) 可根据方程式 1 中的死区时间电阻来计算得出。

死区时间也可通过 MCU 生成的 PWM 输入来实现。如果在 PWM 输入和 DRV8329-Q1 处插入死区时间，则驱动器输出的 PWM 死区时间是这两个死区时间中的较大者。例如，如果在 MCU 输入处插入 200ns 死区时间，并通过 DT 引脚在 DRV8329-Q1 处插入 50ns 死区时间，则输出驱动器的 PWM 死区时间将为 200ns。

8.2.1.1.7 VDSLVL 选择

VDSLVL 是一个模拟电压，用于直接设置用于过流保护的 VDS 过流阈值。它可以直接从模拟电压源 (如数模转换器) 获得，也可以从电压轨 (如 AVDD 的电阻分压器) 中分压获得，如图 8-7 所示。

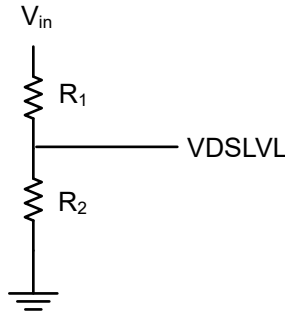


图 8-7. 使用电阻分压器从电压轨设置 VDSLVL

方程式 10 和方程式 11 可用于使用电阻分压器通过电压源设置所需的 VDSLVL 电压，以在给定所用 MOSFET 的 $R_{DS,on}$ 的情况下建立过流限制：

$$V_{VDSLVL} = I_{OC} \times R_{ds(on)} \quad (10)$$

$$\frac{R_1}{R_2} = \frac{V_{in}}{V_{VDSLVL}} - 1 \quad (11)$$

其中：

- V_{VDSLVL} = VDSLVL 电压
- I_{OCP} = VDS 过流限制
- $R_{DS,on}$ = MOSFET 导通电阻
- V_{IN} = VDSLVL 分压器的电压源
- $R1/R2$ = 用于设置 VDSLVL 的电阻比

例如，如果使用 AVDD 的电阻分压器来设置 30A 的过流跳变阈值并且 MOSFET $R_{DS(ON)} = 10\text{m}\Omega$ ，则 $V_{DSLVL} = 0.3\text{V}$ 。

在某些应用中，直接驱动电机电源的电池电压 (VBAT) 和为 DRV8329-Q1 供电的 PVDD 电压之间会存在差异。由于高侧 VDS 监控以 PVDD-SHx 为基准，因此需要适当地选择 VDSLVL 以适应 VBAT 和 PVDD 的差异。

如果 PVDD 和 VDSLVL 之间存在差异，则 [方程式 12](#) 有助于选择合适的 VDSLVL：

$$V_{DSLVL} = (V_{BAT} - PVDD) + I_{OC} * R_{DS(ON)} \quad (12)$$

例如，如果 $V_{BAT} = 24.0\text{V}$ 、 $PVDD = 23.3\text{V}$ 、 $R_{dson} = 10\text{m}\Omega$ 且 $I_{OC} = 30\text{A}$ ，则 VDSLVL 应等于 1.0V，以便检测高侧 FET 上的 30A 过流事件和低侧 FET 上的 100A 过流事件。

8.2.1.1.8 AVDD 功率损耗

在集成式 LDO 可提供 3.3V (高达 80mA) 作为外部 IC 的电源轨，或为电阻器和开关提供上拉电压。AVDD 相对于 PVDD、AVDD 电压和 AVDD 电流的功率损耗为 $P_{AVDD} = (V_{PVDD} - V_{AVDD}) \times I_{AVDD}$ 。

由于从 PVDD 到 3.3V 的压降更大或 AVDD 负载电流增加，因此会产生更高的功率损耗。

8.2.1.1.9 电流检测和输出滤波

通常，通过 MCU 中的模数转换器对 SO 引脚进行采样，以计算电机总相电流。相电流计算用于闭环反馈，例如过流保护或无传感器梯形或磁场定向控制换向

下面显示了一个系统的相电流计算示例，其中 $V_{SO} = 1.4\text{V}$ 、 $V_{CSAREF} = 3.3\text{V}$ 、 $CSAGAIN = 20\text{V/V}$ 且 $R_{SENSE} = 1\text{m}\Omega$ 。

$$I = \frac{V_{SO} - \frac{V_{CSAREF}}{8}}{CSAGAIN \times R_{SENSE}} \quad (13)$$

$$I = \frac{1.4\text{V} - \frac{3.3\text{V}}{8}}{20\text{V/V} \times 0.001} \quad (14)$$

$$I = 49.375\text{A} \quad (15)$$

有时，SO 信号上会出现高频噪声，这可能是由于 VREF 上的电压纹波、SO 布线上增加的电感或者 SO 布线靠近高频元件而引起的。建议在 MCU 附近添加一个低通 RC 滤波器，其截止频率至少为梯形换向 PWM 开关频率的 10 倍和正弦换向 PWM 开关频率的 100 倍，以便滤除高频噪声。推荐使用 330Ω、470pF 的 RC 滤波器，以尽可能减少向 ADC 和电流镜像电路添加的并联电容。低通 RC 滤波器的截止频率如 [方程式 16](#) 所示。

$$f_c = \frac{1}{2\pi RC} \quad (16)$$

8.2.1.1.10 功率损耗和结温损耗

要根据功率损耗计算 DRV8329-Q1 的结温，请使用 [方程式 17](#)。请注意，热阻 θ_{JA} 取决于 PCB 配置，例如环境温度、PCB 层数、顶层和底层的铜厚度以及 PCB 面积。

$$T_J[^\circ\text{C}] = P_{loss}[W] \times \theta_{JA}\left[\frac{^\circ\text{C}}{W}\right] + T_A[^\circ\text{C}] \quad (17)$$

下表显示了 DRV8329-Q1 中每个损耗的计算公式摘要。

表 8-3. DRV8329-Q1 功率损耗

损耗类型	公式
待机功耗	$P_{standby} = V_{PVDD} \times I_{PVDD}$

表 8-3. DRV8329-Q1 功率损耗 (续)

损耗类型	公式
GVDD CP 模式 (PVDD < 18V)	$P_{LDO} = 2 \times V_{PVDD} \times I_{GVDD} - V_{GVDD} \times I_{GVDD}$
GVDD LDO 模式 (PVDD > 18V)	$P_{LDO} = (V_{PVDD} - V_{GVDD}) \times I_{GVDD}$
AVDD LDO	$P_{LDO} = (V_{PVDD} - V_{AVDD}) \times I_{AVDD}$

8.2.2 应用曲线

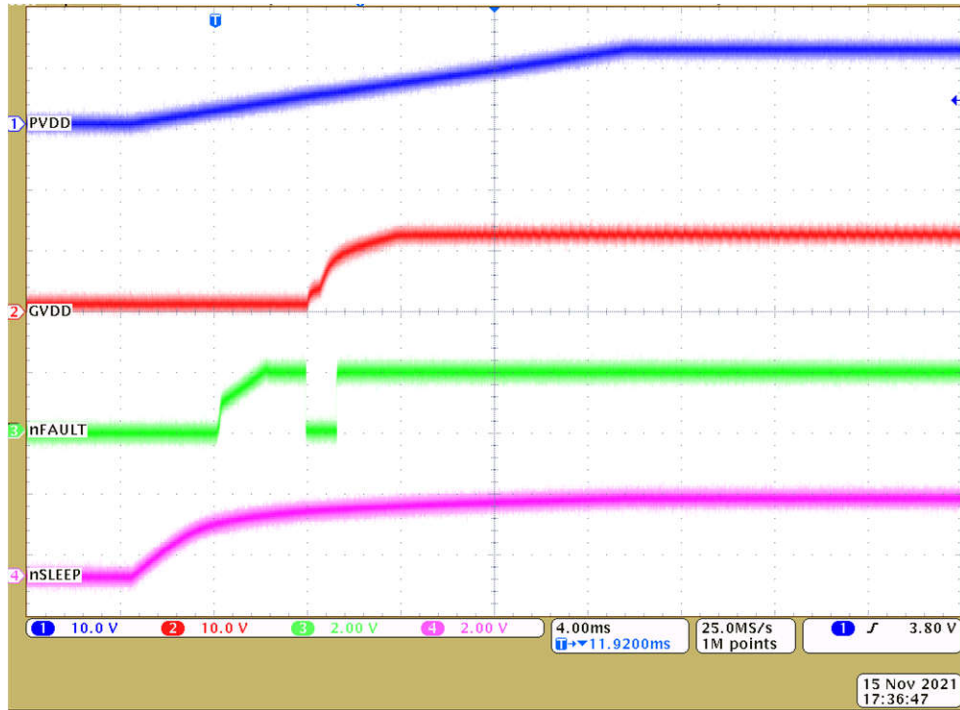


图 8-8. 通过 PVDD 实现器件上电

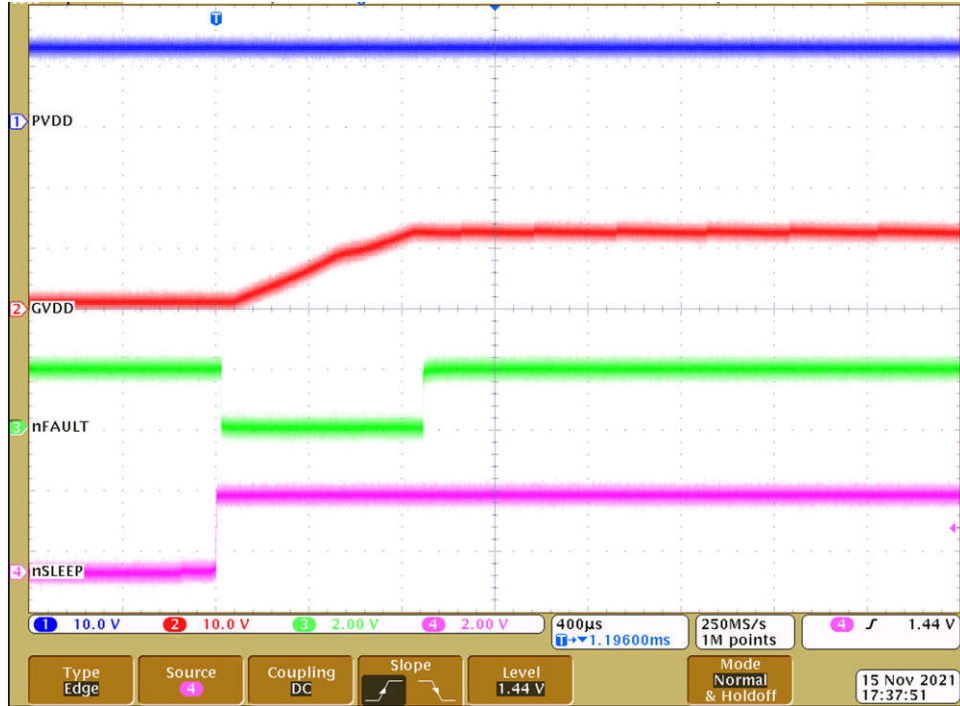


图 8-9. 通过 nSLEEP 实现器件上电

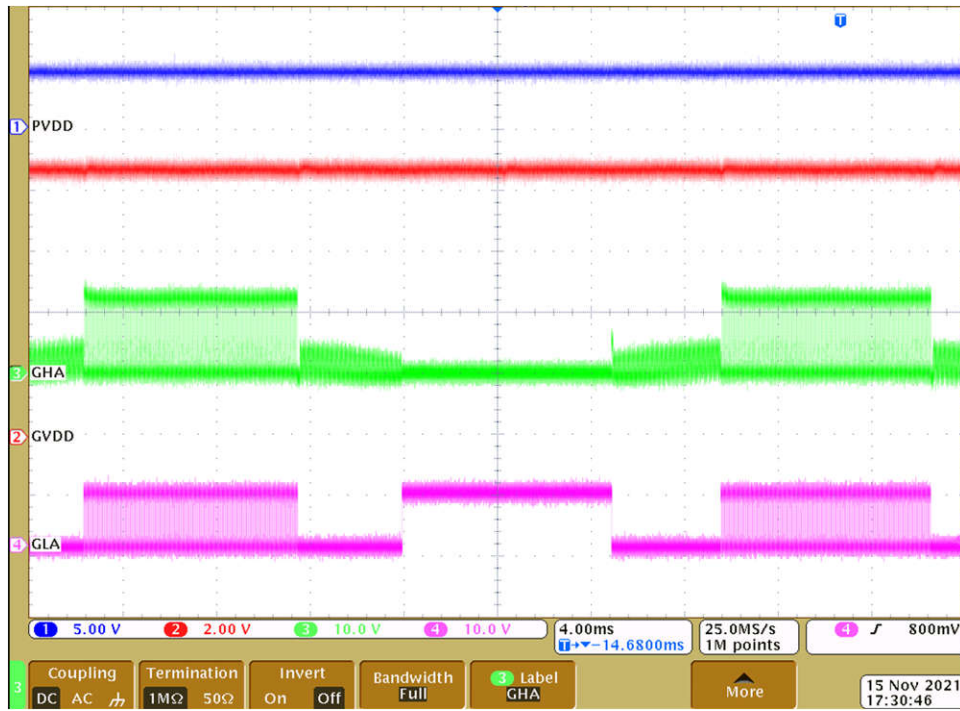


图 8-10. GVDD 电压阈值 (PVDD = 4.5V)

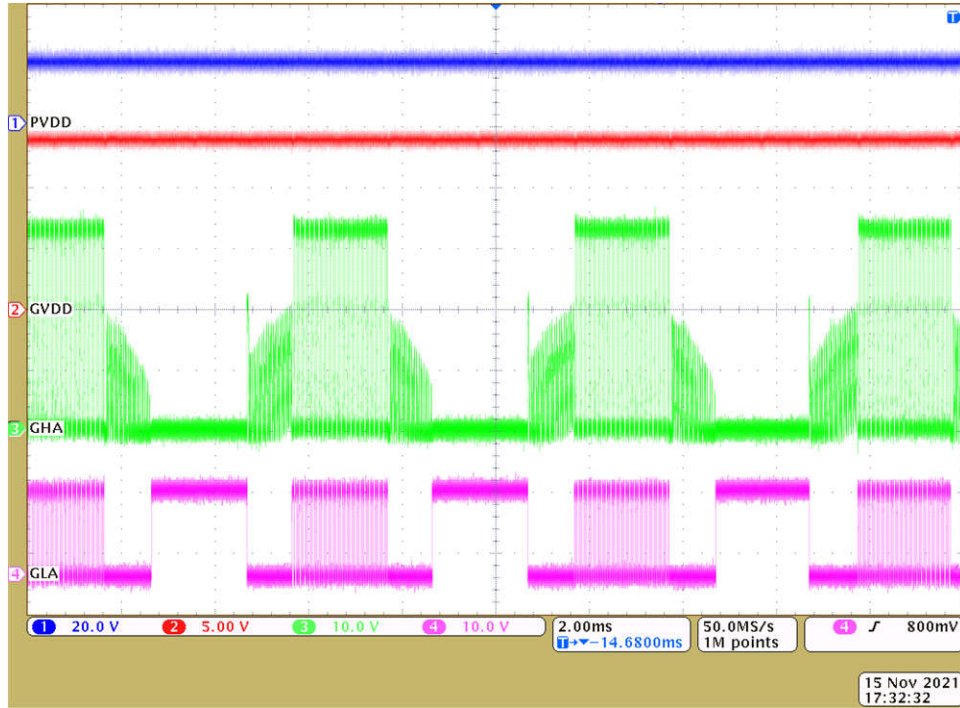


图 8-11. GVDD 电压阈值 (PVDD = 20V)

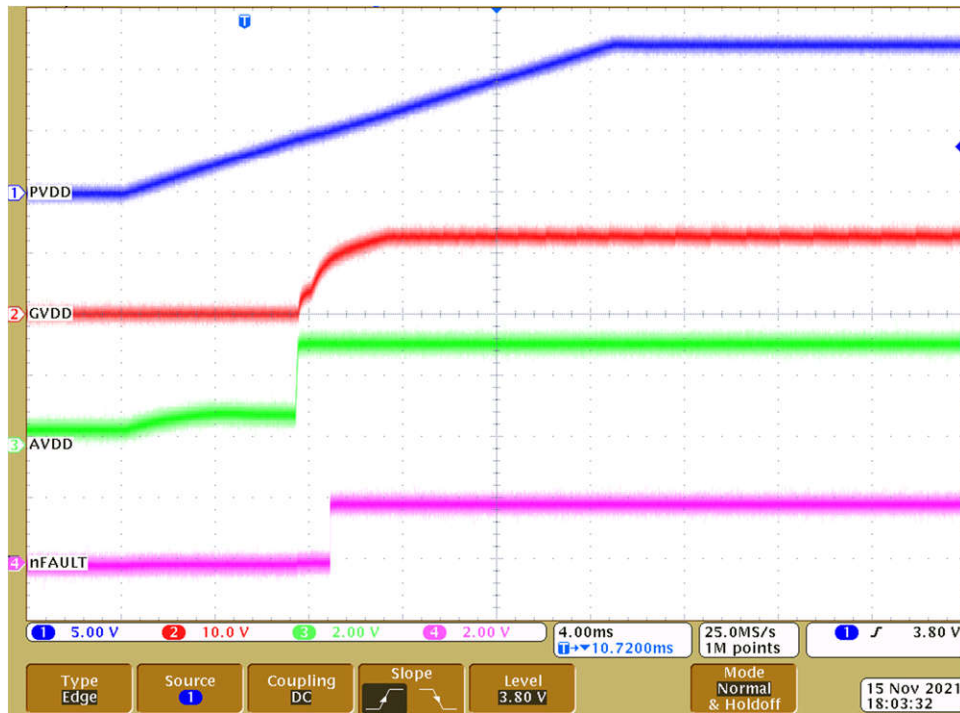


图 8-12. AVDD 上电

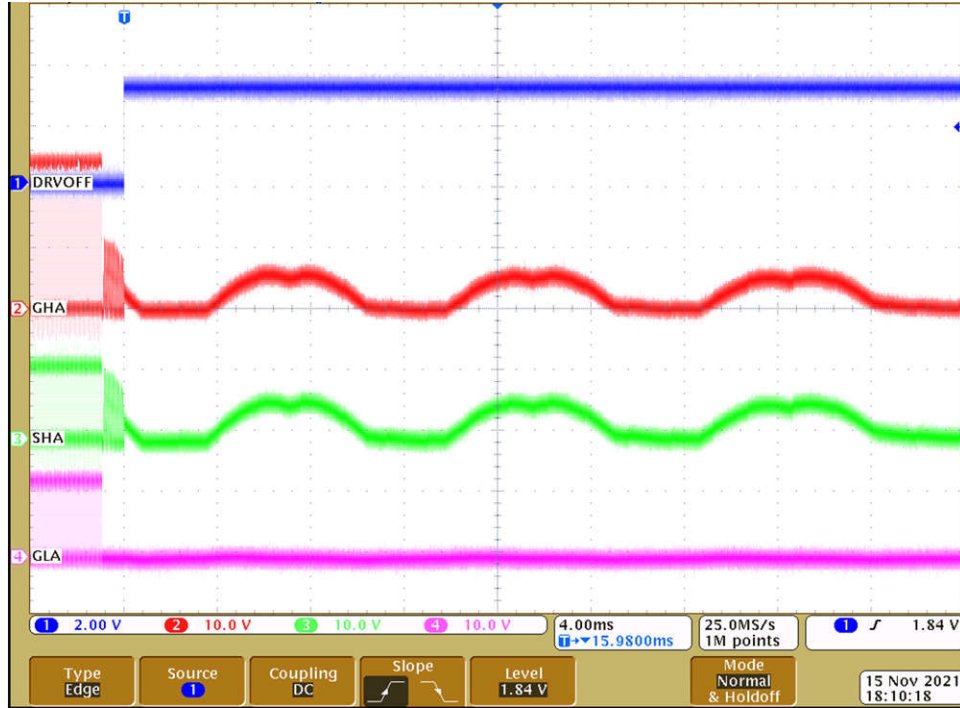


图 8-13. DRVOFF 运行

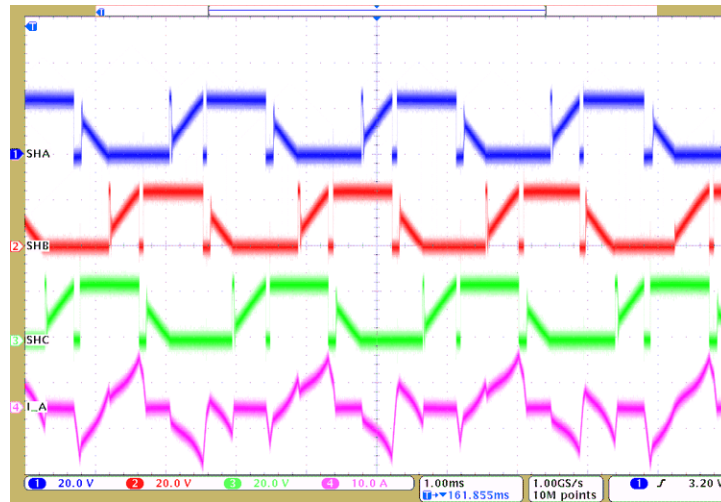


图 8-14. 驱动器在 100% 占空比下运行

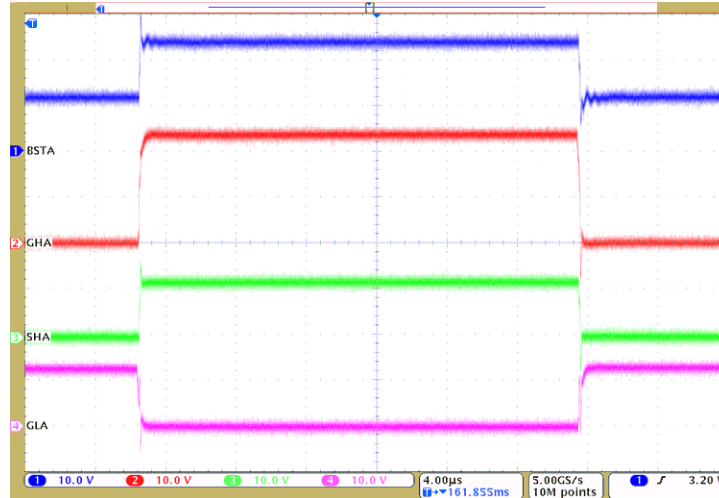


图 8-15. 驱动器 PWM 运行，20kHz，50% 占空比，放大图

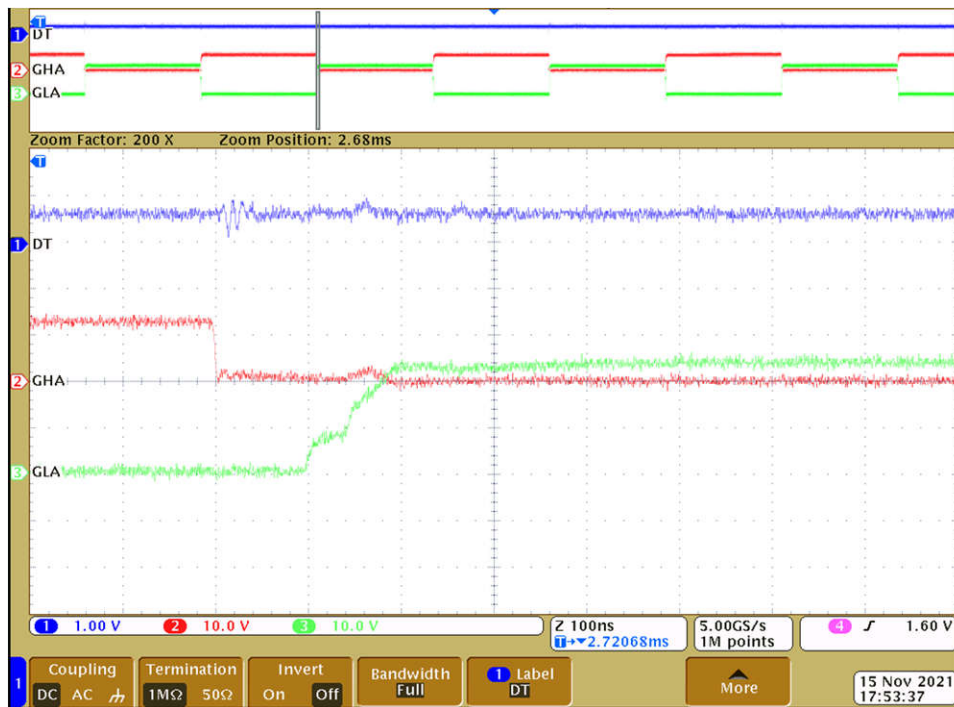


图 8-16. 100ns 的驱动器死区时间 (DT = 10kΩ 至 GND)

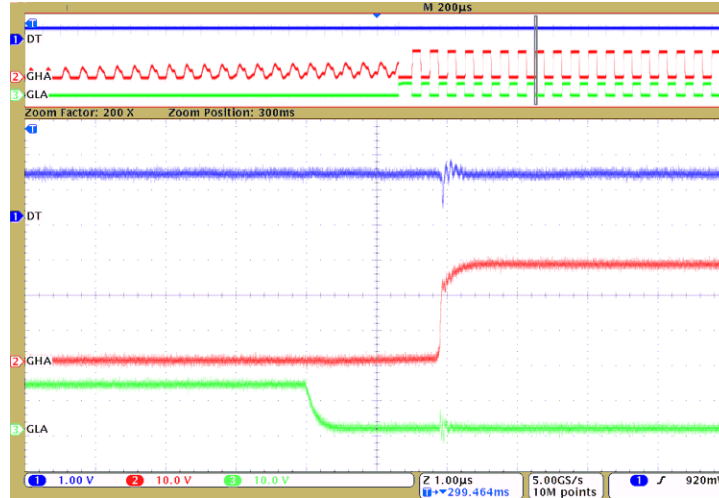


图 8-17. 2000ns 的驱动器死区时间 (DT = 390k Ω 至 GND)

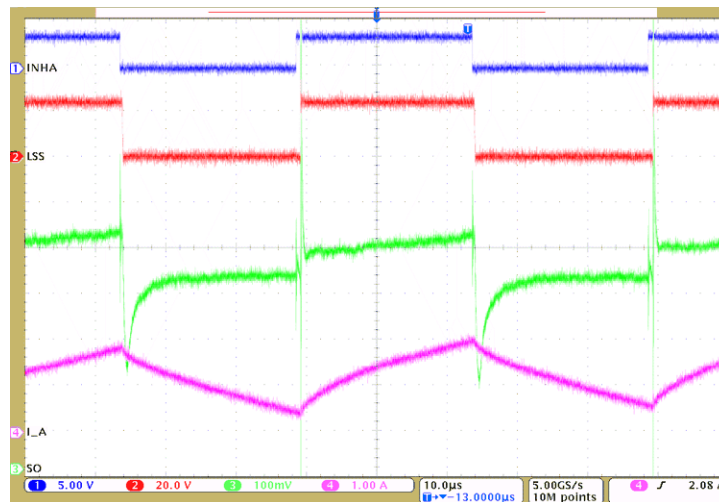


图 8-18. 电流检测放大器运行 (增益 = 40V/V)

8.3 电源相关建议

DRV8329-Q1 系列器件可在 4.5V 至 60V 的输入电压电源 (PVDD) 范围内正常工作。必须在尽可能靠近器件的位置放置额定电压为 PVDD 的 10 μ F 和 0.1 μ F 陶瓷电容器。此外，必须在 PVDD 引脚上连接一个大容量电容器，但可以将其与外部功率 MOSFET 的大容量旁路电容共用。需要使用额外的大容量电容来旁路外部半桥 MOSFET，并且应该根据应用要求来确定该电容的大小。

8.3.1 确定大容量电容器的大小

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。所需的局部电容量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的类型、电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电源电压纹波
- 电机类型 (有刷直流、无刷直流、步进电机)
- 电机启动和制动方法

电源和电机驱动系统之间的电感会限制电源的电流变化速率。如果局部大容量电容太小，系统将以电压变化的方式对电机中的电流不足或过剩电流作出响应。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表给出了建议的最小值，但需要进行系统级测试来确定大小合适的大容量电容器。

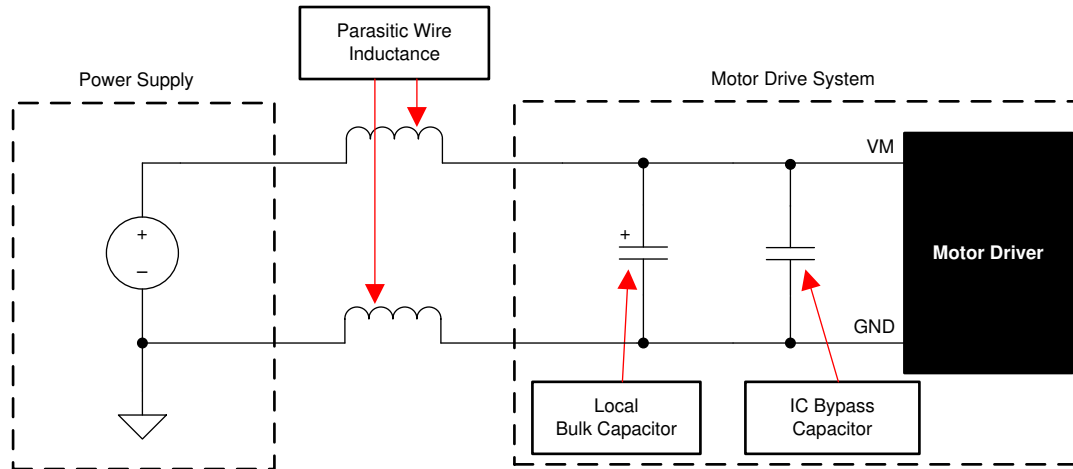


图 8-19. 电机驱动电源寄生效应示例

8.4 布局

8.4.1 布局指南

使用推荐容值为 $0.1\mu\text{F}$ 的低 ESR 陶瓷旁路电容器将 PVDD 引脚旁路至 PGND 引脚。将该电容器放置在尽可能靠近 PVDD 引脚的位置，并通过较宽的引线或通过接地平面连接到 PGND 引脚。此外，使用额定电压为 PVDD 的大容量电容器旁路 PVDD 引脚。该元件可以是电解电容器。其容值必须至少为 $10\mu\text{F}$ 。

需要额外的大容量电容来旁路掉外部 MOSFET 上的大电流路径。放置此大容量电容时应做到尽可能缩短通过外部 MOSFET 的大电流路径的长度。连接金属走线应尽可能宽，并具有许多连接 PCB 层的过孔。这些做法尽可能地减小了电感并使大容量电容器提供高电流。

在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容器。该电容器应为 470nF ，额定电压为 PVDD，类型为 X5R 或 X7R。

自举电容器 (BSTx-SHx) 应靠近器件引脚放置，尽可能地减小栅极驱动路径的环路电感。

死区时间电阻器 (R_{DT}) 应尽可能靠近 DT 引脚放置。

使用容值为 $1\mu\text{F}$ 、额定电压为 6.3V 且类型为 X5R 或 X7R 的低 ESR 陶瓷电容器将 AVDD 引脚旁路至 AGND 引脚。将此电容器尽可能靠近引脚放置，并尽量缩短从电容器到 AGND 引脚的路径。

尽可能地缩短高侧和低侧栅极驱动器的回路长度。高侧环路是从器件的 GHx 引脚到高侧功率 MOSFET 栅极，然后沿着高侧 MOSFET 源极返回到 SHx 引脚。低侧环路是从器件的 GLx 引脚到低侧功率 MOSFET 栅极，然后沿着低侧 MOSFET 源极返回到 PGND 引脚。

在设计功率更高的系统时，PCB 布局中的物理特性会产生寄生电感、电容和阻抗，从而影响系统的性能，如图 8-20 所示。了解功率较高的电机驱动系统中存在的寄生效应可以帮助设计人员通过良好的 PCB 布局来减轻其影响。有关更多信息，请访问[大功率电机驱动器应用的系统设计注意事项](#)和[电机驱动器电路板布局布线最佳实践](#)应用手册。

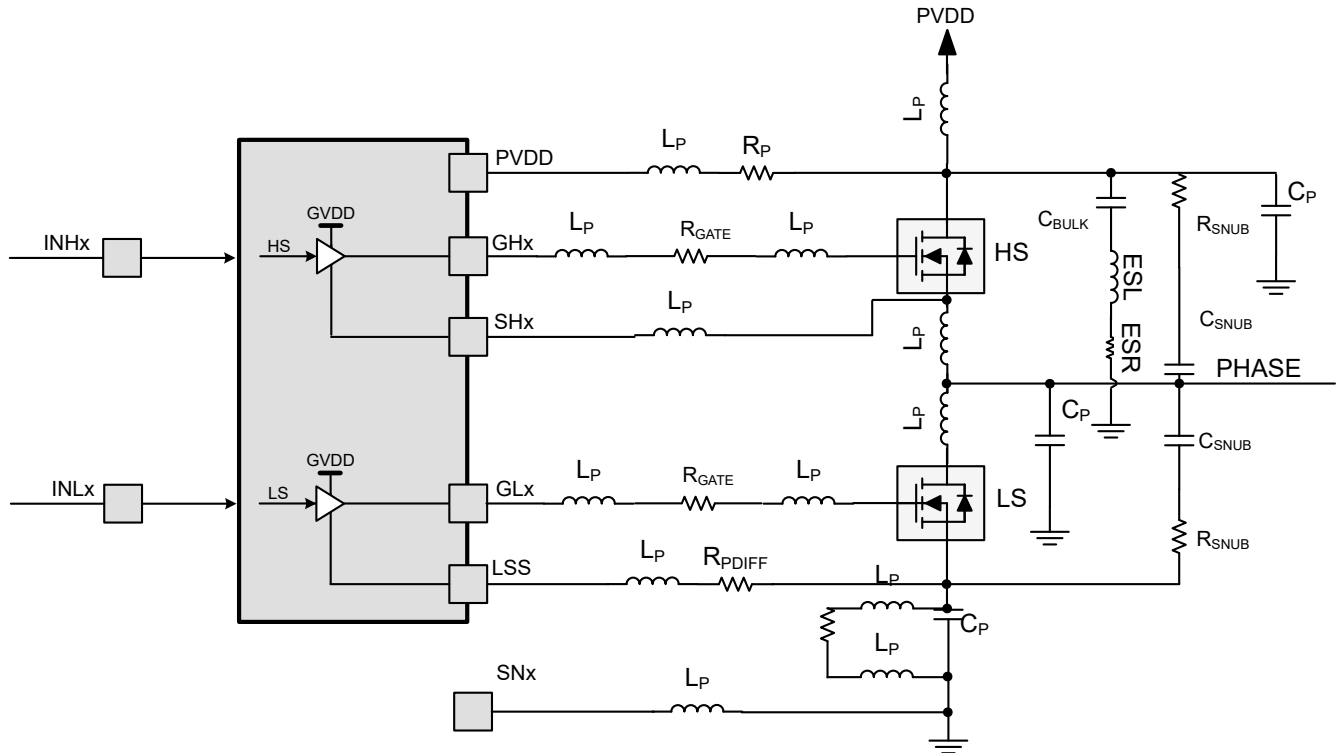


图 8-20. BLDC 电机驱动器功率级 PCB 中的寄生效应

栅极驱动器引线 (BSTx、GHx、SHx、GLx、LSS) 的宽度应至少为 15mil-20mil，并且到 MOSFET 栅极的距离应尽可能短，从而尽可能地减小寄生电感和阻抗。这有助于提供较大的栅极驱动电流，有效地使 MOSFET 导通，并改善 VGS 和 VDS 监控。如果使用分流电阻器来监控从 LSS 到 GND 的低侧电流，请确保所选分流电阻器较宽，以便尽可能地减小在低侧源极 LSS 处引入的电感。

TI 建议将所有非功率级电路 (包括散热焊盘) 连接到 GND，以降低寄生效应并改善器件的功率耗散。确保接地端通过网络连接或宽电阻器连接，以减小电压偏移并保持栅极驱动器性能。

器件散热焊盘应焊接到 PCB 顶层接地平面。应使用多个过孔连接到较大的底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的热量。

为了提高热性能，请在 PCB 的所有可能层上尽可能地增大连接到散热焊盘接地端的接地面积。使用较厚的覆铜可以降低结至空气热阻并改善芯片表面的散热。

8.4.2 散热注意事项

DRV8329-Q1 具有热关断 (TSD) 功能，可防止过热。如果内核温度超过 150°C (最低)，则会禁用器件，直到温度降至安全水平。

如果该器件有任何进入热关断状态的倾向，则说明功耗过大、散热不足或环境温度过高。

8.4.2.1 功率耗散

DRV8329-Q1 集成了各种会使总功率损耗增大的电路。这些功率损耗包括待机功率损耗、GVDD 功率损耗和 AVDD 功率损耗。

在启动和故障情况下，相应的电流远大于正常运行电流；务必将这些峰值电流及其持续时间考虑在内。

器件可耗散的最大功率取决于环境温度和散热。

9 器件和文档支持

9.1 器件支持

9.1.1 器件命名规则

下图显示了说明完整器件名称的图例：

9.2 文档支持

9.2.1 相关文档

- 请参阅应用手册 [使用 DRV8329 在无线电动工具中输送电力](#)
- 德州仪器 (TI), [DRV8329AEVM 评估模块](#)
- 请参阅应用手册 [大功率电机驱动器应用的系统设计注意事项](#)
- 请参阅 [E2E 常见问题解答](#) [如何进行 BLDC 原理图审阅和调试](#)
- 请参阅应用手册 [电机驱动器电路板布局布线最佳实践](#)
- 请参阅应用手册 [QFN 和 SON PCB 连接](#)
- 请参阅应用手册 [高电流电机驱动应用中的关断开关](#)
- 请参阅应用手册 [采用 BLDC 电机的高效真空吸尘器硬件设计注意事项](#)
- 请参阅应用手册 [采用 BLDC 电机的电动自行车硬件设计注意事项](#)
- 请参阅应用手册 [采用 MSP430 且配有传感器的三相 BLDC 电机控制](#)

9.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及立即购买的快速链接。

9.4 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.5 社区资源

9.6 商标

所有商标均为其各自所有者的财产。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2023) to Revision A (November 2024)	Page
• 将器件状态更新为“量产数据”	1

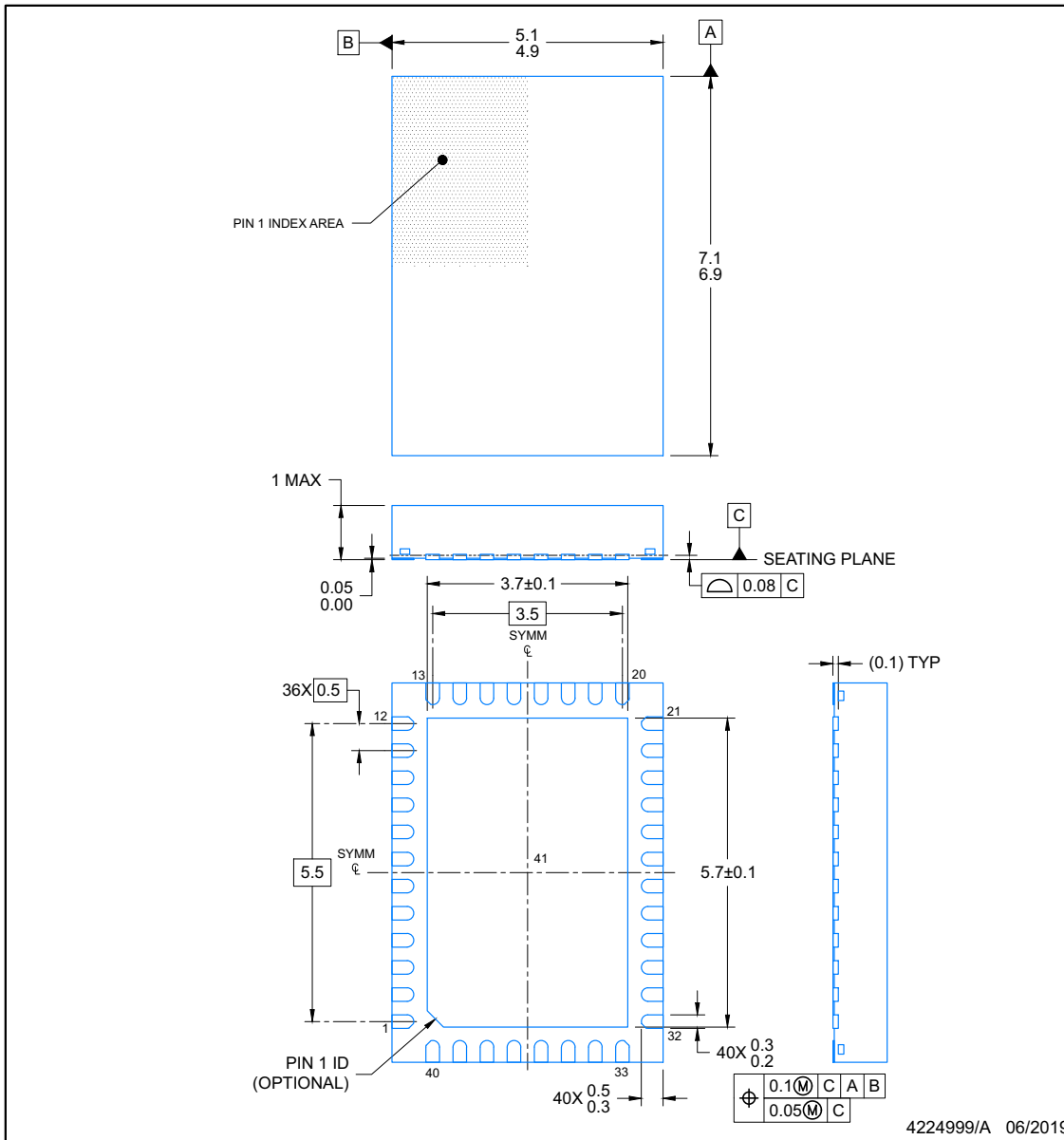
11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航面板。

RGF0040E

PACKAGE OUTLINE
VQFN - 1 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



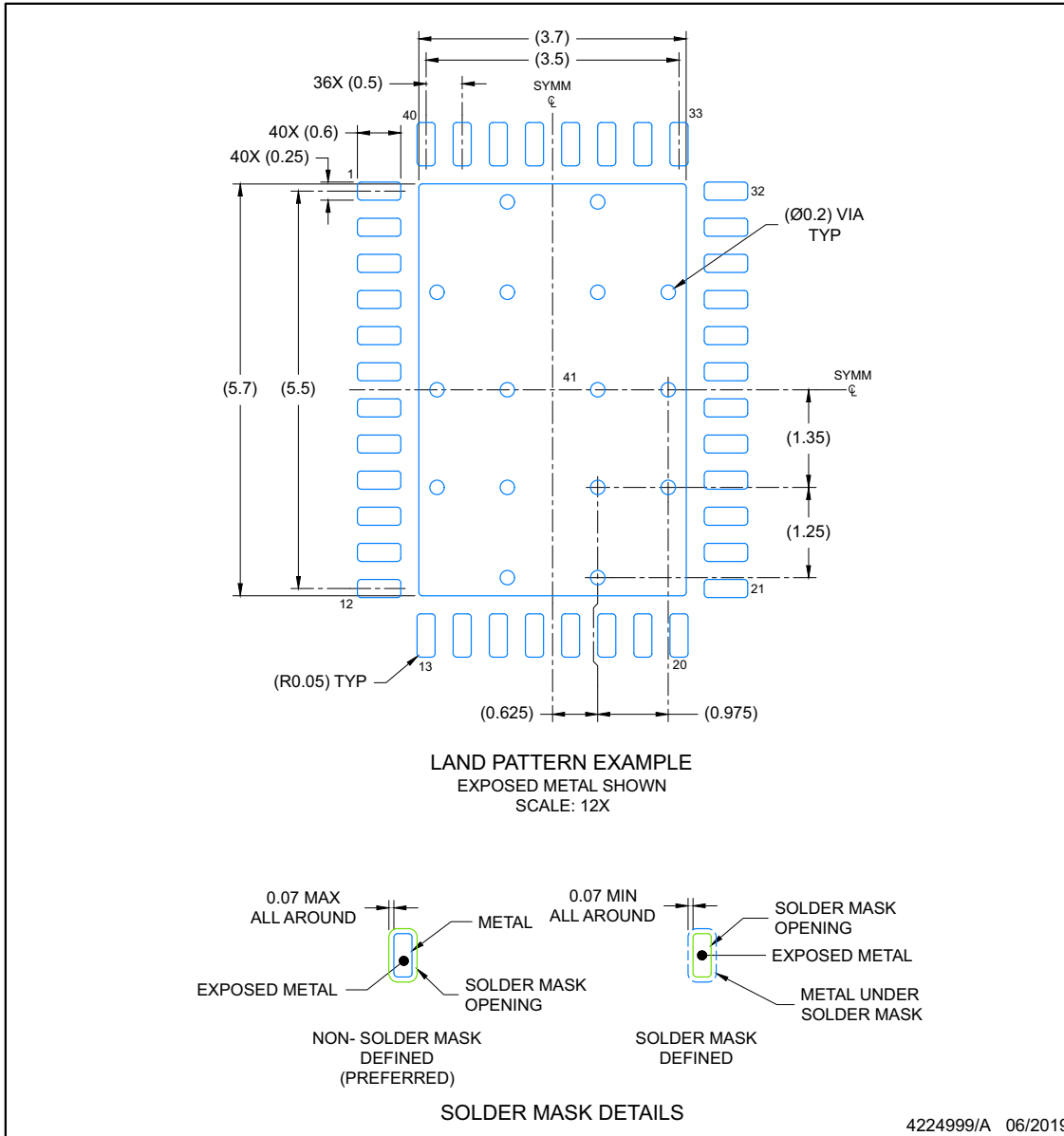
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT
VQFN - 1 mm max height

RGF0040E

PLASTIC QUAD FLAT PACK- NO LEAD



NOTES: (continued)

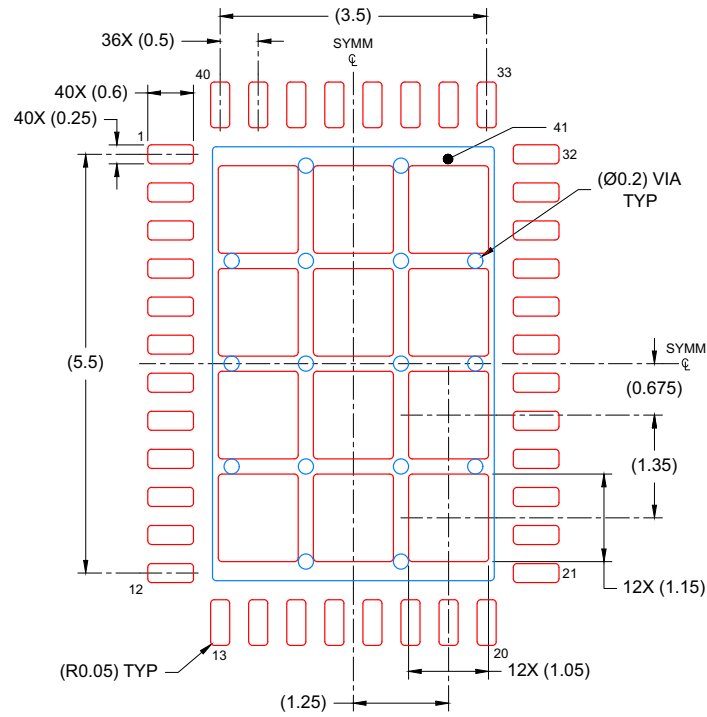
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGF0040E

VQFN - 1 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
69% PRINTED COVERAGE BY AREA
SCALE: 12X

4224999/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8329AQRGFRQ1	ACTIVE	VQFN	RGF	40	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	D8329AQ	Samples
DRV8329BQRGFRQ1	ACTIVE	VQFN	RGF	40	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	D8329BQ	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8329-Q1 :

- Catalog : [DRV8329](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

GENERIC PACKAGE VIEW

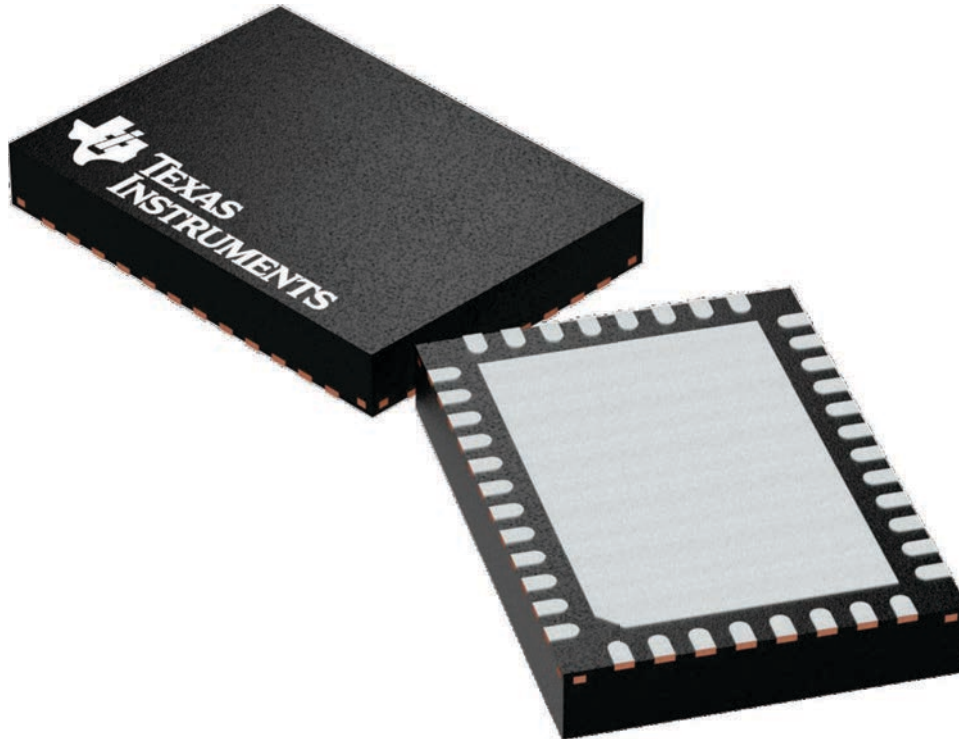
RGF 40

VQFN - 1 mm max height

5 x 7, 0.5 mm pitch

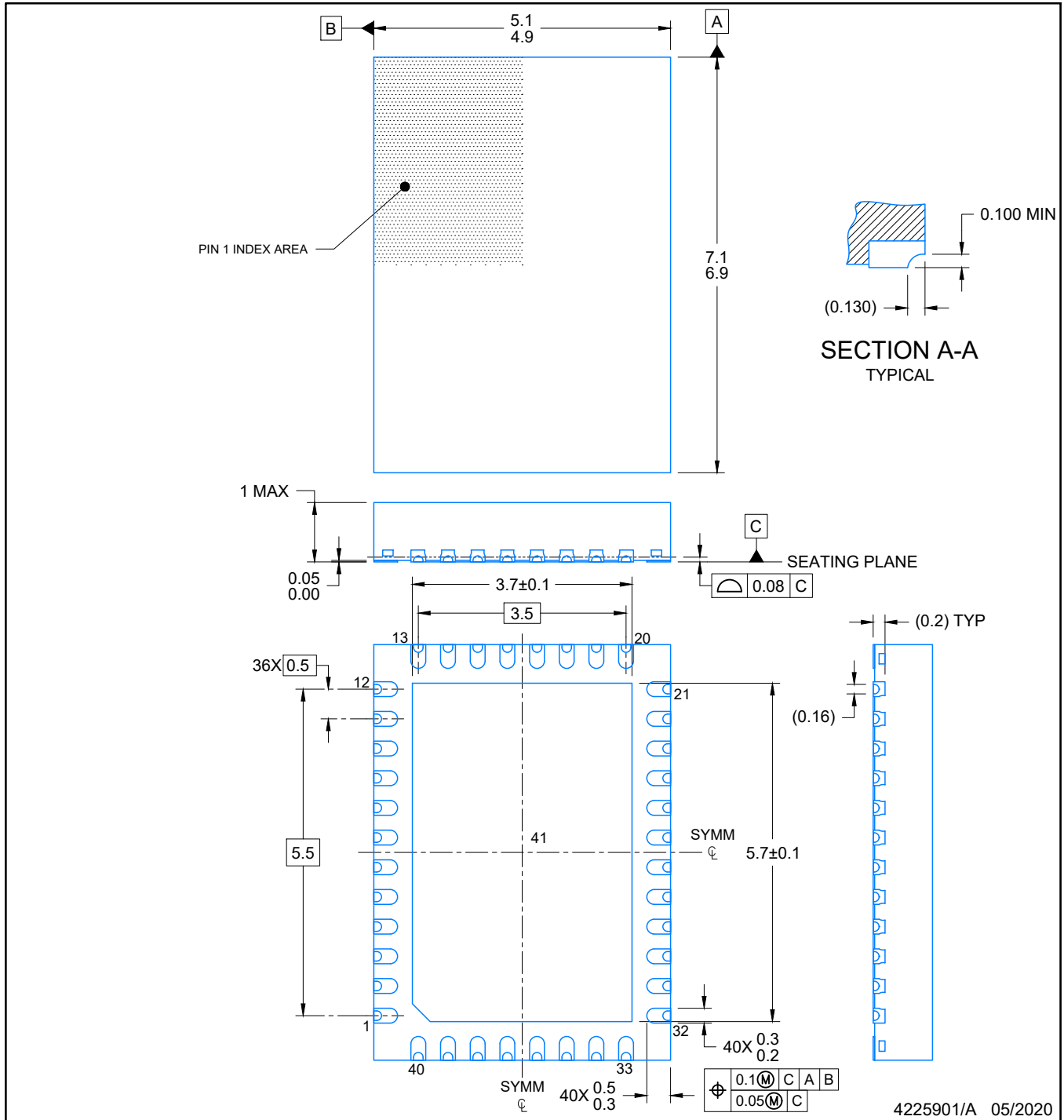
PLASTIC QUAD FLAT PACK- NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225115/A

PLASTIC QUAD FLATPACK- NO LEAD



NOTES:

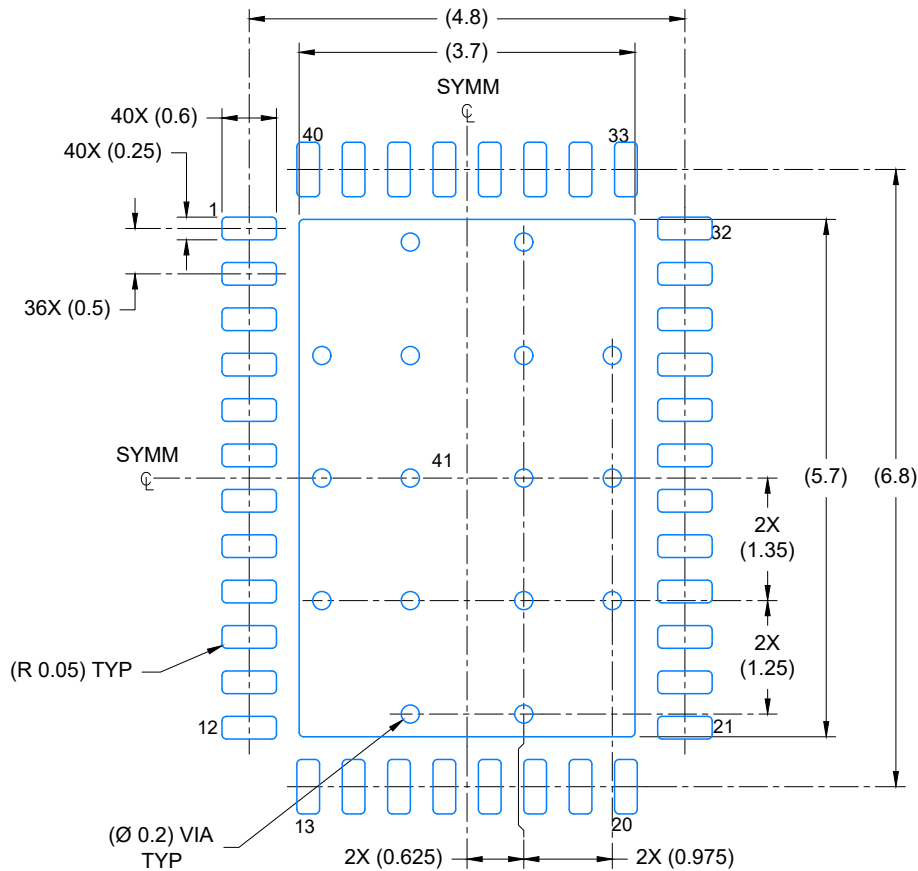
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VQFN - 1 mm max height

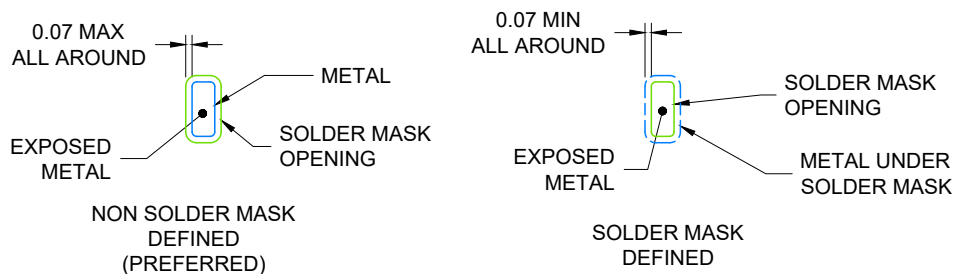
RGF0040F

PLASTIC QUAD FLATPACK- NO LEAD



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 12X



SOLDER MASK DETAILS

4225901/A 05/2020

NOTES: (continued)

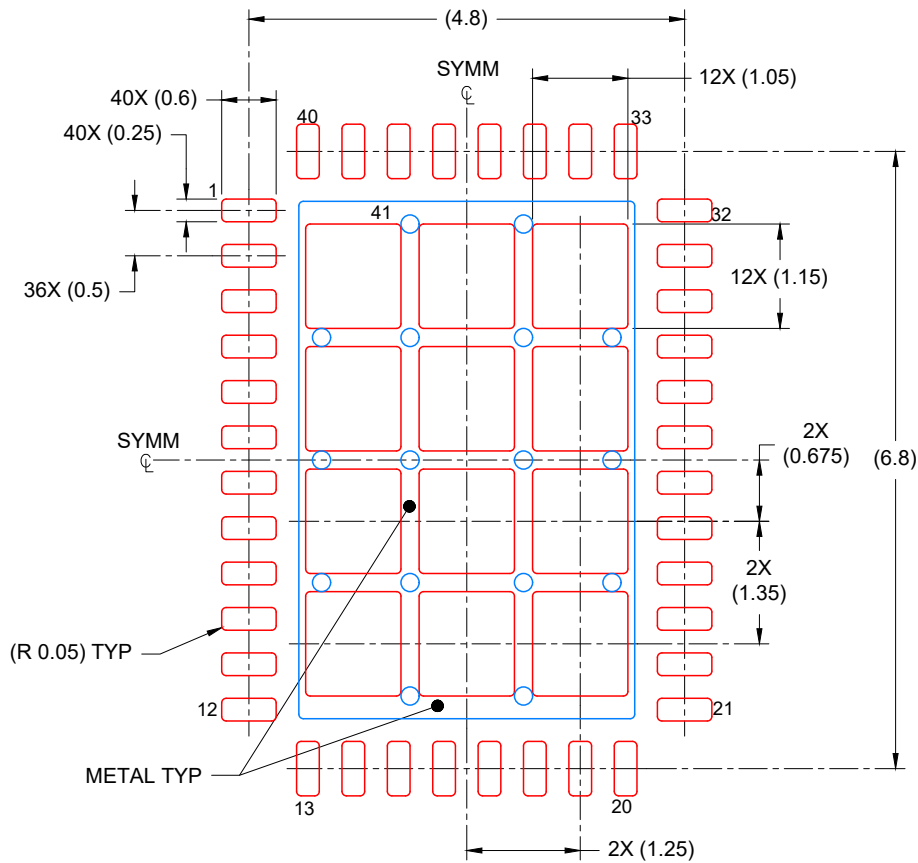
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGF0040F

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
69% PRINTED COVERAGE BY AREA
SCALE: 12X

4225901/A 05/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司