

DRV8421 18V 2A 双路 H 桥步进驱动器

1 特性

- 双 H 桥电机驱动器
 - 单通道/双通道有刷直流
 - 步进
 - 螺线管
- 4 至 18V 工作电源电压范围
- 低导通电阻：HS + LS = 900mΩ (25°C 时的典型值)
- 每个 H 桥均提供高输出电流
 - 最大驱动器电流为 2A (12V 且 $T_A = 25^\circ\text{C}$)
 - 并联模式可用。支持 4A 最大驱动器电流 (12V 且 $T_A = 25^\circ\text{C}$)
- 器件版本：
 - **DRV8421A (4 线输入)：独立半桥控制**
 - **DRV8421B (2 线输入)：睡眠模式、故障检测**
- 类似的 LV 步进驱动器：
 - **DRV8410**：1.65 至 11V (800mΩ $R_{DS(ON)}$)
 - **DRV8411**：1.65 至 11V (400mΩ $R_{DS(ON)}$)
 - **DRV8411A**：1.65 至 11V (400mΩ $R_{DS(ON)}$)
- PWM 控制接口
- 低电流 3μA 睡眠模式 (仅限 2 线输入版本)
- 热增强型表面贴装封装
- 保护特性
 - VM 欠压锁定 (UVLO)
 - 过流保护 (OCP)
 - 热关断 (TSD)
 - 故障状态指示引脚 (nFAULT) (仅限 2 线输入版本)

2 应用

- 家用电器
 - 打印机/扫描仪
 - 冰箱
 - 真空吸尘器
 - 干衣机
- 通用有刷电机和步进电机

3 说明

DRV8421 提供了一款适用于家用电器及其他机电一体化应用的双 H 桥电机驱动器。该器件可用于驱动一个或两个直流电机、一个双极性步进电机或其它负载。通过一个简单的 PWM 接口即可轻松与控制电路相连。

每个 H 桥的输出块包含被配置为全 H 桥的 N 沟道功率 MOSFET，以驱动电机绕组。DRV8421 能够从每个输出驱动高达 2A 的电流，或在并行模式下驱动高达 4A 的电流 (在 12V 和 $T_A = 25^\circ\text{C}$ 下，具有适当的散热。)

该器件包含两个版本，分别具有 4 线输入 (DRV8421A) 或 2 线输入 (DRV8421B)。2 线输入版本 (DRV8421B) 包含使能和故障检测等功能，而 4 线输入版本 (DRV8421A) 可根据发送到四个输入端子的信号驱动四个半桥。还为 2 线输入版本提供了低功耗睡眠模式。该模式可将内部电路关断，实现超低的静态电流消耗。此睡眠模式可通过将使能引脚拉至低电平来设置。

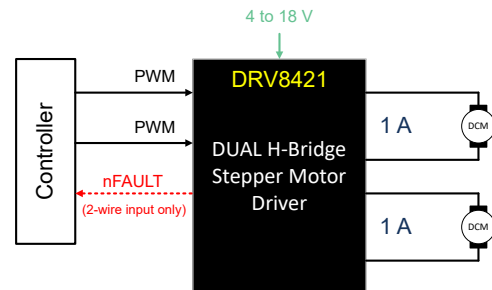
提供的内部保护特性包括：UVLO、OCP、短路保护和过热保护。在 2 线输入器件 DRV8421B 中，故障条件由一个 nFAULT 引脚指示。

器件信息 (1)

器件型号	封装	封装尺寸 (2)
DRV8421ADGQ	HVSSOP (10)	3.00mm × 3.00mm
DRV8214BDGQ	HVSSOP (10)	3.00mm × 3.00mm
DRV8421ADFU	SSOP (10)	3.90mm × 4.90mm
DRV8421BDFU	SSOP (10)	3.90mm × 4.90mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)



简化版原理图



内容

1 特性	1	7.1 概述.....	9
2 应用	1	7.2 功能方框图.....	10
3 说明	1	7.3 特性说明.....	12
4 器件比较	3	7.4 器件功能模式.....	18
5 引脚配置和功能	4	8 应用和实施	19
6 规格	6	8.1 应用信息.....	19
6.1 绝对最大额定值.....	6	8.2 典型应用.....	19
6.2 ESD 等级 - 通信.....	6	8.3 电源相关建议.....	21
6.3 建议运行条件.....	6	8.4 布局.....	22
6.4 热性能信息.....	6	9 器件和文档支持	24
6.5 电气特性.....	7	9.1 社区资源.....	24
6.6 时序要求.....	8	9.2 商标.....	24
6.7 典型特性.....	8	10 修订历史记录	24
7 详细说明	9	11 机械、封装和可订购信息	24

4 器件比较

表 4-1. 器件比较表

器件型号	封装	电源 VM (V)	R _{DS(ON)} (mΩ)	过流保护 (OCP) 限制 (A)	电流调节	电流检测	封装尺寸
DRV8421	HVSSOP (10)	4 至 18	900	2	否	否	3.0mm x 3.0mm
	SSOP (10)	4 至 18	900	2	否	否	3.9mm x 4.9mm
DRV8848	HTSSOP (16)	4 至 18	900	2	是	外部分流电阻器	5.0mm x 6.4mm
DRV8410	HTSSOP (16)	1.65 至 11	800	2.5	是	外部分流电阻器	5.0mm x 6.4mm
	WQFN (16)	1.65 至 11	800	2.5	是	外部分流电阻器	3.0mm x 3.0mm
	薄型 SOT (16)	1.65 至 11	800	2.5	是	外部分流电阻器	4.2mm x 2.0mm
DRV8411	HTSSOP (16)	1.65 至 11	400	4	是	外部分流电阻器	5.0mm x 6.4mm
	WQFN (16)	1.65 至 11	400	4	是	外部分流电阻器	3.0mm x 3.0mm
	薄型 SOT (16)	1.65 至 11	400	4	是	外部分流电阻器	4.2mm x 2.0mm
DRV8411A	HTSSOP (16)	1.65 至 11	400	4	是	电流镜 (IPROPI)	5.0mm x 6.4mm
	WQFN (16)	1.65 至 11	400	4	是	电流镜 (IPROPI)	3.0mm x 3.0mm
	薄型 SOT (16)	1.65 至 11	400	4	是	电流镜 (IPROPI)	4.2mm x 2.0mm

5 引脚配置和功能

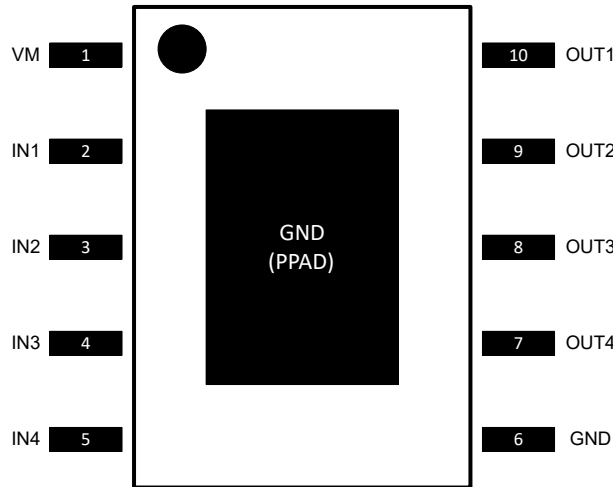


图 5-1. DRV8421A PWP 封装 10 引脚 HVSSOP 顶视图

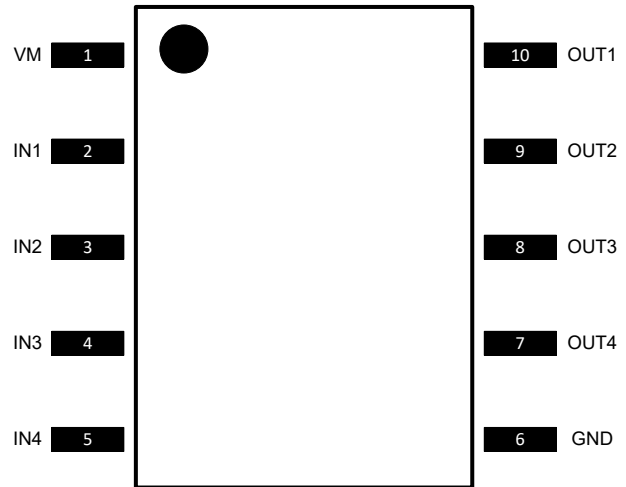


图 5-2. DRV8421A 10 引脚 SSOP 顶视图

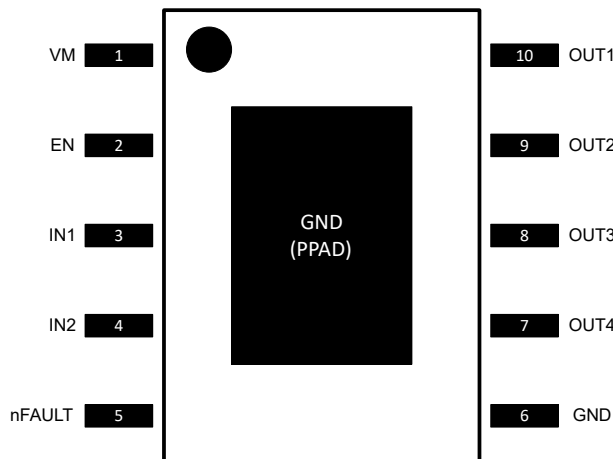


图 5-3. DRV8421B PWP 封装 10 引脚 HVSSOP 顶视图

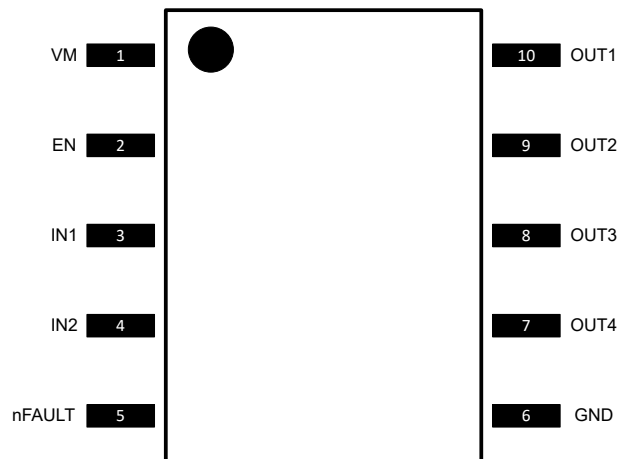


图 5-4. DRV8421B 10 引脚 SSOP 顶视图

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明			
名称	编号					
	4 线输入 (8421A)					2 线输入 (8421B)
IN1	2	3	I	输入 (1)	控制 OUT1	
IN2	3	4	I	输入 (2)	控制 OUT2	
IN3	4	-	I	输入 (3)	控制 OUT3	
IN4	5	-	I	输入 (4)	控制 OUT4	
EN	-	2	I	使能引脚	使能或睡眠模式输入。器件将在引脚拉至高电平时使能；睡眠模式将在引脚拉至低电平且持续时间超过 t_{SLEEP} 时激活	
nFAULT	-	5	OD	故障指示引脚	故障状态下被拉至低逻辑低电平；开漏输出需要外部上拉电阻	

表 5-1. 引脚功能 (续)

引脚			类型 ⁽¹⁾	说明	
名称	编号				
	4 线输入 (8421A)	2 线输入 (8421B)			
OUT1	10	10	O	输出 1	控制 OUT1；内部下拉电阻
OUT2	9	9	O	输出 2	控制 OUT2；内部下拉电阻
OUT3	8	8	O	输出 3	控制 OUT3；内部下拉电阻
OUT4	7	7	O	输出 4	控制 OUT4；内部下拉电阻
GND	6	6	PWR	器件地	GND 引脚应连接到接地端
VM	1	1	PWR	电源	连接到电机电源；通过一个额定电压为 VM 的 0.1 和 10 μF (最小值) 陶瓷电容器旁路到 GND。

(1) I = 输入, O = 输出, PWR = 电源

表 5-2. 外部组件

元件	引脚 1	引脚 2	推荐
C _{VM}	VM	GND	额定电压为 VM 的 10μF (最小值) 陶瓷电容器
C _{VM}	VM	GND	额定电压为 VM 的 0.1μF 陶瓷电容器
R _{nFAULT}	VCC ⁽¹⁾	nFAULT	>1kΩ

(1) VCC 不是 DRV8421 上的引脚, 但开漏输出 nFAULT 需要 VCC 电源电压上拉。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内，且电压以 GND 为基准（除非另有说明）⁽¹⁾

		最小值	最大值	单位
	电源电压 (VM)	-0.3	20	V
	电源电压斜坡速率 (VM)	0	2	V/ μ s
	控制引脚电压 (IN1、IN2、IN3、IN4、EN、nFAULT)	-0.3	7	V
	连续相位节点引脚电压 (OUT1、OUT2、OUT3、OUT4)	-0.3	$V_{VM} + 0.6$	V
	峰值驱动电流 (OUT1、OUT2、OUT3、OUT4)	受内部限制		A
T_J	工作结温	-40	150	$^{\circ}$ C
T_{stg}	贮存温度	-65	150	$^{\circ}$ C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级 - 通信

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	± 4000
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	± 1500

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

		最小值	典型值	最大值	单位
V_{VM}	电源电压范围 ⁽¹⁾	4		18	V
f_{PWM}	施加的输入信号	0		250	kHz
I_{rms}	每个 H 桥的电机 rms 电流 ⁽²⁾	0		2	A
T_A	工作环境温度	-40		85	$^{\circ}$ C

(1) 请注意，当 VM 电源电压低于 5V 时， $R_{DS(ON)}$ 会增加，最大输出电流会减小。

(2) 必须遵循功率耗散和热限值。

6.4 热性能信息

热指标 ⁽¹⁾		DRV8421		单位
		DFU (SSOP)	DGQ (HVSSOP)	
		10 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	105.6	62.5	$^{\circ}$ C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	53.5	80.5	$^{\circ}$ C/W
$R_{\theta JB}$	结至电路板热阻	53.7	28.5	$^{\circ}$ C/W
Ψ_{JT}	结至顶部特征参数	9.2	6.7	$^{\circ}$ C/W
Ψ_{JB}	结至电路板特征参数	53.0	28.4	$^{\circ}$ C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	7.8	$^{\circ}$ C/W

(1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告，SPRA953。

6.5 电气特性

T_A = 25°C，在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源 (VM)						
V _{VM}	VM 工作电压		4		18	V
I _{VM}	VM 工作电源电流	V _{VM} = 12V，不包括绕组电流	1.2	1.35	1.5	mA
I _{VMQ}	VM 睡眠模式电源电流（仅限 2 线输入）	V _{VM} = 12V，EN = 0（仅限 2 线输入）	0.5	1.2	3	μA
t _{SLEEP}	睡眠时间（仅限 2 线输入）	EN = 1 至睡眠模式（仅限 2 线输入）			1	ms
t _{WAKE}	唤醒时间（仅限 2 线输入）	EN = 0 至输出切换（仅限 2 线输入）			1	ms
t _{ON}	加电时间	V _{VM} > V _{UVLO} 上升至输出切换			1	ms
逻辑电平输入 (IN1、IN2、IN3、IN4、EN)						
V _{IL}	输入逻辑低电平电压		0		0.7	V
V _{IH}	输入逻辑高电平电压		1.6		5.5	V
V _{HYS}	输入逻辑迟滞		100			mV
I _{IL}	输入逻辑低电平电流	V _I = 0V	-1		1	μA
I _{IH}	输入逻辑高电平电流	V _I = 5V	1		30	μA
R _{PD}	下拉电阻（2 线输入版本）	IN1		200		kΩ
		IN2		170		kΩ
R _{PD}	下拉电阻（4 线输入版本）	IN1/IN2		200		kΩ
		IN3/IN4		170		kΩ
R _{PD}	下拉电阻	EN（仅限 2 线输入）		500		kΩ
t _{DEG}	输入抗尖峰脉冲时间	INx		200		ns
t _{PROP}	传播延迟	INx 边沿到输出更改		400		ns
控制输出 (NFAULT)						
V _{OL}	输出逻辑低电平电压	I _O = 5mA			0.5	V
I _{OH}	输出逻辑高电平漏电流	V _O = 3.3 V	-1		1	μA
电机驱动器输出 (OUT1、OUT2、OUT3、OUT4)						
R _{DS(ON)}	高侧 FET 导通电阻	V _{VM} = 12V、I _O = 0.5A、T _J = 25°C		550		mΩ
R _{DS(ON)}	高侧 FET 导通电阻	V _{VM} = 12 V、I _O = 0.5 A、T _J = 85°C ⁽¹⁾		660		mΩ
R _{DS(ON)}	低侧 FET 导通电阻	V _{VM} = 12V、I _O = 0.5A、T _J = 25°C		350		mΩ
R _{DS(ON)}	低侧 FET 导通电阻	V _{VM} = 12 V、I _O = 0.5 A、T _J = 85°C ⁽¹⁾		420		mΩ
I _{OFF}	关断状态漏电流	V _{VM} = 5V、T _J = 25°C（仅限 2 线输入）	-1		1	μA
t _{RISE}	输出上升时间			60		ns
t _{FALL}	输出下降时间			60		ns
t _{DEAD}	输出死区时间	内部死区时间		200		ns
保护电路						
V _{UVLO}	VM 欠压锁定	V _{VM} 下降；UVLO 报告			2.9	V
		V _{VM} 上升；UVLO 恢复			3	V
I _{OC}	过流保护跳变电平		2			A
t _{DEG}	过流抗尖峰时间			2.8		μs
t _{OC}	过流保护周期			1.6		ms
T _{TSD} ⁽¹⁾	热关断温度	内核温度 T _J	150	160	180	°C
T _{HYS} ⁽¹⁾	热关断迟滞	内核温度 T _J		35		°C

(1) 未在生产中进行测试；限值基于表征数据

6.6 时序要求

编号			最小值	最大值	单位
1	t_1	延时时间、xIN1 到 xOUT1 的时间	100	600	ns
2	t_2	延时时间、xIN2 到 xOUT1 的时间	100	600	ns
3	t_3	延时时间、xIN1 到 xOUT2 的时间	100	600	ns
4	t_4	延时时间、xIN2 到 xOUT2 的时间	100	600	ns
5	t_R	输出上升时间	50	150	ns
6	t_F	输出下降时间	50	150	ns

6.7 典型特性

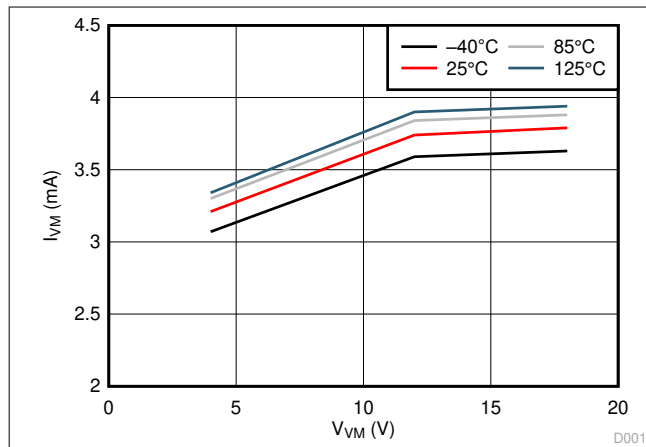


图 6-1. I_{VM} 与 V_{VM} 间的关系

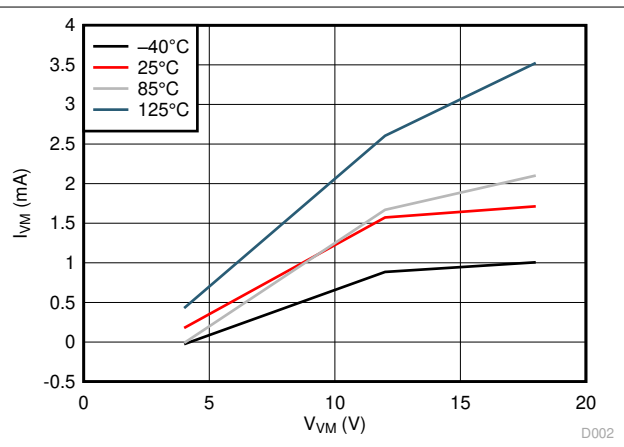


图 6-2. I_{VMQ} 与 V_{VM} 间的关系

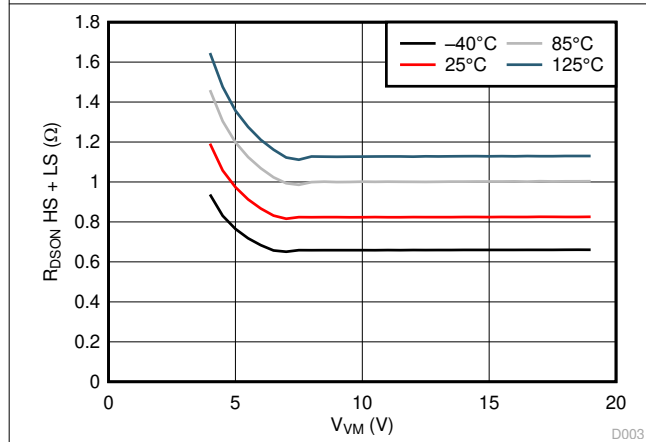


图 6-3. $R_{DS(on)}$ 与 V_{VM} 间的关系

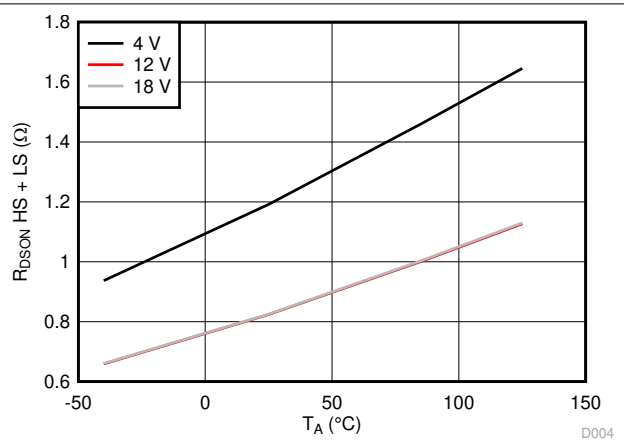


图 6-4. $R_{DS(on)}$ 与温度间的关系

7 详细说明

7.1 概述

DRV8421 是一款用于两个直流电机或双极性步进电机的集成步进电机驱动器解决方案。该器件集成了两个使用 NMOS 驱动器的 H 桥。它可以由 4V 至 18V 的电源供电，并且能够驱动高达 2A 的驱动器电流（在并行模式运行中高达 4A）。

只需通过一个简单的接口，便可轻松连接到控制器电路。

该器件存在两个版本，即 4 线制输入器件 DRV8421A 和 2 线输入器件 DRV8421B。DRV8421A 允许使用四个输入控制四个半桥，而 DRV8421B 通过两个输入来控制四个半桥。DRV8421B 包含其他特性，例如在不驱动电机时通过低功耗睡眠模式省电，以及使用 nFAULT 引脚进行故障检测。

7.2 功能方框图

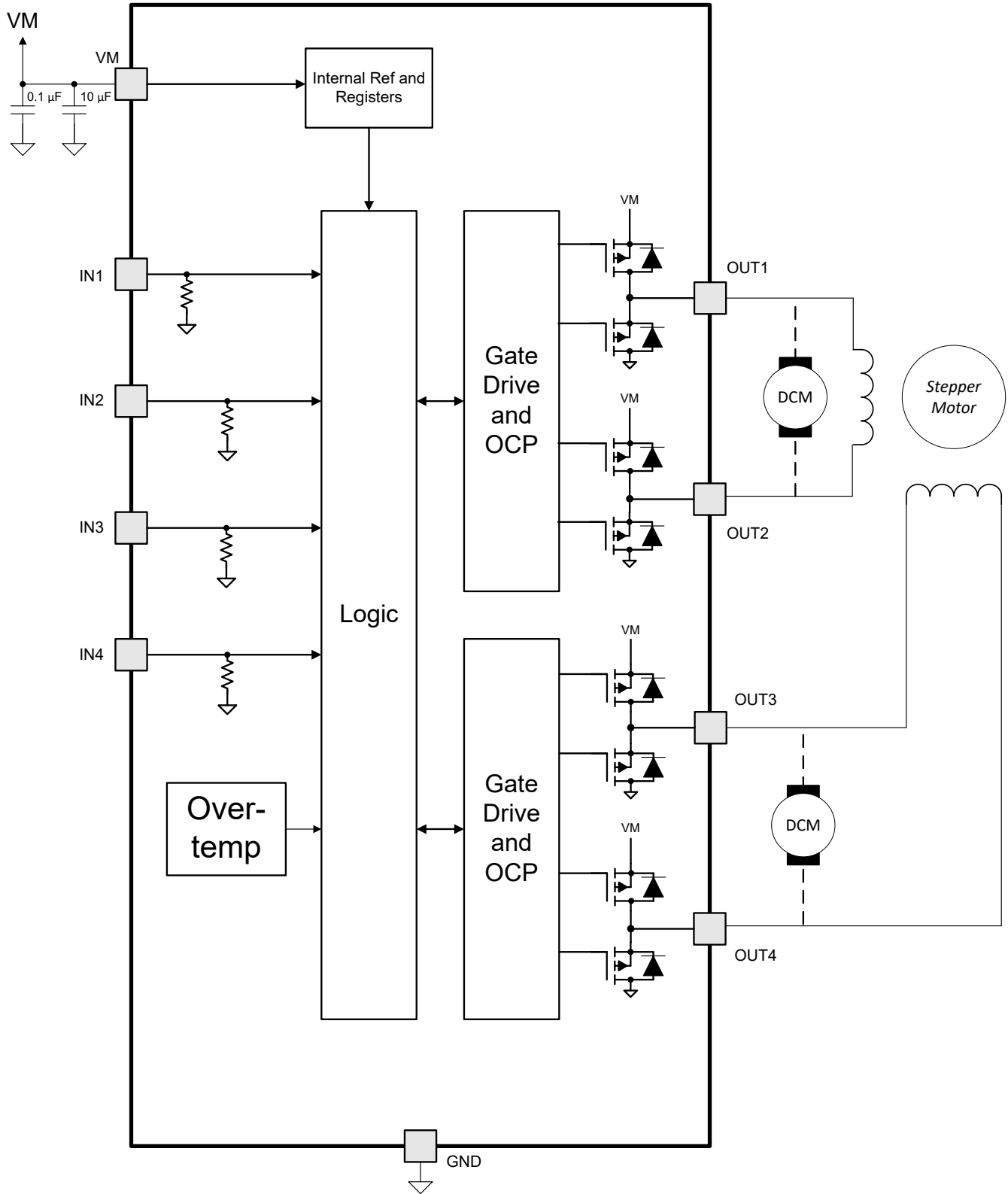


图 7-1. DRV8421A : 4 线输入

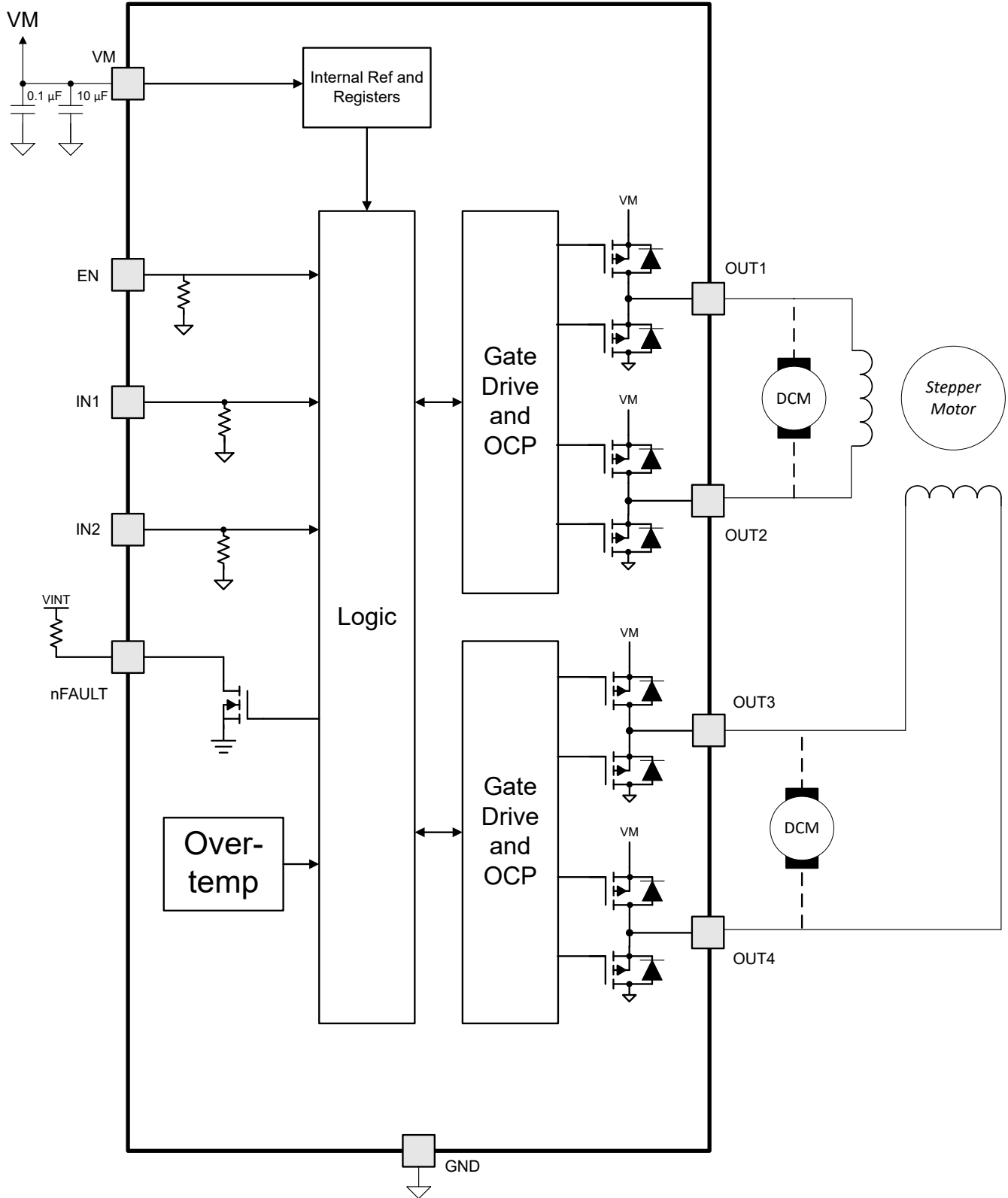


图 7-2. DRV8421B : 2 线输入

7.3 特性说明

7.3.1 PWM 电机驱动器

DRV8421 包含两个完全相同的 H 桥电机驱动器以及电流控制 PWM 电路。图 7-3 显示了 DRV8421 的电路方框图。

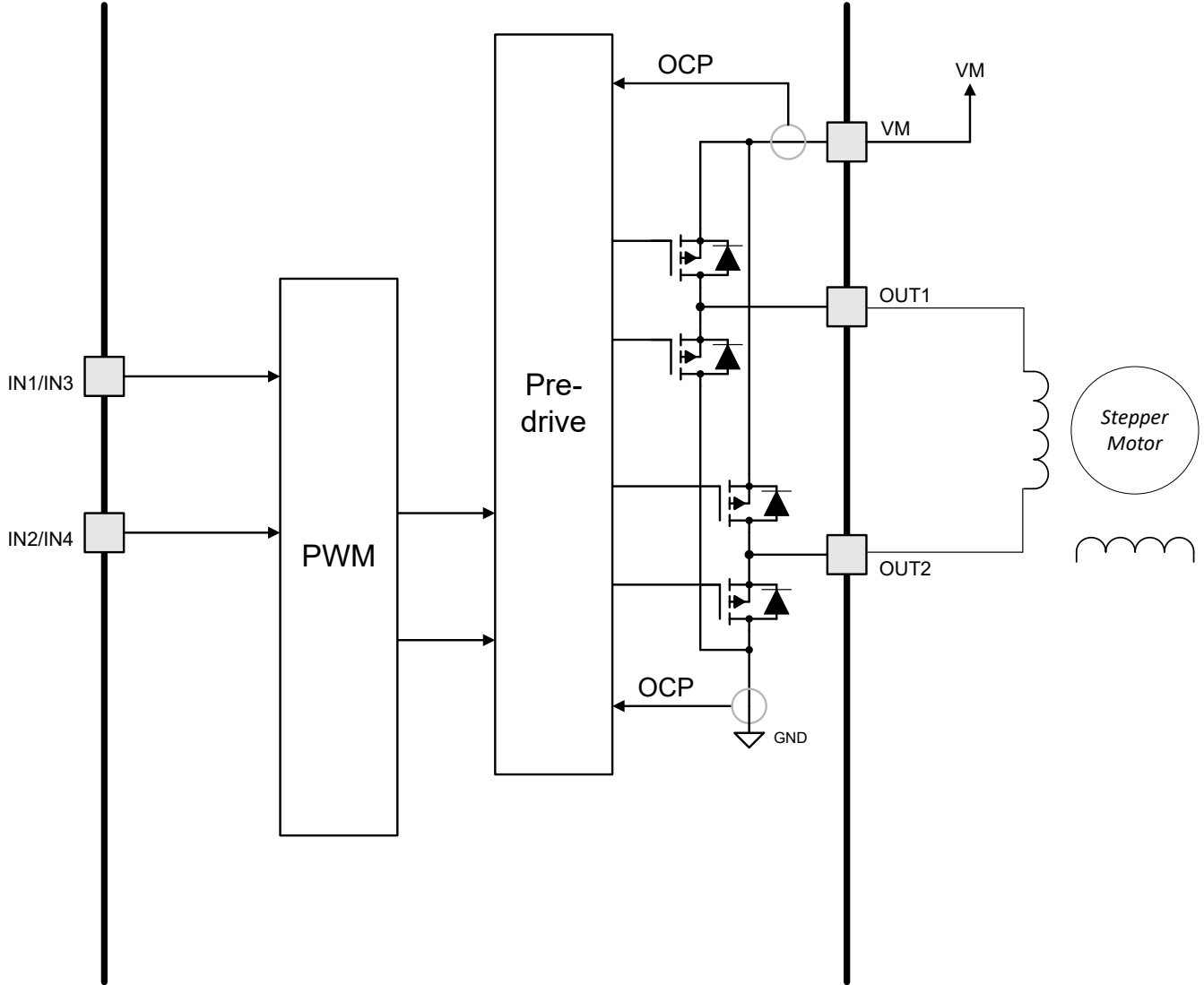


图 7-3. PWM 电机驱动器电路

7.3.2 真值表

DRV8421A : 4 线输入版本 展示了输入 IN1、IN2、IN3 和 IN4 的逻辑。**DRV8421B : 2 线输入版本** 展示了输入 IN1 和 IN2 的逻辑。

表 7-1. DRV8421A : 4 线输入版本

输入				输出				功能	
IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4		
0	0	0	0	关闭	关闭	关闭	关闭	待机 (Hi-Z)	
0	0	-		关闭	关闭	-		通道 1	待机 (Hi-Z)
1	0			1	0				正向
0	1			0	1				反向
1	1			0	0				制动
-		0	0	-		关闭	关闭	通道 2	待机 (Hi-Z)
		1	0			1	0		正向
		0	1			0	1		反向
		1	1			0	0		制动

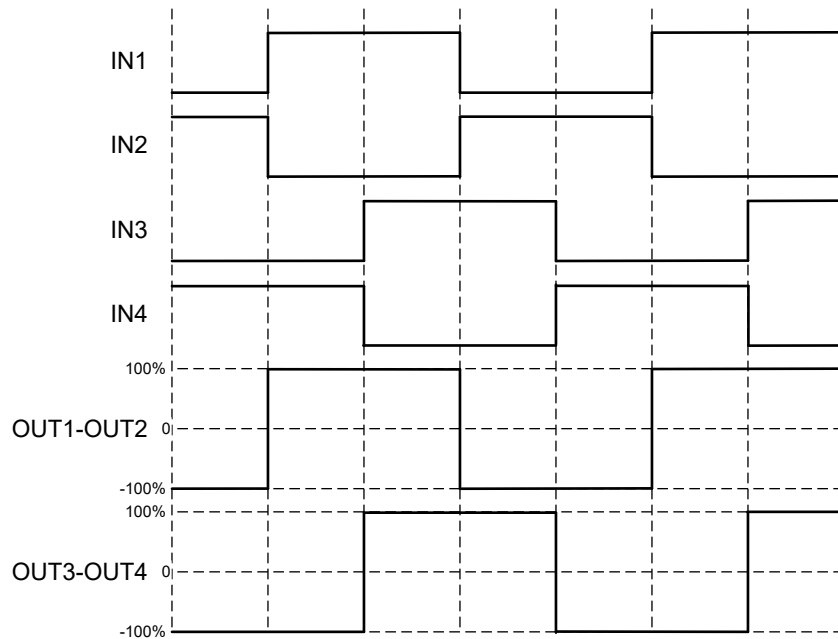


图 7-4. 全步进模式

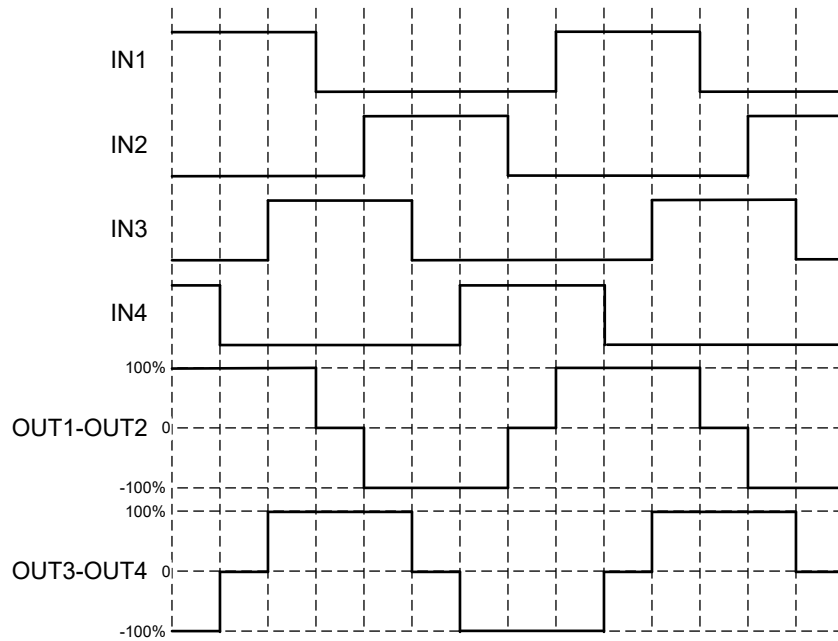


图 7-5. 半步进模式

表 7-2. DRV8421B : 2 线输入版本

输入			输出				功能	
EN	IN1	IN2	OUT1	OUT2	OUT3	OUT4		
L	X	X	关闭	关闭	关闭	关闭	待机/低功耗睡眠模式	
H	L	-	H	L	-		通道 1	正向
	H		L	H				反向
	-	L	-		H	L	通道 2	正向
		H			L	H		反向

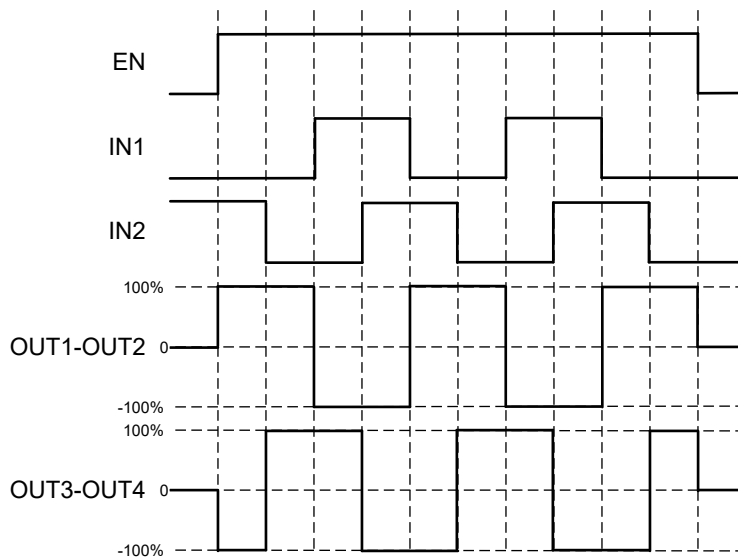


图 7-6. 全步进模式

7.3.3 并行运行

可以将两个驱动器并联，为单个电机提供双倍电流。若要在 4 线输入版本的 DRV8421A 中进入并行模式，必须执行以下操作（请参阅图 7-7）：

1. IN1 和 IN3 必须连接在一起
2. IN2 和 IN4 必须连接在一起
3. OUT1 和 OUT3 必须连接在一起
4. OUT2 和 OUT4 必须连接在一起

要退出并行模式，所有输入必须变为独立，且器件必须上电。

表 7-3. 并行模式运行：DRV8421A (4 线输入)

输入				输出				功能
IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	
0	0	0	0	关闭	关闭	关闭	关闭	待机 (Hi-Z)
1	0	1	0	1	0	1	0	正向
0	1	0	1	0	1	0	1	反向
1	1	1	1	0	0	0	0	制动

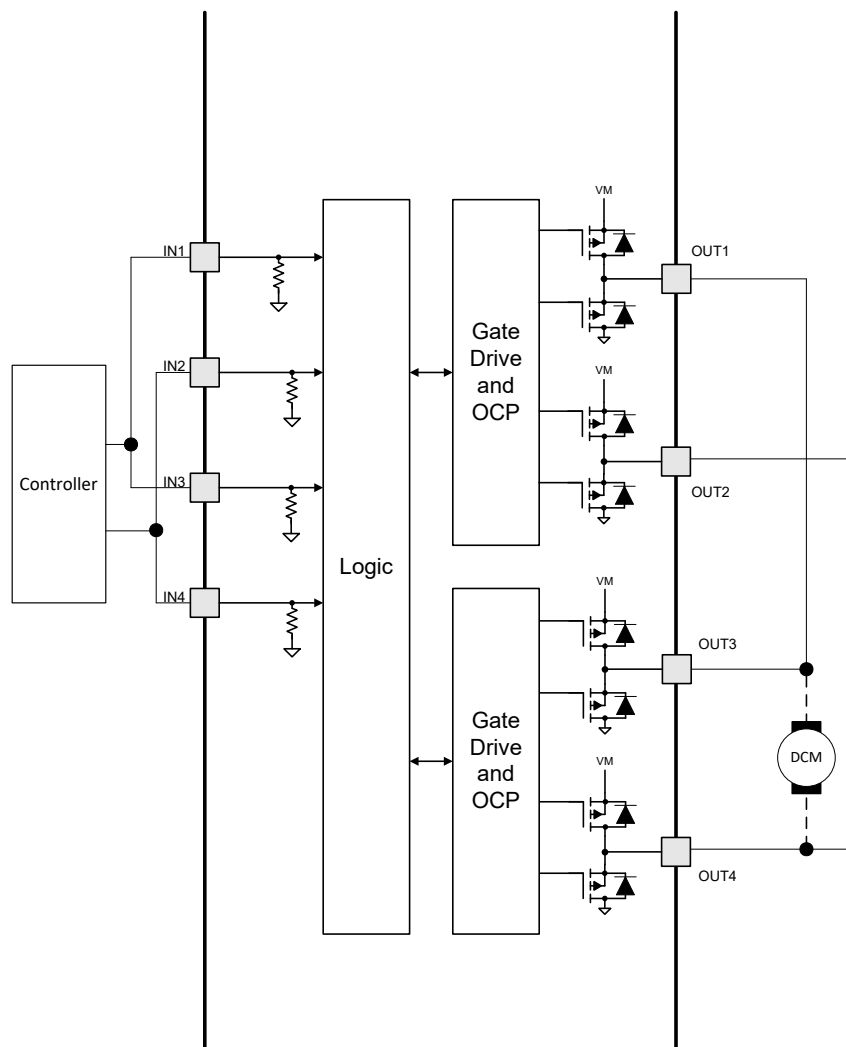


图 7-7. 并行模式运行 : DRV8421A

对于 2 线输入版本的 DRV8421B，可通过执行以下步骤来实现并行模式运行（请参阅图 7-8）：

1. IN1 和 IN2 必须连接在一起
2. OUT1 和 OUT3 必须连接在一起
3. OUT2 和 OUT4 必须连接在一起

要退出并行模式，所有输入必须变为独立，且器件必须上电。

表 7-4. 并行模式运行：DRV8421B (2 线输入)

输入			输出				功能
EN	IN1	IN2	OUT1	OUT2	OUT3	OUT4	
L	X	X	关闭	关闭	关闭	关闭	待机/低功耗睡眠模式
H	L	L	H	L	H	L	正向
	H	H	L	H	L	H	反向

备注

在 DRV8421B 并行模式下，为连接在一起的 IN1/IN2 提供 50% 占空比将停止电机。要向前移动，请提供低于 50% 的占空比。要反向移动、请提供高于 50% 的占空比。

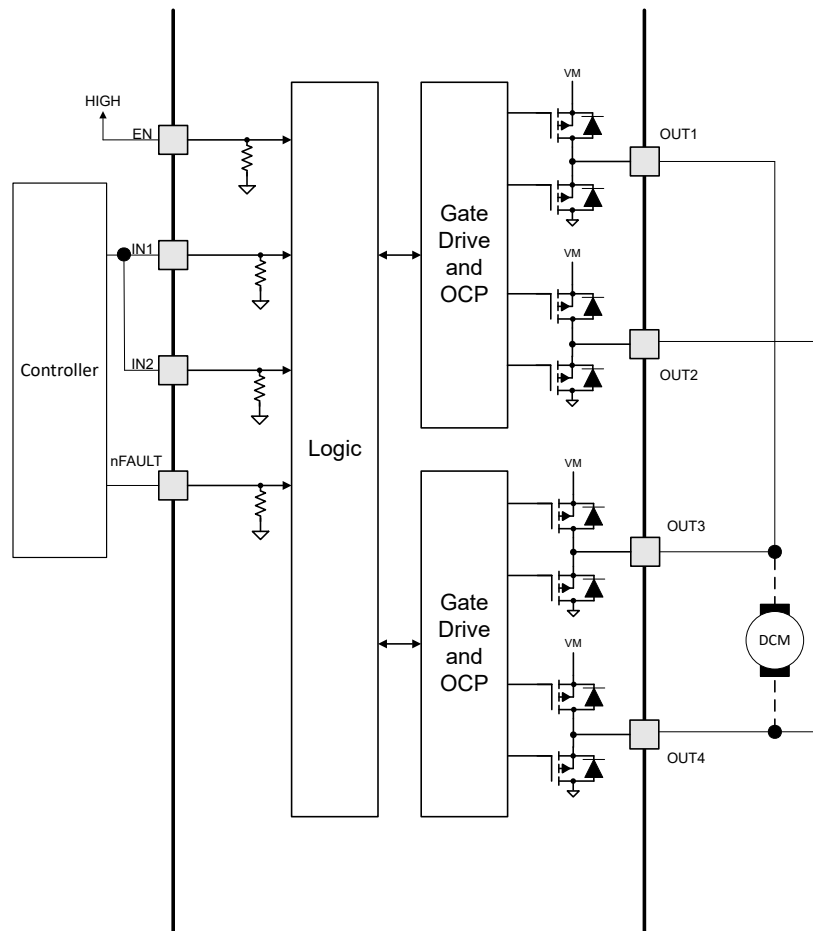


图 7-8. 并行模式运行：DRV8421B

7.3.4 保护电路

DRV8421 可完全防止欠压、过流和过热事件。

7.3.4.1 OCP

每个 FET 上的模拟电流限制电路都将通过限制栅极驱动器来限制流经 FET 的电流。如果此模拟电流限制的持续时间超过 OCP 抗尖峰脉冲时间 t_{OCP} ，禁用 H 桥中的所有 FET。此外，在 DRV8421B 中，nFAULT 引脚被驱动为低电平。在重试时间 t_{RETRY} 到来之前，该器件一直处于禁用状态。为每个 H 桥提供独立的 OCP。

在高侧和低侧器件上单独检测到过流情况；即接地短路、电源短路或跨电机绕组短路都会导致 OCP 事件。

7.3.4.2 TSD

如果内核温度超过安全限值 T_{TSD} ，则会禁用 H 桥中的所有 FET。此外，在 DRV8421B 中，nFAULT 引脚被驱动为低电平。裸片温度下降到安全水平后，将自动恢复运行。恢复运行后，DRV8421B 中的 nFAULT 引脚将被释放。

7.3.4.3 UVLO

每当 VM 引脚上的电压降至低于 UVLO 下降阈值电压 V_{UVLO} 时，器件中的所有电路都会被禁用，并且所有内部逻辑被复位。当 V_{VM} 上升到 UVLO 上升阈值以上时，将恢复运行。在 DRV8421B 中，nFAULT 引脚在欠压条件下被驱动为低电平，并在恢复运行后释放此引脚。

表 7-5. 故障处理

FAULT	错误报告	H 桥	内部电路	恢复
VM 欠压 (UVLO)	nFAULT 未锁存 (仅限 DRV8421B)	禁用	关断	系统和故障在恢复时清除
过流 (OCP)	nFAULT 未锁存 (仅限 DRV8421B)	禁用	工作	系统和故障在恢复时清除，并且电机在 t_{RETRY} 时间过后被驱动
热关断 (TSD)	nFAULT 未锁存 (仅限 DRV8421B)	禁用	工作	系统和故障在恢复时清除

7.4 器件功能模式

DRV8421A 处于活动状态，直到电源关断。DRV8421B 处于活动状态，直到电源关断，或 EN 引脚变为逻辑低电平，从而强制器件进入睡眠模式。在睡眠模式下，H 桥 FET 被禁用 (Hi-Z)。请注意，EN 引脚后必须经过 t_{SLEEP} ，器件才会进入睡眠模式。如果 EN 引脚变为逻辑高电平，DRV8421B 会自动退出睡眠模式。请注意，唤醒后必须经过 t_{WAKE} ，输出状态更改才会改变。

当 V_{VM} 降至 VM UVLO 阈值 (V_{UVLO}) 以下时，输出驱动器和内部逻辑将复位。

表 7-6. 功能模式

MODE	条件	H 桥	VINT
工作	$4V < V_{VM} < 18V$ nSLEEP 引脚 = 1	工作	工作
睡眠	$4V < V_{VM} < 18V$ EN 引脚 = 0	禁用	禁用
故障	满足任何故障条件	禁用	取决于故障

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

DRV8421 用于步进或有刷直流电机控制。

8.2 典型应用

用户可按照以下设计过程配置 DRV8421。

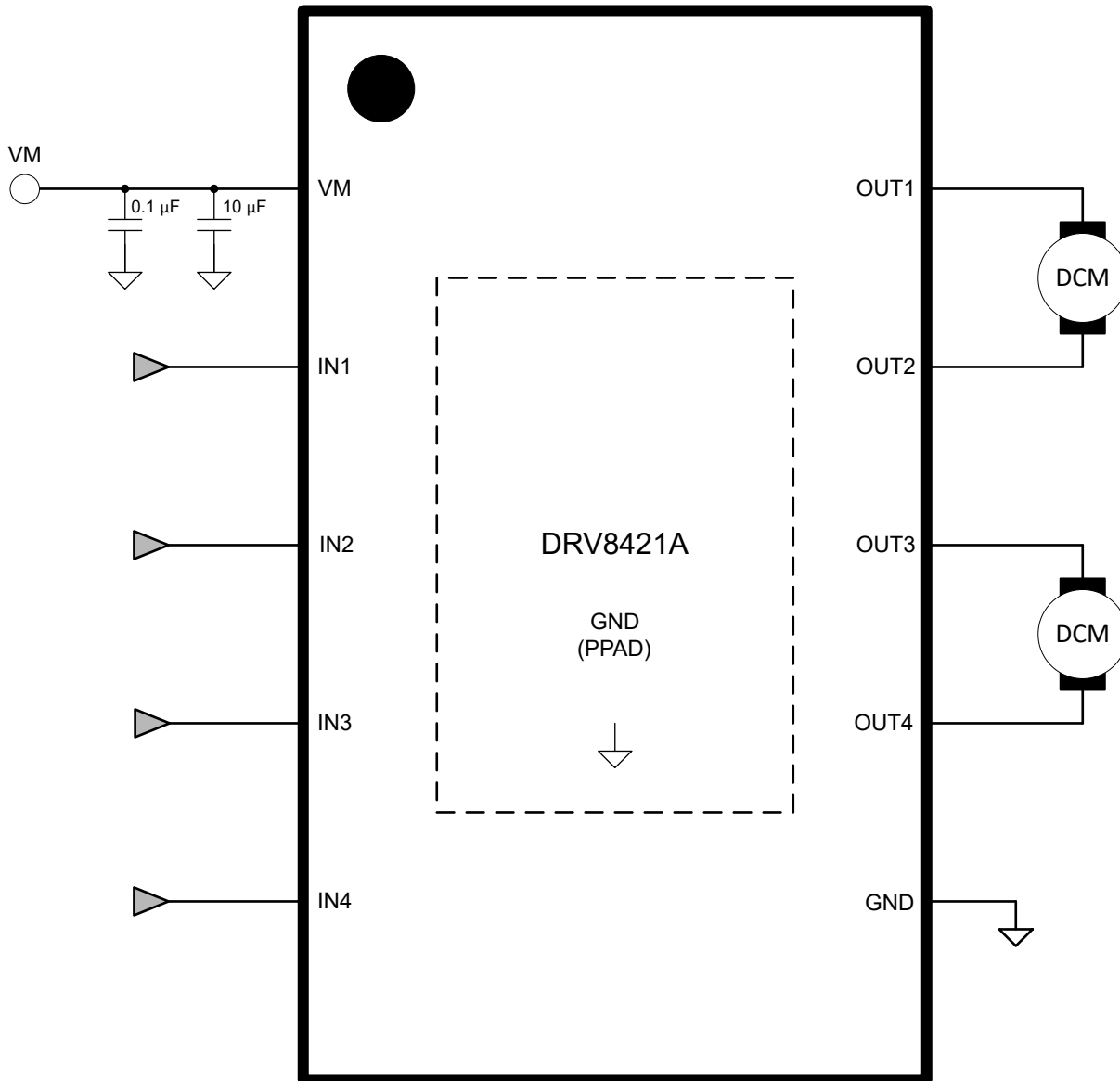


图 8-1. 典型应用原理图：4 线输入版本

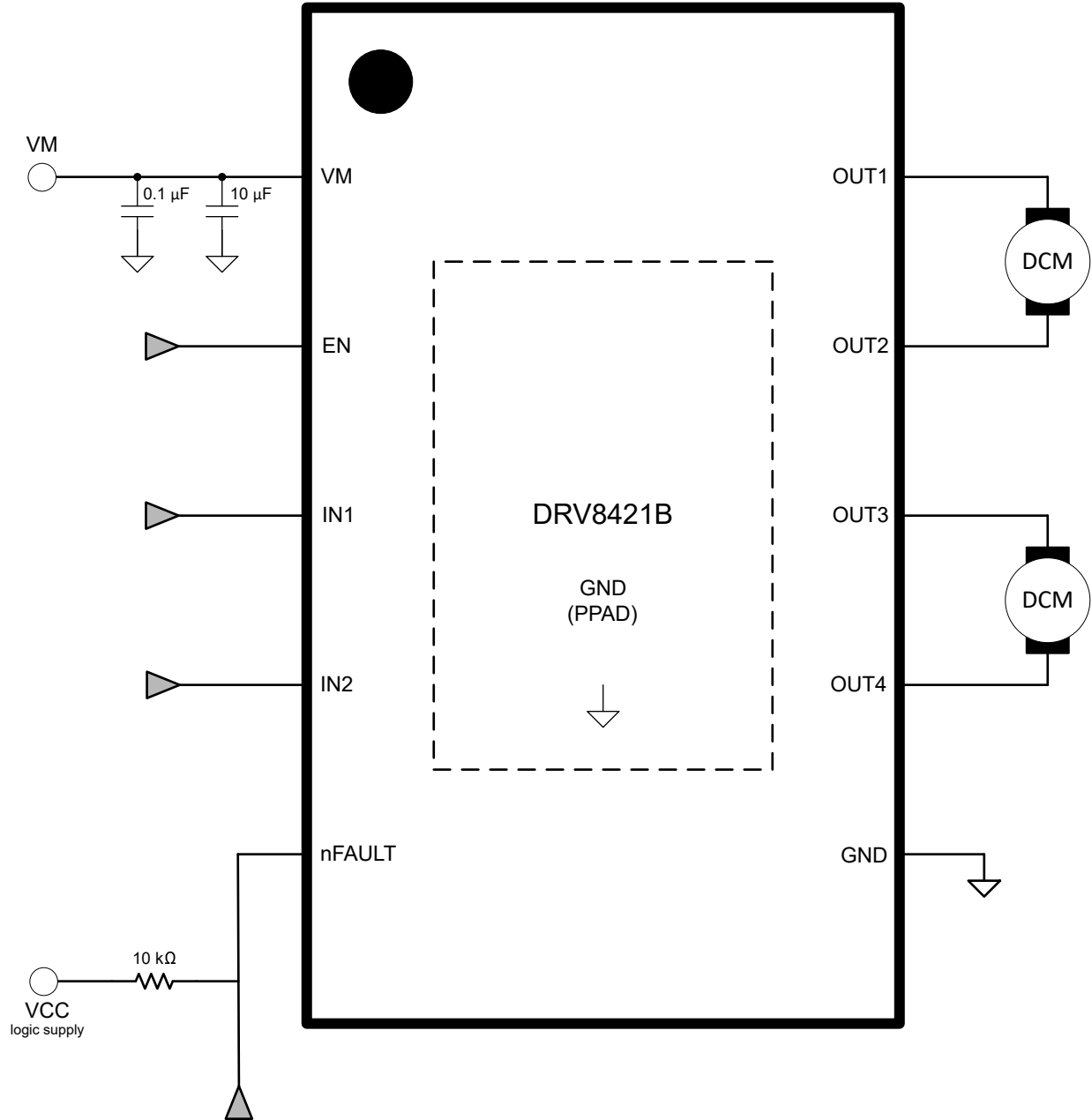


图 8-2. 典型应用原理图：2 线输入版本

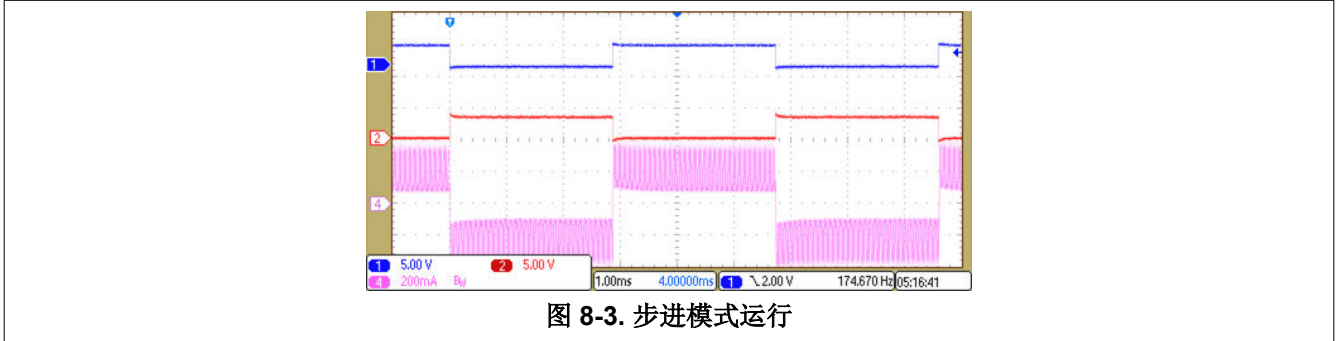
8.2.1 设计要求

表 8-1 提供了系统设计的设计输入参数。

表 8-1. 设计参数

设计参数	基准	示例值
标称电源电压	V_{VM}	12V
电源电压范围		4 至 18V
电机绕组电阻	R_L	3Ω/相
电机绕组电感	L_L	330µH/相

8.2.2 应用曲线



8.3 电源相关建议

DRV8421 设计为在 4 至 18V 的输入电源电压 (V_{VM}) 范围内运行。将额定电压为 V_M 的 0.1 μ F 陶瓷电容器尽可能靠近器件放置。此外，用户必须在 V_M 上放置一个至少为 10 μ F 的大容量电容器。

8.3.1 确定大容量电容器的大小

确定大容量电容器的大小是电机驱动系统设计中的重要因素。它取决于多种因素、包括：

- 电源类型
- 可接受的电源电压纹波
- 电源接线中的寄生电感
- 电机类型（有刷直流、无刷直流、步进电机）
- 电机启动电流
- 电机制动方法

电源和电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。调整大容量电容的大小以满足可接受的电压纹波电平。

数据表会给出建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容。

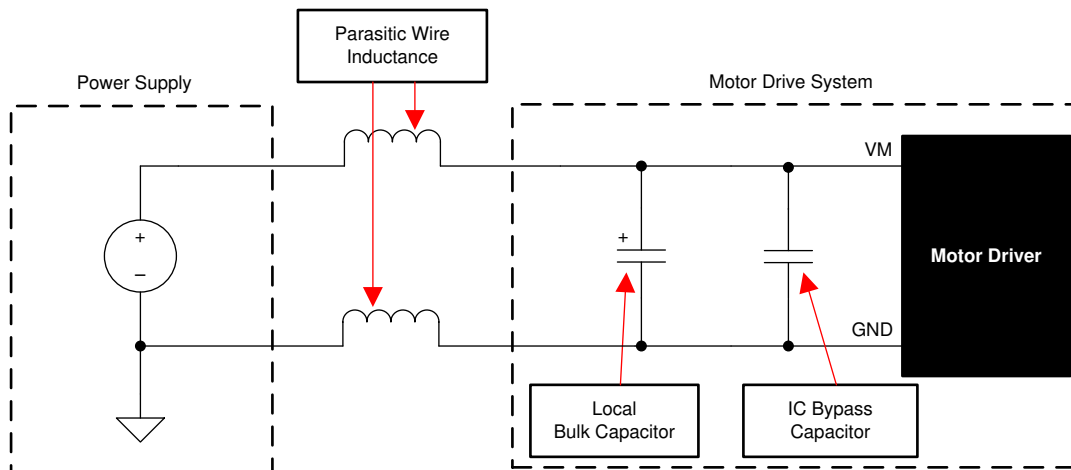


图 8-4. 带外部电源的电机驱动系统设置

8.4 布局

8.4.1 布局指南

使用一个推荐电容值为 $10\mu\text{F}$ 且额定电压为 VM 的低 ESR 陶瓷旁路电容器将 VM 终端旁路至 GND。将该电容器可能靠近 VM 引脚放置，并通过较宽的引线或通过接地平面与器件 GND 引脚连接。

8.4.2 布局示例

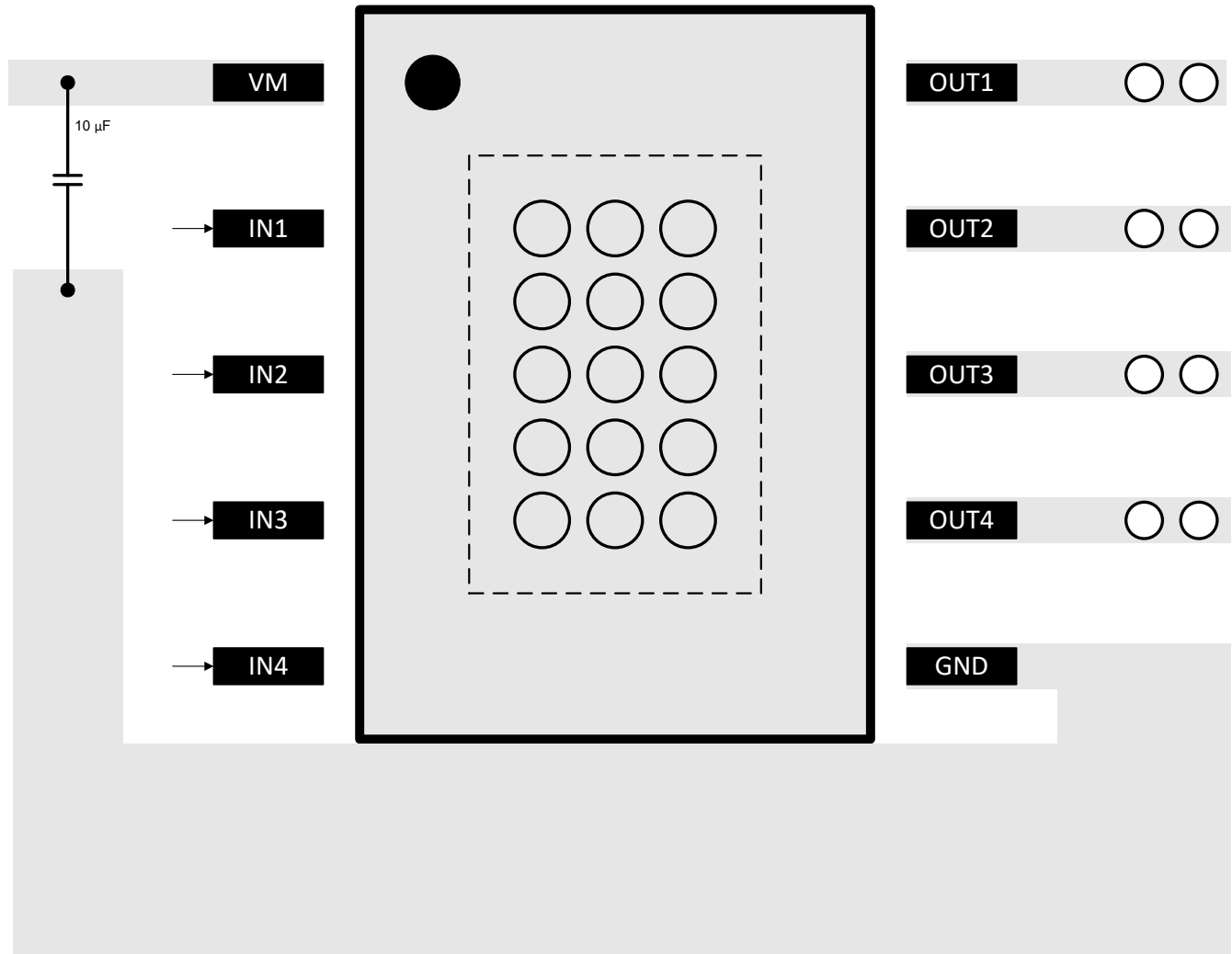


图 8-5. 布局建议 : DRV8421A

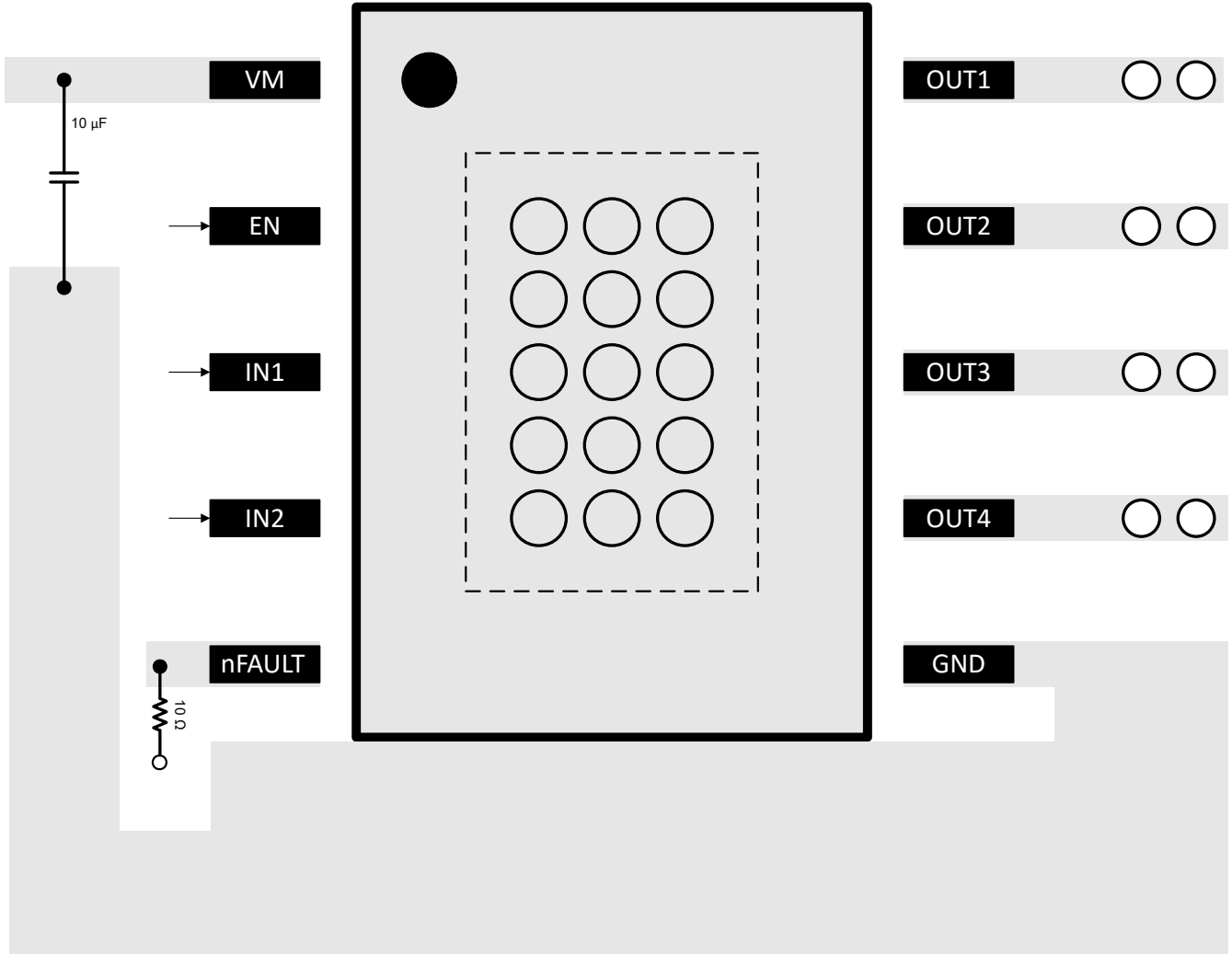


图 8-6. 布局建议 : DRV8421B

9 器件和文档支持

9.1 社区资源

9.2 商标

所有商标均为其各自所有者的财产。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
June 2024	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8421ADGQR	ACTIVE	HVSSOP	DGQ	10	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	8421A	Samples
DRV8421BDGQR	ACTIVE	HVSSOP	DGQ	10	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	8421B	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

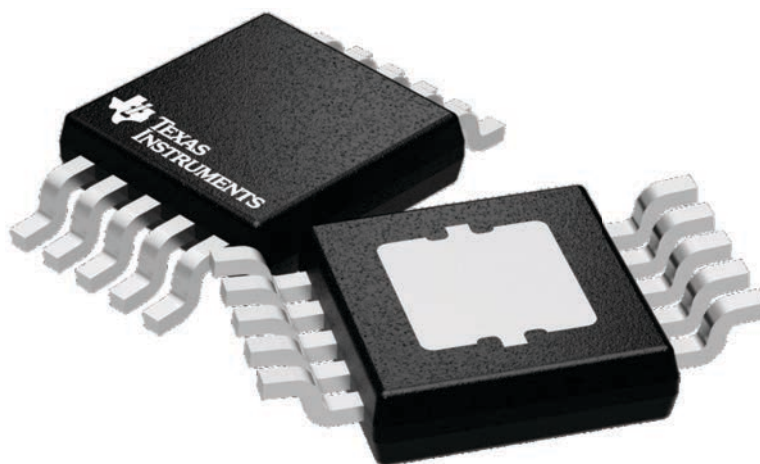
GENERIC PACKAGE VIEW

DGQ 10

PowerPAD™ HVSSOP - 1.1 mm max height

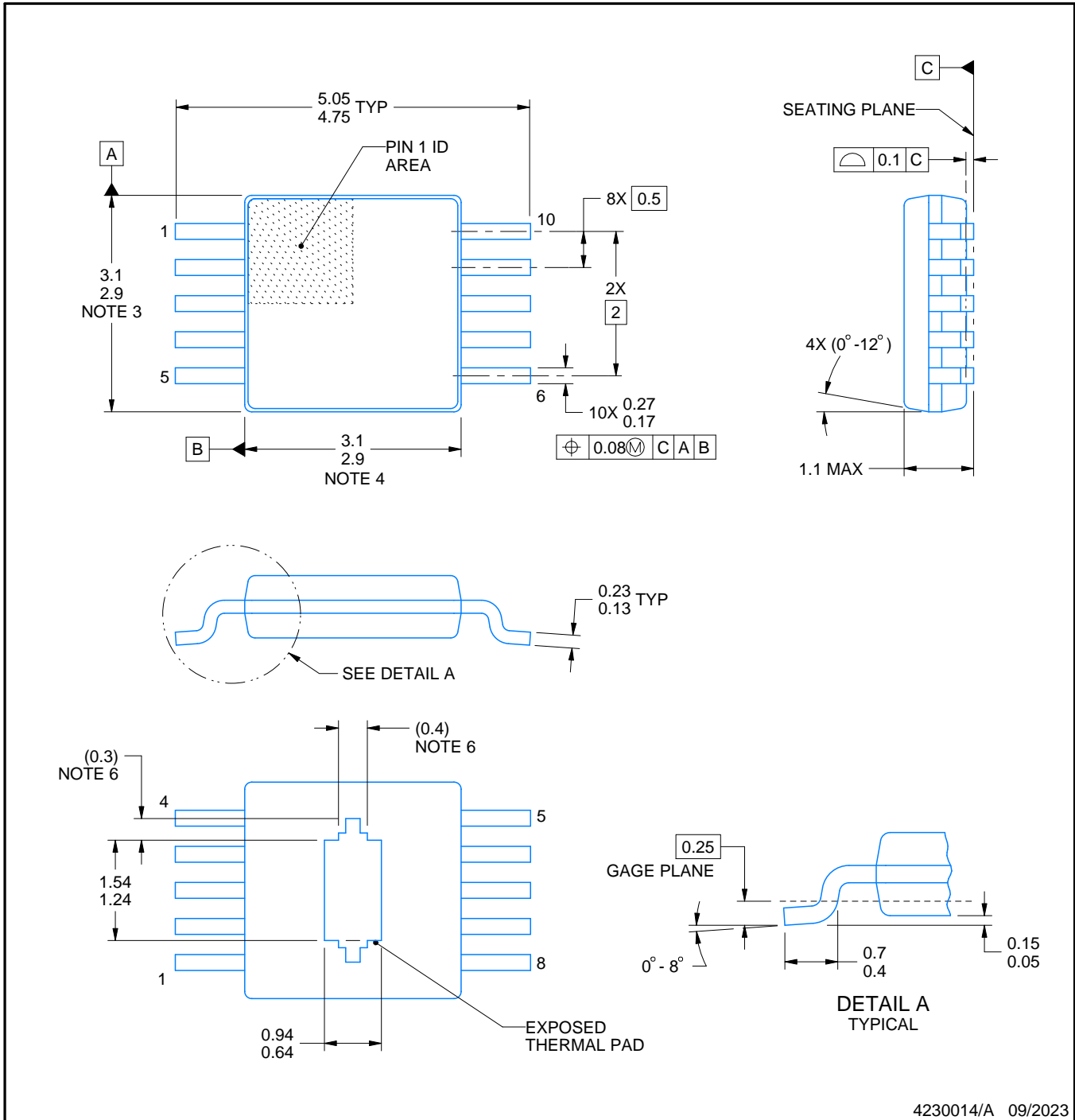
3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224775/A



4230014/A 09/2023

PowerPAD is a trademark of Texas Instruments.

NOTES:

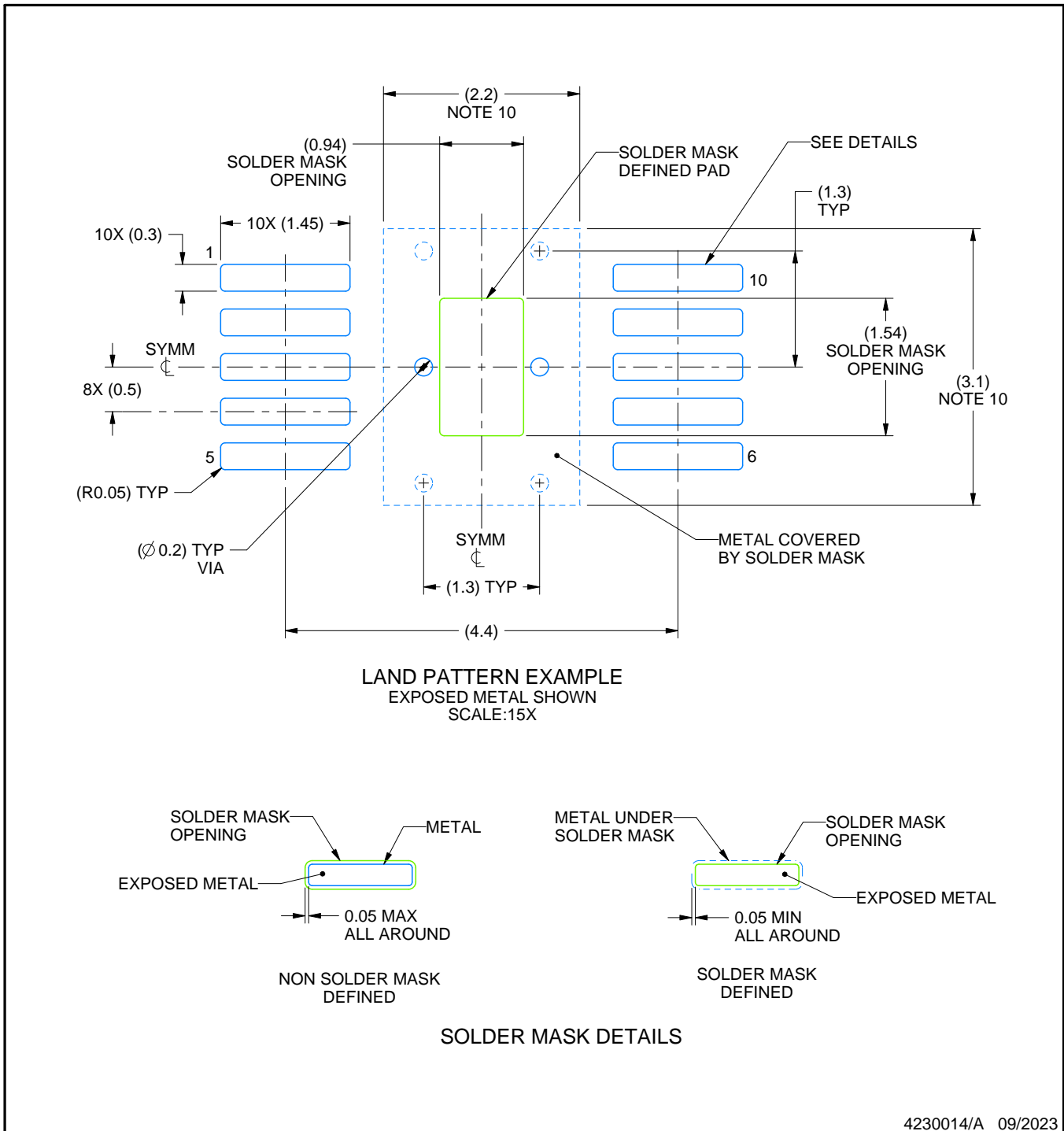
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA-T.
6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGQ0010J

PowerPAD™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



4230014/A 09/2023

NOTES: (continued)

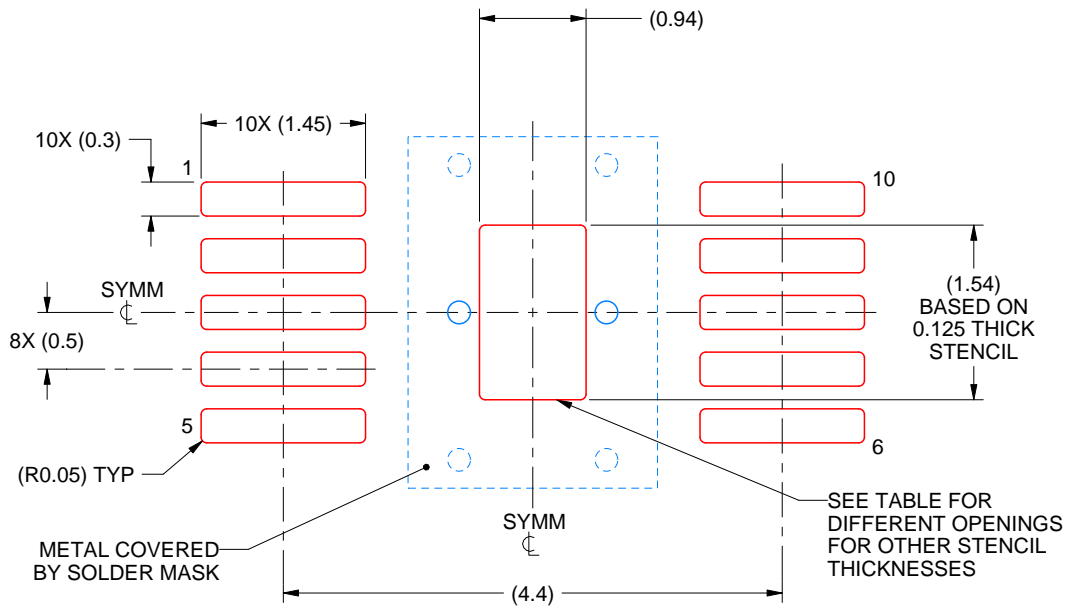
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGQ0010J

PowerPAD™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.100	1.05 X 1.72
0.125	0.94 X 1.54 (SHOWN)
0.150	0.86 X 1.41
0.175	0.79 X 1.30

4230014/A 09/2023

NOTES: (continued)

- Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司