

的 DRV8876N H 桥电机驱动器

1 特性

- N 沟道 H 桥电机驱动器
 - 可驱动一个双向有刷直流电机
 - 两个单向有刷直流电机
 - 其他电阻和电感负载
- 4.5V 至 37V 工作电压范围
- 高输出电流能力：3.5A 峰值
- 可选输入控制模式 (PMODE)
 - PH/EN 和 PWM H 桥控制模式
 - 独立半桥控制模式
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 超低功耗休眠模式
 - 在 $V_{VM} = 24V$ 、 $T_J = 25^\circ C$ 时，小于 $1\mu A$
- 适用于低电磁干扰 (EMI) 的展频时钟
- 集成保护特性
 - 欠压锁定 (UVLO)
 - 电荷泵欠压 (CPUV)
 - 过流保护 (OCP)
 - 自动重试或输出锁闭 (IMODE)
 - 热关断 (TSD)
 - 自动故障恢复
 - 故障指示器引脚 (nFAULT)

2 应用

- 有刷直流电机
- 大型和小型家用电器
- 扫地机器人、类人机器人 和玩具机器人
- 打印机和 扫描仪
- 智能电表
- ATM、点钞机 和 EPOS
- 伺服电机和传动器

3 说明

DRV8876N 是一款具有 N 沟道 H 桥、电荷泵、和保护电路的集成电机驱动器。电荷泵通过支持 N 沟道 MOSFET 半桥和 100% 占空比驱动来提升效率。该器件系列具有引脚对引脚 $R_{DS(on)}$ 型号，只需对设计进行少量改动即可支持不同负载。

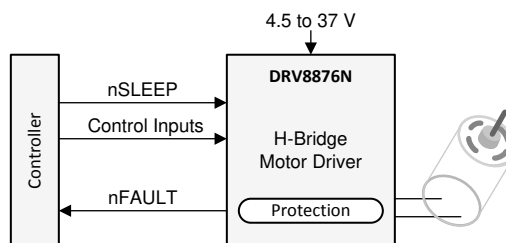
低功耗睡眠模式可通过关断大部分内部电路实现超低静态电流消耗。内部保护功能包括电源欠压锁定、电荷泵欠压、输出过流和器件过热。故障状态显示在 nFAULT 上。

在德州仪器 TI.com.cn 上查看完整的有刷电机驱动器产品系列。

器件信息(1)

器件型号	封装	封装尺寸 (标称值)
DRV8876N	HTSSOP (16)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图



内容

1 特性	1	7.3 特性说明.....	9
2 应用	1	7.4 器件功能模式.....	12
3 说明	1	8 应用和实现	14
4 修订历史记录	2	8.1 应用信息.....	14
5 引脚配置和功能	3	8.2 典型应用.....	14
引脚功能.....	3	9 电源相关建议	23
6 规格	4	9.1 大容量电容.....	23
6.1 绝对最大额定值.....	4	10 布局	24
6.2 ESD 等级.....	4	10.1 布局指南.....	24
6.3 建议运行条件.....	4	10.2 布局示例.....	24
6.4 热性能信息.....	5	11 器件和文档支持	25
6.5 电气特性.....	5	11.1 文档支持.....	25
6.6 典型特性.....	7	11.2 接收文档更新通知.....	25
7 详细说明	8	11.3 社区资源.....	25
7.1 概述.....	8	11.4 商标.....	25
7.2 功能方框图.....	8	12 机械、封装和可订购信息	26

4 修订历史记录

Changes from Revision * (August 2019) to Revision A (April 2021)	Page
• 更新了 PWP 的热像图和说明。.....	1
• 更新了逐周期电流斩波部分的说明。.....	1
• 向“电气特性”中的 t_{PD} 测试条件添加了负载条件。.....	5
• 更正了功能方框图中的拼写错误.....	8
• 添加了上电图.....	20

5 引脚配置和功能

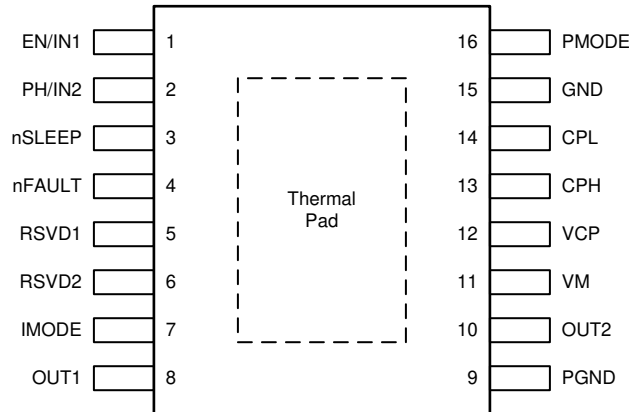


图 5-1. DRV8876N PWP 封装 16 引脚 HTSSOP (带有外露散热焊盘) 顶视图

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	PWP		
CPH	13	PWR	电荷泵开关节点。在 CPH 到 CPL 引脚之间连接一个 X5R 或 X7R、22nF、额定电压为 VM 的陶瓷电容器。
CPL	14	PWR	
EN/IN1	1	I	H 桥控制输入。请参阅节 7.3.2。内部下拉电阻。
GND	15	PWR	器件接地。连接到系统接地端。
IMODE	7	I	过流保护模式。请参阅节 7.3.3.3。四电平输入。
nFAULT	4	OD	故障指示灯输出。在故障状况期间下拉为低电平。连接一个外部上拉电阻器以执行开漏操作。请参阅节 7.3.3。
nSLEEP	3	I	睡眠模式输入。逻辑高电平用于启用器件。逻辑低电平用于进入低功耗睡眠模式。请参阅节 7.4。内部下拉电阻。
OUT1	8	O	H 桥输出。连接到电机或其他负载。
OUT2	10	O	H 桥输出。连接到电机或其他负载。
PGND	9	PWR	器件电源接地。连接到系统接地端。
PH/IN2	2	I	H 桥控制输入。请参阅节 7.3.2。内部下拉电阻。
PMODE	16	I	H 桥控制输入模式。请参阅节 7.3.2。三电平输入。
RSVD1	5	I	保留的引脚。连接到大于 1V 的电压。建议将此引脚连接到系统逻辑电源轨或 nSLEEP。
RSVD2	6	O	保留的引脚。连接到系统接地端。
VCP	12	PWR	电荷泵输出。在 VCP 到 VM 引脚之间连接一个 X5R 或 X7R、100nF、16V 的陶瓷电容器。
VM	11	PWR	4.5V 至 37V 电源输入。将一个 0.1μF 旁路电容器接地，并连接一个足够大且额定电压为 VM 的节 9.1。
PAD	—	—	散热焊盘。连接到系统接地端。

(1) PWR = 电源, I = 输入, O = 输出, NC = 无连接, OD = 开漏

6 规格

6.1 绝对最大额定值

在工作温度范围内（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源引脚电压	VM	-0.3	40	V
接地引脚之间的电压差	GND、PGND	-0.3	0.3	V
电荷泵引脚电压	CPH、VCP	$V_{VM} - 0.3$	$V_{VM} + 7$	V
电荷泵低侧引脚电压	CPL	-0.3	$V_{VM} + 0.3$	V
逻辑引脚电压	EN/IN1、IMODE、nSLEEP、PH/IN2、PMODE	-0.3	5.75	V
开漏输出引脚电压	nFAULT	-0.3	5.75	V
输出引脚电压	OUT1、OUT2	-0.9	$V_{VM} + 0.9$	V
输出引脚电流	OUT1、OUT2	受内部限制	受内部限制	A
保留引脚电压	RSVD1、RSVD2	-0.3	5.75	V
		-0.3	$V_{VM} + 0.3$	V
环境温度, T_A		-40	125	°C
结温, T_J		-40	150	°C
贮存温度, T_{stg}		-65	150	°C

(1) 超出绝对最大额定值下列出的压力可能会对器件造成永久损坏。这些仅为压力额定值，并不表明器件在这些额定值下或者任何其他它超过建议工作条件所标明的条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。列为 $\pm 2000V$ 的引脚实际上可能具有更高的性能。

(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。列为 $\pm 500V$ 的引脚实际上可能具有更高的性能。

6.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{VM}	电源电压	VM	4.5		37	V
V_{IN}	逻辑输入电压	EN/IN1、MODE、nSLEEP、PH/IN2	0		5.5	V
f_{PWM}	PWM 频率	EN/IN1、PH/IN2	0		100	kHz
V_{OD}	开漏上拉电压	nFAULT	0		5.5	V
I_{OD}	开漏输出电流	nFAULT	0		5	mA
$I_{OUT}^{(1)}$	峰值输出电流	OUT1、OUT2	0		3.5	A
V_{RSVD1}	RSVD1 保留引脚电压	RSVD1	0		5.5	V
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 必须遵守功耗和热限值

6.4 热性能信息

热指标 ⁽¹⁾		DRV8876N	单位
		PWP (HTSSOP)	
		16 引脚	
R _{θJA}	结至环境热阻	44.3	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	38.3	°C/W
R _{θJB}	结至电路板热阻	20.5	°C/W
Ψ _{JT}	结至顶部特征参数	1.0	°C/W
Ψ _{JB}	结至电路板特征参数	20.4	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	5.0	°C/W

(1) 有关新旧热指标的更多信息, 请参阅《半导体和 IC 封装热指标》应用报告。

6.5 电气特性

4.5V ≤ V_{VM} ≤ 37V, -40°C ≤ T_J ≤ 150°C (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源 (VCP、VM)						
I _{VMQ}	VM 睡眠模式电流	V _{VM} = 24V、nSLEEP = 0V、T _J = 25°C	0.75	1	1	μA
		nSLEEP = 0V			5	μA
I _{VM}	VM 活动模式电流	V _{VM} = 24V, nSLEEP = 5V, EN/IN1 = PH/IN2 = 0V		3	7	mA
t _{WAKE}	开通时间	V _{VM} > V _{UVLO} 、nSLEEP = 5V 至活动模式			1	ms
t _{SLEEP}	关断时间	nSLEEP = 0V 进入睡眠模式			1	ms
V _{VCP}	电荷泵稳压器电压	VCP 相对于 VM, V _{VM} = 24V		5		V
f _{VCP}	电荷泵开关频率			400		kHz
逻辑电平输入 (EN/IN1、PH/IN2、nSLEEP)						
V _{IL}	输入逻辑低电压	V _{VM} < 5V	0		0.7	V
		V _{VM} ≥ 5V	0		0.8	
V _{IH}	输入逻辑高电压		1.5		5.5	V
V _{HYS}	输入滞后			200		mV
		nSLEEP		50		mV
I _{IL}	输入逻辑低电流	V _I = 0V	-5		5	μA
I _{IH}	输入逻辑高电流	V _I = 5V		50	75	μA
R _{PD}	输入下拉电阻	至 GND		100		kΩ
三电平输入 (PMODE)						
V _{TIL}	三电平输入逻辑低电压		0		0.65	V
V _{TIZ}	三电平输入高阻抗电压	4.5V < V _{VM} < 5.5V	0.9	1.0	1.1	V
		5.5V ≤ V _{VM} ≤ 37V	0.9	1.1	1.2	
V _{TIH}	三电平输入逻辑高电压		1.5		5.5	V
I _{TIL}	三电平输入逻辑低电流	V _I = 0V	-50	-32		μA
I _{TIZ}	三电平输入高阻抗电流	V _I = 1.1V	-10		10	μA
I _{TIH}	三电平输入逻辑高电流	V _I = 5V		113	150	μA
R _{TPD}	三电平下拉电阻	至 GND		44		kΩ
R _{TPU}	三电平上拉电阻	至内部 5V		156		kΩ
四电平输入 (IMODE)						
V _{QI2}	四电平输入电平 1	电压至所设置的四电平 1	0		0.45	V
R _{QI2}	四电平输入电平 2	电阻至 GND 至所设置的四电平 2	18.6	20	21.4	kΩ

$4.5V \leq V_{VM} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
R_{QI3}	四电平输入电平 3	电阻至 GND 至所设置的四电平 3	57.6	62	66.4	$k\Omega$
V_{QI4}	四电平输入电平 4	电压至所设置的四电平 4	2.5		5.5	V
R_{QPD}	四电平下拉电阻	至 GND		136		$k\Omega$
R_{QPU}	四电平上拉电阻	至内部 5V		68		$k\Omega$
开漏输出 (nFAULT)						
V_{OL}	输出逻辑低电压	$I_{OD} = 5mA$			0.35	V
I_{OZ}	输出逻辑高电流	$V_{OD} = 5V$	-2		2	μA
驱动器输出 (OUT1、OUT2)						
$R_{DS(on)_HS}$	高侧 MOSFET 导通电阻	$V_{VM} = 24V$ 、 $I_O = 1A$ 、 $T_J = 25^{\circ}C$		350	420	$m\Omega$
$R_{DS(on)_LS}$	低侧 MOSFET 导通电阻	$V_{VM} = 24V$ 、 $I_O = -1A$ 、 $T_J = 25^{\circ}C$		350	420	$m\Omega$
V_{SD}	体二极管正向电压	$I_{SD} = 1A$		0.9		V
t_{RISE}	输出上升时间	$V_{VM} = 24V$, OUTx 上升 10% 至 90%		150		ns
t_{FALL}	输出下降时间	$V_{VM} = 24V$, OUTx 下降 90% 至 10%		150		ns
t_{PD}	输入至输出传播延迟	EN/IN1, PH/IN2 至 OUTx, 从 OUTx 至 GND 为 200Ω		650		ns
t_{DEAD}	输出死区时间	体二极管导通		300		ns
保护电路						
V_{UVLO}	电源欠压锁定 (UVLO)	V_{VM} 上升	4.3	4.45	4.6	V
		V_{VM} 下降	4.2	4.35	4.5	V
V_{UVLO_HYS}	电源 UVLO 迟滞			100		mV
t_{UVLO}	电源欠压抗尖峰脉冲时间			10		μs
V_{CPUV}	电荷泵欠压锁定	VCP 相对于 VM, V_{VCP} 下降		2.25		V
I_{OCP}	过流保护跳变点		3.5	5.5		A
t_{OCP}	过流保护抗尖峰脉冲时间			3		μs
t_{RETRY}	过流保护重试时间			2		ms
T_{TSD}	热关断温度		160	175	190	$^{\circ}C$
T_{HYS}	热关断滞后			20		$^{\circ}C$

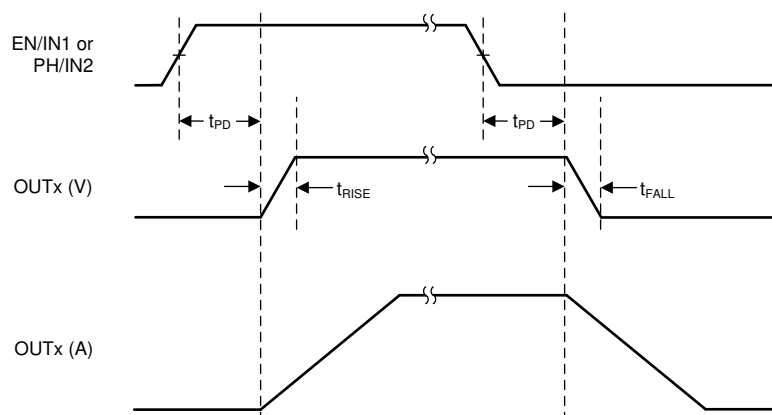


图 6-1. 时序参数图

6.6 典型特性

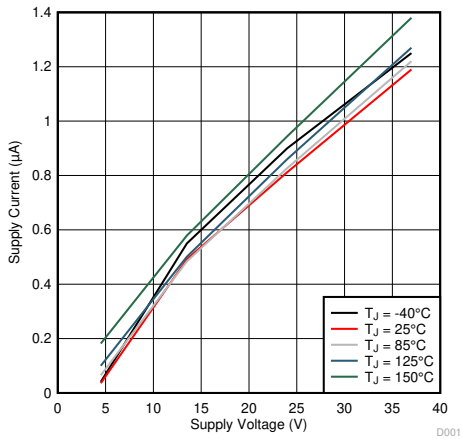


图 6-2. 睡眠电流 (I_{VMQ}) 与电源电压 (V_{VM}) 间的关系

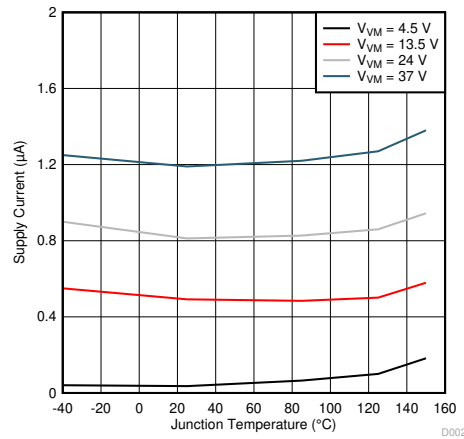


图 6-3. 睡眠电流 (I_{VMQ}) 与结温间的关系

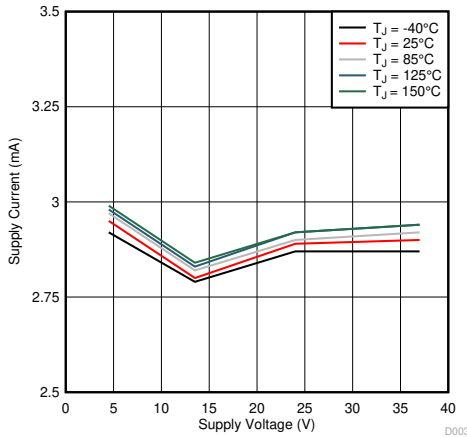


图 6-4. 有效电流 (I_{VM}) 与电源电压 (V_{VM}) 间的关系

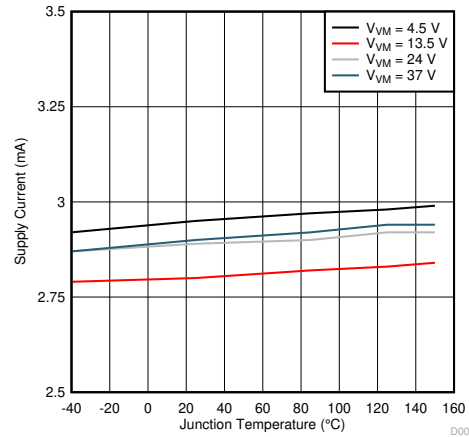


图 6-5. 有效电流 (I_{VM}) 与结温间的关系

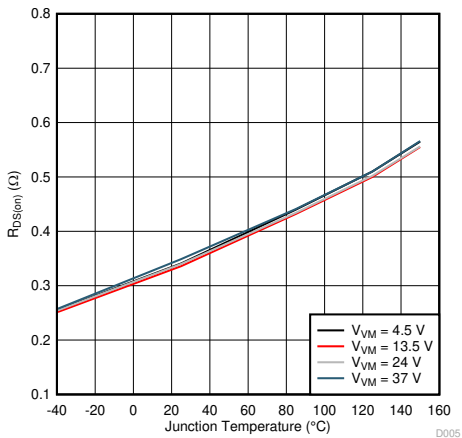


图 6-6. 低侧 R_{DS(on)} 与结温间的关系

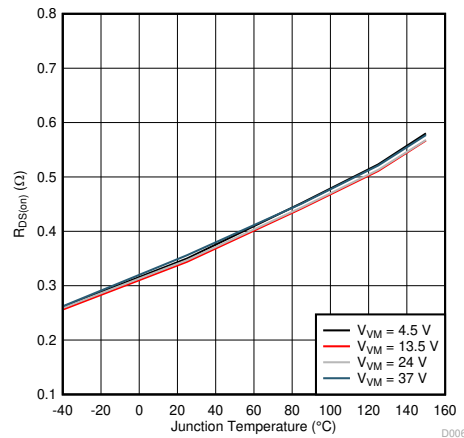


图 6-7. 高侧 R_{DS(on)} 与结温间的关系

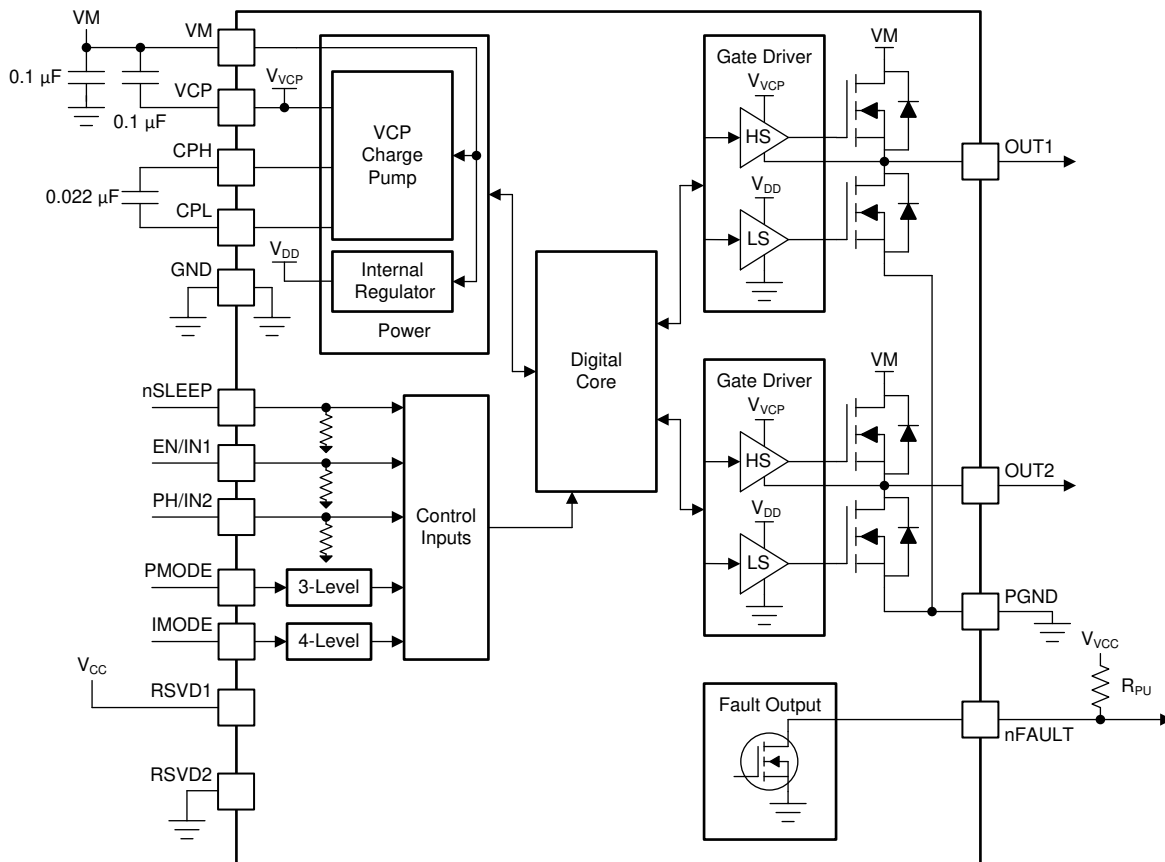
7 详细说明

7.1 概述

DRV887x 系列器件是有刷直流电机驱动器，工作电压介于 4.5V 至 37V 之间，支持广泛的输出负载电流，适用于各种类型的电机和负载。这些器件集成了一个 H 桥输出功率级，可在通过 PMODE 引脚设置的各种控制模式下运行。这样即可驱动单个双向有刷直流电机、两个单向有刷直流电机或其他输出负载配置。这些器件集成了一个电荷泵稳压器，用以支持更高效的高侧 N 沟道 MOSFET 和 100% 占空比运行。这些器件由可直接连接到电池或直流电源的单一电源输入 (VM) 供电。nSLEEP 引脚提供了一种超低功耗模式，可以在系统不活动期间最大限度地减少电流消耗。

各种集成保护特性将在出现系统故障时保护器件。这些保护功能包括欠压锁定 (UVLO)、电荷泵欠压 (CPUV)、过流保护 (OCP) 和过热关断 (TSD)。故障情况通过 nFAULT 引脚指示。

7.2 功能方框图



7.3 特性说明

7.3.1 外部元件

表 7-1 列出了推荐用于此器件的外部元件。

表 7-1. 推荐的外部元件

元件	引脚 1	引脚 2	推荐
C _{VM1}	VM	GND	0.1μF、低 ESR 陶瓷电容器、额定电压为 VM。
C _{VM2}	VM	GND	节 9.1, 额定电压为 VM。
C _{VCP}	VCP	VM	X5R 或 X7R、100nF、16V 陶瓷电容器
C _{FLY}	CPH	CPL	X5R 或 X7R、22nF、额定电压为 VM 的陶瓷电容器
R _{IMODE}	IMODE	GND	请参阅节 7.3.3.3。
R _{PMODE}	PMODE	GND	请参阅节 7.3.2。
R _{nFAULT}	VCC	nFAULT	上拉电阻器, I _{OD} ≤ 5mA

7.3.2 控制模式

DRV887x 系列器件提供了三种模式，支持对 EN/IN1 和 PH/IN2 引脚采用不同的控制方案。通过 PMODE 引脚选择控制模式：逻辑低电平、逻辑高电平或者设置引脚高阻抗，如表 7-2 中所示。通过 nSLEEP 引脚启用器件之后，PMODE 引脚状态会被锁存。通过设置 nSLEEP 引脚逻辑低电平、等待 t_{SLEEP} 时间、更改 PMODE 引脚输入，然后将 nSLEEP 引脚恢复为逻辑高电平以启用器件，可以更改 PMODE 的状态。

表 7-2. PMODE 功能

PMODE 状态	控制模式
PMODE = 逻辑低电平	PH/EN
PMODE = 逻辑高电平	PWM
PMODE = 高阻抗	独立半桥

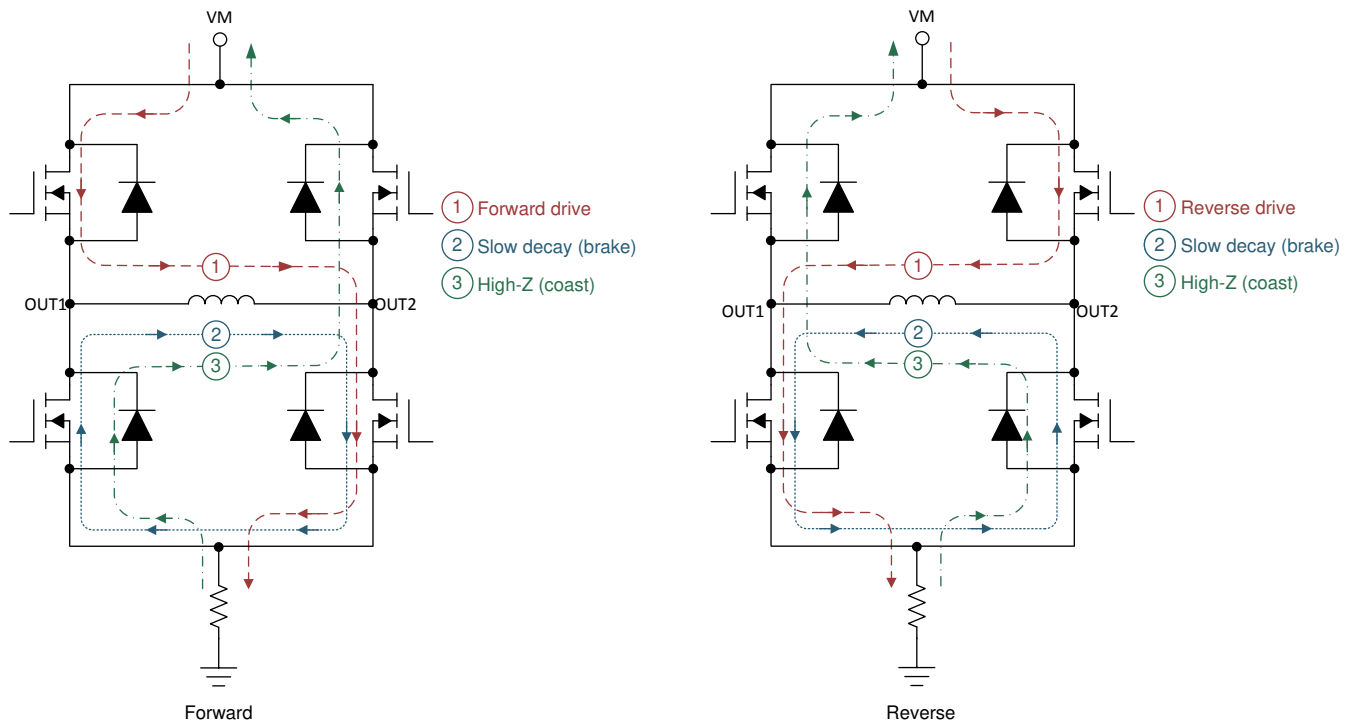


图 7-1. H 桥状态

输入端可接受 100% 或 PWM 驱动模式的静态或脉宽调制 (PWM) 电压信号。在应用 VM 之前，可以为器件输入引脚供电而不会出现任何问题。默认情况下，EN/IN1 和 PH/IN2 引脚具有一个内部下拉电阻器，可确保在不存在任何输入时提供高阻抗输出。

以下部分提供了每种控制模式的真值表。此外，当在半桥的高侧和低侧 MOSFET 之间切换时，DRV887x 系列器件会自动生成死区时间。

图 7-1 介绍了各种 H 桥状态的命名和配置。

7.3.2.1 PH/EN 控制模式 (PMODE = 逻辑低电平)

如果 PMODE 引脚在加电时处于逻辑低电平状态，器件将锁存至 PH/EN 模式。PH/EN 模式允许根据接口的速度和方向类型来控制 H 桥。表 7-3 显示了 PH/EN 模式的真值表。

表 7-3. PH/EN 控制模式

nSLEEP	EN	PH	OUT1	OUT2	说明
0	X	X	高阻态	高阻态	睡眠 (H 桥高阻抗)
1	0	X	L	L	制动 (低侧慢速衰减)
1	1	0	L	H	反向 (OUT2 → OUT1)
1	1	1	H	L	正向 (OUT1 → OUT2)

7.3.2.2 PWM 控制模式 (PMODE = 逻辑高电平)

如果 PMODE 引脚在加电时处于逻辑高电平状态，器件将锁存至 PWM 模式。PWM 模式允许 H 桥进入高阻抗状态，而不会将 nSLEEP 引脚设置为逻辑低电平。表 7-4 显示了 PWM 模式的真值表。

表 7-4. PWM 控制模式

nSLEEP	IN1	IN2	OUT1	OUT2	说明
0	X	X	高阻态	高阻态	睡眠 (H 桥高阻抗)
1	0	0	高阻态	高阻态	滑行 (H 桥高阻抗)
1	0	1	L	H	反向 (OUT2 → OUT1)
1	1	0	H	L	正向 (OUT1 → OUT2)
1	1	1	L	L	制动 (低侧慢速衰减)

7.3.2.3 独立半桥控制模式 (PMODE = 高阻抗)

如果 PMODE 引脚在加电时处于高阻抗状态，器件将锁存至独立半桥控制模式。此模式允许直接控制每个半桥，以支持高侧慢速衰减或者驱动两个独立的负载。表 7-5 显示了独立半桥模式的真值表。

表 7-5. 独立半桥控制模式

nSLEEP	INx	OUTx	说明
0	X	Hi-Z	睡眠 (H 桥高阻抗)
1	0	L	OUTx 低侧导通
1	1	H	OUTx 高侧导通

7.3.3 保护电路

DRV887x 系列器件可完全防止电源欠压、电荷泵欠压、输出过流和器件过热事件。

7.3.3.1 VM 电源欠压锁定 (UVLO)

无论何时，只要 VM 引脚上的电源电压降至欠压锁定阈值电压 (V_{UVLO}) 以下，就会禁用 H 桥中的所有 MOSFET 并将 nFAULT 引脚驱动为低电平。在这种情况下，电荷泵会被禁用。当欠压条件消失且 VM 升至 V_{UVLO} 阈值以上时，将恢复正常运行。

7.3.3.2 VCP 电荷泵欠压锁定 (CPUV)

无论何时，只要 VCP 引脚上的电荷泵电压降至欠压锁定阈值电压 (V_{CPUV}) 以下，就会禁用 H 桥中的所有 MOSFET 并将 nFAULT 引脚驱动为低电平。当欠压条件消失且 VCP 升至 V_{CPUV} 阈值以上时，将恢复正常运行。

7.3.3.3 OUTx 过流保护 (OCP)

即使发生了硬短路事件，每个 MOSFET 上的模拟电流限制电路也会限制器件输出的峰值电流。

如果输出电流超过过流阈值 I_{OCP} 且持续时间超过 t_{OCP} ，则会禁用 H 桥中的所有 MOSFET 并将 nFAULT 引脚驱动为低电平。可以通过 IMODE 引脚配置过流响应，如表 7-6 中所示。

表 7-6. IMODE 功能

IMODE 状态	过流响应
$R_{IMODE} = GND$	自动重试
$R_{IMODE} = \text{高阻抗}$	输出锁闭

在自动重试模式下，MOSFET 会被禁用，nFAULT 引脚将在 t_{RETRY} 的持续时间内被驱动为低电平。在 t_{RETRY} 之后，系统会根据 EN/IN1 和 PH/IN2 引脚的状态重新启用 MOSFET。如果过流条件仍然存在，则会重复此周期，否则器件将恢复正常运行。

在锁闭模式下，会一直禁用 MOSFET 并将 nFAULT 引脚驱动为低电平，直到通过 nSLEEP 引脚或通过切断 VM 电源重置器件为止。

在节 7.3.2.3 中，OCP 行为略有改动。如果检测到过流事件，将只禁用相应的半桥并将 nFAULT 引脚驱动为低电平。另一个半桥会继续正常运行。这样，器件就可以在驱动独立的负载时管理独立的故障事件。如果在两个半桥中都检测到过流事件，将同时禁用两个半桥并将 nFAULT 引脚驱动为低电平。在自动重试模式下，两个半桥共享同一个过流重试计时器。如果两个半桥先后发生过流事件但 t_{RETRY} 尚未过期，则第一个半桥的重试计时器会重置为 t_{RETRY} ；当此重试计时器过期之后，两个半桥将再次同时启用。

7.3.3.4 热关断 (TSD)

如果裸片温度超过过热限值 T_{TSD} ，则会禁用 H 桥中的所有 MOSFET 并将 nFAULT 引脚驱动为低电平。当过热条件消失且裸片温度降至 V_{TSD} 阈值以下时，将恢复正常运行。

7.3.3.5 故障条件汇总

表 7-7. 故障条件汇总

故障	条件	报告	H 桥	恢复
VM 欠压锁定 (UVLO)	$VM < V_{UVLO}$	nFAULT	禁用	$VM > V_{UVLO}$
VCP 欠压锁定 (CPUV)	$VCP < V_{CPUV}$	nFAULT	禁用	$VCP > V_{CPUV}$
过流 (OCP)	$I_{OUT} > I_{OCP}$	nFAULT	禁用	t_{RETRY} 或复位 (由 IMODE 设置)
热关断 (TSD)	$T_J > T_{TSD}$	nFAULT	禁用	$T_J < T_{TSD} - T_{HYS}$

7.3.4 引脚图

7.3.4.1 逻辑电平输入

图 7-2 展示了逻辑电平输入引脚 EN/IN1、PH/IN2 和 nSLEEP 的输入结构。

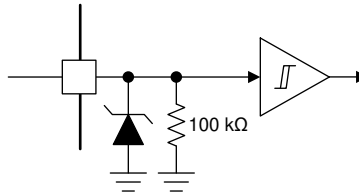


图 7-2. 逻辑电平输入

7.3.4.2 三电平输入

图 7-3 展示了三电平输入引脚 PMODE 的输入结构。

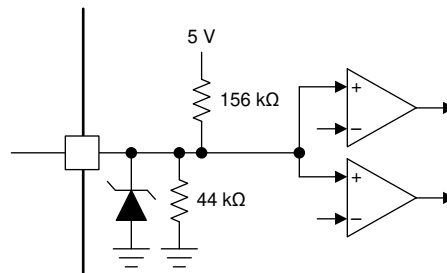


图 7-3. PMODE 三电平输入

7.3.4.3 四电平输入

图 7-4 展示了四电平输入引脚 IMODE 的输入结构。对于 DRV8876N，该引脚应按表 7-6 所述接地或保持悬空。

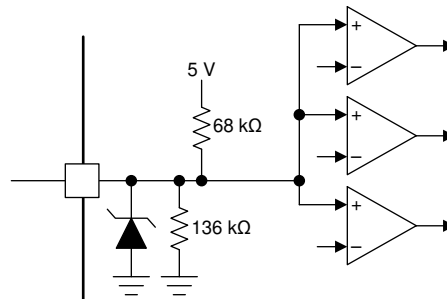


图 7-4. 四电平输入

7.4 器件功能模式

DRV887x 系列器件具有多种不同的运行模式，具体情况取决于系统输入。

7.4.1 活动模式

当 VM 引脚上的电源电压超过欠压阈值 V_{UVLO} 、nSLEEP 引脚处于逻辑高电平状态且 t_{WAKE} 状态消失之后，器件将进入活动模式。在此模式下，H 桥、电荷泵和内部逻辑将被激活，器件将准备好接收输入。当器件进入活动模式之后，将锁存输入控制模式 (PMODE) 和 OCP 模式 (IMODE)。

7.4.2 低功耗睡眠模式

DRV887x 系列器件支持低功耗模式，以便在驱动器未激活时减少 VM 引脚的电流消耗。可以通过设置 nSLEEP 引脚逻辑低电平并等待 t_{SLEEP} 状态消失来进入此模式。在睡眠模式下，H 桥、电荷泵、内部 5V 稳压器和内部逻辑

辑都将被禁用。此器件依靠弱下拉电阻来确保持续禁用所有内部 MOSFET。当处于低功耗睡眠模式时，此器件不会响应除 nSLEEP 以外的任何输入。

7.4.3 故障模式

当遇到故障时，DRV887x 系列器件会进入故障模式。这样即可为器件和输出负载提供保护。故障模式下的器件行为取决于故障状况，表 7-7 中提供了相关说明。当满足恢复条件时，器件会退出故障模式并重新进入活动模式。

8.2.1.2 详细设计过程

8.2.1.2.1 功率耗散和输出电流能力

此器件的输出电流和功率耗散能力在很大程度上取决于 PCB 设计和外部系统状况。本节提供了一些用于计算这些值的指导信息。

此器件的总功率耗散由三个主要部分组成。这三个组成部分是静态电源电流损耗、功率 MOSFET 开关损耗和功率 MOSFET $R_{DS(on)}$ (导通) 损耗。虽然其他因素可能会造成额外的功率损耗, 但与这三个主要因素相比, 其他因素通常并不重要。

$$P_{TOT} = P_{VM} + P_{SW} + P_{RDS} \quad (1)$$

可以根据标称电源电压 (V_M) 和 I_{VM} 活动模式电流规格来计算 P_{VM} 。

$$P_{VM} = V_M \times I_{VM} \quad (2)$$

$$P_{VM} = 0.096W = 24V \times 4mA \quad (3)$$

可以根据标称电源电压 (V_M)、平均输出电流 (I_{RMS})、开关频率 (f_{PWM}) 以及器件输出上升 (t_{RISE}) 和下降 (t_{FALL}) 时间规格来计算 P_{SW} 。

$$P_{SW} = P_{SW_RISE} + P_{SW_FALL} \quad (4)$$

$$P_{SW_RISE} = 0.5 \times V_M \times I_{RMS} \times t_{RISE} \times f_{PWM} \quad (5)$$

$$P_{SW_FALL} = 0.5 \times V_M \times I_{RMS} \times t_{FALL} \times f_{PWM} \quad (6)$$

$$P_{SW_RISE} = 0.018W = 0.5 \times 24V \times 0.5A \times 150ns \times 20kHz \quad (7)$$

$$P_{SW_FALL} = 0.018W = 0.5 \times 24V \times 0.5A \times 150ns \times 20kHz \quad (8)$$

$$P_{SW} = 0.036W = 0.018W + 0.018W \quad (9)$$

可以根据器件 $R_{DS(on)}$ 和平均输出电流 (I_{RMS}) 来计算 P_{RDS} 。

$$P_{RDS} = I_{RMS}^2 \times (R_{DS(ON)_HS} + R_{DS(ON)_LS}) \quad (10)$$

需要注意的是, $R_{DS(ON)}$ 与器件的温度密切相关。可以在“典型特性”曲线中找到一条显示了标称 $R_{DS(on)}$ 和温度的曲线。假设器件温度为 $85^\circ C$, 根据标称温度数据, 预计 $R_{DS(on)}$ 会增大大约 1.25 倍。

$$P_{RDS} = 0.219W = (0.5A)^2 \times (350m\Omega \times 1.25 + 350m\Omega \times 1.25) \quad (11)$$

通过将功率耗散的各个组成部分相加, 可以确认预计的功率耗散和器件结温处于设计目标内。

$$P_{TOT} = P_{VM} + P_{SW} + P_{RDS} \quad (12)$$

$$P_{TOT} = 0.351W = 0.096W + 0.036W + 0.219W \quad (13)$$

可以使用 P_{TOT} 、器件环境温度 (T_A) 和封装热阻 ($R_{\theta JA}$) 来计算器件结温。 $R_{\theta JA}$ 的值在很大程度上取决于 PCB 设计以及器件周围的铜散热器。

$$T_J = (P_{TOT} \times R_{\theta JA}) + T_A \quad (14)$$

$$T_J = 97^\circ C = (0.351W \times 35^\circ C/W) + 85^\circ C \quad (15)$$

应确保器件结温处于指定的工作范围内。也可以通过其他方法根据可用的测量结果来确认器件结温。

可以在节 8.2.1.2.2 和节 11.1.1 中找到有关电机驱动器电流额定值和功率耗散的其他信息。

8.2.1.2.2 热性能

数据表指定的结至环境热阻 $R_{\theta JA}$ 主要用于比较各种驱动器或者估算热性能。不过，实际系统性能可能比此值更好，也可能更差，具体情况取决于 PCB 层叠、布线、过孔数量以及散热焊盘周围的覆铜区。驱动器驱动特定电流的时间长度也会影响功耗和热性能。本节介绍了如何设计稳态和瞬态温度条件。

本节中的数据是按如下标准仿真得出的：

- 2 层 PCB，标准 FR4，1oz (35mm 覆铜厚度) 或 2oz 覆铜厚度。
- 顶层：DRV887x HTSSOP 封装尺寸和铜平面散热器。顶层覆铜区在仿真中有所不同。
- 底层：接地平面通过 DRV887x 散热焊盘下方的过孔进行热连接。底层覆铜区随顶层覆铜区而变化。散热过孔只存在于散热焊盘的下方 (栅格形状，1.2mm 间距)。
- 4 层 PCB，标准 FR4。外侧平面具有 1oz (35mm 覆铜厚度) 或 2oz 覆铜厚度。
- 顶层：DRV887x HTSSOP 封装尺寸和铜平面散热器。顶层覆铜区在仿真中有所不同。内侧平面的覆铜厚度保持在 1oz。
- 中间层 1：GND 平面通过散热过孔与 DRV887x 散热焊盘进行热连接。接地平面的面积为 74.2mm x 74.2mm。
- 中间层 2：电源平面，无热连接。
- 底层：带有小型铜焊盘的信号层，位于 DRV887x 下面，通过来自顶部平面和内部 GND 平面的过孔拼接进行热连接。底层散热焊盘的尺寸与封装相当 (5mm x 4.4mm)。虽然顶部铜平面的尺寸并不固定，但底部焊盘的尺寸保持不变。散热过孔只存在于散热焊盘的下方 (栅格形状，1.2mm 间距)。

图 8-2 展示了 HTSSOP 封装的仿真电路板示例。表 8-2 展示了每次仿真时使用的不同板尺寸。

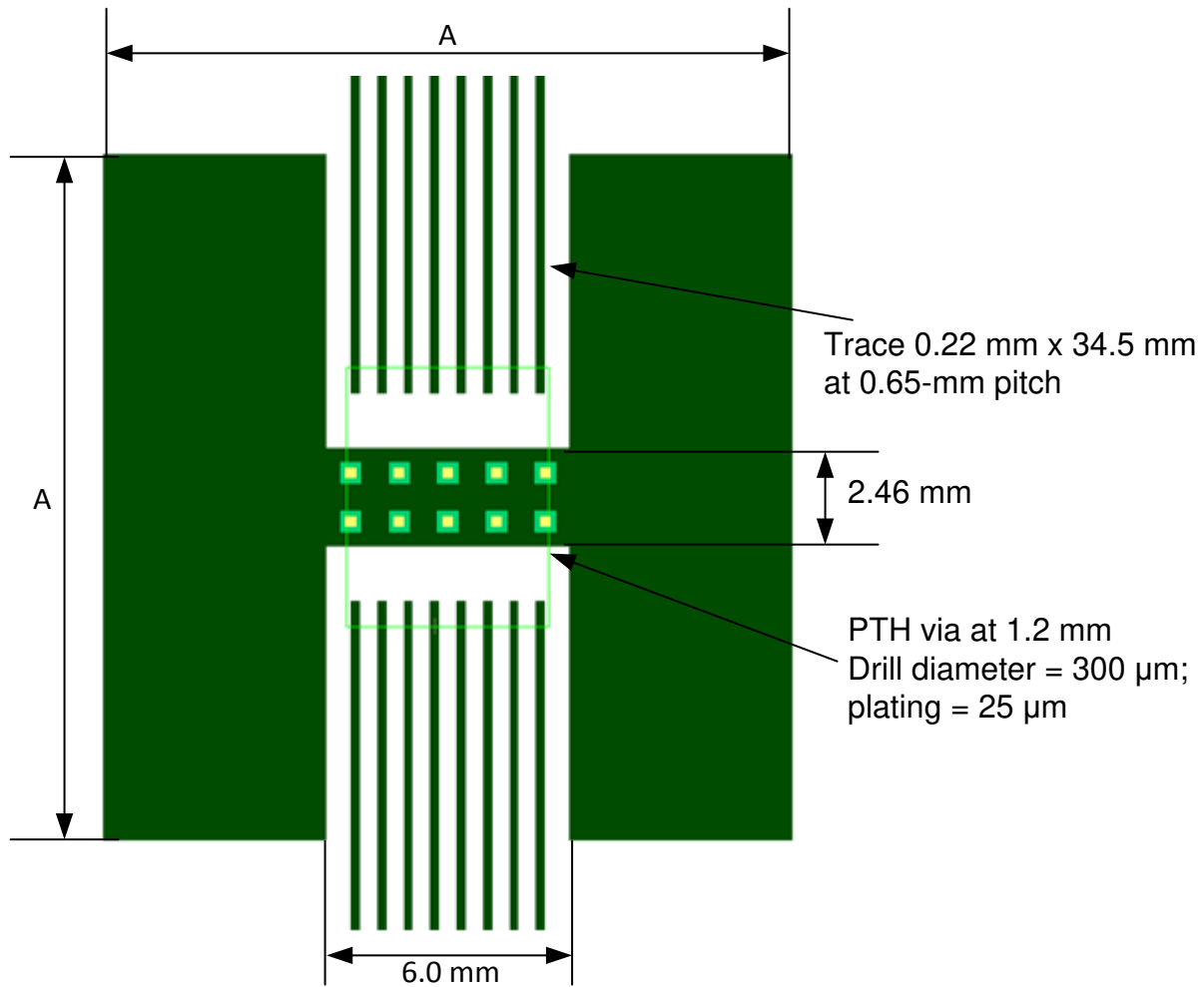


图 8-2. HTSSOP PCB 模型顶层

表 8-2. 用于 16 引脚 PWP 封装的尺寸 A

覆铜区 (mm ²)	尺寸 A (mm)
2	17.0
4	22.8
8	31.0
16	42.8

8.2.1.2.2.1 稳态热性能

“稳态”条件假设电机驱动器使用恒定 RMS 电流运行很长一段时间。图 8-3、图 8-4、图 8-5 和图 8-6 展示了 $R_{\theta JA}$ 和 Ψ_{JB} (结至电路板特征参数) 的变化, 这些变化取决于 HTSSOP 封装的覆铜区、覆铜厚度和 PCB 层数。覆铜区越大、层数越多、铜平面越厚, $R_{\theta JA}$ 和 Ψ_{JB} 就越小, 表明 PCB 布局的热性能越强。

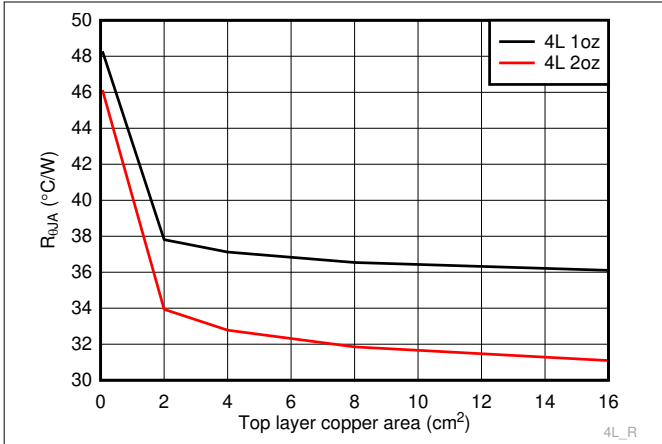


图 8-3. HTSSOP、4 层 PCB 结至环境热阻与覆铜区之间的关系

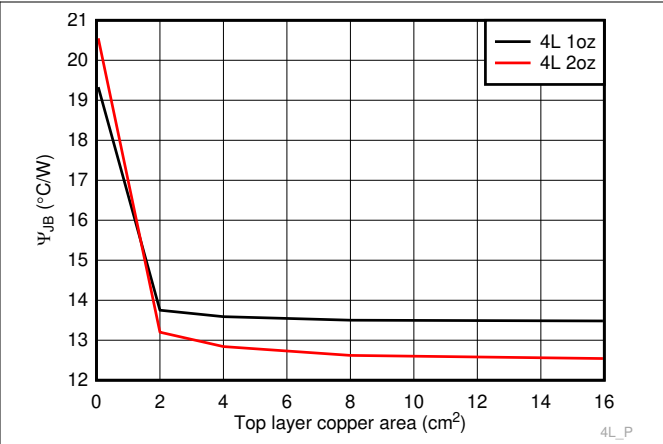


图 8-4. HTSSOP、4 层 PCB 结至电路板特征参数与覆铜区之间的关系

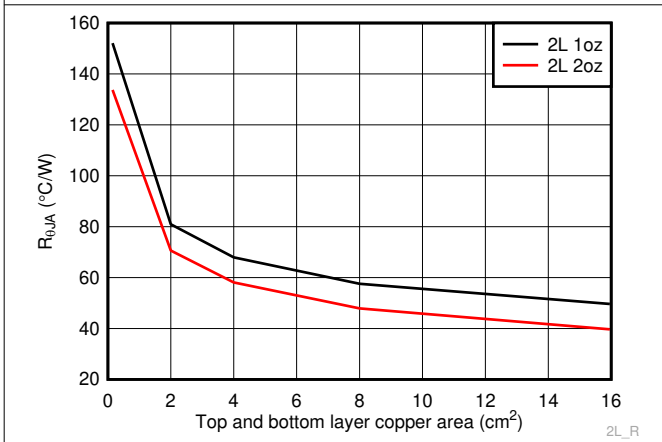


图 8-5. HTSSOP、2 层 PCB 结至环境热阻与覆铜区之间的关系

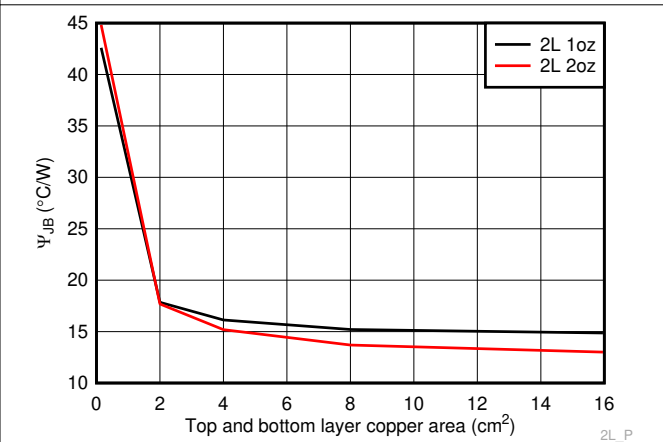


图 8-6. HTSSOP、2 层 PCB 结至电路板特征参数与覆铜区之间的关系

8.2.1.2.2.2 瞬态热性能

电机驱动器可能会遇到不同的瞬态驱动条件，导致在短时间内出现大电流。这些条件可能包括

- 电机在转子尚未全速运转的情况下启动。
- 由于其中一个电机输出发生电源短路或接地短路、器件的过流保护功能时断时续而出现故障。
- 短暂为电机或电磁阀加电，然后断电。

对于这些瞬态情况，驱动持续时间是影响热性能的另一因素。在瞬态情况中，热阻抗参数 $Z_{\theta JA}$ 表示结至环境热性能。图 8-7 和图 8-8 展示了 HTSSOP 封装的 1oz 和 2oz 覆铜布局的仿真热阻抗。这些图表表明，短电流脉冲可实现更佳的热性能。对于较短的驱动时间，器件裸片尺寸和封装决定了热性能。对于更长的驱动脉冲，电路板的布局对热性能的影响更大。这两个图表都展示了随着驱动脉冲持续时间的增加，层数和覆铜区导致的热阻抗分裂曲线。可以将长脉冲视为稳态性能。

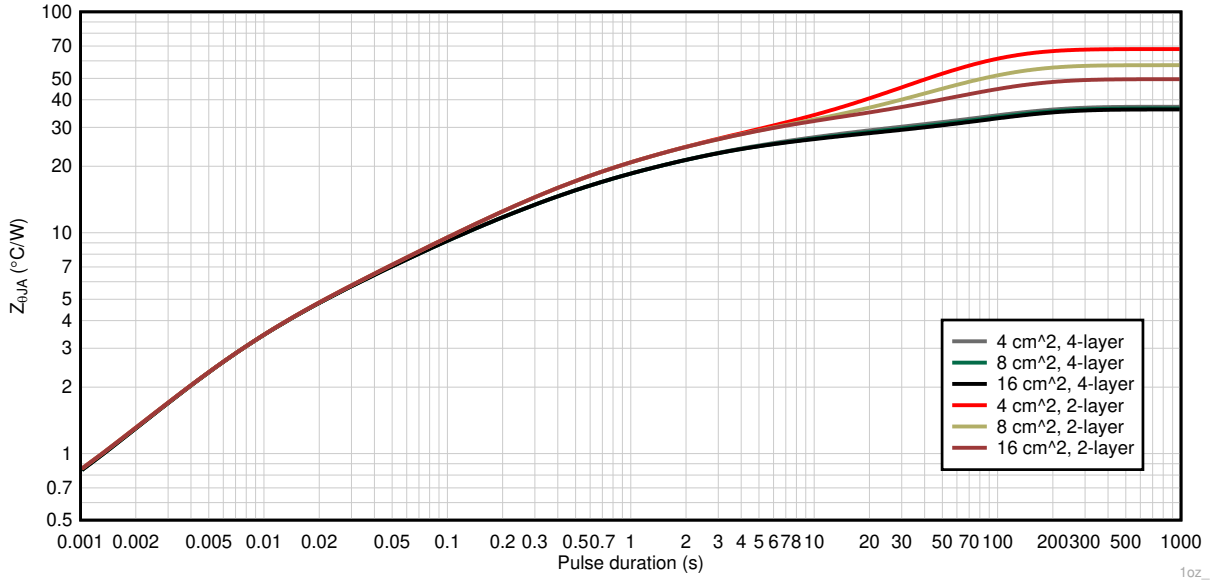


图 8-7. 1oz 铜布局的 HTSSOP 封装结至环境热阻抗

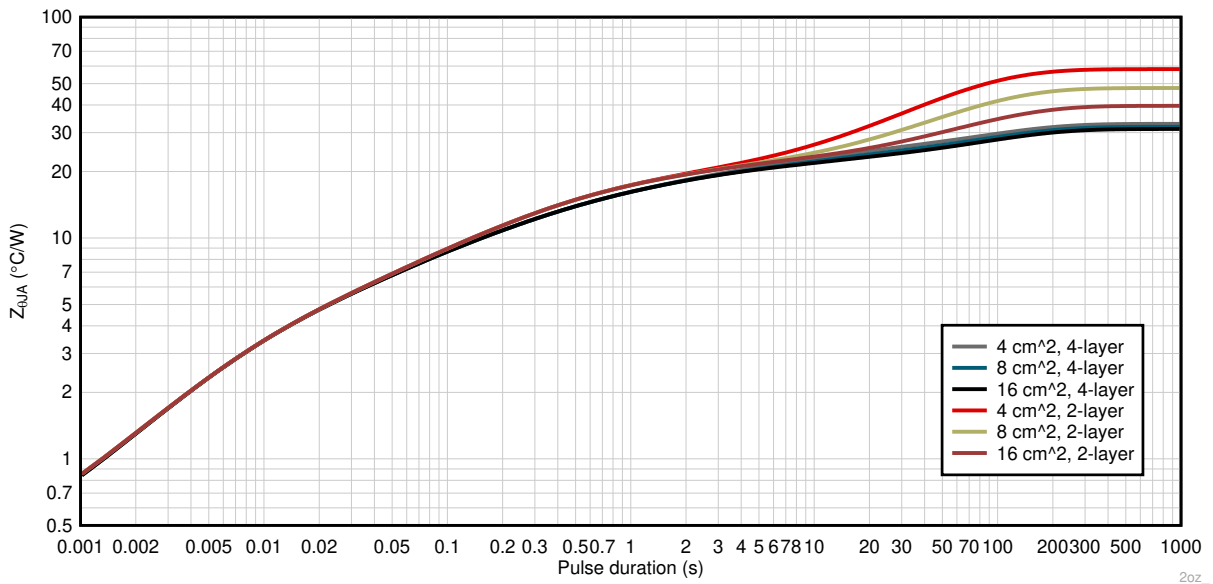
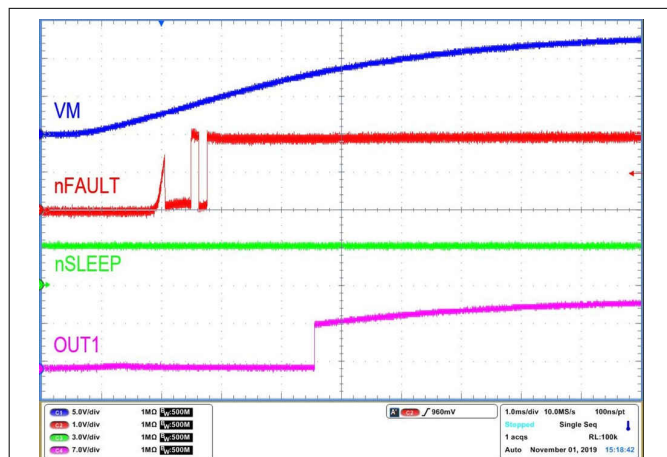


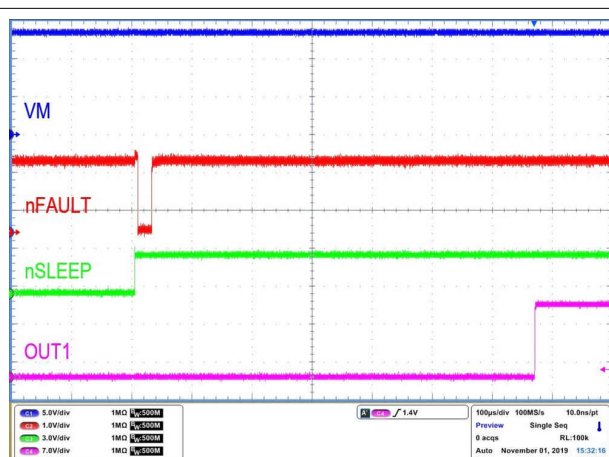
图 8-8. 2oz 铜布局的 HTSSOP 封装结至环境热阻抗

8.2.1.3 应用曲线



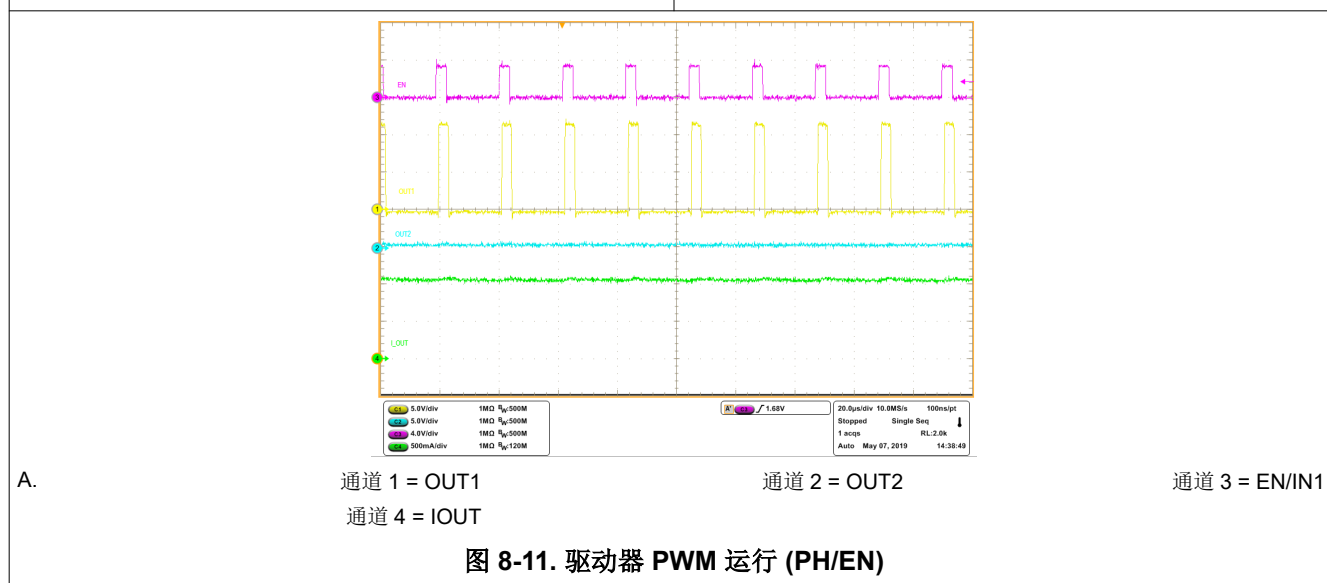
通道 1 = VM 通道 2 = nFAULT 通道 3 = nSLEEP
通道 4 = IOUT

图 8-9. 通过电源电压 (VM) 斜升实现器件上电



通道 1 = VM 通道 2 = nFAULT 通道 3 = nSLEEP
通道 4 = IOUT

图 8-10. 通过 nSLEEP 引脚实现器件上电



A. 通道 1 = OUT1 通道 2 = OUT2 通道 3 = EN/IN1
通道 4 = IOUT

图 8-11. 驱动器 PWM 运行 (PH/EN)

8.2.2 备选应用

在此备选应用示例中，此器件被配置为使用双半桥配置，通过两个外部负载（例如两个有刷直流电机）来驱动单向电流。每个半桥的占空比由一个从外部控制器传输到 EN/IN1 和 PH/IN2 引脚的 PWM 资源来控制。通过让 PMODE 引脚浮动，为独立半桥控制模式配置此器件。

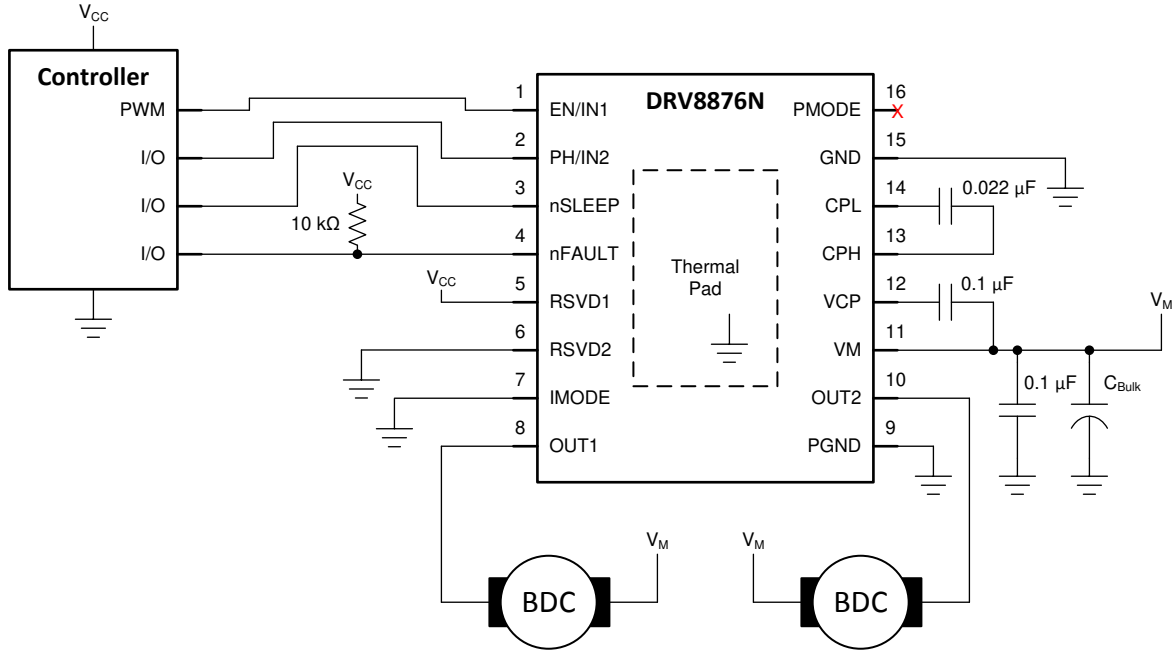


图 8-12. 典型应用原理图

8.2.2.1 设计要求

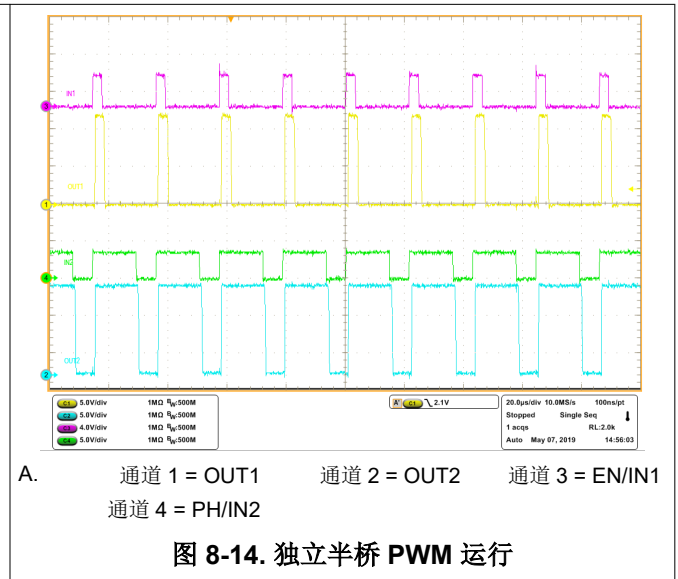
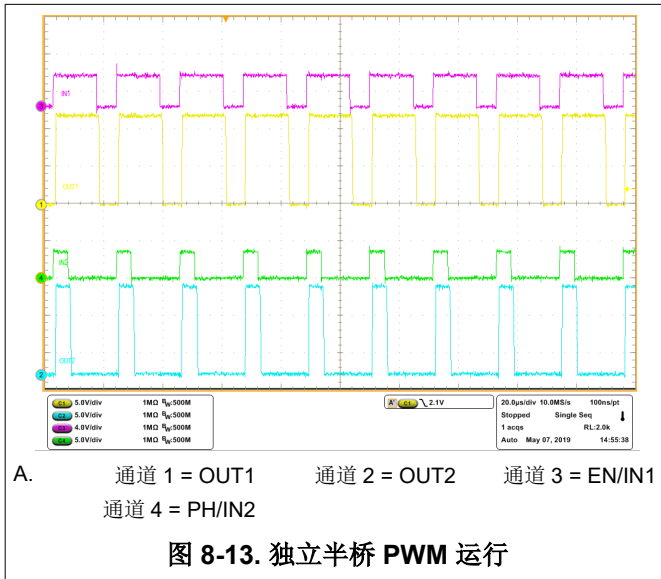
表 8-3. 设计参数

基准	设计参数	示例值
V_M	电机和驱动器电源电压	24V
V_{CC}	控制器电源电压	3.3V
I_{RMS1}	输出 1 RMS 电流	0.5A
I_{PEAK1}	输出 1 峰值电流	1A
I_{RMS2}	输出 2 RMS 电流	0.25A
I_{PEAK2}	输出 2 峰值电流	0.5A
f_{PWM}	开关频率	20kHz
T_A	PCB 环境温度	-20 至 85°C
T_J	器件最高结温	150°C
$R_{\theta JA}$	器件结至环境热阻	35°C/W

8.2.2.2 详细设计过程

请参阅“主要应用”（节 8.2.1.2）一节，以查看详细的设计过程示例。大多数设计概念都适用于此备选应用示例。

8.2.2.3 应用曲线



9 电源相关建议

9.1 大容量电容

配备合适的局部大容量电容是电动机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部大容量电容的电容量取决于多种因素，包括：

- 电机或负载所需的最高电流
- 电源的电容和拉电流能力
- 电源和电机系统之间的寄生电感量
- 可接受的系统电压纹波
- 电机制动方法（如果适用）

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统将对过大的电流需求作出响应，或随电压的变化将其从电机中排除。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容。

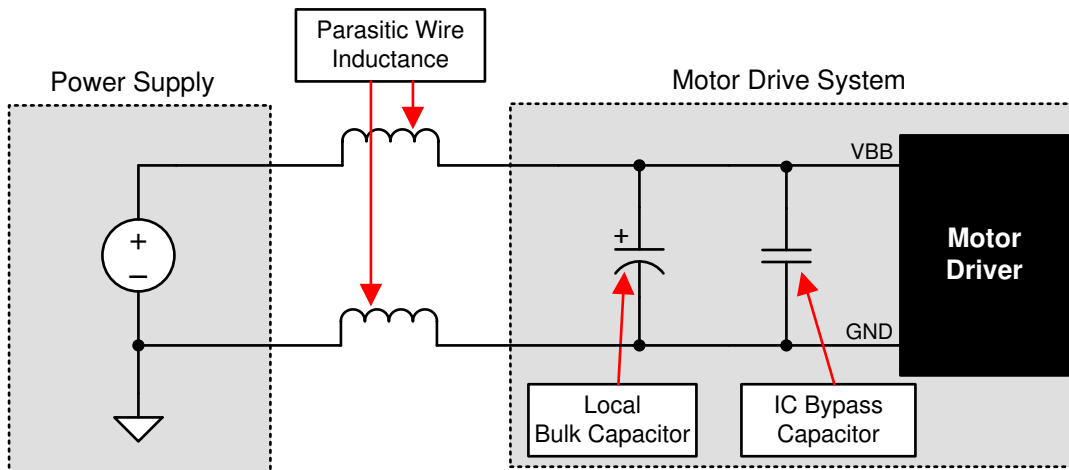


图 9-1. 系统电源寄生效应示例

10 布局

10.1 布局指南

DRV887x 系列器件是能够驱动高电流的集成式功率 MOSFET 器件，因此应特别注意布局设计和外部元件的放置。下面提供了一些设计和布局指南。

- 对于 VM 至 GND 旁路电容器、VCP 至 VM 电荷泵储能电容器和电荷泵飞跨电容器，应使用低 ESR 陶瓷电容器。建议使用 X5R 和 X7R 类型的电容器。
- VM 电源和 VCP、CPH、CPL 电荷泵电容器应尽可能靠近器件放置，以最大限度地减小回路电感。
- VM 电源大容量电容器可以是陶瓷电容器或电解电容器，但也应尽可能靠近器件放置，以最大限度地减小回路电感。
- VM、OUT1、OUT2 和 PGND 承载着从电源传输到输出、然后重新传回到接地端的高电流。对于这些迹线，应使用厚金属布线（如果可行）。
- PGND 和 GND 应同时直接连接到 PCB 接地平面上。不能将它们用于相互隔离用途。
- 应通过热通路将器件散热焊盘连接到 PCB 顶层接地平面和内部接地平面（如果可用）上，以获得最强的 PCB 散热能力。
- “封装图”一节中提供了建议用于热通路焊盘的图案。
- 应尽可能扩大连接到散热焊盘的铜平面面积，以确保获得最佳散热效果。

10.2 布局示例

10.2.1 HTSSOP 布局示例

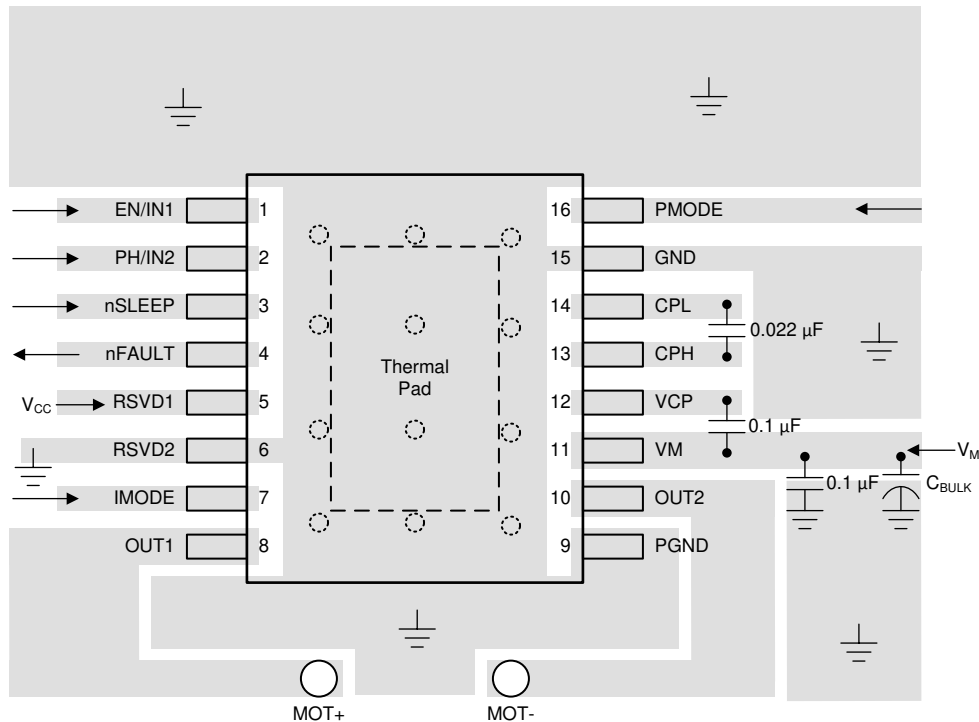


图 10-1. HTSSOP (PWP) 示例布局

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [《计算电机驱动器的功耗》应用报告](#)
- 德州仪器 (TI), [《电流再循环和衰减模式》应用报告](#)
- 德州仪器 (TI), [《PowerPAD™ 速成》应用报告](#)
- 德州仪器 (TI), [《PowerPAD™ 热增强型封装》应用报告](#)
- 德州仪器 (TI), [《了解电机驱动器电流额定值》应用报告](#)
- 德州仪器 (TI), [电机驱动器电路板布局最佳实践应用报告](#)
- 德州仪器 (TI), [电机驱动器布局指南应用报告](#)

11.2 接收文档更新通知

若要接收文档更新通知，请浏览 ti.com.cn 上的器件产品文件夹。单击右上角的 [通知我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 社区资源

11.4 商标

所有商标均为其各自所有者的财产。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8876NPWPR	ACTIVE	HTSSOP	PWP	16	3000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	8876N	Samples
DRV8876NPWPT	LIFEBUY	HTSSOP	PWP	16	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	8876N	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

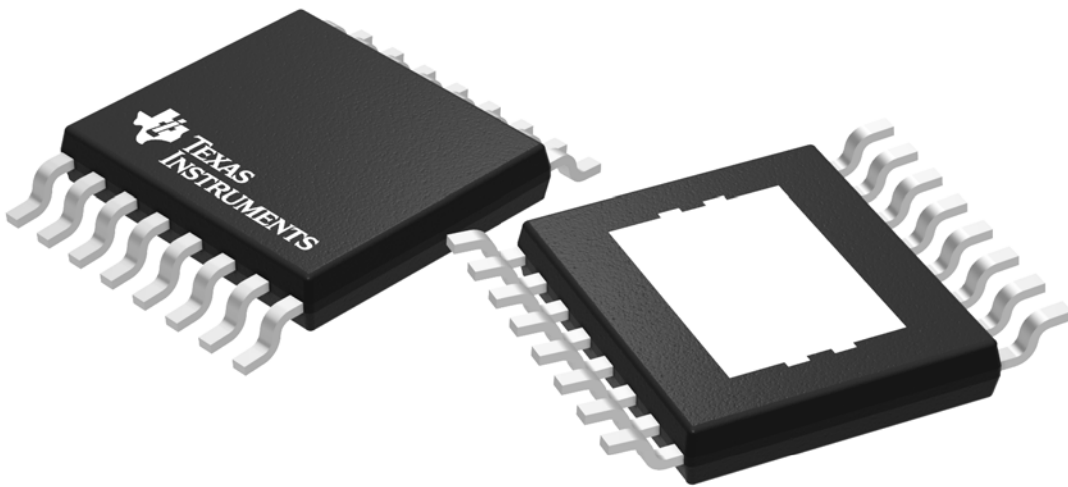

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8876NPWPR	HTSSOP	PWP	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

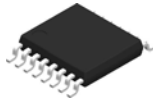

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8876NPWPR	HTSSOP	PWP	16	3000	350.0	350.0	43.0



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

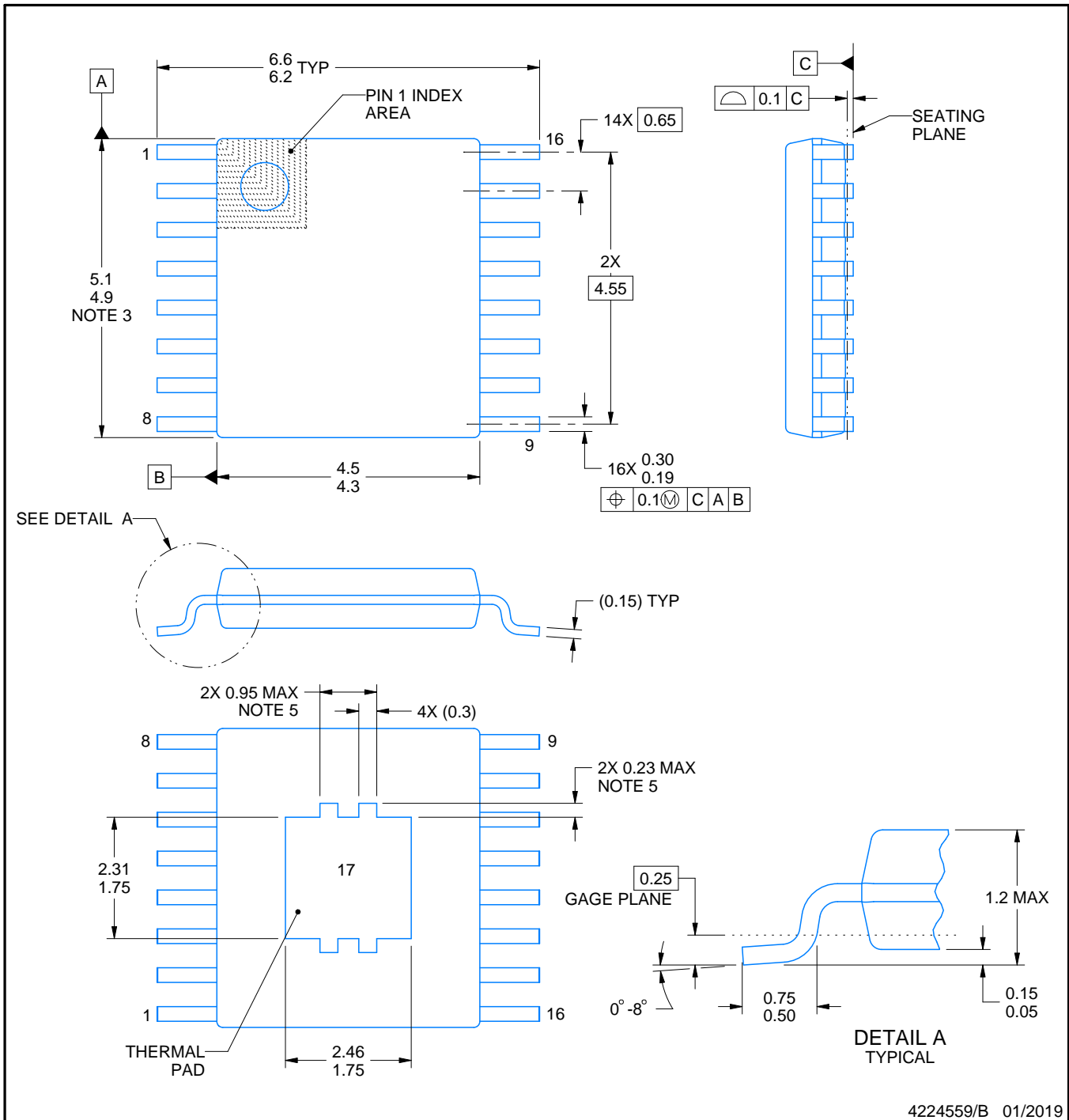
PWP0016C



PACKAGE OUTLINE

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4224559/B 01/2019

NOTES:

PowerPAD is a trademark of Texas Instruments.

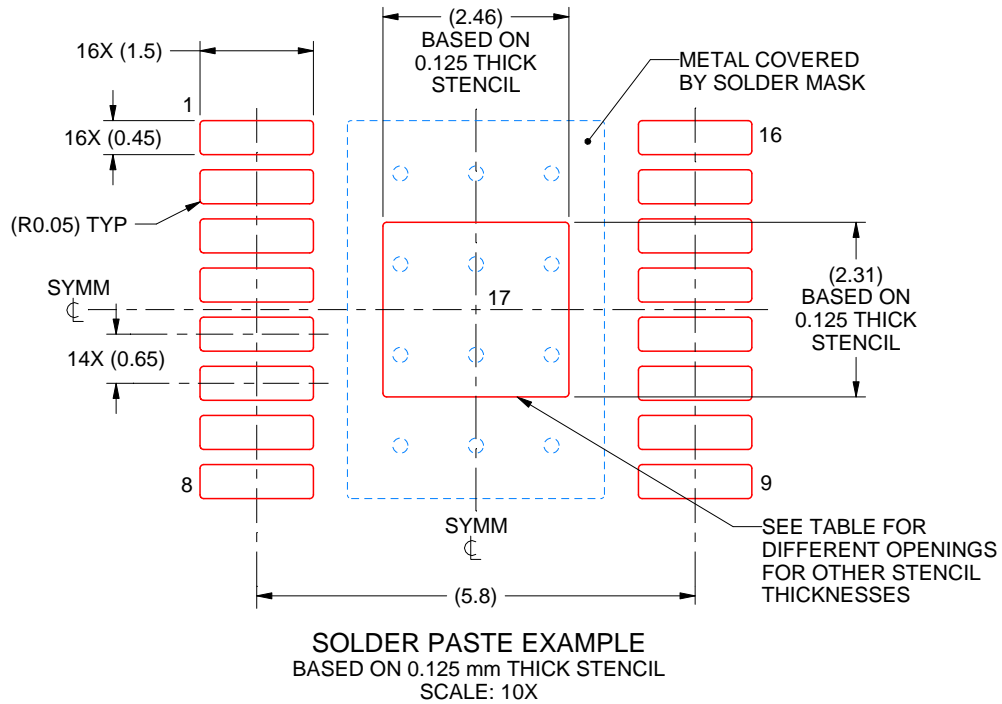
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE STENCIL DESIGN

PWP0016C

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.75 X 2.58
0.125	2.46 X 2.31 (SHOWN)
0.15	2.25 X 2.11
0.175	2.08 X 1.95

4224559/B 01/2019

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司