F29H85x、F29P58x 和 F29P32x 实时微控制器

1 特性

实时处理

- 三个 C29x 64 位 CPU（CPU1、CPU2、CPU3）在 200MHz 下运行
  - 与 C28x 相比，具有改进的流水线，信号链性能提高 2 倍
  - 分离锁定和锁步工作模式
- C29x CPU 架构
  - 字节可寻址性
  - 具有低延迟的高性能实时控制
  - 高性能 DSP 和通用处理能力
  - VLIW CPU 并行执行 1 至 8 条指令
  - 全面保护式流水线
  - 8/16/32/64 位单周期存储器操作，单周期内最多两次 64 位存储器读取和一次 64 位存储器写入
  - IEEE 32 位和 64 位浮点运算
  - 32 位和 64 位三角运算
  - 硬件中断优先级划分和嵌套
  - 11 周期实时中断响应
  - 具有存储器保护的原子操作
  - 在硬件中管理的多安全岛代码执行

存储器

- 4MB 的 CPU 可映射闪存（ECC 保护），能够通过 A/B 交换和 LFU 支持无线固件 (FOTA)
- 256KB 仅数据闪存（受 ECC 保护）
- 452KB RAM（受 ECC 保护）
- 用于 HSM（受 ECC 保护）的专用 512KB 闪存和 40KB RAM 存储器
- 内置 ECC 逻辑，可实现系统范围的安全性

安全外设

- CPU1 和 CPU2 锁步
  - CPU1 和 CPU2 分离锁定模式也可用（用于不需要功能安全或使用多个 CPU 互惠式比较等方法的应用）
- 逻辑开机自检 (LPOST)
- 存储器开机自检 (MPOST)
- 错误信令模块 (ESM)
- 双时钟比较器 (DCC)
- 波形分析仪和诊断 (WADI)
- 使用 SSU 实现上下文敏感的存储器和外设保护
- 安全互连 (SIC)
- 以功能安全合规型为目标
  - 专为功能安全应用开发
  - 在发布量产版本时，提供文件协助进行符合 ISO 26262 和 IEC 61508 标准的系统设计
  - 系统功能符合 ASIL D 和 SIL 3 等级
  - 硬件功能符合 ASIL D 和 SIL 3 等级
- 安全相关认证
  - 计划通过 TÜV SÜD 高达 ASIL D 和 IEC 61508 SIL 3 等级的 ISO 26262 认证

安全性

- 硬件安全模块 (HSM)
  - 在 100MHz 下独立运行基于 Arm® Cortex®-M4 的安全控制器子系统
  - 512KB 的闪存（受 ECC 保护）
  - 36KB RAM（受 ECC 保护）
  - 安全密钥存储
  - 安全启动
  - 安全调试
  - 专用的 8 通道实时直接存储器存取 (RTDMA) 控制器
  - EVITA-full 支持
  - 具有 A/B 交换的 FOTA
  - 硬件加密加速器
    - 非对称加密 - RSA、ECC、SM2
    - 对称加密 - AES、SM4
    - 哈希运算 - SHA2、HMAC、SM3
    - 真随机数生成器
- 功能安全和信息安全单元 (SSU)
  - 高级实时功能安全和信息安全
    - 每个 CPU 具有 64 个存储器访问保护范围
    - 每个 CPU 最多 15 个用户链路和 7 个堆栈指针，用于实现硬件代码隔离
    - 开机自检 (POST) 功能
    - 带有回滚控制的 FOTA 和 LFU 支持

模拟子系统

- 五个模数转换器 (ADC)
  - 两个 16 位 ADC，每个 1.19MSPS
  - 三个 12 位 ADC，每个 3.92MSPS
  - 多达 80 个单端输入或 16 个差分输入
  - 40 个冗余输入通道，可实现灵活性
  - 每个 ADC 上有独立的采样保持 (S/H) 电路，以实现同步采样
  - 转换的硬件后处理
  - 硬件过采样（高达 128 倍）和欠采样模式，带累积、均值计算和异常抑制
  - 从 SOC 触发到转换开始的可编程延迟

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

  - 用于比较多个 ADC 模块之间转换结果的十个 ADC 安全校验器
- 12 个具有 12 位数模转换器 (DAC) 基准的窗口比较器
  - 内部温度传感器和 ADC 基准的连接选项
- 两个 12 位缓冲 DAC 输出

控制外设

- 36 个脉宽调制器 (PWM) 通道，全部具有高分辨率功能 (HRPWM)
  - 最小死区逻辑 (MINDB)
  - 标准和高分辨率的非法组合逻辑 (ICL)
  - 二极管仿真 (DE) 支持
  - XCMP 上的多级阴影
- 6 个增强型采集 (eCAP) 模块
  - 在六个 eCAP 模块中，有两个提供高分辨率捕捉 (HRCAP)
  - 两个新的监控单元，用于显示边沿、脉宽和周期，它们可以与 ePWM 选通和跳闸事件进行耦合
  - 增加了 256 个多路复用捕捉输入
  - 新的 ADC SOC 生成功能
- 6 个增强型正交编码器脉冲 (eQEP) 模块
- 16 个 Σ-Δ 滤波器模块 (SDFM) 输入通道，每个通道 2 个独立滤波器
- 嵌入式图形发生器 (EPG)
- 可配置逻辑块 (CLB)
  - 6 个逻辑块
  - 增强现有外设功能
  - 支持位置管理器解决方案

通信外设

- EtherCAT® 从属器件（或 SubDevice）控制器 (ESC)
- 带四个发送器和四个接收器的快速串行接口 (FSI)
- 五个高速（高达 50MHz）SPI 端口（引脚可引导）
- 六个高速通用异步接收器/发送器 (UART)（引脚可引导）
- 两个 I2C 接口（引脚可引导）
- 两个本地互连网络 (LIN)（支持 SCI）
- 电源管理总线 (PMBus) 接口（支持 I2C）
- 六个单边沿半字节传输接口 (SENT)
- 六个具有灵活数据速率的控制器局域网 (CAN FD/MCAN)（引脚可引导）

系统外设

- 支持 ASRAM 和 SDRAM 的外部存储器接口 (EMIF)
- 两个带有 MPU 的 10 通道实时直接存储器存取 (RTDMA) 控制器
- 多达 190 个可用信号引脚
  - 136 个通用输入输出 (GPIO) 引脚
  - 80 个模拟引脚（GPIO 中包含 26 个 AGPIO）
  - 6 个 GPIO 上具有 5V 失效防护与容差功能，支持 PMBUS/I2C/SENT
- 外设中断优先级和扩展 (PIPE)
- 支持低功耗模式 (LPM)
- 嵌入式实时分析和诊断 (ERAD)

时钟和系统控制

- 片上晶体振荡器
- 窗口化看门狗计时器模块
- 丢失时钟检测电路
- 1.25V 内核、3.3V I/O 设计
  - 内部 VREG 可生成 1.25V 电压
  - 欠压复位 (BOR) 电路

封装选项：

- 无铅，绿色环保封装
- 256 焊球 New Fine Pitch Ball Grid Array (nFBGA) [ZEX 后缀]，13mm x 13mm/0.8mm 间距
- 176 引脚 Thermally Enhanced Thin Quad Flatpack (HTQFP) [PTS 后缀]，22mm x 22mm/0.4mm 间距
- 144 引脚 HTQFP [RFS 后缀]，18mm x 18mm/0.4mm 间距
- 100 引脚 HTQFP [PZS 后缀]，14mm x 14mm/0.4mm 间距

温度

- 环境温度 (T_A)：-40°C 至 125°C

2 应用

- 带有或不带主机集成的车载充电器 (OBC)
- HEV/EV 直流/直流转换器
- HEV/EV 动力总成集成
- 电动助力转向 (EPS)
- 牵引逆变器
- HVAC 大型商用电机控制
- 自动分拣设备
- CNC 控制
- 中央逆变器
- 串式逆变器
- 逆变器和电机控制
- 线性电机分段控制器
- 伺服驱动器控制模块
- 工业交流-直流
- 三相 UPS
- 商用网络和服务器 PSU

Copyright © 2025 Texas Instruments Incorporated

3 说明

F29H85x、F29P58x 和 F29P32x 都属于 C2000™ 实时微控制器系列，该系列为可扩展、超低延迟 MCU，旨在提高电力电子设备和电机控制等器件的效率，包括但不限于：高功率密度、高开关频率，并支持使用 GaN 和 SiC 技术。F29 产品系列采用下一代 C29 CPU 内核，性能是上一代 C28 CPU 内核的 2 倍，在业界处于领先地位。C29 内核还支持字节寻址，其数据类型与其他常见的 CPU 架构（包括 Arm® 架构）完全兼容，可为希望快速上市的客户实现平稳迁移。如需更多信息，请参阅 *C29 CPU – 借助 C2000™ MCU 上的优化架构提供出色的实时性能*技术白皮书。

这些应用包括：

- HEV/EV 动力总成 – 帮助实现单级 OBC 架构
  - 车载充电器
  - 直流/直流转换器
  - 集成动力总成
- 安全和底盘应用：
  - 电动动力转向
  - 制动
- 电机控制
  - 牵引逆变器电机控制 – 通过先进的控制技术提高牵引系统的效率
  - HVAC 电机控制
  - 移动机器人电机控制
- 光伏逆变器
  - 中央逆变器
  - 微型逆变器
  - 串式逆变器
- 数字电源
- 工业电机驱动
- 电动汽车充电基础设施

实时控制子系统具有多达三个 200MHz C29x CPU 内核（每个内核 400MIPS，F29H85x 上高达 1200MIPS）。由于 C29 CPU 架构和紧密耦合的外设 (PWM,ADC,CMPSS)，在客户基准测试的支持下，200MHz C29 内核的性能优于同类竞争产品，某些应用以更高的 CPU 时钟速度运行。

它具有多特性，可支持系统级 ASIL-D 功能安全解决方案。C29x CPU1 和 CPU2 内核可置于锁步模式，以检测永久性故障和瞬态故障。逻辑开机自检 (LPOST) 和存储器开机自检 (MPOST) 可在启动时检测潜在的故障。安全互连提供 CPU 与外设之间的故障检测。ADC 安全校验器可以在不增加 CPU 周期的情况下比较多个 ADC 模块的 ADC 转换结果。波形分析仪和诊断 (WADI) 可以监控多个信号是否正常运行，并采取相应措施来确保维持安全状态。该器件架构采用安全互连 (SIC) 来确保端到端代码和数据安全，并为所有存储器和外设端点提供基于 CPU 的 ECC 保护。

硬件安全管理器 (HSM) 提供 EVITA-full 安全支持。相关特性包括安全启动、安全存储和密钥环支持、安全调试认证和加密加速器引擎。HSM 支持在不可信工厂环境中进行安全密钥和代码配置，并支持对 HSM 和主机应用程序固件进行固件无线更新，同时具有 A/B 交换功能和回滚控制功能。

SSU（功能安全和信息安全单元）实现了出色的运行时功能安全和信息安全功能。此特性可用于在同一 CPU 或不同 CPU 上运行的线程之间创建安全隔离（防止干扰）。SSU 具有上下文敏感的 MPU 机制，可以根据当前正在执行的线程或任务自动切换硬件的访问权限。这消除了软件开销，从而在不影响系统安全性的情况下实现实时代码性能。SSU 提供多用户调试认证，同时还支持实时固件更新 (LFU) 和 FOTA 来进行应用程序固件更新（具有 A/B 交换和回滚控制）。有关更多信息，请参阅 *通过 C29x 功能安全和信息安全单元实现运行时功能安全和信息安全*应用手册。

ADVANCE INFORMATION

高性能模拟块与处理单元和控制单元紧密集成，可提供出色的实时信号链性能。两个 16 位模数转换器 (ADC) 和三个 12 位 ADC 具有多达 80 个模拟通道以及一个集成后处理块和硬件过采样。另外还提供两个 12 位缓冲 DAC 和二十四个比较器通道。

三十六个与频率无关的 PWM 均具有高分辨率，支持控制从三相逆变器到高级多级电源拓扑的多个功率级。PWM 通过最小死区逻辑 (MINDL)、二极管仿真 (DE)和非法组合逻辑 (ICL) 特性进行了增强。

可配置逻辑块 (CLB) 使用户可以添加自定义逻辑，还可将类似 FPGA 的功能 集成到 C2000 实时 MCU 中。

EtherCAT 子器件控制器和其他业界通用协议（如 CAN FD）均可在该器件上使用。快速串行接口 (FSI) 可跨隔离边界实现高达 200Mbps 的稳健通信。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看*使用 C2000™ 实时微控制器的基本开发指南*，并访问 C2000 实时微控制器页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

准备开始了吗？查看 F29H85X-SDK-EVM 评估板，并下载适用于 F29 实时 MCU 的 F29-SDK 基础软件开发套件 (SOM)。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸（标称值）	间距
F29H85xTxx	ZEX（nFBGA，256）	13mm × 13mm	13mm × 13mm	0.8mm
	PTS（HTQFP，176）	22mm × 22mm	20mm × 20mm	0.4mm
	RFS（HTQFP，144）	18mm × 18mm	16mm × 16mm	0.4mm
	PZS（HTQFP，100）	14mm × 14mm	12mm × 12mm	0.4mm
F29H85xDxx	ZEX（nFBGA，256）	13mm × 13mm	13mm × 13mm	0.8mm
	PTS（HTQFP，176）	22mm × 22mm	20mm × 20mm	0.4mm
	RFS（HTQFP，144）	18mm × 18mm	16mm × 16mm	0.4mm
	PZS（HTQFP，100）	14mm × 14mm	12mm × 12mm	0.4mm
F29P58xDxx	ZEX（nFBGA，256）	13mm × 13mm	13mm × 13mm	0.8mm
	PTS（HTQFP，176）	22mm × 22mm	20mm × 20mm	0.4mm
	RFS（HTQFP，144）	18mm × 18mm	16mm × 16mm	0.4mm
	PZS（HTQFP，100）	14mm × 14mm	12mm × 12mm	0.4mm
F29P329Sxx(3)	RFS（HTQFP，144）	18mm × 18mm	16mm × 16mm	0.4mm
	PZS（HTQFP，100）	14mm × 14mm	12mm × 12mm	0.4mm

(1) 如需了解更多信息，请参阅“机械、封装和可订购信息”章节。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 预发布信息（非预告信息）。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

器件信息

器件型号[1]	CPU	频率	闪存	ADC	安全启动	EMIF ETHERCAT
F29H85xTU9	CPU1 CPU2 CPU3	200MHz	4MB	2 - 16 位/12 位 3 - 12 位	是	是
F29H85xTU8						–
F29H85xTM8			2MB			
F29H85xDU7	CPU1 CPU3	200MHz	4MB	2 - 16 位/12 位 3 - 12 位	是	是
F29H85xDU6						–
F29H85xDM7			2MB			是
F29H85xDM6						–
F29H85xDM4					否	
F29H85xDM3						是
F29P58xDU5	CPU1 CPU2	200MHz	4MB	2 - 16 位/12 位 3 - 12 位	是	–
F29P58xDM5			2MB			
F29P329SM2[2]	CPU1 CPU2 固定锁步	200MHz	2MB	4 - 12 位		
F29P329SM1[2]			1MB	3 - 12 位		
F29P329SJ1[2]						

(1) 如需了解有关这些器件的更多信息，请参阅“器件比较”表。
(2) 预发布信息（非预告信息）。

ADVANCE INFORMATION

ADVANCE INFORMATION

3.1 功能方框图

功能方框图展示了 CPU 系统及关联的外设。

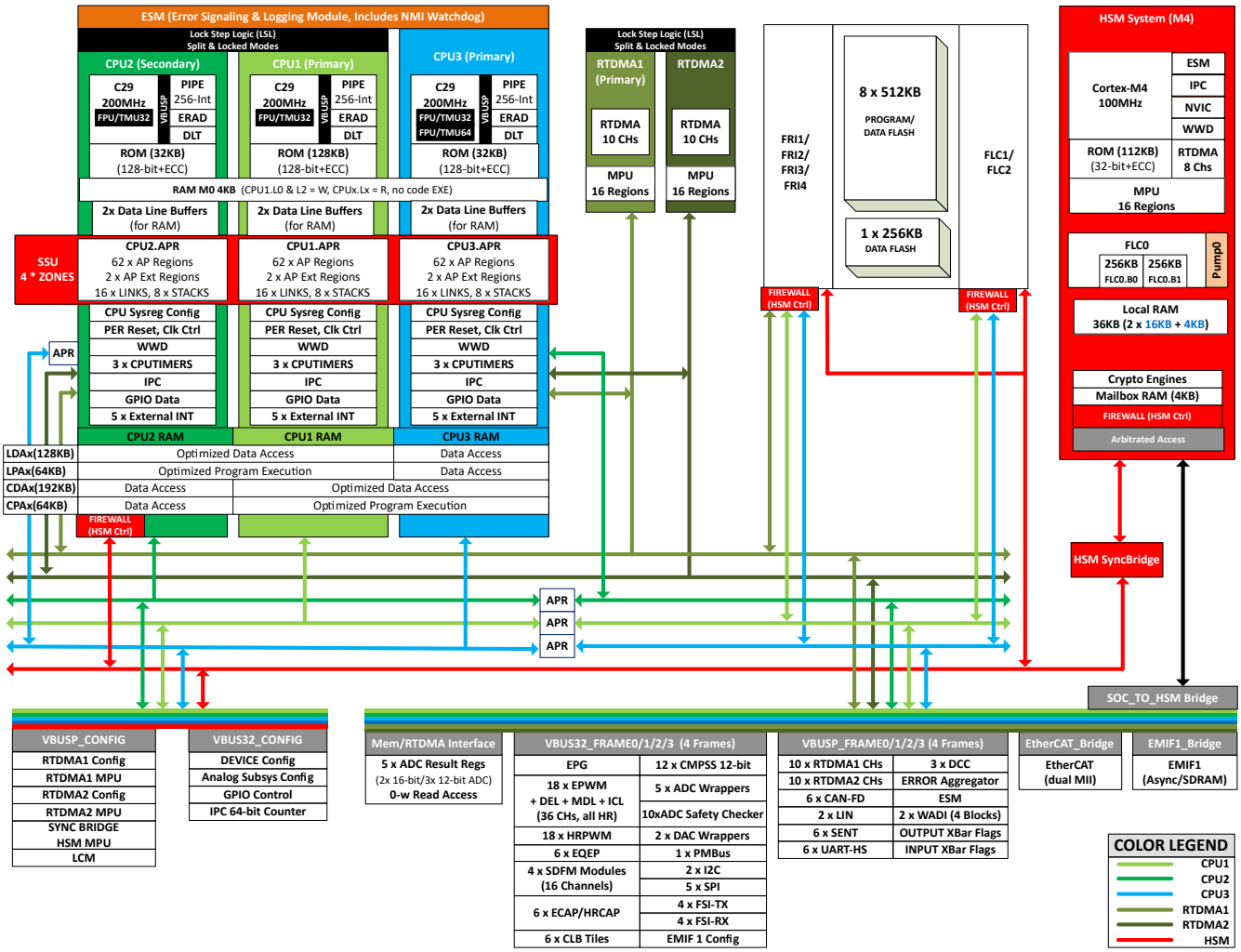


图 3-1. 功能方框图

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性..... 1
2 应用..... 2
3 说明..... 3
3.1 功能方框图..... 6
4 器件比较..... 8
4.1 相关产品..... 14
5 引脚配置和功能..... 15
5.1 引脚图..... 15
5.2 引脚属性（F29H85x 和 F29P58x）..... 24
5.3 引脚属性 (F29P32x)..... 71
5.4 信号说明..... 93
5.5 带有内部上拉和下拉的引脚..... 117
5.6 引脚多路复用..... 117
5.7 未使用引脚的连接..... 120
6 规格..... 121
6.1 绝对最大额定值..... 121
6.2 F29H85x ESD 等级 - 商用..... 122
6.3 F29H85x ESD 等级 - 汽车..... 122
6.4 F29P58x ESD 等级 - 商用..... 124
6.5 F29P58x ESD 等级 - 汽车..... 125
6.6 F29P32x ESD 等级 - 汽车..... 125
6.7 建议运行条件..... 126
6.8 功耗摘要..... 127
6.9 电气特性..... 134
6.10 5V 失效防护引脚的特殊注意事项..... 135
6.11 ZEX 封装的热阻特性..... 136
6.12 PTS 封装的热阻特性..... 136
6.13 RFS 封装的热阻特性..... 136
6.14 PZS 封装的热阻特性..... 137
6.15 散热设计注意事项..... 137
6.16 系统..... 138
6.17 C29x 模拟外设..... 188
6.18 C29x 控制外设..... 236
6.19 C29x 通信外设..... 255
7 详细说明..... 289
7.1 概述..... 289
7.2 功能方框图..... 290
7.3 错误信令模块 (ESM_C29)..... 292
7.4 错误聚合器..... 294
7.5 存储器..... 297
7.6 标识..... 321
7.7 引导 ROM..... 322
7.8 安全模块和加密加速器..... 336
7.9 C29x 子系统..... 341
7.10 锁步比较模块 (LCM)..... 356
8 应用、实施和布局..... 357
8.1 参考设计..... 357
9 器件和文档支持..... 358
9.1 器件命名规则..... 358
9.2 标识..... 359
9.3 工具与软件..... 361
9.4 文档支持..... 362
9.5 支持资源..... 363
9.6 商标..... 363
9.7 静电放电警告..... 363
9.8 术语表..... 364
10 修订历史记录..... 365
11 机械、封装和可订购信息..... 366
11.1 封装信息..... 366
托盘..... 379

ADVANCE INFORMATION

4 器件比较

表 4-1 列出了 F29x 器件的特性。

表 4-1. 器件比较

特性[1]		汽车								商用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx[8]			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
C29x CPU 子系统																
C29x – CPU1	32 位浮点和 Trig 指令	200MHz								200MHz						
C29x – CPU2	32 位浮点和 Trig 指令	200MHz		–	200MHz		锁步			200MHz	–					200MHz
C29x – CPU3	64 位浮点和 Trig 指令	200MHz			–					200MHz						–
支持锁步 (CPU1 可以与 CPU2 锁步执行)		可配置		–	可配置		固定			可配置	–					可配置
RAM (ECC)	M0 (共享 CPU1/CPU2/CPU3)	4KB			4KB					4KB						
	LPAx (程序优化型 CPU1/CPU2)	64KB			64KB					64KB						
	LDAx (数据优化型 CPU1/CPU2，与 HSM 共享)	128KB			128KB					128KB						
	CPAx (程序优化型 CPU1/CPU3)	64KB			64KB					64KB						
	CDAx (数据优化型 CPU1/CPU3)	192KB			–					192KB						–
	总计	452KB			260KB					452KB						260KB
闪存 (ECC)	C29x – CPU1/CPU3	4MB	2MB	4MB	4MB	2MB	1MB	2MB		4MB	4MB	2MB				
	数据组 (支持软件 EEPROM 仿真)	256KB					128KB			256KB						
	固件无线更新 (FOTA) 支持	是								是						
	实时固件更新 (LFU) 支持	是								是						
C29x 系统																
CPU 计时器		每个 CPU 3 个								每个 CPU 3 个						
实时 DMA (RTDMA) – 每个 10 个通道		2 (支持锁步)					1			2 (支持锁步)						
数据日志和跟踪 (DLT) – 0 类		每个 CPU 1 个								每个 CPU 1 个						
增强型实时分析和诊断 (ERAD) - 5 类		每个 CPU 1 个								每个 CPU 1 个						
外部存储器接口 (EMIF)[2]		–									1		–		1	–
嵌入式图形发生器 (EPG)		是								是						
波形分析和诊断 IP (WADI)		2 个实例，每个实例包含 4 个块					–			2 个实例，每个实例包含 4 个块						
窗口化看门狗计时器 (WWD)		每个 CPU 1 个								每个 CPU 1 个						
双时钟比较器 (DCC)		3					1			3						

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性[1]		汽车								商用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx[8]			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
安全与安防																
功能安全型[3]		ASIL D/SIL 3（目标）		ASIL B/SIL 2（目标）[6] ASIL D/SIL 3（目标）[6]	ASIL D/SIL 3（目标）					ASIL D/SIL 3（目标）	ASIL B/SIL 2（目标）[6] ASIL D/SIL 3（目标）[6]			–		ASIL D/SIL 3（目标）
错误信令模块 (ESM)		是								是						
具有 EVITA-full 的硬件安全模块 (HSM)		是 [请参阅*硬件安全模块 (HSM)* 部分]								是 [请参阅*硬件安全模块 (HSM)* 部分]						
JTAG 锁定		是								是						
逻辑开机自检 (LPOST)		是								是						
存储器开机自检 (MPOST)		是								是						
功能安全和信息安全 (SSU) 模块		是								是						
SSU 访问保护区域 (APR)		每个 CPU 64 个								每个 CPU 64 个						
硬件安全管理器 (HSM) 子系统																
Cortex-M4		100MHz								100MHz						
嵌套矢量中断控制器 (NVIC)		64 个中断								64 个中断						
HSM 实时 DMA (RTDMA) – 8 个通道		1								1						
HSM 错误信令模块 (HSM-ESM)		是								是						
双时钟比较器 (DCC)		1								1						
双模计时器 (DMTimer)		2								2						
实时时钟 (RTC) 计数器		1								1						
实时中断 (RTI) 计时器		1								1						
安全启动		是								是				否		是
HSM 窗口化看门狗计时器		1								1						
安全管理器		是								是						
闪存	HSM	512KB					256KB			512KB						
	固件无线更新 (FOTA) 支持	是								是						
RAM	本地	36KB								36KB						
	LDAx（与 C29x 共享）	128KB								128KB						
	邮箱	4KB								4KB						
加密加速器（可映射到 HSM 或 C29x）																
真随机数发生器 (TRNG)		是								是				否		是
确定性随机比特生成器 (DRBG)		是								是				否		是
CRC 引擎		是								是				否		是
对称加密	高级加密标准 (AES)	是								是				否		是
	SM4	是								是				否		是

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

表 4-1. 器件比较（续）

特性[1]		汽车								商用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx[8]			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
非对称加密	公钥加速器 (PKA)：ECC、RSA	是								是				否		是
	SM2	是								是				否		是
哈希函数	基于哈希的消息认证码 (HMAC)	是								是				否		是
	安全哈希算法 (SHA)	是								是				否		是
	MD5	是								是				否		是
	SM3	是								是				否		是
GPIO 引脚、模拟引脚和电源																
内部 3.3V 至 1.25V 稳压器		–			仅 100 引脚 (100MHz)[4]					–						仅 100 引脚 (100MHz)[4]
数字 GPIO	256 焊球 ZEX BGA	110	–	110			–			110			–		110	
	176 引脚 PTS HTQFP	86	–	86			–			86			–		86	
	144 引脚 RFS HTQFP	65								65			–		85	
	100 引脚 PZS HTQFP	46								–			46			
模拟或数字双向 (AGPIO)	256 焊球 ZEX BGA	26	–	26			–			26			–		26	
	176 引脚 PTS HTQFP	26	–	26			–			26			–		26	
	144 引脚 RFS HTQFP	16								16			–		16	
	100 引脚 PZS HTQFP	8								–			8			
模拟或数字输入 (AIO)	256 焊球 ZEX BGA	54	–	54			–			54			–		54	
	176 引脚 PTS HTQFP	28	–	28			–			28			–		28	
	144 引脚 RFS HTQFP	28								28			–		28	
	100 引脚 PZS HTQFP	16								–			16			
总信号引脚（GPIO、AGPIO 和 AIO）	256 焊球 ZEX BGA	190	–	190			–			190			–		190	
	176 引脚 PTS HTQFP	140	–	140			–			140			–		140	
	144 引脚 RFS HTQFP	109								109			–		109	
	100 引脚 PZS HTQFP	70								–			70			
模拟外设[7]																
ADC 16/12 位模块 ADC AB - 4 类	数量	2			2		0			2						
	16 位模式吞吐量	1.19MSPS					–			1.19MSPS						
	16 位模式转换时间[5]	840ns					–			840ns						
	12 位模式吞吐量	3.92MSPS					–			3.92MSPS						
	12 位模式转换时间[5]	255ns					–			255ns						

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性[1]		汽车								商用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx[8]			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
ADC 12 位模块 ADC CDE - 5 类	数量	3					3 ADC A,B,C		4 ADC A、B、C、D	3						
	吞吐量	3.92MSPS					3.95MSPS			3.92MSPS						
	转换时间[5]	255ns					253ns			255ns						
ADC 通道（16 位单端模式）模块 ADC AB	256 焊球 ZEX BGA	32					0			32			–		32	
	176 引脚 PTS HTQFP	26					0			26			–		26	
	144 引脚 RFS HTQFP	21					0			21			–		21	
	100 引脚 PZS HTQFP	12					0			–			12			
ADC 通道（差分模式）模块 ADC AB	256 焊球 ZEX BGA	16					0			16			–		16	
	176 引脚 PTS HTQFP	13					0			13			–		13	
	144 引脚 RFS HTQFP	10					0			10			–		10	
	100 引脚 PZS HTQFP	6					0			–			6			
ADC 通道（12 位单端模式）所有 ADC 模块	256 焊球 ZEX BGA	80					–			80			–		80	
	176 引脚 PTS HTQFP	54					–			54			–		54	
	144 引脚 RFS HTQFP	44								44			–		44	
	100 引脚 PZS HTQFP	24								–			24			
温度传感器		1								1						
缓冲 DAC – 1 类		2					–			2						
CMPSS（两个比较器和两个内部 DAC）– 6 类		12					1		4	12						
控制外设[7]																
可配置逻辑块 (CLB) – 3 类		6 个逻辑块			4 个逻辑块		–			6 个逻辑块						4 个逻辑块
ePWM – 5 类	总通道数	36			24		16			36						24
	支持 HRPWM	36			24		–		16	36						24
eCAP - 3 类	模块总数	6			6		4			6						6
	支持 HRCAP	2（eCAP5、eCAP6）			–					2（eCAP5、eCAP6）						–
eQEP 模块 – 2 类		6			4					6						4
Σ-Δ 滤波器模块 (SDFM) 通道 – 2 类		16 通道（4 个 SDFM 模块）					–			16 通道（4 个 SDFM 模块）						
通信外设[7]																
具有灵活数据速率的 CAN (CAN FD) - 2 类		6			4		3			6						4
用于控制自动化技术的以太网 (EtherCAT)[2]		–								1			–		1	–
快速串行接口 (FSI) RX – 2 类		4			3		2			4						3
快速串行接口 (FSI) TX – 2 类		4			3		2			4						3
内部集成电路 (I2C) – 2 类		2								2						
LIN – 1 类（与 UART 兼容）		2								2						
电源管理总线 (PMBus) 1.1 – 0 类		1					1			1						

ADVANCE INFORMATION

ADVANCE INFORMATION

表 4-1. 器件比较（续）

特性[1]	汽车								商用						
	H859Tx8		H859Dx6	P589Dx5		P329Sxx[8]			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
	H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
高速 UART (HS-UART) – 1 类	6			4		2			6						4
单边沿半字节传输 (SENT) – 1 类	6					4			6						
SPI – 2 类	5								5						

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性[1]		汽车								商用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx[8]			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
封装选项、温度和符合标准																
Q 和 S 温度代码	AEC-Q100 认证	1 级								–						
	结温 (T_J)	-40°C 至 150°C								-40°C 至 150°C						
	自然通风温度 (T_A)	-40°C 至 125°C								-40°C 至 125°C						
	封装选项	256 ZEX 176 PTS 144 RFS 100 PZS	144 RFS 100 PZS	256 ZEX 176 PTS 144 RFS 100 PZS	256 ZEX 176 PTS 144 RFS 100 PZS	256 ZEX 176 PTS 144 RFS 100 PZS	144 RFS 100 PZS			176 PTS 144 RFS	176 PTS 144 RFS	176 PTS 144 RFS	100 PZS	100 PZS	176 PTS 144 RFS	176 PTS 144 RFS 100 PZS
T 温度代码	结温 (T_J)	–								-40°C 至 125°C						
	自然通风温度 (T_A)	–								-40°C 至 105°C						
	封装选项	–								256 ZEX	256 ZEX	256 ZEX	–	–	256 ZEX	256 ZEX

(1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。有关更多信息，请参阅 *C2000 实时微控制器外设参考指南*。
(2) 在 144 引脚封装中，EMIF 和 EtherCAT 不能同时使用。
(3) 仅在使用外部 VREG 时支持
(4) VREG 在 100 引脚器件上受支持，但由于电流限制，CPU 必须在 100MHz 下运行。
(5) 从采样保持窗口开始到下一次转换的采样保持窗口开始之间的时间。
(6) 然而，对于软件相互比较或编码处理等基于软件的安全机制，此类机制的实施和比较质量取决于具体应用，需要由系统集成商决定，以证明安全完整性等级达到 ASIL D/SIL 3。
(7) F29P58x 和 F29P32x GPN 的模块序列化始终以最小数字 (1) 或字母 (A) 开头，然后依次递增。
(8) F29P329Sxx 器件是预发布信息（非预告信息）。

ADVANCE INFORMATION

ADVANCE INFORMATION

4.1 相关产品

TMS320F2837xD 实时双核微控制器

F2837xD 系列为双子系统的性能设定了一个标准。每个子系统由 C28x CPU 和并行控制律加速器 (CLA) 组成，每个子系统的运行频率为 200MHz 。增强性能的是 TMU 和 VCU 加速器。相关功能包括多个 16 位/12 位模式 ADC、DAC、Σ-Δ 滤波器、USB、可配置逻辑块 (CLB)、片上振荡器和所有外设的增强版。F2837xD 可提供高达 1MB 的闪存。其采用 176 引脚 QFP 或 337 引脚 BGA 封装。

TMS320F2837xS 实时微控制器

F2837xS 系列是 F2837xD 的引脚对引脚兼容版本，但仅启用了一个 C28x CPU 和 CLA 子系统。它还采用 100 引脚 QFP，以实现与 TMS320F2807x 系列的兼容性。

TMS320F2838x 实时微控制器

F2838x 系列提供更高的性能、更多的引脚数、更大的闪存存储器大小、更多的外设以及各种连接选项。F2838x 系列包括新一代加速器、ePWM 外设和模拟技术。

TMS320F28P65x 实时微控制器

F28P65x 系列专为高效控制电力电子产品而设计。该器件系列包括更多 ADC 通道，以支持进一步的集成，并具有硬件 ADC 过采样以节省 CPU 带宽。该新型 EPWM 具有 36 个高分辨率 PWM，而且灵活性更高，可支持多相和多级电源架构等新的电源拓扑。其他功能包括高达 1.28MB 的闪存、11 个具有双斜坡发生器的窗口比较器、锁步功能以及一个在 200MHz 下运行的 CLA 模块。F28P65x 系列器件提供 100 引脚 QFP、169 引脚 BGA、176 引脚 QFP 和 256 引脚 BGA 封装型号。

有关从 TMS320F2837x、TMS320F2838x 或 TMS320F28P65x 迁移至 F29H85x 的信息，请参阅 *将 TMS320F2837x、TMS320F2838x、TMS320F28P65x 迁移至 F29H85x* 用户指南。

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能

5.1 引脚图

图 5-1 展示了 256 焊球 ZEX New Fine Pitch Ball Grid Array (nFBGA) 的焊球分配。图 5-2 至图 5-5 按象限显示了 256 焊球 ZEX nFBGA 上的焊球分配。

图 5-6 显示了 176 引脚 PTS Thermally Enhanced Thin Quad Flatpack 上的引脚分配。

图 5-7 显示了 F29H85x 和 F29P58x 的 144 引脚 RFS Thermally Enhanced Thin Quad Flatpack 上的引脚分配。对于 F29P32x，几个引脚上的信号分配将不可用。有关可用多路复用器位置的详细信息，请参阅 引脚属性 (F29P32x) 部分。

图 5-8 显示了 F29H85x 和 F29P58x 的 100 引脚 PZS Thermally Enhanced Thin Quad Flatpack 上的引脚分配。对于 F29P32x，几个引脚上的信号分配将不可用。有关可用多路复用器位置的详细信息，请参阅 引脚属性 (F29P32x) 部分。

ADVANCE INFORMATION

ADVANCE INFORMATION

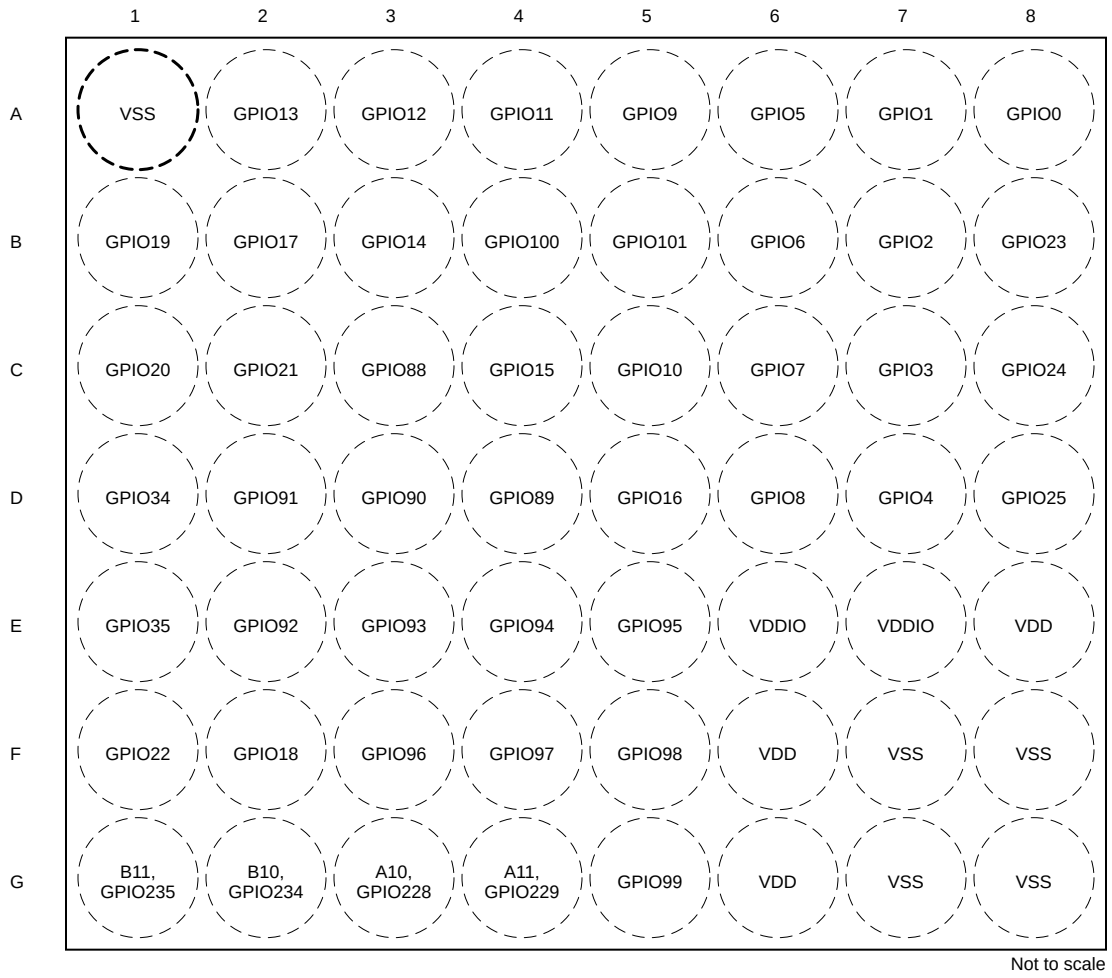
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	VSS	GPIO13	GPIO12	GPIO11	GPIO9	GPIO5	GPIO1	GPIO0	GPIO29	GPIO30	GPIO83	GPIO81	GPIO77	GPIO72	GPIO69	VSS
B	GPIO19	GPIO17	GPIO14	GPIO100	GPIO101	GPIO6	GPIO2	GPIO23	GPIO26	GPIO31	GPIO85	GPIO80	GPIO76	GPIO71	GPIO68	GPIO67
C	GPIO20	GPIO21	GPIO88	GPIO15	GPIO10	GPIO7	GPIO3	GPIO24	GPIO27	GPIO87	GPIO86	GPIO79	GPIO75	GPIO70	GPIO43	GPIO42
D	GPIO34	GPIO91	GPIO90	GPIO89	GPIO16	GPIO8	GPIO4	GPIO25	GPIO28	GPIO82	GPIO84	GPIO78	GPIO74	GPIO46	GPIO47	GPIO103
E	GPIO35	GPIO92	GPIO93	GPIO94	GPIO95	VDDIO	VDDIO	VDD	VDD	VDDIO	VDDIO	VDD	GPIO73	GPIO38	VSSOSC	GPIO220, X1
F	GPIO22	GPIO18	GPIO96	GPIO97	GPIO98	VDD	VSS	VSS	VSS	VSS	VSS	VDD	GPIO127	XRSn	VDDIO	GPIO221, X2
G	B11, GPIO235	B10, GPIO234	A10, GPIO228	A11, GPIO229	GPIO99	VDD	VSS	VSS	VSS	VSS	VSS	VDDIO	GPIO66	GPIO44	GPIO45	GPIO32
H	B9, GPIO233	B8, GPIO232	A9, GPIO227	A8, GPIO226	B7/E27, GPIO231	VDDIO	VSS	VSS	VSS	VSS	VSS	VDDIO	GPIO62	GPIO63	GPIO64	GPIO65
J	B13	B12	B17	B16	B6/E26, GPIO230	VDDIO	VSS	VSS	VSS	VSS	VSS	VDDIO	GPIO61	GPIO105	GPIO60	GPIO59
K	A13	A12	B5/D31	B4/D30	A7/E25, GPIO225	VDDA	VSSA	VSS	VSS	VSS	VSS	VDDIO	GPIO55	GPIO56	GPIO57	GPIO58
L	A5/D29	A4/D28	B3/D27	B2/D26	A6/E24, GPIO224	VDDA	VSSA	VDDIO	VDDIO	VDDIO	VDD	VDD	VDDIO	GPIO52	GPIO53	GPIO54
M	A2/D24	A3/D25	A14/B14 /C14/D14 /E14	A15/B15 /C15/D15 /E15	C3/E31	D13	D12	C6, GPIO236	C7, GPIO237	VDDIO	VDDIO	FLT3	GPIO51	GPIO50	GPIO49	GPIO219 /ERRORSTS
N	VREFLOAB	VREFHIAB	B1/C27	C2/E30	C5	D10	C16	C10	E13	D4/B28, GPIO240	D5/B29, GPIO241	C8, GPIO238	E7/A31, GPIO249	GPIO36	GPIO41	GPIO48
P	A1/C25	B0/C26 /VDAC	E0/A24 /DACB_OUT	E1/A25	C4	D11	C17	C11	E12	E16	E4/A28, GPIO246	C9, GPIO239	E6/A30, GPIO248	GPIO33	GPIO39	GPIO40
R	A0/C24 /DACA_OUT	C0/E28	D0/B24	VREFHICD E	D2/B26	D3/B27	D16	C12	E11	E10	E5/A29, GPIO247	D7/B31, GPIO243	D8/C28, GPIO244	GPIO223 /TDO	TCK	GPIO37
T	VSSA	C1/E29	D1/B25	VREFLOCD E	E2/A26	E3/A27	D17	C13	E9/C31	E8/C30	E17	D6/B30, GPIO242	D9/C29, GPIO245	GPIO222 /TDI	TMS	VSS

Not to scale

A. GPIO 终端上仅显示 GPIO 功能。请参阅 引脚属性（F29H85x 和 F29P58x）部分以了解完整的多路复用信号名称。

图 5-1. 256 焊球 ZEX New Fine Pitch Ball Grid Array（顶视图）

Copyright © 2025 Texas Instruments Incorporated



A. GPIO 终端上仅显示 GPIO 功能。请参阅 引脚属性（F29H85x 和 F29P58x）部分以了解完整的多路复用信号名称。

图 5-2. 256 焊球 ZEX New Fine Pitch Ball Grid Array（顶视图）- [象限 1]

ADVANCE INFORMATION

ADVANCE INFORMATION

	9	10	11	12	13	14	15	16
A	GPIO29	GPIO30	GPIO83	GPIO81	GPIO77	GPIO72	GPIO69	VSS
B	GPIO26	GPIO31	GPIO85	GPIO80	GPIO76	GPIO71	GPIO68	GPIO67
C	GPIO27	GPIO87	GPIO86	GPIO79	GPIO75	GPIO70	GPIO43	GPIO42
D	GPIO28	GPIO82	GPIO84	GPIO78	GPIO74	GPIO46	GPIO47	GPIO103
E	VDD	VDDIO	VDDIO	VDD	GPIO73	GPIO38	VSSOSC	GPIO220, X1
F	VSS	VSS	VSS	VDD	GPIO127	XRSn	VDDIO	GPIO221, X2
G	VSS	VSS	VSS	VDDIO	GPIO66	GPIO44	GPIO45	GPIO32

Not to scale

1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。请参阅 引脚属性（F29H85x 和 F29P58x）部分以了解完整的多路复用信号名称。

图 5-3. 256 焊球 ZEX New Fine Pitch Ball Grid Array（顶视图）- [象限 2]

Copyright © 2025 Texas Instruments Incorporated

	1	2	3	4	5	6	7	8
H	B9, GPIO233	B8, GPIO232	A9, GPIO227	A8, GPIO226	B7/E27, GPIO231	VDDIO	VSS	VSS
J	B13	B12	B17	B16	B6/E26, GPIO230	VDDIO	VSS	VSS
K	A13	A12	B5/D31	B4/D30	A7/E25, GPIO225	VDDA	VSSA	VSS
L	A5/D29	A4/D28	B3/D27	B2/D26	A6/E24, GPIO224	VDDA	VSSA	VDDIO
M	A2/D24	A3/D25	A14/B14 /C14/D14 /E14	A15/B15 /C15/D15 /E15	C3/E31	D13	D12	C6, GPIO236
N	VREFLOAB	VREFHIAB	B1/C27	C2/E30	C5	D10	C16	C10
P	A1/C25	B0/C26 /VDAC	E0/A24 /DACB_OUT	E1/A25	C4	D11	C17	C11
R	A0/C24 /DACA_OUT	C0/E28	D0/B24	VREFHICD E	D2/B26	D3/B27	D16	C12
T	VSSA	C1/E29	D1/B25	VREFLOCD E	E2/A26	E3/A27	D17	C13

Not to scale

1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。请参阅 引脚属性（F29H85x 和 F29P58x） 部分以了解完整的多路复用信号名称。

图 5-4. 256 焊球 ZEX New Fine Pitch Ball Grid Array（顶视图）- [象限 3]

ADVANCE INFORMATION

ADVANCE INFORMATION

	9	10	11	12	13	14	15	16
H	VSS	VSS	VSS	VDDIO	GPIO62	GPIO63	GPIO64	GPIO65
J	VSS	VSS	VSS	VDDIO	GPIO61	GPIO105	GPIO60	GPIO59
K	VSS	VSS	VSS	VDDIO	GPIO55	GPIO56	GPIO57	GPIO58
L	VDDIO	VDDIO	VDD	VDD	VDDIO	GPIO52	GPIO53	GPIO54
M	C7, GPIO237	VDDIO	VDDIO	FLT3	GPIO51	GPIO50	GPIO49	GPIO219 /ERRORSTS
N	E13	D4/B28, GPIO240	D5/B29, GPIO241	C8, GPIO238	E7/A31, GPIO249	GPIO36	GPIO41	GPIO48
P	E12	E16	E4/A28, GPIO246	C9, GPIO239	E6/A30, GPIO248	GPIO33	GPIO39	GPIO40
R	E11	E10	E5/A29, GPIO247	D7/B31, GPIO243	D8/C28, GPIO244	GPIO223 /TDO	TCK	GPIO37
T	E9/C31	E8/C30	E17	D6/B30, GPIO242	D9/C29, GPIO245	GPIO222 /TDI	TMS	VSS

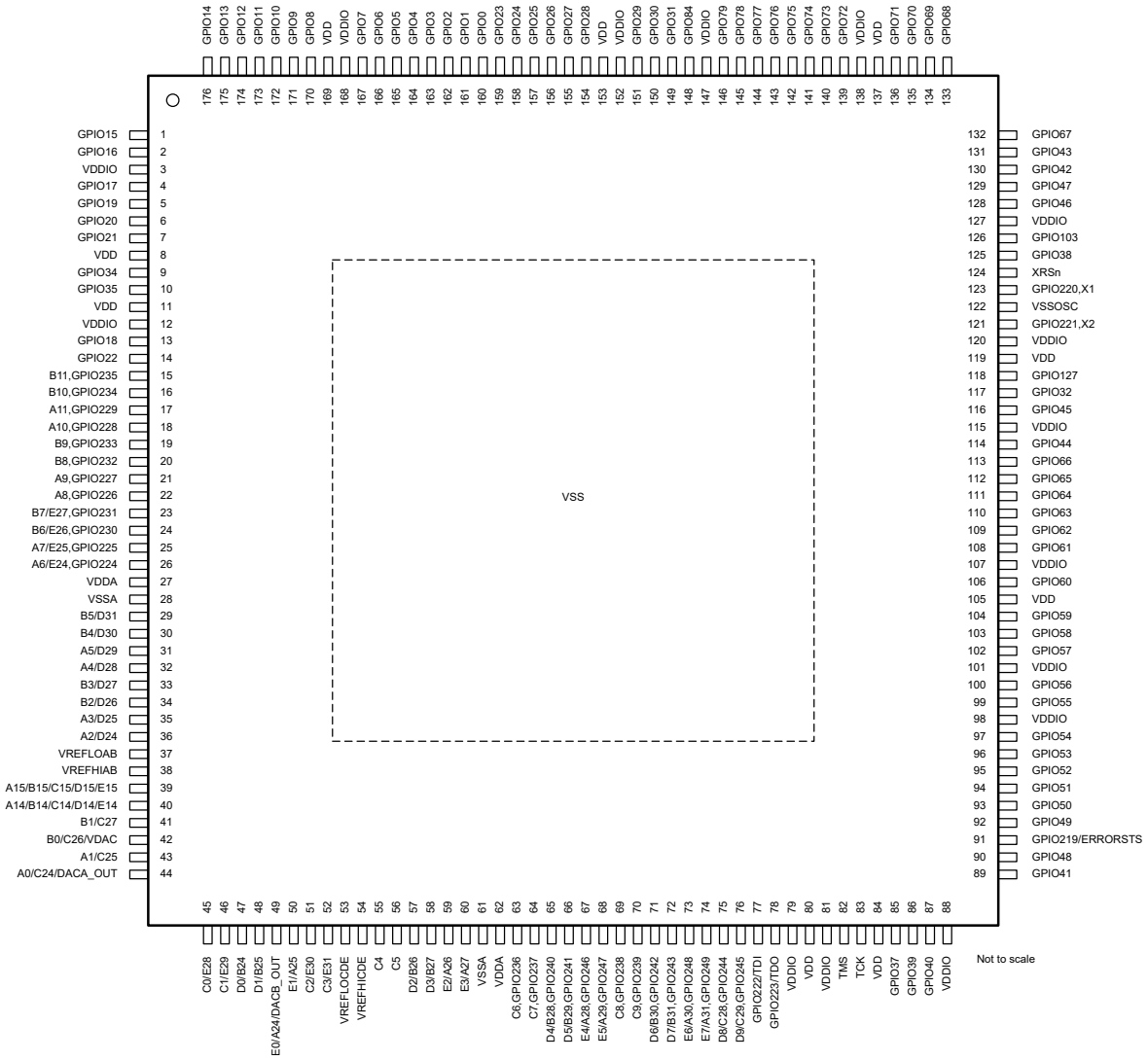
Not to scale

1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。请参阅 引脚属性（F29H85x 和 F29P58x）部分以了解完整的多路复用信号名称。

图 5-5. 256 焊球 ZEX New Fine Pitch Ball Grid Array（顶视图）- [象限 4]

Copyright © 2025 Texas Instruments Incorporated

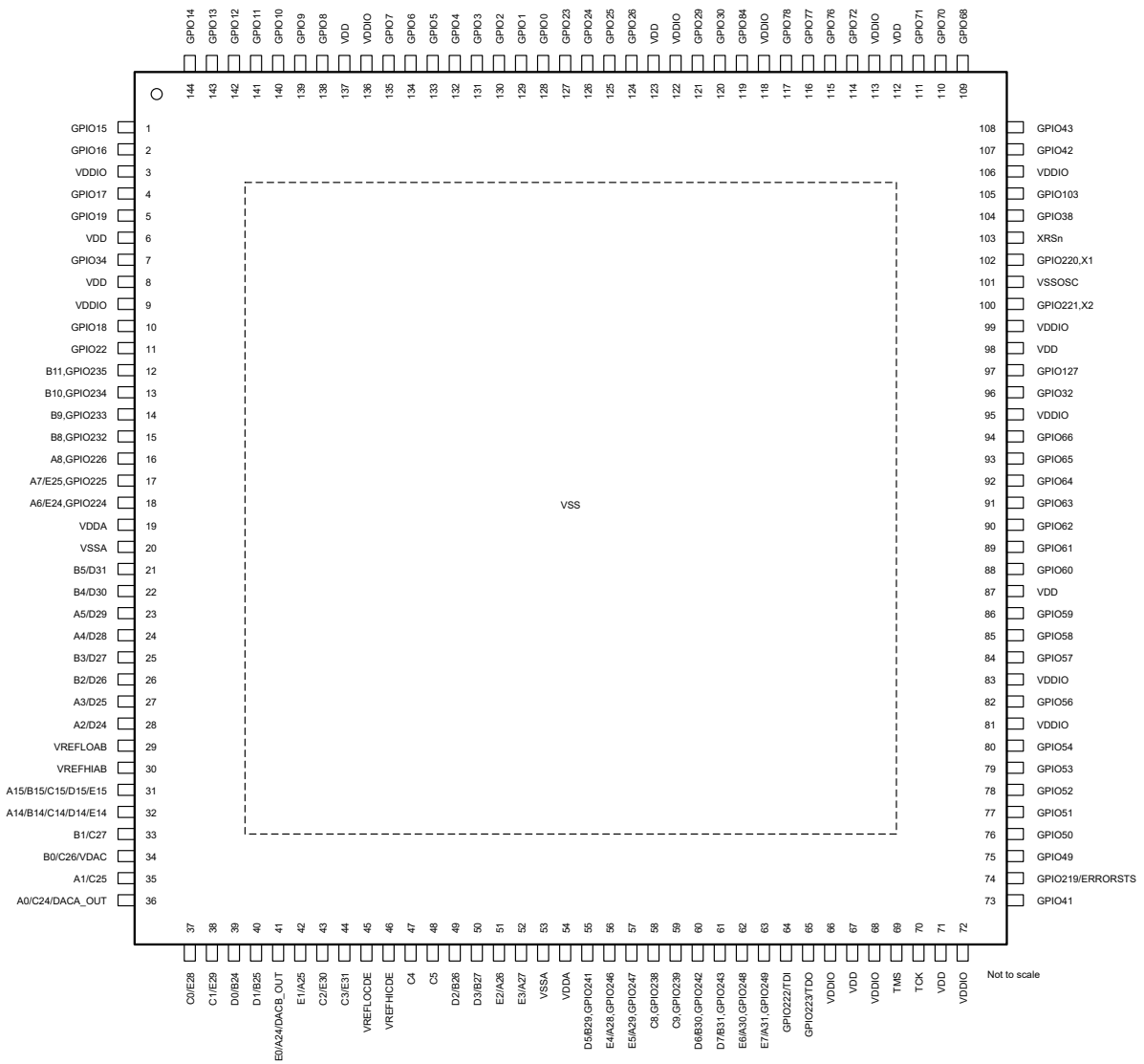


A. GPIO 终端上仅显示 GPIO 功能。请参阅 引脚属性（F29H85x 和 F29P58x）部分以了解完整的多路复用信号名称。

图 5-6. 176 引脚 PTS Thermally Enhanced Thin Quad Flatpack（顶视图）

ADVANCE INFORMATION

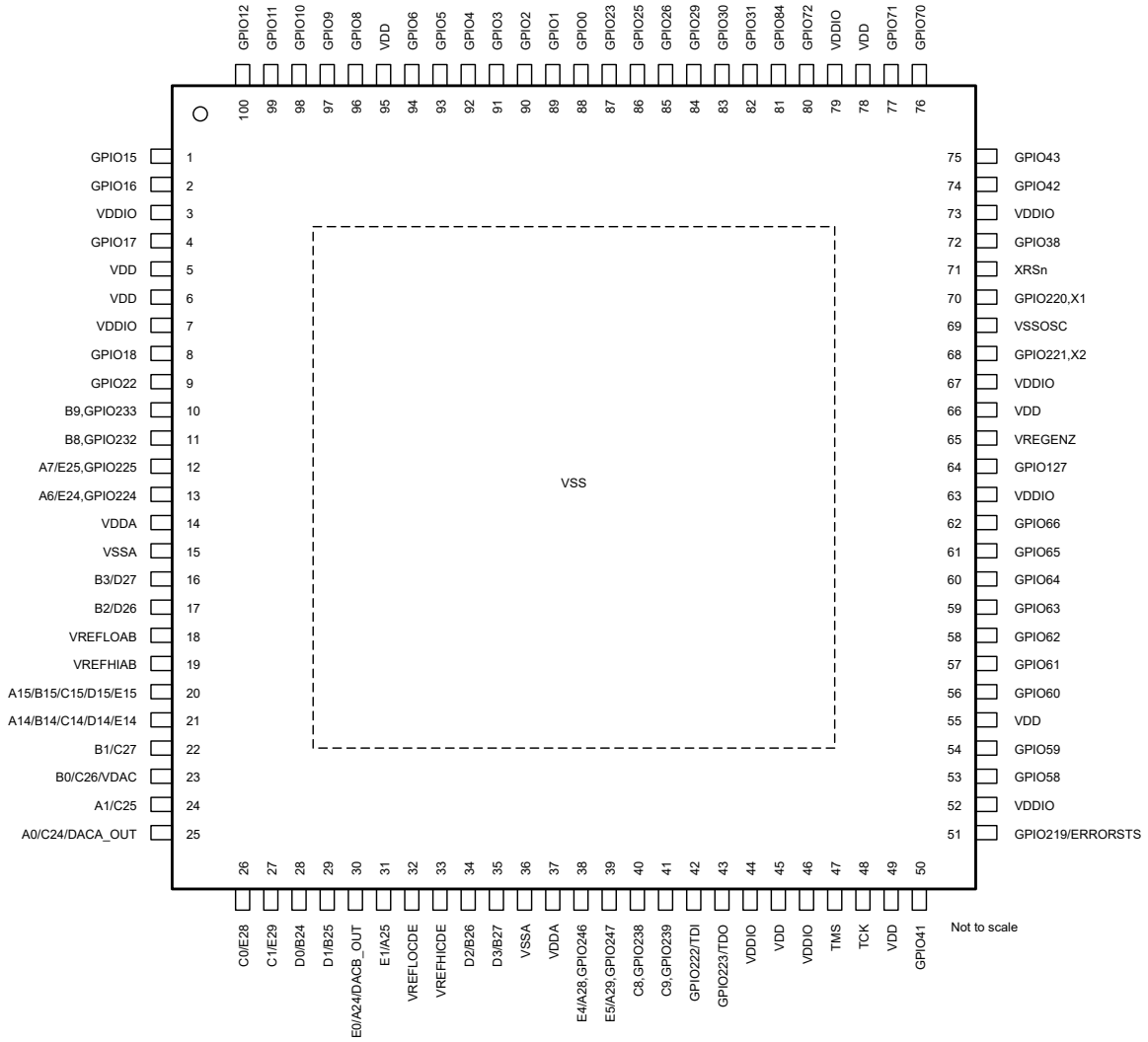
ADVANCE INFORMATION



A. GPIO 终端上仅显示 GPIO 功能。对于 F29H85x 和 F29P58x，请参阅 引脚属性（F29H85x 和 F29P58x） 部分以了解完整的多路复用信号名称。对于 F29P32x，多个引脚上的信号分配将不可用；有关完整的多路复用信号名称，请参阅 引脚属性 (F29P32x) 部分。

图 5-7. 144 引脚 RFS Thermally Enhanced Thin Quad Flatpack（顶视图）

Copyright © 2025 Texas Instruments Incorporated



A. GPIO 终端上仅显示 GPIO 功能。对于 F29H85x 和 F29P58x，请参阅 引脚属性（F29H85x 和 F29P58x） 部分以了解完整的多路复用信号名称。对于 F29P32x，多个引脚上的信号分配将不可用；有关完整的多路复用信号名称，请参阅 引脚属性 (F29P32x) 部分。

图 5-8. 100 引脚 PZS Thermally Enhanced Thin Quad Flatpack（顶视图）

ADVANCE INFORMATION

ADVANCE INFORMATION

5.2 引脚属性（F29H85x 和 F29P58x）

表 5-1. 引脚属性（F29H85x 和 F29P58x）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
模拟							
A0		R1	44	36	25	I	ADC-A 输入 0
C24						I	ADC-C 输入 24
CMP4_HP0_CMP9_HP6						I	CMPSS-4 高电平比较器正输入 0，CMPSS-9 高电平比较器正输入 6
CMP4_LP0_CMP9_LP6						I	CMPSS-4 低电平比较器正输入 0，CMPSS-9 低电平比较器正输入 6
DACA_OUT						O	缓冲 DAC-A 输出。
AIO160	0、4、8、12					I	用于数字输入 160 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A1		P1	43	35	24	I	ADC-A 输入 1
C25						I	ADC-C 输入 25
CMP4_HN0						I	CMPSS-4 高电平比较器负输入 0
CMP4_LN0						I	CMPSS-4 低电平比较器负输入 0
AIO161	0、4、8、12					I	用于数字输入 161 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A2		M1	36	28		I	ADC-A 输入 2
CMP1_HP1						I	CMPSS-1 高电平比较器正输入 1
CMP1_LP1						I	CMPSS-1 低电平比较器正输入 1
CMP9_HN0						I	CMPSS-9 高电平比较器负输入 0
CMP9_LN0						I	CMPSS-9 低电平比较器负输入 0
D24						I	ADC-D 输入 24
AIO162	0、4、8、12					I	用于数字输入 162 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A3		M2	35	27		I	ADC-A 输入 3
CMP1_HN1						I	CMPSS-1 高电平比较器负输入 1
CMP1_HP2						I	CMPSS-1 高电平比较器正输入 2
CMP1_LN1						I	CMPSS-1 低电平比较器负输入 1
CMP1_LP2						I	CMPSS-1 低电平比较器正输入 2
D25						I	ADC-D 输入 25
AIO163	0、4、8、12					I	用于数字输入 163 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A4		L2	32	24		I	ADC-A 输入 4
CMP1_HP0						I	CMPSS-1 高电平比较器正输入 0
CMP1_LP0						I	CMPSS-1 低电平比较器正输入 0
CMP2_HN1						I	CMPSS-2 高电平比较器负输入 1
CMP2_LN1						I	CMPSS-2 低电平比较器负输入 1
D28						I	ADC-D 输入 28
AIO164	0、4、8、12					I	用于数字输入 164 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
A5		L1	31	23		I	ADC-A 输入 5
CMP1_HN0						I	CMPSS-1 高电平比较器负输入 0
CMP1_LN0						I	CMPSS-1 低电平比较器负输入 0
D29						I	ADC-D 输入 29
AIO165	0、4、8、12					I	用于数字输入 165 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A6		L5	26	18	13	I	ADC-A 输入 6
CMP2_HP0						I	CMPSS-2 高电平比较器正输入 0
CMP2_LP0						I	CMPSS-2 低电平比较器正输入 0
CMP12_HN0						I	CMPSS-12 高电平比较器负输入 0
CMP12_LN0						I	CMPSS-12 低电平比较器负输入 0
E24						I	ADC-E 输入 24
GPIO224	0、4、8、12					I/O	通用输入/输出 224。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A7		K5	25	17	12	I	ADC-A 输入 7
CMP2_HN0						I	CMPSS-2 高电平比较器负输入 0
CMP2_LN0						I	CMPSS-2 低电平比较器负输入 0
CMP9_HP2						I	CMPSS-9 高电平比较器正输入 2
CMP9_LP2						I	CMPSS-9 低电平比较器正输入 2
E25						I	ADC-E 输入 25
GPIO225	0、4、8、12					I/O	通用输入/输出 225。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A8		H4	22	16		I	ADC-A 输入 8
CMP5_HP4_CMP8_HP3						I	CMPSS-5 高电平比较器正输入 4，CMPSS-8 高电平比较器正输入 3
CMP8_LP3						I	CMPSS-8 低电平比较器正输入 3
GPIO226	0、4、8、12					I/O	通用输入/输出 226。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A9		H3	21			I	ADC-A 输入 9
CMP6_HP4						I	CMPSS-6 高电平比较器正输入 4
GPIO227	0、4、8、12					I/O	通用输入/输出 227。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A10		G3	18			I	ADC-A 输入 10
CMP7_HP4						I	CMPSS-7 高电平比较器正输入 4
GPIO228	0、4、8、12					I/O	通用输入/输出 228。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A11		G4	17			I	ADC-A 输入 11
CMP8_HP4						I	CMPSS-8 高电平比较器正输入 4
GPIO229	0、4、8、12					I/O	通用输入/输出 229。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A12		K2				I	ADC-A 输入 12
CMP1_HP5						I	CMPSS-1 高电平比较器正输入 5
CMP1_LP5						I	CMPSS-1 低电平比较器正输入 5
AIO166	0、4、8、12					I	用于数字输入 166 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
A13						I	ADC-A 输入 13
CMP2_HP5						I	CMPSS-2 高电平比较器正输入 5
CMP2_LP5		K1				I	CMPSS-2 低电平比较器正输入 5
AIO167	0、4、8、12					I	用于数字输入 167 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A14						I	ADC-A 输入 14
B14						I	ADC-B 输入 14
C14						I	ADC-C 输入 14
CMP3_HP5_CMP11_HP6						I	CMPSS-3 高电平比较器正输入 5，CMPSS-11 高电平比较器正输入 6
CMP3_LP5_CMP11_LP6		M3	40	32	21	I	CMPSS-3 低电平比较器正输入 5，CMPSS-11 低电平比较器正输入 6
D14						I	ADC-D 输入 14
E14						I	ADC-E 输入 14
AIO168	0、4、8、12					I	用于数字输入 168 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A15						I	ADC-A 输入 15
B15						I	ADC-B 输入 15
C15						I	ADC-C 输入 15
CMP4_HP5_CMP12_HP6						I	CMPSS-4 高电平比较器正输入 5，CMPSS-12 高电平比较器正输入 6
CMP4_LP5_CMP12_LP6		M4	39	31	20	I	CMPSS-4 低电平比较器正输入 5，CMPSS-12 低电平比较器正输入 6
D15						I	ADC-D 输入 15
E15						I	ADC-E 输入 15
AIO169	0、4、8、12					I	用于数字输入 169 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B0						I	ADC-B 输入 0
C26						I	ADC-C 输入 26
CMP3_HP1_CMP1_HP6						I	CMPSS-3 高电平比较器正输入 1，CMPSS-1 高电平比较器正输入 6
CMP3_LP1_CMP1_LP6		P2	42	34	23	I	CMPSS-3 低电平比较器正输入 1，CMPSS-1 低电平比较器正输入 6
VDAC						I	片上 DAC 的可选外部基准电压。
AIO170	0、4、8、12					I	用于数字输入 170 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B1						I	ADC-B 输入 1
C27						I	ADC-C 输入 27
CMP3_HP2						I	CMPSS-3 高电平比较器正输入 2
CMP3_LP2		N3	41	33	22	I	CMPSS-3 低电平比较器正输入 2
CMP12_LN1_CMP12_HN1						I	CMPSS-12 低电平比较器负输入 1，CMPSS-12 高电平比较器负输入 1
AIO171	0、4、8、12					I	用于数字输入 171 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
B2						I	ADC-B 输入 2
CMP3_HP0_CMP2_HP6						I	CMPSS-3 高电平比较器正输入 0，CMPSS-2 高电平比较器正输入 6
CMP3_LP0_CMP2_LP6		L4	34	26	17	I	CMPSS-3 低电平比较器正输入 0，CMPSS-2 低电平比较器正输入 6
D26						I	ADC-D 输入 26
AIO172	0、4、8、12					I	用于数字输入 172 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B3						I	ADC-B 输入 3
CMP1_HP3						I	CMPSS-1 高电平比较器正输入 3
CMP1_LP3						I	CMPSS-1 低电平比较器正输入 3
CMP3_HN0						I	CMPSS-3 高电平比较器负输入 0
CMP3_LN0		L3	33	25	16	I	CMPSS-3 低电平比较器负输入 0
D27						I	ADC-D 输入 27
AIO173	0、4、8、12					I	用于数字输入 173 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B4						I	ADC-B 输入 4
CMP7_HN1						I	CMPSS-7 高电平比较器负输入 1
CMP7_HP1						I	CMPSS-7 高电平比较器正输入 1
CMP7_LN1						I	CMPSS-7 低电平比较器负输入 1
CMP7_LP1		K4	30	22		I	CMPSS-7 低电平比较器正输入 1
D30						I	ADC-D 输入 30
AIO174	0、4、8、12					I	用于数字输入 174 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B5						I	ADC-B 输入 5
CMP3_HN1						I	CMPSS-3 高电平比较器负输入 1
CMP3_LN1						I	CMPSS-3 低电平比较器负输入 1
CMP7_HP2						I	CMPSS-7 高电平比较器正输入 2
CMP7_LP2		K3	29	21		I	CMPSS-7 低电平比较器正输入 2
D31						I	ADC-D 输入 31
AIO175	0、4、8、12					I	用于数字输入 175 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B6						I	ADC-B 输入 6
CMP9_HP4						I	CMPSS-9 高电平比较器正输入 4
CMP11_HN0						I	CMPSS-11 高电平比较器负输入 0
CMP11_LN0		J5	24			I	CMPSS-11 低电平比较器负输入 0
E26						I	ADC-E 输入 26
GPIO230	0、4、8、12					I/O	通用输入/输出 230。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B7						I	ADC-B 输入 7
CMP10_HP4						I	CMPSS-10 高电平比较器正输入 4
E27		H5	23			I	ADC-E 输入 27
GPIO231	0、4、8、12					I/O	通用输入/输出 231。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
B8		H2	20	15	11	I	ADC-B 输入 8
CMP11_HP4_CMP4_HP6						I	CMPSS-11 高电平比较器正输入 4，CMPSS-4 高电平比较器正输入 6
GPIO232	0、4、8、12					I/O	通用输入/输出 232。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B9		H1	19	14	10	I	ADC-B 输入 9
CMP12_HP4_CMP8_HP6						I	CMPSS-12 高电平比较器正输入 4，CMPSS-8 高电平比较器正输入 6
GPIO233	0、4、8、12					I/O	通用输入/输出 233。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B10		G2	16	13		I	ADC-B 输入 10
CMP5_LP4						I	CMPSS-5 低电平比较器正输入 4
GPIO234	0、4、8、12					I/O	通用输入/输出 234。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B11		G1	15	12		I	ADC-B 输入 11
CMP6_LP4						I	CMPSS-6 低电平比较器正输入 4
GPIO235	0、4、8、12					I/O	通用输入/输出 235。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B12		J2				I	ADC-B 输入 12
CMP7_LP4						I	CMPSS-7 低电平比较器正输入 4
AIO176	0、4、8、12					I	用于数字输入 176 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B13		J1				I	ADC-B 输入 13
CMP8_LP4						I	CMPSS-8 低电平比较器正输入 4
AIO177	0、4、8、12					I	用于数字输入 177 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B16		J4				I	ADC-B 输入 16
CMP9_HP5						I	CMPSS-9 高电平比较器正输入 5
AIO178	0、4、8、12					I	用于数字输入 178 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B17		J3				I	ADC-B 输入 17
CMP10_HP5						I	CMPSS-10 高电平比较器正输入 5
AIO179	0、4、8、12					I	用于数字输入 179 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C0		R2	45	37	26	I	ADC-C 输入 0
CMP10_HP0_CMP5_HP6						I	CMPSS-10 高电平比较器正输入 0，CMPSS-5 高电平比较器正输入 6
CMP10_LP0_CMP5_LP6						I	CMPSS-10 低电平比较器正输入 0，CMPSS-5 低电平比较器正输入 6
E28						I	ADC-E 输入 28
AIO180	0、4、8、12					I	用于数字输入 180 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
C1						I	ADC-C 输入 1
CMP11_HP0_CMP9_HP0						I	CMPSS-11 高电平比较器正输入 0，CMPSS-9 高电平比较器正输入 0
CMP11_LP0_CMP9_LP0		T2	46	38	27	I	CMPSS-11 低电平比较器正输入 0，CMPSS-9 低电平比较器正输入 0
E29						I	ADC-E 输入 29
AIO181	0、4、8、12					I	用于数字输入 181 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C2						I	ADC-C 输入 2
CMP9_HP1						I	CMPSS-9 高电平比较器正输入 1
CMP9_LP1						I	CMPSS-9 低电平比较器正输入 1
CMP11_HN1						I	CMPSS-11 高电平比较器负输入 1
CMP11_LN1		N4	51	43		I	CMPSS-11 低电平比较器负输入 1
E30						I	ADC-E 输入 30
AIO182	0、4、8、12					I	用于数字输入 182 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C3						I	ADC-C 输入 3
CMP9_LP4						I	CMPSS-9 低电平比较器正输入 4
E31		M5	52	44		I	ADC-E 输入 31
AIO183	0、4、8、12					I	用于数字输入 183 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C4						I	ADC-C 输入 4
CMP10_LP4		P5	55	47		I	CMPSS-10 低电平比较器正输入 4
AIO184	0、4、8、12					I	用于数字输入 184 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C5						I	ADC-C 输入 5
CMP11_LP4		N5	56	48		I	CMPSS-11 低电平比较器正输入 4
AIO185	0、4、8、12					I	用于数字输入 185 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C6						I	ADC-C 输入 6
CMP12_LP4		M8	63			I	CMPSS-12 低电平比较器正输入 4
GPIO236	0、4、8、12					I/O	通用输入/输出 236。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C7						I	ADC-C 输入 7
CMP5_HP5		M9	64			I	CMPSS-5 高电平比较器正输入 5
GPIO237	0、4、8、12					I/O	通用输入/输出 237。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C8						I	ADC-C 输入 8
CMP6_HP5_CMP12_HP0						I	CMPSS-6 高电平比较器正输入 5，CMPSS-12 高电平比较器正输入 0
CMP12_LP0		N12	69	58	40	I	CMPSS-12 低电平比较器正输入 0
GPIO238	0、4、8、12					I/O	通用输入/输出 238。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
C9		P12	70	59	41	I	ADC-C 输入 9
CMP7_HP5_CMP9_HP3						I	CMPSS-7 高电平比较器正输入 5，CMPSS-9 高电平比较器正输入 3
CMP9_LP3						I	CMPSS-9 低电平比较器正输入 3
GPIO239	0、4、8、12					I/O	通用输入/输出 239。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C10		N8				I	ADC-C 输入 10
CMP8_HP5						I	CMPSS-8 高电平比较器正输入 5
AIO186	0、4、8、12					I	用于数字输入 186 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C11		P8				I	ADC-C 输入 11
CMP11_HP5						I	CMPSS-11 高电平比较器正输入 5
AIO187	0、4、8、12					I	用于数字输入 187 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C12		R8				I	ADC-C 输入 12
CMP12_HP5						I	CMPSS-12 高电平比较器正输入 5
AIO188	0、4、8、12					I	用于数字输入 188 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C13		T8				I	ADC-C 输入 13
CMP5_LP5						I	CMPSS-5 低电平比较器正输入 5
AIO189	0、4、8、12					I	用于数字输入 189 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C16		N7				I	ADC-C 输入 16
CMP6_LP5						I	CMPSS-6 低电平比较器正输入 5
AIO190	0、4、8、12					I	用于数字输入 190 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C17		P7				I	ADC-C 输入 17
CMP7_LP5						I	CMPSS-7 低电平比较器正输入 5
AIO191	0、4、8、12					I	用于数字输入 191 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B24		R3	47	39	28	I	ADC-B 输入 24
CMP4_HP2_CMP10_HP6						I	CMPSS-4 高电平比较器正输入 2，CMPSS-10 高电平比较器正输入 6
CMP4_LP2_CMP10_LP6						I	CMPSS-4 低电平比较器正输入 2，CMPSS-10 低电平比较器正输入 6
D0						I	ADC-D 输入 0
AIO192	0、4、8、12					I	用于数字输入 192 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B25		T3	48	40	29	I	ADC-B 输入 25
CMP3_LP6_CMP7_LP0						I	CMPSS-3 高电平比较器正输入 6，CMPSS-7 低电平比较器正输入 0
CMP7_HP0_CMP3_HP6						I	CMPSS-7 高电平比较器正输入 0，CMPSS-3 高电平比较器正输入 6
D1						I	ADC-D 输入 1
AIO193	0、4、8、12					I	用于数字输入 193 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
B26		R5	57	49	34	I	ADC-B 输入 26
CMP4_HP3						I	CMPSS-4 高电平比较器正输入 3
CMP4_LP3						I	CMPSS-4 低电平比较器正输入 3
CMP7_HN0						I	CMPSS-7 高电平比较器负输入 0
CMP7_LN0						I	CMPSS-7 低电平比较器负输入 0
D2						I	ADC-D 输入 2
AIO194	0、4、8、12					I	用于数字输入 194 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B27		R6	58	50	35	I	ADC-B 输入 27
CMP8_HP0_CMP10_HP3						I	CMPSS-8 高电平比较器正输入 0，CMPSS-10 高电平比较器正输入 3
CMP10_LP3_CMP8_LP0						I	CMPSS-10 低电平比较器正输入 3，CMPSS-8 低电平比较器正输入 0
D3						I	ADC-D 输入 3
AIO195	0、4、8、12					I	用于数字输入 195 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B28		N10	65			I	ADC-B 输入 28
CMP5_LP3						I	CMPSS-5 低电平比较器正输入 3
CMP8_HN0						I	CMPSS-8 高电平比较器负输入 0
CMP8_LN0						I	CMPSS-8 低电平比较器负输入 0
D4						I	ADC-D 输入 4
GPIO240	0、4、8、12					I/O	通用输入/输出 240。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B29		N11	66	55		I	ADC-B 输入 29
CMP4_HN1						I	CMPSS-4 高电平比较器负输入 1
CMP4_HP1						I	CMPSS-4 高电平比较器正输入 1
CMP4_LN1						I	CMPSS-4 低电平比较器负输入 1
CMP4_LP1						I	CMPSS-4 低电平比较器正输入 1
D5						I	ADC-D 输入 5
GPIO241	0、4、8、12					I/O	通用输入/输出 241。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B30		T12	71	60		I	ADC-B 输入 30
CMP1_HP4						I	CMPSS-1 高电平比较器正输入 4
CMP1_LP4						I	CMPSS-1 低电平比较器正输入 4
D6						I	ADC-D 输入 6
GPIO242	0、4、8、12					I/O	通用输入/输出 242。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B31		R12	72	61		I	ADC-B 输入 31
CMP2_HP4						I	CMPSS-2 高电平比较器正输入 4
CMP2_LP4						I	CMPSS-2 低电平比较器正输入 4
D7						I	ADC-D 输入 7
GPIO243	0、4、8、12					I/O	通用输入/输出 243。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
C28		R13	75			I	ADC-C 输入 28
CMP6_HP0						I	CMPSS-6 高电平比较器正输入 0
CMP6_LP0						I	CMPSS-6 低电平比较器正输入 0
D8						I	ADC-D 输入 8
GPIO244	0、4、8、12					I/O	通用输入/输出 244。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C29		T13	76			I	ADC-C 输入 29
CMP3_LP3						I	CMPSS-3 低电平比较器正输入 3
CMP6_HN0						I	CMPSS-6 高电平比较器负输入 0
CMP6_LN0						I	CMPSS-6 低电平比较器负输入 0
D9						I	ADC-D 输入 9
GPIO245	0、4、8、12					I/O	通用输入/输出 245。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP8_LP5		N6				I	CMPSS-8 低电平比较器正输入 5
D10						I	ADC-D 输入 10
AIO196	0、4、8、12					I	用于数字输入 196 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP9_LP5		P6				I	CMPSS-9 低电平比较器正输入 5
D11						I	ADC-D 输入 11
AIO197	0、4、8、12					I	用于数字输入 197 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP5_HP0		M7				I	CMPSS-5 高电平比较器正输入 0
CMP5_LP0						I	CMPSS-5 低电平比较器正输入 0
CMP10_HN1						I	CMPSS-10 高电平比较器负输入 1
CMP10_LN1						I	CMPSS-10 低电平比较器负输入 1
D12						I	ADC-D 输入 12
AIO198	0、4、8、12					I	用于数字输入 198 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP2_HP3		M6				I	CMPSS-2 高电平比较器正输入 3
CMP2_LP3						I	CMPSS-2 低电平比较器正输入 3
CMP5_HN0						I	CMPSS-5 高电平比较器负输入 0
CMP5_LN0						I	CMPSS-5 低电平比较器负输入 0
D13						I	ADC-D 输入 13
AIO199	0、4、8、12					I	用于数字输入 199 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP10_LP5		R7				I	CMPSS-10 低电平比较器正输入 5
D16						I	ADC-D 输入 16
AIO200	0、4、8、12					I	用于数字输入 200 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP11_LP5		T7				I	CMPSS-11 低电平比较器正输入 5
D17						I	ADC-D 输入 17
AIO201	0、4、8、12					I	用于数字输入 201 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
A24		P3	49	41	30	I	ADC-A 输入 24
CMP6_LP6_CMP12_LP5						I	CMPSS-6 低电平比较器正输入 6，CMPSS-12 低电平比较器正输入 5
DACB_OUT						O	缓冲 DAC-B 输出。
E0						I	ADC-E 输入 0
AIO202	0、4、8、12					I	用于数字输入 202 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A25		P4	50	42	31	I	ADC-A 输入 25
CMP12_HP1_CMP11_HP3						I	CMPSS-12 高电平比较器正输入 1，CMPSS-11 高电平比较器正输入 3
CMP12_LP1_CMP11_LP3						I	CMPSS-12 低电平比较器正输入 1，CMPSS-11 低电平比较器正输入 3
E1						I	ADC-E 输入 1
AIO203	0、4、8、12					I	用于数字输入 203 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A26		T5	59	51		I	ADC-A 输入 26
CMP3_HP4						I	CMPSS-3 高电平比较器正输入 4
CMP3_LP4						I	CMPSS-3 低电平比较器正输入 4
E2						I	ADC-E 输入 2
AIO204	0、4、8、12					I	用于数字输入 204 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A27		T6	60	52		I	ADC-A 输入 27
CMP4_HP4						I	CMPSS-4 高电平比较器正输入 4
CMP4_LP4						I	CMPSS-4 低电平比较器正输入 4
E3						I	ADC-E 输入 3
AIO205	0、4、8、12					I	用于数字输入 205 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A28		P11	67	56	38	I	ADC-A 输入 28
CMP8_HN1						I	CMPSS-8 高电平比较器负输入 1
CMP8_HP1						I	CMPSS-8 高电平比较器正输入 1
CMP8_LN1						I	CMPSS-8 低电平比较器负输入 1
CMP8_LP1						I	CMPSS-8 低电平比较器正输入 1
E4						I	ADC-E 输入 4
GPIO246	0、4、8、12					I/O	通用输入/输出 246。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A29		R11	68	57	39	I	ADC-A 输入 29
CMP8_HP2						I	CMPSS-8 高电平比较器正输入 2
CMP8_LP2						I	CMPSS-8 低电平比较器正输入 2
E5						I	ADC-E 输入 5
GPIO247	0、4、8、12					I/O	通用输入/输出 247。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
A30						I	ADC-A 输入 30
CMP5_HN1						I	CMPSS-5 高电平比较器负输入 1
CMP5_HP1						I	CMPSS-5 高电平比较器正输入 1
CMP5_LN1		P13	73	62		I	CMPSS-5 低电平比较器负输入 1
CMP5_LP1						I	CMPSS-5 低电平比较器正输入 1
E6						I	ADC-E 输入 6
GPIO248	0、4、8、12					I/O	通用输入/输出 248。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A31						I	ADC-A 输入 31
CMP5_HP2						I	CMPSS-5 高电平比较器正输入 2
CMP5_LP2		N13	74	63		I	CMPSS-5 低电平比较器正输入 2
E7						I	ADC-E 输入 7
GPIO249	0、4、8、12					I/O	通用输入/输出 249。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C30						I	ADC-C 输入 30
CMP2_HP1						I	CMPSS-2 高电平比较器正输入 1
CMP2_LP1						I	CMPSS-2 低电平比较器正输入 1
CMP10_HN0						I	CMPSS-10 高电平比较器负输入 0
CMP10_LN0		T10				I	CMPSS-10 低电平比较器负输入 0
E8						I	ADC-E 输入 8
AIO206	0、4、8、12					I	用于数字输入 206 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C31						I	ADC-C 输入 31
CMP2_HP2						I	CMPSS-2 高电平比较器正输入 2
CMP2_LP2						I	CMPSS-2 低电平比较器正输入 2
CMP9_HN1						I	CMPSS-9 高电平比较器负输入 1
CMP9_LN1		T9				I	CMPSS-9 低电平比较器负输入 1
E9						I	ADC-E 输入 9
AIO207	0、4、8、12					I	用于数字输入 207 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP10_HP1						I	CMPSS-10 高电平比较器正输入 1
CMP10_LP1						I	CMPSS-10 低电平比较器正输入 1
E10		R10				I	ADC-E 输入 10
AIO208	0、4、8、12					I	用于数字输入 208 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP11_HP1						I	CMPSS-11 高电平比较器正输入 1
CMP11_LP1						I	CMPSS-11 低电平比较器正输入 1
E11		R9				I	ADC-E 输入 11
AIO209	0、4、8、12					I	用于数字输入 209 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP10_HP2						I	CMPSS-10 高电平比较器正输入 2
CMP10_LP2						I	CMPSS-10 低电平比较器正输入 2
E12		P9				I	ADC-E 输入 12
AIO210	0、4、8、12					I	用于数字输入 210 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
CMP11_HP2		N9				I	CMPSS-11 高电平比较器正输入 2
CMP11_LP2						I	CMPSS-11 低电平比较器正输入 2
E13						I	ADC-E 输入 13
AIO211	0、4、8、12					I	用于数字输入 211 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP6_HP2		P10				I	CMPSS-6 高电平比较器正输入 2
CMP6_LP2						I	CMPSS-6 低电平比较器正输入 2
E16						I	ADC-E 输入 16
AIO212	0、4、8、12					I	用于数字输入 212 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
CMP6_HN1		T11				I	CMPSS-6 高电平比较器负输入 1
CMP6_HP1						I	CMPSS-6 高电平比较器正输入 1
CMP6_LN1						I	CMPSS-6 低电平比较器负输入 1
CMP6_LP1						I	CMPSS-6 低电平比较器正输入 1
E17						I	ADC-E 输入 17
AIO213	0、4、8、12					I	用于数字输入 213 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
VREFHIAB		N2	38	30	19	I	ADC-AB 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚
VREFHICDE		R4	54	46	33	I	ADC-CDE 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚
VREFLOAB		N1	37	29	18	I	ADC-AB 低基准电压
VREFLOCDE		T4	53	45	32	I	ADC-CDE 低基准电压
GPIO							
AIO160	0、4、8、12	R1	44	36	25	I	用于数字输入 160 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_C2	11					I	SDFM-3 通道 2 时钟输入
AIO161	0、4、8、12	P1	43	35	24	I	用于数字输入 161 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_D2	11					I	SDFM-3 通道 2 数据输入
AIO162	0、4、8、12	M1	36	28		I	用于数字输入 162 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C2	11					I	SDFM-2 通道 2 时钟输入
AIO163	0、4、8、12	M2	35	27		I	用于数字输入 163 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D2	11					I	SDFM-2 通道 2 数据输入
AIO164	0、4、8、12	L2	32	24		I	用于数字输入 164 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C3	11					I	SDFM-2 通道 3 时钟输入
AIO165	0、4、8、12	L1	31	23		I	用于数字输入 165 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D3	11					I	SDFM-2 通道 3 数据输入

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO224	0、4、8、12	L5	26	18	13	I/O	通用输入/输出 224。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM12_A	1					O	ePWM-12 输出 A
EPWM12_B	2					O	ePWM-12 输出 B
SPIB_POCI	5					I/O	SPI-B 外设输出控制器输入 (POCI)
MCAND_RX	6					I	CAN/CAN FD-D 接收
OUTPUTXBAR5	9					O	输出 X-BAR 输出 5
SD4_D2	11					I	SDFM-4 通道 2 数据输入
ADCA_EXTMUXSEL0	14					O	外部 ADC 选择多路复用器输出
ESC_GPO8	15					O	EtherCAT 通用输出 8
GPIO225	0、4、8、12	K5	25	17	12	I/O	通用输入/输出 225。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM11_B	1					O	ePWM-11 输出 B
SPIB_PICO	5					I/O	SPI-B 外设输入控制器输出 (PICO)
I2CB_SDA	6					I/OD	I2C-B 开漏双向数据
UARTF_TX	7					I/O	UART-F 串行数据发送
OUTPUTXBAR4	9					O	输出 X-BAR 输出 4
SD4_C1	11					I	SDFM-4 通道 1 时钟输入
ADCA_EXTMUXSEL1	14					O	外部 ADC 选择多路复用器输出
ESC_GPO9	15					O	EtherCAT 通用输出 9
GPIO226	0、4、8、12	H4	22	16		I/O	通用输入/输出 226。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM10_A	1					O	ePWM-10 输出 A
SPIA_PTE	5					I/O	SPI-A 外设发送使能 (PTE)
MCAND_TX	6					O	CAN/CAN FD-D 传输
UARTF_RX	7					I/O	UART-F 串行数据接收
OUTPUTXBAR1	9					O	输出 X-BAR 输出 1
SD1_C3	10					I	SDFM-1 通道 3 时钟输入
SD1_D3	11					I	SDFM-1 通道 3 数据输入
ADCA_EXTMUXSEL2	14					O	外部 ADC 选择多路复用器输出
ESC_GPO10	15					O	EtherCAT 通用输出 10
GPIO227	0、4、8、12	H3	21			I/O	通用输入/输出 227。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM14_B	1					O	ePWM-14 输出 B
SPIA_CLK	5					I/O	SPI-A 时钟
OUTPUTXBAR4	9					O	输出 X-BAR 输出 4
SD2_C2	11					I	SDFM-2 通道 2 时钟输入
ADCA_EXTMUXSEL3	14					O	外部 ADC 选择多路复用器输出
GPIO228	0、4、8、12	G3	18			I/O	通用输入/输出 228。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM18_A	1					O	ePWM-18 输出 A
EPWM13_A	2					O	ePWM-13 输出 A
SPIB_POCI	5					I/O	SPI-B 外设输出控制器输入 (POCI)
LINB_TX	6					O	LIN-B 发送
OUTPUTXBAR1	9					O	输出 X-BAR 输出 1
SENT4	10					I/O	SENT 输入引脚 4
SD2_D1	11					I	SDFM-2 通道 1 数据输入

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO229	0、4、8、12	G4	17			I/O	通用输入/输出 229。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM17_B	1					O	ePWM-17 输出 B
EPWM12_B	2					O	ePWM-12 输出 B
SPIB_PICO	5					I/O	SPI-B 外设输入控制器输出 (PICO)
MCANA_RX	6					I	CAN/CAN FD-A 接收
SENT3	10					I/O	SENT 输入引脚 3
SD1_C4	11					I	SDFM-1 通道 4 时钟输入
AIO166	0、4、8、12	K2				I	用于数字输入 166 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD4_C1	11					I	SDFM-4 通道 1 时钟输入
AIO167	0、4、8、12	K1				I	用于数字输入 167 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD4_D1	11					I	SDFM-4 通道 1 数据输入
AIO168	0、4、8、12	M3	40	32	21	I	用于数字输入 168 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_C3	11					I	SDFM-3 通道 3 时钟输入
AIO169	0、4、8、12	M4	39	31	20	I	用于数字输入 169 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_D3	11					I	SDFM-3 通道 3 数据输入
AIO170	0、4、8、12	P2	42	34	23	I	用于数字输入 170 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_C4	11					I	SDFM-3 通道 4 时钟输入
AIO171	0、4、8、12	N3	41	33	22	I	用于数字输入 171 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_D4	11					I	SDFM-3 通道 4 数据输入
AIO172	0、4、8、12	L4	34	26	17	I	用于数字输入 172 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C1	11					I	SDFM-1 通道 1 时钟输入
AIO173	0、4、8、12	L3	33	25	16	I	用于数字输入 173 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D1	11					I	SDFM-1 通道 1 数据输入
AIO174	0、4、8、12	K4	30	22		I	用于数字输入 174 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C4	11					I	SDFM-2 通道 4 时钟输入
AIO175	0、4、8、12	K3	29	21		I	用于数字输入 175 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D4	11					I	SDFM-2 通道 4 数据输入
GPIO230	0、4、8、12	J5	24			I/O	通用输入/输出 230。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM11_A	1					O	ePWM-11 输出 A
SYNCOUT	3					O	外部 ePWM 同步脉冲
I2CB_SCL	6					I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR3	9					O	输出 X-BAR 输出 3
SD4_D1	11					I	SDFM-4 通道 1 数据输入
ADCB_EXTMUXSEL0	14					O	外部 ADC 选择多路复用器输出

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO231	0、4、8、12	H5	23			I/O	通用输入/输出 231。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM10_B	1					O	ePWM-10 输出 B
SPIA_PICO	5					I/O	SPI-A 外设输入控制器输出 (PICO)
MCAND_RX	6					I	CAN/CAN FD-D 接收
OUTPUTXBAR2	9					O	输出 X-BAR 输出 2
SD1_C3	11					I	SDFM-1 通道 3 时钟输入
ADCB_EXTMUXSEL1	14					O	外部 ADC 选择多路复用器输出
GPIO232	0、4、8、12	H2	20	15	11	I/O	通用输入/输出 232。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM14_A	1					O	ePWM-14 输出 A
EPWM8_B	2					O	ePWM-8 输出 B
SPIA_POCI	5					I/O	SPI-A 外设输出控制器输入 (POCI)
OUTPUTXBAR3	9					O	输出 X-BAR 输出 3
SENT6	10					I/O	SENT 输入引脚 6
SD3_D1	11					I	SDFM-3 通道 1 数据输入
ESC_PHY0_LINKSTATUS	13					I	EtherCAT PHY-0 链路状态
ADCB_EXTMUXSEL2	14					O	外部 ADC 选择多路复用器输出
ESC_GPO11	15					O	EtherCAT 通用输出 11
GPIO233	0、4、8、12	H1	19	14	10	I/O	通用输入/输出 233。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM18_B	1					O	ePWM-18 输出 B
EPWM13_B	2					O	ePWM-13 输出 B
LINB_RX	6					I	LIN-B 接收
OUTPUTXBAR2	9					O	输出 X-BAR 输出 2
SENT5	10					I/O	SENT 输入引脚 5
SD2_C1	11					I	SDFM-2 通道 1 时钟输入
ESC_PHY1_LINKSTATUS	13					I	EtherCAT PHY-1 链路状态
ADCB_EXTMUXSEL3	14					O	外部 ADC 选择多路复用器输出
ESC_GPO12	15					O	EtherCAT 通用输出 12
GPIO234	0、4、8、12	G2	16	13		I/O	通用输入/输出 234。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM17_A	1					O	ePWM-17 输出 A
EPWM12_A	2					O	ePWM-12 输出 A
SPIB_PTE	5					I/O	SPI-B 外设发送使能 (PTE)
MCANA_TX	6					O	CAN/CAN FD-A 传输
SENT2	10					I/O	SENT 输入引脚 2
SD1_D4	11					I	SDFM-1 通道 4 数据输入
ESC_GPO13	15					O	EtherCAT 通用输出 13
GPIO235	0、4、8、12	G1	15	12		I/O	通用输入/输出 235。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM9_B	1					O	ePWM-9 输出 B
SPIB_CLK	5					I/O	SPI-B 时钟
MCANA_RX	6					I	CAN/CAN FD-A 接收
SENT1	10					I/O	SENT 输入引脚 1
SD1_C1	11					I	SDFM-1 通道 1 时钟输入
ESC_GPO14	15					O	EtherCAT 通用输出 14

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
AIO176	0、4、8、12	J2				I	用于数字输入 176 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD4_C2	11					I	SDFM-4 通道 2 时钟输入
AIO177	0、4、8、12	J1				I	用于数字输入 177 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD4_D2	11					I	SDFM-4 通道 2 数据输入
AIO178	0、4、8、12	J4				I	用于数字输入 178 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD4_C3	11					I	SDFM-4 通道 3 时钟输入
AIO179	0、4、8、12	J3				I	用于数字输入 179 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD4_D3	11					I	SDFM-4 通道 3 数据输入
AIO180	0、4、8、12	R2	45	37	26	I	用于数字输入 180 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C2	11					I	SDFM-1 通道 2 时钟输入
AIO181	0、4、8、12	T2	46	38	27	I	用于数字输入 181 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D2	11					I	SDFM-1 通道 2 数据输入
AIO182	0、4、8、12	N4	51	43		I	用于数字输入 182 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_C1	11					I	SDFM-3 通道 1 时钟输入
AIO183	0、4、8、12	M5	52	44		I	用于数字输入 183 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_D1	11					I	SDFM-3 通道 1 数据输入
AIO184	0、4、8、12	P5	55	47		I	用于数字输入 184 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_C2	11					I	SDFM-3 通道 2 时钟输入
AIO185	0、4、8、12	N5	56	48		I	用于数字输入 185 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_D2	11					I	SDFM-3 通道 2 数据输入
GPIO236	0、4、8、12					I/O	通用输入/输出 236。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM12_B	1					O	ePWM-12 输出 B
EPWM8_A	2					O	ePWM-8 输出 A
LINA_RX	6	M8	63			I	LIN-A 接收
OUTPUTXBAR6	9					O	输出 X-BAR 输出 6
SD4_C2	11					I	SDFM-4 通道 2 时钟输入
ESC_I2C_SDA	13					I/OC	EtherCAT I2C 数据
ADCC_EXTMUXSEL0	14					O	外部 ADC 选择多路复用器输出
GPIO237	0、4、8、12					I/O	通用输入/输出 237。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM14_A	1					O	ePWM-14 输出 A
EPWM8_B	2					O	ePWM-8 输出 B
EPWM17_B	3					O	ePWM-17 输出 B
LINA_TX	6	M9	64			O	LIN-A 发送
I2CA_SDA	7					I/OD	I2C-A 开漏双向数据
OUTPUTXBAR7	9					O	输出 X-BAR 输出 7
SD4_D3	11					I	SDFM-4 通道 3 数据输入
ESC_I2C_SCL	13					I/OC	EtherCAT I2C 时钟
ADCC_EXTMUXSEL1	14					O	外部 ADC 选择多路复用器输出

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO238	0、4、8、12	N12	69	58	40	I/O	通用输入/输出 238。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM15_B	1					O	ePWM-15 输出 B
OUTPUTXBAR6	9					O	输出 X-BAR 输出 6
SD1_D3	10					I	SDFM-1 通道 3 数据输入
SD2_C3	11					I	SDFM-2 通道 3 时钟输入
ESC_SYNC0	13					O	EtherCAT 同步信号输出 0
ADCC_EXTMUXSEL2	14					O	外部 ADC 选择多路复用器输出
ESC_GPO15	15					O	EtherCAT 通用输出 15
GPIO239	0、4、8、12	P12	70	59	41	I/O	通用输入/输出 239。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM16_B	1					O	ePWM-16 输出 B
LINB_TX	6					O	LIN-B 发送
I2CA_SCL	7					I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR8	9					O	输出 X-BAR 输出 8
SD2_C4	11					I	SDFM-2 通道 4 时钟输入
ESC_SYNC1	13					O	EtherCAT 同步信号输出 1
ADCC_EXTMUXSEL3	14					O	外部 ADC 选择多路复用器输出
ESC_GPO16	15					O	EtherCAT 通用输出 16
AIO186	0、4、8、12	N8				I	用于数字输入 186 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C1	11					I	SDFM-1 通道 1 时钟输入
AIO187	0、4、8、12	P8				I	用于数字输入 187 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D1	11					I	SDFM-1 通道 1 数据输入
AIO188	0、4、8、12	R8				I	用于数字输入 188 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C2	11					I	SDFM-1 通道 2 时钟输入
AIO189	0、4、8、12	T8				I	用于数字输入 189 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D2	11					I	SDFM-1 通道 2 数据输入
AIO190	0、4、8、12	N7				I	用于数字输入 190 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C3	11					I	SDFM-1 通道 3 时钟输入
AIO191	0、4、8、12	P7				I	用于数字输入 191 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D3	11					I	SDFM-1 通道 3 数据输入
AIO192	0、4、8、12	R3	47	39	28	I	用于数字输入 192 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C3	11					I	SDFM-1 通道 3 时钟输入
AIO193	0、4、8、12	T3	48	40	29	I	用于数字输入 193 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D3	11					I	SDFM-1 通道 3 数据输入
AIO194	0、4、8、12	R5	57	49	34	I	用于数字输入 194 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C4	11					I	SDFM-1 通道 4 时钟输入
AIO195	0、4、8、12	R6	58	50	35	I	用于数字输入 195 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D4	11					I	SDFM-1 通道 4 数据输入

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO240	0、4、8、12	N10	65			I/O	通用输入/输出 240。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM14_B	1					O	ePWM-14 输出 B
SPID_PICO	5					I/O	SPI-D 外设输入控制器输出 (PICO)
SD4_C3	11					I	SDFM-4 通道 3 时钟输入
ESC_LED_RUN	13					O	EtherCAT 运行 LED
ADCD_EXTMUXSEL0	14					O	外部 ADC 选择多路复用器输出
GPIO241	0、4、8、12	N11	66	55		I/O	通用输入/输出 241。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM8_A	1					O	ePWM-8 输出 A
SPID_CLK	5					I/O	SPI-D 时钟
SD4_D4	11					I	SDFM-4 通道 4 数据输入
ESC_LED_ERR	13					O	EtherCAT 错误 LED
ADCD_EXTMUXSEL1	14					O	外部 ADC 选择多路复用器输出
ESC_GPO17	15					O	EtherCAT 通用输出 17
GPIO242	0、4、8、12	T12	71	60		I/O	通用输入/输出 242。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D4	6					I	SDFM-1 通道 4 数据输入
I2CA_SDA	7					I/OD	I2C-A 开漏双向数据
OUTPUTXBAR9	9					O	输出 X-BAR 输出 9
SENT1	10					I/O	SENT 输入引脚 1
SD2_D2	11					I	SDFM-2 通道 2 数据输入
ESC_LED_STATE_RUN	13					O	EtherCAT LED 状态运行
ADCD_EXTMUXSEL2	14					O	外部 ADC 选择多路复用器输出
ESC_GPO18	15					O	EtherCAT 通用输出 18
GPIO243	0、4、8、12	R12	72	61		I/O	通用输入/输出 243。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM8_B	1					O	ePWM-8 输出 B
SENT2	10					I/O	SENT 输入引脚 2
SD2_D4	11					I	SDFM-2 通道 4 数据输入
ESC_LED_LINK0_ACTIVE	13					O	EtherCAT Link-0 有效
ADCD_EXTMUXSEL3	14					O	外部 ADC 选择多路复用器输出
ESC_GPO19	15					O	EtherCAT 通用输出 19
GPIO244	0、4、8、12	R13	75			I/O	通用输入/输出 244。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIC_PTE	5					I/O	SPI-C 外设发送使能 (PTE)
SENT5	10					I/O	SENT 输入引脚 5
SD4_C4	11					I	SDFM-4 通道 4 时钟输入
ESC_LED_LINK1_ACTIVE	13					O	EtherCAT Link-1 有效
GPIO245	0、4、8、12	T13	76			I/O	通用输入/输出 245。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIC_POCI	5					I/O	SPI-C 外设输出控制器输入 (POCI)
SENT6	10					I/O	SENT 输入引脚 6
SD3_C1	11					I	SDFM-3 通道 1 时钟输入
ESC_PHY_RESETn	13					O	EtherCAT PHY 低电平有效复位
AIO196	0、4、8、12	N6				I	用于数字输入 196 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD4_C4	11					I	SDFM-4 通道 4 时钟输入

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
AIO197	0、4、8、12	P6				I	用于数字输入 197 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD4_D4	11					I	SDFM-4 通道 4 数据输入
AIO198	0、4、8、12	M7				I	用于数字输入 198 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C4	11					I	SDFM-1 通道 4 时钟输入
AIO199	0、4、8、12	M6				I	用于数字输入 199 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D4	11					I	SDFM-1 通道 4 数据输入
AIO200	0、4、8、12	R7				I	用于数字输入 200 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C1	11					I	SDFM-2 通道 1 时钟输入
AIO201	0、4、8、12	T7				I	用于数字输入 201 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D1	11					I	SDFM-2 通道 1 数据输入
AIO202	0、4、8、12	P3	49	41	30	I	用于数字输入 202 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C1	11					I	SDFM-2 通道 1 时钟输入
AIO203	0、4、8、12	P4	50	42	31	I	用于数字输入 203 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D1	11					I	SDFM-2 通道 1 数据输入
AIO204	0、4、8、12	T5	59	51		I	用于数字输入 204 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_C3	11					I	SDFM-3 通道 3 时钟输入
AIO205	0、4、8、12	T6	60	52		I	用于数字输入 205 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_D3	11					I	SDFM-3 通道 3 数据输入
GPIO246	0、4、8、12					I/O	通用输入/输出 246。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM16_A	1					O	ePWM-16 输出 A
SPID_PTE	5					I/O	SPI-D 外设发送使能 (PTE)
MCANC_RX	6	P11	67	56	38	I	CAN/CAN FD-C 接收
OUTPUTXBAR7	9					O	输出 X-BAR 输出 7
SD1_D1	11					I	SDFM-1 通道 1 数据输入
ADCE_EXTMUXSEL0	14					O	外部 ADC 选择多路复用器输出
ESC_GPO20	15					O	EtherCAT 通用输出 20
GPIO247	0、4、8、12					I/O	通用输入/输出 247。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM15_A	1					O	ePWM-15 输出 A
ERRORSTS	2					O	错误状态输出。该信号需要一个外部下拉电阻。
SPID_POCI	5					I/O	SPI-D 外设输出控制器输入 (POCI)
MCANC_RX	6	R11	68	57	39	I	CAN/CAN FD-C 接收
LINA_TX	7					O	LIN-A 发送
OUTPUTXBAR5	9					O	输出 X-BAR 输出 5
SD2_D3	11					I	SDFM-2 通道 3 数据输入
ADCE_EXTMUXSEL1	14					O	外部 ADC 选择多路复用器输出
ESC_GPO21	15					O	EtherCAT 通用输出 21

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO248	0、4、8、12	P13	73	62		I/O	通用输入/输出 248。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EMIF1_SDCKE	2					O	外部存储器接口 1 SDRAM 时钟使能
SPIC_PICO	5					I/O	SPI-C 外设输入控制器输出 (PICO)
SENT3	10					I/O	SENT 输入引脚 3
SD1_C2	11					I	SDFM-1 通道 2 时钟输入
ESC_LED_RUN	13					O	EtherCAT 运行 LED
ADCE_EXTMUXSEL2	14					O	外部 ADC 选择多路复用器输出
ESC_GPO22	15					O	EtherCAT 通用输出 22
GPIO249	0、4、8、12	N13	74	63		I/O	通用输入/输出 249。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIC_CLK	5					I/O	SPI-C 时钟
SENT4	10					I/O	SENT 输入引脚 4
SD1_D2	11					I	SDFM-1 通道 2 数据输入
ESC_PHY0_LINKSTATUS	13					I	EtherCAT PHY-0 链路状态
ADCE_EXTMUXSEL3	14					O	外部 ADC 选择多路复用器输出
ESC_GPO23	15					O	EtherCAT 通用输出 23
AIO206	0、4、8、12	T10				I	用于数字输入 206 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_C4	11					I	SDFM-3 通道 4 时钟输入
AIO207	0、4、8、12	T9				I	用于数字输入 207 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD3_D4	11					I	SDFM-3 通道 4 数据输入
AIO208	0、4、8、12	R10				I	用于数字输入 208 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C2	11					I	SDFM-2 通道 2 时钟输入
AIO209	0、4、8、12	R9				I	用于数字输入 209 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D2	11					I	SDFM-2 通道 2 数据输入
AIO210	0、4、8、12	P9				I	用于数字输入 210 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C3	11					I	SDFM-2 通道 3 时钟输入
AIO211	0、4、8、12	N9				I	用于数字输入 211 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D3	11					I	SDFM-2 通道 3 数据输入
AIO212	0、4、8、12	P10				I	用于数字输入 212 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C4	11					I	SDFM-2 通道 4 时钟输入
AIO213	0、4、8、12	T11				I	用于数字输入 213 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D4	11					I	SDFM-2 通道 4 数据输入

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO0	0、4、8、12					I/O	通用输入/输出 0
EPWM1_A	1					O	ePWM-1 输出 A
EMIF1_A13	2					O	外部存储器接口 1 地址线 13
EMIF1_D0	3					I/O	外部存储器接口 1 数据线 0
MCAND_TX	5					O	CAN/CAN FD-D 传输
I2CA_SDA	6	A8	160	128	88	I/OD	I2C-A 开漏双向数据
UARTE_TX	7					I/O	UART-E 串行数据发送
OUTPUTXBAR9	9					O	输出 X-BAR 输出 9
ESC_TX0_DATA0	10					O	EtherCAT MII 发送 0 数据 0
ESC_GPI0	11					I	EtherCAT 通用输入 0
FSITXA_D0	13					O	FSITX-A 主数据输出
GPIO1	0、4、8、12					I/O	通用输入/输出 1
EPWM1_B	1					O	ePWM-1 输出 B
EMIF1_A14	2					O	外部存储器接口 1 地址线 14
EMIF1_D3	3					I/O	外部存储器接口 1 数据线 3
MCAND_RX	5					I	CAN/CAN FD-D 接收
I2CA_SCL	6	A7	161	129	89	I/OD	I2C-A 开漏双向时钟
UARTE_RX	7					I/O	UART-E 串行数据接收
OUTPUTXBAR10	9					O	输出 X-BAR 输出 10
ESC_TX1_DATA0	10					O	EtherCAT MII 发送 1 数据 0
ESC_GPI1	11					I	EtherCAT 通用输入 1
FSITXA_D1	13					O	FSITX-A 可选附加数据输出
GPIO2	0、4、8、12					I/O	通用输入/输出 2
EPWM2_A	1					O	ePWM-2 输出 A
EMIF1_A15	2					O	外部存储器接口 1 地址线 15
EMIF1_D4	3					I/O	外部存储器接口 1 数据线 4
UARTA_TX	5					I/O	UART-A 串行数据发送
I2CB_SDA	6	B7	162	130	90	I/OD	I2C-B 开漏双向数据
MCANF_TX	7					O	CAN/CAN FD-F 传输
OUTPUTXBAR1	9					O	输出 X-BAR 输出 1
ESC_RX1_ERR	10					I	EtherCAT MII 接收 1 错误
ESC_GPI2	11					I	EtherCAT 通用输入 2
FSITXA_CLK	13					O	FSITX-A 输出时钟
GPIO3	0、4、8、12					I/O	通用输入/输出 3
EPWM2_B	1					O	ePWM-2 输出 B
EMIF1_A16	2					O	外部存储器接口 1 地址线 16
EMIF1_D5	3					I/O	外部存储器接口 1 数据线 5
UARTA_RX	5	C7	163	131	91	I/O	UART-A 串行数据接收
I2CB_SCL	6					I/OD	I2C-B 开漏双向时钟
MCANF_RX	7					I	CAN/CAN FD-F 接收
OUTPUTXBAR2	9					O	输出 X-BAR 输出 2
ESC_GPI3	11					I	EtherCAT 通用输入 3
FSIRXA_D0	13					I	FSIRX-A 主数据输入

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO4	0、4、8、12	D7	164	132	92	I/O	通用输入/输出 4
EPWM3_A	1					O	ePWM-3 输出 A
EMIF1_A17	2					O	外部存储器接口 1 地址线 17
EMIF1_D9	3					I/O	外部存储器接口 1 数据线 9
MCANC_TX	5					O	CAN/CAN FD-C 传输
UARTF_TX	7					I/O	UART-F 串行数据发送
OUTPUTXBAR3	9					O	输出 X-BAR 输出 3
ESC_GPI4	11					I	EtherCAT 通用输入 4
FSIRXA_D1	13					I	FSIRX-A 可选附加数据输入
ERRORSTS	15					O	错误状态输出。该信号需要一个外部下拉电阻。
GPIO5	0、4、8、12	A6	165	133	93	I/O	通用输入/输出 5
EPWM3_B	1					O	ePWM-3 输出 B
EMIF1_A18	2					O	外部存储器接口 1 地址线 18
EMIF1_D10	3					I/O	外部存储器接口 1 数据线 10
MCANC_RX	5					I	CAN/CAN FD-C 接收
UARTF_RX	7					I/O	UART-F 串行数据接收
OUTPUTXBAR11	9					O	输出 X-BAR 输出 11
OUTPUTXBAR3	10					O	输出 X-BAR 输出 3
ESC_GPI5	11					I	EtherCAT 通用输入 5
FSIRXA_CLK	13					I	FSIRX-A 输入时钟
GPIO6	0、4、8、12	B6	166	134	94	I/O	通用输入/输出 6
EPWM4_A	1					O	ePWM-4 输出 A
EMIF1_DQM0	2					O	外部存储器接口 1 字节 0 的输入/输出掩码
EMIF1_CLK	3					O	外部存储器接口 1 时钟
MCANB_TX	5					O	CAN/CAN FD-B 传输
LINA_TX	6					O	LIN-A 发送
OUTPUTXBAR4	9					O	输出 X-BAR 输出 4
SYNCOUT	10					O	外部 ePWM 同步脉冲
ESC_GPI6	11					I	EtherCAT 通用输入 6
FSITXB_D0	13					O	FSITX-B 主数据输出
GPIO7	0、4、8、12	C6	167	135		I/O	通用输入/输出 7
EPWM4_B	1					O	ePWM-4 输出 B
EMIF1_DQM1	2					O	外部存储器接口 1 字节 1 的输入/输出掩码
EMIF1_CAS	3					O	外部存储器接口 1 列地址选通
MCANB_RX	5					I	CAN/CAN FD-B 接收
LINA_RX	6					I	LIN-A 接收
OUTPUTXBAR5	9					O	输出 X-BAR 输出 5
ESC_GPI7	11					I	EtherCAT 通用输入 7
FSITXB_D1	13					O	FSITX-B 可选附加数据输出

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO8	0、4、8、12	D6	170	138	96	I/O	通用输入/输出 8
EPWM5_A	1					O	ePWM-5 输出 A
EMIF1_RAS	2					O	外部存储器接口 1 行地址选通
EPWM4_B	3					O	ePWM-4 输出 B
MCANC_TX	5					O	CAN/CAN FD-C 传输
SPIE_PICO	6					I/O	SPI-E 外设输入控制器输出 (PICO)
UARTD_TX	7					I/O	UART-D 串行数据发送
OUTPUTXBAR12	9					O	输出 X-BAR 输出 12
ADCSOCAO	10					O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 A 输出
ESC_GPO0	11					O	EtherCAT 通用输出 0
FSITXB_CLK	13					O	FSITX-B 输出时钟
FSITXA_D1	14					O	FSITX-A 可选附加数据输出
FSIRXA_D0	15					I	FSIRX-A 主数据输入
GPIO9	0、4、8、12	A5	171	139	97	I/O	通用输入/输出 9
EPWM5_B	1					O	ePWM-5 输出 B
EMIF1_D11	2					I/O	外部存储器接口 1 数据线 11
SPIE_POCI	6					I/O	SPI-E 外设输出控制器输入 (POCI)
UARTD_RX	7					I/O	UART-D 串行数据接收
OUTPUTXBAR6	9					O	输出 X-BAR 输出 6
ESC_TX0_CLK	10					I	EtherCAT MII 发送 0 时钟
ESC_GPO1	11					O	EtherCAT 通用输出 1
FSIRXB_D0	13					I	FSIRX-B 主数据输入
FSITXA_D0	14					O	FSITX-A 主数据输出
FSIRXA_CLK	15					I	FSIRX-A 输入时钟
GPIO10	0、4、8、12	C5	172	140	98	I/O	通用输入/输出 10
EPWM8_A	1					O	ePWM-8 输出 A
PMBUSA_SCL	2					I/OD	PMBus-A 开漏双向时钟
ADCSOCBO	3					O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 B 输出
MCANC_RX	5					I	CAN/CAN FD-C 接收
UARTC_TX	6					I/O	UART-C 串行数据发送
I2CA_SCL	7					I/OD	I2C-A 开漏双向时钟
SENT2	9					I/O	SENT 输入引脚 2
ESC_GPI19	13					I	EtherCAT 通用输入 19
ADCA_EXTMUXSEL2	14					O	外部 ADC 选择多路复用器输出
OUTPUTXBAR13	15					O	输出 X-BAR 输出 13

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO11	0、4、8、12	A4	173	141	99	I/O	通用输入/输出 11
EPWM6_B	1					O	ePWM-6 输出 B
EMIF1_D15	2					I/O	外部存储器接口 1 数据线 15
EPWM7_B	3					O	ePWM-7 输出 B
SPIE_PTE	6					I/O	SPI-E 外设发送使能 (PTE)
SD4_D1	7					I	SDFM-4 通道 1 数据输入
PMBUSA_ALERT	9					I/OD	PMBus-A 开漏双向警报信号
ESC_TX0_DATA1	10					O	EtherCAT MII 发送 0 数据 1
ESC_GPO3	11					O	EtherCAT 通用输出 3
FSIRXB_CLK	13					I	FSIRX-B 输入时钟
FSIRXA_D1	14					I	FSIRX-A 可选附加数据输入
OUTPUTXBAR7	15					O	输出 X-BAR 输出 7
GPIO12	0、4、8、12	A3	174	142	100	I/O	通用输入/输出 12
EPWM7_A	1					O	ePWM-7 输出 A
EMIF1_A1	2					O	外部存储器接口 1 地址线 1
ADCSOCAO	3					O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 A 输出
SPIE_CLK	6					I/O	SPI-E 时钟
SD4_C2	7					I	SDFM-4 通道 2 时钟输入
PMBUSA_CTL	9					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
ESC_TX0_DATA2	10					O	EtherCAT MII 发送 0 数据 2
ESC_GPO4	11					O	EtherCAT 通用输出 4
FSIRXC_D0	13					I	FSIRX-C 主数据输入
FSIRXA_D0	14					I	FSIRX-A 主数据输入
OUTPUTXBAR14	15					O	输出 X-BAR 输出 14
GPIO13	0、4、8、12	A2	175	143		I/O	通用输入/输出 13
EPWM7_B	1					O	ePWM-7 输出 B
EMIF1_CS0n	2					O	外部存储器接口 1 芯片选择 0
EMIF1_D9	3					I/O	外部存储器接口 1 数据线 9
UARTC_RX	6					I/O	UART-C 串行数据接收
SD4_D2	7					I	SDFM-4 通道 2 数据输入
PMBUSA_SDA	9					I/OD	PMBus-A 开漏双向数据
ESC_TX0_DATA3	10					O	EtherCAT MII 发送 0 数据 3
ESC_GPO5	11					O	EtherCAT 通用输出 5
FSIRXC_D1	13					I	FSIRX-C 可选附加数据输入
FSIRXA_CLK	14					I	FSIRX-A 输入时钟
OUTPUTXBAR15	15					O	输出 X-BAR 输出 15

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO14	0、4、8、12					I/O	通用输入/输出 14
EPWM6_A	1					O	ePWM-6 输出 A
EMIF1_D17	2					I/O	外部存储器接口 1 数据线 17
EPWM18_A	3					O	ePWM-18 输出 A
EMIF1_D13	5					I/O	外部存储器接口 1 数据线 13
LINA_TX	6					O	LIN-A 发送
OUTPUTXBAR3	7	B3	176	144		O	输出 X-BAR 输出 3
PMBUSA_SCL	9					I/OD	PMBus-A 开漏双向时钟
ESC_PHY1_LINKSTATUS	10					I	EtherCAT PHY-1 链路状态
ESC_GPO6	11					O	EtherCAT 通用输出 6
FSIRXC_CLK	13					I	FSIRX-C 输入时钟
SD4_C1	14					I	SDFM-4 通道 1 时钟输入
OUTPUTXBAR8	15					O	输出 X-BAR 输出 8
GPIO15	0、4、8、12					I/O	通用输入/输出 15
EPWM8_B	1					O	ePWM-8 输出 B
PMBUSA_CTL	3					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
I2CA_SDA	5					I/OD	I2C-A 开漏双向数据
LINA_RX	6					I	LIN-A 接收
OUTPUTXBAR4	7	C4	1	1	1	O	输出 X-BAR 输出 4
SENT1	9					I/O	SENT 输入引脚 1
ESC_GPO7	10					O	EtherCAT 通用输出 7
ESC_GPI20	13					I	EtherCAT 通用输入 20
ADCA_EXTMUXSEL3	14					O	外部 ADC 选择多路复用器输出
OUTPUTXBAR16	15					O	输出 X-BAR 输出 16
GPIO16	0、4、8、12					I/O	通用输入/输出 16
EPWM9_A	1					O	ePWM-9 输出 A
EMIF1_D29	2					I/O	外部存储器接口 1 数据线 29
EMIF1_BA0	3					O	外部存储器接口 1 存储库地址 0
SPIA_PICO	5					I/O	SPI-A 外设输入控制器输出 (PICO)
MCAND_TX	7	D5	2	2	2	O	CAN/CAN FD-D 传输
ESC_RX1_CLK	10					I	EtherCAT MII 接收 1 时钟
SD1_D1	11					I	SDFM-1 通道 1 数据输入
FSIRXD_D1	13					I	FSIRX-D 可选附加数据输入
FSIRXC_CLK	14					I	FSIRX-C 输入时钟
OUTPUTXBAR7	15					O	输出 X-BAR 输出 7
GPIO17	0、4、8、12					I/O	通用输入/输出 17
EPWM9_B	1					O	ePWM-9 输出 B
EMIF1_DQM3	2					O	外部存储器接口 1 字节 3 的输入/输出掩码
EMIF1_BA1	3					O	外部存储器接口 1 存储库地址 1
SPIA_POCI	5					I/O	SPI-A 外设输出控制器输入 (POCI)
MCAND_RX	7	B2	4	4	4	I	CAN/CAN FD-D 接收
ESC_RX1_DV	10					I	EtherCAT MII 接收 1 数据有效
SD1_C1	11					I	SDFM-1 通道 1 时钟输入
FSIRXD_CLK	13					I	FSIRX-D 输入时钟
UARTC_TX	14					I/O	UART-C 串行数据发送
OUTPUTXBAR8	15					O	输出 X-BAR 输出 8

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO18	0、4、8、12	F2	13	10	8	I/O	通用输入/输出 18
EPWM15_A	1					O	ePWM-15 输出 A
PMBUSA_ALERT	3					I/OD	PMBus-A 开漏双向警报信号
I2CA_SCL	5					I/OD	I2C-A 开漏双向时钟
UARTC_RX	6					I/O	UART-C 串行数据接收
SENT4	9					I/O	SENT 输入引脚 4
ESC_GPI21	13					I	EtherCAT 通用输入 21
ADCB_EXTMUXSEL0	14					O	外部 ADC 选择多路复用器输出
GPIO19	0、4、8、12	B1	5	5		I/O	通用输入/输出 19
EPWM10_B	1					O	ePWM-10 输出 B
EMIF1_CS3n	2					O	外部存储器接口 1 芯片选择 3
ADCSOCBO	3					O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 B 输出
SPIA_PTE	5					I/O	SPI-A 外设发送使能 (PTE)
UARTE_RX	6					I/O	UART-E 串行数据接收
MCANC_TX	7					O	CAN/CAN FD-C 传输
PMBUSA_ALERT	9					I/OD	PMBus-A 开漏双向警报信号
ESC_TX1_DATA3	10					O	EtherCAT MII 发送 1 数据 3
SD1_C2	11					I	SDFM-1 通道 2 时钟输入
GPIO20	0、4、8、12	C1	6			I/O	通用输入/输出 20
EPWM11_A	1					O	ePWM-11 输出 A
EMIF1_BA0	2					O	外部存储器接口 1 存储库地址 0
EMIF1_DQM2	3					O	外部存储器接口 1 字节 2 的输入/输出掩码
SPIC_PICO	6					I/O	SPI-C 外设输入控制器输出 (PICO)
MCANB_RX	7					I	CAN/CAN FD-B 接收
ESC_TX1_DATA2	10					O	EtherCAT MII 发送 1 数据 2
SD1_D3	11					I	SDFM-1 通道 3 数据输入
GPIO21	0、4、8、12	C2	7			I/O	通用输入/输出 21
EPWM11_B	1					O	ePWM-11 输出 B
EMIF1_BA1	2					O	外部存储器接口 1 存储库地址 1
SPIC_POCI	6					I/O	SPI-C 外设输出控制器输入 (POCI)
MCANB_TX	7					O	CAN/CAN FD-B 传输
ESC_TX1_DATA1	10					O	EtherCAT MII 发送 1 数据 1
SD1_C3	11					I	SDFM-1 通道 3 时钟输入
GPIO22	0、4、8、12	F1	14	11	9	I/O	通用输入/输出 22
EPWM12_A	1					O	ePWM-12 输出 A
PMBUSA_SDA	3					I/OD	PMBus-A 开漏双向数据
I2CB_SDA	5					I/OD	I2C-B 开漏双向数据
UARTB_TX	6					I/O	UART-B 串行数据发送
MCANC_TX	7					O	CAN/CAN FD-C 传输
SENT5	9					I/O	SENT 输入引脚 5
ESC_GPO2	10					O	EtherCAT 通用输出 2
ESC_GPI22	13					I	EtherCAT 通用输入 22
ADCB_EXTMUXSEL1	14					O	外部 ADC 选择多路复用器输出

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO23	0、4、8、12	B8	159	127	87	I/O	通用输入/输出 23
EPWM12_B	1					O	ePWM-12 输出 B
PMBUSA_SCL	3					I/OD	PMBus-A 开漏双向时钟
I2CB_SCL	5					I/OD	I2C-B 开漏双向时钟
UARTB_RX	6					I/O	UART-B 串行数据接收
MCANC_RX	7					I	CAN/CAN FD-C 接收
SENT6	9					I/O	SENT 输入引脚 6
ESC_PHY_RESETn	10					O	EtherCAT PHY 低电平有效复位
ESC_GPI23	13					I	EtherCAT 通用输入 23
ADCC_EXTMUXSEL0	14					O	外部 ADC 选择多路复用器输出
GPIO24	0、4、8、12	C8	158	126		I/O	通用输入/输出 24
EPWM13_A	1					O	ePWM-13 输出 A
EMIF1_DQM0	2					O	外部存储器接口 1 字节 0 的输入/输出掩码
SPIB_PICO	5					I/O	SPI-B 外设输入控制器输出 (PICO)
LINB_TX	6					O	LIN-B 发送
MCANE_TX	7					O	CAN/CAN FD-E 传输
ESC_RX0_CLK	10					I	EtherCAT MII 接收 0 时钟
SD2_D1	11					I	SDFM-2 通道 1 数据输入
ESC_GPI24	13					I	EtherCAT 通用输入 24
EPWM2_A	14					O	ePWM-2 输出 A
OUTPUTXBAR1	15					O	输出 X-BAR 输出 1
GPIO25	0、4、8、12	D8	157	125	86	I/O	通用输入/输出 25
EPWM13_B	1					O	ePWM-13 输出 B
EMIF1_DQM1	2					O	外部存储器接口 1 字节 1 的输入/输出掩码
SPIB_POCI	5					I/O	SPI-B 外设输出控制器输入 (POCI)
LINB_RX	6					I	LIN-B 接收
MCANE_RX	7					I	CAN/CAN FD-E 接收
PMBUSA_SDA	9					I/OD	PMBus-A 开漏双向数据
ESC_RX0_DV	10					I	EtherCAT MII 接收 0 数据有效
SD2_C1	11					I	SDFM-2 通道 1 时钟输入
FSITXA_D1	13					O	FSITX-A 可选附加数据输出
EPWM2_B	14					O	ePWM-2 输出 B
OUTPUTXBAR2	15					O	输出 X-BAR 输出 2
GPIO26	0、4、8、12	B9	156	124	85	I/O	通用输入/输出 26
EPWM14_A	1					O	ePWM-14 输出 A
EMIF1_DQM2	2					O	外部存储器接口 1 字节 2 的输入/输出掩码
SPIB_CLK	5					I/O	SPI-B 时钟
UARTE_TX	6					I/O	UART-E 串行数据发送
MCANE_TX	7					O	CAN/CAN FD-E 传输
PMBUSA_CTL	9					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
ESC_RX0_ERR	10					I	EtherCAT MII 接收 0 错误
SD2_D2	11					I	SDFM-2 通道 2 数据输入
FSITXA_D0	13					O	FSITX-A 主数据输出
ESC_MDIO_CLK	14					O	EtherCAT MDIO 时钟
OUTPUTXBAR3	15					O	输出 X-BAR 输出 3

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO27	0、4、8、12	C9	155			I/O	通用输入/输出 27
EPWM14_B	1					O	ePWM-14 输出 B
EMIF1_DQM3	2					O	外部存储器接口 1 字节 3 的输入/输出掩码
SPIB_PTE	5					I/O	SPI-B 外设发送使能 (PTE)
UARTA_TX	6					I/O	UART-A 串行数据发送
EPWM4_A	9					O	ePWM-4 输出 A
ESC_RX0_DATA0	10					I	EtherCAT MII 接收 0 数据 0
SD2_C2	11					I	SDFM-2 通道 2 时钟输入
FSITXA_CLK	13					O	FSITX-A 输出时钟
ESC_MDIO_DATA	14					I/O	EtherCAT MDIO 数据
OUTPUTXBAR4	15					O	输出 X-BAR 输出 4
GPIO28	0、4、8、12	D9	154			I/O	通用输入/输出 28
EPWM15_A	1					O	ePWM-15 输出 A
EMIF1_CS4n	2					O	外部存储器接口 1 芯片选择 4
EMIF1_CS2n	3					O	外部存储器接口 1 芯片选择 2
UARTA_RX	6					I/O	UART-A 串行数据接收
EPWM4_B	9					O	ePWM-4 输出 B
ESC_RX0_DATA1	10					I	EtherCAT MII 接收 0 数据 1
SD2_D3	11					I	SDFM-2 通道 3 数据输入
OUTPUTXBAR5	15					O	输出 X-BAR 输出 5
GPIO29	0、4、8、12	A9	151	121	84	I/O	通用输入/输出 29
EPWM15_B	1					O	ePWM-15 输出 B
PMBUSA_SDA	2					I/OD	PMBus-A 开漏双向数据
UARTE_RX	6					I/O	UART-E 串行数据接收
I2CA_SDA	7					I/OD	I2C-A 开漏双向数据
SENT3	9					I/O	SENT 输入引脚 3
ESC_LATCH0	10					I	EtherCAT 锁存器信号输入 0
ESC_I2C_SDA	13					I/OC	EtherCAT I2C 数据
ADCC_EXTMUXSEL1	14					O	外部 ADC 选择多路复用器输出
OUTPUTXBAR6	15					O	输出 X-BAR 输出 6
GPIO30	0、4、8、12	A10	150	120	83	I/O	通用输入/输出 30
EPWM16_A	1					O	ePWM-16 输出 A
EMIF1_CLK	2					O	外部存储器接口 1 时钟
EMIF1_CS4n	3					O	外部存储器接口 1 芯片选择 4
MCANC_RX	5					I	CAN/CAN FD-C 接收
SPID_PICO	6					I/O	SPI-D 外设输入控制器输出 (PICO)
EMIF1_A12	7					O	外部存储器接口 1 地址线 12
ESC_LATCH1	10					I	EtherCAT 锁存器信号输入 1
SD2_D4	11					I	SDFM-2 通道 4 数据输入
ESC_I2C_SCL	13					I/OC	EtherCAT I2C 时钟
ESC_SYNC1	14					O	EtherCAT 同步信号输出 1
OUTPUTXBAR7	15					O	输出 X-BAR 输出 7

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO31	0、4、8、12					I/O	通用输入/输出 31
EPWM16_B	1					O	ePWM-16 输出 B
EMIF1_WEn	2					O	外部存储器接口 1 写入使能
EMIF1_RNW	3					O	外部存储器接口 1 读/不写
MCANC_TX	5					O	CAN/CAN FD-C 传输
SPID_POCI	6	B10	149		82	I/O	SPI-D 外设输出控制器输入 (POCI)
I2CA_SDA	7					I/OD	I2C-A 开漏双向数据
ESC_RX1_DATA0	10					I	EtherCAT MII 接收 1 数据 0
SD2_C4	11					I	SDFM-2 通道 4 时钟输入
FSITXD_D0	13					O	FSITX-D 主数据输出
OUTPUTXBAR8	15					O	输出 X-BAR 输出 8
GPIO32	0、4、8、12					I/O	通用输入/输出 32
EMIF1_CS0n	2					O	外部存储器接口 1 芯片选择 0
EMIF1_OEn	3					O	外部存储器接口 1 输出使能
SPIA_PICO	5					I/O	SPI-A 外设输入控制器输出 (PICO)
SPID_CLK	6	G16	117	96		I/O	SPI-D 时钟
I2CA_SDA	7					I/OD	I2C-A 开漏双向数据
OUTPUTXBAR9	9					O	输出 X-BAR 输出 9
ESC_RX0_DATA0	10					I	EtherCAT MII 接收 0 数据 0
GPIO33	0、4、8、12					I/O	通用输入/输出 33
EMIF1_RNW	2					O	外部存储器接口 1 读/不写
EMIF1_BA0	3					O	外部存储器接口 1 存储库地址 0
SPIA_POCI	5					I/O	SPI-A 外设输出控制器输入 (POCI)
SPID_PTE	6	P14				I/O	SPI-D 外设发送使能 (PTE)
I2CA_SCL	7					I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR10	9					O	输出 X-BAR 输出 10
ESC_LED_ERR	10					O	EtherCAT 错误 LED
GPIO34	0、4、8、12					I/O	通用输入/输出 34
EPWM18_A	1					O	ePWM-18 输出 A
EMIF1_CS2n	2					O	外部存储器接口 1 芯片选择 2
EMIF1_BA1	3					O	外部存储器接口 1 存储库地址 1
SPIA_CLK	5					I/O	SPI-A 时钟
UARTF_TX	6					I/O	UART-F 串行数据发送
I2CB_SDA	7	D1	9	7		I/OD	I2C-B 开漏双向数据
OUTPUTXBAR11	9					O	输出 X-BAR 输出 11
ESC_LATCH0	10					I	EtherCAT 锁存器信号输入 0
EPWM3_B	13					O	ePWM-3 输出 B
ESC_SYNC0	14					O	EtherCAT 同步信号输出 0
OUTPUTXBAR1	15					O	输出 X-BAR 输出 1

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO35	0、4、8、12	E1	10			I/O	通用输入/输出 35
EPWM18_B	1					O	ePWM-18 输出 B
EMIF1_CS3n	2					O	外部存储器接口 1 芯片选择 3
EMIF1_A0	3					O	外部存储器接口 1 地址线 0
SPIA_PTE	5					I/O	SPI-A 外设发送使能 (PTE)
UARTF_RX	6					I/O	UART-F 串行数据接收
I2CB_SCL	7					I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR12	9					O	输出 X-BAR 输出 12
ESC_LATCH1	10					I	EtherCAT 锁存器信号输入 1
ESC_SYNC1	14					O	EtherCAT 同步信号输出 1
GPIO36	0、4、8、12	N14				I/O	通用输入/输出 36
EMIF1_WAIT	2					I	外部存储器接口 1 异步 SRAM WAIT
EMIF1_A1	3					O	外部存储器接口 1 地址线 1
UARTC_TX	5					I/O	UART-C 串行数据发送
MCANC_RX	6					I	CAN/CAN FD-C 接收
OUTPUTXBAR13	9					O	输出 X-BAR 输出 13
SD1_D1	11					I	SDFM-1 通道 1 数据输入
EMIF1_WEn	14					O	外部存储器接口 1 写入使能
GPIO37	0、4、8、12	R16	85			I/O	通用输入/输出 37
EPWM18_A	1					O	ePWM-18 输出 A
EMIF1_OEn	2					O	外部存储器接口 1 输出使能
EMIF1_A2	3					O	外部存储器接口 1 地址线 2
UARTC_RX	5					I/O	UART-C 串行数据接收
MCANC_TX	6					O	CAN/CAN FD-C 传输
OUTPUTXBAR14	9					O	输出 X-BAR 输出 14
ESC_RX1_DATA1	10					I	EtherCAT MII 接收 1 数据 1
SD1_D2	11					I	SDFM-1 通道 2 数据输入
EMIF1_D24	14					I/O	外部存储器接口 1 数据线 24
OUTPUTXBAR2	15					O	输出 X-BAR 输出 2
GPIO38	0、4、8、12	E14	125	104	72	I/O	通用输入/输出 38
EPWM18_B	1					O	ePWM-18 输出 B
EMIF1_A0	2					O	外部存储器接口 1 地址线 0
EMIF1_A3	3					O	外部存储器接口 1 地址线 3
UARTA_TX	5					I/O	UART-A 串行数据发送
SPIE_PICO	6					I/O	SPI-E 外设输入控制器输出 (PICO)
OUTPUTXBAR15	9					O	输出 X-BAR 输出 15
ESC_RX0_DATA1	10					I	EtherCAT MII 接收 0 数据 1
SD1_D3	11					I	SDFM-1 通道 3 数据输入
FSITXD_D1	13					O	FSITX-D 可选附加数据输出
EMIF1_CS2n	14					O	外部存储器接口 1 芯片选择 2

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO39	0、4、8、12					I/O	通用输入/输出 39
EMIF1_A1	2					O	外部存储器接口 1 地址线 1
EMIF1_A4	3					O	外部存储器接口 1 地址线 4
UARTA_RX	5					I/O	UART-A 串行数据接收
OUTPUTXBAR16	9	P15	86			O	输出 X-BAR 输出 16
ESC_MDIO_DATA	10					I/O	EtherCAT MDIO 数据
SD1_D4	11					I	SDFM-1 通道 4 数据输入
FSIRXD_CLK	13					I	FSIRX-D 输入时钟
ESC_LED_RUN	15					O	EtherCAT 运行 LED
GPIO40	0、4、8、12					I/O	通用输入/输出 40
EPWM13_A	1					O	ePWM-13 输出 A
EMIF1_A2	2					O	外部存储器接口 1 地址线 2
MCANB_RX	5					I	CAN/CAN FD-B 接收
I2CB_SDA	6					I/OD	I2C-B 开漏双向数据
OUTPUTXBAR9	9	P16	87			O	输出 X-BAR 输出 9
ESC_GPO2	10					O	EtherCAT 通用输出 2
SD4_C3	11					I	SDFM-4 通道 3 时钟输入
EPWM1_A	14					O	ePWM-1 输出 A
SD2_C1	15					I	SDFM-2 通道 1 时钟输入
GPIO41	0、4、8、12					I/O	通用输入/输出 41
EPWM13_B	1					O	ePWM-13 输出 B
EMIF1_A3	2					O	外部存储器接口 1 地址线 3
EPWM18_A	3					O	ePWM-18 输出 A
MCANB_TX	5					O	CAN/CAN FD-B 传输
SPIE_POCI	6					I/O	SPI-E 外设输出控制器输入 (POCI)
I2CB_SCL	7	N15	89	73	50	I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR10	9					O	输出 X-BAR 输出 10
ESC_RX0_DATA2	10					I	EtherCAT MII 接收 0 数据 2
SD4_D3	11					I	SDFM-4 通道 3 数据输入
FSIRXD_CLK	13					I	FSIRX-D 输入时钟
EPWM1_B	14					O	ePWM-1 输出 B
SD2_D1	15					I	SDFM-2 通道 1 数据输入
GPIO42	0、4、8、12					I/O	通用输入/输出 42
EPWM14_A	1					O	ePWM-14 输出 A
EMIF1_A2	2					O	外部存储器接口 1 地址线 2
EMIF1_A13	3					O	外部存储器接口 1 地址线 13
UARTA_TX	5					I/O	UART-A 串行数据发送
SPIE_CLK	6					I/O	SPI-E 时钟
I2CA_SDA	7	C16	130	107	74	I/OD	I2C-A 开漏双向数据
OUTPUTXBAR13	9					O	输出 X-BAR 输出 13
SD4_C3	10					I	SDFM-4 通道 3 时钟输入
SD4_C4	11					I	SDFM-4 通道 4 时钟输入
FSIRXD_D0	13					I	FSIRX-D 主数据输入
ADCE_EXTMUXSEL2	14					O	外部 ADC 选择多路复用器输出

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO43	0、4、8、12	C15	131	108	75	I/O	通用输入/输出 43
EPWM14_B	1					O	ePWM-14 输出 B
EMIF1_A4	2					O	外部存储器接口 1 地址线 4
EMIF1_D13	3					I/O	外部存储器接口 1 数据线 13
UARTA_RX	5					I/O	UART-A 串行数据接收
SPIE_PTE	6					I/O	SPI-E 外设发送使能 (PTE)
I2CA_SCL	7					I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR14	9					O	输出 X-BAR 输出 14
SD4_D4	11					I	SDFM-4 通道 4 数据输入
FSIRXD_D1	13					I	FSIRX-D 可选附加数据输入
ADCE_EXTMUXSEL3	14					O	外部 ADC 选择多路复用器输出
GPIO44	0、4、8、12	G14	114			I/O	通用输入/输出 44
EMIF1_A4	2					O	外部存储器接口 1 地址线 4
SPID_POCI	5					I/O	SPI-D 外设输出控制器输入 (POCI)
MCANB_RX	6					I	CAN/CAN FD-B 接收
UARTB_TX	7					I/O	UART-B 串行数据发送
OUTPUTXBAR14	9					O	输出 X-BAR 输出 14
ESC_TX1_CLK	10					I	EtherCAT MII 发送 1 时钟
SD3_C4	11					I	SDFM-3 通道 4 时钟输入
FSIRXD_CLK	13					I	FSIRX-D 输入时钟
GPIO45	0、4、8、12	G15	116			I/O	通用输入/输出 45
EMIF1_A5	2					O	外部存储器接口 1 地址线 5
SPID_PTE	5					I/O	SPI-D 外设发送使能 (PTE)
MCANB_TX	6					O	CAN/CAN FD-B 传输
UARTB_RX	7					I/O	UART-B 串行数据接收
OUTPUTXBAR15	9					O	输出 X-BAR 输出 15
ESC_TX1_ENA	10					I/O	EtherCAT MII 发送 1 使能
SD3_D4	11					I	SDFM-3 通道 4 数据输入
FSIRXD_D0	13					I	FSIRX-D 主数据输入
GPIO46	0、4、8、12	D14	128			I/O	通用输入/输出 46
EPWM4_A	1					O	ePWM-4 输出 A
EMIF1_A6	2					O	外部存储器接口 1 地址线 6
EPWM14_A	3					O	ePWM-14 输出 A
UARTC_TX	5					I/O	UART-C 串行数据发送
MCANE_TX	7					O	CAN/CAN FD-E 传输
ESC_MDIO_CLK	10					O	EtherCAT MDIO 时钟
SD3_C4	11					I	SDFM-3 通道 4 时钟输入
GPIO47	0、4、8、12	D15	129			I/O	通用输入/输出 47
EPWM4_B	1					O	ePWM-4 输出 B
EMIF1_A7	2					O	外部存储器接口 1 地址线 7
EPWM14_B	3					O	ePWM-14 输出 B
UARTC_RX	5					I/O	UART-C 串行数据接收
MCANE_RX	7					I	CAN/CAN FD-E 接收
ESC_MDIO_DATA	10					I/O	EtherCAT MDIO 数据
SD4_C3	11					I	SDFM-4 通道 3 时钟输入

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO48	0、4、8、12	N16	90			I/O	通用输入/输出 48
EMIF1_A8	2					O	外部存储器接口 1 地址线 8
UARTD_TX	5					I/O	UART-D 串行数据发送
OUTPUTXBAR3	9					O	输出 X-BAR 输出 3
ESC_PHY_CLK	10					O	EtherCAT PHY 时钟
SD1_D1	11					I	SDFM-1 通道 1 数据输入
EPWM3_A	13					O	ePWM-3 输出 A
SD2_C2	15					I	SDFM-2 通道 2 时钟输入
GPIO49	0、4、8、12	M15	92	75		I/O	通用输入/输出 49
EMIF1_A9	2					O	外部存储器接口 1 地址线 9
EMIF1_A5	3					O	外部存储器接口 1 地址线 5
UARTD_RX	5					I/O	UART-D 串行数据接收
OUTPUTXBAR4	9					O	输出 X-BAR 输出 4
ESC_TX1_DATA2	10					O	EtherCAT MII 发送 1 数据 2
SD1_C1	11					I	SDFM-1 通道 1 时钟输入
FSITXA_D0	13					O	FSITX-A 主数据输出
SD2_D1	15					I	SDFM-2 通道 1 数据输入
GPIO50	0、4、8、12	M14	93	76		I/O	通用输入/输出 50
EPWM15_A	1					O	ePWM-15 输出 A
EMIF1_A10	2					O	外部存储器接口 1 地址线 10
EMIF1_A6	3					O	外部存储器接口 1 地址线 6
SPIC_PICO	6					I/O	SPI-C 外设输入控制器输出 (PICO)
MCANF_TX	7					O	CAN/CAN FD-F 传输
ESC_TX1_DATA1	10					O	EtherCAT MII 发送 1 数据 1
SD1_D2	11					I	SDFM-1 通道 2 数据输入
FSITXA_D1	13					O	FSITX-A 可选附加数据输出
ESC_GPI25	14					I	EtherCAT 通用输入 25
SD2_D2	15					I	SDFM-2 通道 2 数据输入
GPIO51	0、4、8、12	M13	94	77		I/O	通用输入/输出 51
EPWM15_B	1					O	ePWM-15 输出 B
EMIF1_A11	2					O	外部存储器接口 1 地址线 11
EMIF1_A7	3					O	外部存储器接口 1 地址线 7
SPIC_POCI	6					I/O	SPI-C 外设输出控制器输入 (POCI)
MCANF_RX	7					I	CAN/CAN FD-F 接收
ESC_TX1_CLK	10					I	EtherCAT MII 发送 1 时钟
SD1_C2	11					I	SDFM-1 通道 2 时钟输入
FSITXA_CLK	13					O	FSITX-A 输出时钟
ESC_GPI26	14					I	EtherCAT 通用输入 26
SD2_D3	15					I	SDFM-2 通道 3 数据输入

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO52	0、4、8、12	L14	95	78		I/O	通用输入/输出 52
EPWM16_A	1					O	ePWM-16 输出 A
EMIF1_A12	2					O	外部存储器接口 1 地址线 12
EMIF1_A8	3					O	外部存储器接口 1 地址线 8
UARTD_TX	5					I/O	UART-D 串行数据发送
SPIC_CLK	6					I/O	SPI-C 时钟
ESC_TX1_ENA	10					I/O	EtherCAT MII 发送 1 使能
SD1_D3	11					I	SDFM-1 通道 3 数据输入
FSIRXA_D0	13					I	FSIRX-A 主数据输入
SD2_D4	15					I	SDFM-2 通道 4 数据输入
GPIO53	0、4、8、12	L15	96	79		I/O	通用输入/输出 53
EPWM16_B	1					O	ePWM-16 输出 B
EMIF1_D31	2					I/O	外部存储器接口 1 数据线 31
EMIF1_A9	3					O	外部存储器接口 1 地址线 9
UARTD_RX	5					I/O	UART-D 串行数据接收
SPIC_PTE	6					I/O	SPI-C 外设发送使能 (PTE)
ESC_PHY0_LINKSTATUS	10					I	EtherCAT PHY-0 链路状态
SD1_C3	11					I	SDFM-1 通道 3 时钟输入
FSIRXA_D1	13					I	FSIRX-A 可选附加数据输入
ESC_GPI28	14					I	EtherCAT 通用输入 28
SD1_C1	15					I	SDFM-1 通道 1 时钟输入
GPIO54	0、4、8、12	L16	97	80		I/O	通用输入/输出 54
EMIF1_D30	2					I/O	外部存储器接口 1 数据线 30
EMIF1_A10	3					O	外部存储器接口 1 地址线 10
SPIA_PICO	5					I/O	SPI-A 外设输入控制器输出 (PICO)
ESC_PHY_CLK	10					O	EtherCAT PHY 时钟
SD1_D4	11					I	SDFM-1 通道 4 数据输入
FSIRXA_CLK	13					I	FSIRX-A 输入时钟
ESC_GPI29	14					I	EtherCAT 通用输入 29
SD1_C2	15					I	SDFM-1 通道 2 时钟输入
GPIO55	0、4、8、12	K13	99			I/O	通用输入/输出 55
EPWM16_B	1					O	ePWM-16 输出 B
EMIF1_D29	2					I/O	外部存储器接口 1 数据线 29
EMIF1_D0	3					I/O	外部存储器接口 1 数据线 0
SPIA_POCI	5					I/O	SPI-A 外设输出控制器输入 (POCI)
EMIF1_WAIT	6					I	外部存储器接口 1 异步 SRAM WAIT
ESC_PHY0_LINKSTATUS	10					I	EtherCAT PHY-0 链路状态
SD1_C4	11					I	SDFM-1 通道 4 时钟输入
FSITXB_D0	13					O	FSITX-B 主数据输出
SD1_C3	15					I	SDFM-1 通道 3 时钟输入

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO56	0、4、8、12	K14	100	82		I/O	通用输入/输出 56
EPWM17_A	1					O	ePWM-17 输出 A
EMIF1_D28	2					I/O	外部存储器接口 1 数据线 28
EMIF1_D1	3					I/O	外部存储器接口 1 数据线 1
SPIA_CLK	5					I/O	SPI-A 时钟
MCAND_TX	6					O	CAN/CAN FD-D 传输
I2CA_SDA	7					I/OD	I2C-A 开漏双向数据
ESC_PDI_UC_IRQ	10					O	EtherCAT PDI IRQ 中断线路
SD2_D1	11					I	SDFM-2 通道 1 数据输入
FSITXB_CLK	13					O	FSITX-B 输出时钟
ESC_GPI30	14					I	EtherCAT 通用输入 30
SD1_C4	15					I	SDFM-1 通道 4 时钟输入
GPIO57	0、4、8、12	K15	102	84		I/O	通用输入/输出 57
EPWM17_B	1					O	ePWM-17 输出 B
EMIF1_D27	2					I/O	外部存储器接口 1 数据线 27
EMIF1_D2	3					I/O	外部存储器接口 1 数据线 2
SPIA_PTE	5					I/O	SPI-A 外设发送使能 (PTE)
MCAND_RX	6					I	CAN/CAN FD-D 接收
I2CA_SCL	7					I/OD	I2C-A 开漏双向时钟
ESC_MDIO_DATA	10					I/O	EtherCAT MDIO 数据
SD2_C1	11					I	SDFM-2 通道 1 时钟输入
FSITXB_D1	13					O	FSITX-B 可选附加数据输出
ESC_GPI31	14					I	EtherCAT 通用输入 31
SD3_D3	15					I	SDFM-3 通道 3 数据输入
GPIO58	0、4、8、12	K16	103	85	53	I/O	通用输入/输出 58
EPWM13_A	1					O	ePWM-13 输出 A
EMIF1_D26	2					I/O	外部存储器接口 1 数据线 26
EPWM8_A	3					O	ePWM-8 输出 A
SPIA_PICO	5					I/O	SPI-A 外设输入控制器输出 (PICO)
MCANC_RX	7					I	CAN/CAN FD-C 接收
SENT1	9					I/O	SENT 输入引脚 1
ESC_LED_LINK0_ACTIVE	10					O	EtherCAT Link-0 有效
SD2_D2	11					I	SDFM-2 通道 2 数据输入
FSIRXB_D0	13					I	FSIRX-B 主数据输入
ESC_TX0_DATA3	14					O	EtherCAT MII 发送 0 数据 3
SD2_C2	15					I	SDFM-2 通道 2 时钟输入

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO59	0、4、8、12	J16	104	86	54	I/O	通用输入/输出 59
EPWM5_A	1					O	ePWM-5 输出 A
EMIF1_D25	2					I/O	外部存储器接口 1 数据线 25
EPWM8_B	3					O	ePWM-8 输出 B
SPIA_POCI	5					I/O	SPI-A 外设输出控制器输入 (POCI)
MCANC_TX	7					O	CAN/CAN FD-C 传输
SENT2	9					I/O	SENT 输入引脚 2
ESC_LED_LINK1_ACTIVE	10					O	EtherCAT Link-1 有效
SD2_C2	11					I	SDFM-2 通道 2 时钟输入
FSIRXB_D1	13					I	FSIRX-B 可选附加数据输入
ESC_TX0_ENA	14					I/O	EtherCAT MII 发送 0 使能
SD2_C3	15					I	SDFM-2 通道 3 时钟输入
GPIO60	0、4、8、12	J15	106	88	56	I/O	通用输入/输出 60
EPWM3_B	1					O	ePWM-3 输出 B
EMIF1_D24	2					I/O	外部存储器接口 1 数据线 24
EMIF1_D0	3					I/O	外部存储器接口 1 数据线 0
SPIA_CLK	5					I/O	SPI-A 时钟
OUTPUTXBAR3	6					O	输出 X-BAR 输出 3
SENT3	9					I/O	SENT 输入引脚 3
ESC_LED_ERR	10					O	EtherCAT 错误 LED
ESC_LATCH0	11					I	EtherCAT 锁存器信号输入 0
FSIRXB_CLK	13					I	FSIRX-B 输入时钟
SD2_C4	15					I	SDFM-2 通道 4 时钟输入
GPIO61	0、4、8、12	J13	108	89	57	I/O	通用输入/输出 61
EPWM17_B	1					O	ePWM-17 输出 B
EMIF1_D23	2					I/O	外部存储器接口 1 数据线 23
EMIF1_D6	3					I/O	外部存储器接口 1 数据线 6
SPIA_PTE	5					I/O	SPI-A 外设发送使能 (PTE)
MCANC_RX	7					I	CAN/CAN FD-C 接收
OUTPUTXBAR4	9					O	输出 X-BAR 输出 4
ESC_LED_RUN	10					O	EtherCAT 运行 LED
SD2_C3	11					I	SDFM-2 通道 3 时钟输入
FSITXD_CLK	13					O	FSITX-D 输出时钟
ESC_LATCH1	14					I	EtherCAT 锁存器信号输入 1
GPIO62	0、4、8、12	H13	109	90	58	I/O	通用输入/输出 62
EPWM17_A	1					O	ePWM-17 输出 A
EMIF1_D22	2					I/O	外部存储器接口 1 数据线 22
EMIF1_D7	3					I/O	外部存储器接口 1 数据线 7
MCANC_RX	6					I	CAN/CAN FD-C 接收
MCANC_TX	7					O	CAN/CAN FD-C 传输
SENT4	9					I/O	SENT 输入引脚 4
ESC_LED_STATE_RUN	10					O	EtherCAT LED 状态运行
SD2_D4	11					I	SDFM-2 通道 4 数据输入
FSITXD_D0	13					O	FSITX-D 主数据输出
ESC_MDIO_CLK	14					O	EtherCAT MDIO 时钟

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO63	0、4、8、12	H14	110	91	59	I/O	通用输入/输出 63
EPWM9_A	1					O	ePWM-9 输出 A
EMIF1_D21	2					I/O	外部存储器接口 1 数据线 21
EMIF1_RNW	3					O	外部存储器接口 1 读/不写
SPIB_PICO	5					I/O	SPI-B 外设输入控制器输出 (PICO)
MCANC_TX	6					O	CAN/CAN FD-C 传输
SENT5	9					I/O	SENT 输入引脚 5
ESC_RX1_DATA0	10					I	EtherCAT MII 接收 1 数据 0
SD1_D1	11					I	SDFM-1 通道 1 数据输入
FSITXD_D1	13					O	FSITX-D 可选附加数据输出
ADCD_EXTMUXSEL0	14					O	外部 ADC 选择多路复用器输出
SD2_C4	15					I	SDFM-2 通道 4 时钟输入
GPIO64	0、4、8、12	H15	111	92	60	I/O	通用输入/输出 64
EPWM9_B	1					O	ePWM-9 输出 B
EMIF1_D20	2					I/O	外部存储器接口 1 数据线 20
EMIF1_WAIT	3					I	外部存储器接口 1 异步 SRAM WAIT
SPIB_POCI	5					I/O	SPI-B 外设输出控制器输入 (POCI)
MCANA_TX	6					O	CAN/CAN FD-A 传输
UARTF_TX	7					I/O	UART-F 串行数据发送
SENT6	9					I/O	SENT 输入引脚 6
ESC_RX1_DATA1	10					I	EtherCAT MII 接收 1 数据 1
SD1_C1	11					I	SDFM-1 通道 1 时钟输入
FSITXD_CLK	13					O	FSITX-D 输出时钟
ADCD_EXTMUXSEL1	14					O	外部 ADC 选择多路复用器输出
GPIO65	0、4、8、12	H16	112	93	61	I/O	通用输入/输出 65
EPWM10_A	1					O	ePWM-10 输出 A
EMIF1_D19	2					I/O	外部存储器接口 1 数据线 19
EMIF1_WEn	3					O	外部存储器接口 1 写入使能
SPIB_CLK	5					I/O	SPI-B 时钟
MCANA_RX	6					I	CAN/CAN FD-A 接收
UARTF_RX	7					I/O	UART-F 串行数据接收
ESC_RX1_DATA2	10					I	EtherCAT MII 接收 1 数据 2
SD1_D2	11					I	SDFM-1 通道 2 数据输入
FSITXB_CLK	13					O	FSITX-B 输出时钟
ADCD_EXTMUXSEL2	14					O	外部 ADC 选择多路复用器输出
ESC_GPI13	15					I	EtherCAT 通用输入 13
GPIO66	0、4、8、12	G13	113	94	62	I/O	通用输入/输出 66
EPWM10_B	1					O	ePWM-10 输出 B
EMIF1_D18	2					I/O	外部存储器接口 1 数据线 18
EMIF1_OEn	3					O	外部存储器接口 1 输出使能
SPIB_PTE	5					I/O	SPI-B 外设发送使能 (PTE)
I2CB_SDA	6					I/OD	I2C-B 开漏双向数据
ESC_RX1_DATA3	10					I	EtherCAT MII 接收 1 数据 3
SD1_C2	11					I	SDFM-1 通道 2 时钟输入
FSITXB_D1	13					O	FSITX-B 可选附加数据输出
ADCD_EXTMUXSEL3	14					O	外部 ADC 选择多路复用器输出
ESC_GPI14	15					I	EtherCAT 通用输入 14

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO67	0、4、8、12	B16	132			I/O	通用输入/输出 67
EPWM17_A	1					O	ePWM-17 输出 A
EMIF1_D17	2					I/O	外部存储器接口 1 数据线 17
LINB_TX	5					O	LIN-B 发送
MCAND_TX	6					O	CAN/CAN FD-D 传输
SD1_D3	11					I	SDFM-1 通道 3 数据输入
FSITXB_CLK	13					O	FSITX-B 输出时钟
GPIO68	0、4、8、12	B15	133	109		I/O	通用输入/输出 68
EPWM17_B	1					O	ePWM-17 输出 B
EMIF1_D16	2					I/O	外部存储器接口 1 数据线 16
EMIF1_D4	3					I/O	外部存储器接口 1 数据线 4
LINB_RX	5					I	LIN-B 接收
MCAND_RX	6					I	CAN/CAN FD-D 接收
EMIF1_D13	7					I/O	外部存储器接口 1 数据线 13
ESC_PHY1_LINKSTATUS	10					I	EtherCAT PHY-1 链路状态
SD1_C3	11					I	SDFM-1 通道 3 时钟输入
FSIRXB_D1	13					I	FSIRX-B 可选附加数据输入
ESC_GPI15	15					I	EtherCAT 通用输入 15
GPIO69	0、4、8、12	A15	134			I/O	通用输入/输出 69
EPWM11_A	1					O	ePWM-11 输出 A
EMIF1_D15	2					I/O	外部存储器接口 1 数据线 15
SPIC_PICO	5					I/O	SPI-C 外设输入控制器输出 (PICO)
I2CB_SCL	6					I/OD	I2C-B 开漏双向时钟
ESC_RX1_CLK	10					I	EtherCAT MII 接收 1 时钟
SD1_D4	11					I	SDFM-1 通道 4 数据输入
FSITXB_D0	13					O	FSITX-B 主数据输出
GPIO70	0、4、8、12	C14	135	110	76	I/O	通用输入/输出 70
EPWM11_B	1					O	ePWM-11 输出 B
EMIF1_D14	2					I/O	外部存储器接口 1 数据线 14
SPIC_POCI	5					I/O	SPI-C 外设输出控制器输入 (POCI)
MCANC_RX	6					I	CAN/CAN FD-C 接收
UARTB_TX	7					I/O	UART-B 串行数据发送
ESC_RX1_DV	10					I	EtherCAT MII 接收 1 数据有效
SD1_C4	11					I	SDFM-1 通道 4 时钟输入
FSIRXB_D0	13					I	FSIRX-B 主数据输入
ESC_GPI16	15					I	EtherCAT 通用输入 16

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO71	0、4、8、12	B14	136	111	77	I/O	通用输入/输出 71
EPWM12_A	1					O	ePWM-12 输出 A
EPWM11_A	2					O	ePWM-11 输出 A
EMIF1_D5	3					I/O	外部存储器接口 1 数据线 5
SPIC_CLK	5					I/O	SPI-C 时钟
MCANC_TX	6					O	CAN/CAN FD-C 传输
UARTB_RX	7					I/O	UART-B 串行数据接收
EMIF1_D13	9					I/O	外部存储器接口 1 数据线 13
ESC_RX1_ERR	10					I	EtherCAT MII 接收 1 错误
SD3_D1	11					I	SDFM-3 通道 1 数据输入
FSITXC_CLK	13					O	FSITX-C 输出时钟
FSITXB_D0	14					O	FSITX-B 主数据输出
GPIO72	0、4、8、12	A14	139	114	80	I/O	通用输入/输出 72
EPWM12_B	1					O	ePWM-12 输出 B
EMIF1_D12	2					I/O	外部存储器接口 1 数据线 12
SPIC_PTE	5					I/O	SPI-C 外设发送使能 (PTE)
MCANB_RX	6					I	CAN/CAN FD-B 接收
UARTA_TX	7					I/O	UART-A 串行数据发送
OUTPUTXBAR8	9					O	输出 X-BAR 输出 8
ESC_TX1_DATA3	10					O	EtherCAT MII 发送 1 数据 3
SD3_D2	11					I	SDFM-3 通道 2 数据输入
FSITXC_D0	13					O	FSITX-C 主数据输出
SD3_C1	14					I	SDFM-3 通道 1 时钟输入
GPIO73	0、4、8、12	E13	140			I/O	通用输入/输出 73
EPWM5_B	1					O	ePWM-5 输出 B
EMIF1_D11	2					I/O	外部存储器接口 1 数据线 11
XCLKOUT	3					O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
MCANB_TX	6					O	CAN/CAN FD-B 传输
UARTA_RX	7					I/O	UART-A 串行数据接收
OUTPUTXBAR6	9					O	输出 X-BAR 输出 6
ESC_TX1_DATA2	10					O	EtherCAT MII 发送 1 数据 2
SD4_D4	11					I	SDFM-4 通道 4 数据输入
FSITXC_CLK	13					O	FSITX-C 输出时钟
SD2_D2	14					I	SDFM-2 通道 2 数据输入
GPIO74	0、4、8、12	D13	141			I/O	通用输入/输出 74
EPWM8_A	1					O	ePWM-8 输出 A
EMIF1_D10	2					I/O	外部存储器接口 1 数据线 10
MCANC_TX	6					O	CAN/CAN FD-C 传输
ESC_TX1_DATA1	10					O	EtherCAT MII 发送 1 数据 1
SD1_D4	11					I	SDFM-1 通道 4 数据输入
FSITXA_D0	13					O	FSITX-A 主数据输出
SD2_C2	14					I	SDFM-2 通道 2 时钟输入

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO75	0、4、8、12	C13	142			I/O	通用输入/输出 75
EPWM8_B	1					O	ePWM-8 输出 B
EMIF1_D9	2					I/O	外部存储器接口 1 数据线 9
SPID_CLK	5					I/O	SPI-D 时钟
MCANC_RX	6					I	CAN/CAN FD-C 接收
OUTPUTXBAR16	9					O	输出 X-BAR 输出 16
ESC_TX1_DATA0	10					O	EtherCAT MII 发送 1 数据 0
SD2_D3	14					I	SDFM-2 通道 3 数据输入
GPIO76	0、4、8、12	B13	143	115		I/O	通用输入/输出 76
EPWM9_A	1					O	ePWM-9 输出 A
EMIF1_D8	2					I/O	外部存储器接口 1 数据线 8
UARTD_TX	5					I/O	UART-D 串行数据发送
MCANE_TX	7					O	CAN/CAN FD-E 传输
SD4_D4	9					I	SDFM-4 通道 4 数据输入
ESC_PHY_RESETn	10					O	EtherCAT PHY 低电平有效复位
SD3_C1	11					I	SDFM-3 通道 1 时钟输入
FSIRXC_D0	13					I	FSIRX-C 主数据输入
SD2_C3	14					I	SDFM-2 通道 3 时钟输入
ESC_GPI17	15					I	EtherCAT 通用输入 17
GPIO77	0、4、8、12	A13	144	116		I/O	通用输入/输出 77
EPWM9_B	1					O	ePWM-9 输出 B
EMIF1_D7	2					I/O	外部存储器接口 1 数据线 7
UARTD_RX	5					I/O	UART-D 串行数据接收
MCANE_RX	7					I	CAN/CAN FD-E 接收
SD1_D4	9					I	SDFM-1 通道 4 数据输入
ESC_RX0_CLK	10					I	EtherCAT MII 接收 0 时钟
SD3_D1	11					I	SDFM-3 通道 1 数据输入
FSITXB_D0	13					O	FSITX-B 主数据输出
SD2_D4	14					I	SDFM-2 通道 4 数据输入
GPIO78	0、4、8、12	D12	145	117		I/O	通用输入/输出 78
EPWM10_A	1					O	ePWM-10 输出 A
EMIF1_D6	2					I/O	外部存储器接口 1 数据线 6
EPWM11_A	3					O	ePWM-11 输出 A
MCANF_TX	7					O	CAN/CAN FD-F 传输
SD4_D4	9					I	SDFM-4 通道 4 数据输入
ESC_RX0_DV	10					I	EtherCAT MII 接收 0 数据有效
SD3_C2	11					I	SDFM-3 通道 2 时钟输入
FSITXC_D1	13					O	FSITX-C 可选附加数据输出
SD2_C4	14					I	SDFM-2 通道 4 时钟输入
ESC_GPI18	15					I	EtherCAT 通用输入 18

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO79	0、4、8、12	C12	146			I/O	通用输入/输出 79
EPWM10_B	1					O	ePWM-10 输出 B
EMIF1_D5	2					I/O	外部存储器接口 1 数据线 5
ERRORSTS	5					O	错误状态输出。该信号需要一个外部下拉电阻。
ESC_RX0_ERR	10					I	EtherCAT MII 接收 0 错误
SD3_D2	11					I	SDFM-3 通道 2 数据输入
FSITXC_D0	13					O	FSITX-C 主数据输出
SD2_D1	14					I	SDFM-2 通道 1 数据输入
GPIO80	0、4、8、12	B12				I/O	通用输入/输出 80
EPWM11_A	1					O	ePWM-11 输出 A
EMIF1_D4	2					I/O	外部存储器接口 1 数据线 4
ERRORSTS	5					O	错误状态输出。该信号需要一个外部下拉电阻。
SD1_D4	9					I	SDFM-1 通道 4 数据输入
ESC_RX0_DATA0	10					I	EtherCAT MII 接收 0 数据 0
SD3_C3	11					I	SDFM-3 通道 3 时钟输入
SD2_C1	14					I	SDFM-2 通道 1 时钟输入
GPIO81	0、4、8、12	A12				I/O	通用输入/输出 81
EPWM11_B	1					O	ePWM-11 输出 B
EMIF1_D3	2					I/O	外部存储器接口 1 数据线 3
ESC_RX0_DATA1	10					I	EtherCAT MII 接收 0 数据 1
SD3_D3	11					I	SDFM-3 通道 3 数据输入
GPIO82	0、4、8、12	D10				I/O	通用输入/输出 82
EPWM12_A	1					O	ePWM-12 输出 A
EMIF1_D2	2					I/O	外部存储器接口 1 数据线 2
ESC_RX0_DATA2	10					I	EtherCAT MII 接收 0 数据 2
SD3_C2	11					I	SDFM-3 通道 2 时钟输入
GPIO83	0、4、8、12	A11				I/O	通用输入/输出 83
EPWM12_B	1					O	ePWM-12 输出 B
EMIF1_D1	2					I/O	外部存储器接口 1 数据线 1
ESC_RX0_DATA3	10					I	EtherCAT MII 接收 0 数据 3
SD3_D2	11					I	SDFM-3 通道 2 数据输入
GPIO84	0、4、8、12	D11	148	119	81	I/O	通用输入/输出 84
EPWM12_B	1					O	ePWM-12 输出 B
EMIF1_D1	2					I/O	外部存储器接口 1 数据线 1
EMIF1_CS4n	3					O	外部存储器接口 1 芯片选择 4
SPIC_PICO	5					I/O	SPI-C 外设输入控制器输出 (PICO)
UARTA_TX	6					I/O	UART-A 串行数据发送
MCANF_RX	7					I	CAN/CAN FD-F 接收
ESC_TX0_ENA	10					I/O	EtherCAT MII 发送 0 使能
SD3_C2	11					I	SDFM-3 通道 2 时钟输入
FSITXC_D1	13					O	FSITX-C 可选附加数据输出
ESC_RX0_DATA3	14					I	EtherCAT MII 接收 0 数据 3
ESC_GPO24	15					O	EtherCAT 通用输出 24

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO85	0、4、8、12					I/O	通用输入/输出 85
EPWM13_A	1					O	ePWM-13 输出 A
EMIF1_D0	2					I/O	外部存储器接口 1 数据线 0
UARTA_RX	6	B11				I/O	UART-A 串行数据接收
EMIF1_DQM2	9					O	外部存储器接口 1 字节 2 的输入/输出掩码
ESC_TX0_CLK	10					I	EtherCAT MII 发送 0 时钟
SD3_D3	11					I	SDFM-3 通道 3 数据输入
GPIO86	0、4、8、12					I/O	通用输入/输出 86
EPWM13_B	1					O	ePWM-13 输出 B
EMIF1_A13	2					O	外部存储器接口 1 地址线 13
EMIF1_CAS	3	C11				O	外部存储器接口 1 列地址选通
UARTD_TX	6					I/O	UART-D 串行数据发送
ESC_PHY0_LINKSTATUS	10					I	EtherCAT PHY-0 链路状态
SD3_C3	11					I	SDFM-3 通道 3 时钟输入
GPIO87	0、4、8、12					I/O	通用输入/输出 87
EPWM14_A	1					O	ePWM-14 输出 A
EMIF1_A14	2					O	外部存储器接口 1 地址线 14
EMIF1_RAS	3	C10				O	外部存储器接口 1 行地址选通
UARTD_RX	6					I/O	UART-D 串行数据接收
EMIF1_DQM3	9					O	外部存储器接口 1 字节 3 的输入/输出掩码
ESC_TX0_DATA0	10					O	EtherCAT MII 发送 0 数据 0
SD3_D4	11					I	SDFM-3 通道 4 数据输入
GPIO88	0、4、8、12					I/O	通用输入/输出 88
EPWM14_B	1					O	ePWM-14 输出 B
EMIF1_A15	2					O	外部存储器接口 1 地址线 15
EMIF1_DQM0	3	C3				O	外部存储器接口 1 字节 0 的输入/输出掩码
EMIF1_DQM1	9					O	外部存储器接口 1 字节 1 的输入/输出掩码
ESC_TX0_DATA1	10					O	EtherCAT MII 发送 0 数据 1
SD3_C4	11					I	SDFM-3 通道 4 时钟输入
GPIO89	0、4、8、12					I/O	通用输入/输出 89
EPWM15_A	1					O	ePWM-15 输出 A
EMIF1_A16	2					O	外部存储器接口 1 地址线 16
EMIF1_DQM1	3					O	外部存储器接口 1 字节 1 的输入/输出掩码
SPID_PTE	5	D4				I/O	SPI-D 外设发送使能 (PTE)
EMIF1_CAS	9					O	外部存储器接口 1 列地址选通
ESC_TX0_DATA2	10					O	EtherCAT MII 发送 0 数据 2
SD1_D3	11					I	SDFM-1 通道 3 数据输入
SD4_D1	14					I	SDFM-4 通道 1 数据输入
GPIO90	0、4、8、12					I/O	通用输入/输出 90
EPWM15_B	1					O	ePWM-15 输出 B
EMIF1_A17	2					O	外部存储器接口 1 地址线 17
EMIF1_DQM2	3					O	外部存储器接口 1 字节 2 的输入/输出掩码
SPID_CLK	5	D3				I/O	SPI-D 时钟
EMIF1_RAS	9					O	外部存储器接口 1 行地址选通
ESC_TX0_DATA3	10					O	EtherCAT MII 发送 0 数据 3
SD1_C3	11					I	SDFM-1 通道 3 时钟输入
SD4_C1	14					I	SDFM-4 通道 1 时钟输入

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO91	0、4、8、12	D2				I/O	通用输入/输出 91
EPWM16_A	1					O	ePWM-16 输出 A
EMIF1_A18	2					O	外部存储器接口 1 地址线 18
EMIF1_DQM3	3					O	外部存储器接口 1 字节 3 的输入/输出掩码
SPID_PICO	5					I/O	SPI-D 外设输入控制器输出 (PICO)
I2CA_SDA	6					I/OD	I2C-A 开漏双向数据
MCAND_TX	7					O	CAN/CAN FD-D 传输
EMIF1_DQM2	9					O	外部存储器接口 1 字节 2 的输入/输出掩码
SD4_D2	11					I	SDFM-4 通道 2 数据输入
OUTPUTXBAR9	14					O	输出 X-BAR 输出 9
GPIO92	0、4、8、12	E2				I/O	通用输入/输出 92
EPWM16_B	1					O	ePWM-16 输出 B
EMIF1_A19	2					O	外部存储器接口 1 地址线 19
EMIF1_BA1	3					O	外部存储器接口 1 存储库地址 1
SPID_POCI	5					I/O	SPI-D 外设输出控制器输入 (POCI)
I2CA_SCL	6					I/OD	I2C-A 开漏双向时钟
MCAND_RX	7					I	CAN/CAN FD-D 接收
EMIF1_DQM0	9					O	外部存储器接口 1 字节 0 的输入/输出掩码
FSIRXD_CLK	10					I	FSIRX-D 输入时钟
SD4_C2	11					I	SDFM-4 通道 2 时钟输入
OUTPUTXBAR10	14					O	输出 X-BAR 输出 10
GPIO93	0、4、8、12	E3				I/O	通用输入/输出 93
EPWM17_A	1					O	ePWM-17 输出 A
EMIF1_BA0	3					O	外部存储器接口 1 存储库地址 0
SPID_CLK	5					I/O	SPI-D 时钟
ESC_TX1_CLK	10					I	EtherCAT MII 发送 1 时钟
SD4_D3	11					I	SDFM-4 通道 3 数据输入
OUTPUTXBAR11	14					O	输出 X-BAR 输出 11
GPIO94	0、4、8、12	E4				I/O	通用输入/输出 94
EPWM17_B	1					O	ePWM-17 输出 B
SPID_PTE	5					I/O	SPI-D 外设发送使能 (PTE)
EMIF1_BA1	9					O	外部存储器接口 1 存储库地址 1
ESC_TX1_ENA	10					I/O	EtherCAT MII 发送 1 使能
SD4_C3	11					I	SDFM-4 通道 3 时钟输入
OUTPUTXBAR12	14					O	输出 X-BAR 输出 12
GPIO95	0、4、8、12	E5				I/O	通用输入/输出 95
EPWM18_A	1					O	ePWM-18 输出 A
ESC_GPO10	10					O	EtherCAT 通用输出 10
SD1_D1	11					I	SDFM-1 通道 1 数据输入
OUTPUTXBAR13	14					O	输出 X-BAR 输出 13
GPIO96	0、4、8、12	F3				I/O	通用输入/输出 96
EPWM18_B	1					O	ePWM-18 输出 B
ESC_GPO11	10					O	EtherCAT 通用输出 11
SD1_C1	11					I	SDFM-1 通道 1 时钟输入
OUTPUTXBAR14	14					O	输出 X-BAR 输出 14

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO97	0、4、8、12	F4				I/O	通用输入/输出 97
ESC_GPI17	10					I	EtherCAT 通用输入 17
SD1_D2	11					I	SDFM-1 通道 2 数据输入
OUTPUTXBAR15	14					O	输出 X-BAR 输出 15
GPIO98	0、4、8、12	F5				I/O	通用输入/输出 98
ESC_GPI18	10					I	EtherCAT 通用输入 18
SD1_C2	11					I	SDFM-1 通道 2 时钟输入
OUTPUTXBAR16	14					O	输出 X-BAR 输出 16
GPIO99	0、4、8、12	G5				I/O	通用输入/输出 99
EPWM8_A	1					O	ePWM-8 输出 A
EMIF1_DQM3	2					O	外部存储器接口 1 字节 3 的输入/输出掩码
EMIF1_D17	3					I/O	外部存储器接口 1 数据线 17
ESC_GPI21	10					I	EtherCAT 通用输入 21
SD4_D4	11					I	SDFM-4 通道 4 数据输入
GPIO100	0、4、8、12	B4				I/O	通用输入/输出 100
EPWM9_A	1					O	ePWM-9 输出 A
EMIF1_BA1	2					O	外部存储器接口 1 存储库地址 1
EMIF1_D24	3					I/O	外部存储器接口 1 数据线 24
SPIC_PICO	5					I/O	SPI-C 外设输入控制器输出 (PICO)
SPIA_PICO	6					I/O	SPI-A 外设输入控制器输出 (PICO)
SD1_D1	9					I	SDFM-1 通道 1 数据输入
ESC_GPI0	10					I	EtherCAT 通用输入 0
SD4_C4	11					I	SDFM-4 通道 4 时钟输入
FSITXA_D0	13					O	FSITX-A 主数据输出
FSIRXD_D1	14					I	FSIRX-D 可选附加数据输入
GPIO101	0、4、8、12	B5				I/O	通用输入/输出 101
EPWM18_A	1					O	ePWM-18 输出 A
EMIF1_A5	2					O	外部存储器接口 1 地址线 5
SPIC_POCI	5					I/O	SPI-C 外设输出控制器输入 (POCI)
ESC_GPI1	10					I	EtherCAT 通用输入 1
FSITXA_D1	13					O	FSITX-A 可选附加数据输出
GPIO103	0、4、8、12	D16	126	105		I/O	通用输入/输出 103
EPWM8_B	1					O	ePWM-8 输出 B
EMIF1_BA0	2					O	外部存储器接口 1 存储库地址 0
EMIF1_D3	3					I/O	外部存储器接口 1 数据线 3
SPIC_PTE	5					I/O	SPI-C 外设发送使能 (PTE)
ESC_GPI3	10					I	EtherCAT 通用输入 3
SD4_C4	11					I	SDFM-4 通道 4 时钟输入
FSIRXA_D0	13					I	FSIRX-A 主数据输入
ESC_GPO25	15					O	EtherCAT 通用输出 25
GPIO105	0、4、8、12	J14				I/O	通用输入/输出 105
EPWM18_B	1					O	ePWM-18 输出 B
I2CA_SCL	5					I/OD	I2C-A 开漏双向时钟
ESC_GPI5	10					I	EtherCAT 通用输入 5
SD3_C1	11					I	SDFM-3 通道 1 时钟输入
FSIRXA_CLK	13					I	FSIRX-A 输入时钟

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO127	0、4、8、12	F13	118	97	64	I/O	通用输入/输出 127
EPWM18_A	1					O	ePWM-18 输出 A
EMIF1_D18	2					I/O	外部存储器接口 1 数据线 18
EMIF1_A11	3					O	外部存储器接口 1 地址线 11
SPID_POCI	5					I/O	SPI-D 外设输出控制器输入 (POCI)
ESC_GPI27	10					I	EtherCAT 通用输入 27
SD1_C3	11					I	SDFM-1 通道 3 时钟输入
FSIRXC_D1	13					I	FSIRX-C 可选附加数据输入
ESC_SYNC0	14					O	EtherCAT 同步信号输出 0
ESC_GPO26	15					O	EtherCAT 通用输出 26
GPIO219	0、4、8、12	M16	91	74	51	I/O	通用输入/输出 219
ERRORSTS	1					O	错误状态输出。该信号需要一个外部下拉电阻。
EMIF1_A19	2					O	外部存储器接口 1 地址线 19
EPWM18_B	3					O	ePWM-18 输出 B
OUTPUTXBAR1	9					O	输出 X-BAR 输出 1
XCLKOUT	10					O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
SD2_C1	11					I	SDFM-2 通道 1 时钟输入
ESC_GPI8	13					I	EtherCAT 通用输入 8
ESC_TX0_ENA	14					I/O	EtherCAT MII 发送 0 使能
ESC_GPO27	15					O	EtherCAT 通用输出 27
GPIO220	0、4、8、12	E16	123	102	70	I/O	通用输入/输出 220
EPWM6_A	1					O	ePWM-6 输出 A
SPID_POCI	5					I/O	SPI-D 外设输出控制器输入 (POCI)
MCANC_TX	6					O	CAN/CAN FD-C 传输
OUTPUTXBAR2	9					O	输出 X-BAR 输出 2
SD3_D3	11					I	SDFM-3 通道 3 数据输入
ESC_GPI9	13					I	EtherCAT 通用输入 9
ESC_GPO28	15					O	EtherCAT 通用输出 28
X1	ALT					I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。
GPIO221	0、4、8、12	F16	121	100	68	I/O	通用输入/输出 221
EPWM6_B	1					O	ePWM-6 输出 B
EMIF1_CAS	3					O	外部存储器接口 1 列地址选通
SPID_PTE	5					I/O	SPI-D 外设发送使能 (PTE)
MCANC_RX	6					I	CAN/CAN FD-C 接收
OUTPUTXBAR3	9					O	输出 X-BAR 输出 3
SD3_C3	11					I	SDFM-3 通道 3 时钟输入
ESC_GPI10	13					I	EtherCAT 通用输入 10
ESC_GPO29	15					O	EtherCAT 通用输出 29
X2	ALT					I/O	晶体振荡器输出。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
GPIO222	0、4、8、12	T14	77	64	42	I/O	通用输入/输出 222
TDI	1					I	带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器（指令或数据）中计时。
EPWM7_A	2					O	ePWM-7 输出 A
SPID_PICO	5					I/O	SPI-D 外设输入控制器输出 (PICO)
UARTB_TX	6					I/O	UART-B 串行数据发送
I2CB_SCL	7					I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR4	9					O	输出 X-BAR 输出 4
SPIC_CLK	10					I/O	SPI-C 时钟
SD3_D4	11					I	SDFM-3 通道 4 数据输入
ESC_GPI11	13					I	EtherCAT 通用输入 11
ESC_GPO30	15					O	EtherCAT 通用输出 30
GPIO223	0、4、8、12	R14	78	65	43	I/O	通用输入/输出 223
TDO	1					O	JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器（指令或数据）的内容在 TCK 下降沿从 TDO 移出。
EPWM7_B	2					O	ePWM-7 输出 B
SPID_CLK	5					I/O	SPI-D 时钟
UARTB_RX	6					I/O	UART-B 串行数据接收
I2CB_SDA	7					I/OD	I2C-B 开漏双向数据
OUTPUTXBAR5	9					O	输出 X-BAR 输出 5
SPIC_PTE	10					I/O	SPI-C 外设发送使能 (PTE)
SD3_C4	11					I	SDFM-3 通道 4 时钟输入
ESC_GPI12	13					I	EtherCAT 通用输入 12
ESC_GPO31	15					O	EtherCAT 通用输出 31
测试、JTAG 和复位							
FLT3		M12				I/O	闪存测试引脚 3。为 TI 保留。必须保持未连接状态。
TCK		R15	83	70	48	I	带有内部上拉电阻的 JTAG 测试时钟。
TMS		T15	82	69	47	I/O	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻器（建议 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。
VREGENZ					65	I	具有内部上拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。
XRSn		F14	124	103	71	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
电源和接地							

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-1. 引脚属性（F29H85x 和 F29P58x）（续）

信号名称	多路复用器位置	256 ZEX	176 PTS	144 RFS	100 PZS	引脚类型	说明
VDD		E8、E9、E12、F6、F12、G6、L11、L12	8、11、80、84、105、119、137、153、169	6、8、67、71、87、98、112、123、137	5、6、45、49、55、66、78、95		1.25V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 10μF 的去耦电容器。此引脚的典型总电容为 22μF。去耦电容器的确切值应由您的系统电压调节解决方案确定。
VDDA		K6，L6	27，62	19，54	14，37		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 且连接至 VSSA 的去耦电容器。将该引脚连接到 3.3V 电源。
VDDIO		E6、E7、E10、E11、F15、G12、H6、H12、J6、J12、K12、L8、L9、L10、L13、M10、M11	3、12、79、81、88、98、101、107、115、120、127、138、147、152、168	3、9、66、68、72、81、83、95、99、106、113、118、122、136	3、7、44、46、52、63、67、73、79		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。将该引脚连接到 3.3V 电源。
VSS		A1、A16、F7、F8、F9、F10、F11、G7、G8、G9、G10、G11、H7、H8、H9、H10、H11、J7、J8、J9、J10、J11、K8、K9、K10、K11、T16	PAD	PAD	PAD		数字接地
VSSA		K7、L7、T1	28，61	20，53	15，36		模拟接地
VSSOSC		E15	122	101	69		晶体振荡器（X1 和 X2）接地引脚。始终将此引脚连接到电路板接地。

Copyright © 2025 Texas Instruments Incorporated

5.3 引脚属性 (F29P32x)

表 5-2. 引脚属性 (F29P32x)

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
模拟					
A0				I	ADC-A 输入 0
C24				I	ADC-C 输入 24
CMP4_HP0		36	25	I	CMPSS-4 高电平比较器正输入 0
CMP4_LP0				I	CMPSS-4 低电平比较器正输入 0
AIO160	0、4、8、12			I	用于数字输入 160 的模拟引脚
A1				I	ADC-A 输入 1
C25				I	ADC-C 输入 25
CMP4_HN0		35	24	I	CMPSS-4 高电平比较器负输入 0
CMP4_LN0				I	CMPSS-4 低电平比较器负输入 0
AIO161	0、4、8、12			I	用于数字输入 161 的模拟引脚
A2				I	ADC-A 输入 2
CMP1_HP1				I	CMPSS-1 高电平比较器正输入 1
CMP1_LP1		28		I	CMPSS-1 低电平比较器正输入 1
D24				I	ADC-D 输入 24
AIO162	0、4、8、12			I	用于数字输入 162 的模拟引脚
A3				I	ADC-A 输入 3
CMP1_HN1				I	CMPSS-1 高电平比较器负输入 1
CMP1_HP2				I	CMPSS-1 高电平比较器正输入 2
CMP1_LN1		27		I	CMPSS-1 低电平比较器负输入 1
CMP1_LP2				I	CMPSS-1 低电平比较器正输入 2
D25				I	ADC-D 输入 25
AIO163	0、4、8、12			I	用于数字输入 163 的模拟引脚
A4				I	ADC-A 输入 4
CMP1_HP0				I	CMPSS-1 高电平比较器正输入 0
CMP1_LP0				I	CMPSS-1 低电平比较器正输入 0
CMP2_HN1		24		I	CMPSS-2 高电平比较器负输入 1
CMP2_LN1				I	CMPSS-2 低电平比较器负输入 1
D28				I	ADC-D 输入 28
AIO164	0、4、8、12			I	用于数字输入 164 的模拟引脚
A5				I	ADC-A 输入 5
CMP1_HN0				I	CMPSS-1 高电平比较器负输入 0
CMP1_LN0		23		I	CMPSS-1 低电平比较器负输入 0
D29				I	ADC-D 输入 29
AIO165	0、4、8、12			I	用于数字输入 165 的模拟引脚
A6				I	ADC-A 输入 6
CMP2_HP0				I	CMPSS-2 高电平比较器正输入 0
CMP2_LP0		18	13	I	CMPSS-2 低电平比较器正输入 0
GPIO224	0、4、8、12			I/O	通用输入/输出 224。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
A7		17	12	I	ADC-A 输入 7
CMP2_HN0				I	CMPSS-2 高电平比较器负输入 0
CMP2_LN0				I	CMPSS-2 低电平比较器负输入 0
GPIO225	0、4、8、12			I/O	通用输入/输出 225。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A8		16		I	ADC-A 输入 8
GPIO226	0、4、8、12			I/O	通用输入/输出 226。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A9				I	ADC-A 输入 9
GPIO227	0、4、8、12			I/O	通用输入/输出 227。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A10				I	ADC-A 输入 10
GPIO228	0、4、8、12			I/O	通用输入/输出 228。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A11				I	ADC-A 输入 11
GPIO229	0、4、8、12			I/O	通用输入/输出 229。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A14		32	21	I	ADC-A 输入 14
B14				I	ADC-B 输入 14
C14				I	ADC-C 输入 14
CMP3_HP5				I	CMPSS-3 高电平比较器正输入 5
CMP3_LP5				I	CMPSS-3 低电平比较器正输入 5
D14				I	ADC-D 输入 14
AIO168	0、4、8、12			I	用于数字输入 168 的模拟引脚
A15		31	20	I	ADC-A 输入 15
B15				I	ADC-B 输入 15
C15				I	ADC-C 输入 15
CMP4_HP5				I	CMPSS-4 高电平比较器正输入 5
CMP4_LP5				I	CMPSS-4 低电平比较器正输入 5
D15				I	ADC-D 输入 15
AIO169	0、4、8、12			I	用于数字输入 169 的模拟引脚
A24		41	30	I	ADC-A 输入 24
AIO202	0、4、8、12			I	用于数字输入 202 的模拟引脚
A25		42	31	I	ADC-A 输入 25
AIO203	0、4、8、12			I	用于数字输入 203 的模拟引脚
A26		51		I	ADC-A 输入 26
CMP3_HP4				I	CMPSS-3 高电平比较器正输入 4
CMP3_LP4				I	CMPSS-3 低电平比较器正输入 4
AIO204	0、4、8、12			I	用于数字输入 204 的模拟引脚

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
A27		52		I	ADC-A 输入 27
CMP4_HP4				I	CMPSS-4 高电平比较器正输入 4
CMP4_LP4				I	CMPSS-4 低电平比较器正输入 4
AIO205	0、4、8、12			I	用于数字输入 205 的模拟引脚
A28		56	38	I	ADC-A 输入 28
GPIO246	0、4、8、12			I/O	通用输入/输出 246。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A29		57	39	I	ADC-A 输入 29
GPIO247	0、4、8、12			I/O	通用输入/输出 247。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A30		62		I	ADC-A 输入 30
GPIO248	0、4、8、12			I/O	通用输入/输出 248。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A31		63		I	ADC-A 输入 31
GPIO249	0、4、8、12			I/O	通用输入/输出 249。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B0		34	23	I	ADC-B 输入 0
C26				I	ADC-C 输入 26
VDAC				I	片上 DAC 的可选外部基准电压。
AIO170	0、4、8、12			I	用于数字输入 170 的模拟引脚
B1		33	22	I	ADC-B 输入 1
C27				I	ADC-C 输入 27
CMP3_HP2				I	CMPSS-3 高电平比较器正输入 2
CMP3_LP2				I	CMPSS-3 低电平比较器正输入 2
AIO171	0、4、8、12			I	用于数字输入 171 的模拟引脚
B2		26	17	I	ADC-B 输入 2
D26				I	ADC-D 输入 26
AIO172	0、4、8、12			I	用于数字输入 172 的模拟引脚
B3		25	16	I	ADC-B 输入 3
CMP1_HP3				I	CMPSS-1 高电平比较器正输入 3
CMP1_LP3				I	CMPSS-1 低电平比较器正输入 3
CMP3_HN0				I	CMPSS-3 高电平比较器负输入 0
CMP3_LN0				I	CMPSS-3 低电平比较器负输入 0
D27				I	ADC-D 输入 27
AIO173	0、4、8、12			I	用于数字输入 173 的模拟引脚
B4		22		I	ADC-B 输入 4
D30				I	ADC-D 输入 30
AIO174	0、4、8、12			I	用于数字输入 174 的模拟引脚

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
B5		21		I	ADC-B 输入 5
CMP3_HN1				I	CMPSS-3 高电平比较器负输入 1
CMP3_LN1				I	CMPSS-3 低电平比较器负输入 1
D31				I	ADC-D 输入 31
AIO175	0、4、8、12			I	用于数字输入 175 的模拟引脚
B6				I	ADC-B 输入 6
GPIO230	0、4、8、12			I/O	通用输入/输出 230。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B7				I	ADC-B 输入 7
GPIO231	0、4、8、12			I/O	通用输入/输出 231。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B8		15	11	I	ADC-B 输入 8
GPIO232	0、4、8、12			I/O	通用输入/输出 232。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B9		14	10	I	ADC-B 输入 9
GPIO233	0、4、8、12			I/O	通用输入/输出 233。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B10		13		I	ADC-B 输入 10
GPIO234	0、4、8、12			I/O	通用输入/输出 234。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B11		12		I	ADC-B 输入 11
GPIO235	0、4、8、12			I/O	通用输入/输出 235。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C0		37	26	I	ADC-C 输入 0
AIO180	0、4、8、12			I	用于数字输入 180 的模拟引脚
C1		38	27	I	ADC-C 输入 1
AIO181	0、4、8、12			I	用于数字输入 181 的模拟引脚
C2		43		I	ADC-C 输入 2
AIO182	0、4、8、12			I	用于数字输入 182 的模拟引脚
C3		44		I	ADC-C 输入 3
AIO183	0、4、8、12			I	用于数字输入 183 的模拟引脚
C4		47		I	ADC-C 输入 4
AIO184	0、4、8、12			I	用于数字输入 184 的模拟引脚
C5		48		I	ADC-C 输入 5
AIO185	0、4、8、12			I	用于数字输入 185 的模拟引脚
C6				I	ADC-C 输入 6
GPIO236	0、4、8、12			I/O	通用输入/输出 236。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
C7				I	ADC-C 输入 7
GPIO237	0、4、8、12			I/O	通用输入/输出 237。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C8		58	40	I	ADC-C 输入 8
GPIO238	0、4、8、12			I/O	通用输入/输出 238。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C9		59	41	I	ADC-C 输入 9
GPIO239	0、4、8、12			I/O	通用输入/输出 239。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B24		39	28	I	ADC-B 输入 24
CMP4_HP2				I	CMPSS-4 高电平比较器正输入 2
CMP4_LP2				I	CMPSS-4 低电平比较器正输入 2
D0				I	ADC-D 输入 0
AIO192	0、4、8、12			I	用于数字输入 192 的模拟引脚
B25		40	29	I	ADC-B 输入 25
D1				I	ADC-D 输入 1
AIO193	0、4、8、12			I	用于数字输入 193 的模拟引脚
B26		49	34	I	ADC-B 输入 26
CMP4_HP3				I	CMPSS-4 高电平比较器正输入 3
CMP4_LP3				I	CMPSS-4 低电平比较器正输入 3
D2				I	ADC-D 输入 2
AIO194	0、4、8、12			I	用于数字输入 194 的模拟引脚
B27		50	35	I	ADC-B 输入 27
D3				I	ADC-D 输入 3
AIO195	0、4、8、12			I	用于数字输入 195 的模拟引脚
B28				I	ADC-B 输入 28
D4				I	ADC-D 输入 4
GPIO240	0、4、8、12			I/O	通用输入/输出 240。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B29		55		I	ADC-B 输入 29
CMP4_HN1				I	CMPSS-4 高电平比较器负输入 1
CMP4_HP1				I	CMPSS-4 高电平比较器正输入 1
CMP4_LN1				I	CMPSS-4 低电平比较器负输入 1
CMP4_LP1				I	CMPSS-4 低电平比较器正输入 1
D5				I	ADC-D 输入 5
GPIO241	0、4、8、12			I/O	通用输入/输出 241。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
B30		60		I	ADC-B 输入 30
CMP1_HP4				I	CMPSS-1 高电平比较器正输入 4
CMP1_LP4				I	CMPSS-1 低电平比较器正输入 4
D6				I	ADC-D 输入 6
GPIO242	0、4、8、12			I/O	通用输入/输出 242。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B31		61		I	ADC-B 输入 31
CMP2_HP4				I	CMPSS-2 高电平比较器正输入 4
CMP2_LP4				I	CMPSS-2 低电平比较器正输入 4
D7				I	ADC-D 输入 7
GPIO243	0、4、8、12			I/O	通用输入/输出 243。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C28				I	ADC-C 输入 28
D8				I	ADC-D 输入 8
GPIO244	0、4、8、12			I/O	通用输入/输出 244。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C29				I	ADC-C 输入 29
CMP3_LP3				I	CMPSS-3 低电平比较器正输入 3
D9				I	ADC-D 输入 9
GPIO245	0、4、8、12			I/O	通用输入/输出 245。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
VREFHIAB		30	19	I	ADC-AB 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚
VREFHICDE		46	33	I	ADC-CDE 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚
VREFLOAB		29	18	I	ADC-AB 低基准电压
VREFLOCDE		45	32	I	ADC-CDE 低基准电压
GPIO					
GPIO224	0、4、8、12	18	13	I/O	通用输入/输出 224。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIB_POCI	5			I/O	SPI-B 外设输出控制器输入 (POCI)
OUTPUTXBAR5	9			O	输出 X-BAR 输出 5
ADCA_EXTMUXSEL0	14			O	外部 ADC 选择多路复用器输出

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO225	0、4、8、12	17	12	I/O	通用输入/输出 225。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIB_PICO	5			I/O	SPI-B 外设输入控制器输出 (PICO)
I2CB_SDA	6			I/OD	I2C-B 开漏双向数据
OUTPUTXBAR4	9			O	输出 X-BAR 输出 4
ADCA_EXTMUXSEL1	14			O	外部 ADC 选择多路复用器输出
GPIO226	0、4、8、12	16		I/O	通用输入/输出 226。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIA_PTE	5			I/O	SPI-A 外设发送使能 (PTE)
OUTPUTXBAR1	9			O	输出 X-BAR 输出 1
ADCA_EXTMUXSEL2	14			O	外部 ADC 选择多路复用器输出
GPIO227	0、4、8、12			I/O	通用输入/输出 227。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIA_CLK	5			I/O	SPI-A 时钟
OUTPUTXBAR4	9			O	输出 X-BAR 输出 4
ADCA_EXTMUXSEL3	14			O	外部 ADC 选择多路复用器输出
GPIO228	0、4、8、12			I/O	通用输入/输出 228。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIB_POCI	5			I/O	SPI-B 外设输出控制器输入 (POCI)
LINB_TX	6			O	LIN-B 发送
OUTPUTXBAR1	9			O	输出 X-BAR 输出 1
SENT4	10			I/O	SENT 输入引脚 4
GPIO229	0、4、8、12			I/O	通用输入/输出 229。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIB_PICO	5			I/O	SPI-B 外设输入控制器输出 (PICO)
MCANA_RX	6			I	CAN/CAN FD-A 接收
SENT3	10			I/O	SENT 输入引脚 3
GPIO246	0、4、8、12	56	38	I/O	通用输入/输出 246。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPID_PTE	5			I/O	SPI-D 外设发送使能 (PTE)
MCANC_RX	6			I	CAN/CAN FD-C 接收
OUTPUTXBAR7	9			O	输出 X-BAR 输出 7
GPIO247	0、4、8、12	57	39	I/O	通用输入/输出 247。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
ERRORSTS	2			O	错误状态输出。该信号需要一个外部下拉电阻。
SPID_POCI	5			I/O	SPI-D 外设输出控制器输入 (POCI)
MCANC_RX	6			I	CAN/CAN FD-C 接收
LINA_TX	7			O	LIN-A 发送
OUTPUTXBAR5	9			O	输出 X-BAR 输出 5
GPIO248	0、4、8、12	62		I/O	通用输入/输出 248。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIC_PICO	5			I/O	SPI-C 外设输入控制器输出 (PICO)
SENT3	10			I/O	SENT 输入引脚 3

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO249	0、4、8、12	63		I/O	通用输入/输出 249。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIC_CLK	5			I/O	SPI-C 时钟
SENT4	10			I/O	SENT 输入引脚 4
GPIO230	0、4、8、12			I/O	通用输入/输出 230。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SYNCOUT	3			O	外部 ePWM 同步脉冲
I2CB_SCL	6			I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR3	9			O	输出 X-BAR 输出 3
ADCB_EXTMUXSEL0	14			O	外部 ADC 选择多路复用器输出
GPIO231	0、4、8、12			I/O	通用输入/输出 231。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIA_PICO	5			I/O	SPI-A 外设输入控制器输出 (PICO)
OUTPUTXBAR2	9			O	输出 X-BAR 输出 2
ADCB_EXTMUXSEL1	14			O	外部 ADC 选择多路复用器输出
GPIO232	0、4、8、12	15	11	I/O	通用输入/输出 232。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM8_B	2			O	ePWM-8 输出 B
SPIA_POCI	5			I/O	SPI-A 外设输出控制器输入 (POCI)
OUTPUTXBAR3	9			O	输出 X-BAR 输出 3
ADCB_EXTMUXSEL2	14			O	外部 ADC 选择多路复用器输出
GPIO233	0、4、8、12	14	10	I/O	通用输入/输出 233。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
LINB_RX	6			I	LIN-B 接收
OUTPUTXBAR2	9			O	输出 X-BAR 输出 2
ADCB_EXTMUXSEL3	14			O	外部 ADC 选择多路复用器输出
GPIO234	0、4、8、12	13		I/O	通用输入/输出 234。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIB_PTE	5			I/O	SPI-B 外设发送使能 (PTE)
MCANA_TX	6			O	CAN/CAN FD-A 传输
SENT2	10			I/O	SENT 输入引脚 2
GPIO235	0、4、8、12	12		I/O	通用输入/输出 235。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIB_CLK	5			I/O	SPI-B 时钟
MCANA_RX	6			I	CAN/CAN FD-A 接收
SENT1	10			I/O	SENT 输入引脚 1
GPIO236	0、4、8、12			I/O	通用输入/输出 236。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM8_A	2			O	ePWM-8 输出 A
LINA_RX	6			I	LIN-A 接收
OUTPUTXBAR6	9			O	输出 X-BAR 输出 6
ADCC_EXTMUXSEL0	14			O	外部 ADC 选择多路复用器输出

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO237	0、4、8、12			I/O	通用输入/输出 237。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM8_B	2			O	ePWM-8 输出 B
LINA_TX	6			O	LIN-A 发送
I2CA_SDA	7			I/OD	I2C-A 开漏双向数据
OUTPUTXBAR7	9			O	输出 X-BAR 输出 7
ADCC_EXTMUXSEL1	14			O	外部 ADC 选择多路复用器输出
GPIO238	0、4、8、12	58	40	I/O	通用输入/输出 238。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
OUTPUTXBAR6	9			O	输出 X-BAR 输出 6
ADCC_EXTMUXSEL2	14			O	外部 ADC 选择多路复用器输出
GPIO239	0、4、8、12	59	41	I/O	通用输入/输出 239。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
LINB_TX	6			O	LIN-B 发送
I2CA_SCL	7			I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR8	9			O	输出 X-BAR 输出 8
ADCC_EXTMUXSEL3	14			O	外部 ADC 选择多路复用器输出
GPIO240	0、4、8、12			I/O	通用输入/输出 240。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPID_PICO	5			I/O	SPI-D 外设输入控制器输出 (PICO)
ADCD_EXTMUXSEL0	14			O	外部 ADC 选择多路复用器输出
GPIO241	0、4、8、12	55		I/O	通用输入/输出 241。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM8_A	1			O	ePWM-8 输出 A
SPID_CLK	5			I/O	SPI-D 时钟
ADCD_EXTMUXSEL1	14			O	外部 ADC 选择多路复用器输出
GPIO242	0、4、8、12	60		I/O	通用输入/输出 242。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
I2CA_SDA	7			I/OD	I2C-A 开漏双向数据
OUTPUTXBAR9	9			O	输出 X-BAR 输出 9
SENT1	10			I/O	SENT 输入引脚 1
ADCD_EXTMUXSEL2	14			O	外部 ADC 选择多路复用器输出
GPIO243	0、4、8、12	61		I/O	通用输入/输出 243。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM8_B	1			O	ePWM-8 输出 B
SENT2	10			I/O	SENT 输入引脚 2
ADCD_EXTMUXSEL3	14			O	外部 ADC 选择多路复用器输出
GPIO244	0、4、8、12			I/O	通用输入/输出 244。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIC_PTE	5			I/O	SPI-C 外设发送使能 (PTE)
GPIO245	0、4、8、12			I/O	通用输入/输出 245。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIC_POCI	5			I/O	SPI-C 外设输出控制器输入 (POCI)

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO0	0、4、8、12	128	88	I/O	通用输入/输出 0
EPWM1_A	1			O	ePWM-1 输出 A
I2CA_SDA	6			I/OD	I2C-A 开漏双向数据
OUTPUTXBAR9	9			O	输出 X-BAR 输出 9
FSITXA_D0	13			O	FSITX-A 主数据输出
GPIO1	0、4、8、12	129	89	I/O	通用输入/输出 1
EPWM1_B	1			O	ePWM-1 输出 B
I2CA_SCL	6			I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR10	9			O	输出 X-BAR 输出 10
FSITXA_D1	13			O	FSITX-A 可选附加数据输出
GPIO2	0、4、8、12	130	90	I/O	通用输入/输出 2
EPWM2_A	1			O	ePWM-2 输出 A
UARTA_TX	5			I/O	UART-A 串行数据发送
I2CB_SDA	6			I/OD	I2C-B 开漏双向数据
OUTPUTXBAR1	9			O	输出 X-BAR 输出 1
FSITXA_CLK	13			O	FSITX-A 输出时钟
GPIO3	0、4、8、12	131	91	I/O	通用输入/输出 3
EPWM2_B	1			O	ePWM-2 输出 B
UARTA_RX	5			I/O	UART-A 串行数据接收
I2CB_SCL	6			I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR2	9			O	输出 X-BAR 输出 2
FSIRXA_D0	13			I	FSIRX-A 主数据输入
GPIO4	0、4、8、12	132	92	I/O	通用输入/输出 4
EPWM3_A	1			O	ePWM-3 输出 A
MCANC_TX	5			O	CAN/CAN FD-C 传输
OUTPUTXBAR3	9			O	输出 X-BAR 输出 3
FSIRXA_D1	13			I	FSIRX-A 可选附加数据输入
ERRORSTS	15			O	错误状态输出。该信号需要一个外部下拉电阻。
GPIO5	0、4、8、12	133	93	I/O	通用输入/输出 5
EPWM3_B	1			O	ePWM-3 输出 B
MCANC_RX	5			I	CAN/CAN FD-C 接收
OUTPUTXBAR11	9			O	输出 X-BAR 输出 11
OUTPUTXBAR3	10			O	输出 X-BAR 输出 3
FSIRXA_CLK	13			I	FSIRX-A 输入时钟
GPIO6	0、4、8、12	134	94	I/O	通用输入/输出 6
EPWM4_A	1			O	ePWM-4 输出 A
MCANB_TX	5			O	CAN/CAN FD-B 传输
LINA_TX	6			O	LIN-A 发送
OUTPUTXBAR4	9			O	输出 X-BAR 输出 4
SYNCOUT	10			O	外部 ePWM 同步脉冲
FSITXB_D0	13			O	FSITX-B 主数据输出

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO7	0、4、8、12	135		I/O	通用输入/输出 7
EPWM4_B	1			O	ePWM-4 输出 B
MCANB_RX	5			I	CAN/CAN FD-B 接收
LINA_RX	6			I	LIN-A 接收
OUTPUTXBAR5	9			O	输出 X-BAR 输出 5
FSITXB_D1	13			O	FSITX-B 可选附加数据输出
GPIO8	0、4、8、12	138	96	I/O	通用输入/输出 8
EPWM5_A	1			O	ePWM-5 输出 A
EPWM4_B	3			O	ePWM-4 输出 B
MCANC_TX	5			O	CAN/CAN FD-C 传输
SPIE_PICO	6			I/O	SPI-E 外设输入控制器输出 (PICO)
OUTPUTXBAR12	9			O	输出 X-BAR 输出 12
ADCSOCAO	10			O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 A 输出
FSITXB_CLK	13			O	FSITX-B 输出时钟
FSITXA_D1	14			O	FSITX-A 可选附加数据输出
FSIRXA_D0	15			I	FSIRX-A 主数据输入
GPIO9	0、4、8、12	139	97	I/O	通用输入/输出 9
EPWM5_B	1			O	ePWM-5 输出 B
SPIE_POCI	6			I/O	SPI-E 外设输出控制器输入 (POCI)
OUTPUTXBAR6	9			O	输出 X-BAR 输出 6
FSIRXB_D0	13			I	FSIRX-B 主数据输入
FSITXA_D0	14			O	FSITX-A 主数据输出
FSIRXA_CLK	15			I	FSIRX-A 输入时钟
GPIO10	0、4、8、12	140	98	I/O	通用输入/输出 10
EPWM8_A	1			O	ePWM-8 输出 A
ADCSOCBO	3			O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 B 输出
MCANC_RX	5			I	CAN/CAN FD-C 接收
I2CA_SCL	7			I/OD	I2C-A 开漏双向时钟
SENT2	9			I/O	SENT 输入引脚 2
ADCA_EXTMUXSEL2	14			O	外部 ADC 选择多路复用器输出
OUTPUTXBAR13	15			O	输出 X-BAR 输出 13
GPIO11	0、4、8、12	141	99	I/O	通用输入/输出 11
EPWM6_B	1			O	ePWM-6 输出 B
EPWM7_B	3			O	ePWM-7 输出 B
SPIE_PTE	6			I/O	SPI-E 外设发送使能 (PTE)
FSIRXB_CLK	13			I	FSIRX-B 输入时钟
FSIRXA_D1	14			I	FSIRX-A 可选附加数据输入
OUTPUTXBAR7	15			O	输出 X-BAR 输出 7

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO12	0、4、8、12	142	100	I/O	通用输入/输出 12
EPWM7_A	1			O	ePWM-7 输出 A
ADCSOCAO	3			O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 A 输出
SPIE_CLK	6			I/O	SPI-E 时钟
FSIRXA_D0	14			I	FSIRX-A 主数据输入
OUTPUTXBAR14	15			O	输出 X-BAR 输出 14
GPIO13	0、4、8、12	143		I/O	通用输入/输出 13
EPWM7_B	1			O	ePWM-7 输出 B
FSIRXA_CLK	14			I	FSIRX-A 输入时钟
OUTPUTXBAR15	15			O	输出 X-BAR 输出 15
GPIO14	0、4、8、12	144		I/O	通用输入/输出 14
EPWM6_A	1			O	ePWM-6 输出 A
LINA_TX	6			O	LIN-A 发送
OUTPUTXBAR3	7			O	输出 X-BAR 输出 3
OUTPUTXBAR8	15			O	输出 X-BAR 输出 8
GPIO15	0、4、8、12	1	1	I/O	通用输入/输出 15
EPWM8_B	1			O	ePWM-8 输出 B
I2CA_SDA	5			I/OD	I2C-A 开漏双向数据
LINA_RX	6			I	LIN-A 接收
OUTPUTXBAR4	7			O	输出 X-BAR 输出 4
SENT1	9			I/O	SENT 输入引脚 1
ADCA_EXTMUXSEL3	14			O	外部 ADC 选择多路复用器输出
OUTPUTXBAR16	15			O	输出 X-BAR 输出 16
GPIO16	0、4、8、12	2	2	I/O	通用输入/输出 16
SPIA_PICO	5			I/O	SPI-A 外设输入控制器输出 (PICO)
OUTPUTXBAR7	15			O	输出 X-BAR 输出 7
GPIO17	0、4、8、12	4	4	I/O	通用输入/输出 17
SPIA_POCI	5			I/O	SPI-A 外设输出控制器输入 (POCI)
OUTPUTXBAR8	15			O	输出 X-BAR 输出 8
GPIO18	0、4、8、12	10	8	I/O	通用输入/输出 18
I2CA_SCL	5			I/OD	I2C-A 开漏双向时钟
SENT4	9			I/O	SENT 输入引脚 4
ADCB_EXTMUXSEL0	14			O	外部 ADC 选择多路复用器输出
GPIO19	0、4、8、12	5		I/O	通用输入/输出 19
ADCSOCBO	3			O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 B 输出
SPIA_PTE	5			I/O	SPI-A 外设发送使能 (PTE)
MCANC_TX	7			O	CAN/CAN FD-C 传输
GPIO20	0、4、8、12			I/O	通用输入/输出 20
SPIC_PICO	6			I/O	SPI-C 外设输入控制器输出 (PICO)
MCANB_RX	7			I	CAN/CAN FD-B 接收

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO21	0、4、8、12			I/O	通用输入/输出 21
SPIC_POCI	6			I/O	SPI-C 外设输出控制器输入 (POCI)
MCANB_TX	7			O	CAN/CAN FD-B 传输
GPIO22	0、4、8、12			I/O	通用输入/输出 22
I2CB_SDA	5			I/OD	I2C-B 开漏双向数据
UARTB_TX	6	11	9	I/O	UART-B 串行数据发送
MCANC_TX	7			O	CAN/CAN FD-C 传输
ADCB_EXTMUXSEL1	14			O	外部 ADC 选择多路复用器输出
GPIO23	0、4、8、12			I/O	通用输入/输出 23
I2CB_SCL	5			I/OD	I2C-B 开漏双向时钟
UARTB_RX	6	127	87	I/O	UART-B 串行数据接收
MCANC_RX	7			I	CAN/CAN FD-C 接收
ADCC_EXTMUXSEL0	14			O	外部 ADC 选择多路复用器输出
GPIO24	0、4、8、12			I/O	通用输入/输出 24
SPIB_PICO	5			I/O	SPI-B 外设输入控制器输出 (PICO)
LINB_TX	6	126		O	LIN-B 发送
EPWM2_A	14			O	ePWM-2 输出 A
OUTPUTXBAR1	15			O	输出 X-BAR 输出 1
GPIO25	0、4、8、12			I/O	通用输入/输出 25
SPIB_POCI	5			I/O	SPI-B 外设输出控制器输入 (POCI)
LINB_RX	6	125	86	I	LIN-B 接收
FSITXA_D1	13			O	FSITX-A 可选附加数据输出
EPWM2_B	14			O	ePWM-2 输出 B
OUTPUTXBAR2	15			O	输出 X-BAR 输出 2
GPIO26	0、4、8、12			I/O	通用输入/输出 26
SPIB_CLK	5	124	85	I/O	SPI-B 时钟
FSITXA_D0	13			O	FSITX-A 主数据输出
OUTPUTXBAR3	15			O	输出 X-BAR 输出 3
GPIO27	0、4、8、12			I/O	通用输入/输出 27
SPIB_PTE	5			I/O	SPI-B 外设发送使能 (PTE)
UARTA_TX	6			I/O	UART-A 串行数据发送
EPWM4_A	9			O	ePWM-4 输出 A
FSITXA_CLK	13			O	FSITX-A 输出时钟
OUTPUTXBAR4	15			O	输出 X-BAR 输出 4
GPIO28	0、4、8、12			I/O	通用输入/输出 28
UARTA_RX	6			I/O	UART-A 串行数据接收
EPWM4_B	9			O	ePWM-4 输出 B
OUTPUTXBAR5	15			O	输出 X-BAR 输出 5

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO29	0、4、8、12	121	84	I/O	通用输入/输出 29
I2CA_SDA	7			I/OD	I2C-A 开漏双向数据
SENT3	9			I/O	SENT 输入引脚 3
ADCC_EXTMUXSEL1	14			O	外部 ADC 选择多路复用器输出
OUTPUTXBAR6	15			O	输出 X-BAR 输出 6
GPIO30	0、4、8、12	120	83	I/O	通用输入/输出 30
MCANC_RX	5			I	CAN/CAN FD-C 接收
SPID_PICO	6			I/O	SPI-D 外设输入控制器输出 (PICO)
OUTPUTXBAR7	15			O	输出 X-BAR 输出 7
GPIO31	0、4、8、12		82	I/O	通用输入/输出 31
MCANC_TX	5			O	CAN/CAN FD-C 传输
SPID_POCI	6			I/O	SPI-D 外设输出控制器输入 (POCI)
I2CA_SDA	7			I/OD	I2C-A 开漏双向数据
OUTPUTXBAR8	15			O	输出 X-BAR 输出 8
GPIO32	0、4、8、12	96		I/O	通用输入/输出 32
SPIA_PICO	5			I/O	SPI-A 外设输入控制器输出 (PICO)
SPID_CLK	6			I/O	SPI-D 时钟
I2CA_SDA	7			I/OD	I2C-A 开漏双向数据
OUTPUTXBAR9	9			O	输出 X-BAR 输出 9
GPIO33	0、4、8、12			I/O	通用输入/输出 33
SPIA_POCI	5			I/O	SPI-A 外设输出控制器输入 (POCI)
SPID_PTE	6			I/O	SPI-D 外设发送使能 (PTE)
I2CA_SCL	7			I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR10	9			O	输出 X-BAR 输出 10
GPIO34	0、4、8、12	7		I/O	通用输入/输出 34
SPIA_CLK	5			I/O	SPI-A 时钟
I2CB_SDA	7			I/OD	I2C-B 开漏双向数据
OUTPUTXBAR11	9			O	输出 X-BAR 输出 11
EPWM3_B	13			O	ePWM-3 输出 B
OUTPUTXBAR1	15			O	输出 X-BAR 输出 1
GPIO35	0、4、8、12			I/O	通用输入/输出 35
SPIA_PTE	5			I/O	SPI-A 外设发送使能 (PTE)
I2CB_SCL	7			I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR12	9			O	输出 X-BAR 输出 12
GPIO36	0、4、8、12			I/O	通用输入/输出 36
MCANC_RX	6			I	CAN/CAN FD-C 接收
OUTPUTXBAR13	9			O	输出 X-BAR 输出 13
GPIO37	0、4、8、12			I/O	通用输入/输出 37
MCANC_TX	6			O	CAN/CAN FD-C 传输
OUTPUTXBAR14	9			O	输出 X-BAR 输出 14
OUTPUTXBAR2	15			O	输出 X-BAR 输出 2

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO38	0、4、8、12	104	72	I/O	通用输入/输出 38
UARTA_TX	5			I/O	UART-A 串行数据发送
SPIE_PICO	6			I/O	SPI-E 外设输入控制器输出 (PICO)
OUTPUTXBAR15	9			O	输出 X-BAR 输出 15
GPIO39	0、4、8、12			I/O	通用输入/输出 39
UARTA_RX	5			I/O	UART-A 串行数据接收
OUTPUTXBAR16	9			O	输出 X-BAR 输出 16
GPIO40	0、4、8、12			I/O	通用输入/输出 40
MCANB_RX	5			I	CAN/CAN FD-B 接收
I2CB_SDA	6			I/OD	I2C-B 开漏双向数据
OUTPUTXBAR9	9			O	输出 X-BAR 输出 9
EPWM1_A	14			O	ePWM-1 输出 A
GPIO41	0、4、8、12	73	50	I/O	通用输入/输出 41
MCANB_TX	5			O	CAN/CAN FD-B 传输
SPIE_POCI	6			I/O	SPI-E 外设输出控制器输入 (POCI)
I2CB_SCL	7			I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR10	9			O	输出 X-BAR 输出 10
EPWM1_B	14			O	ePWM-1 输出 B
GPIO42	0、4、8、12	107	74	I/O	通用输入/输出 42
UARTA_TX	5			I/O	UART-A 串行数据发送
SPIE_CLK	6			I/O	SPI-E 时钟
I2CA_SDA	7			I/OD	I2C-A 开漏双向数据
OUTPUTXBAR13	9			O	输出 X-BAR 输出 13
GPIO43	0、4、8、12	108	75	I/O	通用输入/输出 43
UARTA_RX	5			I/O	UART-A 串行数据接收
SPIE_PTE	6			I/O	SPI-E 外设发送使能 (PTE)
I2CA_SCL	7			I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR14	9			O	输出 X-BAR 输出 14
GPIO44	0、4、8、12			I/O	通用输入/输出 44
SPID_POCI	5			I/O	SPI-D 外设输出控制器输入 (POCI)
MCANB_RX	6			I	CAN/CAN FD-B 接收
UARTB_TX	7			I/O	UART-B 串行数据发送
GPIO45	0、4、8、12			I/O	通用输入/输出 45
SPID_PTE	5			I/O	SPI-D 外设发送使能 (PTE)
MCANB_TX	6			O	CAN/CAN FD-B 传输
UARTB_RX	7			I/O	UART-B 串行数据接收
OUTPUTXBAR15	9			O	输出 X-BAR 输出 15
GPIO46	0、4、8、12			I/O	通用输入/输出 46
EPWM4_A	1			O	ePWM-4 输出 A
GPIO47	0、4、8、12			I/O	通用输入/输出 47
EPWM4_B	1			O	ePWM-4 输出 B

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO48	0、4、8、12			I/O	通用输入/输出 48
EPWM3_A	13			O	ePWM-3 输出 A
GPIO49	0、4、8、12			I/O	通用输入/输出 49
OUTPUTXBAR4	9	75		O	输出 X-BAR 输出 4
FSITXA_D0	13			O	FSITX-A 主数据输出
GPIO50	0、4、8、12			I/O	通用输入/输出 50
SPIC_PICO	6	76		I/O	SPI-C 外设输入控制器输出 (PICO)
FSITXA_D1	13			O	FSITX-A 可选附加数据输出
GPIO51	0、4、8、12			I/O	通用输入/输出 51
SPIC_POCI	6	77		I/O	SPI-C 外设输出控制器输入 (POCI)
FSITXA_CLK	13			O	FSITX-A 输出时钟
GPIO52	0、4、8、12			I/O	通用输入/输出 52
SPIC_CLK	6	78		I/O	SPI-C 时钟
FSIRXA_D0	13			I	FSIRX-A 主数据输入
GPIO53	0、4、8、12			I/O	通用输入/输出 53
SPIC_PTE	6	79		I/O	SPI-C 外设发送使能 (PTE)
FSIRXA_D1	13			I	FSIRX-A 可选附加数据输入
GPIO54	0、4、8、12			I/O	通用输入/输出 54
SPIA_PICO	5	80		I/O	SPI-A 外设输入控制器输出 (PICO)
FSIRXA_CLK	13			I	FSIRX-A 输入时钟
GPIO55	0、4、8、12			I/O	通用输入/输出 55
FSITXB_D0	13			O	FSITX-B 主数据输出
GPIO56	0、4、8、12			I/O	通用输入/输出 56
SPIA_CLK	5	82		I/O	SPI-A 时钟
I2CA_SDA	7			I/OD	I2C-A 开漏双向数据
FSITXB_CLK	13			O	FSITX-B 输出时钟
GPIO57	0、4、8、12			I/O	通用输入/输出 57
SPIA_PTE	5	84		I/O	SPI-A 外设发送使能 (PTE)
I2CA_SCL	7			I/OD	I2C-A 开漏双向时钟
FSITXB_D1	13			O	FSITX-B 可选附加数据输出
GPIO58	0、4、8、12			I/O	通用输入/输出 58
EPWM8_A	3			O	ePWM-8 输出 A
SPIA_PICO	5	85	53	I/O	SPI-A 外设输入控制器输出 (PICO)
MCANC_RX	7			I	CAN/CAN FD-C 接收
SENT1	9			I/O	SENT 输入引脚 1
FSIRXB_D0	13			I	FSIRX-B 主数据输入

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO59	0、4、8、12	86	54	I/O	通用输入/输出 59
EPWM5_A	1			O	ePWM-5 输出 A
EPWM8_B	3			O	ePWM-8 输出 B
SPIA_POCI	5			I/O	SPI-A 外设输出控制器输入 (POCI)
MCANC_TX	7			O	CAN/CAN FD-C 传输
SENT2	9			I/O	SENT 输入引脚 2
FSIRXB_D1	13			I	FSIRX-B 可选附加数据输入
GPIO60	0、4、8、12	88	56	I/O	通用输入/输出 60
EPWM3_B	1			O	ePWM-3 输出 B
SPIA_CLK	5			I/O	SPI-A 时钟
OUTPUTXBAR3	6			O	输出 X-BAR 输出 3
SENT3	9			I/O	SENT 输入引脚 3
FSIRXB_CLK	13			I	FSIRX-B 输入时钟
GPIO61	0、4、8、12	89	57	I/O	通用输入/输出 61
SPIA_PTE	5			I/O	SPI-A 外设发送使能 (PTE)
MCANC_RX	7			I	CAN/CAN FD-C 接收
OUTPUTXBAR4	9			O	输出 X-BAR 输出 4
GPIO62	0、4、8、12	90	58	I/O	通用输入/输出 62
MCANC_RX	6			I	CAN/CAN FD-C 接收
MCANC_TX	7			O	CAN/CAN FD-C 传输
SENT4	9			I/O	SENT 输入引脚 4
GPIO63	0、4、8、12	91	59	I/O	通用输入/输出 63
SPIB_PICO	5			I/O	SPI-B 外设输入控制器输出 (PICO)
MCANC_TX	6			O	CAN/CAN FD-C 传输
ADCD_EXTMUXSEL0	14			O	外部 ADC 选择多路复用器输出
GPIO64	0、4、8、12	92	60	I/O	通用输入/输出 64
SPIB_POCI	5			I/O	SPI-B 外设输出控制器输入 (POCI)
MCANA_TX	6			O	CAN/CAN FD-A 传输
ADCD_EXTMUXSEL1	14			O	外部 ADC 选择多路复用器输出
GPIO65	0、4、8、12	93	61	I/O	通用输入/输出 65
SPIB_CLK	5			I/O	SPI-B 时钟
MCANA_RX	6			I	CAN/CAN FD-A 接收
FSITXB_CLK	13			O	FSITX-B 输出时钟
ADCD_EXTMUXSEL2	14			O	外部 ADC 选择多路复用器输出
GPIO66	0、4、8、12	94	62	I/O	通用输入/输出 66
SPIB_PTE	5			I/O	SPI-B 外设发送使能 (PTE)
I2CB_SDA	6			I/OD	I2C-B 开漏双向数据
FSITXB_D1	13			O	FSITX-B 可选附加数据输出
ADCD_EXTMUXSEL3	14			O	外部 ADC 选择多路复用器输出
GPIO67	0、4、8、12			I/O	通用输入/输出 67
LINB_TX	5			O	LIN-B 发送
FSITXB_CLK	13			O	FSITX-B 输出时钟

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO68	0、4、8、12			I/O	通用输入/输出 68
LINB_RX	5	109		I	LIN-B 接收
FSIRXB_D1	13			I	FSIRX-B 可选附加数据输入
GPIO69	0、4、8、12			I/O	通用输入/输出 69
SPIC_PICO	5			I/O	SPI-C 外设输入控制器输出 (PICO)
GPIO70	0、4、8、12			I/O	通用输入/输出 70
SPIC_POCI	5			I/O	SPI-C 外设输出控制器输入 (POCI)
MCANC_RX	6	110	76	I	CAN/CAN FD-C 接收
UARTB_TX	7			I/O	UART-B 串行数据发送
FSIRXB_D0	13			I	FSIRX-B 主数据输入
GPIO71	0、4、8、12			I/O	通用输入/输出 71
SPIC_CLK	5			I/O	SPI-C 时钟
MCANC_TX	6	111	77	O	CAN/CAN FD-C 传输
UARTB_RX	7			I/O	UART-B 串行数据接收
FSITXB_D0	14			O	FSITX-B 主数据输出
GPIO72	0、4、8、12			I/O	通用输入/输出 72
SPIC_PTE	5			I/O	SPI-C 外设发送使能 (PTE)
MCANB_RX	6	114	80	I	CAN/CAN FD-B 接收
UARTA_TX	7			I/O	UART-A 串行数据发送
OUTPUTXBAR8	9			O	输出 X-BAR 输出 8
GPIO73	0、4、8、12			I/O	通用输入/输出 73
EPWM5_B	1			O	ePWM-5 输出 B
XCLKOUT	3			O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
UARTA_RX	7			I/O	UART-A 串行数据接收
GPIO74	0、4、8、12			I/O	通用输入/输出 74
EPWM8_A	1			O	ePWM-8 输出 A
FSITXA_D0	13			O	FSITX-A 主数据输出
GPIO75	0、4、8、12			I/O	通用输入/输出 75
EPWM8_B	1			O	ePWM-8 输出 B
SPID_CLK	5			I/O	SPI-D 时钟
GPIO76	0、4、8、12	115		I/O	通用输入/输出 76
GPIO77	0、4、8、12	116		I/O	通用输入/输出 77
FSITXB_D0	13			O	FSITX-B 主数据输出
GPIO78	0、4、8、12	117		I/O	通用输入/输出 78
GPIO79	0、4、8、12			I/O	通用输入/输出 79
ERRORSTS	5			O	错误状态输出。该信号需要一个外部下拉电阻。
GPIO80	0、4、8、12			I/O	通用输入/输出 80
GPIO81	0、4、8、12			I/O	通用输入/输出 81
GPIO82	0、4、8、12			I/O	通用输入/输出 82
GPIO83	0、4、8、12			I/O	通用输入/输出 83

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO84	0、4、8、12	119	81	I/O	通用输入/输出 84
SPIC_PICO	5			I/O	SPI-C 外设输入控制器输出 (PICO)
UARTA_TX	6			I/O	UART-A 串行数据发送
GPIO85	0、4、8、12			I/O	通用输入/输出 85
GPIO86	0、4、8、12			I/O	通用输入/输出 86
GPIO87	0、4、8、12			I/O	通用输入/输出 87
GPIO88	0、4、8、12			I/O	通用输入/输出 88
GPIO89	0、4、8、12			I/O	通用输入/输出 89
GPIO90	0、4、8、12			I/O	通用输入/输出 90
GPIO91	0、4、8、12			I/O	通用输入/输出 91
I2CA_SDA	6			I/OD	I2C-A 开漏双向数据
OUTPUTXBAR9	14			O	输出 X-BAR 输出 9
GPIO92	0、4、8、12			I/O	通用输入/输出 92
I2CA_SCL	6			I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR10	14			O	输出 X-BAR 输出 10
GPIO93	0、4、8、12			I/O	通用输入/输出 93
OUTPUTXBAR11	14			O	输出 X-BAR 输出 11
GPIO94	0、4、8、12			I/O	通用输入/输出 94
OUTPUTXBAR12	14			O	输出 X-BAR 输出 12
GPIO95	0、4、8、12			I/O	通用输入/输出 95
OUTPUTXBAR13	14			O	输出 X-BAR 输出 13
GPIO96	0、4、8、12			I/O	通用输入/输出 96
OUTPUTXBAR14	14			O	输出 X-BAR 输出 14
GPIO97	0、4、8、12			I/O	通用输入/输出 97
OUTPUTXBAR15	14			O	输出 X-BAR 输出 15
GPIO98	0、4、8、12			I/O	通用输入/输出 98
OUTPUTXBAR16	14			O	输出 X-BAR 输出 16
GPIO99	0、4、8、12			I/O	通用输入/输出 99
GPIO100	0、4、8、12			I/O	通用输入/输出 100
SPIA_PICO	6			I/O	SPI-A 外设输入控制器输出 (PICO)
GPIO101	0、4、8、12			I/O	通用输入/输出 101
FSITXA_D1	13			O	FSITX-A 可选附加数据输出
GPIO103	0、4、8、12	105		I/O	通用输入/输出 103
EPWM8_B	1			O	ePWM-8 输出 B
SPIC_PTE	5			I/O	SPI-C 外设发送使能 (PTE)
FSIRXA_D0	13			I	FSIRX-A 主数据输入
GPIO105	0、4、8、12			I/O	通用输入/输出 105
I2CA_SCL	5			I/OD	I2C-A 开漏双向时钟
FSIRXA_CLK	13			I	FSIRX-A 输入时钟
GPIO127	0、4、8、12	97	64	I/O	通用输入/输出 127
SPID_POCI	5			I/O	SPI-D 外设输出控制器输入 (POCI)

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
GPIO219	0、4、8、12	74	51	I/O	通用输入/输出 219
ERRORSTS	1			O	错误状态输出。该信号需要一个外部下拉电阻。
OUTPUTXBAR1	9			O	输出 X-BAR 输出 1
XCLKOUT	10			O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
GPIO220	0、4、8、12	102	70	I/O	通用输入/输出 220
EPWM6_A	1			O	ePWM-6 输出 A
SPID_POCI	5			I/O	SPI-D 外设输出控制器输入 (POCI)
MCANC_TX	6			O	CAN/CAN FD-C 传输
OUTPUTXBAR2	9			O	输出 X-BAR 输出 2
X1	ALT			I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。
GPIO221	0、4、8、12	100	68	I/O	通用输入/输出 221
EPWM6_B	1			O	ePWM-6 输出 B
SPID_PTE	5			I/O	SPI-D 外设发送使能 (PTE)
MCANC_RX	6			I	CAN/CAN FD-C 接收
OUTPUTXBAR3	9			O	输出 X-BAR 输出 3
X2	ALT			I/O	晶体振荡器输出。
GPIO222	0、4、8、12	64	42	I/O	通用输入/输出 222
TDI	1			I	带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器（指令或数据）中计时。
EPWM7_A	2			O	ePWM-7 输出 A
SPID_PICO	5			I/O	SPI-D 外设输入控制器输出 (PICO)
UARTB_TX	6			I/O	UART-B 串行数据发送
I2CB_SCL	7			I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR4	9			O	输出 X-BAR 输出 4
SPIC_CLK	10			I/O	SPI-C 时钟
GPIO223	0、4、8、12	65	43	I/O	通用输入/输出 223
TDO	1			O	JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器（指令或数据）的内容在 TCK 下降沿从 TDO 移出。
EPWM7_B	2			O	ePWM-7 输出 B
SPID_CLK	5			I/O	SPI-D 时钟
UARTB_RX	6			I/O	UART-B 串行数据接收
I2CB_SDA	7			I/OD	I2C-B 开漏双向数据
OUTPUTXBAR5	9			O	输出 X-BAR 输出 5
SPIC_PTE	10			I/O	SPI-C 外设发送使能 (PTE)
测试、JTAG 和复位					
TCK		70	48	I	带有内部上拉电阻的 JTAG 测试时钟。

Copyright © 2025 Texas Instruments Incorporated

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
TMS		69	47	I/O	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻器（建议 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。
VREGENZ			65	I	具有内部上拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。
XRSn		103	71	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-2. 引脚属性 (F29P32x) （续）

信号名称	多路复用器位置	144 RFS	100 PZS	引脚类型	说明
电源和接地					
VDD		6、8、67、71、87、98、112、123、137	5、6、45、49、55、66、78、95		1.25V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 10μF 的去耦电容器。此引脚的典型总电容为 22μF。去耦电容器的确切值应由您的系统电压调节解决方案确定。
VDDA		19、54	14、37		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 且连接至 VSSA 的去耦电容器。将该引脚连接到 3.3V 电源。
VDDIO		3、9、66、68、72、81、83、95、99、106、113、118、122、136	3、7、44、46、52、63、67、73、79		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。将该引脚连接到 3.3V 电源。
VSS		PAD	PAD		数字接地
VSSA		20、53	15、36		模拟接地
VSSOSC		101	69		晶体振荡器（X1 和 X2）接地引脚。始终将此引脚连接到电路板接地。

Copyright © 2025 Texas Instruments Incorporated

5.4 信号说明

5.4.1 模拟信号

表 5-3. 模拟信号

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
A0	I	ADC-A 输入 0		R1	44	36	25
A1	I	ADC-A 输入 1		P1	43	35	24
A2	I	ADC-A 输入 2		M1	36	28	
A3	I	ADC-A 输入 3		M2	35	27	
A4	I	ADC-A 输入 4		L2	32	24	
A5	I	ADC-A 输入 5		L1	31	23	
A6	I	ADC-A 输入 6	224	L5	26	18	13
A7	I	ADC-A 输入 7	225	K5	25	17	12
A8	I	ADC-A 输入 8	226	H4	22	16	
A9	I	ADC-A 输入 9	227	H3	21		
A10	I	ADC-A 输入 10	228	G3	18		
A11	I	ADC-A 输入 11	229	G4	17		
A12	I	ADC-A 输入 12		K2			
A13	I	ADC-A 输入 13		K1			
A14	I	ADC-A 输入 14		M3	40	32	21
A15	I	ADC-A 输入 15		M4	39	31	20
A24	I	ADC-A 输入 24		P3	49	41	30
A25	I	ADC-A 输入 25		P4	50	42	31
A26	I	ADC-A 输入 26		T5	59	51	
A27	I	ADC-A 输入 27		T6	60	52	
A28	I	ADC-A 输入 28	246	P11	67	56	38
A29	I	ADC-A 输入 29	247	R11	68	57	39
A30	I	ADC-A 输入 30	248	P13	73	62	
A31	I	ADC-A 输入 31	249	N13	74	63	
AIO160	I	用于数字输入 160 的模拟引脚		R1	44	36	25
AIO161	I	用于数字输入 161 的模拟引脚		P1	43	35	24
AIO162	I	用于数字输入 162 的模拟引脚		M1	36	28	
AIO163	I	用于数字输入 163 的模拟引脚		M2	35	27	
AIO164	I	用于数字输入 164 的模拟引脚		L2	32	24	
AIO165	I	用于数字输入 165 的模拟引脚		L1	31	23	
AIO166	I	用于数字输入 166 的模拟引脚		K2			
AIO167	I	用于数字输入 167 的模拟引脚		K1			
AIO168	I	用于数字输入 168 的模拟引脚		M3	40	32	21
AIO169	I	用于数字输入 169 的模拟引脚		M4	39	31	20
AIO170	I	用于数字输入 170 的模拟引脚		P2	42	34	23
AIO171	I	用于数字输入 171 的模拟引脚		N3	41	33	22
AIO172	I	用于数字输入 172 的模拟引脚		L4	34	26	17
AIO173	I	用于数字输入 173 的模拟引脚		L3	33	25	16
AIO174	I	用于数字输入 174 的模拟引脚		K4	30	22	

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-3. 模拟信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
AIO175	I	用于数字输入 175 的模拟引脚		K3	29	21	
AIO176	I	用于数字输入 176 的模拟引脚		J2			
AIO177	I	用于数字输入 177 的模拟引脚		J1			
AIO178	I	用于数字输入 178 的模拟引脚		J4			
AIO179	I	用于数字输入 179 的模拟引脚		J3			
AIO180	I	用于数字输入 180 的模拟引脚		R2	45	37	26
AIO181	I	用于数字输入 181 的模拟引脚		T2	46	38	27
AIO182	I	用于数字输入 182 的模拟引脚		N4	51	43	
AIO183	I	用于数字输入 183 的模拟引脚		M5	52	44	
AIO184	I	用于数字输入 184 的模拟引脚		P5	55	47	
AIO185	I	用于数字输入 185 的模拟引脚		N5	56	48	
AIO186	I	用于数字输入 186 的模拟引脚		N8			
AIO187	I	用于数字输入 187 的模拟引脚		P8			
AIO188	I	用于数字输入 188 的模拟引脚		R8			
AIO189	I	用于数字输入 189 的模拟引脚		T8			
AIO190	I	用于数字输入 190 的模拟引脚		N7			
AIO191	I	用于数字输入 191 的模拟引脚		P7			
AIO192	I	用于数字输入 192 的模拟引脚		R3	47	39	28
AIO193	I	用于数字输入 193 的模拟引脚		T3	48	40	29
AIO194	I	用于数字输入 194 的模拟引脚		R5	57	49	34
AIO195	I	用于数字输入 195 的模拟引脚		R6	58	50	35
AIO196	I	用于数字输入 196 的模拟引脚		N6			
AIO197	I	用于数字输入 197 的模拟引脚		P6			
AIO198	I	用于数字输入 198 的模拟引脚		M7			
AIO199	I	用于数字输入 199 的模拟引脚		M6			
AIO200	I	用于数字输入 200 的模拟引脚		R7			
AIO201	I	用于数字输入 201 的模拟引脚		T7			
AIO202	I	用于数字输入 202 的模拟引脚		P3	49	41	30
AIO203	I	用于数字输入 203 的模拟引脚		P4	50	42	31
AIO204	I	用于数字输入 204 的模拟引脚		T5	59	51	
AIO205	I	用于数字输入 205 的模拟引脚		T6	60	52	
AIO206	I	用于数字输入 206 的模拟引脚		T10			
AIO207	I	用于数字输入 207 的模拟引脚		T9			
AIO208	I	用于数字输入 208 的模拟引脚		R10			
AIO209	I	用于数字输入 209 的模拟引脚		R9			
AIO210	I	用于数字输入 210 的模拟引脚		P9			
AIO211	I	用于数字输入 211 的模拟引脚		N9			
AIO212	I	用于数字输入 212 的模拟引脚		P10			
AIO213	I	用于数字输入 213 的模拟引脚		T11			
B0	I	ADC-B 输入 0		P2	42	34	23
B1	I	ADC-B 输入 1		N3	41	33	22
B2	I	ADC-B 输入 2		L4	34	26	17

Copyright © 2025 Texas Instruments Incorporated

表 5-3. 模拟信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
B3	I	ADC-B 输入 3		L3	33	25	16
B4	I	ADC-B 输入 4		K4	30	22	
B5	I	ADC-B 输入 5		K3	29	21	
B6	I	ADC-B 输入 6	230	J5	24		
B7	I	ADC-B 输入 7	231	H5	23		
B8	I	ADC-B 输入 8	232	H2	20	15	11
B9	I	ADC-B 输入 9	233	H1	19	14	10
B10	I	ADC-B 输入 10	234	G2	16	13	
B11	I	ADC-B 输入 11	235	G1	15	12	
B12	I	ADC-B 输入 12		J2			
B13	I	ADC-B 输入 13		J1			
B14	I	ADC-B 输入 14		M3	40	32	21
B15	I	ADC-B 输入 15		M4	39	31	20
B16	I	ADC-B 输入 16		J4			
B17	I	ADC-B 输入 17		J3			
B24	I	ADC-B 输入 24		R3	47	39	28
B25	I	ADC-B 输入 25		T3	48	40	29
B26	I	ADC-B 输入 26		R5	57	49	34
B27	I	ADC-B 输入 27		R6	58	50	35
B28	I	ADC-B 输入 28	240	N10	65		
B29	I	ADC-B 输入 29	241	N11	66	55	
B30	I	ADC-B 输入 30	242	T12	71	60	
B31	I	ADC-B 输入 31	243	R12	72	61	
C0	I	ADC-C 输入 0		R2	45	37	26
C1	I	ADC-C 输入 1		T2	46	38	27
C2	I	ADC-C 输入 2		N4	51	43	
C3	I	ADC-C 输入 3		M5	52	44	
C4	I	ADC-C 输入 4		P5	55	47	
C5	I	ADC-C 输入 5		N5	56	48	
C6	I	ADC-C 输入 6	236	M8	63		
C7	I	ADC-C 输入 7	237	M9	64		
C8	I	ADC-C 输入 8	238	N12	69	58	40
C9	I	ADC-C 输入 9	239	P12	70	59	41
C10	I	ADC-C 输入 10		N8			
C11	I	ADC-C 输入 11		P8			
C12	I	ADC-C 输入 12		R8			
C13	I	ADC-C 输入 13		T8			
C14	I	ADC-C 输入 14		M3	40	32	21
C15	I	ADC-C 输入 15		M4	39	31	20
C16	I	ADC-C 输入 16		N7			
C17	I	ADC-C 输入 17		P7			
C24	I	ADC-C 输入 24		R1	44	36	25

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-3. 模拟信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
C25	I	ADC-C 输入 25		P1	43	35	24
C26	I	ADC-C 输入 26		P2	42	34	23
C27	I	ADC-C 输入 27		N3	41	33	22
C28	I	ADC-C 输入 28	244	R13	75		
C29	I	ADC-C 输入 29	245	T13	76		
C30	I	ADC-C 输入 30		T10			
C31	I	ADC-C 输入 31		T9			
CMP1_HN0	I	CMPSS-1 高电平比较器负输入 0		L1	31	23	
CMP1_HN1	I	CMPSS-1 高电平比较器负输入 1		M2	35	27	
CMP1_HP0	I	CMPSS-1 高电平比较器正输入 0		L2	32	24	
CMP1_HP1	I	CMPSS-1 高电平比较器正输入 1		M1	36	28	
CMP1_HP2	I	CMPSS-1 高电平比较器正输入 2		M2	35	27	
CMP1_HP3	I	CMPSS-1 高电平比较器正输入 3		L3	33	25	16
CMP1_HP4	I	CMPSS-1 高电平比较器正输入 4	242	T12	71	60	
CMP1_HP5	I	CMPSS-1 高电平比较器正输入 5		K2			
CMP1_LN0	I	CMPSS-1 低电平比较器负输入 0		L1	31	23	
CMP1_LN1	I	CMPSS-1 低电平比较器负输入 1		M2	35	27	
CMP1_LP0	I	CMPSS-1 低电平比较器正输入 0		L2	32	24	
CMP1_LP1	I	CMPSS-1 低电平比较器正输入 1		M1	36	28	
CMP1_LP2	I	CMPSS-1 低电平比较器正输入 2		M2	35	27	
CMP1_LP3	I	CMPSS-1 低电平比较器正输入 3		L3	33	25	16
CMP1_LP4	I	CMPSS-1 低电平比较器正输入 4	242	T12	71	60	
CMP1_LP5	I	CMPSS-1 低电平比较器正输入 5		K2			
CMP2_HN0	I	CMPSS-2 高电平比较器负输入 0	225	K5	25	17	12
CMP2_HN1	I	CMPSS-2 高电平比较器负输入 1		L2	32	24	
CMP2_HP0	I	CMPSS-2 高电平比较器正输入 0	224	L5	26	18	13
CMP2_HP1	I	CMPSS-2 高电平比较器正输入 1		T10			
CMP2_HP2	I	CMPSS-2 高电平比较器正输入 2		T9			
CMP2_HP3	I	CMPSS-2 高电平比较器正输入 3		M6			
CMP2_HP4	I	CMPSS-2 高电平比较器正输入 4	243	R12	72	61	
CMP2_HP5	I	CMPSS-2 高电平比较器正输入 5		K1			
CMP2_LN0	I	CMPSS-2 低电平比较器负输入 0	225	K5	25	17	12
CMP2_LN1	I	CMPSS-2 低电平比较器负输入 1		L2	32	24	
CMP2_LP0	I	CMPSS-2 低电平比较器正输入 0	224	L5	26	18	13
CMP2_LP1	I	CMPSS-2 低电平比较器正输入 1		T10			
CMP2_LP2	I	CMPSS-2 低电平比较器正输入 2		T9			
CMP2_LP3	I	CMPSS-2 低电平比较器正输入 3		M6			
CMP2_LP4	I	CMPSS-2 低电平比较器正输入 4	243	R12	72	61	
CMP2_LP5	I	CMPSS-2 低电平比较器正输入 5		K1			
CMP3_HN0	I	CMPSS-3 高电平比较器负输入 0		L3	33	25	16
CMP3_HN1	I	CMPSS-3 高电平比较器负输入 1		K3	29	21	

Copyright © 2025 Texas Instruments Incorporated

表 5-3. 模拟信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
CMP3_HP0_CMP2_HP6	I	CMPSS-3 高电平比较器正输入 0、CMPSS-2 高电平比较器正输入 6		L4	34	26	17
CMP3_HP1_CMP1_HP6	I	CMPSS-3 高电平比较器正输入 1、CMPSS-1 高电平比较器正输入 6		P2	42	34	23
CMP3_HP2	I	CMPSS-3 高电平比较器正输入 2		N3	41	33	22
CMP3_HP4	I	CMPSS-3 高电平比较器正输入 4		T5	59	51	
CMP3_HP5_CMP11_HP6	I	CMPSS-3 高电平比较器正输入 5，CMPSS-11 高电平比较器正输入 6		M3	40	32	21
CMP3_LN0	I	CMPSS-3 低电平比较器负输入 0		L3	33	25	16
CMP3_LN1	I	CMPSS-3 低电平比较器负输入 1		K3	29	21	
CMP3_LP0_CMP2_LP6	I	CMPSS-3 低电平比较器正输入 0，CMPSS-2 低电平比较器正输入 6		L4	34	26	17
CMP3_LP1_CMP1_LP6	I	CMPSS-3 低电平比较器正输入 1、CMPSS-1 低电平比较器正输入 6		P2	42	34	23
CMP3_LP2	I	CMPSS-3 低电平比较器正输入 2		N3	41	33	22
CMP3_LP3	I	CMPSS-3 低电平比较器正输入 3	245	T13	76		
CMP3_LP4	I	CMPSS-3 低电平比较器正输入 4		T5	59	51	
CMP3_LP5_CMP11_LP6	I	CMPSS-3 低电平比较器正输入 5、CMPSS-11 低电平比较器正输入 6		M3	40	32	21
CMP3_LP6_CMP7_LP0	I	CMPSS-3 高电平比较器正输入 6，CMPSS-7 低电平比较器正输入 0		T3	48	40	29
CMP4_HN0	I	CMPSS-4 高电平比较器负输入 0		P1	43	35	24
CMP4_HN1	I	CMPSS-4 高电平比较器负输入 1	241	N11	66	55	
CMP4_HP0_CMP9_HP6	I	CMPSS-4 高电平比较器正输入 0、CMPSS-9 高电平比较器正输入 6		R1	44	36	25
CMP4_HP1	I	CMPSS-4 高电平比较器正输入 1	241	N11	66	55	
CMP4_HP2_CMP10_HP6	I	CMPSS-4 高电平比较器正输入 2、CMPSS-10 高电平比较器正输入 6		R3	47	39	28
CMP4_HP3	I	CMPSS-4 高电平比较器正输入 3		R5	57	49	34
CMP4_HP4	I	CMPSS-4 高电平比较器正输入 4		T6	60	52	
CMP4_HP5_CMP12_HP6	I	CMPSS-4 高电平比较器正输入 5，CMPSS-12 高电平比较器正输入 6		M4	39	31	20
CMP4_LN0	I	CMPSS-4 低电平比较器负输入 0		P1	43	35	24
CMP4_LN1	I	CMPSS-4 低电平比较器负输入 1	241	N11	66	55	
CMP4_LP0_CMP9_LP6	I	CMPSS-4 低电平比较器正输入 0，CMPSS-9 低电平比较器正输入 6		R1	44	36	25
CMP4_LP1	I	CMPSS-4 低电平比较器正输入 1	241	N11	66	55	
CMP4_LP2_CMP10_LP6	I	CMPSS-4 低电平比较器正输入 2，CMPSS-10 低电平比较器正输入 6		R3	47	39	28
CMP4_LP3	I	CMPSS-4 低电平比较器正输入 3		R5	57	49	34
CMP4_LP4	I	CMPSS-4 低电平比较器正输入 4		T6	60	52	
CMP4_LP5_CMP12_LP6	I	CMPSS-4 低电平比较器正输入 5，CMPSS-12 低电平比较器正输入 6		M4	39	31	20
CMP5_HN0	I	CMPSS-5 高电平比较器负输入 0		M6			
CMP5_HN1	I	CMPSS-5 高电平比较器负输入 1	248	P13	73	62	

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-3. 模拟信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
CMP5_HP0	I	CMPSS-5 高电平比较器正输入 0		M7			
CMP5_HP1	I	CMPSS-5 高电平比较器正输入 1	248	P13	73	62	
CMP5_HP2	I	CMPSS-5 高电平比较器正输入 2	249	N13	74	63	
CMP5_HP4_CMP8_HP3	I	CMPSS-5 高电平比较器正输入 4， CMPSS-8 高电平比较器正输入 3	226	H4	22	16	
CMP5_HP5	I	CMPSS-5 高电平比较器正输入 5	237	M9	64		
CMP5_LN0	I	CMPSS-5 低电平比较器负输入 0		M6			
CMP5_LN1	I	CMPSS-5 低电平比较器负输入 1	248	P13	73	62	
CMP5_LP0	I	CMPSS-5 低电平比较器正输入 0		M7			
CMP5_LP1	I	CMPSS-5 低电平比较器正输入 1	248	P13	73	62	
CMP5_LP2	I	CMPSS-5 低电平比较器正输入 2	249	N13	74	63	
CMP5_LP3	I	CMPSS-5 低电平比较器正输入 3	240	N10	65		
CMP5_LP4	I	CMPSS-5 低电平比较器正输入 4	234	G2	16	13	
CMP5_LP5	I	CMPSS-5 低电平比较器正输入 5		T8			
CMP6_HN0	I	CMPSS-6 高电平比较器负输入 0	245	T13	76		
CMP6_HN1	I	CMPSS-6 高电平比较器负输入 1		T11			
CMP6_HP0	I	CMPSS-6 高电平比较器正输入 0	244	R13	75		
CMP6_HP1	I	CMPSS-6 高电平比较器正输入 1		T11			
CMP6_HP2	I	CMPSS-6 高电平比较器正输入 2		P10			
CMP6_HP4	I	CMPSS-6 高电平比较器正输入 4	227	H3	21		
CMP6_HP5_CMP12_HP0	I	CMPSS-6 高电平比较器正输入 5， CMPSS-12 高电平比较器正输入 0	238	N12	69	58	40
CMP6_LN0	I	CMPSS-6 低电平比较器负输入 0	245	T13	76		
CMP6_LN1	I	CMPSS-6 低电平比较器负输入 1		T11			
CMP6_LP0	I	CMPSS-6 低电平比较器正输入 0	244	R13	75		
CMP6_LP1	I	CMPSS-6 低电平比较器正输入 1		T11			
CMP6_LP2	I	CMPSS-6 低电平比较器正输入 2		P10			
CMP6_LP4	I	CMPSS-6 低电平比较器正输入 4	235	G1	15	12	
CMP6_LP5	I	CMPSS-6 低电平比较器正输入 5		N7			
CMP6_LP6_CMP12_LP5	I	CMPSS-6 低电平比较器正输入 6， CMPSS-12 低电平比较器正输入 5		P3	49	41	30
CMP7_HN0	I	CMPSS-7 高电平比较器负输入 0		R5	57	49	34
CMP7_HN1	I	CMPSS-7 高电平比较器负输入 1		K4	30	22	
CMP7_HP0_CMP3_HP6	I	CMPSS-7 高电平比较器正输入 0， CMPSS-3 高电平比较器正输入 6		T3	48	40	29
CMP7_HP1	I	CMPSS-7 高电平比较器正输入 1		K4	30	22	
CMP7_HP2	I	CMPSS-7 高电平比较器正输入 2		K3	29	21	
CMP7_HP4	I	CMPSS-7 高电平比较器正输入 4	228	G3	18		
CMP7_HP5_CMP9_HP3	I	CMPSS-7 高电平比较器正输入 5， CMPSS-9 高电平比较器正输入 3	239	P12	70	59	41
CMP7_LN0	I	CMPSS-7 低电平比较器负输入 0		R5	57	49	34
CMP7_LN1	I	CMPSS-7 低电平比较器负输入 1		K4	30	22	
CMP7_LP1	I	CMPSS-7 低电平比较器正输入 1		K4	30	22	

Copyright © 2025 Texas Instruments Incorporated

表 5-3. 模拟信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
CMP7_LP2	I	CMPSS-7 低电平比较器正输入 2		K3	29	21	
CMP7_LP4	I	CMPSS-7 低电平比较器正输入 4		J2			
CMP7_LP5	I	CMPSS-7 低电平比较器正输入 5		P7			
CMP8_HN0	I	CMPSS-8 高电平比较器负输入 0	240	N10	65		
CMP8_HN1	I	CMPSS-8 高电平比较器负输入 1	246	P11	67	56	38
CMP8_HP0_CMP10_HP3	I	CMPSS-8 高电平比较器正输入 0， CMPSS-10 高电平比较器正输入 3		R6	58	50	35
CMP8_HP1	I	CMPSS-8 高电平比较器正输入 1	246	P11	67	56	38
CMP8_HP2	I	CMPSS-8 高电平比较器正输入 2	247	R11	68	57	39
CMP8_HP4	I	CMPSS-8 高电平比较器正输入 4	229	G4	17		
CMP8_HP5	I	CMPSS-8 高电平比较器正输入 5		N8			
CMP8_LN0	I	CMPSS-8 低电平比较器负输入 0	240	N10	65		
CMP8_LN1	I	CMPSS-8 低电平比较器负输入 1	246	P11	67	56	38
CMP8_LP1	I	CMPSS-8 低电平比较器正输入 1	246	P11	67	56	38
CMP8_LP2	I	CMPSS-8 低电平比较器正输入 2	247	R11	68	57	39
CMP8_LP3	I	CMPSS-8 低电平比较器正输入 3	226	H4	22	16	
CMP8_LP4	I	CMPSS-8 低电平比较器正输入 4		J1			
CMP8_LP5	I	CMPSS-8 低电平比较器正输入 5		N6			
CMP9_HN0	I	CMPSS-9 高电平比较器负输入 0		M1	36	28	
CMP9_HN1	I	CMPSS-9 高电平比较器负输入 1		T9			
CMP9_HP1	I	CMPSS-9 高电平比较器正输入 1		N4	51	43	
CMP9_HP2	I	CMPSS-9 高电平比较器正输入 2	225	K5	25	17	12
CMP9_HP4	I	CMPSS-9 高电平比较器正输入 4	230	J5	24		
CMP9_HP5	I	CMPSS-9 高电平比较器正输入 5		J4			
CMP9_LN0	I	CMPSS-9 低电平比较器负输入 0		M1	36	28	
CMP9_LN1	I	CMPSS-9 低电平比较器负输入 1		T9			
CMP9_LP1	I	CMPSS-9 低电平比较器正输入 1		N4	51	43	
CMP9_LP2	I	CMPSS-9 低电平比较器正输入 2	225	K5	25	17	12
CMP9_LP3	I	CMPSS-9 低电平比较器正输入 3	239	P12	70	59	41
CMP9_LP4	I	CMPSS-9 低电平比较器正输入 4		M5	52	44	
CMP9_LP5	I	CMPSS-9 低电平比较器正输入 5		P6			
CMP10_HN0	I	CMPSS-10 高电平比较器负输入 0		T10			
CMP10_HN1	I	CMPSS-10 高电平比较器负输入 1		M7			
CMP10_HP0_CMP5_HP6	I	CMPSS-10 高电平比较器正输入 0， CMPSS-5 高电平比较器正输入 6		R2	45	37	26
CMP10_HP1	I	CMPSS-10 高电平比较器正输入 1		R10			
CMP10_HP2	I	CMPSS-10 高电平比较器正输入 2		P9			
CMP10_HP4	I	CMPSS-10 高电平比较器正输入 4	231	H5	23		
CMP10_HP5	I	CMPSS-10 高电平比较器正输入 5		J3			
CMP10_LN0	I	CMPSS-10 低电平比较器负输入 0		T10			
CMP10_LN1	I	CMPSS-10 低电平比较器负输入 1		M7			

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-3. 模拟信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
CMP10_LP0_CMP5_LP6	I	CMPSS-10 低电平比较器正输入 0，CMPSS-5 低电平比较器正输入 6		R2	45	37	26
CMP10_LP1	I	CMPSS-10 低电平比较器正输入 1		R10			
CMP10_LP2	I	CMPSS-10 低电平比较器正输入 2		P9			
CMP10_LP3_CMP8_LP0	I	CMPSS-10 低电平比较器正输入 3，CMPSS-8 低电平比较器正输入 0		R6	58	50	35
CMP10_LP4	I	CMPSS-10 低电平比较器正输入 4		P5	55	47	
CMP10_LP5	I	CMPSS-10 低电平比较器正输入 5		R7			
CMP11_HN0	I	CMPSS-11 高电平比较器负输入 0	230	J5	24		
CMP11_HN1	I	CMPSS-11 高电平比较器负输入 1		N4	51	43	
CMP11_HP0_CMP9_HP0	I	CMPSS-11 高电平比较器正输入 0，CMPSS-9 高电平比较器正输入 0		T2	46	38	27
CMP11_HP1	I	CMPSS-11 高电平比较器正输入 1		R9			
CMP11_HP2	I	CMPSS-11 高电平比较器正输入 2		N9			
CMP11_HP4_CMP4_HP6	I	CMPSS-11 高电平比较器正输入 4，CMPSS-4 高电平比较器正输入 6	232	H2	20	15	11
CMP11_HP5	I	CMPSS-11 高电平比较器正输入 5		P8			
CMP11_LN0	I	CMPSS-11 低电平比较器负输入 0	230	J5	24		
CMP11_LN1	I	CMPSS-11 低电平比较器负输入 1		N4	51	43	
CMP11_LP0_CMP9_LP0	I	CMPSS-11 低电平比较器正输入 0，CMPSS-9 低电平比较器正输入 0		T2	46	38	27
CMP11_LP1	I	CMPSS-11 低电平比较器正输入 1		R9			
CMP11_LP2	I	CMPSS-11 低电平比较器正输入 2		N9			
CMP11_LP4	I	CMPSS-11 低电平比较器正输入 4		N5	56	48	
CMP11_LP5	I	CMPSS-11 低电平比较器正输入 5		T7			
CMP12_HN0	I	CMPSS-12 高电平比较器负输入 0	224	L5	26	18	13
CMP12_HP1_CMP11_HP3	I	CMPSS-12 高电平比较器正输入 1，CMPSS-11 高电平比较器正输入 3		P4	50	42	31
CMP12_HP4_CMP8_HP6	I	CMPSS-12 高电平比较器正输入 4，CMPSS-8 高电平比较器正输入 6	233	H1	19	14	10
CMP12_HP5	I	CMPSS-12 高电平比较器正输入 5		R8			
CMP12_LN0	I	CMPSS-12 低电平比较器负输入 0	224	L5	26	18	13
CMP12_LN1_CMP12_HN1	I	CMPSS-12 低电平比较器负输入 1，CMPSS-12 高电平比较器负输入 1		N3	41	33	22
CMP12_LP0	I	CMPSS-12 低电平比较器正输入 0	238	N12	69	58	40
CMP12_LP1_CMP11_LP3	I	CMPSS-12 低电平比较器正输入 1，CMPSS-11 低电平比较器正输入 3		P4	50	42	31
CMP12_LP4	I	CMPSS-12 低电平比较器正输入 4	236	M8	63		
D0	I	ADC-D 输入 0		R3	47	39	28
D1	I	ADC-D 输入 1		T3	48	40	29
D2	I	ADC-D 输入 2		R5	57	49	34
D3	I	ADC-D 输入 3		R6	58	50	35
D4	I	ADC-D 输入 4	240	N10	65		
D5	I	ADC-D 输入 5	241	N11	66	55	

Copyright © 2025 Texas Instruments Incorporated

表 5-3. 模拟信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
D6	I	ADC-D 输入 6	242	T12	71	60	
D7	I	ADC-D 输入 7	243	R12	72	61	
D8	I	ADC-D 输入 8	244	R13	75		
D9	I	ADC-D 输入 9	245	T13	76		
D10	I	ADC-D 输入 10		N6			
D11	I	ADC-D 输入 11		P6			
D12	I	ADC-D 输入 12		M7			
D13	I	ADC-D 输入 13		M6			
D14	I	ADC-D 输入 14		M3	40	32	21
D15	I	ADC-D 输入 15		M4	39	31	20
D16	I	ADC-D 输入 16		R7			
D17	I	ADC-D 输入 17		T7			
D24	I	ADC-D 输入 24		M1	36	28	
D25	I	ADC-D 输入 25		M2	35	27	
D26	I	ADC-D 输入 26		L4	34	26	17
D27	I	ADC-D 输入 27		L3	33	25	16
D28	I	ADC-D 输入 28		L2	32	24	
D29	I	ADC-D 输入 29		L1	31	23	
D30	I	ADC-D 输入 30		K4	30	22	
D31	I	ADC-D 输入 31		K3	29	21	
DACA_OUT	O	缓冲 DAC-A 输出。		R1	44	36	25
DACB_OUT	O	缓冲 DAC-B 输出。		P3	49	41	30
E0	I	ADC-E 输入 0		P3	49	41	30
E1	I	ADC-E 输入 1		P4	50	42	31
E2	I	ADC-E 输入 2		T5	59	51	
E3	I	ADC-E 输入 3		T6	60	52	
E4	I	ADC-E 输入 4	246	P11	67	56	38
E5	I	ADC-E 输入 5	247	R11	68	57	39
E6	I	ADC-E 输入 6	248	P13	73	62	
E7	I	ADC-E 输入 7	249	N13	74	63	
E8	I	ADC-E 输入 8		T10			
E9	I	ADC-E 输入 9		T9			
E10	I	ADC-E 输入 10		R10			
E11	I	ADC-E 输入 11		R9			
E12	I	ADC-E 输入 12		P9			
E13	I	ADC-E 输入 13		N9			
E14	I	ADC-E 输入 14		M3	40	32	21
E15	I	ADC-E 输入 15		M4	39	31	20
E16	I	ADC-E 输入 16		P10			
E17	I	ADC-E 输入 17		T11			
E24	I	ADC-E 输入 24	224	L5	26	18	13
E25	I	ADC-E 输入 25	225	K5	25	17	12

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-3. 模拟信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
E26	I	ADC-E 输入 26	230	J5	24		
E27	I	ADC-E 输入 27	231	H5	23		
E28	I	ADC-E 输入 28		R2	45	37	26
E29	I	ADC-E 输入 29		T2	46	38	27
E30	I	ADC-E 输入 30		N4	51	43	
E31	I	ADC-E 输入 31		M5	52	44	
VDAC	I	片上 DAC 的可选外部基准电压。		P2	42	34	23
VREFHIAB	I	ADC-AB 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚		N2	38	30	19
VREFHICDE	I	ADC-CDE 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚		R4	54	46	33
VREFLOAB	I	ADC-AB 低基准电压		N1	37	29	18
VREFLOCDE	I	ADC-CDE 低基准电压		T4	53	45	32

Copyright © 2025 Texas Instruments Incorporated

5.4.2 数字信号

表 5-4. 数字信号

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
ADCA_EXTMUXSEL0	O	外部 ADC 选择多路复用器输出	224	L5	26	18	13
ADCA_EXTMUXSEL1	O	外部 ADC 选择多路复用器输出	225	K5	25	17	12
ADCA_EXTMUXSEL2	O	外部 ADC 选择多路复用器输出	10, 226	C5, H4	22, 172	16, 140	98
ADCA_EXTMUXSEL3	O	外部 ADC 选择多路复用器输出	15, 227	C4, H3	1, 21	1	1
ADCB_EXTMUXSEL0	O	外部 ADC 选择多路复用器输出	18, 230	F2, J5	13, 24	10	8
ADCB_EXTMUXSEL1	O	外部 ADC 选择多路复用器输出	22, 231	F1, H5	14, 23	11	9
ADCB_EXTMUXSEL2	O	外部 ADC 选择多路复用器输出	232	H2	20	15	11
ADCB_EXTMUXSEL3	O	外部 ADC 选择多路复用器输出	233	H1	19	14	10
ADCC_EXTMUXSEL0	O	外部 ADC 选择多路复用器输出	23, 236	B8, M8	63, 159	127	87
ADCC_EXTMUXSEL1	O	外部 ADC 选择多路复用器输出	29, 237	A9, M9	64, 151	121	84
ADCC_EXTMUXSEL2	O	外部 ADC 选择多路复用器输出	238	N12	69	58	40
ADCC_EXTMUXSEL3	O	外部 ADC 选择多路复用器输出	239	P12	70	59	41
ADCD_EXTMUXSEL0	O	外部 ADC 选择多路复用器输出	63, 240	H14, N10	65, 110	91	59
ADCD_EXTMUXSEL1	O	外部 ADC 选择多路复用器输出	64, 241	H15, N11	66, 111	55, 92	60
ADCD_EXTMUXSEL2	O	外部 ADC 选择多路复用器输出	65, 242	H16, T12	71, 112	60, 93	61
ADCD_EXTMUXSEL3	O	外部 ADC 选择多路复用器输出	66, 243	G13, R12	72, 113	61, 94	62
ADCE_EXTMUXSEL0	O	外部 ADC 选择多路复用器输出	246	P11	67	56	38
ADCE_EXTMUXSEL1	O	外部 ADC 选择多路复用器输出	247	R11	68	57	39
ADCE_EXTMUXSEL2	O	外部 ADC 选择多路复用器输出	42, 248	C16, P13	73, 130	62, 107	74
ADCE_EXTMUXSEL3	O	外部 ADC 选择多路复用器输出	43, 249	C15, N13	74, 131	63, 108	75
ADCSOCAO	O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 A 输出	8, 12	A3, D6	170, 174	138, 142	96, 100
ADCSOCBO	O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 B 输出	10, 19	B1, C5	5, 172	5, 140	98
EMIF1_A0	O	外部存储器接口 1 地址线 0	35, 38	E1, E14	10, 125	104	72
EMIF1_A1	O	外部存储器接口 1 地址线 1	12、36、39	A3、N14、P15	86, 174	142	100
EMIF1_A2	O	外部存储器接口 1 地址线 2	37、40、42	C16、P16、R16	85、87、130	107	74
EMIF1_A3	O	外部存储器接口 1 地址线 3	38, 41	E14, N15	89, 125	73, 104	50, 72
EMIF1_A4	O	外部存储器接口 1 地址线 4	39、43、44	C15、G14、P15	86、114、131	108	75
EMIF1_A5	O	外部存储器接口 1 地址线 5	45、49、101	B5、G15、M15	92, 116	75	
EMIF1_A6	O	外部存储器接口 1 地址线 6	46, 50	D14, M14	93, 128	76	
EMIF1_A7	O	外部存储器接口 1 地址线 7	47, 51	D15, M13	94, 129	77	
EMIF1_A8	O	外部存储器接口 1 地址线 8	48, 52	L14, N16	90, 95	78	
EMIF1_A9	O	外部存储器接口 1 地址线 9	49, 53	L15, M15	92, 96	75, 79	
EMIF1_A10	O	外部存储器接口 1 地址线 10	50, 54	L16, M14	93, 97	76, 80	
EMIF1_A11	O	外部存储器接口 1 地址线 11	51, 127	F13, M13	94, 118	77, 97	64
EMIF1_A12	O	外部存储器接口 1 地址线 12	30, 52	A10, L14	95, 150	78, 120	83
EMIF1_A13	O	外部存储器接口 1 地址线 13	0、42、86	A8、C11、C16	130, 160	107, 128	74, 88
EMIF1_A14	O	外部存储器接口 1 地址线 14	1, 87	A7, C10	161	129	89
EMIF1_A15	O	外部存储器接口 1 地址线 15	2, 88	B7, C3	162	130	90
EMIF1_A16	O	外部存储器接口 1 地址线 16	3, 89	C7, D4	163	131	91
EMIF1_A17	O	外部存储器接口 1 地址线 17	4, 90	D3, D7	164	132	92
EMIF1_A18	O	外部存储器接口 1 地址线 18	5, 91	A6, D2	165	133	93
EMIF1_A19	O	外部存储器接口 1 地址线 19	92, 219	E2, M16	91	74	51
EMIF1_BA0	O	外部存储器接口 1 存储库地址 0	16、20、33、93、103	C1、D5、D16、E3、P14	2、6、126	2、105	2
EMIF1_BA1	O	外部存储器接口 1 存储库地址 1	17、21、34、92、94、100	B2、B4、C2、D1、E2、E4	4、7、9	4、7	4
EMIF1_CAS	O	外部存储器接口 1 列地址选通	7、86、89、221	C6、C11、D4、F16	121, 167	100, 135	68
EMIF1_CLK	O	外部存储器接口 1 时钟	6, 30	A10, B6	150, 166	120, 134	83, 94

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
EMIF1_CS0n	O	外部存储器接口 1 芯片选择 0	13, 32	A2, G16	117, 175	96, 143	
EMIF1_CS2n	O	外部存储器接口 1 芯片选择 2	28、34、38	D1、D9、E14	9、125、154	7、104	72
EMIF1_CS3n	O	外部存储器接口 1 芯片选择 3	19, 35	B1, E1	5, 10	5	
EMIF1_CS4n	O	外部存储器接口 1 芯片选择 4	28、30、84	A10、D9、D11	148、150、154	119、120	81、83
EMIF1_D0	I/O	外部存储器接口 1 数据线 0	0、55、60、85	A8、B11、J15、K13	99、106、160	88、128	56、88
EMIF1_D1	I/O	外部存储器接口 1 数据线 1	56、83、84	A11、D11、K14	100, 148	82, 119	81
EMIF1_D2	I/O	外部存储器接口 1 数据线 2	57, 82	D10, K15	102	84	
EMIF1_D3	I/O	外部存储器接口 1 数据线 3	1、81、103	A7、A12、D16	126, 161	105, 129	89
EMIF1_D4	I/O	外部存储器接口 1 数据线 4	2、68、80	B7、B12、B15	133, 162	109, 130	90
EMIF1_D5	I/O	外部存储器接口 1 数据线 5	3、71、79	B14、C7、C12	136、146、163	111、131	77、91
EMIF1_D6	I/O	外部存储器接口 1 数据线 6	61, 78	D12, J13	108, 145	89, 117	57
EMIF1_D7	I/O	外部存储器接口 1 数据线 7	62, 77	A13, H13	109, 144	90, 116	58
EMIF1_D8	I/O	外部存储器接口 1 数据线 8	76	B13	143	115	
EMIF1_D9	I/O	外部存储器接口 1 数据线 9	4、13、75	A2、C13、D7	142、164、175	132、143	92
EMIF1_D10	I/O	外部存储器接口 1 数据线 10	5, 74	A6, D13	141, 165	133	93
EMIF1_D11	I/O	外部存储器接口 1 数据线 11	9, 73	A5, E13	140, 171	139	97
EMIF1_D12	I/O	外部存储器接口 1 数据线 12	72	A14	139	114	80
EMIF1_D13	I/O	外部存储器接口 1 数据线 13	14、43、68、71	B3、B14、B15、C15	131、133、136、176	108、109、111、144	75、77
EMIF1_D14	I/O	外部存储器接口 1 数据线 14	70	C14	135	110	76
EMIF1_D15	I/O	外部存储器接口 1 数据线 15	11, 69	A4, A15	134, 173	141	99
EMIF1_D16	I/O	外部存储器接口 1 数据线 16	68	B15	133	109	
EMIF1_D17	I/O	外部存储器接口 1 数据线 17	14、67、99	B3、B16、G5	132, 176	144	
EMIF1_D18	I/O	外部存储器接口 1 数据线 18	66, 127	F13, G13	113, 118	94, 97	62, 64
EMIF1_D19	I/O	外部存储器接口 1 数据线 19	65	H16	112	93	61
EMIF1_D20	I/O	外部存储器接口 1 数据线 20	64	H15	111	92	60
EMIF1_D21	I/O	外部存储器接口 1 数据线 21	63	H14	110	91	59
EMIF1_D22	I/O	外部存储器接口 1 数据线 22	62	H13	109	90	58
EMIF1_D23	I/O	外部存储器接口 1 数据线 23	61	J13	108	89	57
EMIF1_D24	I/O	外部存储器接口 1 数据线 24	37、60、100	B4、J15、R16	85, 106	88	56
EMIF1_D25	I/O	外部存储器接口 1 数据线 25	59	J16	104	86	54
EMIF1_D26	I/O	外部存储器接口 1 数据线 26	58	K16	103	85	53
EMIF1_D27	I/O	外部存储器接口 1 数据线 27	57	K15	102	84	
EMIF1_D28	I/O	外部存储器接口 1 数据线 28	56	K14	100	82	
EMIF1_D29	I/O	外部存储器接口 1 数据线 29	16, 55	D5, K13	2, 99	2	2
EMIF1_D30	I/O	外部存储器接口 1 数据线 30	54	L16	97	80	
EMIF1_D31	I/O	外部存储器接口 1 数据线 31	53	L15	96	79	
EMIF1_DQM0	O	外部存储器接口 1 字节 0 的输入/输出掩码	6、24、88、92	B6、C3、C8、E2	158, 166	126, 134	94
EMIF1_DQM1	O	外部存储器接口 1 字节 1 的输入/输出掩码	7、25、88、89	C3、C6、D4、D8	157, 167	125, 135	86
EMIF1_DQM2	O	外部存储器接口 1 字节 2 的输入/输出掩码	20、26、85、90、91	B9、B11、C1、D2、D3	6, 156	124	85
EMIF1_DQM3	O	外部存储器接口 1 字节 3 的输入/输出掩码	17、27、87、91、99	B2、C9、C10、D2、G5	4, 155	4	4
EMIF1_OEn	O	外部存储器接口 1 输出使能	32、37、66	G13、G16、R16	85、113、117	94、96	62
EMIF1_RAS	O	外部存储器接口 1 行地址选通	8、87、90	C10、D3、D6	170	138	96
EMIF1_RNW	O	外部存储器接口 1 读/不写	31、33、63	B10、H14、P14	110, 149	91	59、82
EMIF1_SDCKE	O	外部存储器接口 1 SDRAM 时钟使能	248	P13	73	62	
EMIF1_WAIT	I	外部存储器接口 1 异步 SRAM WAIT	36、55、64	H15、K13、N14	99, 111	92	60
EMIF1_WEn	O	外部存储器接口 1 写入使能	31、36、65	B10、H16、N14	112, 149	93	61、82
EPWM1_A	O	ePWM-1 输出 A	0, 40	A8, P16	87, 160	128	88
EPWM1_B	O	ePWM-1 输出 B	1, 41	A7, N15	89, 161	73, 129	50, 89

Copyright © 2025 Texas Instruments Incorporated

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
EPWM2_A	O	ePWM-2 输出 A	2, 24	B7, C8	158, 162	126, 130	90
EPWM2_B	O	ePWM-2 输出 B	3, 25	C7, D8	157, 163	125, 131	86, 91
EPWM3_A	O	ePWM-3 输出 A	4, 48	D7, N16	90, 164	132	92
EPWM3_B	O	ePWM-3 输出 B	5、34、60	A6、D1、J15	9、106、165	7、88、133	56、93
EPWM4_A	O	ePWM-4 输出 A	6、27、46	B6、C9、D14	128、155、166	134	94
EPWM4_B	O	ePWM-4 输出 B	7、8、28、47	C6、D6、D9、D15	129、154、167、170	135、138	96
EPWM5_A	O	ePWM-5 输出 A	8, 59	D6, J16	104, 170	86, 138	54, 96
EPWM5_B	O	ePWM-5 输出 B	9, 73	A5, E13	140, 171	139	97
EPWM6_A	O	ePWM-6 输出 A	14, 220	B3, E16	123, 176	102, 144	70
EPWM6_B	O	ePWM-6 输出 B	11, 221	A4, F16	121, 173	100, 141	68, 99
EPWM7_A	O	ePWM-7 输出 A	12, 222	A3, T14	77, 174	64, 142	42, 100
EPWM7_B	O	ePWM-7 输出 B	11、13、223	A2、A4、R14	78、173、175	65、141、143	43、99
EPWM8_A	O	ePWM-8 输出 A	10、58、74、99、236、241	C5、D13、G5、K16、M8、N11	63、66、103、141、172	55、85、140	53、98
EPWM8_B	O	ePWM-8 输出 B	15、59、75、103、232、237、243	C4、C13、D16、H2、J16、M9、R12	1、20、64、72、104、126、142	1、15、61、86、105	1、11、54
EPWM9_A	O	ePWM-9 输出 A	16、63、76、100	B4、B13、D5、H14	2、110、143	2、91、115	2、59
EPWM9_B	O	ePWM-9 输出 B	17、64、77、235	A13、B2、G1、H15	4、15、111、144	4、12、92、116	4、60
EPWM10_A	O	ePWM-10 输出 A	65、78、226	D12、H4、H16	22、112、145	16、93、117	61
EPWM10_B	O	ePWM-10 输出 B	19、66、79、231	B1、C12、G13、H5	5、23、113、146	5、94	62
EPWM11_A	O	ePWM-11 输出 A	20、69、71、78、80、230	A15、B12、B14、C1、D12、J5	6、24、134、136、145	111、117	77
EPWM11_B	O	ePWM-11 输出 B	21、70、81、225	A12、C2、C14、K5	7、25、135	17、110	12、76
EPWM12_A	O	ePWM-12 输出 A	22、71、82、224、234	B14、D10、F1、G2、L5	14、16、26、136	11、13、18、111	9、13、77
EPWM12_B	O	ePWM-12 输出 B	23、72、83、84、224、229、236	A11、A14、B8、D11、G4、L5、M8	17、26、63、139、148、159	18、114、119、127	13、80、81、87
EPWM13_A	O	ePWM-13 输出 A	24、40、58、85、228	B11、C8、G3、K16、P16	18、87、103、158	85、126	53
EPWM13_B	O	ePWM-13 输出 B	25、41、86、233	C11、D8、H1、N15	19、89、157	14、73、125	10、50、86
EPWM14_A	O	ePWM-14 输出 A	26、42、46、87、232、237	B9、C10、C16、D14、H2、M9	20、64、128、130、156	15、107、124	11、74、85
EPWM14_B	O	ePWM-14 输出 B	27、43、47、88、227、240	C3、C9、C15、D15、H3、N10	21、65、129、131、155	108	75
EPWM15_A	O	ePWM-15 输出 A	18、28、50、89、247	D4、D9、F2、M14、R11	13、68、93、154	10、57、76	8、39
EPWM15_B	O	ePWM-15 输出 B	29、51、90、238	A9、D3、M13、N12	69、94、151	58、77、121	40、84
EPWM16_A	O	ePWM-16 输出 A	30、52、91、246	A10、D2、L14、P11	67、95、150	56、78、120	38、83
EPWM16_B	O	ePWM-16 输出 B	31、53、55、92、239	B10、E2、K13、L15、P12	70、96、99、149	59、79	41、82
EPWM17_A	O	ePWM-17 输出 A	56、62、67、93、234	B16、E3、G2、H13、K14	16、100、109、132	13、82、90	58
EPWM17_B	O	ePWM-17 输出 B	57、61、68、94、229、237	B15、E4、G4、J13、K15、M9	17、64、102、108、133	84、89、109	57
EPWM18_A	O	ePWM-18 输出 A	14、34、37、41、95、101、127、228	B3、B5、D1、E5、F13、G3、N15、R16	9、18、85、89、118、176	7、73、97、144	50、64

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
EPWM18_B	O	ePWM-18 输出 B	35、38、96、105、219、233	E1、E14、F3、H1、J14、M16	10、19、91、125	14、74、104	10、51、72
ERRORSTS	O	错误状态输出。该信号需要一个外部下拉电阻。	4、79、80、219、247	B12、C12、D7、M16、R11	68、91、146、164	57、74、132	39、51、92
ESC_GPI0	I	EtherCAT 通用输入 0	0, 100	A8, B4	160	128	88
ESC_GPI1	I	EtherCAT 通用输入 1	1, 101	A7, B5	161	129	89
ESC_GPI2	I	EtherCAT 通用输入 2	2	B7	162	130	90
ESC_GPI3	I	EtherCAT 通用输入 3	3, 103	C7, D16	126, 163	105, 131	91
ESC_GPI4	I	EtherCAT 通用输入 4	4	D7	164	132	92
ESC_GPI5	I	EtherCAT 通用输入 5	5, 105	A6, J14	165	133	93
ESC_GPI6	I	EtherCAT 通用输入 6	6	B6	166	134	94
ESC_GPI7	I	EtherCAT 通用输入 7	7	C6	167	135	
ESC_GPI8	I	EtherCAT 通用输入 8	219	M16	91	74	51
ESC_GPI9	I	EtherCAT 通用输入 9	220	E16	123	102	70
ESC_GPI10	I	EtherCAT 通用输入 10	221	F16	121	100	68
ESC_GPI11	I	EtherCAT 通用输入 11	222	T14	77	64	42
ESC_GPI12	I	EtherCAT 通用输入 12	223	R14	78	65	43
ESC_GPI13	I	EtherCAT 通用输入 13	65	H16	112	93	61
ESC_GPI14	I	EtherCAT 通用输入 14	66	G13	113	94	62
ESC_GPI15	I	EtherCAT 通用输入 15	68	B15	133	109	
ESC_GPI16	I	EtherCAT 通用输入 16	70	C14	135	110	76
ESC_GPI17	I	EtherCAT 通用输入 17	76, 97	B13, F4	143	115	
ESC_GPI18	I	EtherCAT 通用输入 18	78, 98	D12, F5	145	117	
ESC_GPI19	I	EtherCAT 通用输入 19	10	C5	172	140	98
ESC_GPI20	I	EtherCAT 通用输入 20	15	C4	1	1	1
ESC_GPI21	I	EtherCAT 通用输入 21	18, 99	F2, G5	13	10	8
ESC_GPI22	I	EtherCAT 通用输入 22	22	F1	14	11	9
ESC_GPI23	I	EtherCAT 通用输入 23	23	B8	159	127	87
ESC_GPI24	I	EtherCAT 通用输入 24	24	C8	158	126	
ESC_GPI25	I	EtherCAT 通用输入 25	50	M14	93	76	
ESC_GPI26	I	EtherCAT 通用输入 26	51	M13	94	77	
ESC_GPI27	I	EtherCAT 通用输入 27	127	F13	118	97	64
ESC_GPI28	I	EtherCAT 通用输入 28	53	L15	96	79	
ESC_GPI29	I	EtherCAT 通用输入 29	54	L16	97	80	
ESC_GPI30	I	EtherCAT 通用输入 30	56	K14	100	82	
ESC_GPI31	I	EtherCAT 通用输入 31	57	K15	102	84	
ESC_GPO0	O	EtherCAT 通用输出 0	8	D6	170	138	96
ESC_GPO1	O	EtherCAT 通用输出 1	9	A5	171	139	97
ESC_GPO2	O	EtherCAT 通用输出 2	22, 40	F1, P16	14, 87	11	9
ESC_GPO3	O	EtherCAT 通用输出 3	11	A4	173	141	99
ESC_GPO4	O	EtherCAT 通用输出 4	12	A3	174	142	100
ESC_GPO5	O	EtherCAT 通用输出 5	13	A2	175	143	
ESC_GPO6	O	EtherCAT 通用输出 6	14	B3	176	144	
ESC_GPO7	O	EtherCAT 通用输出 7	15	C4	1	1	1
ESC_GPO8	O	EtherCAT 通用输出 8	224	L5	26	18	13
ESC_GPO9	O	EtherCAT 通用输出 9	225	K5	25	17	12
ESC_GPO10	O	EtherCAT 通用输出 10	95, 226	E5, H4	22	16	
ESC_GPO11	O	EtherCAT 通用输出 11	96, 232	F3, H2	20	15	11
ESC_GPO12	O	EtherCAT 通用输出 12	233	H1	19	14	10
ESC_GPO13	O	EtherCAT 通用输出 13	234	G2	16	13	
ESC_GPO14	O	EtherCAT 通用输出 14	235	G1	15	12	

Copyright © 2025 Texas Instruments Incorporated

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
ESC_GPO15	O	EtherCAT 通用输出 15	238	N12	69	58	40
ESC_GPO16	O	EtherCAT 通用输出 16	239	P12	70	59	41
ESC_GPO17	O	EtherCAT 通用输出 17	241	N11	66	55	
ESC_GPO18	O	EtherCAT 通用输出 18	242	T12	71	60	
ESC_GPO19	O	EtherCAT 通用输出 19	243	R12	72	61	
ESC_GPO20	O	EtherCAT 通用输出 20	246	P11	67	56	38
ESC_GPO21	O	EtherCAT 通用输出 21	247	R11	68	57	39
ESC_GPO22	O	EtherCAT 通用输出 22	248	P13	73	62	
ESC_GPO23	O	EtherCAT 通用输出 23	249	N13	74	63	
ESC_GPO24	O	EtherCAT 通用输出 24	84	D11	148	119	81
ESC_GPO25	O	EtherCAT 通用输出 25	103	D16	126	105	
ESC_GPO26	O	EtherCAT 通用输出 26	127	F13	118	97	64
ESC_GPO27	O	EtherCAT 通用输出 27	219	M16	91	74	51
ESC_GPO28	O	EtherCAT 通用输出 28	220	E16	123	102	70
ESC_GPO29	O	EtherCAT 通用输出 29	221	F16	121	100	68
ESC_GPO30	O	EtherCAT 通用输出 30	222	T14	77	64	42
ESC_GPO31	O	EtherCAT 通用输出 31	223	R14	78	65	43
ESC_I2C_SCL	I/OC	EtherCAT I2C 时钟	30, 237	A10, M9	64, 150	120	83
ESC_I2C_SDA	I/OC	EtherCAT I2C 数据	29, 236	A9, M8	63, 151	121	84
ESC_LATCH0	I	EtherCAT 锁存器信号输入 0	29、34、60	A9、D1、J15	9、106、151	7、88、121	56、84
ESC_LATCH1	I	EtherCAT 锁存器信号输入 1	30、35、61	A10、E1、J13	10、108、150	89、120	57、83
ESC_LED_ERR	O	EtherCAT 错误 LED	33、60、241	J15、N11、P14	66, 106	55, 88	56
ESC_LED_LINK0_ACTIVE	O	EtherCAT Link-0 有效	58, 243	K16, R12	72, 103	61, 85	53
ESC_LED_LINK1_ACTIVE	O	EtherCAT Link-1 有效	59, 244	J16, R13	75, 104	86	54
ESC_LED_RUN	O	EtherCAT 运行 LED	39、61、240、248	J13、N10、P13、P15	65、73、86、108	62、89	57
ESC_LED_STATE_RUN	O	EtherCAT LED 状态运行	62, 242	H13, T12	71, 109	60, 90	58
ESC_MDIO_CLK	O	EtherCAT MDIO 时钟	26、46、62	B9、D14、H13	109、128、156	90、124	58、85
ESC_MDIO_DATA	I/O	EtherCAT MDIO 数据	27、39、47、57	C9、D15、K15、P15	86、102、129、155	84	
ESC_PDI_UC_IRQ	O	EtherCAT PDI IRQ 中断线路	56	K14	100	82	
ESC_PHY0_LINKSTATUS	I	EtherCAT PHY-0 链路状态	53、55、86、232、249	C11、H2、K13、L15、N13	20、74、96、99	15、63、79	11
ESC_PHY1_LINKSTATUS	I	EtherCAT PHY-1 链路状态	14、68、233	B3、B15、H1	19、133、176	14、109、144	10
ESC_PHY_CLK	O	EtherCAT PHY 时钟	48, 54	L16, N16	90, 97	80	
ESC_PHY_RESETn	O	EtherCAT PHY 低电平有效复位	23、76、245	B8、B13、T13	76、143、159	115、127	87
ESC_RX0_CLK	I	EtherCAT MII 接收 0 时钟	24, 77	A13, C8	144, 158	116, 126	
ESC_RX0_DATA0	I	EtherCAT MII 接收 0 数据 0	27、32、80	B12、C9、G16	117, 155	96	
ESC_RX0_DATA1	I	EtherCAT MII 接收 0 数据 1	28、38、81	A12、D9、E14	125, 154	104	72
ESC_RX0_DATA2	I	EtherCAT MII 接收 0 数据 2	41, 82	D10, N15	89	73	50
ESC_RX0_DATA3	I	EtherCAT MII 接收 0 数据 3	83, 84	A11, D11	148	119	81
ESC_RX0_DV	I	EtherCAT MII 接收 0 数据有效	25, 78	D8, D12	145, 157	117, 125	86
ESC_RX0_ERR	I	EtherCAT MII 接收 0 错误	26, 79	B9, C12	146, 156	124	85
ESC_RX1_CLK	I	EtherCAT MII 接收 1 时钟	16, 69	A15, D5	2, 134	2	2
ESC_RX1_DATA0	I	EtherCAT MII 接收 1 数据 0	31, 63	B10, H14	110, 149	91	59、82
ESC_RX1_DATA1	I	EtherCAT MII 接收 1 数据 1	37, 64	H15, R16	85, 111	92	60
ESC_RX1_DATA2	I	EtherCAT MII 接收 1 数据 2	65	H16	112	93	61
ESC_RX1_DATA3	I	EtherCAT MII 接收 1 数据 3	66	G13	113	94	62
ESC_RX1_DV	I	EtherCAT MII 接收 1 数据有效	17, 70	B2, C14	4, 135	4, 110	4, 76
ESC_RX1_ERR	I	EtherCAT MII 接收 1 错误	2, 71	B7, B14	136, 162	111, 130	77, 90
ESC_SYNC0	O	EtherCAT 同步信号输出 0	34、127、238	D1、F13、N12	9、69、118	7、58、97	40、64
ESC_SYNC1	O	EtherCAT 同步信号输出 1	30、35、239	A10、E1、P12	10、70、150	59、120	41、83

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
ESC_TX0_CLK	I	EtherCAT MII 发送 0 时钟	9, 85	A5, B11	171	139	97
ESC_TX0_DATA0	O	EtherCAT MII 发送 0 数据 0	0, 87	A8, C10	160	128	88
ESC_TX0_DATA1	O	EtherCAT MII 发送 0 数据 1	11, 88	A4, C3	173	141	99
ESC_TX0_DATA2	O	EtherCAT MII 发送 0 数据 2	12, 89	A3, D4	174	142	100
ESC_TX0_DATA3	O	EtherCAT MII 发送 0 数据 3	13、58、90	A2、D3、K16	103, 175	85, 143	53
ESC_TX0_ENA	I/O	EtherCAT MII 发送 0 使能	59、84、219	D11、J16、M16	91、104、148	74、86、119	51、54、81
ESC_TX1_CLK	I	EtherCAT MII 发送 1 时钟	44、51、93	E3、G14、M13	94, 114	77	
ESC_TX1_DATA0	O	EtherCAT MII 发送 1 数据 0	1, 75	A7, C13	142, 161	129	89
ESC_TX1_DATA1	O	EtherCAT MII 发送 1 数据 1	21、50、74	C2、D13、M14	7、93、141	76	
ESC_TX1_DATA2	O	EtherCAT MII 发送 1 数据 2	20、49、73	C1、E13、M15	6、92、140	75	
ESC_TX1_DATA3	O	EtherCAT MII 发送 1 数据 3	19, 72	A14, B1	5, 139	5, 114	80
ESC_TX1_ENA	I/O	EtherCAT MII 发送 1 使能	45、52、94	E4、G15、L14	95, 116	78	
FSIRXA_CLK	I	FSIRX-A 输入时钟	5、9、13、54、105	A2、A5、A6、J14、L16	97、165、171、175	80、133、139、143	93、97
FSIRXA_D0	I	FSIRX-A 主数据输入	3、8、12、52、103	A3、C7、D6、D16、L14	95、126、163、170、174	78、105、131、138、142	91、96、100
FSIRXA_D1	I	FSIRX-A 可选附加数据输入	4、11、53	A4、D7、L15	96、164、173	79、132、141	92、99
FSIRXB_CLK	I	FSIRX-B 输入时钟	11, 60	A4, J15	106, 173	88, 141	56, 99
FSIRXB_D0	I	FSIRX-B 主数据输入	9、58、70	A5、C14、K16	103、135、171	85、110、139	53、76、97
FSIRXB_D1	I	FSIRX-B 可选附加数据输入	59, 68	B15, J16	104, 133	86, 109	54
FSIRXC_CLK	I	FSIRX-C 输入时钟	14, 16	B3, D5	2, 176	2, 144	2
FSIRXC_D0	I	FSIRX-C 主数据输入	12, 76	A3, B13	143, 174	115, 142	100
FSIRXC_D1	I	FSIRX-C 可选附加数据输入	13, 127	A2, F13	118, 175	97, 143	64
FSIRXD_CLK	I	FSIRX-D 输入时钟	17、39、41、44、92	B2、E2、G14、N15、P15	4、86、89、114	4、73	4、50
FSIRXD_D0	I	FSIRX-D 主数据输入	42, 45	C16, G15	116, 130	107	74
FSIRXD_D1	I	FSIRX-D 可选附加数据输入	16、43、100	B4、C15、D5	2, 131	2, 108	2, 75
FSITXA_CLK	O	FSITX-A 输出时钟	2、27、51	B7、C9、M13	94、155、162	77、130	90
FSITXA_D0	O	FSITX-A 主数据输出	0、9、26、49、74、100	A5、A8、B4、B9、D13、M15	92、141、156、160、171	75、124、128、139	85、88、97
FSITXA_D1	O	FSITX-A 可选附加数据输出	1、8、25、50、101	A7、B5、D6、D8、M14	93、157、161、170	76、125、129、138	86、89、96
FSITXB_CLK	O	FSITX-B 输出时钟	8、56、65、67	B16、D6、H16、K14	100、112、132、170	82、93、138	61、96
FSITXB_D0	O	FSITX-B 主数据输出	6、55、69、71、77	A13、A15、B6、B14、K13	99、134、136、144、166	111、116、134	77、94
FSITXB_D1	O	FSITX-B 可选附加数据输出	7、57、66	C6、G13、K15	102、113、167	84、94、135	62
FSITXC_CLK	O	FSITX-C 输出时钟	71, 73	B14, E13	136, 140	111	77
FSITXC_D0	O	FSITX-C 主数据输出	72, 79	A14, C12	139, 146	114	80
FSITXC_D1	O	FSITX-C 可选附加数据输出	78, 84	D11, D12	145, 148	117, 119	81
FSITXD_CLK	O	FSITX-D 输出时钟	61, 64	H15, J13	108, 111	89, 92	57, 60
FSITXD_D0	O	FSITX-D 主数据输出	31, 62	B10, H13	109, 149	90	58、82
FSITXD_D1	O	FSITX-D 可选附加数据输出	38, 63	E14, H14	110, 125	91, 104	59, 72
GPIO0	I/O	通用输入/输出 0	0	A8	160	128	88
GPIO1	I/O	通用输入/输出 1	1	A7	161	129	89
GPIO2	I/O	通用输入/输出 2	2	B7	162	130	90
GPIO3	I/O	通用输入/输出 3	3	C7	163	131	91
GPIO4	I/O	通用输入/输出 4	4	D7	164	132	92
GPIO5	I/O	通用输入/输出 5	5	A6	165	133	93
GPIO6	I/O	通用输入/输出 6	6	B6	166	134	94
GPIO7	I/O	通用输入/输出 7	7	C6	167	135	
GPIO8	I/O	通用输入/输出 8	8	D6	170	138	96

Copyright © 2025 Texas Instruments Incorporated

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
GPIO9	I/O	通用输入/输出 9	9	A5	171	139	97
GPIO10	I/O	通用输入/输出 10	10	C5	172	140	98
GPIO11	I/O	通用输入/输出 11	11	A4	173	141	99
GPIO12	I/O	通用输入/输出 12	12	A3	174	142	100
GPIO13	I/O	通用输入/输出 13	13	A2	175	143	
GPIO14	I/O	通用输入/输出 14	14	B3	176	144	
GPIO15	I/O	通用输入/输出 15	15	C4	1	1	1
GPIO16	I/O	通用输入/输出 16	16	D5	2	2	2
GPIO17	I/O	通用输入/输出 17	17	B2	4	4	4
GPIO18	I/O	通用输入/输出 18	18	F2	13	10	8
GPIO19	I/O	通用输入/输出 19	19	B1	5	5	
GPIO20	I/O	通用输入/输出 20	20	C1	6		
GPIO21	I/O	通用输入/输出 21	21	C2	7		
GPIO22	I/O	通用输入/输出 22	22	F1	14	11	9
GPIO23	I/O	通用输入/输出 23	23	B8	159	127	87
GPIO24	I/O	通用输入/输出 24	24	C8	158	126	
GPIO25	I/O	通用输入/输出 25	25	D8	157	125	86
GPIO26	I/O	通用输入/输出 26	26	B9	156	124	85
GPIO27	I/O	通用输入/输出 27	27	C9	155		
GPIO28	I/O	通用输入/输出 28	28	D9	154		
GPIO29	I/O	通用输入/输出 29	29	A9	151	121	84
GPIO30	I/O	通用输入/输出 30	30	A10	150	120	83
GPIO31	I/O	通用输入/输出 31	31	B10	149		82
GPIO32	I/O	通用输入/输出 32	32	G16	117	96	
GPIO33	I/O	通用输入/输出 33	33	P14			
GPIO34	I/O	通用输入/输出 34	34	D1	9	7	
GPIO35	I/O	通用输入/输出 35	35	E1	10		
GPIO36	I/O	通用输入/输出 36	36	N14			
GPIO37	I/O	通用输入/输出 37	37	R16	85		
GPIO38	I/O	通用输入/输出 38	38	E14	125	104	72
GPIO39	I/O	通用输入/输出 39	39	P15	86		
GPIO40	I/O	通用输入/输出 40	40	P16	87		
GPIO41	I/O	通用输入/输出 41	41	N15	89	73	50
GPIO42	I/O	通用输入/输出 42	42	C16	130	107	74
GPIO43	I/O	通用输入/输出 43	43	C15	131	108	75
GPIO44	I/O	通用输入/输出 44	44	G14	114		
GPIO45	I/O	通用输入/输出 45	45	G15	116		
GPIO46	I/O	通用输入/输出 46	46	D14	128		
GPIO47	I/O	通用输入/输出 47	47	D15	129		
GPIO48	I/O	通用输入/输出 48	48	N16	90		
GPIO49	I/O	通用输入/输出 49	49	M15	92	75	
GPIO50	I/O	通用输入/输出 50	50	M14	93	76	
GPIO51	I/O	通用输入/输出 51	51	M13	94	77	
GPIO52	I/O	通用输入/输出 52	52	L14	95	78	
GPIO53	I/O	通用输入/输出 53	53	L15	96	79	
GPIO54	I/O	通用输入/输出 54	54	L16	97	80	
GPIO55	I/O	通用输入/输出 55	55	K13	99		
GPIO56	I/O	通用输入/输出 56	56	K14	100	82	
GPIO57	I/O	通用输入/输出 57	57	K15	102	84	
GPIO58	I/O	通用输入/输出 58	58	K16	103	85	53
GPIO59	I/O	通用输入/输出 59	59	J16	104	86	54

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
GPIO60	I/O	通用输入/输出 60	60	J15	106	88	56
GPIO61	I/O	通用输入/输出 61	61	J13	108	89	57
GPIO62	I/O	通用输入/输出 62	62	H13	109	90	58
GPIO63	I/O	通用输入/输出 63	63	H14	110	91	59
GPIO64	I/O	通用输入/输出 64	64	H15	111	92	60
GPIO65	I/O	通用输入/输出 65	65	H16	112	93	61
GPIO66	I/O	通用输入/输出 66	66	G13	113	94	62
GPIO67	I/O	通用输入/输出 67	67	B16	132		
GPIO68	I/O	通用输入/输出 68	68	B15	133	109	
GPIO69	I/O	通用输入/输出 69	69	A15	134		
GPIO70	I/O	通用输入/输出 70	70	C14	135	110	76
GPIO71	I/O	通用输入/输出 71	71	B14	136	111	77
GPIO72	I/O	通用输入/输出 72	72	A14	139	114	80
GPIO73	I/O	通用输入/输出 73	73	E13	140		
GPIO74	I/O	通用输入/输出 74	74	D13	141		
GPIO75	I/O	通用输入/输出 75	75	C13	142		
GPIO76	I/O	通用输入/输出 76	76	B13	143	115	
GPIO77	I/O	通用输入/输出 77	77	A13	144	116	
GPIO78	I/O	通用输入/输出 78	78	D12	145	117	
GPIO79	I/O	通用输入/输出 79	79	C12	146		
GPIO80	I/O	通用输入/输出 80	80	B12			
GPIO81	I/O	通用输入/输出 81	81	A12			
GPIO82	I/O	通用输入/输出 82	82	D10			
GPIO83	I/O	通用输入/输出 83	83	A11			
GPIO84	I/O	通用输入/输出 84	84	D11	148	119	81
GPIO85	I/O	通用输入/输出 85	85	B11			
GPIO86	I/O	通用输入/输出 86	86	C11			
GPIO87	I/O	通用输入/输出 87	87	C10			
GPIO88	I/O	通用输入/输出 88	88	C3			
GPIO89	I/O	通用输入/输出 89	89	D4			
GPIO90	I/O	通用输入/输出 90	90	D3			
GPIO91	I/O	通用输入/输出 91	91	D2			
GPIO92	I/O	通用输入/输出 92	92	E2			
GPIO93	I/O	通用输入/输出 93	93	E3			
GPIO94	I/O	通用输入/输出 94	94	E4			
GPIO95	I/O	通用输入/输出 95	95	E5			
GPIO96	I/O	通用输入/输出 96	96	F3			
GPIO97	I/O	通用输入/输出 97	97	F4			
GPIO98	I/O	通用输入/输出 98	98	F5			
GPIO99	I/O	通用输入/输出 99	99	G5			
GPIO100	I/O	通用输入/输出 100	100	B4			
GPIO101	I/O	通用输入/输出 101	101	B5			
GPIO103	I/O	通用输入/输出 103	103	D16	126	105	
GPIO105	I/O	通用输入/输出 105	105	J14			
GPIO127	I/O	通用输入/输出 127	127	F13	118	97	64
GPIO219	I/O	通用输入/输出 219	219	M16	91	74	51
GPIO220	I/O	通用输入/输出 220	220	E16	123	102	70
GPIO221	I/O	通用输入/输出 221	221	F16	121	100	68
GPIO222	I/O	通用输入/输出 222	222	T14	77	64	42
GPIO223	I/O	通用输入/输出 223	223	R14	78	65	43
GPIO224	I/O	通用输入/输出 224	224	L5	26	18	13

Copyright © 2025 Texas Instruments Incorporated

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
GPIO225	I/O	通用输入/输出 225	225	K5	25	17	12
GPIO226	I/O	通用输入/输出 226	226	H4	22	16	
GPIO227	I/O	通用输入/输出 227	227	H3	21		
GPIO228	I/O	通用输入/输出 228	228	G3	18		
GPIO229	I/O	通用输入/输出 229	229	G4	17		
GPIO230	I/O	通用输入/输出 230	230	J5	24		
GPIO231	I/O	通用输入/输出 231	231	H5	23		
GPIO232	I/O	通用输入/输出 232	232	H2	20	15	11
GPIO233	I/O	通用输入/输出 233	233	H1	19	14	10
GPIO234	I/O	通用输入/输出 234	234	G2	16	13	
GPIO235	I/O	通用输入/输出 235	235	G1	15	12	
GPIO236	I/O	通用输入/输出 236	236	M8	63		
GPIO237	I/O	通用输入/输出 237	237	M9	64		
GPIO238	I/O	通用输入/输出 238	238	N12	69	58	40
GPIO239	I/O	通用输入/输出 239	239	P12	70	59	41
GPIO240	I/O	通用输入/输出 240	240	N10	65		
GPIO241	I/O	通用输入/输出 241	241	N11	66	55	
GPIO242	I/O	通用输入/输出 242	242	T12	71	60	
GPIO243	I/O	通用输入/输出 243	243	R12	72	61	
GPIO244	I/O	通用输入/输出 244	244	R13	75		
GPIO245	I/O	通用输入/输出 245	245	T13	76		
GPIO246	I/O	通用输入/输出 246	246	P11	67	56	38
GPIO247	I/O	通用输入/输出 247	247	R11	68	57	39
GPIO248	I/O	通用输入/输出 248	248	P13	73	62	
GPIO249	I/O	通用输入/输出 249	249	N13	74	63	
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	1、10、18、33、43、57、92、105、239	A7、C5、C15、E2、F2、J14、K15、P12、P14	13、70、102、131、161、172	10、59、84、108、129、140	8、41、75、89、98
I2CA_SDA	I/OD	I2C-A 开漏双向数据	0、15、29、31、32、42、56、91、237、242	A8、A9、B10、C4、C16、D2、G16、K14、M9、T12	1、64、71、100、117、130、149、151、160	1、60、82、96、107、121、128	1、74、82、84、88
I2CB_SCL	I/OD	I2C-B 开漏双向时钟	3、23、35、41、69、222、230	A15、B8、C7、E1、J5、N15、T14	10、24、77、89、134、159、163	64、73、127、131	42、50、87、91
I2CB_SDA	I/OD	I2C-B 开漏双向数据	2、22、34、40、66、223、225	B7、D1、F1、G13、K5、P16、R14	9、14、25、78、87、113、162	7、11、17、65、94、130	9、12、43、62、90
LINA_RX	I	LIN-A 接收	7、15、236	C4、C6、M8	1、63、167	1、135	1
LINA_TX	O	LIN-A 发送	6、14、237、247	B3、B6、M9、R11	64、68、166、176	57、134、144	39、94
LINB_RX	I	LIN-B 接收	25、68、233	B15、D8、H1	19、133、157	14、109、125	10、86
LINB_TX	O	LIN-B 发送	24、67、228、239	B16、C8、G3、P12	18、70、132、158	59、126	41
MCANA_RX	I	CAN/CAN FD-A 接收	65、229、235	G1、G4、H16	15、17、112	12、93	61
MCANA_TX	O	CAN/CAN FD-A 传输	64, 234	G2, H15	16, 111	13, 92	60
MCANB_RX	I	CAN/CAN FD-B 接收	7、20、40、44、72	A14、C1、C6、G14、P16	6、87、114、139、167	114、135	80
MCANB_TX	O	CAN/CAN FD-B 传输	6、21、41、45、73	B6、C2、E13、G15、N15	7、89、116、140、166	73、134	50、94
MCANC_RX	I	CAN/CAN FD-C 接收	5、10、23、30、36、58、61、62、70、75、221、246、247	A6、A10、B8、C5、C13、C14、F16、H13、J13、K16、N14、P11、R11	67、68、103、108、109、121、135、142、150、159、165、172	56、57、85、89、90、100、110、120、127、133、140	38、39、53、57、58、68、76、83、87、93、98

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
MCANC_TX	O	CAN/CAN FD-C 传输	4、8、19、22、31、37、59、62、63、71、74、220	B1、B10、B14、D6、D7、D13、E16、F1、H13、H14、J16、R16	5、14、85、104、109、110、123、136、141、149、164、170	5、11、86、90、91、102、111、132、138	9、54、58、59、70、77、82、92、96
MCAND_RX	I	CAN/CAN FD-D 接收	1、17、57、68、92、224、231	A7、B2、B15、E2、H5、K15、L5	4、23、26、102、133、161	4、18、84、109、129	4、13、89
MCAND_TX	O	CAN/CAN FD-D 传输	0、16、56、67、91、226	A8、B16、D2、D5、H4、K14	2、22、100、132、160	2、16、82、128	2、88
MCANE_RX	I	CAN/CAN FD-E 接收	25、47、77	A13、D8、D15	129、144、157	116、125	86
MCANE_TX	O	CAN/CAN FD-E 传输	24、26、46、76	B9、B13、C8、D14	128、143、156、158	115、124、126	85
MCANF_RX	I	CAN/CAN FD-F 接收	3、51、84	C7、D11、M13	94、148、163	77、119、131	81、91
MCANF_TX	O	CAN/CAN FD-F 传输	2、50、78	B7、D12、M14	93、145、162	76、117、130	90
OUTPUTXBAR1	O	输出 X-BAR 输出 1	2、24、34、219、226、228	B7、C8、D1、G3、H4、M16	9、18、22、91、158、162	7、16、74、126、130	51、90
OUTPUTXBAR2	O	输出 X-BAR 输出 2	3、25、37、220、231、233	C7、D8、E16、H1、H5、R16	19、23、85、123、157、163	14、102、125、131	10、70、86、91
OUTPUTXBAR3	O	输出 X-BAR 输出 3	4、5、14、26、48、60、221、230、232	A6、B3、B9、D7、F16、H2、J5、J15、N16	20、24、90、106、121、156、164、165、176	15、88、100、124、132、133、144	11、56、68、85、92、93
OUTPUTXBAR4	O	输出 X-BAR 输出 4	6、15、27、49、61、222、225、227	B6、C4、C9、H3、J13、K5、M15、T14	1、21、25、77、92、108、155、166	1、17、64、75、89、134	1、12、42、57、94
OUTPUTXBAR5	O	输出 X-BAR 输出 5	7、28、223、224、247	C6、D9、L5、R11、R14	26、68、78、154、167	18、57、65、135	13、39、43
OUTPUTXBAR6	O	输出 X-BAR 输出 6	9、29、73、236、238	A5、A9、E13、M8、N12	63、69、140、151、171	58、121、139	40、84、97
OUTPUTXBAR7	O	输出 X-BAR 输出 7	11、16、30、237、246	A4、A10、D5、M9、P11	2、64、67、150、173	2、56、120、141	2、38、83、99
OUTPUTXBAR8	O	输出 X-BAR 输出 8	14、17、31、72、239	A14、B2、B3、B10、P12	4、70、139、149、176	4、59、114、144	4、41、80、82
OUTPUTXBAR9	O	输出 X-BAR 输出 9	0、32、40、91、242	A8、D2、G16、P16、T12	71、87、117、160	60、96、128	88
OUTPUTXBAR10	O	输出 X-BAR 输出 10	1、33、41、92	A7、E2、N15、P14	89, 161	73, 129	50, 89
OUTPUTXBAR11	O	输出 X-BAR 输出 11	5、34、93	A6、D1、E3	9, 165	7, 133	93
OUTPUTXBAR12	O	输出 X-BAR 输出 12	8、35、94	D6、E1、E4	10, 170	138	96
OUTPUTXBAR13	O	输出 X-BAR 输出 13	10、36、42、95	C5、C16、E5、N14	130, 172	107, 140	74, 98
OUTPUTXBAR14	O	输出 X-BAR 输出 14	12、37、43、44、96	A3、C15、F3、G14、R16	85、114、131、174	108、142	75、100
OUTPUTXBAR15	O	输出 X-BAR 输出 15	13、38、45、97	A2、E14、F4、G15	116、125、175	104、143	72
OUTPUTXBAR16	O	输出 X-BAR 输出 16	15、39、75、98	C4、C13、F5、P15	1、86、142	1	1
PMBUSA_ALERT	I/OD	PMBus-A 开漏双向警报信号	11、18、19	A4、B1、F2	5、13、173	5、10、141	8、99
PMBUSA_CTL	I/O	PMBus-A 控制信号 - 目标输入/控制器输出	12、15、26	A3、B9、C4	1、156、174	1、124、142	1、85、100
PMBUSA_SCL	I/OD	PMBus-A 开漏双向时钟	10、14、23	B3、B8、C5	159、172、176	127、140、144	87、98
PMBUSA_SDA	I/OD	PMBus-A 开漏双向数据	13、22、25、29	A2、A9、D8、F1	14、151、157、175	11、121、125、143	9、84、86
SD1_C1	I	SDFM-1 通道 1 时钟输入	17、49、53、64、96、235	B2、F3、G1、H15、L4、L15、M15、N8	4、15、34、92、96、111	4、12、26、75、79、92	4、17、60
SD1_C2	I	SDFM-1 通道 2 时钟输入	19、51、54、66、98、248	B1、F5、G13、L16、M13、P13、R2、R8	5、45、73、94、97、113	5、37、62、77、80、94	26、62

Copyright © 2025 Texas Instruments Incorporated

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
SD1_C3	I	SDFM-1 通道 3 时钟输入	21、53、55、68、90、127、226、231	B15、C2、D3、F13、H4、H5、K13、L15、N7、R3	7、22、23、47、96、99、118、133	16、39、79、97、109	28、64
SD1_C4	I	SDFM-1 通道 4 时钟输入	55、56、70、229	C14、G4、K13、K14、M7、R5	17、57、99、100、135	49、82、110	34、76
SD1_D1	I	SDFM-1 通道 1 数据输入	16、36、48、63、95、100、246	B4、D5、E5、H14、L3、N14、N16、P8、P11	2、33、67、90、110	2、25、56、91	2、16、38、59
SD1_D2	I	SDFM-1 通道 2 数据输入	37、50、65、97、249	F4、H16、M14、N13、R16、T2、T8	46、74、85、93、112	38、63、76、93	27、61
SD1_D3	I	SDFM-1 通道 3 数据输入	20、38、52、67、89、226、238	B16、C1、D4、E14、H4、L14、N12、P7、T3	6、22、48、69、95、125、132	16、40、58、78、104	29、40、72
SD1_D4	I	SDFM-1 通道 4 数据输入	39、54、69、74、77、80、234、242	A13、A15、B12、D13、G2、L16、M6、P15、R6、T12	16、58、71、86、97、134、141、144	13、50、60、80、116	35
SD2_C1	I	SDFM-2 通道 1 时钟输入	25、40、57、80、219、233	B12、D8、H1、K15、M16、P3、P16、R7	19、49、87、91、102、157	14、41、74、84、125	10、30、51、86
SD2_C2	I	SDFM-2 通道 2 时钟输入	27、48、58、59、74、227	C9、D13、H3、J16、K16、M1、N16、R10	21、36、90、103、104、141、155	28、85、86	53、54
SD2_C3	I	SDFM-2 通道 3 时钟输入	59、61、76、238	B13、J13、J16、L2、N12、P9	32、69、104、108、143	24、58、86、89、115	40、54、57
SD2_C4	I	SDFM-2 通道 4 时钟输入	31、60、63、78、239	B10、D12、H14、J15、K4、P10、P12	30、70、106、110、145、149	22、59、88、91、117	41、56、59、82
SD2_D1	I	SDFM-2 通道 1 数据输入	24、41、49、56、79、228	C8、C12、G3、K14、M15、N15、P4、T7	18、50、89、92、100、146、158	42、73、75、82、126	31、50
SD2_D2	I	SDFM-2 通道 2 数据输入	26、50、58、73、242	B9、E13、K16、M2、M14、R9、T12	35、71、93、103、140、156	27、60、76、85、124	53、85
SD2_D3	I	SDFM-2 通道 3 数据输入	28、51、75、247	C13、D9、L1、M13、N9、R11	31、68、94、142、154	23、57、77	39
SD2_D4	I	SDFM-2 通道 4 数据输入	30、52、62、77、243	A10、A13、H13、K3、L14、R12、T11	29、72、95、109、144、150	21、61、78、90、116、120	58、83
SD3_C1	I	SDFM-3 通道 1 时钟输入	72、76、105、245	A14、B13、J14、N4、T13	51、76、139、143	43、114、115	80
SD3_C2	I	SDFM-3 通道 2 时钟输入	78、82、84	D10、D11、D12、P5、R1	44、55、145、148	36、47、117、119	25、81
SD3_C3	I	SDFM-3 通道 3 时钟输入	80、86、221	B12、C11、F16、M3、T5	40、59、121	32、51、100	21、68
SD3_C4	I	SDFM-3 通道 4 时钟输入	44、46、88、223	C3、D14、G14、P2、R14、T10	42、78、114、128	34、65	23、43
SD3_D1	I	SDFM-3 通道 1 数据输入	71、77、232	A13、B14、H2、M5	20、52、136、144	15、44、111、116	11、77
SD3_D2	I	SDFM-3 通道 2 数据输入	72、79、83	A11、A14、C12、N5、P1	43、56、139、146	35、48、114	24、80
SD3_D3	I	SDFM-3 通道 3 数据输入	57、81、85、220	A12、B11、E16、K15、M4、T6	39、60、102、123	31、52、84、102	20、70
SD3_D4	I	SDFM-3 通道 4 数据输入	45、87、222	C10、G15、N3、T9、T14	41、77、116	33、64	22、42
SD4_C1	I	SDFM-4 通道 1 时钟输入	14、90、225	B3、D3、K2、K5	25, 176	17, 144	12
SD4_C2	I	SDFM-4 通道 2 时钟输入	12、92、236	A3、E2、J2、M8	63, 174	142	100
SD4_C3	I	SDFM-4 通道 3 时钟输入	40、42、47、94、240	C16、D15、E4、J4、N10、P16	65、87、129、130	107	74
SD4_C4	I	SDFM-4 通道 4 时钟输入	42、100、103、244	B4、C16、D16、N6、R13	75、126、130	105、107	74
SD4_D1	I	SDFM-4 通道 1 数据输入	11、89、230	A4、D4、J5、K1	24, 173	141	99

ADVANCE INFORMATION

ADVANCE INFORMATION

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
SD4_D2	I	SDFM-4 通道 2 数据输入	13、91、224	A2、D2、J1、L5	26, 175	18, 143	13
SD4_D3	I	SDFM-4 通道 3 数据输入	41、93、237	E3、J3、M9、N15	64, 89	73	50
SD4_D4	I	SDFM-4 通道 4 数据输入	43、73、76、78、99、241	B13、C15、D12、E13、G5、N11、P6	66、131、140、143、145	55、108、115、117	75
SENT1	I/O	SENT 输入引脚 1	15、58、235、242	C4、G1、K16、T12	1、15、71、103	1、12、60、85	1、53
SENT2	I/O	SENT 输入引脚 2	10、59、234、243	C5、G2、J16、R12	16、72、104、172	13、61、86、140	54、98
SENT3	I/O	SENT 输入引脚 3	29、60、229、248	A9、G4、J15、P13	17、73、106、151	62、88、121	56、84
SENT4	I/O	SENT 输入引脚 4	18、62、228、249	F2、G3、H13、N13	13、18、74、109	10、63、90	8、58
SENT5	I/O	SENT 输入引脚 5	22、63、233、244	F1、H1、H14、R13	14、19、75、110	11、14、91	9、10、59
SENT6	I/O	SENT 输入引脚 6	23、64、232、245	B8、H2、H15、T13	20、76、111、159	15、92、127	11、60、87
SPIA_CLK	I/O	SPI-A 时钟	34、56、60、227	D1、H3、J15、K14	9、21、100、106	7、82、88	56
SPIA_PICO	I/O	SPI-A 外设输入控制器输出 (PICO)	16、32、54、58、100、231	B4、D5、G16、H5、K16、L16	2、23、97、103、117	2、80、85、96	2、53
SPIA_POCI	I/O	SPI-A 外设输出控制器输入 (POCI)	17、33、55、59、232	B2、H2、J16、K13、P14	4、20、99、104	4、15、86	4、11、54
SPIA_PTE	I/O	SPI-A 外设发送使能 (PTE)	19、35、57、61、226	B1、E1、H4、J13、K15	5、10、22、102、108	5、16、84、89	57
SPIB_CLK	I/O	SPI-B 时钟	26、65、235	B9、G1、H16	15、112、156	12、93、124	61、85
SPIB_PICO	I/O	SPI-B 外设输入控制器输出 (PICO)	24、63、225、229	C8、G4、H14、K5	17、25、110、158	17、91、126	12、59
SPIB_POCI	I/O	SPI-B 外设输出控制器输入 (POCI)	25、64、224、228	D8、G3、H15、L5	18、26、111、157	18、92、125	13、60、86
SPIB_PTE	I/O	SPI-B 外设发送使能 (PTE)	27、66、234	C9、G2、G13	16、113、155	13、94	62
SPIC_CLK	I/O	SPI-C 时钟	52、71、222、249	B14、L14、N13、T14	74、77、95、136	63、64、78、111	42、77
SPIC_PICO	I/O	SPI-C 外设输入控制器输出 (PICO)	20、50、69、84、100、248	A15、B4、C1、D11、M14、P13	6、73、93、134、148	62、76、119	81
SPIC_POCI	I/O	SPI-C 外设输出控制器输入 (POCI)	21、51、70、101、245	B5、C2、C14、M13、T13	7、76、94、135	77、110	76
SPIC_PTE	I/O	SPI-C 外设发送使能 (PTE)	53、72、103、223、244	A14、D16、L15、R13、R14	75、78、96、126、139	65、79、105、114	43、80
SPID_CLK	I/O	SPI-D 时钟	32、75、90、93、223、241	C13、D3、E3、G16、N11、R14	66、78、117、142	55、65、96	43
SPID_PICO	I/O	SPI-D 外设输入控制器输出 (PICO)	30、91、222、240	A10、D2、N10、T14	65、77、150	64、120	42、83
SPID_POCI	I/O	SPI-D 外设输出控制器输入 (POCI)	31、44、92、127、220、247	B10、E2、E16、F13、G14、R11	68、114、118、123、149	57、97、102	39、64、70、82
SPID_PTE	I/O	SPI-D 外设发送使能 (PTE)	33、45、89、94、221、246	D4、E4、F16、G15、P11、P14	67、116、121	56、100	38、68
SPIE_CLK	I/O	SPI-E 时钟	12, 42	A3, C16	130, 174	107, 142	74, 100
SPIE_PICO	I/O	SPI-E 外设输入控制器输出 (PICO)	8, 38	D6, E14	125, 170	104, 138	72, 96
SPIE_POCI	I/O	SPI-E 外设输出控制器输入 (POCI)	9, 41	A5, N15	89, 171	73, 139	50, 97
SPIE_PTE	I/O	SPI-E 外设发送使能 (PTE)	11, 43	A4, C15	131, 173	108, 141	75, 99
SYNCOUT	O	外部 ePWM 同步脉冲	6, 230	B6, J5	24, 166	134	94
TDI	I	带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器（指令或数据）中计时。	222	T14	77	64	42
TDO	O	JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器（指令或数据）的内容在 TCK 下降沿从 TDO 移出。	223	R14	78	65	43
UARTA_RX	I/O	UART-A 串行数据接收	3、28、39、43、73、85	B11、C7、C15、D9、E13、P15	86、131、140、154、163	108、131	75、91

Copyright © 2025 Texas Instruments Incorporated

表 5-4. 数字信号（续）

信号名称	引脚类型	说明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
UARTA_TX	I/O	UART-A 串行数据发送	2、27、38、42、72、84	A14、B7、C9、C16、D11、E14	125、130、139、148、155、162	104、107、114、119、130	72、74、80、81、90
UARTB_RX	I/O	UART-B 串行数据接收	23、45、71、223	B8、B14、G15、R14	78、116、136、159	65、111、127	43、77、87
UARTB_TX	I/O	UART-B 串行数据发送	22、44、70、222	C14、F1、G14、T14	14、77、114、135	11、64、110	9、42、76
UARTC_RX	I/O	UART-C 串行数据接收	13、18、37、47	A2、D15、F2、R16	13、85、129、175	10、143	8
UARTC_TX	I/O	UART-C 串行数据发送	10、17、36、46	B2、C5、D14、N14	4、128、172	4、140	4、98
UARTD_RX	I/O	UART-D 串行数据接收	9、49、53、77、87	A5、A13、C10、L15、M15	92、96、144、171	75、79、116、139	97
UARTD_TX	I/O	UART-D 串行数据发送	8、48、52、76、86	B13、C11、D6、L14、N16	90、95、143、170	78、115、138	96
UARTE_RX	I/O	UART-E 串行数据接收	1、19、29	A7、A9、B1	5、151、161	5、121、129	84、89
UARTE_TX	I/O	UART-E 串行数据发送	0, 26	A8, B9	156, 160	124, 128	85, 88
UARTF_RX	I/O	UART-F 串行数据接收	5、35、65、226	A6、E1、H4、H16	10、22、112、165	16、93、133	61、93
UARTF_TX	I/O	UART-F 串行数据发送	4、34、64、225	D1、D7、H15、K5	9、25、111、164	7、17、92、132	12、60、92
X1	I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。	220	E16	123	102	70
X2	I/O	晶体振荡器输出。	221	F16	121	100	68
XCLKOUT	O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	73, 219	E13, M16	91, 140	74	51

ADVANCE INFORMATION

ADVANCE INFORMATION

5.4.3 测试、JTAG 和复位

表 5-5. 测试、JTAG 和复位

信号名称	引脚类型	说明	256 ZEX	176 PTS	144 RFS	100 PZS
FLT3	I/O	闪存测试引脚 3。为 TI 保留。必须保持未连接状态。	M12			
TCK	I	带有内部上拉电阻的 JTAG 测试时钟。	R15	83	70	48
TMS	I/O	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻器（建议 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。	T15	82	69	47
VREGENZ	I	具有内部上拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。				65
XRSn	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	F14	124	103	71

Copyright © 2025 Texas Instruments Incorporated

5.5 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 5-6 列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何悬空的未键合输入，引导 ROM 将在特定封装中对未键合的 GPIO 引脚启用内部上拉。表 5-6 中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 5-6. 带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx	禁用上拉	禁用上拉[(1)]	应用定义
GPIO222/TDI	禁用上拉		应用定义
GPIO223/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
XRSn	上拉有效		
其他引脚（包括 AIO）	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

5.6 引脚多路复用

表 5-7 列出了 GPIO 多路复用引脚。

ADVANCE INFORMATION

ADVANCE INFORMATION

5.6.1 GPIO 多路复用引脚

表 5-7. GPIO 多路复用引脚

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	MCPWM1_1A		OUTPUTXBAR7	SCIA_RX	I2CA_SDA	SPIA_PTE				EQEP1_INDEX		MCPWM1_3A	
GPIO1	MCPWM1_1B		OUTPUTXBAR4	SCIA_TX	I2CA_SCL	SPIA_POCI	EQEP1_STROBE					MCPWM1_3B	
GPIO2	MCPWM1_2A			OUTPUTXBAR1		SPIA_PICO	SCIA_TX		I2CA_SDA				
GPIO3	MCPWM1_2B	OUTPUTXBAR2		OUTPUTXBAR2		SPIA_CLK	SCIA_RX		I2CA_SCL				
GPIO4	MCPWM1_3A	I2CA_SCL		OUTPUTXBAR3			EQEP1_STROBE				SPIA_POCI	MCPWM1_1A	
GPIO5	MCPWM1_3B	I2CA_SDA	OUTPUTXBAR3			SPIA_PTE	SPIA_POCI		SCIA_RX			MCPWM1_1B	
GPIO6		OUTPUTXBAR4	SYNCOUT	EQEP1_A				MCPWM1_3A				MCPWM1_2A	
GPIO7		MCPWM1_2A	OUTPUTXBAR5	EQEP1_B		SPIA_PICO	MCPWM3_1A		SCIA_TX			MCPWM1_2B	
GPIO8			ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_PICO	I2CA_SCL						
GPIO9		SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK	MCPWM1_1B				I2CA_SCL		
GPIO10		MCPWM1_2B	ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_POCI	I2CA_SDA						
GPIO11			OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_PTE	MCPWM3_1B		EQEP1_A	SPIA_PICO			
GPIO12	MCPWM3_1A			EQEP1_STROBE	SCIB_TX				SPIA_CLK				
GPIO13	MCPWM3_1B			EQEP1_INDEX	SCIB_RX				SPIA_POCI				
GPIO16	SPIA_PICO		OUTPUTXBAR7		SCIA_TX		EQEP1_STROBE		XCLKOUT	EQEP1_B			
GPIO17	SPIA_POCI		OUTPUTXBAR8		SCIA_RX		EQEP1_INDEX						
GPIO18	SPIA_CLK	SCIB_TX			I2CA_SCL		EQEP1_A		XCLKOUT				X2
GPIO19	SPIA_PTE	SCIB_RX			I2CA_SDA		EQEP1_B						X1
GPIO20	EQEP1_A				SPIA_PICO				I2CA_SCL			UARTA_TX	
GPIO21	EQEP1_B				SPIA_POCI				I2CA_SDA			UARTA_RX	
GPIO22	EQEP1_STROBE		SCIB_TX										
GPIO23	EQEP1_INDEX	SPIA_PTE	SCIB_RX										
GPIO24	OUTPUTXBAR1	EQEP1_A	SPIA_PTE		SPIA_PICO				SCIA_TX	ERRORSTS			
GPIO28	SCIA_RX	OUTPUTXBAR8	MCPWM3_1A	OUTPUTXBAR5	EQEP1_A		EQEP1_STROBE	UARTA_TX	SPIA_CLK	ERRORSTS	I2CA_SDA		
GPIO29	SCIA_TX	MCPWM1_2A	MCPWM3_1B	OUTPUTXBAR6	EQEP1_B		EQEP1_INDEX	UARTA_RX	SPIA_PTE	ERRORSTS	I2CA_SCL		
GPIO30				OUTPUTXBAR7	EQEP1_STROBE				MCPWM1_1A				
GPIO32	I2CA_SDA	EQEP1_INDEX	SPIA_CLK		UARTA_RX					ADCSOCBO			
GPIO33	I2CA_SCL			OUTPUTXBAR4	UARTA_TX				EQEP1_B	ADCSOCAO			
GPIO35	SCIA_RX	SPIA_POCI	I2CA_SDA			UARTA_RX	EQEP1_A					TDI	
GPIO37	OUTPUTXBAR2	SPIA_PTE	I2CA_SCL	SCIA_TX		UARTA_TX	EQEP1_B			SYNCOUT		TDO	
GPIO39							EQEP1_INDEX			SYNCOUT	EQEP1_INDEX		
GPIO40				MCPWM1_2B			SCIB_TX	EQEP1_A					
GPIO41	MCPWM3_1A	SPIA_CLK		MCPWM1_2A			SCIB_RX	EQEP1_B					
GPIO43			OUTPUTXBAR6		I2CA_SCL	UARTA_TX		EQEP1_INDEX					
GPIO45			OUTPUTXBAR8		SPIA_POCI								
GPIO46													

Copyright © 2025 Texas Instruments Incorporated

表 5-7. GPIO 多路复用引脚（续）

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO224				OUTPUTXBAR3	SPIA_PICO		MCPWM1_1A		EQEP1_A		UARTA_TX		
GPIO226					SPIA_CLK		MCPWM1_1B		EQEP1_STROBE		UARTA_RX		
GPIO227	I2CA_SCL		MCPWM1_3A	OUTPUTXBAR1	MCPWM1_2B								
GPIO228			ADCSOCAO		SPIA_POCI		MCPWM1_2B		EQEP1_B				
GPIO230	I2CA_SDA		MCPWM1_3B		MCPWM1_2A	I2CA_SDA							
GPIO242			MCPWM1_2A	OUTPUTXBAR2	SPIA_PTE				EQEP1_INDEX				
GPIO243	XCLKOUT												
AIO225													
AIO231													
AIO232													
AIO233													
AIO237													
AIO238													
AIO239													
AIO241													
AIO244													
AIO245													

ADVANCE INFORMATION

ADVANCE INFORMATION

5.7 未使用引脚的连接

对于不需要使用器件所有功能的应用，表 5-8 列出了对任何未使用引脚的可接受条件。当表 5-8 中列出了多个选项，则任何选项都可接受。未在表 5-8 中列出的引脚必须根据“引脚属性”表进行连接。

表 5-8. 未使用引脚的连接

信号名称	可接受的做法
模拟	
VREFHIx	连接至 VDDA
VREFLOx	连接至 VSSA
ADCINx（DAC 引脚除外）	• 无连接 • 连接至 VSSA
ADCINx（DAC 引脚）	• 无连接 • 通过 5kΩ 电阻下拉至 VSSA
数字	
GPIOx	• 无连接（启用内部上拉的输入模式） • 无连接（禁用内部上拉的输出模式） • 上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）
X1	连接至 VSS
X2	无连接
TCK	• 无连接 • 上拉电阻器
TDI	• 无连接 • 上拉电阻器
TDO	无连接
TMS	无连接
ERRORSTS	无连接
电源和接地	
VDD	必须根据*引脚属性*表连接所有 VDD 引脚。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	必须根据*引脚属性*表连接所有 VDDIO 引脚。
VSS	所有 VSS 引脚必须连接到电路板接地。
VSSA	如果未使用专用模拟接地，则连接到 VSS。
VSSOSC	将此引脚连接到电路板接地。

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)] [(2)]

		最小值	最大值	单位
电源电压	VDD，以 VSS 为基准	-0.3	1.5	V
电源电压	VDDIO，以 VSS 为基准	-0.3	4.6	V
	VDDA，以 VSSA 为基准	-0.3	4.6	V
输入电压 [(7)]	V_{IN} (3.3V)	-0.3	4.6	V
	V_{IN} (5.0V) [(5)]	-0.3	6.0	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流 - 每引脚 [(4)] [(6)]	I_{IK} - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA	-20	20	mA
输入钳位电流 - 每引脚： GPIO10/15/18/22/23/29	I_{IK} - V_{IN} < VSS	-20		mA
输入钳位电流 - 所有输入总计 [(4)] [(6)]	$I_{IKTOTAL}$ - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA	-20	20	mA
输出电流	数字输出（每引脚），I_{OUT}	-20	20	mA
工作结温	T_J	-40	150	°C
贮存温度[(3)]	T_{stg}	-65	150	°C

(1) 超出*绝对最大额定值*的运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出 *建议运行条件*但在 *绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，否则所有电压值均以 VSS 为基准。
(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息，请参阅 *"半导体和 IC 封装热指标"应用报告*。
(4) 每个引脚的连续钳位电流为 ±2mA。请勿在此条件下连续工作，因为 V_{DDIO}/V_{DDA} 电压可能会在内部上升并影响其他电气规格。
(5) GPIO10、GPIO15、GPIO18、GPIO22、GPIO23 和 GPIO29
(6) 施加大于 VDDIO/VDDA 或小于 VSS/VSSA 的 V_{IN} 将导通 ESD 电流钳位二极管，从而导致额外的电流流向相应的电源轨。 如果发生这种情况，电流必须保持在列出的最小/最大值范围内，以防止对器件造成永久损坏。
(7) 还必须观察输入钳位电流。

ADVANCE INFORMATION

6.2 F29H85x ESD 等级 - 商用

				值	单位
采用 256 焊球 ZEX 封装的 850TU9、850DU7、850DM7					
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
			256 焊球 ZEX 上的转角焊球：A1、A16、T16、T1	±750	
采用 176 引脚 PTS 封装的 850TU9、850DU7、850DM7					
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
			176 引脚 PTS 上的转角引脚：1、44、45、88、89、132、133、176	±750	
采用 144 引脚 RFS 封装的 850TU9、850DU7、850DM7					
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
			144 引脚 RFS 上的转角引脚：1、36、37、72、73、108、109、144	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 F29H85x ESD 等级 - 汽车

				值	单位
采用 256 焊球 ZEX 封装的 859TU8、859TM8、859DU6、859DM6					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			256 焊球 ZEX 上的转角焊球：A1、A16、T16、T1	±750	
采用 176 引脚 PTS 封装的 859TU8、859TM8、859DU6、859DM6					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			176 引脚 PTS 上的转角引脚：1、44、45、88、89、132、133、176	±750	
采用 144 引脚 RFS 封装的 859TU8、859TM8、859DU6、859DM6					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			144 引脚 RFS 上的转角引脚：1、36、37、72、73、108、109、144	±750	
采用 100 引脚 PZS 封装的 859TU8、859TM8、859DU6、859DM6					

Copyright © 2025 Texas Instruments Incorporated

6.3 F29H85x ESD 等级 - 汽车（续）

			值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		100 引脚 PZS 上的转角引脚：1、25、26、50、51、75、76、100	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.4 F29P58x ESD 等级 - 商用

				值	单位
采用 256 焊球 ZEX 封装的 580DM5					
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
			256 焊球 ZEX 上的转角焊球：A1、A16、T16、T1	±750	
采用 176 引脚 PTS 封装的 580DM5					
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
			176 引脚 PTS 上的转角引脚：1、44、45、88、89、132、133、176	±750	
采用 144 引脚 RFS 封装的 580DM5					
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
			144 引脚 RFS 上的转角引脚：1、36、37、72、73、108、109、144	±750	
采用 100 引脚 PZS 封装的 580DM5					
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
			100 引脚 PZS 上的转角引脚：1、25、26、50、51、75、76、100	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

6.5 F29P58x ESD 等级 - 汽车

				值	单位
采用 256 焊球 ZEX 封装的 589DU5、589DM5					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			256 焊球 ZEX 上的转角焊球：A1、A16、T16、T1	±750	
采用 176 引脚 PTS 封装的 589DU5、589DM5					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			176 引脚 PTS 上的转角引脚：1、44、45、88、89、132、133、176	±750	
采用 144 引脚 RFS 封装的 589DU5、589DM5					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			144 引脚 RFS 上的转角引脚：1、36、37、72、73、108、109、144	±750	
采用 100 引脚 PZS 封装的 589DU5、589DM5					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			100 引脚 PZS 上的转角引脚：1、25、26、50、51、75、76、100	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.6 F29P32x ESD 等级 - 汽车

				值	单位
采用 144 引脚 RFS 封装的 329SM2					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			144 引脚 RFS 上的转角引脚：1、36、37、72、73、108、109、144	±750	
采用 100 引脚 PZS 封装的 329SM2					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			100 引脚 PZS 上的转角引脚：1、25、26、50、51、75、76、100	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.7 建议运行条件

		最小值	标称值	最大值	单位
器件电源电压，VDDIO 和 VDDA	启用内部 BOR[3]	$V_{BOR\text{-}VDDIO}$(MAX) + $V_{BOR\text{-}VDDIO\text{-}GB}$ [2]	3.3	3.63	V
	禁用内部 BOR	2.8	3.3	3.63	
器件电源电压，VDD		1.19	1.25	1.31	V
器件接地，VSS			0		V
模拟接地，VSSA			0		V
SR_{SUPPLY}	VDDIO、VDD、VDDA 相对于 VSS 的电源电压斜升速率。[4]				
V_{IN}	数字输入电压 [6]	VSS – 0.3		VDDIO + 0.3	V
	数字输入电压（GPIO10、15、18、22、23 和 29）[5]	VSS – 0.3		5.5	V
	模拟输入电压 [6]	VSSA – 0.3		VDDA + 0.3	V
结温，T_J	S 版本[1]	-40		150	°C
自然通风温度，T_A	Q 版本[1]（AEC Q100 认证）	-40		125	°C

(1) 在 T_J = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。有关更多信息，请参阅*计算嵌入式处理器的有效使用寿命*。
(2) 请参阅*电源管理模块 (PMM)* 部分。
(3) 默认情况下会启用内部 BOR。
(4) 请参阅*电源管理模块运行条件* 表。
(5) 这些引脚支持在器件上电之前施加的电压。
(6) 施加大于 VDDIO/VDDA 或小于 VSS/VSSA 电压的 VIN 会在内部上升，并可能影响其他电气特性。

Copyright © 2025 Texas Instruments Incorporated

6.8 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。

6.8.1 系统电流消耗（禁用 VREG）- 外部电源

在自然通风条件下的工作温度范围内测得（除非另有说明）。
典型值： V_{nom}，30°C

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I_{DD}	在锁步模式下，CPU1 和 CPU2 处于活动状态。 CPU3 处于活动状态。 运行期间的 VDD 电流消耗。	F29H85xTxx：SYSCLK = 200MHz (1)		510	1167	mA
I_{DD}	在非锁步模式下，CPU1 和 CPU2 处于活动状态。 CPU3 处于活动状态。 运行期间的 VDD 电流消耗。	F29H85xTxx：SYSCLK = 200MHz (1)		520	1167	mA
I_{DD}	CPU1 和 CPU3 处于活动状态。 运行期间的 VDD 电流消耗。	F29H85xDxx：SYSCLK = 200MHz (1)		508	1167	mA
I_{DD}	在锁步模式下，CPU1 和 CPU2 处于活动状态。 运行期间的 VDD 电流消耗。	F29P58xDx5、F29P32xSxx：SYSCLK = 200MHz (1)		483	1053	mA
I_{DDIO}	器件处于运行模式时的 VDDIO 电流消耗	SYSCLK = 200MHz		33	66	mA
I_{DDA}	器件处于运行模式时的 VDDA 电流消耗	SYSCLK = 200MHz		0.2	11	mA
空闲模式						
I_{DD}	器件处于空闲模式时的 VDD 电流消耗	F29H85xTxx • CPU 处于空闲模式 • 闪存被断电。 • XCLKOUT 关闭		216	611	mA
I_{DD}	器件处于空闲模式时的 VDD 电流消耗	F29P58xDxx、F29P32xSxx • CPU 处于空闲模式 • 闪存被断电。 • XCLKOUT 关闭		187	463	mA
I_{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗	• CPU 处于空闲模式 • 闪存被断电。 • XCLKOUT 关闭		23	66	mA
I_{DDA}	器件处于空闲模式时的 VDDA 电流消耗			0.2	11	mA
待机模式						
I_{DD}	器件处于待机模式时的 VDD 电流消耗	F29H85xTxx • CPU 处于待机模式 • 闪存被断电。 • XCLKOUT 关闭		198	577	mA

ADVANCE INFORMATION

ADVANCE INFORMATION

6.8.1 系统电流消耗（禁用 VREG）- 外部电源 （续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。
典型值： V_{nom}，30°C

参数		测试条件	最小值	典型值	最大值	单位
I_{DD}	器件处于待机模式时的 VDD 电流消耗	F29P58xDxx、F29P32xSxx • CPU 处于待机模式 • 闪存被断电。 • XCLKOUT 关闭		169	447	mA
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗	• CPU 处于待机模式 • 闪存被断电。 • XCLKOUT 关闭		22	66	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗			0.2	11	mA
闪存擦除/编程						
I_{DD}	擦除/编程周期期间的 VDD 电流消耗(2)	• CPU 从闪存运行，对未使用的扇区执行擦除和编程。 • SYSCLK 以 200MHz 运行。 • I/O 是启用了上拉电阻的输入。 • 外设时钟关闭。		500		mA
I_{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗(2)	• CPU 从闪存运行，对未使用的扇区执行擦除和编程。 • SYSCLK 以 200MHz 运行。 • I/O 是启用了上拉电阻的输入。 • 外设时钟关闭。		30		mA

(1) 典型重负载应用的电流。 实际电流会因系统活动、I/O 电气负载和开关频率而异。
(2) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。 使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。

Copyright © 2025 Texas Instruments Incorporated

6.8.2 系统电流消耗（启用 VREG）

在自然通风条件下的工作温度范围内测得（除非另有说明）。
典型值： V_{nom}，30°C

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I_{DDIO}	运行期间的 VDDIO 电流消耗	F29P58xDxx、F29P32xSxx (1)		259	500	mA
I_{DDA}	运行期间的 VDDA 电流消耗			0.2	11	mA
空闲模式						
I_{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗	F29P58xDxx、F29P32xSxx • CPU 处于空闲模式 • 闪存被断电。 • XCLKOUT 关闭		112	462	mA
I_{DDA}	器件处于空闲模式时的 VDDA 电流消耗			0.2	11	mA
待机模式						
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗	F29P58xDxx、F29P32xSxx • CPU 处于待机模式 • 闪存被断电。 • XCLKOUT 关闭		110	446	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗			0.2	11	mA

(1) 这是典型重负载应用中电流的估算值。 实际电流会因系统活动、I/O 电气负载和开关频率而异。 SYSCLK 以 100MHz 运行。

ADVANCE INFORMATION

6.8.3 工作模式测试说明

节 6.8.2 和节 6.8.4.1 列出了器件工作模式下的电流消耗值。工作模式下将估算应用可能遇到的流耗。这些测量的测试条件具有以下属性：

- 从 RAM 执行代码。
- 闪存被读取，并保持激活状态。
- I/O 引脚不驱动任何外部元件。
- 所有外设都启用了时钟。
- 所有 CPU 都在积极执行代码。
- CPU1 和 CPU2 在 200MHz 下运行。
- 所有模拟外设均已通电。ADC 和 DAC 会定期转换。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.8.4 减少电流消耗

F29H85x、F29P58x 和 F29P32x 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入两种低功耗模式中的任何一种：空闲或待机。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。“每个禁用外设的典型电流降低”表列出了通过使用 PCLKCRx 寄存器禁用时钟可以实现的典型电流降低。
- 为了在 LPM 模式下实现更低的 VDDA 电流消耗，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 中的“模数转换器 (ADC)”一章，以确保每个模块也断电。

6.8.4.1 每个禁用外设的典型电流降低

外设[(1)]	I_{DD} 电流减少 (mA)
ADCA	1.3
ADCB	1.3
ADCC	1.3
ADCD	1.3
ADCE	1.3
CLB1	1.3
CLB2	1.3
CLB3	1.3
CLB4	1.3
CLB5	1.3
CLB6	1.3
CPMSS1	0.6
CMPSS2	0.6
CMPSS3	0.6
CMPSS4	0.6
CMPSS5	0.6
CMPSS6	0.6
CMPSS7	0.6
CMPSS8	0.6
CMPSS9	0.6
CMPSS10	0.6
CMPSS11	0.6
CMPSS12	0.6
CPUX.CPUTIMER0	0.1
CPUX.CPUTIMER1	0.1
CPUX.CPUTIMER2	0.1
CPUx.DLT	1.3
CPUx.ERAD	4.0
DACA	0.3
DACB	0.3
DCC1	0.06
DCC2	0.06
DCC3	0.06
eCAP1	0.5

ADVANCE INFORMATION

ADVANCE INFORMATION

6.8.4.1 每个禁用外设的典型电流降低（续）

外设[1]	I_{DD} 电流减少 (mA)
eCAP2	0.5
eCAP3	0.5
eCAP4	0.5
eCAP5[2]	1.0
eCAP6[2]	1.0
EMIF	2.2
EPG	0.7
ePWM1[3]	1.0
ePWM2[3]	1.0
ePWM3[3]	1.0
ePWM4[3]	1.0
ePWM5[3]	1.0
ePWM6[3]	1.0
ePWM7[3]	1.0
ePWM8[3]	1.0
ePWM9[3]	1.0
ePWM10[3]	1.0
ePWM11[3]	1.0
ePWM12[3]	1.0
ePWM13[3]	1.0
ePWM14[3]	1.0
ePWM15[3]	1.0
ePWM16[3]	1.0
ePWM17[3]	1.0
ePWM18[3]	1.0
eQEP1	0.5
eQEP2	0.5
eQEP3	0.5
eQEP4	0.5
eQEP5	0.5
eQEP6	0.5
EtherCAT	1.3
FSI RXA	0.4
FSI RXB	0.4
FSI RXC	0.4
FSI RXD	0.4
FSI TXA	0.4
FSI TXB	0.4
FSI TXC	0.4
FSI TXD	0.4
I2CA	0.4
I2CB	0.4
LINA	0.5
LINB	0.5

Copyright © 2025 Texas Instruments Incorporated

6.8.4.1 每个禁用外设的典型电流降低（续）

外设[1]	I_{DD} 电流减少 (mA)
MCANA	1.7
MCANB	1.7
MCANC	1.7
MCAND	1.7
MCANE	1.7
MCANF	1.7
PMBUSA	0.5
RTDMA1	7.0
RTDMA2	5.0
SDFM1	2.0
SDFM2	2.0
SDFM3	2.0
SDFM4	2.0
SENT1	1.0
SENT2	1.0
SENT3	1.0
SENT4	1.0
SENT5	1.0
SENT6	1.0
SPIA	0.4
SPIB	0.4
SPIC	0.4
SPID	0.4
SPIE	0.4
SPIF	0.4
UARTA	1.0
UARTB	1.0
UARTC	1.0
UARTD	1.0
UARTE	1.0
UARTF	1.0
WADI1	2.0
WADI2	2.0
CPU1	18.0
CPU2	17.0

(1) 复位时，所有外设均禁用。使用 PCLKCRx 寄存器以单独地启用外设。对于具有多个实例的外设，针对单个模块引用电流。
(2) eCAP5 和 eCAP6 也可以配置为 HRCAP。
(3) 所有 ePWM 也可以配置为 HRPWM。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.9 电气特性

在建议运行条件下（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
数字和模拟 IO							
V_{OH}	高电平输出电压		I_{OH} = I_{OH} MIN	VDDIO * 0.8			V
			I_{OH} = -100 μA	VDDIO – 0.2			
V_{OL}	低电平输出电压		I_{OL} = I_{OL} 最大值			0.4	V
			I_{OL} = 100μA			0.2	
I_{OH}	所有输出引脚的高电平输出源电流			-4			mA
I_{OL}	所有输出引脚的低电平输出灌电流					4	mA
R_{OH}	所有输出引脚的高电平输出阻抗		VOH=VDDS-0.4V	50	66	96	Ω
R_{OL}	所有输出引脚的低电平输出阻抗		VOL=0.4V	48	60	84	Ω
V_{IH}	高电平输入电压			2.0			V
	高电平输入电压 - GPIO10/15/18/22/23/29	IO_MODSEL:MODSEL GPIOx = 0		0.7*VDDIO			V
		IO_MODSEL:MODSEL GPIOx = 1		1.35			V
V_{IL}	低电平输入电压					0.8	V
	低电平输入电压 - GPIO10/15/18/22/23/29	IO_MODSEL:MODSEL GPIOx = 0				0.3*VDDIO	V
		IO_MODSEL:MODSEL GPIOx = 1				0.8	V
$V_{HYSTERESIS}$	输入迟滞 (AIO)			125			mV
	输入迟滞 (GPIO)			125			
$I_{PULLDOWN}$	输入电流	带有下拉的引脚	VDDIO = 3.3V V_{IN} = VDDIO		120		μA
I_{PULLUP}	输入电流	启用上拉的数字输入(1)	VDDIO = 3.3V V_{IN} = 0V		160		μA
$R_{PULLDOWN}$	弱下拉电阻			22	31	62	kΩ
R_{PULLUP}	弱上拉电阻			19	29	54	kΩ
		GPIO10/15/18/22/23/29		20	31	65	kΩ
I_{LEAK}	引脚漏电流	数字输入	上拉和输出被禁用 0V ≤ V_{IN} ≤ VDDIO			0.1	μA
		数字输入 (GPIO10/15/18/22/23/29)				20	
		模拟引脚	模拟驱动器禁用 0V ≤ V_{IN} ≤ VDDA			0.1	
C_I	输入电容	数字输入			2		pF
		模拟引脚(2)					
VREG 和 BOR							
VREG、POR、BOR(3)							

(1) 有关带有上拉或下拉的引脚列表，请参阅*带有内部上拉和下拉的引脚*表。
(2) 模拟引脚是单独指定的；请参阅 *ADC 输入模型*一节中的*每通道寄生电容*表。
(3) 请参阅*电源管理模块 (PMM)* 部分。

Copyright © 2025 Texas Instruments Incorporated

6.10 5V 失效防护引脚的特殊注意事项

GPIO10、GPIO15、GPI18、GPIO22、GPIO23 和 GPIO29 是该器件上的 5V 失效防护 (5V FS) 引脚。这意味着两点：

- 无论电源电压 (VDDIO) 电平如何，这些引脚均可以接受高达 5.5V 的电压输入。
- 这些引脚还具有“失效防护”功能，这意味着它们也可以在器件上电之前被施加电压。

为了实现上述特性，这些 GPIO 的输入缓冲器的结构与该器件上的其他 GPIO 不同。因此，还定义了额外的漏电流参数（未通电时的漏电流）和器件通电时通电漏电流的行为差异。图 6-1 显示了这些引脚的典型漏电流曲线。如图所示，当引脚上的电压超过器件的电源 (VDDIO) 电压时，漏电流会增加。在此转换阶段，可以观察到最高漏电流。一旦输入引脚电压大于约 4V，电流就会在输入电压范围的剩余部分稳定到标称值。

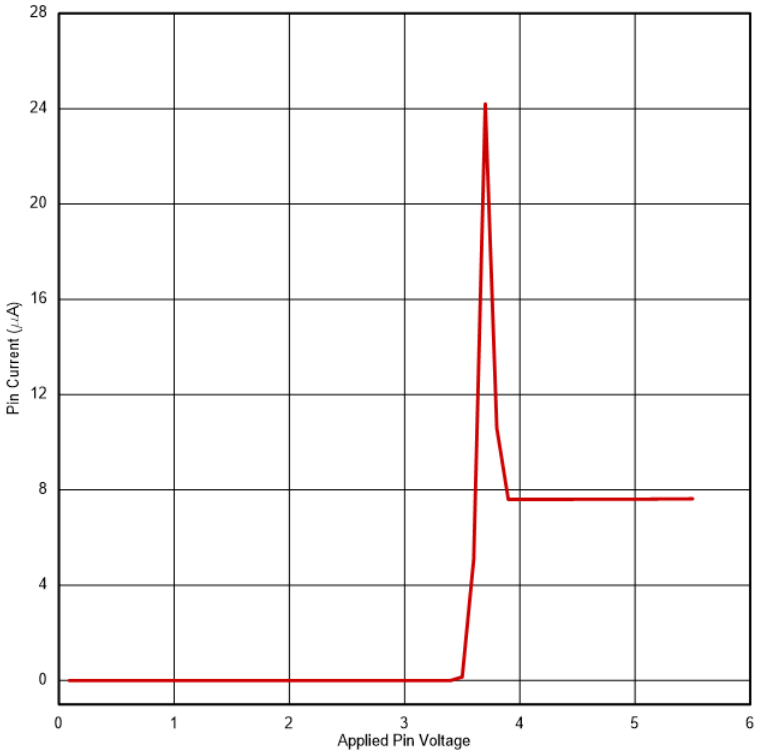


图 6-1. 漏电流与输入电压间的关系（器件已通电）

ADVANCE INFORMATION

ADVANCE INFORMATION

6.11 ZEX 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻，顶部	4.4
	结至外壳热阻，底部	不适用
$R_{\Theta JB}$	结至电路板热阻	5.7
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	18.6
Psi_{JT}	结至封装顶部	0.4
Psi_{JB}	结点到电路板	5.5

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.12 PTS 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻，顶部	4.7
	结至外壳热阻，底部	0.2
$R_{\Theta JB}$	结至电路板热阻	6.6
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	17.9
Psi_{JT}	结至封装顶部	0.1
Psi_{JB}	结点到电路板	6.3

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.13 RFS 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻，顶部	4.8
	结至外壳热阻，底部	0.2
$R_{\Theta JB}$	结至电路板热阻	5.8
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	17.9
Psi_{JT}	结至封装顶部	0.1
Psi_{JB}	结点到电路板	5.8

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

Copyright © 2025 Texas Instruments Incorporated

6.14 PZS 封装的热阻特性

		°C/W[(1)]
$R_{\Theta JC}$	结至外壳热阻，顶部	5.0
	结至外壳热阻，底部	0.2
$R_{\Theta JB}$	结至电路板热阻	5.0
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	18.0
Psi_{JT}	结至封装顶部	0.1
Psi_{JB}	结点到电路板	4.8

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.15 散热设计注意事项

根据最终应用设计和运行情况，I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J。通常在封装顶部表面的中心测量 T_{case}。热应用手册*半导体和 IC 封装热指标*有助于理解热指标和相关定义。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16 系统

6.16.1 电源管理模块 (PMM)

6.16.1.1 引言

电源管理模块 (PMM) 可以处理运行器件时所需的所有电源管理功能。

6.16.1.2 概述

在图 6-2 中给出了 PMM 的方框图。可以看出，PMM 包含多个子组件，这些子组件将在后续章节中进行介绍。

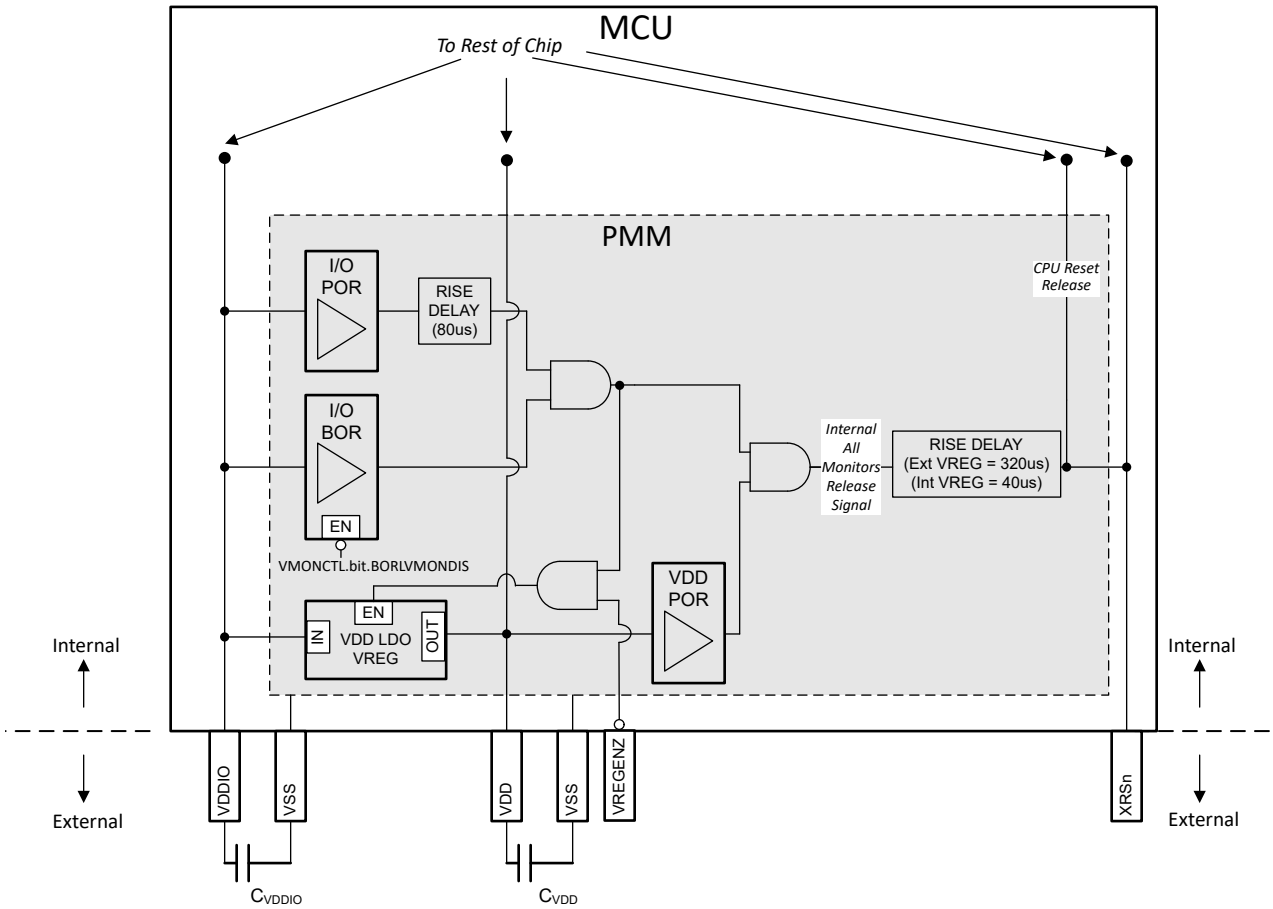


图 6-2. PMM 方框图

6.16.1.2.1 电源轨监视器

PMM 在电源轨上有电压监视器，一旦电压在上电期间超过设定的阈值，XRSn 信号便会释放为高电平。如果任何电压降至编程的电平以下，这些电压监视器还可以使 XRSn 信号跳闸为低电平。后续各节将介绍各种电压监视器。

备注

启动后，并非所有电压监视器都支持在应用中运行器件。在不支持电压监视器的情况下，如果器件在应用运行过程中需要监视电源电压，则建议使用外部监控器。

三个电压监视器（I/O POR、I/O BOR、VDD POR）都必须在器件开始运行（即 XRSn 变为高电平）之前释放各自的输出。但是，如果任何电压监视器跳闸，XRSn 将被驱动为低电平。当任何电压监视器跳闸时，I/O 保持高阻抗。

Copyright © 2025 Texas Instruments Incorporated

6.16.1.2.1.1 I/O POR（上电复位）监视器

I/O POR 监视器会监控 VDDIO 电源轨。在上电期间，这是第一个在 VDDIO 上释放的监视器（即第一个要解除跳闸的监视器）。

备注

I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压，因此不应用于器件监控。

6.16.1.2.1.2 I/O BOR（欠压复位）监视器

I/O BOR 监视器还会监控 VDDIO 电源轨。在上电期间，这是第二个在 VDDIO 上释放的监视器（即第二个要解除跳闸的监视器）。与 I/O POR 相比，该监视器具有更严格的容差。

只要电压降至低于建议工作电压，都会导致 I/O BOR 跳闸并复位器件，但可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后，才能禁用 I/O BOR。如果 I/O BOR 被禁用，I/O POR 将在电压下降时复位器件。

图 6-3 所示为 I/O BOR 的工作区域。

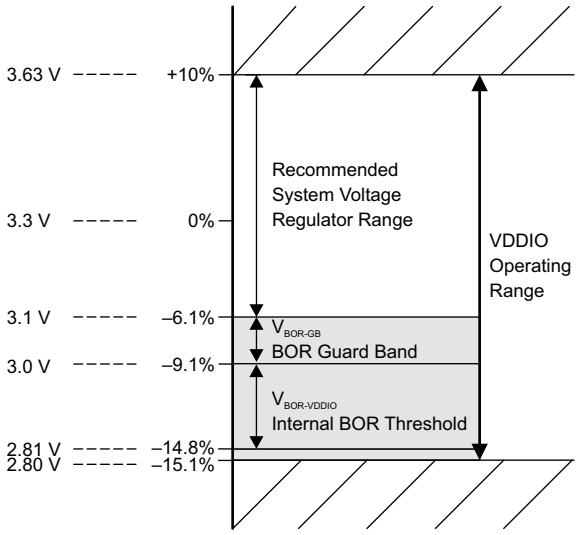


图 6-3. I/O BOR 工作区域

6.16.1.2.1.3 VDD POR（上电复位）监视器

VDD POR 监视器可监控 VDD 电源轨。在上电期间，一旦电压超过 VDD 上编程的跳闸电平，该监视器就会释放（即解除跳闸）。

备注

VDD POR 编程为低于 VDD 最小建议电压的水平，因此，如果应用中需要 VDD 监控，不应该依赖 VDD POR 来进行此监控。

6.16.1.2.2 外部监控器使用情况

VDDIO 监控：I/O BOR 功能只要满足应用要求，就可用于 I/O 电源轨监控。VDDIO 上没有过压监测器。

ADVANCE INFORMATION

VDD 监控：

- VDD 由内部 VREG 供电：VDD 电源由 VDDIO 电源提供。VREG 的设计方式使有效的 VDDIO 电源（由 IO BOR 监控）意味着有效的 VDD 电源。
- VDD 由外部电源供电：VDD POR 不支持应用使用。如果应用需要 VDD 监控，则可以使用外部监控器监控 VDD 电源轨。

备注

不支持将外部监控器与内部 VREG 一起使用。

6.16.1.2.3 延迟块

电压监控器路径中的延迟块协同工作，以延迟电压监控器和 XRSn 之间的释放时间。这是为了确保当 XRSn 释放时电压稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 斜升时）有效。

延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

备注

方框图中指定的延迟数字是典型值。

6.16.1.2.4 内部 VDD LDO 稳压器 (VREG)

内部 VREG 通过 VDDIO 电源轨供电，并且能够生成为 VDD 引脚供电所需的输出。启用它的方法是将 VREGENZ 引脚绑定为低电平。尽管有了内部 VREG 后便不再需要为 VDD 使用外部电源，但 VDD 引脚上仍需要去耦电容器以便确保 VREG 的稳定性与瞬态稳定性。如需了解更多详细信息，可参阅 *"VDD 去耦"* 一节。

6.16.1.2.5 VREGENZ

VREGENZ（VREG 禁用）引脚可控制内部 VREG 的状态。要启用内部 VREG，请将 VREGENZ 引脚连接到逻辑低电压。对于从外部为 VDD 供电（外部 VREG）的应用，通过将 VREGENZ 引脚连接至高电平来禁用内部 VREG。

备注

并非所有器件封装都具有 VREGENZ 引脚输出。对于没有 VREGENZ 引脚输出的封装，不支持内部 VREG 模式。

6.16.1.3 外部元件

6.16.1.3.1 去耦电容器

VDDIO 与 VDD 需要 去耦电容器才能正常运行。后续章节将概述这些要求。

6.16.1.3.1.1 VDDIO 去耦

在 VDDIO 上放置最小的去耦电容值。请参阅 C_{VDDIO} 参数（位于电源管理模块电气数据和时序中）。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- **配置 1：**根据 C_{VDDIO} 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- **配置 2：**安装等效于 C_{VDDIO} * VDDIO 引脚的单个去耦电容器。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.16.1.3.1.2 VDD 去耦

在 VDD 上放置最小的去耦电容值。请参阅 C_{VDD} TOTAL 参数（位于电源管理模块电气数据和时序中）。

在外部 VREG 模式下，实际使用的去耦电容值取决于驱动 VDD 的电源。

可接受以下任一配置：

- **配置 1：**对 VDD 引脚上的 C_{VDD} TOTAL 执行除法运算。该选项可用于内部 VREG 模式，在该模式下，可能无法在 PCB 上将所有 VDD 引脚连接在一起。请参阅 电源引脚联动 部分。
- **配置 2：**安装一个容值为 C_{VDD} TOTAL 的去耦电容器。在该配置中，PCB 上的所有 VDD 引脚必须相互连接。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

6.16.1.4 电源时序

6.16.1.4.1 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括：

- VDDIO
- VDDA

此外，连接所有电源引脚以避免任何未连接的情况。

在外部 VREG 模式下，VDD 引脚应连接在一起并由单个电源供电。

在内部 VREG 模式下，将 VDD 引脚连接在一起是可选操作，只要每个 VDD 引脚上都有一个电容器连接至引脚即可。如需了解 VDD 去耦配置的更多详细信息，可参阅 *“VDD 去耦”* 一节。

器件上的模拟模块具有相当高的 PSRR；因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议运行条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

备注

每个电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，所有 VDD 引脚在内部连接在一起，以此类推

6.16.1.4.2 信号引脚电源序列

在给器件供电之前，请勿向任何数字引脚施加比 VDDIO 高 0.3V 或比 VSS 低 0.3V 的电压，也不得向任何模拟引脚施加比 VDDA 高 0.3V 或比 VSSA 低 0.3V 的电压（包括 VREFHI）。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

小心

如果违反上述序列，则可能会发生器件故障，甚至可能造成损坏，因为电流将流经器件中的意外寄生路径。

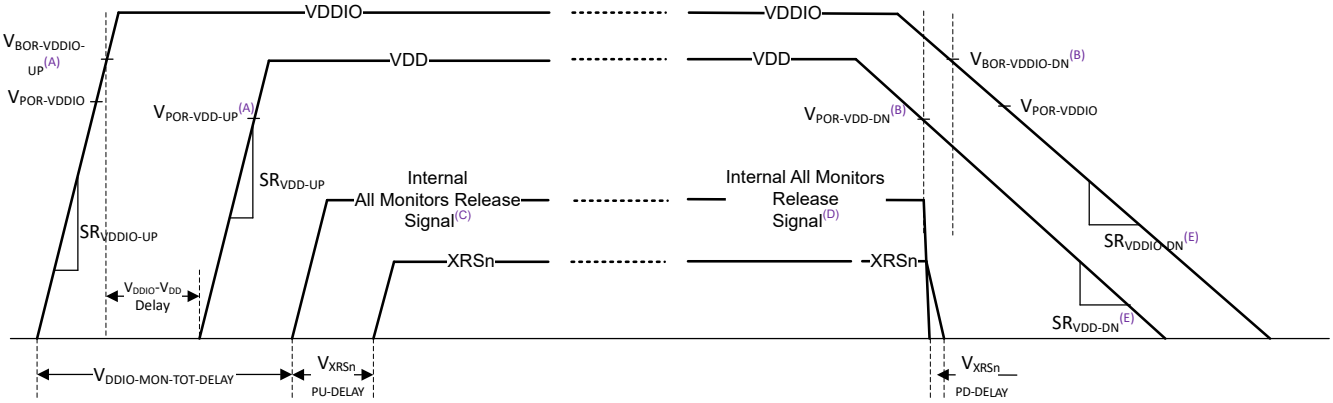
ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.1.4.3 电源引脚电源序列

6.16.1.4.3.1 外部 VREG/VDD 模式序列

图 6-4 展示了外部 VREG 模式的电源时序控制要求。所有参数的值可在电源管理模块电气数据和时序中找到。



A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅*电源管理模块特性* 表。
B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅*电源管理模块特性* 表。
C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 *PMM 方框图*。
D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 *PMM 方框图*。

图 6-4. 外部 VREG 上电序列

- 在上电期间：
  1. VDDIO（即 3.3V 电源轨）应首先以指定的最小压摆率出现。
  2. VDD（即 1.25V 电源轨）应随后以指定的最小压摆率出现。
  3. 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
  4. 在 $V_{DDIO\text{-}MON\text{-}TOT\text{-}DELAY}$ 和 $V_{XRSN\text{-}PD\text{-}DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
  5. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  6. 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。
- 在断电期间：
  1. 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是，有最小压摆率规格。
  2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  3. 在断电期间跳闸的任何 POR 或 BOR 监视器都会导致 XRSn 在 $V_{XRSN\text{-}PD\text{-}DELAY}$ 之后变为低电平。

备注

所有监视器释放信号 是一个内部信号。

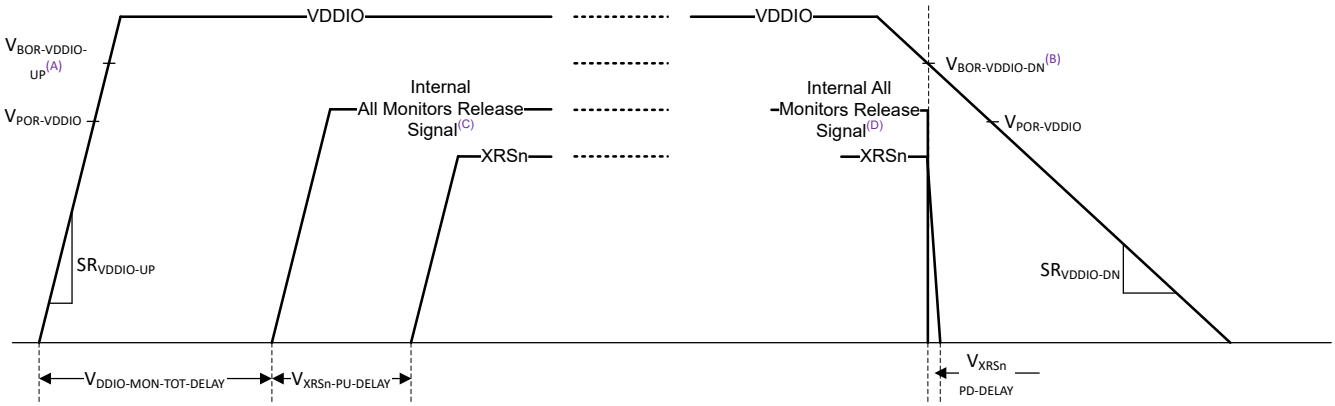
备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

Copyright © 2025 Texas Instruments Incorporated

6.16.1.4.3.2 内部 VREG/VDD 模式序列

图 6-5 展示了内部 VREG 模式的电源时序控制要求。所有所示参数的值均可在电源管理模块电气数据和时序中找到。



A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅*电源管理模块特性*表。
B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅*电源管理模块特性*表。
C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 *PMM 方框图*。
D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 *PMM 方框图*。

图 6-5. 内部 VREG 上电序列

- **在上电期间：**
  1. VDDIO（即 3.3V 电源轨）应提供指定的最小压摆率。
  2. 在释放 I/O 监视器（I/O POR 和 I/O BOR）后，内部 VREG 将上电。
  3. 在 $V_{DDIO\text{-}MON\text{-}TOT\text{-}DELAY}$ 和 $V_{XRSN\text{-}PU\text{-}DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
  4. I/O BOR 监视器在上电和断电期间具有不同的释放点。
- **在断电期间：**
  1. 在断电期间对 VDDIO 的唯一要求是压摆率。
  2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  3. I/O BOR 跳闸将导致 XRSn 在 $V_{XRSN\text{-}PD\text{-}DELAY}$ 之后变为低电平，并使内部 VREG 断电。

备注

*所有监视器释放信号*是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

6.16.1.4.3.3 电源时序摘要和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

小心

不可接受的序列会导致可靠性问题并可能导致损坏。

为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照电源引脚电源序列中的说明进行操作。

ADVANCE INFORMATION

表 6-1. 外部 VREG 序列摘要

情形	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
A	1	2	3	是
B	1	3	2	是
C	2	1	3	否
D	2	3	1	否
E	3	2	1	否
F	3	1	2	否
G	1	1	2	是
H	2	2	1	否

表 6-2. 内部 VREG 序列摘要

情形	电源轨上电顺序		可接受
	VDDIO	VDDA	
A	1	2	是
B	2	1	否
C	1	1	是

备注

应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

6.16.1.4.3.4 电源压摆率

VDDIO 有最低压摆率要求。如果不满足最低压摆率要求，XRSn 可能会切换几次，直到 VDDIO 越过 I/O BOR 区域。

备注

XRSn 上的切换操作对器件没有不利影响，因为只有当 XRSn 稳定为高电平时才会开始引导。但是，如果使用器件的 XRSn 来选通其他 IC 的复位信号，则应满足压摆率要求以防止这种切换。

VDD 在外部 VREG 模式下具有最低压摆率要求。如果不满足最低压摆率要求，VDD POR 可能会在达到 VDD 最低工作电压之前释放，并且器件可能无法在正确的复位状态下启动。

Copyright © 2025 Texas Instruments Incorporated

6.16.1.5 电源管理模块电气数据和时序

6.16.1.5.1 电源管理模块运行条件

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
通用						
C_{VDDIO} (1) (2)	每个引脚的 VDDIO 电容		0.1			uF
C_{VDDA} (1) (2)	每个引脚的 VDDA 电容		2.2			uF
SR_{VDD33} (3)	3.3V 电源轨（VDDIO、VDDA）的电源电压斜升速率。 内部/外部 VREG	斜升	3		100	mV/us
		斜降			100	mV/us
$V_{BOR-VDDIO-GB}$ (5)	VDDIO 欠压复位电压保护带			0.1		V
外部 VREG						
$C_{VDD\ TOTAL}$ (1) (4)	总 VDD 电容		10	22		uF
SR_{VDD12} (3)	VDD 电源轨的电源斜升速率	斜升	2		100	mV/us
		斜降			100	mV/us
V_{DD33} - V_{DD12} 延迟 (6)	VDD33 和 VDD12 之间的斜坡延迟		0			us
内部 VREG						
$C_{VDD\ TOTAL}$ (4)	总 VDD 电容		10	22		uF
$I_{VREG-LOAD}$	稳压器负载电流				500	mA

(1) 去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。
(2) 建议将 3.3V 电压轨（VDDIO、VDDA）连接在一起并由单电源供电。
(3) 电源斜坡速率高于最大值会触发片上 ESD 保护。
(4) 请参阅*电源管理模块 (PMM)* 一节，了解总去耦电容的可能配置。
(5) TI 建议使用 $V_{BOR-VDDIO-GB}$，避免由于正常电源噪声或 3.3V VDDIO 系统稳压器上的负载瞬态事件而导致 BOR-VDDIO 复位。要防止在器件正常运行期间激活 BOR-VDDIO，良好的系统稳压器设计和去耦电容（符合系统稳压器规格）非常重要。$V_{BOR-VDDIO-GB}$ 的值是一个系统级设计注意事项；此处列出的电压是许多应用的典型值。
(6) 3.3V 电源轨斜升时和 1.25V 电源轨斜升时之间的延迟。有关允许的电源斜坡序列，请参阅*外部 VREG 序列摘要*表和*内部 VREG 序列摘要*表。

6.16.1.5.2 电源管理模块特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{VREG}	内部稳压器输出			1.23		V
$V_{VREG-INRUSH}$ (5)	内部稳压器浪涌电流			1150		mA
$V_{POR-VDDIO}$	VDDIO 上电复位电压	XRSn 释放之前和之后		2.45		V
$V_{BOR-VDDIO-UP}$ (1)	斜升时的 VDDIO 欠压复位电压	XRSn 释放之前			3.0	V
$V_{BOR-VDDIO-DOWN}$ (1)	斜降时的 VDDIO 欠压复位电压	XRSn 释放之后	2.81		3.0	V
$V_{POR-VDD-UP}$ (2)	斜升时的 VDD 上电复位电压	XRSn 释放之前		1.02		V
$V_{POR-VDD-DOWN}$ (2)	斜降时的 VDD 上电复位电压	XRSn 释放之后		1.02		V
$V_{XRSn-PU-DELAY}$ (3)	上电期间电源斜升后的 XRSn 释放延迟	内部 VREG		320		us

ADVANCE INFORMATION

6.16.1.5.2 电源管理模块特性（续）

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{XRSn\text{-}PD\text{-}DELAY}$ (4)	断电期间电源斜降后的 XRSn 跳闸延迟	外部 VREG		320		us
$V_{XRSn\text{-}PD\text{-}DELAY}$ (4)	断电期间电源斜降后的 XRSn 跳闸延迟			2		ns
$V_{DDIO\text{-}MON\text{-}TOT\text{-}DELAY}$	VDDIO 监视器（POR、BOR）路径中的总延迟			80		us
$V_{XRSn\text{-}MON\text{--}RELEASE\text{-}DELAY}$	VDD POR 事件之后的 XRSn 释放延迟	内部 VREG，电源处于工作范围内		360		us
	VDDIO BOR 之后的 XRSn 释放延迟			360		us
	VDDIO POR 事件之后的 XRSn 释放延迟			440		us
	VDD POR 事件之后的 XRSn 释放延迟	外部 VREG，电源处于工作范围内		360		us
	VDDIO BOR 之后的 XRSn 释放延迟			360		us
	VDDIO POR 事件之后的 XRSn 释放延迟			440		us

(1) 请参阅 *I/O BOR 工作区域* 图。
(2) $V_{POR\text{-}VDD}$ 不受支持，它设置为在低于建议运行条件的电平跳闸。如果需要监视 VDD，则需要一个外部监控器。
(3) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前，需要释放所有 POR 和 BOR 监视器。
(4) 断电时，任何跳闸的 POR 或 BOR 监视器都会立即使 XRSn 跳闸。该延迟是任何 POR、BOR 监视器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量，取决于电源的斜降速率。
(5) 这是内部 VREG 导通时在 VDDIO 电源轨上汲取的瞬态电流。因此，当 VREG 导通时，VDDIO 电源轨上可能会出现一些压降，这可能导致 VREG 逐步斜升。这不会对器件产生不利影响，但如果需要，可以通过在 VDDIO 上使用足够的去耦电容器或选择能够提供此瞬态电流的 LDO 或直流/直流稳压器来降低影响。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.16.2 复位时序

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件内置上电复位 (POR) 和欠压复位 (BOR) 监控器。在上电期间，监控器电路会将 XRSn 引脚保持为低电平。有关更多详细信息，请参阅*电源管理模块 (PMM)* 部分。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部开漏电路可以驱动该引脚，从而使器件复位生效。

应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 V_{OL}。图 6-6 展示了推荐的复位电路。

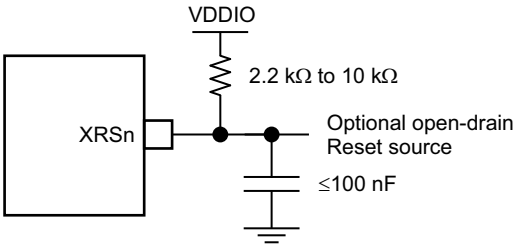


图 6-6. 复位电路

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.2.1 复位源

复位信号 表总结了各种复位信号及其对器件的影响。

表 6-3. 复位信号

复位源	LPOST	HSM 复位	CPU1 子系统复位	CPU2 子系统复位	CPU3 子系统复位	JTAG/ 调试逻辑复位	IOs	XRSn 输出
PORESETn_RAW	是	是	是	是	是	是	高阻态	是
PORESETn	-	是	是	是	是	是	高阻态	是
XRSn 引脚	-	是	是	是	是	-	高阻态	-
CPU1.SIMRESET.XRSn	-	是	是	是	是	-	高阻态	是
CPU1.WDRSn	-	是	是	是	是	-	高阻态	是
ESM CPU1.NMIWDRSn(1)	-	是	是	是	是	-	高阻态	是
CPU1.SYSRSn（调试器复位）	-	-	是	是	是	-	高阻态	-
CPU2.WDRSn	-	-	-	是	-	-	-	-
ESM CPU2.NMIWDRSn(1)	-	是	是	是	是	-	高阻态	是
CPU2.SYSRSn（调试器复位）	-	-	-	是	-	-	-	-
CPU3.WDRSn	-	-	-	-	是	-	-	-
ESM CPU3.NMIWDRSn(1)	-	是	是	是	是	-	高阻态	是
CPU3.SYSRSn（调试器复位）	-	-	-	-	是	-	-	-
ECAT_RESET_OUT	-	是	是	是	是	-	高阻态	是

(1) 仅当在 ESMXRSNCTL 寄存器中对 ESM CPU 实例进行了编程以触发 XRSn 时适用。有关更多详细信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 中的“错误信令模块 (ESM_C29)”一章。

参数 $t_{h(boot\text{-}mode)}$ 必须考虑从这些来源启动的复位。

请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 中“系统控制”一章的*复位*一节。

> **小心**
>
> 有些复位源由器件内部驱动。其中一些源会将 XRSn 驱动为低电平，用于禁用驱动引导引脚的任何其他器件。SCCRESET 和调试器复位源不会驱动 XRSn；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置规定可更改 SECCFG 中的引导引脚。

Copyright © 2025 Texas Instruments Incorporated

6.16.2.2 复位电气数据和时序

6.16.2.2.1 复位 XRSn 时序要求

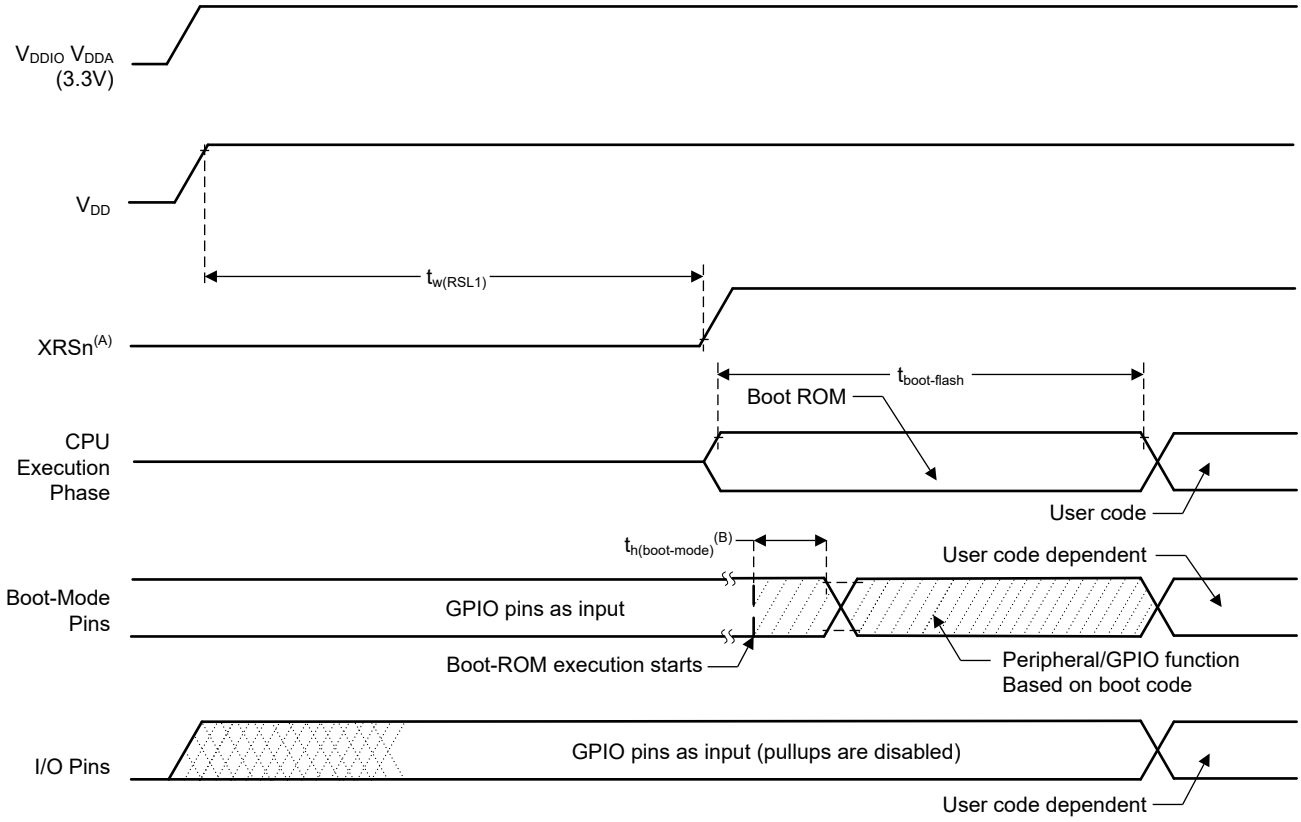
		最小值	最大值	单位
$t_{h(引导模式)}$	引导模式引脚的保持时间	1.5		ms
$t_{w(RSL2)}$	脉冲持续时间，热复位时 XRSn 处于低电平	3.2		μs

6.16.2.2.2 复位 XRSn 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(RSL1)}$	脉冲持续时间，XRSn 在电源稳定后由器件驱动为低电平		100		μs
$t_{w(WDRS)}$	脉冲持续时间，由看门狗生成的复位脉冲		$512t_{c(OSCCLK)}$		周期
$t_{boot\text{-}flash}$	在闪存中第一次取指令之前的引导 ROM 执行时间			80	ms

6.16.2.2.3 复位时序图

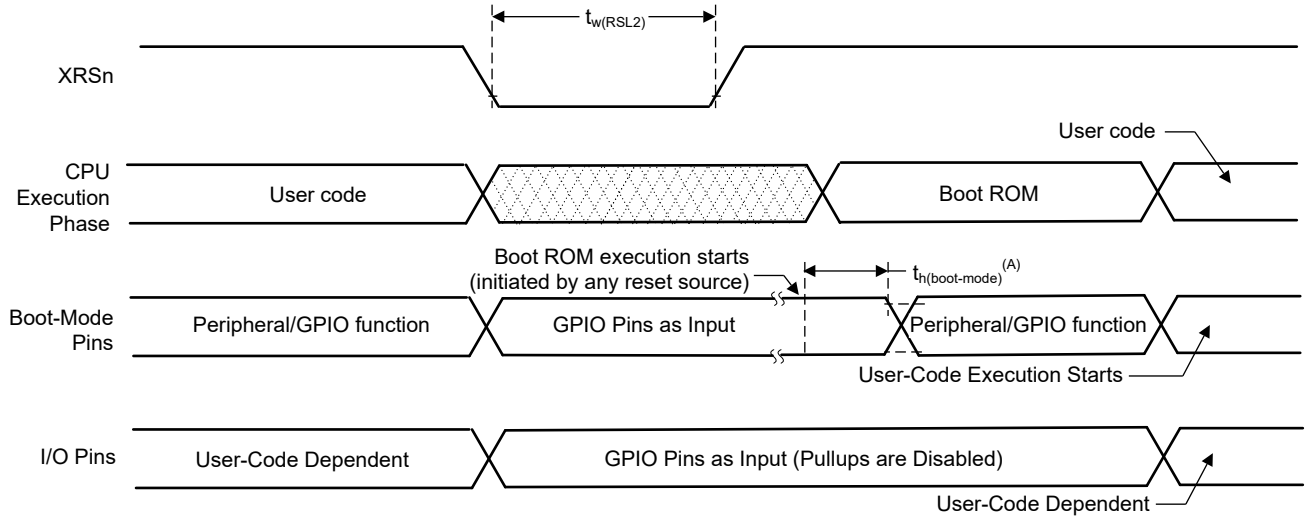


A. XRSn 引脚可以由监控器或外部上拉电阻从外部驱动，请参阅*引脚属性*表。片上监控器将保持该引脚为低电平，直到电源处于有效范围内。

B. 从任何源（参阅*复位源*部分）复位后，引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 6-7. 上电复位

ADVANCE INFORMATION



A. 从任何源（参阅*复位源*部分）复位后，引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 6-8. 热复位

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.16.3 时钟规格

6.16.3.1 时钟源

表 6-4. 可能的基准时钟源

时钟源	模块已计时	注释
INTOSC1	可用于为以下模块提供时钟： • 看门狗模块 • 主 PLL • CPU 计时器 2	内部振荡器 1。 零引脚开销 10MHz 内部振荡器。
INTOSC2[(1)]	可用于为以下模块提供时钟： • 主 PLL • 辅助 PLL • CPU 计时器 2	内部振荡器 2。 零引脚开销 10MHz 内部振荡器。
XTAL	可用于为以下模块提供时钟： • 主 PLL • 辅助 PLL • CPU 计时器 2	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。
AUXCLKIN	可用于为以下模块提供时钟： • MCAN 位时钟	单端 3.3V 电平时钟源。GPIO133/AUXCLKIN 引脚应用于提供输入时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为系统 PLL (OSCCLK) 的默认时钟源。

ADVANCE INFORMATION

ADVANCE INFORMATION

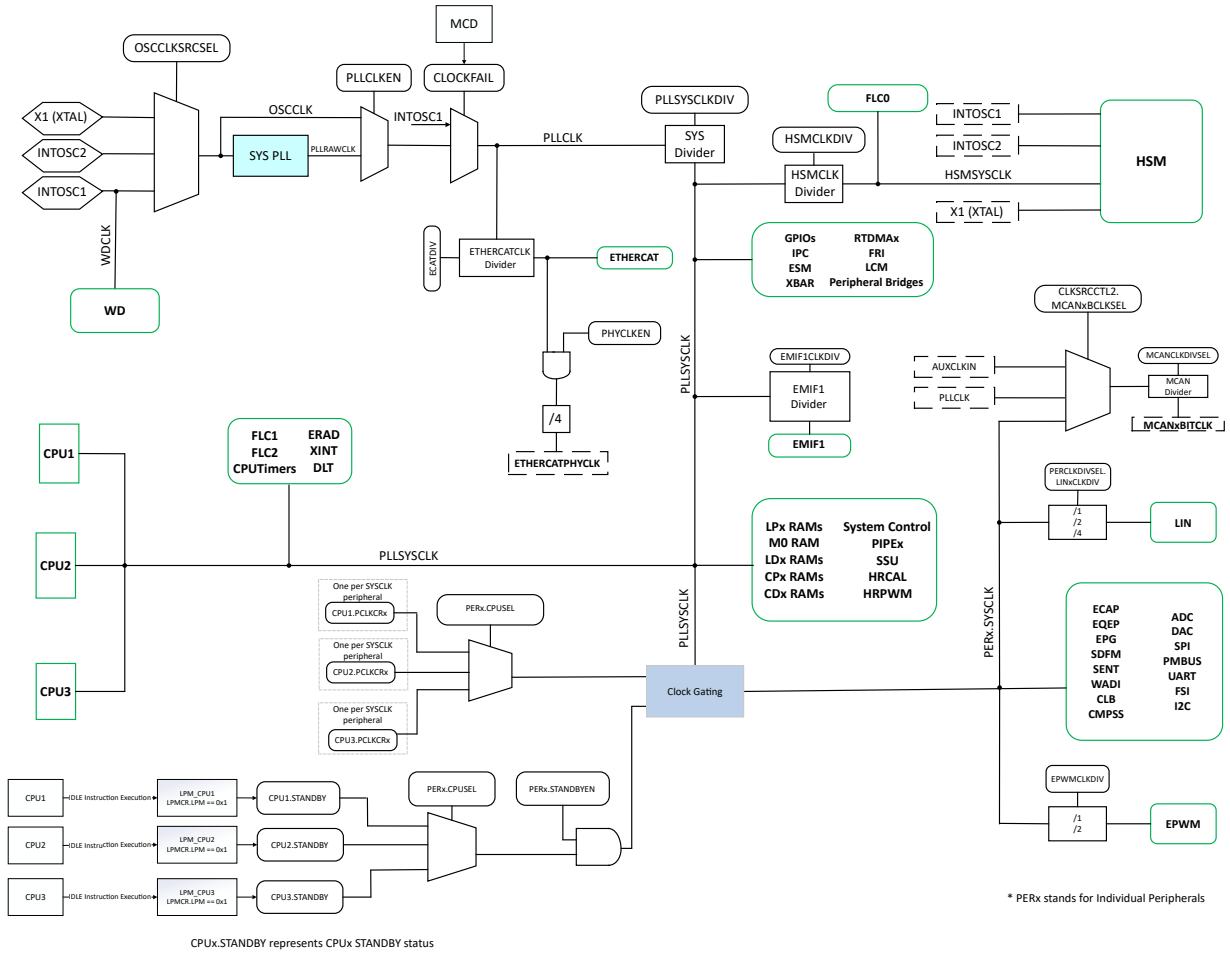
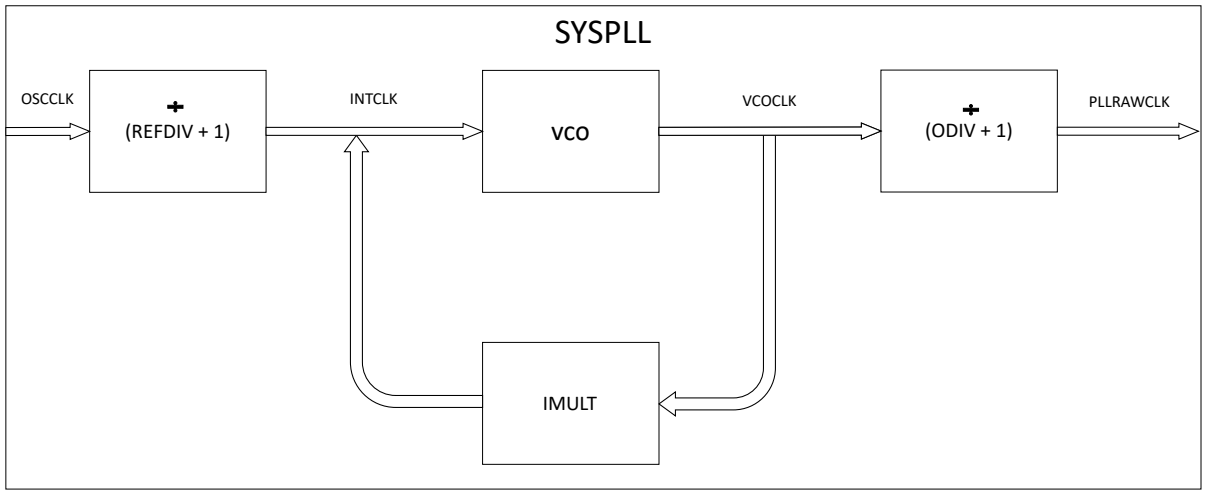


图 6-9. 计时系统

Copyright © 2025 Texas Instruments Incorporated



$$f_{PLLRAWCLK} = \frac{f\,OSCCLK}{(REFDIV+1)} \times \frac{IMULT}{(ODIV+1)}$$

图 6-10. SYSPLL

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.3.2 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

6.16.3.2.1 输入时钟频率和时序要求，PLL 锁定时间

6.16.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率，X1/X2，来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率，X1，来自外部振荡器	10	25	MHz

6.16.3.2.1.2 XTAL 振荡器特性

在建议运行条件下（除非另有说明）

参数		最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压	0.7 * VDDIO		VDDIO + 0.3	V

6.16.3.2.1.3 使用外部时钟源（非晶体）时的 X1 输入电平特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3	0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压	0.7 * VDDIO	VDDIO + 0.3	V

6.16.3.2.1.4 X1 时序要求

		最小值	最大值	单位
$t_{f(X1)}$	下降时间，X1		6	ns
$t_{r(X1)}$	上升时间，X1		6	ns
$t_{w(X1L)}$	脉冲持续时间，X1 低电平占 $t_{c(X1)}$ 的百分比	45%	55%	
$t_{w(X1H)}$	脉冲持续时间，X1 高电平占 $t_{c(X1)}$ 的百分比	45%	55%	

6.16.3.2.1.5 AUXCLKIN 时序要求

		最小值	最大值	单位
$t_{f(AUXI)}$	下降时间，AUXCLKIN		6	ns
$t_{r(AUXI)}$	上升时间，AUXCLKIN		6	ns
$t_{w(AUXL)}$	脉冲持续时间，AUXCLKIN 低电平占 $t_{c(XCI)}$ 的百分比	45%	55%	
$t_{w(AUXH)}$	脉冲持续时间，AUXCLKIN 高电平占 $t_{c(XCI)}$ 的百分比	45%	55%	

6.16.3.2.1.6 APLL 特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	最小值	典型值	最大值	单位
时钟输出精度			0.2	%
PLL 锁定时间				
SYS/AUX PLL 锁定时间[(1)]			5µs + (1024 * (REFDIV + 1) * $t_{c(OSCCLK)}$)	us

(1) 此处的 PLL 锁定时间定义了 PLL 启用 (SYSPLLCTL1[PLLENA]=1) 后 PLL 锁定所需的典型时间。此处未考虑使用双路钟比较器 (DCC) 验证 PLL 时钟的额外时间。TI 建议使用 C2000Ware 的最新示例软件来初始化 PLL。对于系统 PLL，请参阅 InitSysPll() 或 SysCtl_setClock()。

Copyright © 2025 Texas Instruments Incorporated

6.16.3.2.1.7 XCLKOUT 开关特性 - 旁路或启用 PLL

在建议运行条件下测得（除非另有说明）

参数[1]		最小值	最大值	单位
$t_{f(XCO)}$	下降时间，XCLKOUT		5	ns
$t_{r(XCO)}$	上升时间，XCLKOUT		5	ns
$t_{w(XCOL)}$	脉冲持续时间，XCLKOUT 低电平	H – 2[2]	H + 2[2]	ns
$t_{w(XCOH)}$	脉冲持续时间，XCLKOUT 高电平	H – 2[2]	H + 2[2]	ns
$f_{(XCO)}$	频率，XCLKOUT		50	MHz

(1) 假定这些参数的负载为 40pF。
(2) $H = 0.5t_{c(XCO)}$

6.16.3.2.1.8 内部时钟频率

		最小值	典型值	最大值	单位
$f_{(SYSCLK)}$	频率，器件（系统）时钟	2		200	MHz
$t_{c(SYSCLK)}$	周期，器件（系统）时钟	5		500	ns
$f_{(INTCLK)}$	频率，系统 PLL 输入 VCO（在 REFDIV 之后）[1]	10		25	MHz
$f_{(VCOCLK)}$	频率，系统 PLL VCO（在 ODIV 之前）	220		600	MHz
$f_{(PLLRAWCLK)}$	频率，系统 PLL 输出（在 SYSCLK 分频器之前）	6		400	MHz
$f_{(PLL)}$	频率，PLLSYSCLK	2		200	MHz
$f_{(PLL_LIMP)}$	频率，PLL 跛行频率[2]		45/(ODIV+1)		MHz
$f_{(OSCCLK)}$	频率，OSCCLK（INTOSC1、INTOSC2、XTAL 或 X1）		参阅各自的时钟		MHz
$f_{(AUXOSCCLK)}$	频率，辅助 OSCCLK（INTOSC1 或 INTOSC2 或 XTAL 或 X1 或 AUXCLKIN）		参阅各自的时钟		MHz
$f_{(EPWM)}$	频率，EPWMCLK			200	MHz
$f_{(HRPWM)}$	频率，HRPWMCLK	60		200	MHz

(1) 分辨率为 +/-3% 的 INTOSC1 和 INTOSC2 可用作 PLL 的参考时钟
(2) OSCCLK 无效时的 PLL 输出频率（OSCCLK 丢失导致 PLL 变为跛行模式）

ADVANCE INFORMATION

6.16.3.3 输入时钟

除了内部 0 引脚振荡器，还提供了多个外部时钟源选项。图 6-11 显示了将晶振、谐振器和振荡器连接到引脚 X1/X2（也称为 XTAL）和 AUXCLKIN 的推荐方法。

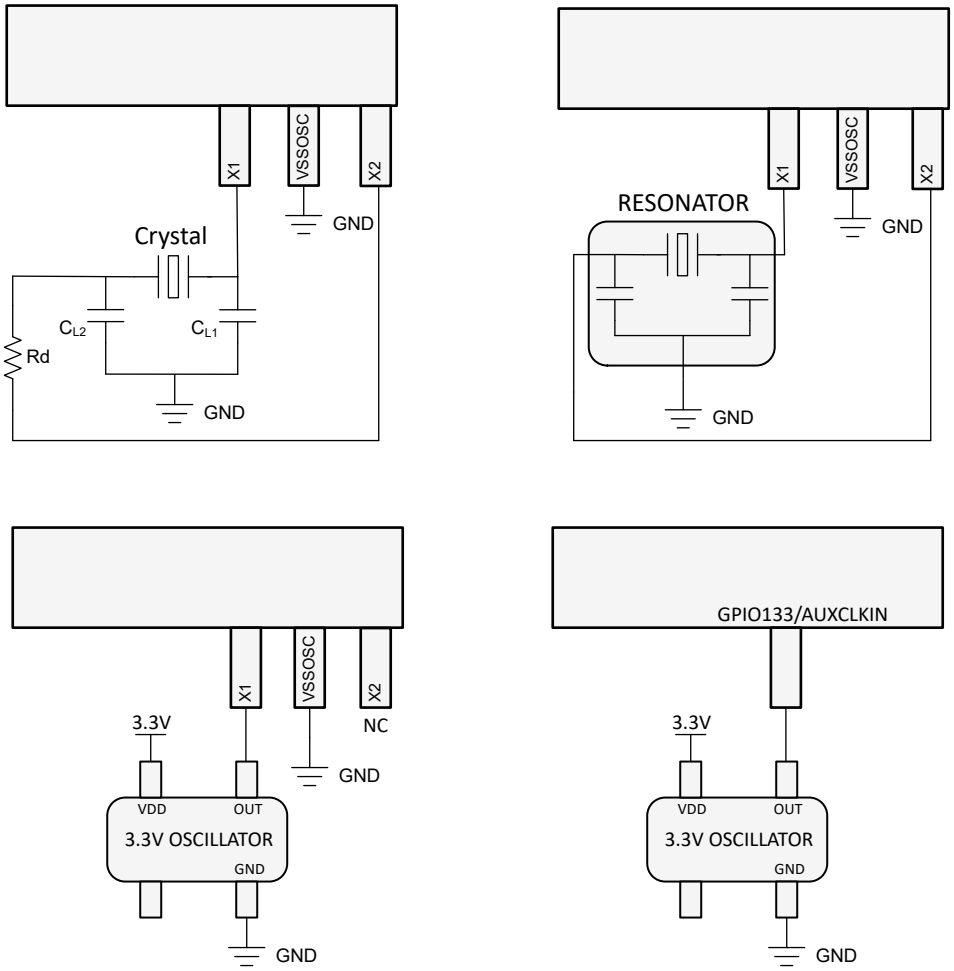


图 6-11. 将输入时钟连接到 F29H85x、F29P58x 和 F29P32x 器件

6.16.3.4 XTAL 振荡器

6.16.3.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

6.16.3.4.2 概述

以下几节将介绍电振荡器和晶体的元件。

6.16.3.4.2.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 6-12 所示为电子振荡器和振荡电路的元件。

Copyright © 2025 Texas Instruments Incorporated

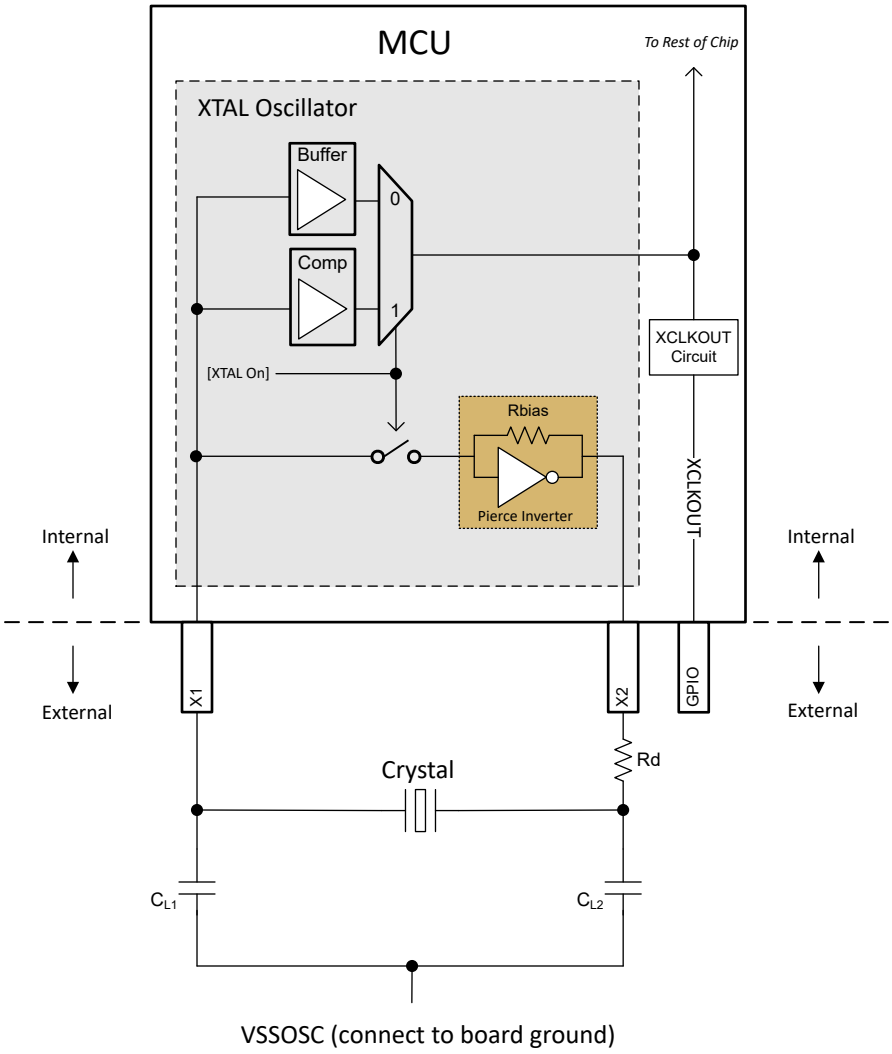


图 6-12. 电子振荡器方框图

6.16.3.4.2.1.1 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

6.16.3.4.2.1.1.1 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，会启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 Rbias 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟通过比较器 (Comp) 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 *XTAL 振荡器特性* 表。

6.16.3.4.2.1.1.2 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR.OSCOFF = 1 和 XTALCR.SE = 1 来实现。

ADVANCE INFORMATION

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer) 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅*使用外部时钟源（非晶体）时的 X1 输入电平特征表*。

6.16.3.4.2.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅 *GPIO 多路复用引脚表*。

6.16.3.4.2.2 石英晶体

石英晶体可以由 LCR（电感-电容-电阻）电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 6-13 所示，并在下文中有相应说明。

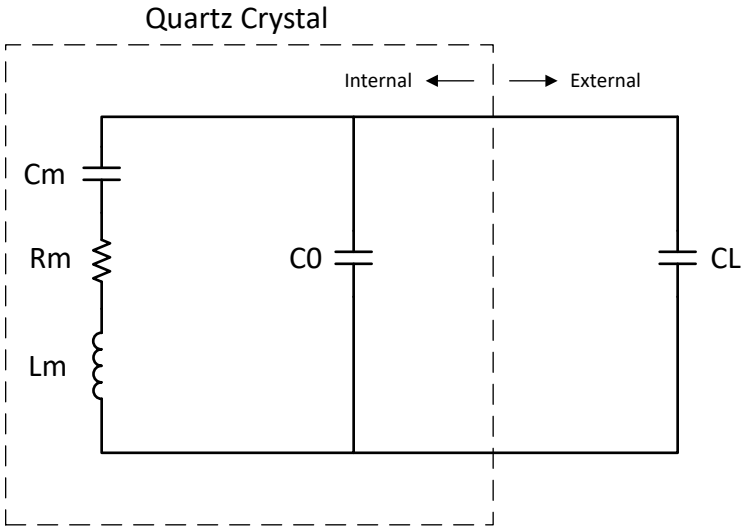


图 6-13. 晶体电气表示

Cm（动态电容）：表示晶体的弹性。

Rm（动态电阻）：表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

Lm（动态电感）：表示晶体的振动质量。

C0（并联电容）：由两个晶体电极和杂散封装电容形成的电容。

CL（负载电容）：这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 6-12，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 CL1 = CL2，只需计算 [CL1]/2 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.16.3.4.2.3 GPIO 运行模式

请参阅 中的*外部振荡器 (XTAL)* 一节。

6.16.3.4.3 正常运行

6.16.3.4.3.1 ESR – 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (1)$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容、则可以按此近似计算。

6.16.3.4.3.2 Rneg - 负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 6-14 和图 6-15 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 6-5 了解设计中需要注意的最小值和最大值。

6.16.3.4.3.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 *Rneg - 负电阻* 一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅*晶体振荡器规格* 一节。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

6.16.3.4.3.4 DL – 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

6.16.3.4.4 如何选择晶体

请参考晶体振荡器规格：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的 ESR <=50Ω，符合 20MHz 的规格。
3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
   - 如前所述，CL1 和 CL2 是串联的；因此，如果 CL1 = CL2，则有效负载电容 CL = [CL1]/2。
   - 在此基础上加上电路板寄生效应会得到 CL = [CL1]/2 + 杂散电容
4. 确认晶体的最大驱动电平 >= 1mW。如果不满足此要求，则可以使用阻尼电阻 Rd。请参阅 DL - 驱动电平，了解使用 Rd 时要考虑的其他要点。

ADVANCE INFORMATION

6.16.3.4.5 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用输入电容小于 1pF 的有源探针。

频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

6.16.3.4.6 常见问题和调试提示

晶体无法启动

- 浏览*如何选择晶体* 部分，确保没有违规。

晶体需要很长时间才能启动

- 如果安装了阻尼电阻 Rd，则其过高。
- 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

6.16.3.4.7 晶体振荡器规格

6.16.3.4.7.1 晶振等效串联电阻 (ESR) 要求

对于晶振等效串联电阻 (ESR) 需求表：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. ESR = 负电阻/3

表 6-5. 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

Copyright © 2025 Texas Instruments Incorporated

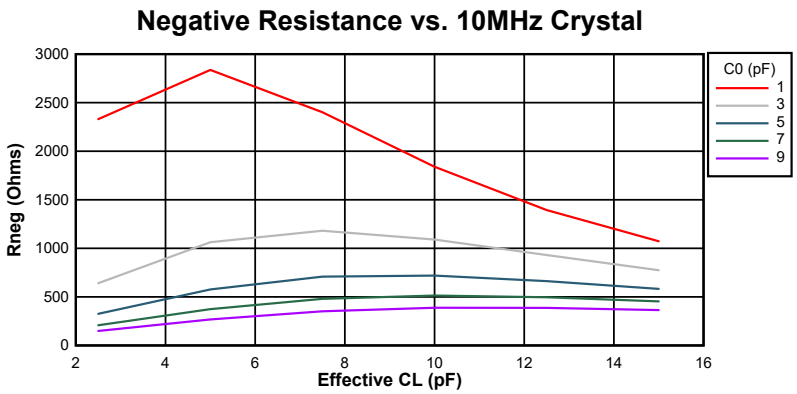


图 6-14. 10MHz 时的负电阻变化

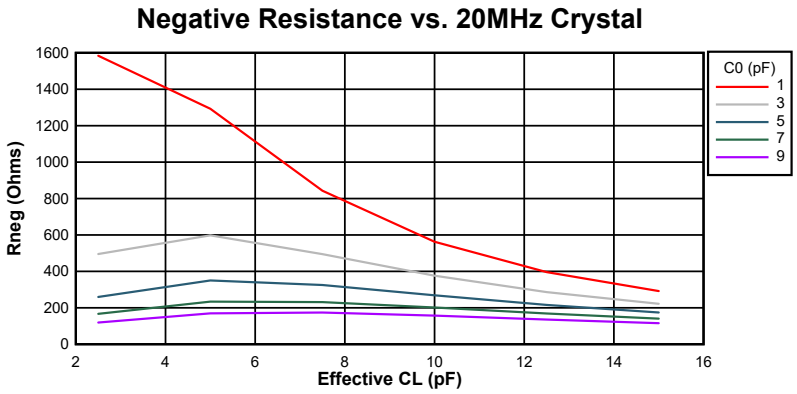


图 6-15. 20MHz 时的负电阻变化

ADVANCE INFORMATION

6.16.3.4.7.2 晶体振荡器参数

		最小值	最大值	单位
CL1，CL2	负载电容	12	24	pF
C0	晶体并联电容		7	pF

6.16.3.4.7.3 晶体振荡器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
启动时间[(1)]	f = 10MHz	ESR 最大值 = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR 最大值 = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)					1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.16.3.5 内部振荡器

为了减少电路板生产成本和缩短应用开发时间，所有 器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，INTOSC2 设置为系统参考时钟 (OSCCLK) 源，INTOSC1 设置为备用时钟源。

6.16.3.5.1 INTOSC 特性

在建议运行条件下测得（除非另有说明）

参数		封装后缀	测试条件	最小值	典型值	最大值	单位
f_{INTOSC}	频率，INTOSC1 和 INTOSC2[(1)]	全部	-40°C 至 125°C	9.7 (-3%)	10	10.3 (3.0%)	MHz
$f_{INTOSC-STABILITY}$	室温下的频率稳定性	全部	30°C，标称 VDD		±0.1		%
$t_{INT0SC-ST}$	启动和稳定时间	全部				20	µs

(1) 由于回流焊的热应力和机械应力，INTOSC 频率可能会发生偏移。回流焊后烘烤可以使器件恢复到原始数据表性能。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.4 闪存参数

片上闪存存储器与 CPU 紧密集成，允许通过 256 位宽的预取读取、流水线缓冲器和代码块高速缓存直接从闪存执行代码。序列代码的闪存性能等同于从 RAM 中执行。考虑到不连续性，相对于从 RAM 中执行的代码，大多数应用的运行效率约为 80%。

该器件还具有用于安全配置和闪存管理的 SECCFG 扇区。

表 6-6 和表 6-7 分别列出了不同频率下 C29 闪存所需的最低等待状态和 HSM 闪存所需的最低等待状态。*闪存参数* 表列出了闪存参数。

表 6-6. 不同时钟频率下所需的最低 C29 闪存等待状态

CPUCLK (MHz)	等待状态 (FRDCNTL[RWAIT][(1)])
150 < CPUCLK ≤ 200	3
100 < CPUCLK ≤ 150	2
0 < CPUCLK ≤ 100	1

(1) 所需的最小 FRDCNTL[RWAIT] 为 1，不支持 RWAIT=0。

表 6-7. 不同时钟频率下所需的最低 HSM 闪存等待状态

HSMCLK (MHz)	等待状态 (FRDCNTL[RWAIT])[(1)]
80 < HSMCLK ≤ 100	2
0 < HSMCLK ≤ 80	1

(1) 所需的最小 FRDCNTL[RWAIT] 为 1，不支持 RWAIT=0。

Copyright © 2025 Texas Instruments Incorporated

6.16.4.1 C29 闪存参数

参数		最小值	典型值	最大值	单位
编程时间[1]（在数据区域上）	128 数据位 + 16 ECC 位		62.5	625	μs
	2KB（扇区）		8	80	ms
编程时间[1]（在编程区域、交错）	256 数据位 + 32 ECC 位		125	1250	μs
	4KB（扇区）		16	160	ms
EraseTime[2] [3]（< 25 个周期）（在一个数据区域上）	2KB（扇区）		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
EraseTime[2] [3]（< 25 个周期）（在编程区域上、交错）	4KB（扇区）		30	110	ms
	128KB		34	122	ms
	256KB		36	132	ms
	512KB		42	156	ms
	1MB		52	178	ms
EraseTime[2] [3]（1000 个周期）	2KB（扇区）		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
	512KB		39	199	ms
EraseTime[2] [3]（2000 个周期）	2KB（扇区）		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
	512KB		49	335	ms
EraseTime[2] [3]（20K 个周期）	2KB（扇区）		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
	512KB		185	1560	ms
每个扇区的 N_{wec} 个写入/擦除周期				20000	周期
整个器件的 N_{wec} 写入/擦除周期（受限于闪存泵的耐久性）				100000	周期
$t_{retention}$ 数据保持持续时间 (T_J = 85ºC)		20			年
F_{clk}				50	MHz

(1) 编程时间是最大器件频率下的值。 编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：
- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用 JTAG 调试探头的速度对传输时间有显著影响。
编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU 对编程的验证。写入/擦除 (W/E) 循环不会缩短编程时间，但会缩短擦除时间。
擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

(2) 擦除时间包含 CPU 对擦除的验证。

(3) 当器件从 TI 出货时，片上闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.4.2 HSM 闪存参数

参数		最小值	典型值	最大值	单位
编程时间[1]	128 数据位 + 16 ECC 位		62.5	625	µs
	2KB（扇区）		8	80	ms
EraseTime[2] [3]（< 25 个周期）	2KB（扇区）		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
	512KB		26	89	ms
EraseTime[2] [3]（1000 个周期）	2KB（扇区）		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
	512KB		39	199	ms
EraseTime[2] [3]（2000 个周期）	2KB（扇区）		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
	512KB		49	335	ms
EraseTime[2] [3]（20K 个周期）	2KB（扇区）		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
	512KB		185	1560	ms
每个扇区的 N_{wec} 个写入/擦除周期				20000	周期
整个器件的 N_{wec} 写入/擦除周期（受限于闪存泵的耐久性）				100000	周期
$t_{retention}$ 数据保持持续时间 (T_J = 85ºC)		20			年
F_{clk}				50	MHz

(1) 编程时间是最大器件频率下的值。 编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：
- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用 JTAG 调试探头的速度对传输时间有显著影响。
编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU 对编程的验证。写入/擦除 (W/E) 循环不会缩短编程时间，但会缩短擦除时间。
擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

(2) 擦除时间包含 CPU 对擦除的验证。

(3) 当器件从 TI 出货时，片上闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

Copyright © 2025 Texas Instruments Incorporated

6.16.5 存储器子系统 (MEMSS)

6.16.5.1 简介

MEMSS（存储器子系统）介绍了 C29x 平台上使用的存储器架构。每个 CPU 都有一条 128 位程序总线、两条 64 位读取总线和一条 64 位写入总线。RAM 测试和存储器初始化只能通过 CPU1 完成。在初始化存储器或运行测试模式以使最后一个缓冲数据失效之前，请使用 MEM_DLB_CONFIG 寄存器中的使能位禁用数据线缓冲区。

表 6-8. 命名规则

名称	读取字访问	零等待状态优化
LPAx RAM	128 位字	CPU1 和 CPU2 的程序访问
LDAx RAM	64 位字	CPU1 和 CPU2 的数据访问
CPAx RAM	128 位字	CPU1 和 CPU3 的程序访问
CDAx RAM	64 位字	CPU1 和 CPU3 的数据访问

6.16.5.2 特性

MEMSS 实现了下列存储器功能：

- RAM：
  - 通过本地前瞻地址生成实现 RTDMA 吞吐量优化
  - 每个 CPU 的通用数据线缓冲器（2x64 位字）
  - 每个 CPU 的通用程序桥
  - 具有 32 位粒度的 ECC 支持
  - 当写访问小于 ECC 粒度时进行读取-修改-写入操作
  - 通过发布写操作，从而更大限度地减少读取-修改-写入操作的停顿
  - 用于读取/写入 ECC 位和错误注入的测试模式
- ROM：
  - 具有 64 位粒度的 ECC 支持，可减少 ECC 位开销
  - 1 个等待状态程序和数据访问
  - 使用 256 位宽存储器进行预取
  - 256 位专用本地线路缓冲器
- 为了减少 ECC 位开销，没有单独的地址 ECC 位；ECC 通过组合数据和地址生成

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.5.3 RAM 规格

表 6-9. RAM 参数

RAM 段	交错式	CPU1	CPU2	CPU3	HSM	RTDMA1	RTDMA2
LPAx RAM	是	0WS 程序 1WS 数据	0WS 程序 1WS 数据	3WS 数据		1WS	1WS
LDAx RAM	是	1WS 程序 0WS 数据	1WS 程序 0WS 数据	3WS 数据	2WS	1WS	1WS
M0 RAM	是	1WS 程序 0WS 数据	0WS 数据（只读）	3WS 数据（只读）			
CPAx RAM	是	0WS 程序 1WS 数据	3WS 数据	0WS 程序 1WS 数据		1WS	1WS
CDAx RAM	是	1WS 程序 0WS 数据	3WS 数据	1WS 程序 0WS 数据		1WS	1WS
CPU1 ROM	是	1WS 程序 1WS 数据					
CPU2 ROM	是		1WS 程序 1WS 数据				
CPU3 ROM	是			1WS 程序 1WS 数据			

表 6-10. RAM 初始化时序

RAM 类型	尺寸	存储器宽度（位）	初始化时间（周期数）
LDAx RAM	16KB	64 位	2048
CDAx RAM	16KB	64 位	2048
LPAx RAM	32KB	128 位	2048
CPAx RAM	32KB	128 位	2048

备注

表 6-10 中时序是相同的原因是对于 128 位宽存储器，每个周期初始化 16 个字节，而对于 64 位宽存储器，每个周期初始化 8 个字节。

Copyright © 2025 Texas Instruments Incorporated

6.16.6 调试/JTAG

外部调试器通过串行调试子系统连接到器件，该子系统支持以下两种模式：

1. 4 线模式：JTAG 协议
2. 2 线模式：串行线调试 (SWD) 协议

JTAG（IEEE 标准 1149.1-1990 标准测试接入端口和边界扫描架构）端口有四个专用引脚：TMS、TDI、TDO 和 TCK。SWD（针对简化引脚和增强功能测试接入端口以及边界扫描架构的 IEEE 标准 1149.7-2009）端口，是一个只需要两个引脚（TMS 和 TCK）的紧凑型 JTAG 接口，此接口可实现多路复用为传统 GPIO222 (TDI) 和 GPIO223 (TDO) 引脚的其他器件功能。

通常情况下，当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm)，并且 JTAG 链上没有其他器件时，JTAG 信号上不需要缓冲器。否则，每个信号都应被缓冲。此外，对于大多数 10MHz 下的 JTAG 调试探针操作，JTAG 信号上不需要串联电阻器。但是，如果需要高仿真速度（35MHz 左右），则应在每个 JTAG 信号上串联 22Ω 电阻。

JTAG 调试探针头的 PD（电源检测）引脚应连接到电路板 3.3V 电源。接头 GND 引脚应连接至电路板接地。TDIS（电缆断开感应）也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出引脚环回到接头的 RTCK 输入引脚（以通过 JTAG 调试探针检测时钟连续性）。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对 2.2kΩ 至 4.7kΩ（取决于调试器端口的驱动强度）的板载上拉电阻在仿真接头处上拉。通常使用 2.2kΩ 的阻值。

接头引脚 $\overline{\text{RESET}}$ 是 JTAG 调试探针接头的开漏输出，通过 JTAG 调试探针命令使电路板元件复位（仅通过 20 引脚接头可用）。图 6-16 展示了如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号图 6-17 展示了如何连接到 20 引脚 JTAG 接头。20 引脚 JTAG 接头引脚 EMU2、EMU3 和 EMU4 未使用，应接地。

有关硬件断点和观察点的更多信息，请参阅 CCS 中 C2000 器件的硬件断点和观察点。

有关 JTAG 仿真的更多信息，请参阅 *XDS 目标连接指南*。

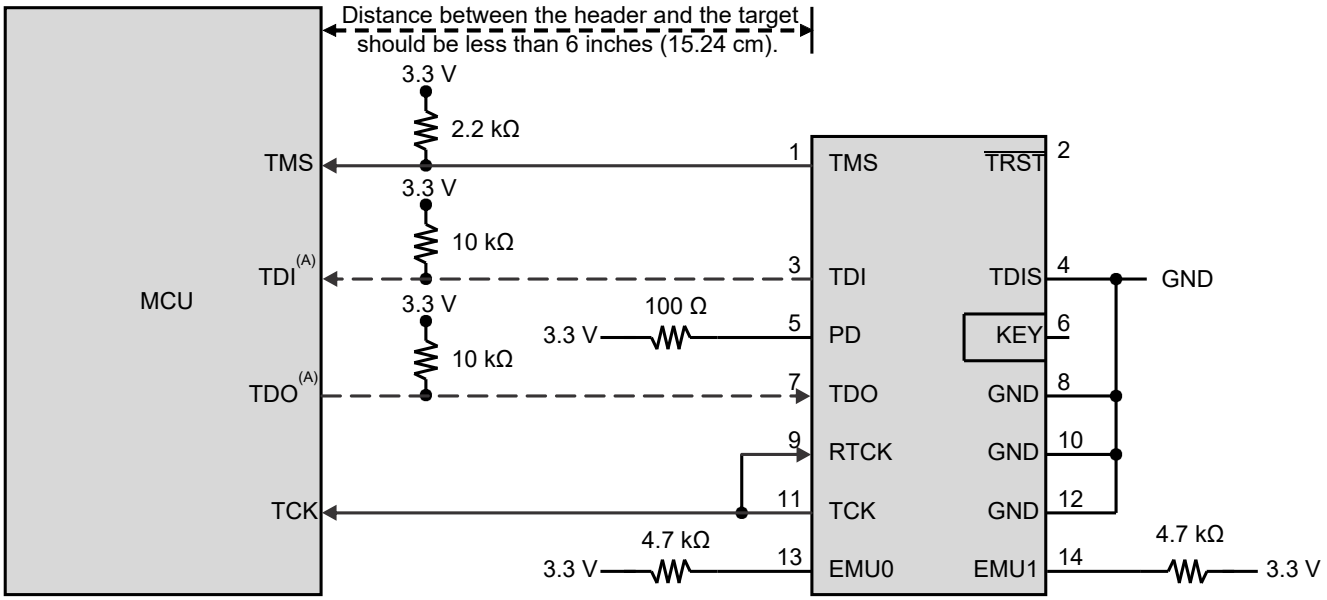
备注

JTAG 测试数据输入 (TDI) 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果此引脚被用作 JTAG TDI，应该启用内部上拉电阻器或在电路板上增加一个外部上拉电阻器来避免悬空输入。在 SWD 选项中，此引脚可用作 GPIO。

JTAG 测试数据输出 (TDO) 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 函数将处于三态条件，使此引脚悬空。应启用内部上拉或在电路板上添加外部上拉，以避免 GPIO 输入悬空。在 2 线选项中，此引脚可用作 GPIO。

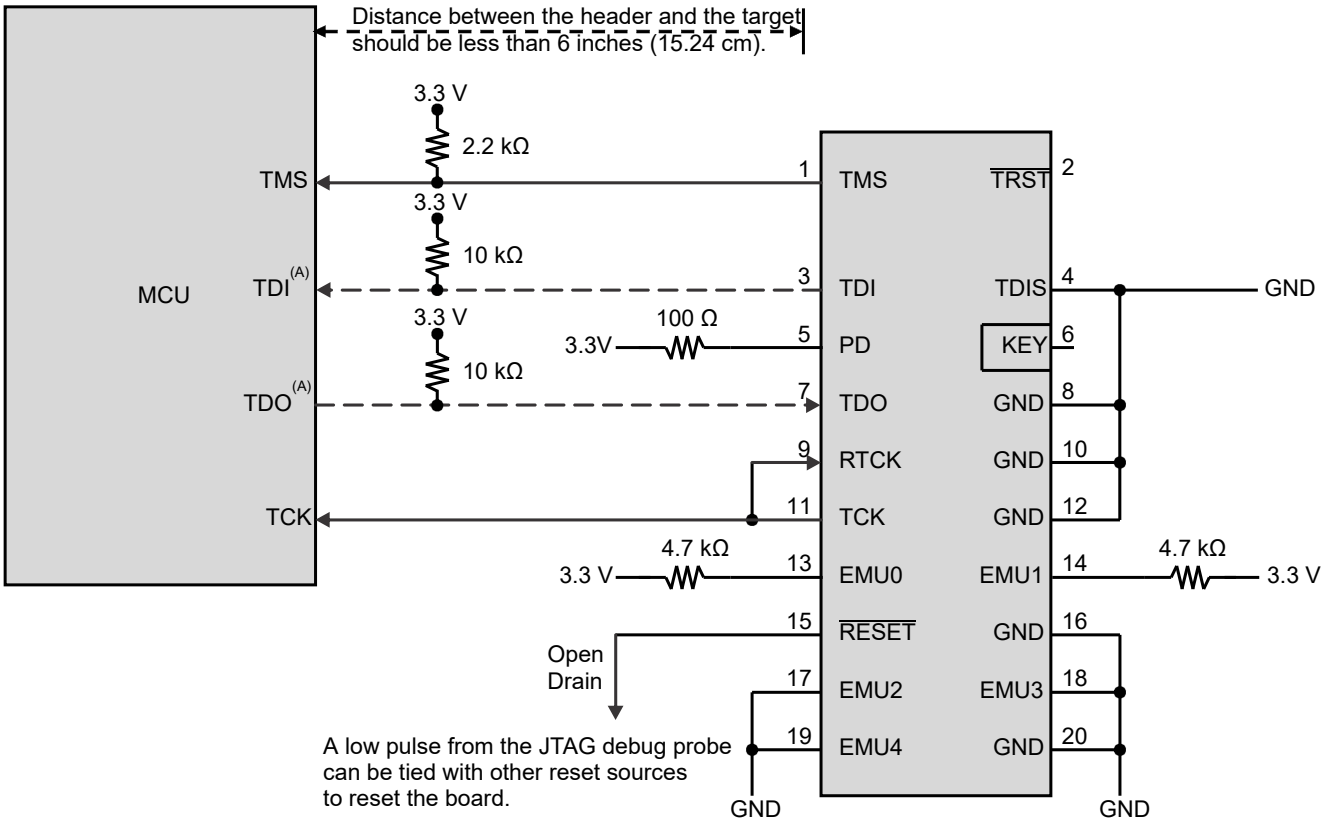
ADVANCE INFORMATION

ADVANCE INFORMATION



A. SWD 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-16. 连接到 14 引脚 JTAG 接头



A. SWD 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-17. 连接到 20 引脚 JTAG 接头

Copyright © 2025 Texas Instruments Incorporated

6.16.6.1 JTAG 电气数据和时序

6.16.6.1.1 DEBUGSS 时序要求

编号			最小值	最大值	单位
1	$t_{c(TCK)}$	周期时间，TCK	28.5		ns
1a	$t_{w(TCKH)}$	脉冲持续时间，TCK 高电平（t_c 的 40%）	11		ns
1b	$t_{w(TCKL)}$	脉冲持续时间，TCK 低电平（t_c 的 40%）	11		ns
3	$t_{su(TDI-TCKH)}$	输入建立时间，TDI 有效至 TCK 高电平	-1.5		ns
3	$t_{su(TMS-TCKH)}$	输入建立时间，TMS 有效至 TCK 高电平	-1.4		ns
4	$t_{h(TCKH-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
4	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	7		ns
5	$t_{su(TMS-TCKH)}$	输入建立时间，TMS 有效至 TCK 高电平	-1.4		ns
5	$t_{su(TMS-TCKL)}$	输入设置时间，TMS 有效至 TCK 低电平	-1.4		ns
6	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	7		ns
6	$t_{h(TCKL-TMS)}$	输入保持时间，从 TCK 低电平至 TMS 有效	7		ns

6.16.6.1.2 DEBUGSS 开关特性

在建议运行条件下测得（除非另有说明）

编号	参数		最小值	最大值	单位
2	$t_{d(TCKL-TDO)}$	TCK 低电平到 TDO 有效的延迟时间		15.7	ns
2	$t_{d(TCKL-TMS)}$	TCK 低电平到 TMS 有效的延迟时间		15	ns
7	$t_{d(TCKL-TMS)}$	延迟时间，TCK 高电平到 TMS 禁用的时间		15	ns

6.16.6.1.3 JTAG 时序图

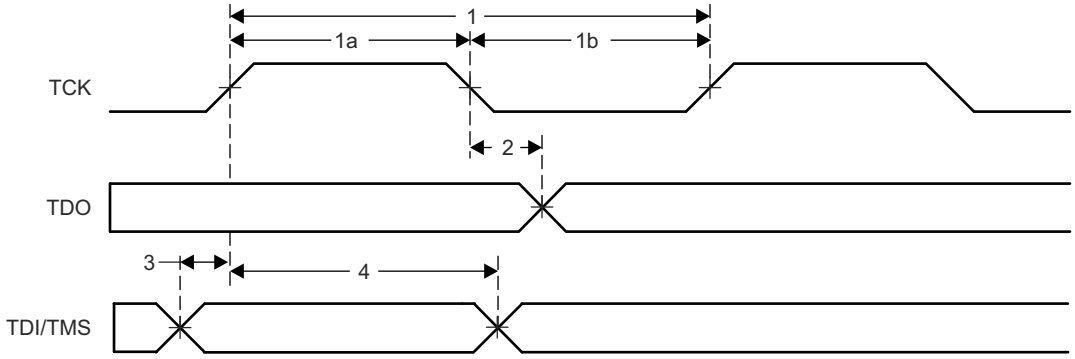


图 6-18. JTAG 时序

6.16.6.1.4 SWD 时序图

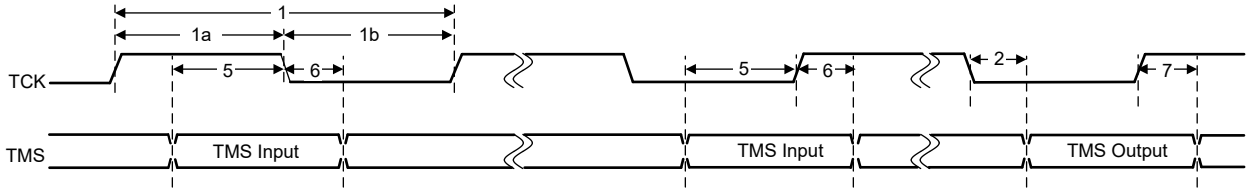


图 6-19. SWD 时序

ADVANCE INFORMATION

6.16.7 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

许多 GPIO 都具有用于输出 X-BAR 的多路复用器选项，允许将各种内部信号路由到 GPIO。所有 GPIO 都连接到每个输入 X-BAR，这些输入 X-BAR 可以将 GPIO 的高电平或低电平状态路由到不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断。有关更多详细信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 中的“X-BAR”一章。 中的“X-BAR”一章。

6.16.7.1 GPIO - 输出时序

6.16.7.1.1 通用输出开关特征

在建议运行条件下测得（除非另有说明）

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平	所有 GPIO		8[(1)]	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平	所有 GPIO		8[(1)]	ns
t_{fGPO}	切换频率，GPIO 引脚			50	MHz

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 40pF。

6.16.7.1.2 通用输出时序图

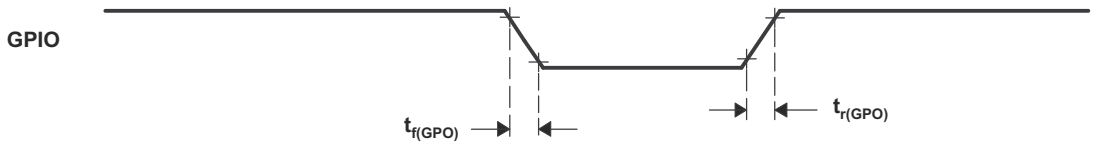


图 6-20. 通用输出时序

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

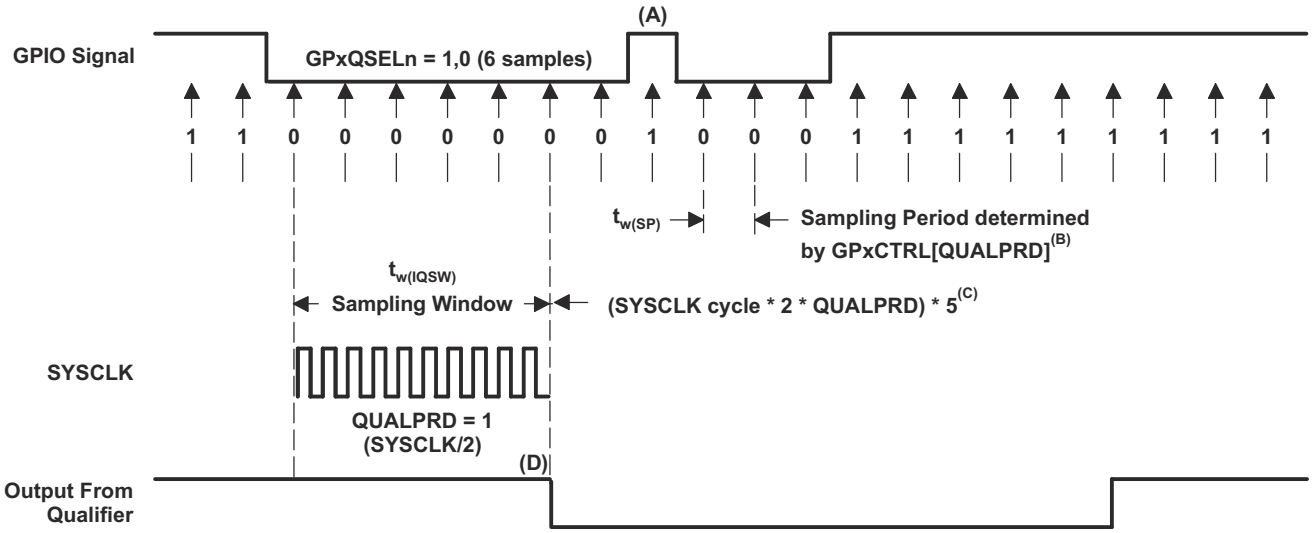
6.16.7.2 GPIO - 输入时序

6.16.7.2.1 通用输入时序要求

			最小值	最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_{c(SYSCLK)}$		周期
		QUALPRD≠0	$2t_{c(SYSCLK)}$*QUALPRD		周期
$t_{w(IQSW)}$	输入限定符采样窗口		$t_{w(SP)}$*(n[(1)]-1)		周期
$t_{w(GPI)}$ [(2)]	脉冲持续时间，GPIO 低电平/高电平	同步模式	$2t_{c(SYSCLK)}$		周期
		带输入限定器	$t_{w(IQSW)}$ + $t_{w(SP)}$ + $1t_{c(SYSCLK)}$		周期

(1) “n”代表由 GPxQSELn 寄存器定义的合格样片的数量。
(2) 对于 $t_{w(GPI)}$，对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽，而高电平有效信号，在 V_{IH} 至 V_{IH} 之间测量脉宽。

6.16.7.2.2 采样模式



A. 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00，那么采样周期为 1 个 SYSCLK 周期。对于任何其他的“n”值，限定采样周期为 2n SYSCLK 周期（也就是说，在每 2n 个 SYSCLK 周期上，GPIO 引脚将被采样）。
B. 通过 GPxCTRL 寄存器选择的限定周期会应用于包含 8 个 GPIO 引脚的组。
C. 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。
D. 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说，输入应该在 (5 × QUALPRD × 2) 个 SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的，因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

图 6-21. 采样模式

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.7.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。

采样频率表明相对于 SYSCLK 对信号进行采样的频率。

如果 QUALPRD ≠ 0，采样频率 = SYSCLK/(2 × QUALPRD)

如果 QUALPRD=0，则采样频率 = SYSCLK

如果 QUALPRD≠0，则采样周期 = SYSCLK 周期 × 2 × QUALPRD

在上面的等式中，SYSCLK 周期表示 SYSCLK 的时间周期。

如果 QUALPRD=0，则采样周期 = SYSCLK 周期

在给定的采样窗口中，采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到 GPxQSELn 寄存器的值确定的。

情况 1：

使用 3 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 2

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 2

情况 2：

使用 6 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 5

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 5

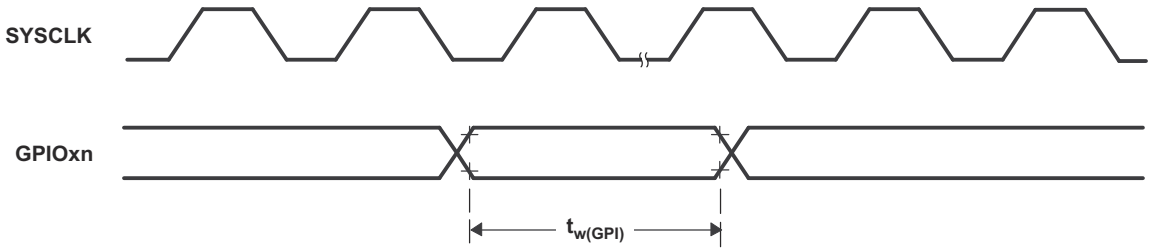


图 6-22. 通用输入时序

Copyright © 2025 Texas Instruments Incorporated

6.16.8 实时直接存储器存取 (RTDMA)

6.16.8.1 简介

控制器的性能不仅仅取决于处理器速度，更依赖于整体系统能力。作为其中的一个因素，只要能够减少给定功能所需的 CPU 带宽，就能提升系统的整体能力。很多时候，应用在数据传输上消耗了大量带宽，无论是将数据从片外存储器传输到片上存储器，还是从模数转换器(ADC)等外设传输到 RAM，或是从一个外设传输到另一个外设。此外，很多时候，这些数据的格式不利于 CPU 发挥出色的处理能力。本章介绍的 RTDMA 模块能够释放 CPU 带宽并将数据重新排列成更适合实现简化实时处理的模式。

RTDMA 模块是基于事件的机器，这意味着，RTDMA 模块需要借助外设、通道或软件触发才能启动 RTDMA 传输。可以通过配置计时器作为 RTDMA 触发源以及使用 RTDMA 模块本身的内部通道来定期启动存储器传输，将 RTDMA 模块用作定期时间驱动机器。RTDMA 模块具有十个独立的 RTDMA 通道，这些通道均可以单独配置，并且每个通道都包含自身独立的中断控制器中断，使 CPU 知道 RTDMA 传输何时开始或完成。所有十个通道均可配置为四个优先级之一，其中一个选定通道的优先级高于其他通道。RTDMA 的核心是状态机和紧密耦合的地址控制逻辑。这种地址控制逻辑允许在传输期间重新排列数据块以及缓冲区之间的循环数据处理。本章将逐个详细讨论这些功能。

6.16.8.1.1 特性

RTDMA 模块特性包括：

- 10 个具有软件可配置优先级和独立中断控制器中断的 RTDMA 通道
- 多达 256 个硬件触发源来启动 RTDMA 传输
- 数据传输的内部触发生成和通道的触发源
- 独立的读取和写入总线
- 字大小：8 位、16 位、32 位和 64 位传输
- 吞吐量：初始读写访问后，每个字需 1 个周期，无额外的读取/写入等待周期
- 在硬件内实施 FIFO，以优化数据传输
- 线性和循环寻址模式
- 当数据从源传输到目标时，支持多个数据变换函数
  - 能够反转字、半字等。
- 突发模式支持 (用于通过 EMIF 进行传输)
- 通过存储器保护单元 (MPU) 实现访问保护

ADVANCE INFORMATION

6.16.8.1.2 方框图

图 6-23 展示了 RTDMA 的方框图。

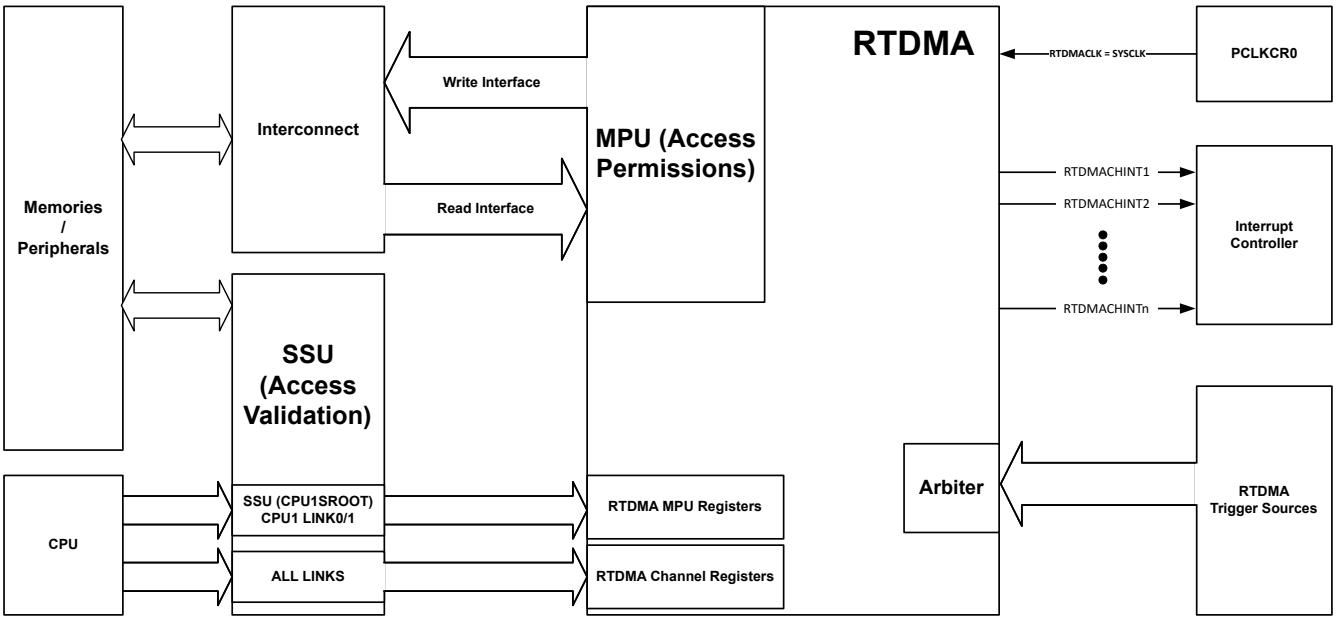


图 6-23. RTDMA 方框图

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.16.9 低功耗模式

该器件具有空闲和待机两种时钟门控低功耗模式。从待机低功耗模式唤醒也可由 CMPSS 跳闸输出触发。

6.16.9.1 时钟门控低功耗模式

表 6-11. 时钟门控低功耗模式

模块/时钟域	CPU1		CPU2		CPU3	
	空闲	待机	空闲	待机	空闲	待机
CPU1.CLOCK	活动	门控	不适用	不适用	不适用	不适用
CPU2.CLOCK	不适用	不适用	活动	门控	不适用	不适用
CPU3.CLOCK	不适用	不适用	不适用	不适用	活动	门控
连接到 PERx.SYSCLK 的模块的时钟	活动	由 PERxSYSCONFIG 控制	活动	由 PERxSYSCONFIG 控制	活动	由 PERxSYSCONFIG 控制
WD1CLK	活动	活动	活动	活动	活动	活动
WD2CLK	活动	活动	活动	活动	活动	活动
WD3CLK	活动	活动	活动	活动	活动	活动
HSM.SYSCLK	活动	活动	活动	活动	活动	活动
M0 RAM 时钟	活动	活动	活动	活动	活动	活动
Ecat_PHYCLK、Ecat_CLK25、Ecat_CLK100、MCANxBITCLK	活动	活动	活动	活动	活动	活动

ADVANCE INFORMATION

6.16.9.2 低功耗模式唤醒时序

有关输入限定符参数的说明，请参阅*通用输入时序要求*表。

6.16.9.2.1 空闲模式时序要求

			最小值 最大值	单位
$t_{w(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定器	$2t_{c(SYSCLK)}$	周期
		带输入限定器	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

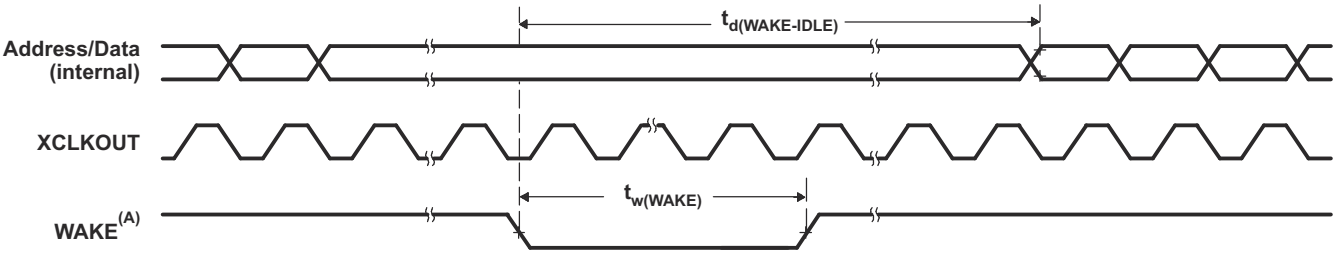
6.16.9.2.2 空闲模式开关特性

在建议运行条件下（除非另有说明）

参数			测试条件	最小值 最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	来自闪存（活动状态）	无输入限定器	$40t_{c(SYSCLK)}$	周期
			带输入限定器	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	周期
		来自闪存（睡眠状态）	无输入限定器	$6700t_{c(SYSCLK)}$ (2)	周期
			带输入限定器	$6700t_{c(SYSCLK)}$ (2) + $t_{w(WAKE)}$	周期
		来自 RAM	无输入限定器	$25t_{c(SYSCLK)}$	周期
			带输入限定器	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。
(2) 该值基于闪存上电时间，该时间是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。

6.16.9.2.3 空闲进入和退出时序图



A. WAKE 可以是任何启用的中断、$\overline{WDINT}$ 或 XRSn。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。

图 6-24. 空闲进入和退出时序图

Copyright © 2025 Texas Instruments Incorporated

6.16.9.2.4 STANDBY 模式时序要求

			最小值 最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	周期
		QUALSTDBY > 0 | (2 + QUALSTDBY)$t_{c(OSCCLK)}$ (1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$	

(1) QUALSTDBY 是 LPMCR 寄存器中的一个 6 位字段。

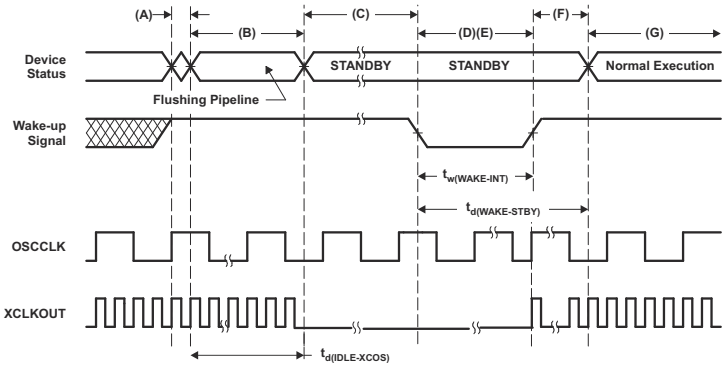
6.16.9.2.5 待机模式开关特征

在建议运行条件下（除非另有说明）

参数		测试条件	最小值 最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	从闪存唤醒（闪存模块处于活动状态）	$175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从闪存唤醒（闪存模块处于睡眠状态）	$6700t_{c(SYSCLK)}$ (2) $+ t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从 RAM 唤醒	$3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。
(2) 该值基于闪存上电时间，该时间是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。

6.16.9.2.6 待机进入和退出时序图



A. 执行 IDLE 指令将器件置于待机模式。
B. LPM 块响应待机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。
C. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
D. 外部唤醒信号驱动为有效。
E. 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
F. 在延迟周期后，退出待机模式。
G. 执行恢复正常。器件将响应中断（如果启用）。

图 6-25. 待机进入和退出时序图

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.10 外部存储器接口 (EMIF)

EMIF 提供了一种将 CPU 连接到各种外部存储器件的方法，例如异步存储器（SRAM、NOR 闪存）或同步存储器 (SDRAM)。

6.16.10.1 异步存储器支持

EMIF 支持异步存储器：

- SRAM
- NOR 闪存

存在外部等待输入，其允许较慢的异步存储器扩展存储器访问。EMIF 模块最多支持三种芯片选择 ($\overline{\text{EMIF_CS}}$[4:2])。每种芯片选择具有以下可独立编程的属性：

- 数据总线宽度
- 读取周期时序：设置、保持、选通
- 写入周期时序：设置、保持、选通
- 总线变换时间
- 具有可编程超时的延长等待选项
- 选择选通选项

6.16.10.2 同步 DRAM 支持

EMIF 存储器控制器与使用 32 位或 16 位数据总线的 JESD21-C SDR SDRAM 兼容。EMIF 具有单个 SDRAM 芯片选择 ($\overline{\text{EMIF_CS}}$[0])。

用于同步存储器 (SDRAM)的 EMIF 的地址空间超出程序地址总线的 22 位范围，只能通过数据总线访问，这给 C 编译器带来了限制，使其无法在此空间中有效地处理数据。因此，使用 SDRAM 时，建议用户在处理数据之前先将数据从外部存储器复制（使用 DMA）到 RAM 中。请参阅适用于 C2000 MCU 的 C2000Ware 以及 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 中的示例。

支持的 SDRAM 配置包含：

- 一存储库、二存储库和四存储库 SDRAM 器件
- 具有 8、9、10 和 11 列地址的器件
- 两个或三个时钟周期的 CAS 延迟
- 16 位/32 位数据总线宽度
- 3.3V LVCMOS 接口

此外，EMIF 支持将 SDRAM 置于自刷新模式和省电模式。自刷新模式允许将 SDRAM 置于低功耗状态，同时仍然保留内存内容，因为即使没有微控制器的时钟，SDRAM 也将继续进行自刷新。省电模式实现更低的功耗，但如果需要保留数据，微控制器必须定期唤醒并发出刷新。EMIF 模块不支持移动 SDRAM 器件。

在该器件上，EMIF 不支持对 SDRAM 配置进行突发访问。这意味着每次对外部 SDRAM 器件进行访问时都将有 CAS 延迟。

Copyright © 2025 Texas Instruments Incorporated

6.16.10.3 EMIF 电气数据和时序

6.16.10.3.1 EMIF 同步存储器时序要求

编号			最小值	最大值	单位
19	$t_{su(EMIFDV-EM_CLKH)}$	EMxCLK 上升前，EMxD[y:0] 上的读取数据有效的输入建立时间	2		ns
20	$t_{h(CLKH-DIV)}$	EMxCLK 上升后，EMxD[y:0] 上的读取数据有效的输入保持时间	1.5		ns

6.16.10.3.2 EMIF 同步存储器开关特征

在建议运行条件下测得（除非另有说明）

编号	参数		最小值	最大值	单位
1	$t_{c(CLK)}$	周期时间，EMIF 时钟 EMxCLK	10		ns
1	$t_{c(CLK)}$	EMIF 时钟 EMxCLK 周期时间（具有 210MHz 时序闭合）	9.52		ns
2	$t_{w(CLK)}$	脉冲宽度，EMIF 时钟 EMxCLK 高电平或低电平	3		ns
3	$t_{d(CLKH-CSV)}$	EMxCLK 上升至 $\overline{EMxCS[y:2]}$ 有效的延迟时间		8	ns
4	$t_{oh(CLKH-CSIV)}$	EMxCLK 上升至 $\overline{EMxCS[y:2]}$ 无效的输出保持时间	1		ns
5	$t_{d(CLKH-DQMV)}$	EMxCLK 上升至 EMxDQM[y:0] 有效的延迟时间		8	ns
6	$t_{oh(CLKH-DQMIV)}$	EMxCLK 上升至 EMxDQM[y:0] 无效的输出保持时间	1		ns
7	$t_{d(CLKH-AV)}$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 有效的延迟时间		8	ns
8	$t_{oh(CLKH-AIV)}$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 无效的输出保持时间	1		ns
9	$t_{d(CLKH-DV)}$	EMxCLK 上升至 EMxD[y:0] 有效的延迟时间		8	ns
10	$t_{oh(CLKH-DIV)}$	EMxCLK 上升至 EMxD[y:0] 无效的输出保持时间	1		ns
11	$t_{d(CLKH-RASV)}$	EMxCLK 上升至 EMxRAS 有效的延迟时间		8	ns
12	$t_{oh(CLKH-RASIV)}$	EMxCLK 上升至 EMxRAS 无效的输出保持时间	1		ns
13	$t_{d(CLKH-CASV)}$	EMxCLK 上升至 EMxCAS 有效的延迟时间		8	ns
14	$t_{oh(CLKH-CASIV)}$	EMxCLK 上升至 EMxCAS 无效的输出保持时间	1		ns
15	$t_{d(CLKH-WEV)}$	EMxCLK 上升至 $\overline{EMxWE}$ 有效的延迟时间		8	ns
16	$t_{oh(CLKH-WEIV)}$	EMxCLK 上升至 $\overline{EMxWE}$ 无效的输出保持时间	1		ns
17	$t_{d(CLKH-DHZ)}$	EMxCLK 上升至 EMxD[y:0] 三态的延迟时间		8	ns
18	$t_{oh(CLKH-DLZ)}$	EMxCLK 上升至 EMxD[y:0] 驱动的输出保持时间	1		ns

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.10.3.3 EMIF 同步存储器时序图

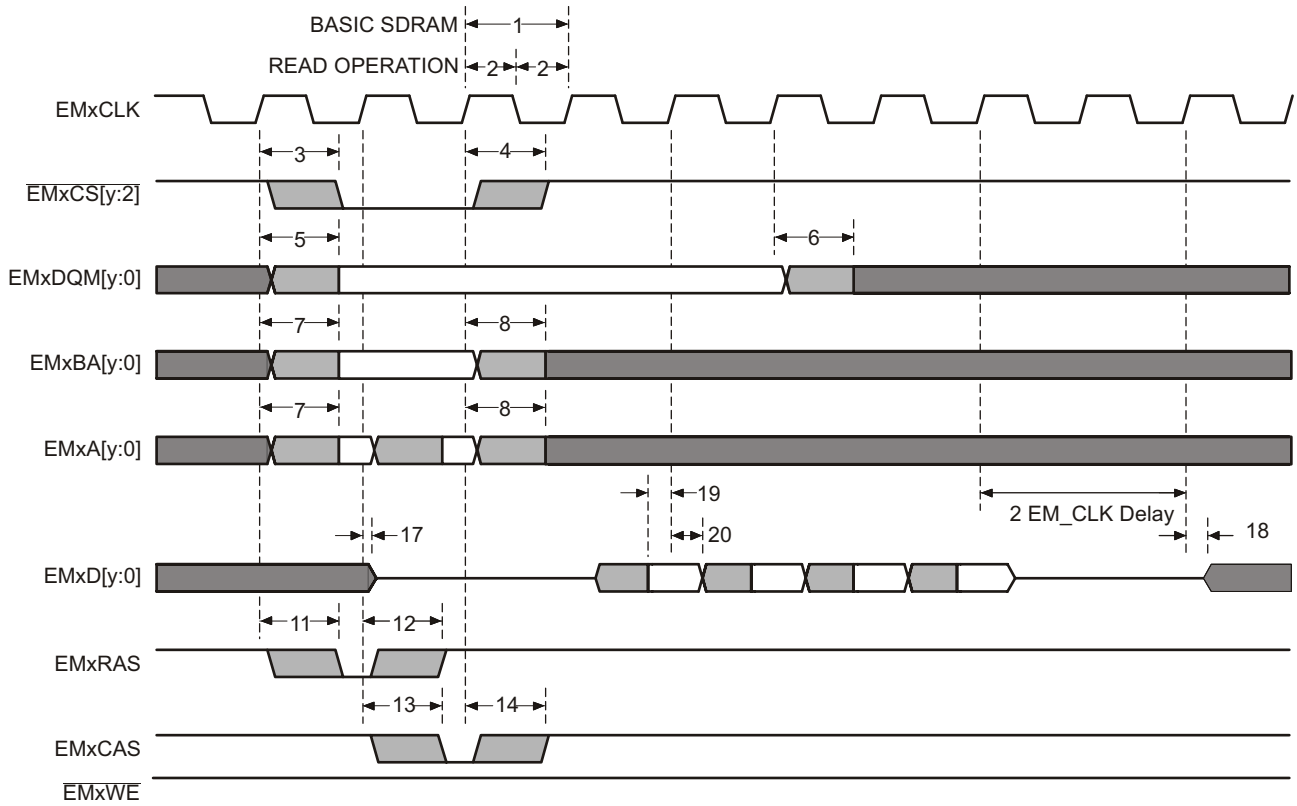


图 6-26. 基本 SDRAM 读取操作

Copyright © 2025 Texas Instruments Incorporated

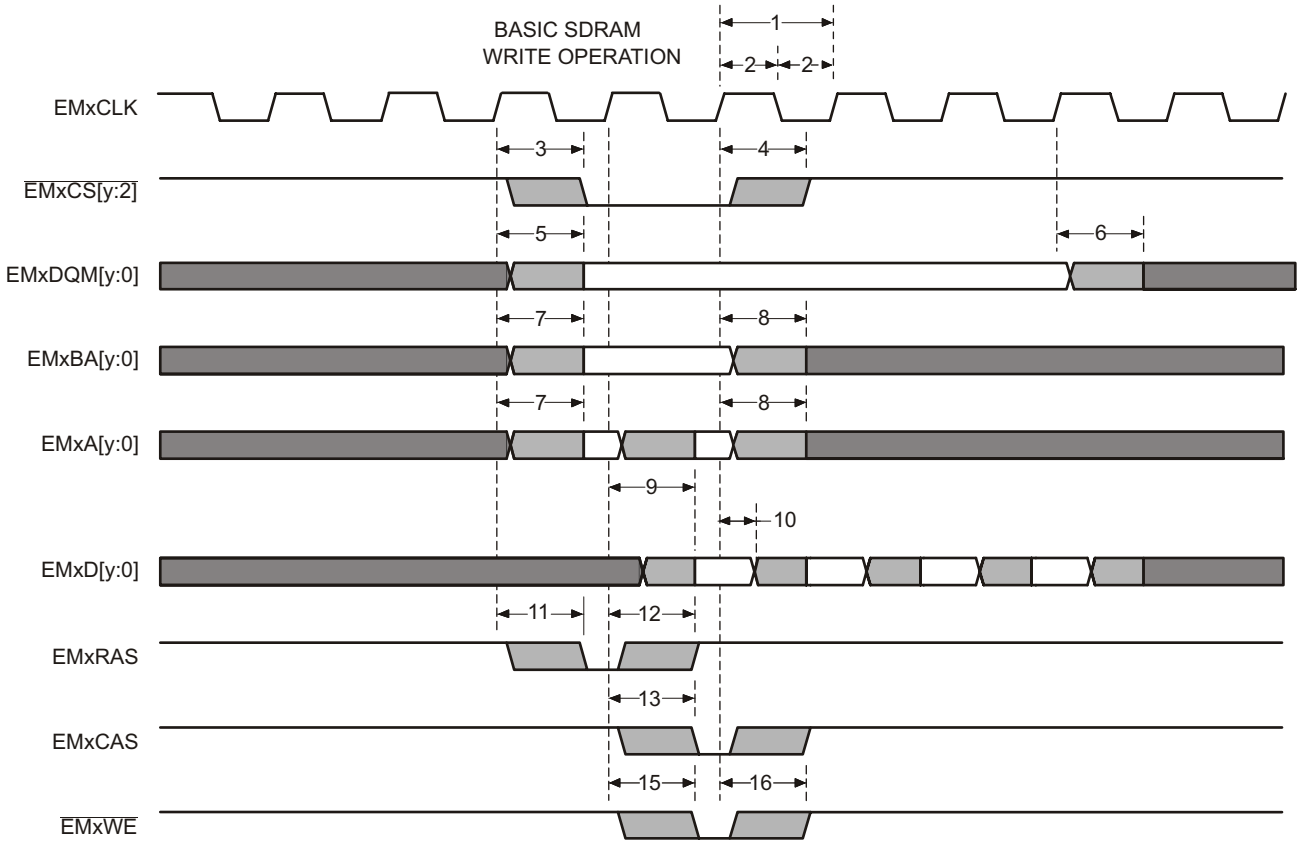


图 6-27. 基本 SDRAM 写入操作

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.10.3.4 EMIF 异步内存时序要求

编号			最小值	最大值	单位
读取和写入					
	E	EMIF 时钟周期	$t_{c(SYSCLK)}$		ns
2	$t_{w(EM_WAIT)}$	EMxWAIT 生效和无效的脉冲持续时间	2E[(1)]		ns
读取					
12	$t_{su(EMDV-EMOEH)}$	EMxD[y:0] 在 $\overline{EMxOE}$ 高电平前的建立时间	15		ns
13	$t_{h(EMOEH-EMDIV)}$	EMxD[y:0] 在 $\overline{EMxOE}$ 高电平后的保持时间	0		ns
14	$t_{su(EMOEL-EMWAIT)}$	选通阶段结束前，EMxWAIT 生效的建立时间[(2)]	4E+20[(1)]		ns
写入					
28	$t_{su(EMWEL-EMWAIT)}$	选通阶段结束前，EMxWAIT 生效的建立时间[(2)]	4E+20[(1)]		ns

(1) E = EMxCLK 周期，单位为 ns。
(2) 在选通阶段结束前建立（如果没有插入扩展等待状态），此时 EMxWAIT 必须生效以增加延长等待状态。 *EMxWAIT 读取时序要求* 图和 *EMxWAIT 写入时序要求* 图描述了 EMIF 事务，其中包括在选通阶段插入的扩展等待状态。然而，作为延长等待周期的一部分插入的周期不应被计算在内；如果没有扩展等待周期，4E 要求则从保持 (HOLD) 阶段开始。

6.16.10.3.5 EMIF 异步存储器开关特性

在建议运行条件下测得（除非另有说明）

编号	参数[(1) (2) (3)]		最小值	最大值	单位
1	$t_{d(TURNAROUND)}$	周转时间 TA=0	(TA)*E – 3	(TA)*E+2	ns
读取					
3	$t_{c(EMRCYCLE)}$	EMIF 读取周期时间 (EW = 0)	(RS+RST+RH)*E – 3	(RS+RST+RH)*E+2	ns
3	$t_{c(EMRCYCLE)}$	EMIF 读取周期时间 (EW = 1)	(RS+RST+RH+ (EWC*16))*E – 3	(RS+RST+RH+ (EWC*16))*E+2	ns
4	$t_{su(EMCEL-EMOEL)}$	输出建立时间，$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxOE}$ 低电平的时间 (SS = 0) RS=0	(RS)*E – 3	(RS)*E+2	ns
4	$t_{su(EMCEL-EMOEL)}$	$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxOE}$ 低电平 (SS=1)的输出建立时间	-3	2	ns
5	$t_{h(EMOEH-EMCEH)}$	$\overline{EMxOE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=0）的输出保持时间	(RH)*E – 3	(RH)*E	ns
5	$t_{h(EMOEH-EMCEH)}$	$\overline{EMxOE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=1）的输出保持时间	-3	0	ns
6	$t_{su(EMBAV-EMOEL)}$	EMxBA[y:0] 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
7	$t_{h(EMOEH-EMBAIV)}$	$\overline{EMxOE}$ 高电平至 EMxBA[y:0] 无效的输出保持时间	(RH)*E – 3	(RH)*E	ns
8	$t_{su(EMAV-EMOEL)}$	EMxA[y:0] 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
9	$t_{h(EMOEH-EMAIV)}$	$\overline{EMxOE}$ 高电平至 EMxA[y:0] 无效的输出保持时间	(RH)*E – 3	(RH)*E	ns
10	$t_{w(EMOEL)}$	$\overline{EMxOE}$ 有效低电平宽度 (EW=0)	(RST)*E – 1	(RST)*E+1	ns
10	$t_{w(EMOEL)}$	$\overline{EMxOE}$ 有效低电平宽度 (EW=1)	(RST+(EWC*16))*E – 1	(RST+(EWC*16))*E+1	ns
11	$t_{d(EMWAITH-EMOEH)}$	从 EMxWAIT 无效到 $\overline{EMxOE}$ 高电平的延迟时间	4*E+10	5*E+15	ns
29	$t_{su(EMDQMV-EMOEL)}$	EMxDQM[y:0] 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
30	$t_{h(EMOEH-EMDQMIV)}$	$\overline{EMxOE}$ 高电平至 EMxDQM[y:0] 无效的输出保持时间	(RH)*E – 3	(RH)*E	ns

Copyright © 2025 Texas Instruments Incorporated

6.16.10.3.5 EMIF 异步存储器开关特性（续）

在建议运行条件下测得（除非另有说明）

编号	参数(1) (2) (3)		最小值	最大值	单位
写入					
15	$t_{c(EMWCYCLE)}$	EMIF 写入周期时间 (EW = 0)	(WS+WST+WH)*E – 3	(WS+WST+WH)*E+2	ns
15	$t_{c(EMWCYCLE)}$	EMIF 写入周期时间 (EW = 1)	(WS+WST+WH+ (EWC*16))*E – 3	(WS+WST+WH+ (EWC*16))*E+2	ns
16	$t_{su(EMCEL-EMWEL)}$	$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxWE}$ 低电平 (SS=0)的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
16	$t_{su(EMCEL-EMWEL)}$	$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxWE}$ 低电平 (SS=1)的输出建立时间	-3	2	ns
17	$t_{h(EMWEH-EMCEH)}$	$\overline{EMxWE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=0）的输出保持时间	(WH)*E – 3	(WH)*E	ns
17	$t_{h(EMWEH-EMCEH)}$	$\overline{EMxWE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=1）的输出保持时间	-3	0	ns
18	$t_{su(EMDQMV-EMWEL)}$	EMxDQM[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
19	$t_{h(EMWEH-EMDQMIV)}$	$\overline{EMxWE}$ 高电平至 EMxDQM[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns
20	$t_{su(EMBAV-EMWEL)}$	EMxBA[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
21	$t_{h(EMWEH-EMBAIV)}$	$\overline{EMxWE}$ 高电平至 EMxBA[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns
22	$t_{su(EMAV-EMWEL)}$	EMxA[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
23	$t_{h(EMWEH-EMAIV)}$	$\overline{EMxWE}$ 高电平至 EMxA[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns
24	$t_{w(EMWEL)}$	$\overline{EMxWE}$ 有效低电平宽度 (EW=0)	(WST)*E – 1	(WST)*E+1	ns
24	$t_{w(EMWEL)}$	$\overline{EMxWE}$ 有效低电平宽度 (EW=1)	(WST+(EWC*16))*E – 1	(WST+(EWC*16))*E+1	ns
25	$t_{d(EMWAITH-EMWEH)}$	从 EMxWAIT 无效到 $\overline{EMxWE}$ 高电平的延迟时间	4*E+10	5*E+15	ns
26	$t_{su(EMDV-EMWEL)}$	EMxD[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
27	$t_{h(EMWEH-EMDIV)}$	$\overline{EMxWE}$ 高电平至 EMxD[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns

(1) TA = 周转，RS = 读取建立，RST = 读取选通，RH =读取保持，WS = 写入建立，WST = 写入选通，WH = 写入保持，MEWC = 最大外部等待周期。这些参数通过异步组和异步等待周期配置寄存器进行编程。这些参数支持以下范围内的值：TA[4 – 1]、RS[16 – 1]、RST[64-4]、RH[8 – 1]、WS[16 – 1]、WST[64 – 1]、WH[8 – 1] 和 MEWC[1 – 256]。有关更多信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册*。

(2) E = EMxCLK 周期，单位为 ns。

(3) EWC = 由 EMxWAIT 输入信号确定的外部等待周期。EWC 支持下列范围的值：EWC[256 – 1]。超时之前的最大等待时间由异步等待周期配置寄存器中的位字段 MEWC 指定。有关更多信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册*。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.16.10.3.6 EMIF 异步存储器时序图

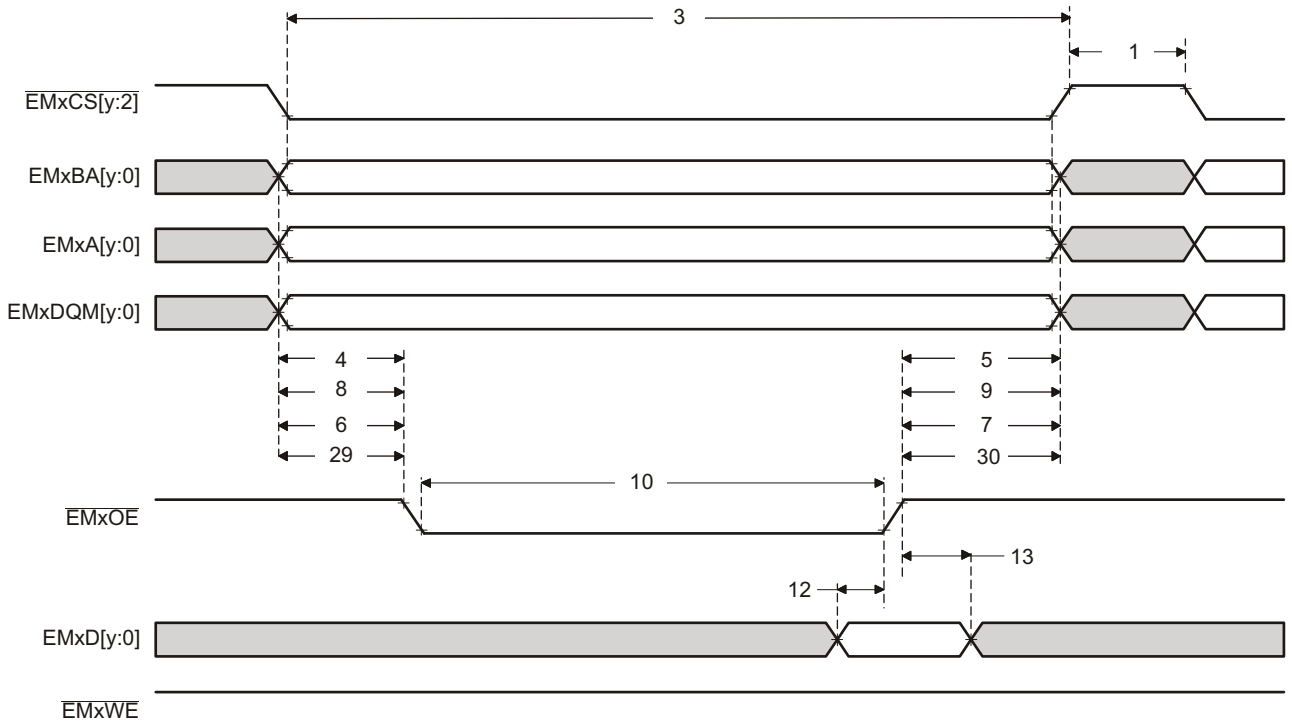


图 6-28. 异步存储器读取时序

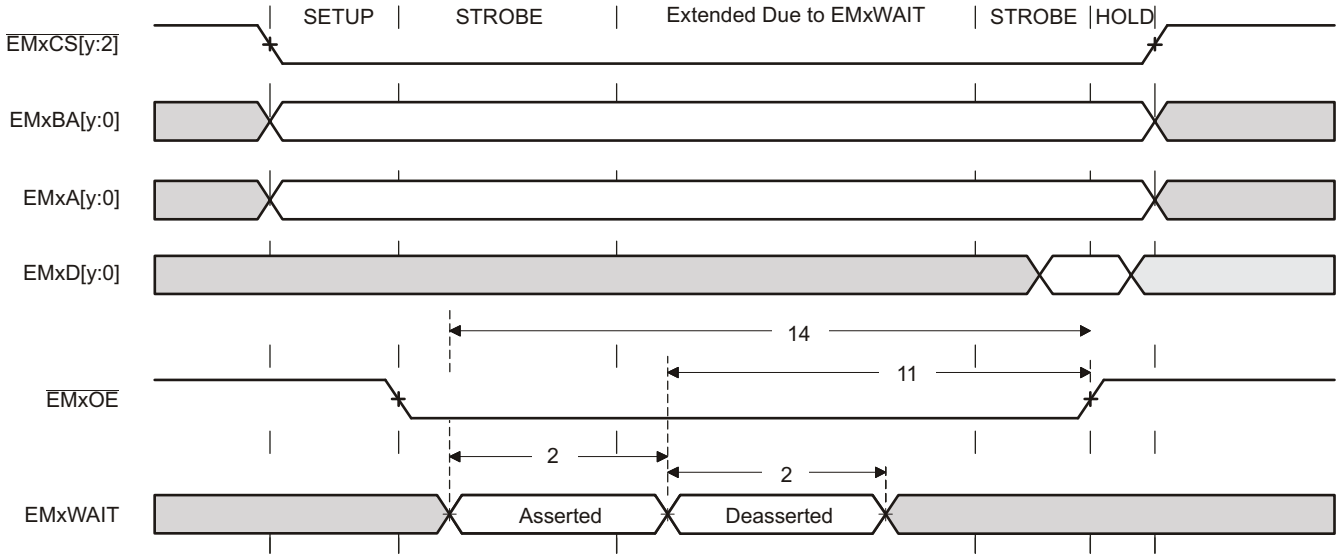


图 6-29. EMxWAIT 读取时序要求

Copyright © 2025 Texas Instruments Incorporated

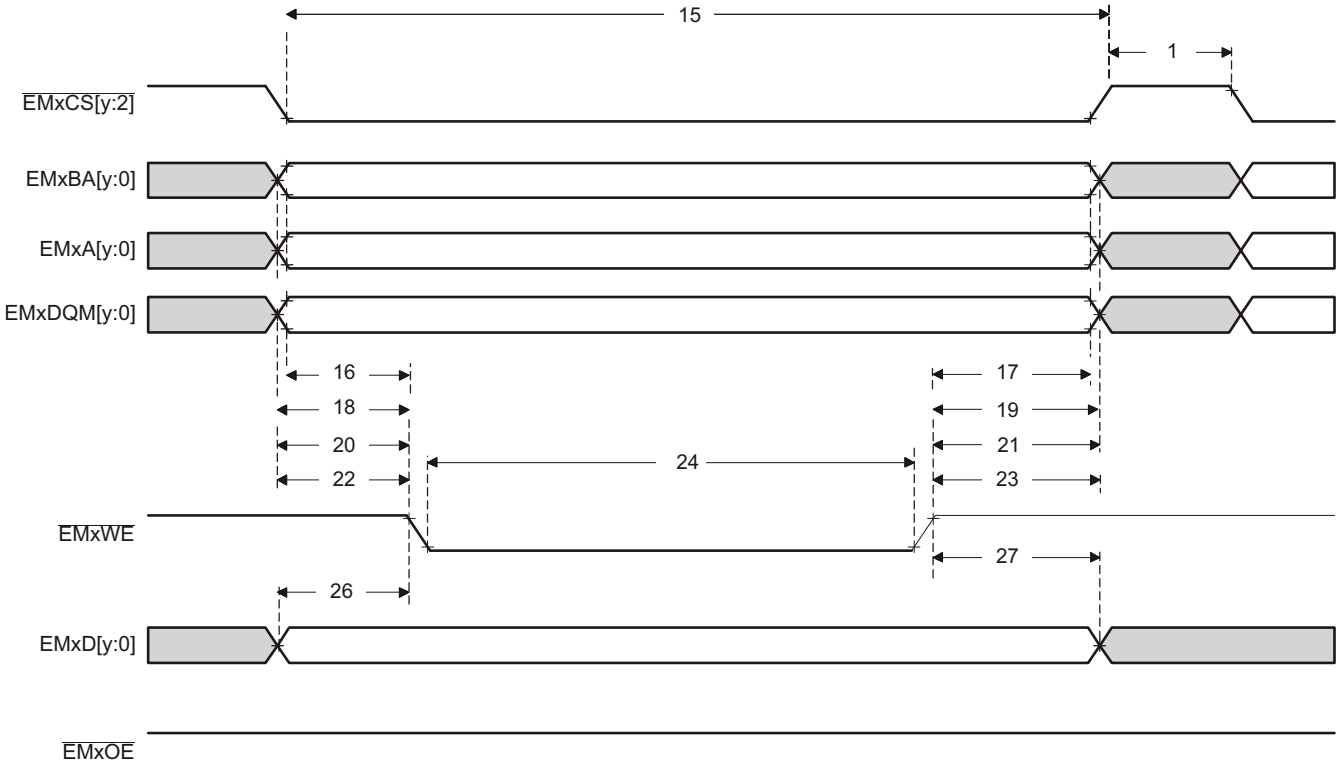


图 6-30. 异步存储器写入时序

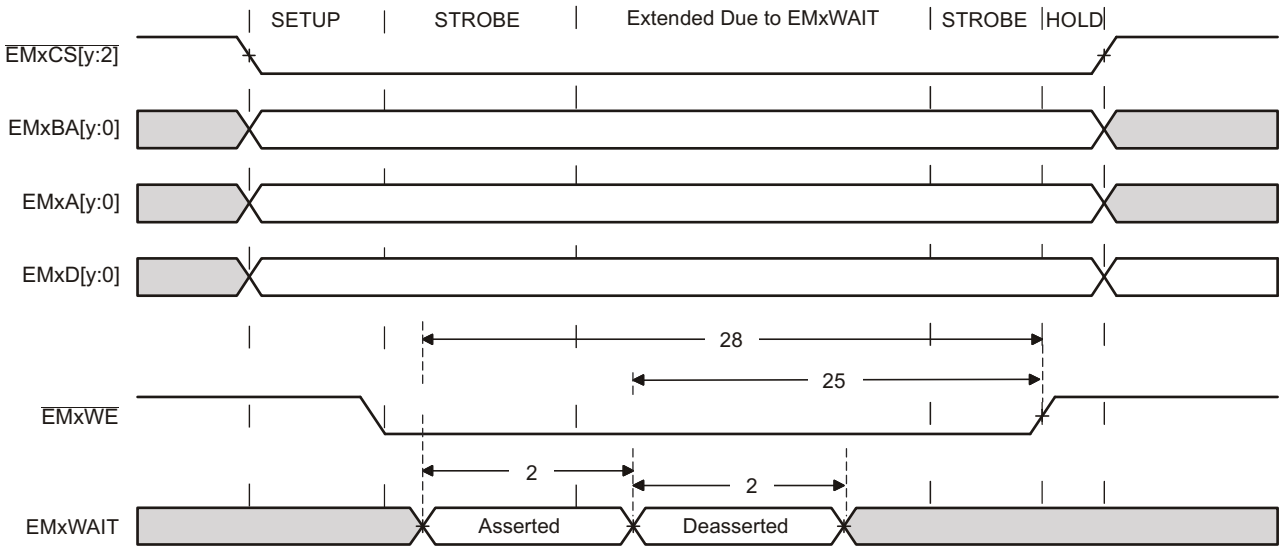


图 6-31. EMxWAIT 写入时序要求

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17 C29x 模拟外设

6.17.1 模拟子系统

该器件上的模拟模块包括模数转换器 (ADC)、温度传感器、缓冲数模转换器 (DAC) 和比较器子系统 (CMPSS)。

6.17.1.1 特性

模拟子系统具有以下特性：

- 灵活的电压基准：
  - ADC 以 VREFHIx 和 VREFLOx 引脚为基准。
    - VREFHIAB 和 VREFHICDE 引脚电压可由外部驱动或由内部带隙电压基准生成。
    - 在 16 位模式下运行时，ADC A 和 ADC B 的内部电压基准范围可选择为 0V 至 2.5V，但在 12 位模式下运行时，ADC A 和 ADC B 的内部电压基准范围可选择为 0V 至 3.3V 或 0V 至 2.5V。
    - 对于 ADC C、ADC D 和 ADC E，内部电压基准范围可选择为 0V 至 3.3V 或 0V 至 2.5V。
  - 缓冲 DAC 以 VREFHIx 和 VSSA 为基准
    - 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准
  - 比较器 DAC 以 VDDA 和 VSSA 为基准
    - 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准
- 灵活地使用引脚
  - 缓冲 DAC 输出、比较器子系统输入和数字输入 (AIO)/输出 (AGPIO) 与 ADC 输入进行多路复用
  - V_{REFLO} 的内部连接用于失调电压自我校准

6.17.1.2 方框图

以下模拟子系统方框图显示了不同集成模拟模块与器件引脚之间的连接。这些引脚分为两类：模拟模块输入/输出引脚和基准引脚。

这里有两个基准对引脚：VREFHIAB/VREFLOAB 和 VREFHICDE/VREFLOCDE。VREFHIAB 和 VREFLOAB 为支持 16 位和 12 位模式的 ADC A 和 ADC B 模块提供基准。VREFHICDE 和 VREFLOCDE 为仅支持 12 位模式的 ADC C、ADC D 和 ADC E 模块提供基准。VREFHIAB 也可用于为 DAC A 提供基准，VREFHICDE 也可用于为 DAC B 提供基准。

VDAC 基准引脚可用于为 DAC A 和 DAC B 以及 CMPSS 模块内的 DAC 设置备用范围（默认情况下，CMPSS DAC 以 VDDA 和 VSSA 为基准）。使用此引脚作为基准可防止该通道用作 ADC 输入（但如果需要，ADC 可用于对 VDAC 电压进行采样）。对于每个 CMPSS 或缓冲 DAC，基准选择是按模块配置的；使用模块的配置寄存器进行选择。

一些模拟引脚通过多路复用 AIO 和 AGPIO 支持数字功能。AIO 仅支持数字输入功能，而 AGPIO 支持全数字输入和输出功能。

下列注释适用于所有封装：

- 并非所有模拟引脚都适用于所有器件。请参阅器件数据表来确定哪些引脚可用。
- 请参阅器件数据表以确定 VREFHI 和 VREFLO 的允许电压范围。
- 需要在 VREFHI 引脚上连接一个外部电容器。有关所需的具体值，请参阅器件数据表。
- 对于缓冲 DAC 模块，无论 VREFHIx 还是 VDAC 是否被选为高基准，VSSA 都是低基准。
- 对于 CMPSS 模块，无论选择 VDAC 还是 VDDA 作为高基准，VSSA 都是低基准。

下图展示了每个模拟组的结构。*模拟引脚连接* 表列出了模拟引脚和内部连接。

Copyright © 2025 Texas Instruments Incorporated

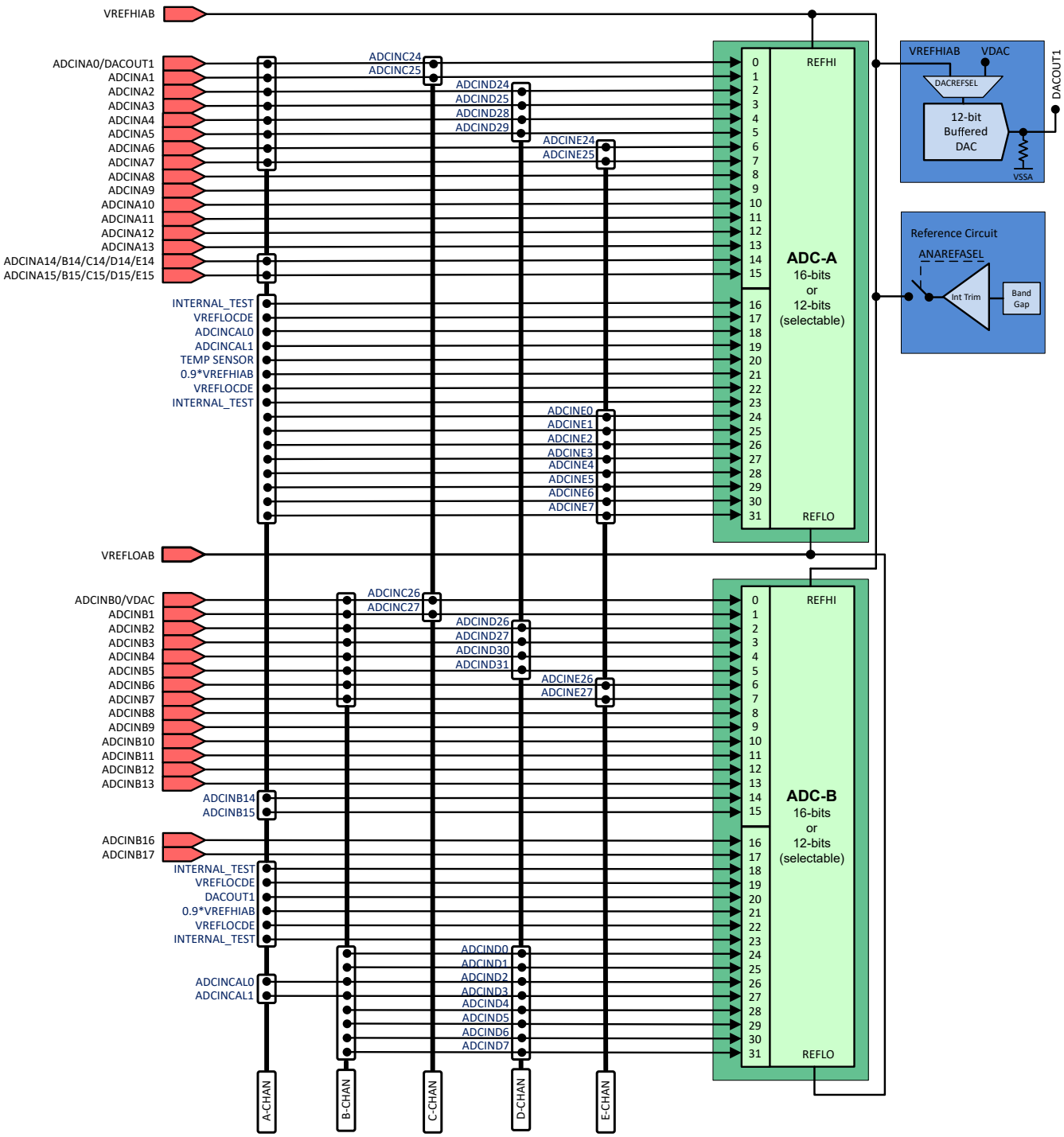


图 6-32. 模拟子系统方框图（ADC A 和 ADC B）

ADVANCE INFORMATION

ADVANCE INFORMATION

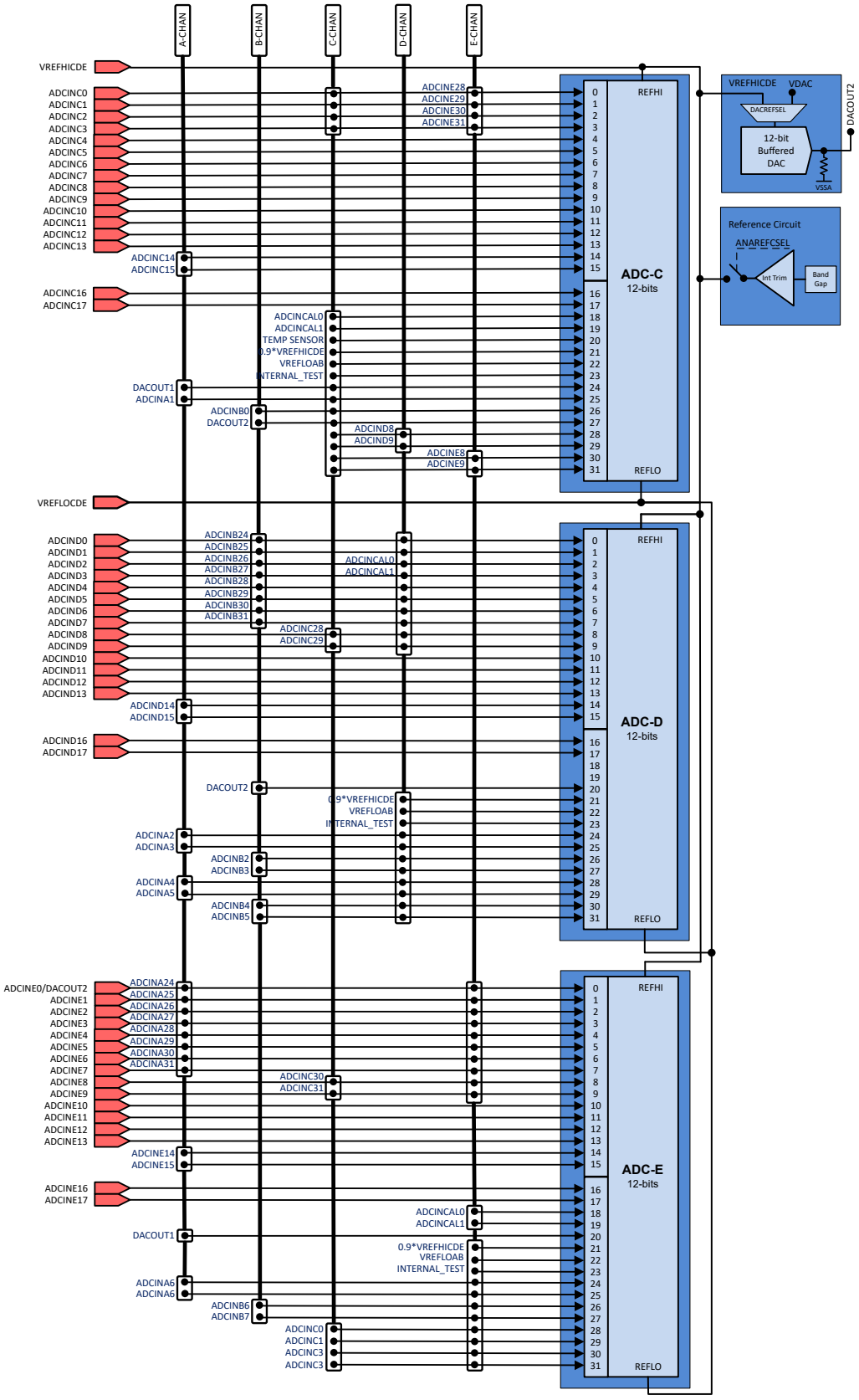


图 6-33. 模拟子系统方框图（ADC C、ADC D 和 ADC E）

Copyright © 2025 Texas Instruments Incorporated

与 CMPSS 模块的输入连接可通过可编程输入多路复用器进行选择。图 6-34 展示了 CMPSS 输入连接。表 6-12 展示了 ADC 输入信号到 CMPSS 多路复用器输入的映射。

- 要为 CMPSSx 配置 CMPH_POSIN 输入多路复用器，请写入 CMPHPMXSEL 或 CMPHPMXSEL1 模拟子系统寄存器中的 CMPxHPMXSEL 字段。
- 要为 CMPSSx 配置 CMPH_NEGIN 输入多路复用器，请写入 CMPHNMXSEL 模拟子系统寄存器中的 CMPxHNMXSEL 字段。
- 要为 CMPSSx 配置 CMPL_POSIN 输入多路复用器，请写入 CMPLPMXSEL 或 CMPLPMXSEL1 模拟子系统寄存器中的 CMPxLPMXSEL 字段。
- 要为 CMPSSx 配置 CMPL_NEGIN 输入多路复用器，请写入 CMPLNMXSEL 模拟子系统寄存器中的 CMPxLNMXSEL 字段。

ADVANCE INFORMATION

ADVANCE INFORMATION

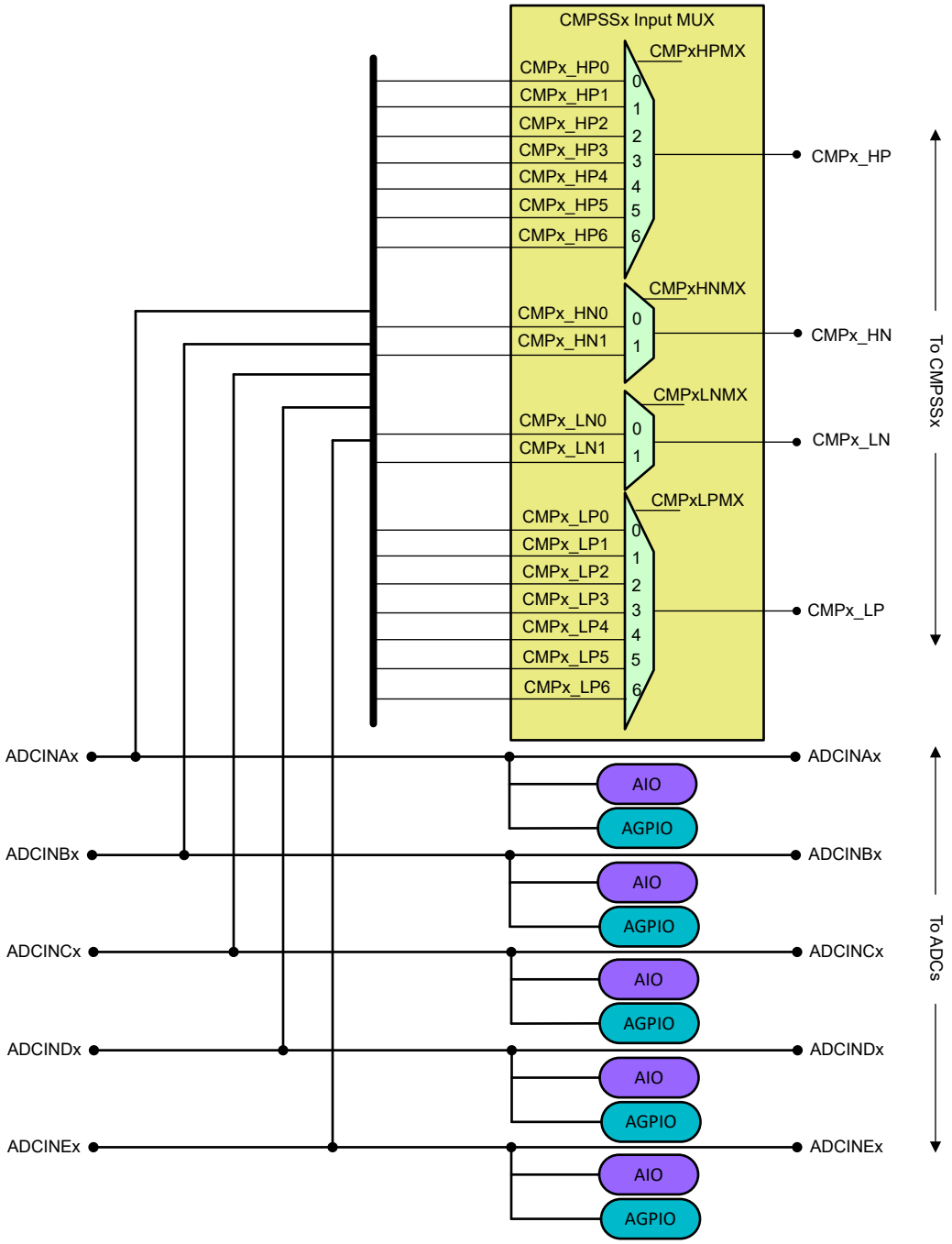


图 6-34. 模拟组连接

表 6-12. CMPSS 输入多路复用器选项

CMPSSx 输入多路复用器	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7	CMP8	CMP9	CMP10	CMP11	CMP12
HP0	A4	A6	B2	A0	D12	D8	D1	D3	C1	C0	C1	C8
HP1	A2	E8	B0	D5	E6	E17	B4	E4	C2	E10	E11	E1
HP2	A3	E9	B1	D0	E7	E16	B5	E5	A7	E12	E13	0.9*VREF HIAB
HP3	B3	D13	TempSense	D2	TempSense	0.9*VREF HIAB	0.9*VREF HICDE	A8	C9	D3	E1	0.9*VREF HICDE

Copyright © 2025 Texas Instruments Incorporated

表 6-12. CMPSS 输入多路复用器选项（续）

CMPSSx 输入多路复用器	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7	CMP8	CMP9	CMP10	CMP11	CMP12
HP4	D6	D7	E2	E3	A8	A9	A10	A11	B6	B7	B8	B9
HP5	A12	A13	A14	A15	C7	C8	C9	C10	B16	B17	C11	C12
HP6	B0	B2	D1	B8	C0	E0	A1	B9	A0	D0	A14	A15
HN0	A5	A7	B3	A1	D13	D9	D2	D4	A2	E8	B6	A6
HN1	A3	A4	B5	D5	E6	E17	B4	E4	E9	D12	C2	B1
LP0	A4	A6	B2	A0	D12	D8	D1	D3	C1	C0	C1	C8
LP1	A2	E8	B0	D5	E6	E17	B4	E4	C2	E10	E11	E1
LP2	A3	E9	B1	D0	E7	E16	B5	E5	A7	E12	E13	0.9*VREF HIAB
LP3	B3	D13	D9	D2	D4	0.9*VREF HIAB	0.9*VREF HICDE	A8	C9	D3	E1	0.9*VREF HICDE
LP4	D6	D7	E2	E3	B10	B11	B12	B13	C3	C4	C5	C6
LP5	A12	A13	A14	A15	C13	C16	C17	D10	D11	D16	D17	E0
LP6	B0	B2	D1	B8	C0	E0	A1	B9	A0	D0	A14	A15
LN0	A5	A7	B3	A1	D13	D9	D2	D4	A2	E8	B6	A6
LN1	A3	A4	B5	D5	E6	E17	B4	E4	E9	D12	C2	B1

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.1.3 模拟引脚连接

表 6-13. 模拟引脚连接

引脚名称	引脚/封装				ADC					DAC	比较器子系统（多路复用器）				AIO 输入/GPIO
	256 ZEX	176 PTS	144 RFS	100 PZS	A	B	C	D	E		高正	高负	低正	低负	
VREFHIAB	N2	38	30	19											
VREFHICDE	R4	54	45	33											
VFEFLOAB	N1	37	29	18			C22	D22	E22						
VREFLOCDE	T4	53	44	32	A17、A22	B19、B22									
模拟组 1											CMP1 和其他比较器				
ADCINA3	M2	35	27		A3			D25			CMP1 (HPMXSEL=2)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=2)	CMP1 (LNMXSEL=1)	AIO163
ADCINA5	L1	31	23		A5			D29				CMP1 (HNMXSEL=0)		CMP1 (LNMXSEL=0)	AIO165
ADCINA12	K2				A12						CMP1 (HPMXSEL=5)		CMP1 (LPMXSEL=5)		AIO166
ADCIND6	T12	71	60			B30		D6			CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		GPIO242
ADCINA4	L2	32	24		A4			D28			CMP1 (HPMXSEL=0)	CMP2 (HNMXSEL=1)	CMP1 (LPMXSEL=0)	CMP2 (LNMXSEL=1)	AIO164
ADCINB0	P2	42	34	23		B0	C26			VDAC	CMP1 (HPMXSEL=6)		CMP1 (LPMXSEL=6)		AIO170
											CMP3 (HPMXSEL=1)		CMP3 (LPMXSEL=1)		
ADCINB3	L3	33	25	16		B3		D27			CMP1 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	AIO173
ADCINA2	M1	36	28		A2			D24			CMP1 (HPMXSEL=1)	CMP9 (HNMXSEL=0)	CMP1 (LPMXSEL=1)	CMP9 (LNMXSEL=0)	AIO162
模拟组 2											CMP2 和其他比较器				
ADCINA13	K1				A13						CMP2 (HPMXSEL=5)		CMP2 (LPMXSEL=5)		AIO167
ADCIND7	R12	72	61			B31		D7			CMP2 (HPMXSEL=4)		CMP2 (LPMXSEL=4)		GPIO243
ADCINB2	L4	34	26	17		B2		D26			CMP2 (HPMXSEL=6)		CMP2 (LPMXSEL=6)		AIO172
											CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		AIO172
ADCIND13	M6							D13			CMP2 (HPMXSEL=3)	CMP5 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP5 (LNMXSEL=0)	AIO199
ADCINA7	K5	25	17	12	A7				E25		CMP9 (HPMXSEL=2)	CMP2 (HNMXSEL=0)	CMP9 (LPMXSEL=2)	CMP2 (LNMXSEL=0)	GPIO225
ADCINE9	T9						C31		E9		CMP2 (HPMXSEL=2)	CMP9 (HNMXSEL=1)	CMP2 (LPMXSEL=2)	CMP9 (LNMXSEL=1)	AIO207
ADCINE8	T10						C30		E8		CMP2 (HPMXSEL=1)	CMP10 (HNMXSEL=0)	CMP2 (LPMXSEL=1)	CMP10 (LNMXSEL=0)	AIO206
ADCINA6	L5	26	18	13	A6				E24		CMP2 (HPMXSEL=0)	CMP12 (HNMXSEL=0)	CMP2 (LPMXSEL=0)	CMP12 (LNMXSEL=0)	GPIO224
模拟组 3											CMP3 和其他比较器				
ADCINE2	T5	59	51		A26				E2		CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		AIO204
温度传感器					A20		C20				CMP3 (HPMXSEL=3)				
											CMP5 (HPMXSEL=3)				
ADCIND9	T13	76					C29	D9				CMP6 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP6 (LNMXSEL=0)	GPIO245
ADCIND1	T3	48	40	29		B25		D1			CMP3 (HPMXSEL=6)		CMP3 (LPMXSEL=6)		AIO193
											CMP7 (HPMXSEL=0)		CMP7 (LPMXSEL=0)		
ADCINB5	K3	29	21			B5		D31			CMP7 (HPMXSEL=2)	CMP3 (HNMXSEL=1)	CMP7 (LPMXSEL=2)	CMP3 (LNMXSEL=1)	AIO175
ADCINA14	M3	40	32	21	A14	B14	C14	D14	E14		CMP3 (HPMXSEL=5)		CMP3 (LPMXSEL=5)		AIO168
											CMP11 (HPMXSEL=6)		CMP11 (LPMXSEL=6)		

Copyright © 2025 Texas Instruments Incorporated

表 6-13. 模拟引脚连接（续）

引脚名称	引脚/封装				ADC					DAC	比较器子系统（多路复用器）				AIO 输入/GPIO
	256 ZEX	176 PTS	144 RFS	100 PZS	A	B	C	D	E		高正	高负	低正	低负	
ADCINB1	N3	41	33	22		B1	C27				CMP3 (HPMXSEL=2)	CMP12 (HNMXSEL=1)	CMP3 (LPMXSEL=2)	CMP12 (LNMXSEL=1)	AIO171
模拟组 4											CMP4 和其他比较器				
ADCIND5	N11	66	55			B29		D5			CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	GPIO241
ADCINE3	T6	60	52		A27				E3		CMP4 (HPMXSEL=4)		CMP4 (LPMXSEL=4)		AIO205
ADCINA1	P1	43	35	24	A1		C25				CMP7 (HPMXSEL=6)	CMP4 (HNMXSEL=0)	CMP7 (LPMXSEL=6)	CMP4 (LNMXSEL=0)	AIO161
ADCIND2	R5	57	49	34		B26		D2			CMP4 (HPMXSEL=3)	CMP7 (HNMXSEL=0)	CMP4 (LPMXSEL=3)	CMP7 (LNMXSEL=0)	AIO194
ADCINA0	R1	44	36	25	A0		C24			DACOUT1	CMP4 (HPMXSEL=0)		CMP4 (LPMXSEL=0)		AIO160
											CMP9 (HPMXSEL=6)		CMP9 (LPMXSEL=6)		
ADCIND0	R3	47	39	28		B24		D0			CMP4 (HPMXSEL=2)		CMP4 (LPMXSEL=2)		AIO192
											CMP10 (HPMXSEL=6)		CMP10 (LPMXSEL=6)		
ADCINB8	H2	20	15	11		B8					CMP4 (HPMXSEL=6)		CMP4 (LPMXSEL=6)		GPIO232
											CMP11 (HPMXSEL=4)				
ADCINA15	M4	39	31	20	A15	B15	C15	D15	E15		CMP4 (HPMXSEL=5)		CMP4 (LPMXSEL=5)		AIO169
											CMP12 (HPMXSEL=6)		CMP12 (LPMXSEL=6)		
模拟组 5											CMP5 和其他比较器				
ADCINB10	G2	16	13			B10							CMP5 (LPMXSEL=4)		GPIO234
ADCINC7	M9	64					C7				CMP5 (HPMXSEL=5)				GPIO237
ADCINC13	T8						C13						CMP5 (LPMXSEL=5)		AIO189
ADCINE6	P13	73	62		A30				E6		CMP5 (HPMXSEL=1)	CMP5 (HNMXSEL=1)	CMP5 (LPMXSEL=1)	CMP5 (LNMXSEL=1)	GPIO248
ADCINE7	N13	74	63		A31				E7		CMP5 (HPMXSEL=2)		CMP5 (LPMXSEL=2)		GPIO249
ADCINA8	H4	22	16		A8						CMP5 (HPMXSEL=4)				GPIO226
											CMP8 (HPMXSEL=3)		CMP8 (LPMXSEL=3)		
ADCIND4	N10	65				B28		D4				CMP8 (HNMXSEL=0)	CMP5 (LPMXSEL=3)	CMP8 (LNMXSEL=0)	GPIO240
ADCINC0	R2	45	37	26			C0		E28		CMP5 (HPMXSEL=6)		CMP5 (LPMXSEL=6)		AIO180
											CMP10 (HPMXSEL=0)		CMP10 (LPMXSEL=0)		
ADCIND12	M7							D12			CMP5 (HPMXSEL=0)	CMP10 (HNMXSEL=1)	CMP5 (LPMXSEL=0)	CMP10 (LNMXSEL=1)	AIO198
模拟组 6											CMP6 和其他比较器				
ADCINA9	H3	21			A9						CMP6 (HPMXSEL=4)				GPIO227
ADCINB11	G1	15	12			B11							CMP6 (LPMXSEL=4)		GPIO235
ADCINC16	N7						C16						CMP6 (LPMXSEL=5)		AIO190
ADCIND8	R13	75					C28	D8			CMP6 (HPMXSEL=0)		CMP6 (LPMXSEL=0)		GPIO244
ADCINE16	P10								E16		CMP6 (HPMXSEL=2)		CMP6 (LPMXSEL=2)		AIO212
ADCINE17	T11								E17		CMP6 (HPMXSEL=1)	CMP6 (HNMXSEL=1)	CMP6 (LPMXSEL=1)	CMP6 (LNMXSEL=1)	AIO213
ADCINC8	N12	69	58	40			C8				CMP6 (HPMXSEL=5)				GPIO238
											CMP12 (HPMXSEL=0)		CMP12 (LPMXSEL=0)		
ADCINE0	P3	49	41	30	A24				E0	DACOUT2	CMP6 (HPMXSEL=6)		CMP6 (LPMXSEL=6)		AIO202
													CMP12 (LPMXSEL=5)		

ADVANCE INFORMATION

ADVANCE INFORMATION

表 6-13. 模拟引脚连接（续）

引脚名称	引脚/封装				ADC					DAC	比较器子系统（多路复用器）				AIO 输入/GPIO
	256 ZEX	176 PTS	144 RFS	100 PZS	A	B	C	D	E		高正	高负	低正	低负	
0.9*VREFHIAB					A21	B21					CMP6 (HPMXSEL=3)		CMP6 (LPMXSEL=3)		
											CMP12 (HPMXSEL=2)		CMP12 (LPMXSEL=2)		
模拟组 7											CMP7 和其他比较器				
ADCINA10	G3	18			A10						CMP7 (HPMXSEL=4)				GPIO228
ADCINB4	K4	30	22			B4		D30			CMP7 (HPMXSEL=1)	CMP7 (HNMXSEL=1)	CMP7 (LPMXSEL=1)	CMP7 (LNMXSEL=1)	AIO174
ADCINB12	J2					B12							CMP7 (LPMXSEL=4)		AIO176
ADCINC17	P7						C17						CMP7 (LPMXSEL=5)		AIO191
ADCINC9	P12	70	59	41			C9				CMP7 (HPMXSEL=5)				GPIO239
											CMP9 (HPMXSEL=3)		CMP9 (LPMXSEL=3)		
0.9*VREFHICDE							C21	D21	E21		CMP7 (HPMXSEL=3)		CMP7 (LPMXSEL=3)		
											CMP12 (HPMXSEL=3)		CMP12 (LPMXSEL=3)		
模拟组 8											CMP8 和其他比较器				
ADCINB13	J1					B13							CMP8 (LPMXSEL=4)		AIO177
ADCINA11	G4	17			A11						CMP8 (HPMXSEL=4)				GPIO229
ADCINC10	N8						C10				CMP8 (HPMXSEL=5)				AIO186
ADCIND10	N6							D10					CMP8 (LPMXSEL=5)		AIO196
ADCINE4	P11	67	56	38	A28				E4		CMP8 (HPMXSEL=1)	CMP8 (HNMXSEL=1)	CMP8 (LPMXSEL=1)	CMP8 (LNMXSEL=1)	GPIO246
ADCINE5	R11	68	57	39	A29				E5		CMP8 (HPMXSEL=2)		CMP8 (LPMXSEL=2)		GPIO247
ADCIND3	R6	58	50	35		B27		D3			CMP8 (HPMXSEL=0)		CMP8 (LPMXSEL=0)		AIO195
											CMP10 (HPMXSEL=3)		CMP10 (LPMXSEL=3)		
ADCINB9	H1	19	14	10		B9					CMP8 (HPMXSEL=6)		CMP8 (LPMXSEL=6)		GPIO233
											CMP12 (HPMXSEL=4)				
模拟组 9											CMP9 和其他比较器				
ADCINB16	J4					B16					CMP9 (HPMXSEL=5)				AIO178
ADCINC3	M5	52	44				C3		E30				CMP9 (LPMXSEL=4)		AIO183
ADCIND11	P6							D11					CMP9 (LPMXSEL=5)		AIO197
ADCINB6	J5	24				B6			E26		CMP9 (HPMXSEL=4)	CMP11 (HNMXSEL=0)		CMP11 (LNMXSEL=0)	GPIO230
ADCINC1	T2	46	38	27			C1		E29		CMP9 (HPMXSEL=0)		CMP9 (LPMXSEL=0)		AIO181
											CMP11 (HPMXSEL=0)		CMP11 (LPMXSEL=0)		
ADCINC2	N4	51	43				C2		E30		CMP9 (HPMXSEL=1)		CMP9 (LPMXSEL=1)		AIO182
												CMP11 (HNMXSEL=1)		CMP11 (LNMXSEL=1)	
模拟组 10											CMP10 和其他比较器				
ADCINB7	H5	23				B7			E27		CMP10 (HPMXSEL=4)				GPIO231
ADCINB17	J3					B17					CMP10 (HPMXSEL=5)				AIO179
ADCINC4	P5	55	47				C4						CMP10 (LPMXSEL=4)		AIO184
ADCIND16	R7							D16					CMP10 (LPMXSEL=5)		AIO200
ADCINE10	R10								E10		CMP10 (HPMXSEL=1)		CMP10 (LPMXSEL=1)		AIO208

Copyright © 2025 Texas Instruments Incorporated

表 6-13. 模拟引脚连接（续）

引脚名称	引脚/封装				ADC					DAC	比较器子系统（多路复用器）				AIO 输入/GPIO
	256 ZEX	176 PTS	144 RFS	100 PZS	A	B	C	D	E		高正	高负	低正	低负	
ADCINE12	P9								E12		CMP10 (HPMXSEL=2)		CMP10 (LPMXSEL=2)		AIO210
模拟组 11											CMP11 和其他比较器				
ADCINC5	N5	56	48				C5						CMP11 (LPMXSEL=4)		AIO185
ADCINC11	P8						C11				CMP11 (HPMXSEL=5)				AIO187
ADCIND17	T7							D17					CMP11 (LPMXSEL=5)		AIO201
ADCINE11	R9								E11		CMP11 (HPMXSEL=1)		CMP11 (LPMXSEL=1)		AIO209
ADCINE13	N9								E13		CMP11 (HPMXSEL=2)		CMP11 (LPMXSEL=2)		AIO211
ADCINE1	P4	50	42	31	A25				E1		CMP11 (HPMXSEL=3)		CMP11 (LPMXSEL=3)		AIO203
											CMP12 (HPMXSEL=1)		CMP12 (LPMXSEL=1)		
模拟组 12											CMP12 和其他比较器				
ADCINC6	M8	63					C6						CMP12 (LPMXSEL=4)		GPIO236
ADCINC12	R8						C12				CMP12 (HPMXSEL=5)				AIO188

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.2 模数转换器 (ADC)

此处所述的 ADC 模块是一个逐次逼近 (SAR) 型 ADC，具有 12 位分辨率 具有可选的 12 位或 16 位分辨率。本节将转换器的模拟电路称为“内核”，包括通道选择多路复用器、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器”，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 模块被设计成在同一个芯片上重复多次，从而实现多个 ADC 的同步采样或独立运行。ADC 包装器基于转换启动 (SOC)（参阅“模数转换器 (ADC)”一章的 *SOC 工作原理* 一节，该章节位于 *F29H85x 和 F29P58x 实时微控制器技术参考手册*）。

每个 ADC 具有以下特性：

- 可选 12 位或 16 位分辨率 （ADC A 和 B）。 12 位分辨率 （ADC C、D 和 E）。
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准电压
- ADC A 和 B 上的单端或差分信号模式。ADC C、D 和 E 上的单端模式。
- 具有多达 个通道的输入多路复用器
- 32 个可配置 SOC
- 32 个可单独寻址的结果寄存器
- 根据每个 SOC 选择外部模拟输入多路复用器，高达 4 位
- 示例电容器复位功能可降低存储器串扰
- 多个触发源
  - 软件立即启动
  - 所有 ePWM ：ADCSOC A 或 B
  - GPIO XINT2
  - CPU 计时器 0/1/2
  - ADCINT1/2
  - 捕获模式（CEVT1、CEVT2、CEVT3 和 CEVT4）和 APWM 模式（周期匹配、比较匹配或两者）下的 ECAP 事件。
  - 对多个 ADC 采用全局软件触发器
- 四个灵活的中断
- 突发模式触发选项
- 高达 128 倍的硬件过采样模式，具有可配置的触发器扩展延迟
- 硬件欠采样模式
- 触发器相位延迟功能
- 四个后处理块，每个块具有：
  - 饱和偏移量校准
  - 设定点计算的误差
  - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
  - 使用可配置的数字滤波器进行上限/下限/过零比较
  - 触发至采样延迟采集
  - 绝对值计算
  - 使用 24 位累加寄存器进行过采样，具有可配置的二进制移位
  - 计算最小/最大值以抑制异常值

备注

并非每个通道都可以从所有 ADC 的引脚输出。请参阅 *引脚配置和功能* 部分以确定哪些通道可用。

Copyright © 2025 Texas Instruments Incorporated

ADC 内核和 ADC 包装器的方框图如图 6-35 所示。

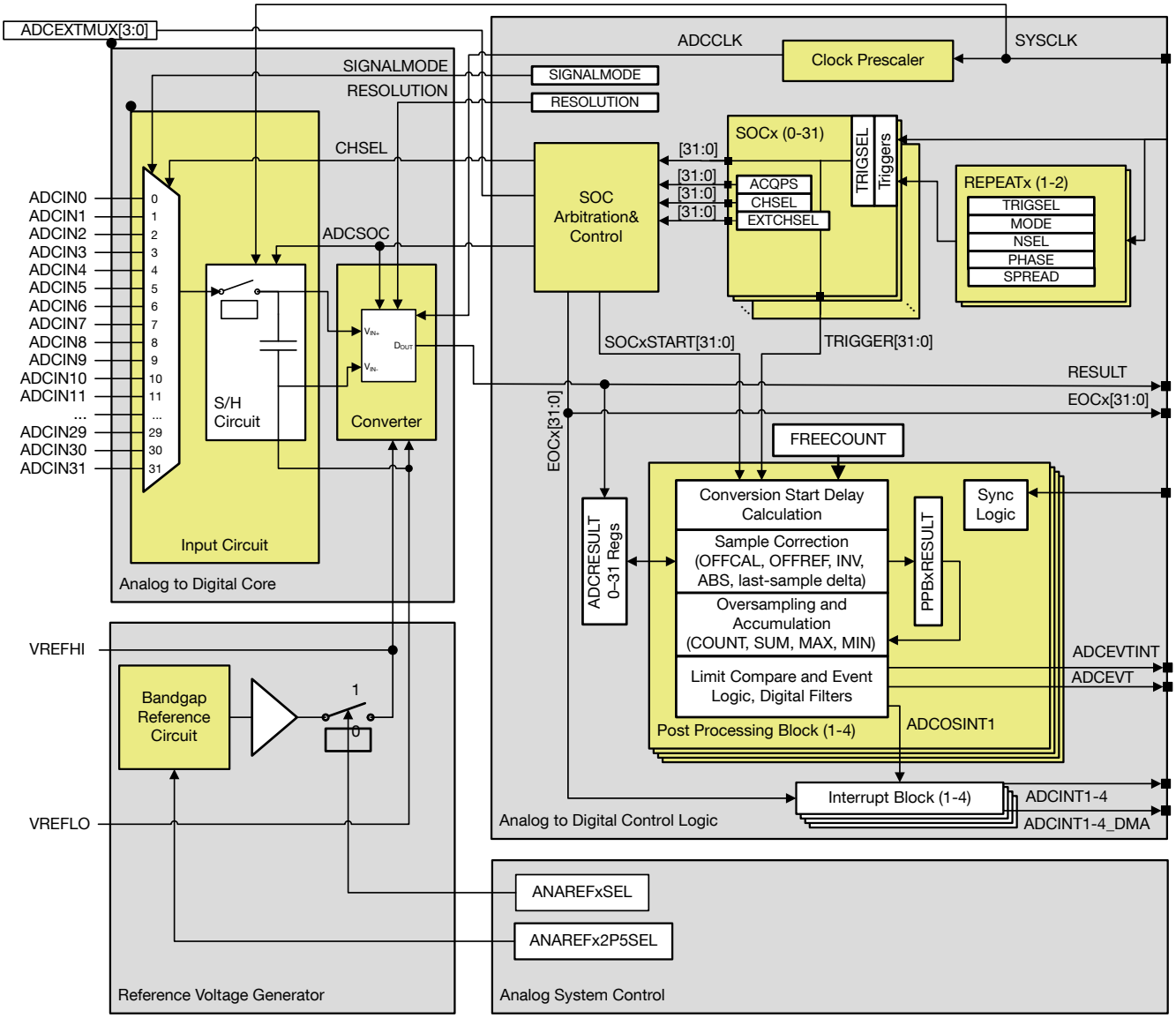


图 6-35. ADC 模块方框图

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.2.1 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。表 6-14 汇总了基本的 ADC 选项及其可配置性级别。

表 6-14. ADC 选项和配置级别

选项	可配置性
时钟	按照模块(1)
分辨率	不可配置（仅限 12 位分辨率） 按照模块(1)
信号模式	不可配置（仅限单端信号模式） 按照模块
基准电压源	按照模块（外部或内部）(2) (3)
触发源	按照 SOC(1)
转换后的通道	按照 SOC
采集窗口持续时间	按照 SOC(1)
EOC 位置	按照模块
突发模式	按照模块(1)

(1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步运行的指导，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的*确保同步运行*一节。
(2) 较低引脚数的封装可能会在多个 ADC 之间共享一个 VREFHI 引脚。在这种情况下，共享基准引脚的 ADC 必须对其基准模式进行相同配置。
(3) 使用 16 位分辨率时，不支持 3.3V 内部基准模式。

6.17.2.1.1 信号模式

ADC 支持单端信号模式。以 VREFLO 为基准通过单个引脚 (ADCINx) 对转换器的输入电压进行采样。

ADC 支持两种信号模式：单端和差分。在单端模式中，以 VREFLO 为基准通过单个引脚 (ADCINx)对转换器的输入电压 进行采样。在差分信号模式中，通过一对输入引脚对转换器的输入电压进行采样，其中一个输入引脚为正输入引脚 (ADCINxP) ，且另一个输入引脚为负输入引脚 (ADCINxN)。实际输入电压是两个引脚之间的差值 (ADCINxP − ADCINxN)。图 6-36 展示了差分信号模式。图 6-37 展示了单端信号模式。

Copyright © 2025 Texas Instruments Incorporated

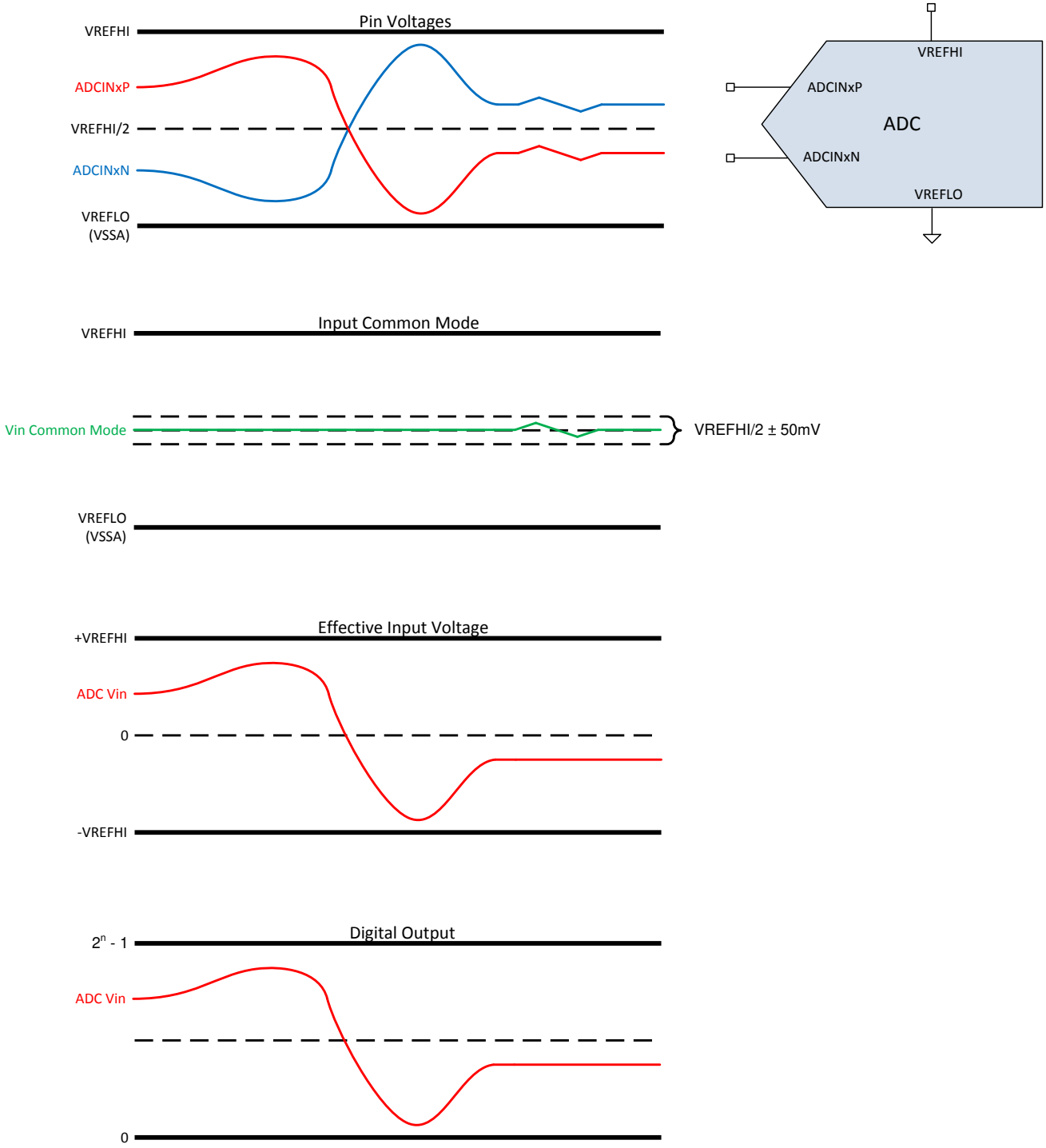


图 6-36. 差分信号模式

ADVANCE INFORMATION

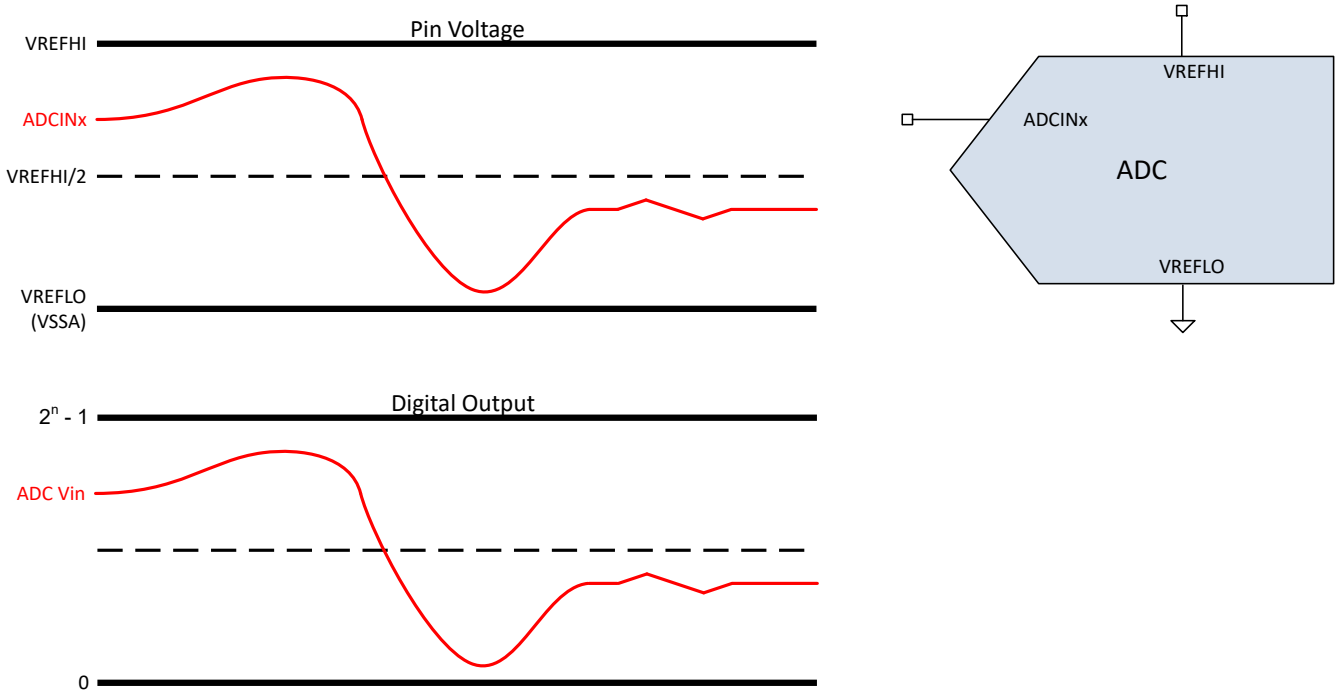


图 6-37. 单端信号模式

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2 ADC 电气数据和时序

备注

ADC 输入应保持低于 VDDA + 0.3V。如果 ADC 输入高于此电平，则 ADC 可能会通过两种机制对其他通道产生干扰：

- ADC 输入过压将过驱 CMPSS 多路复用器，从而干扰所有其他共用一个公共 CMPSS 多路复用器的通道。无论 ADC 是否对过压输入进行采样，这种干扰都会持续存在
- 当 ADC 对过压 ADC 输入进行采样时，VREFHI 将被上拉至更高的电平。这将干扰任何通道上的后续 ADC 转换，直到 V_{REF} 稳定下来

备注

VREFHI 引脚必须保持低于 VDDA + 0.3V，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换不正确。

6.17.2.2.1 ADC 运行条件：12 位、单端

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）		5		60	MHz
采样率 (3)	200MHz SYSCLK			3.7	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	具有 50Ω 或更小的 R_s	75			ns
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI(2)	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA		VSSA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。 在此模式下，用户不应将电压驱动到引脚中。

6.17.2.2.2 ADC 运行条件：12 位、差分

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）		5		60	MHz
采样率 (3)	200MHz SYSCLK			3.7	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	具有 50Ω 或更小的 R_s	75			ns
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI(2)	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA		VSSA	V

ADVANCE INFORMATION

6.17.2.2.2 ADC 运行条件：12 位、差分（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

6.17.2.2.3 ADC 运行条件：16 位、单端

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）		5		60	MHz
采样率	200MHz SYSCLK			1.1	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	具有 50Ω 或更小的 R_s	320			ns
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI(2)	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA		VSSA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

6.17.2.2.4 ADC 运行条件：16 位、差分

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）		5		60	MHz
采样率	200MHz SYSCLK			1.1	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	具有 50Ω 或更小的 R_s	320			ns
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI(2)	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA		VSSA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.5 ADC 时序要求

		最小值	最大值	单位
$t_{su(ADCCHSEL-SOC)}$	在 ADCSOC 高电平之前的 ADCCHSEL 有效时间	0.5		ns
$t_{su(ADCSOC)}$	在 ADCCLK 高电平之前的 ADCSOC 低电平时间	1		ns
$t_{w(ADCCLK)}$	ADCCLK 的宽度	0.8		ns
$t_{w(ADCSOC)}$	ADCSOC 的宽度	0.6		ns

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.2.2.6 ADC 特性 - 12 位、单端

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	200MHz SYSCLK	10.1		11	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			5000	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	μs
VREFHI 输入电流[1]			130		μA
内部基准电容值[2]		2.2			μF
外部基准电容值[2]		2.2			μF
直流特性					
增益误差	内部基准电压	-45		45	LSB
	外部基准	-5	±3	5	
偏移误差		-4	±2	4	LSB
通道间增益误差[4]			±2		LSB
通道间偏移量误差[4]			±2		LSB
ADC 间增益误差[5]	所有 ADC 的 VREFHI 和 VREFLO 都相同		±4		LSB
ADC 间偏移量误差[5]	所有 ADC 的 VREFHI 和 VREFLO 都相同		±2		LSB
DNL 误差		>-1	±0.5	1	LSB
INL 误差		-2	±1.0	2	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-1		1	LSB
交流特性					
SNR[3]	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1（通过 PLL）		69.1		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC（通过 PLL）		69.1		
THD[3]	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1（通过 PLL）		-88		dB
SFDR[3]	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1（通过 PLL）		89		dB
SINAD[3]	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		69.0		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		69.0		
ENOB[3]	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，单个 ADC		11.2		位
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，同步 ADC		11.2		
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC，256 焊球 ZEJ 封装		10.9		
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC，169 焊球 NMR 封装		10.9		
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC，176 引脚 PTP 封装		9.7		
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC，100 引脚 PZP 封装		9.7		

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.6 ADC 特性 - 12 位、单端（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
PSRR	VDD + 100mV 直流至正弦（1kHz 时）		60		dB
	VDD + 100mV 直流至正弦（300kHz 时）		57		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		60		
	VDDA = 3.3V 直流 + 200mV 正弦（900kHz 时）		57		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。 这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
(4) 同一 ADC 模块的所有通道之间的差异。
(5) 与其他 ADC 模块相比的最坏情况变化。

6.17.2.2.7 ADC 特性 - 12 位、差分

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	200MHz SYSCLK	10.1		11	ADCCLK
上电时间	外部基准模式			500	µs
	内部基准模式			5000	µs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	µs
VREFHI 输入电流(1)			130		µA
内部基准电容值(2)		2.2			µF
外部基准电容值(2)		2.2			µF
直流特性					
增益误差	内部基准电压	-45		45	LSB
	外部基准	-5	±3	5	
偏移误差		-5	±2	5	LSB
通道间增益误差(4)			2		LSB
通道间偏移量误差(4)			2		LSB
ADC 间增益误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		4		LSB
ADC 间偏移量误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		2		LSB
DNL 误差		>-1	±0.5	1	LSB
INL 误差		-2	±1.0	2	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-1		1	LSB
交流特性					
SNR(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		68.8		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		60.1		
THD(3)	VREFHI = 2.5V，fin = 100kHz		-80.6		dB
SFDR(3)	VREFHI = 2.5V，fin = 100kHz		79.2		dB

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.2.2.7 ADC 特性 - 12 位、差分（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
SINAD[3]	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		68.5		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		60.0		
ENOB[3]	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，单个 ADC		11.0		位
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，同步 ADC		11.0		
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC		不支持		
PSRR	VDD + 100mV 直流至正弦（1kHz 时）		60		dB
	VDD + 100mV 直流至正弦（300kHz 时）		57		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		60		
	VDDA = 3.3V 直流 + 200mV 正弦（900kHz 时）		57		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
(4) 同一 ADC 模块的所有通道之间的差异。
(5) 与其他 ADC 模块相比的最坏情况变化。

6.17.2.2.8 ADC 特性 - 16 位、单端

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	200MHz SYSCLK	29.6		31	ADCCLK
上电时间	外部基准模式			500	µs
	内部基准模式			5000	µs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	µs
VREFHI 输入电流[1]			190		µA
内部基准电容值[2]		4.7	22		µF
外部基准电容值[2]		4.7	22		µF
直流特性					
增益误差	内部基准电压 2.5V	-720		720	LSB
	外部基准	-64	±20	64	LSB
偏移误差	（在整个温度范围内）内部基准电压 2.5V	-16	±6	16	LSB
偏移误差		-16	±6	16	LSB
通道间增益误差[4]			±6		LSB
通道间偏移量误差[4]			±6		LSB
ADC 间增益误差[5]	所有 ADC 的 VREFHI 和 VREFLO 都相同		±6		LSB
ADC 间偏移量误差[5]	所有 ADC 的 VREFHI 和 VREFLO 都相同		±6		LSB
DNL 误差		>-1	±0.5	1	LSB

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.8 ADC 特性 - 16 位、单端（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
INL 误差		-6	±1.5	6	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-2		2	LSB
交流特性					
SNR(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		83.5		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		78.2		
THD(3)	VREFHI = 2.5V，fin = 100kHz		-94		dB
SFDR(3)	VREFHI = 2.5V，fin = 100kHz		93		dB
SINAD(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		83.4		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		76.0		
ENOB(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，单个 ADC		13.5		位
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，同步 ADC		13.5		
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC		不支持		
PSRR	VDD + 100mV 直流至正弦（1kHz 时）		77		dB
	VDD + 100mV 直流至正弦（800kHz 时）		74		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		77		
	VDDA = 3.3V 直流 + 200mV 正弦（800kHz 时）		74		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。 在外部基准模式下，电容取决于基准 IC 缓冲器输出要求。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
(4) 同一 ADC 模块的所有通道之间的差异。
(5) 与其他 ADC 模块相比的最坏情况变化。

6.17.2.2.9 ADC 特性 - 16 位、差分

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	200MHz SYSCLK	29.6		31	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			5000	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	μs
VREFHI 输入电流(1)			190		μA
内部基准电容值(2)		4.7	22		μF
外部基准电容值(2)		4.7	22		μF

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.2.2.9 ADC 特性 - 16 位、差分（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
直流特性					
增益误差	内部基准电压 2.5V	-720		720	LSB
	外部基准	-64	±9	64	LSB
偏移误差	（在整个温度范围内）内部基准电压 2.5V	-6	±4	6	LSB
偏移误差		-6	±4	6	LSB
通道间增益误差(4)			±6		LSB
通道间偏移量误差(4)			±3		LSB
ADC 间增益误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		±6		LSB
ADC 间偏移量误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		±3		LSB
DNL 误差		>-1	±0.5	1	LSB
INL 误差		-3.5	±1.0	3.5	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-2		2	LSB
ADC 间隔离	VREFHI = 2.5V，异步 ADC		不支持		dB
交流特性					
SNR(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		89.8		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		66.3		dB
THD(3)	VREFHI = 2.5V，fin = 100kHz		-98		dB
SFDR(3)	VREFHI = 2.5V，fin = 100kHz		99		dB
SINAD(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		89.2		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		66.1		dB
ENOB(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，单个 ADC		14.52		位
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，同步 ADC		14.52		位
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC		不支持		位
PSRR	VDD + 100mV 直流至正弦（1kHz 时）		77		dB
	VDD + 100mV 直流至正弦（300kHz 时）		74		dB
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		77		dB
	VDDA = 3.3V 直流 + 200mV 正弦（900kHz 时）		74		dB

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。 在外部基准模式下，电容取决于基准 IC 缓冲器输出要求。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
(4) 同一 ADC 模块的所有通道之间的差异。
(5) 与其他 ADC 模块相比的最坏情况变化。

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.10 ADC INL 和 DNL

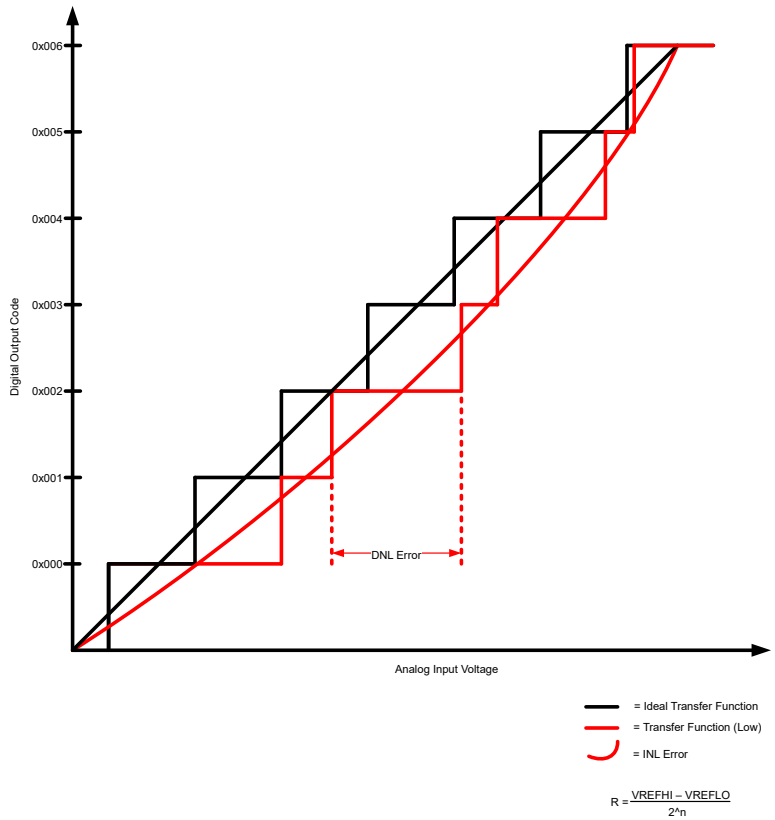


图 6-38. ADC INL 和 DNL

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.2.2.11 每个引脚的 ADC 性能

每个引脚的 ADC 性能均受相邻引脚的影响。以下各图详细说明了这些引脚的性能差异。

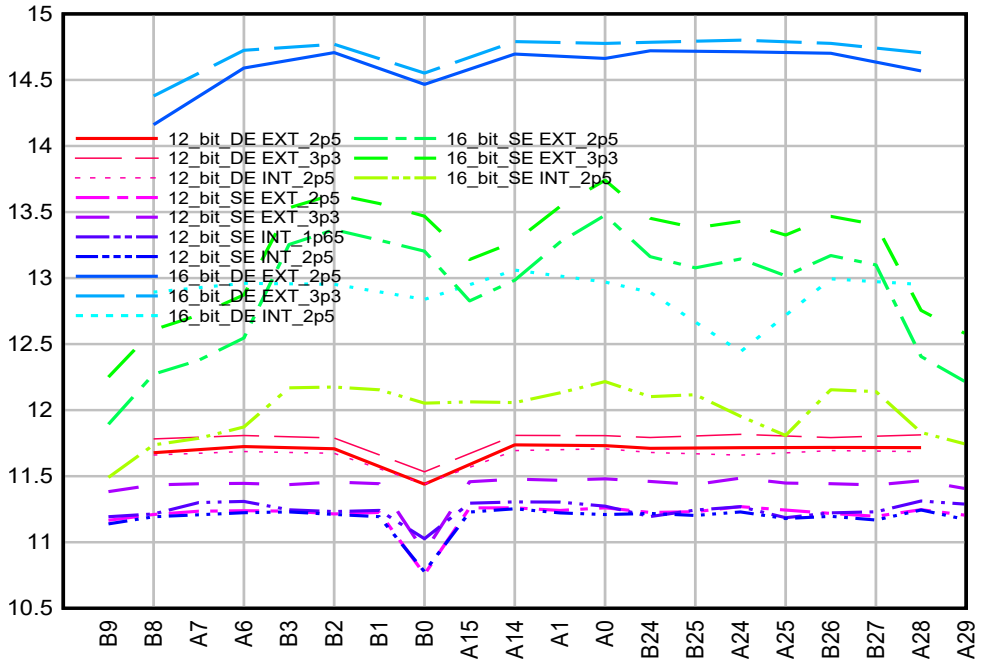


图 6-39. 100 引脚 PZS 的每通道 ENOB - ADC 通道 A 和 B

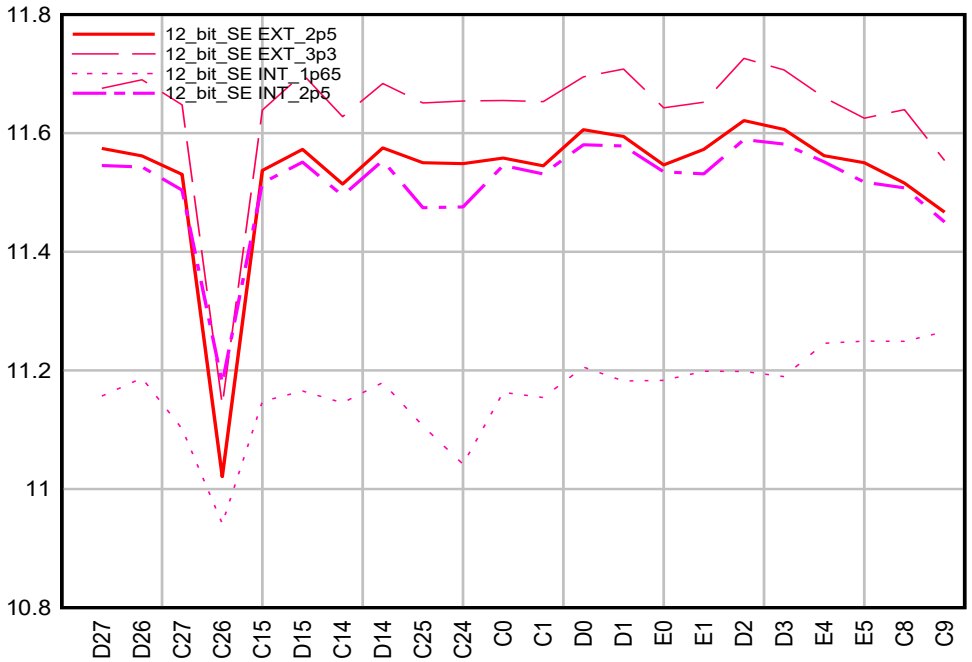


图 6-40. 100 引脚 PZS 的每通道 ENOB - ADC 通道 C、D 和 E

Copyright © 2025 Texas Instruments Incorporated

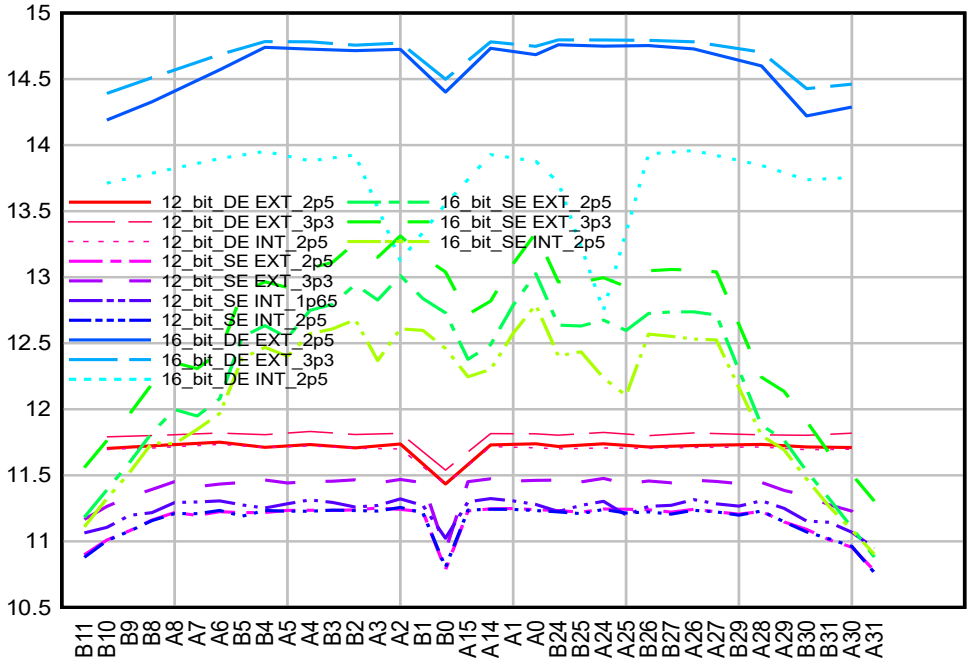


图 6-41. 144 引脚 RFS 的每通道 ENOB - ADC 通道 A 和 B

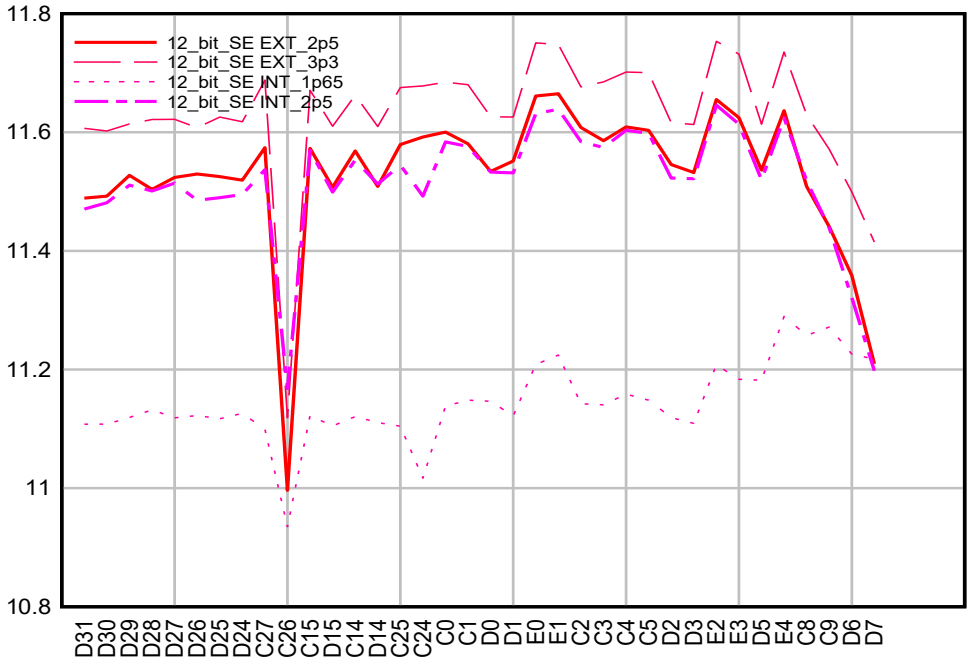


图 6-42. 144 引脚 RFS 的每通道 ENOB - ADC 通道 C、D 和 E

ADVANCE INFORMATION

ADVANCE INFORMATION

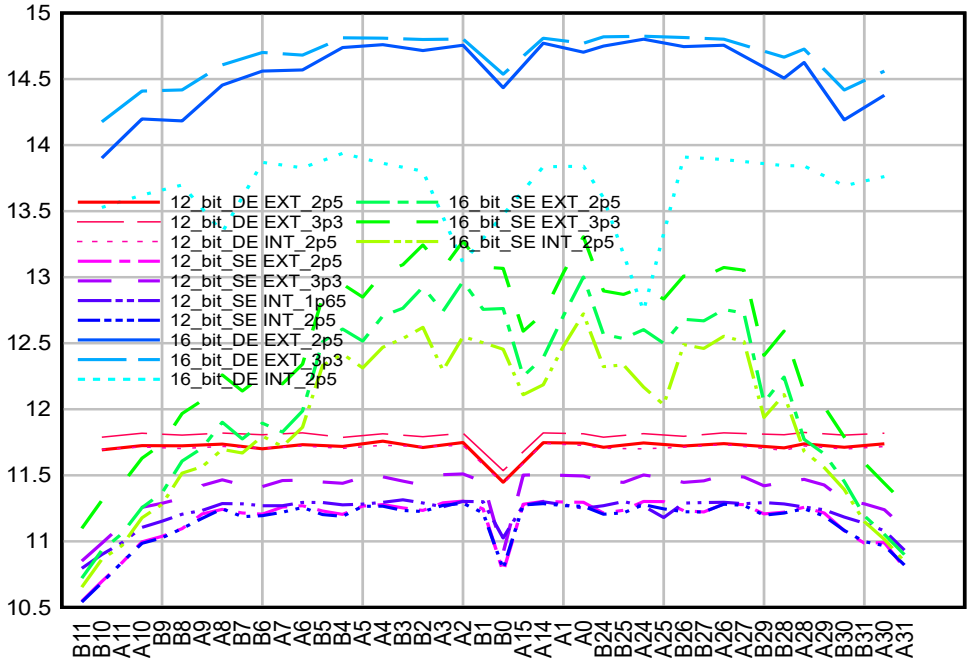


图 6-43. 176 引脚 PTS 的每通道 ENOB - ADC 通道 A 和 B

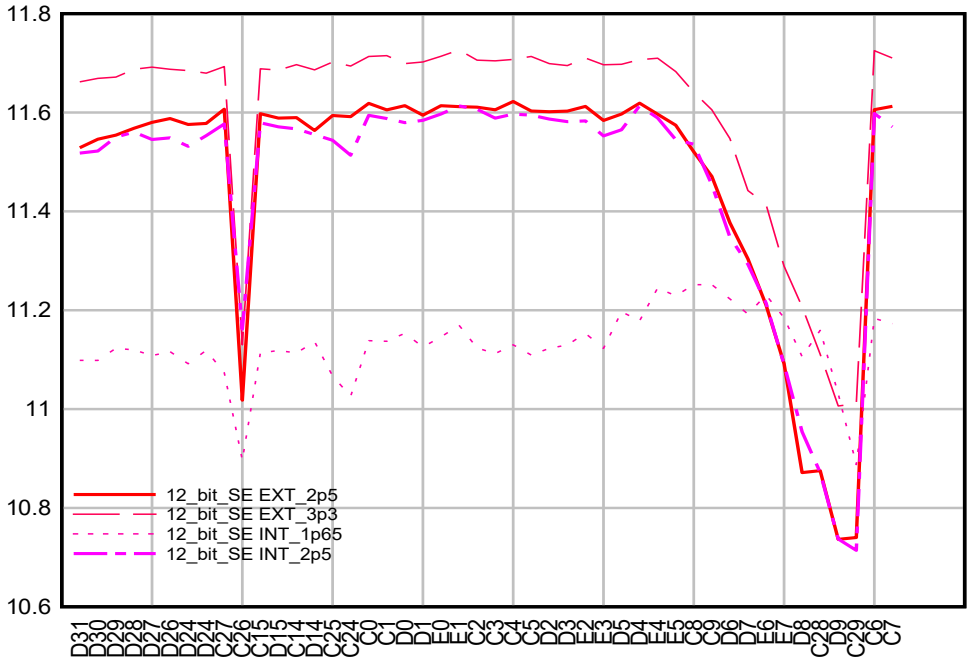


图 6-44. 176 引脚 PTS 的每通道 ENOB - ADC 通道 C、D 和 E

Copyright © 2025 Texas Instruments Incorporated

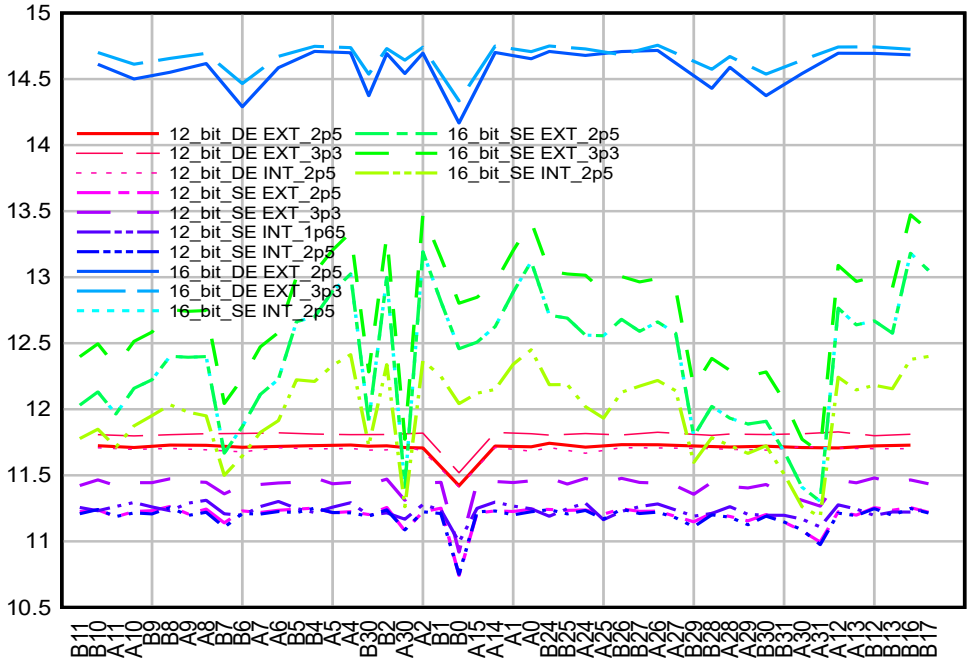


图 6-45. 256 引脚 ZEX 的每通道 ENOB - ADC 通道 A 和 B

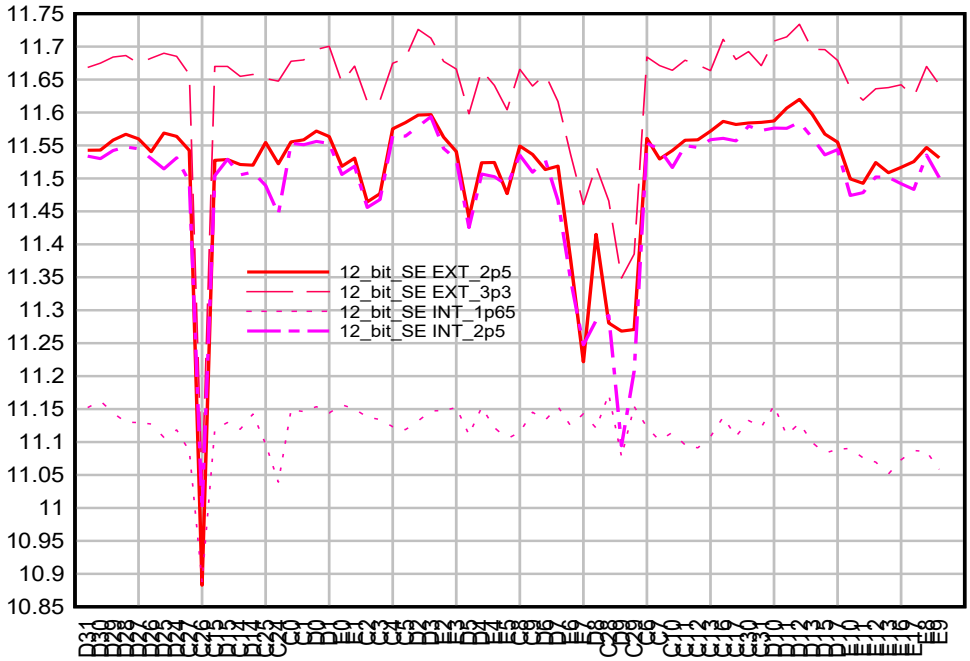


图 6-46. 256 引脚 ZEX 的每通道 ENOB - ADC 通道 C、D 和 E

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.2.2.12 ADC 输入模型

对于 5 类 12 位 ADC，ADC 输入特性由 表 6-15 和 图 6-47 给出。

对于 4 类 12 位/16 位 ADC，ADC 输入特性由表 6-16、表 6-17、图 6-47 和图 6-48 给出。

表 6-15. 12 位 ADC (ADC CDE) 的输入模型参数

	说明	基准模式	值
C_p	寄生输入电容	全部	请参阅 表 6-20（通道 Cx、Dx、Ex）。
R_{on}	采样开关电阻	外部基准，2.5V 内部基准	500Ω
		3.3V 内部基准	860Ω
C_h	采样电容器	外部基准，2.5V 内部基准	12.5pF
		3.3V 内部基准	7.5pF
R_s	标称源阻抗	全部	50Ω

表 6-16. 12 位/16 位 ADC (ADC AB) 的单端输入模型参数（12 位分辨率）

	说明	值
C_p	寄生输入电容	请参阅表 6-20（通道 Ax、Bx）
R_{on}	采样开关电阻	425Ω
C_h	采样电容器	14.5pF
R_s	标称源阻抗	50Ω

表 6-17. 12 位/16 位 ADC (ADC AB) 的单端输入模型参数（16 位分辨率）

	说明	值
C_p	寄生输入电容	请参阅 表 6-20（通道 Ax、Bx）。
R_{on}	采样开关电阻	425Ω
C_h	采样电容器	32.5pF
R_s	标称源阻抗	50Ω

表 6-18. 12 位/16 位 ADC (ADC AB) 的差分输入模型参数（12 位分辨率）

	说明	值
C_p	寄生输入电容	请参阅 表 6-20（通道 Ax、Bx）。
R_{on}	采样开关电阻	700Ω
C_h	采样电容器	7.5pF
R_s	标称源阻抗	50Ω

表 6-19. 12 位/16 位 ADC (ADC AB) 的差分输入模型参数（16 位分辨率）

	说明	值
C_p	寄生输入电容	请参阅 表 6-20（通道 Ax、Bx）。
R_{on}	采样开关电阻	700Ω
C_h	采样电容器	16.5pF
R_s	标称源阻抗	50Ω

Copyright © 2025 Texas Instruments Incorporated

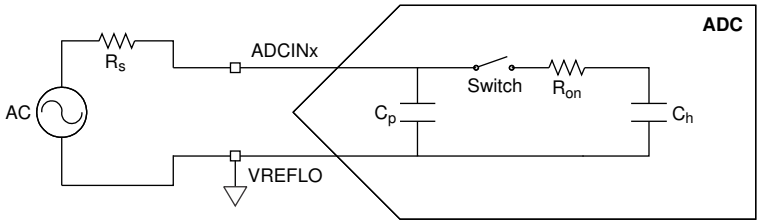


图 6-47. 单端输入模型

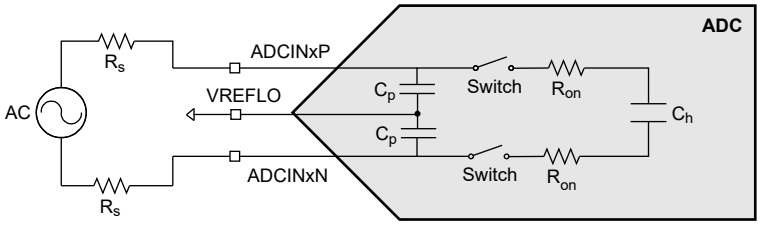


图 6-48. 差分输入模型

应将这些输入模型与实际信号源阻抗配合使用，来确定采集窗口持续时间。有关改进 ADC 输入电路的建议，请参阅 *C2000 MCU 的 ADC 输入电路评估* 应用手册。

表 6-20. 每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/DACOUT1	5.4	6.9
A1	4.1	5.6
A2	4.1	5.6
A3	5.6	7.1
A4	4.2	5.7
A5	4.9	6.4
A6	0.2	1.7
A7	0.3	1.6
A8	0.3	1.8
A9	0.3	1.7
A10	0.3	1.8
A11	0.3	1.8
A12	5.2	6.7
A13	4.9	6.4
A14、B14、C14、D14、E14	5.7	7.2
A15、B15、C15、D15、E15	5.5	7.0
B0/VDAC	27.1	28.6
B1	4.0	5.5
B2	4.6	6.1
B3	5.1	6.6
B4	3.5	5.0

ADVANCE INFORMATION

ADVANCE INFORMATION

表 6-20. 每通道寄生电容（续）

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
B5	4.9	6.4
B6	0.3	1.8
B7	0.4	1.9
B8	0.2	1.7
B9	0.3	1.8
B10	0.3	1.8
B11	0.3	1.8
B12	4.9	6.4
B13	4.7	6.2
B16	5.1	6.6
B17	4.1	5.6
C0	5.0	6.5
C1	4.4	5.9
C2	4.9	6.4
C3	4.9	6.4
C4	2.9	4.4
C5	2.7	4.2
C6	0.3	1.8
C7	0.3	1.8
C8	0.3	1.8
C9	0.3	1.8
C10	3.3	4.8
C11	3.1	4.6
C12	2.9	4.4
C13	3.0	4.4
C16	3.1	4.6
C17	3.4	4.9
D0	3.3	4.8
D1	3.3	4.8
D2	5.0	6.5
D3	5.7	7.2
D4	0.2	1.7
D5	0.2	1.7
D6	0.2	1.7
D7	0.5	2.0
D8	0.5	2.0
D9	0.4	1.9

Copyright © 2025 Texas Instruments Incorporated

表 6-20. 每通道寄生电容（续）

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
D10	3.8	5.3
D11	3.0	4.5
D12	3.3	4.8
D13	3.3	4.8
D16	2.9	4.4
D17	3.1	4.6
E0/DACOUT2	6.4	7.9
E1	3.3	4.8
E2	3.1	4.6
E3	3.3	4.8
E4	0.3	1.8
E5	0.3	1.8
E6	0.5	2.0
E7	0.4	1.9
E8	4.4	5.9
E9	3.9	5.4
E10	3.4	4.9
E11	3.4	4.9
E12	3.4	4.9
E13	3.6	5.1
E16	3.5	5.0
E17	3.6	5.1

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.2.2.13 ADC 时序图

下图展示了在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传播到 CPU 以引起中断取决于中断控制器中的配置）。

表 6-21 列出了 ADC 时序参数的说明。 表 6-22 和 表 6-23 列出了 ADC 时序。

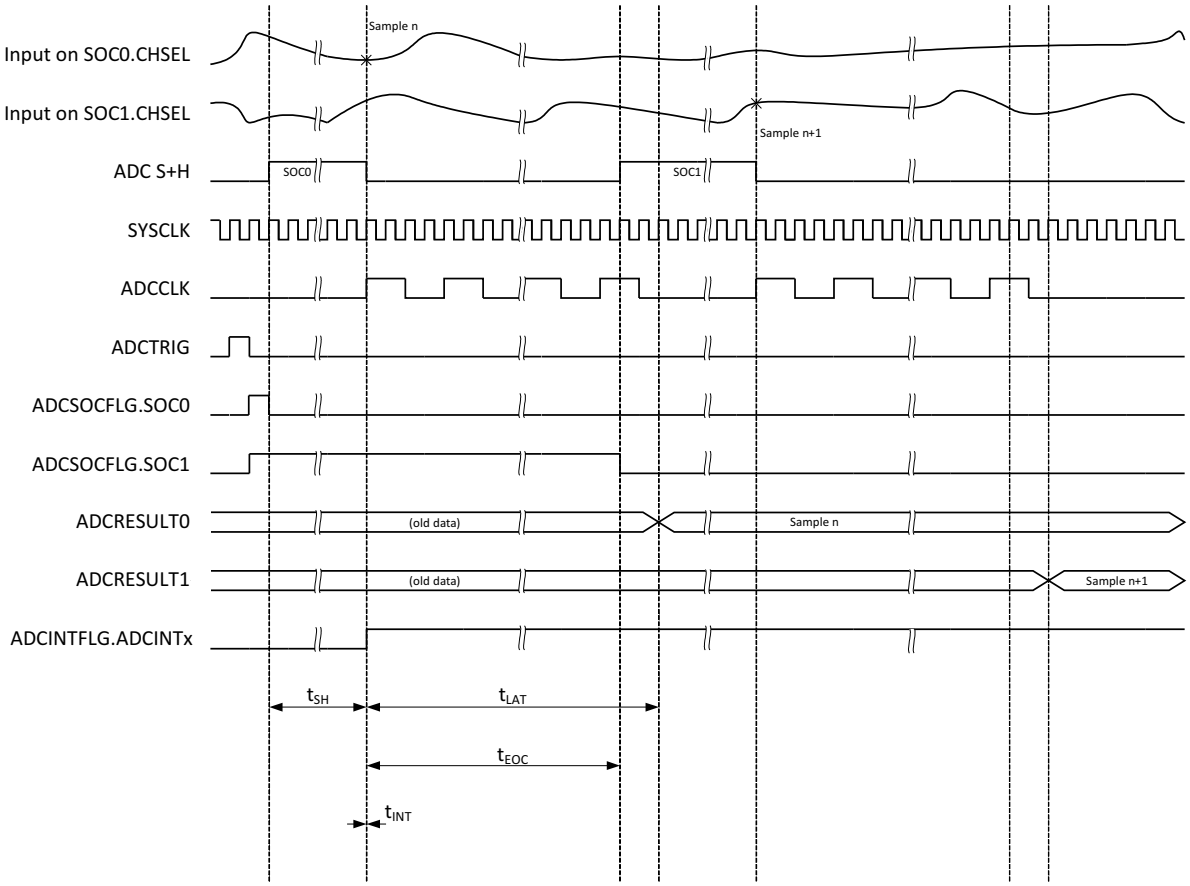


图 6-49. 提前中断模式下 12 位模式的 ADC 时序

Copyright © 2025 Texas Instruments Incorporated

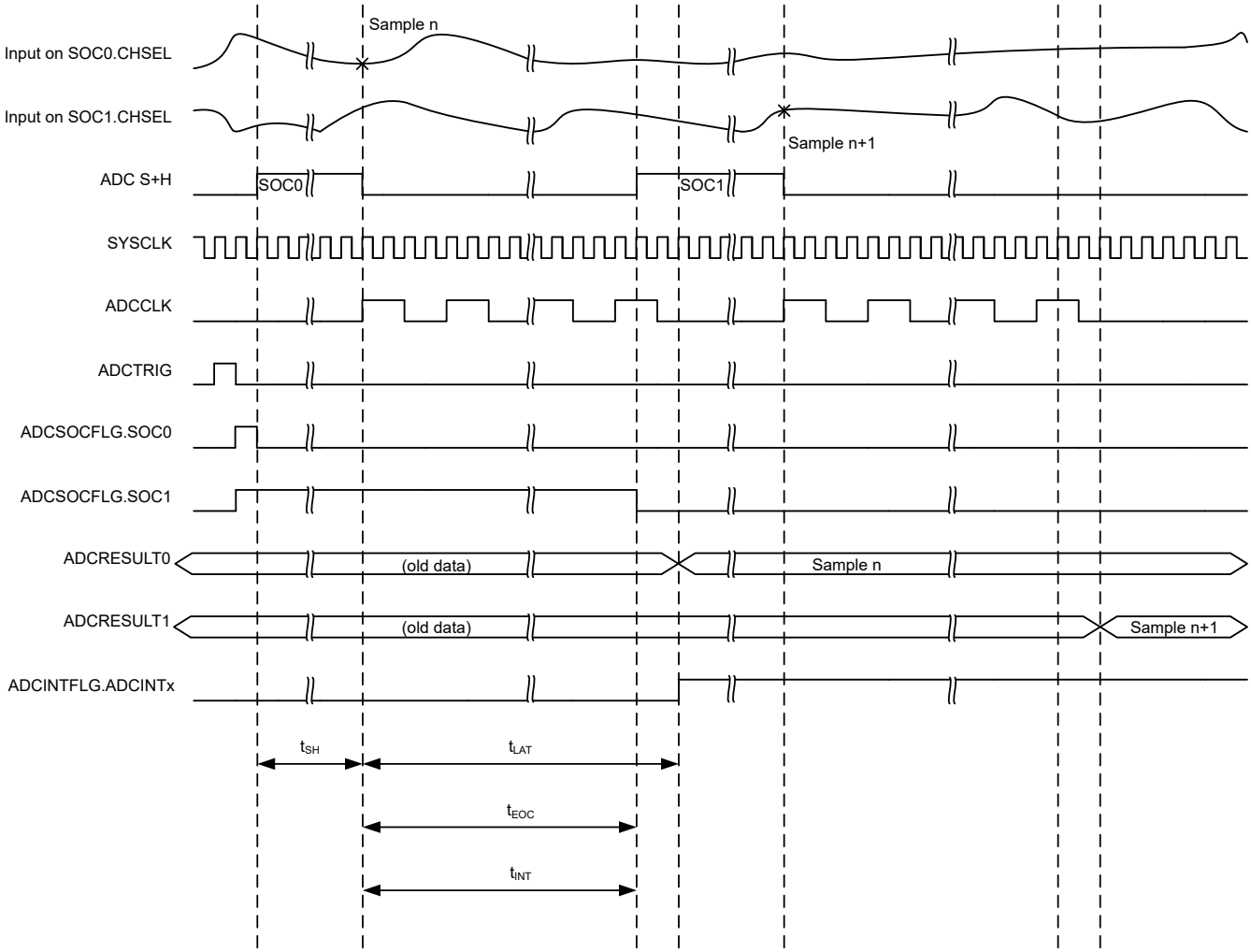


图 6-50. 后期中断模式下 12 位模式的 ADC 时序

ADVANCE INFORMATION

ADVANCE INFORMATION

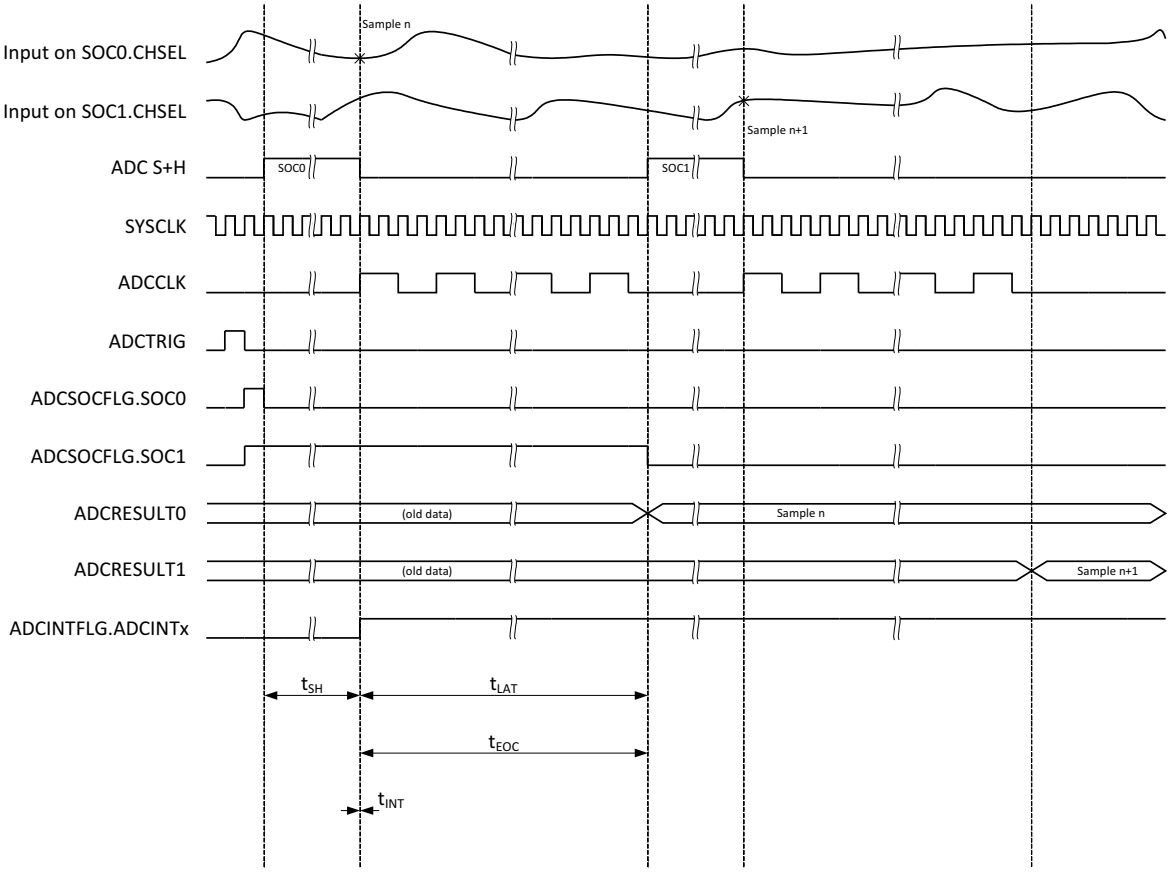


图 6-51. 提前中断模式下 16 位模式的 ADC 时序

Copyright © 2025 Texas Instruments Incorporated

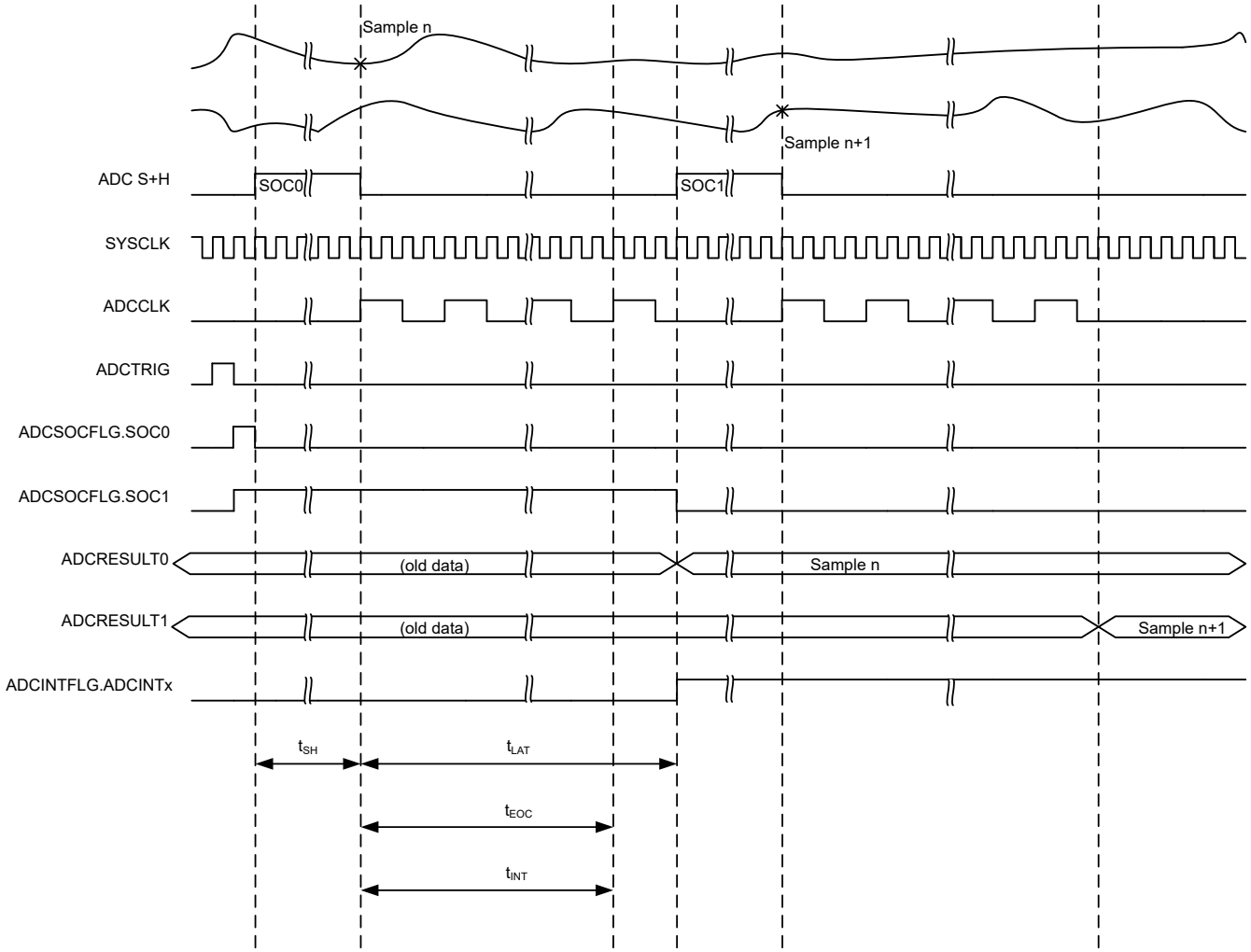


图 6-52. 后期中断模式下 16 位模式的 ADC 时序（SYSCLK 周期）

ADVANCE INFORMATION

ADVANCE INFORMATION

表 6-21. ADC 时序参数说明

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 (ACQPS + 1) 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。 **注意：**无论器件时钟设置如何，S+H 电容器上的值均在 S+H 窗口结束前大约 5ns 时被采集。
t_{LAT}	从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，返回的是之前的转换结果。
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。 在 16 位模式下，这将与转换结果的锁存一致，而在 12 位模式下，后续采样可以在转换结果被锁存之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。 如果 ADCCTL1 寄存器中的 INTPULSEPOS 位被置位，t_{INT} 将与转换结束 (EOC) 信号相一致。 如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（通过触发读取结果的 ISR 来读取），必须注意确保读取发生在结果锁存之后（否则，读取的是之前的结果）。
t_{DMA}	当 ADCCTL1.TDMAEN = 1 时，从 S+H 窗口结束到触发 DMA 读取 ADC 转换结果的时间。 如果 TDMAEN 设置为 0，则会在 T_{INT} 时发生 DMA 触发。在某些情况下，可以在 ADCRESULT 值被锁存之前设置 ADCINT 标志。为了确保 DMA 读取发生在 ADCRESULT 值被锁存之后，应向 ADCCTL1.TDMAEN 写入 1 来启用 DMA 时序。

Copyright © 2025 Texas Instruments Incorporated

表 6-22. 12 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				
ADCCTL2。预分频	预分频比	t_{EOC}	t_{LAT}	t_{INT} (Early)(1)	t_{INT} (Late)	t_{DMA}
0	1	11	13	0	11	13
2	2	21	23	0	21	23
3	2.5	26	28	0	26	28
4	3	31	34	0	31	34
5	3.5	36	39	0	36	39
6	4	41	44	0	41	44
7	4.5	46	49	0	46	49
8	5	51	55	0	51	55
9	5.5	56	60	0	56	60
10	6	61	65	0	61	65
11	6.5	66	70	0	66	70
12	7	71	76	0	71	76
13	7.5	76	81	0	76	81
14	8	81	86	0	81	86
15	8.5	86	91	0	86	91

(1) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

表 6-23. 16 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				
ADCCTL2。预分频	预分频比	t_{EOC}	t_{LAT}	t_{INT} (Early)(1)	t_{INT} (Late)	t_{DMA}
0	1	31	32	0	31	32
2	2	60	61	0	60	61
3	2.5	75	75	0	75	75
4	3	90	91	0	90	91
5	3.5	104	106	0	104	106
6	4	119	120	0	119	120
7	4.5	134	134	0	134	134
8	5	149	150	0	149	150
9	5.5	163	165	0	163	165
10	6	178	179	0	178	179
11	6.5	193	193	0	193	193
12	7	208	209	0	208	209
13	7.5	222	224	0	222	224
14	8	237	238	0	237	238
15	8.5	252	252	0	252	252

(1) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

ADVANCE INFORMATION

6.17.3 温度传感器

6.17.3.1 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足*温度传感器特性* 表中的采集时间要求。

6.17.3.1.1 温度传感器特性

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	温度精度	外部基准		±15		°C
$t_{startup}$	启动时间（TSNSCTL[ENABLE] 至采样温度传感器）			500		µs
t_{acq}	ADC 采集时间		450			ns

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.17.4 比较器子系统 (CMPSS)

比较器子系统 (CMPSS) 由模拟比较器和支持电路组成，这些电路对于峰值电流模式控制、开关模式电源、功率因数校正、电压跳闸监控等电源应用非常有用。

比较器子系统基于多个模块构建而成。每个子系统包含两个比较器、两个基准 12 位 DAC。该子系统还包括两个斜坡发生器。斜坡发生器可进行斜升和斜降。比较器在每个模块中用“H”或“L”表示，其中“H”代表高电平，“L”代表低电平。每个比较器都会生成一个数字输出，指示正输入端的电压是否大于负输入端的电压。比较器的正输入由一个外部引脚驱动（请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 中的“模拟子系统”一章，了解适用于 CMPSS 的多路复用器选项）。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。两个斜坡发生器电路可用于控制该子系统中高电平和低电平比较器的基准 12 位 DAC 值。 DAC 及包装器可用于产生斜坡，进而用于峰值电流模式控制 (PCMC) 和其他应用中的斜率补偿。 该子系统还可与 EPWM 配合使用，来支持二极管仿真模式。

每个 CMPSS 包含：

- 两个模拟比较器
- 两个可独立编程的基准 12 位 DAC
- 两个递减/递增斜坡发生器
- 两个数字滤波器，最大滤波器时钟预分频为 2^{24}
- 能够将各个子模块与 EPWMSYNCPER 同步
- 能够通过 EPWMBLANK 扩展清除信号
- 能够将输出与 SYSCLK 同步
- 能够锁存输出
- 能够反转输出
- 可选择在输入端使用迟滞
- 可选择通过外部信号或基准 DAC 驱动比较器的负输入
- 从外部连接到 CMPSS 滤波器
- 支持二极管仿真
- 支持与 ePWM 连接以进行二极管仿真
- 斜坡发生器预分频器
- 从待机状态唤醒并停止 LPM（低功耗模式），由 CMPSS 跳闸输出进行触发

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.4.1 CMPSS 连接图

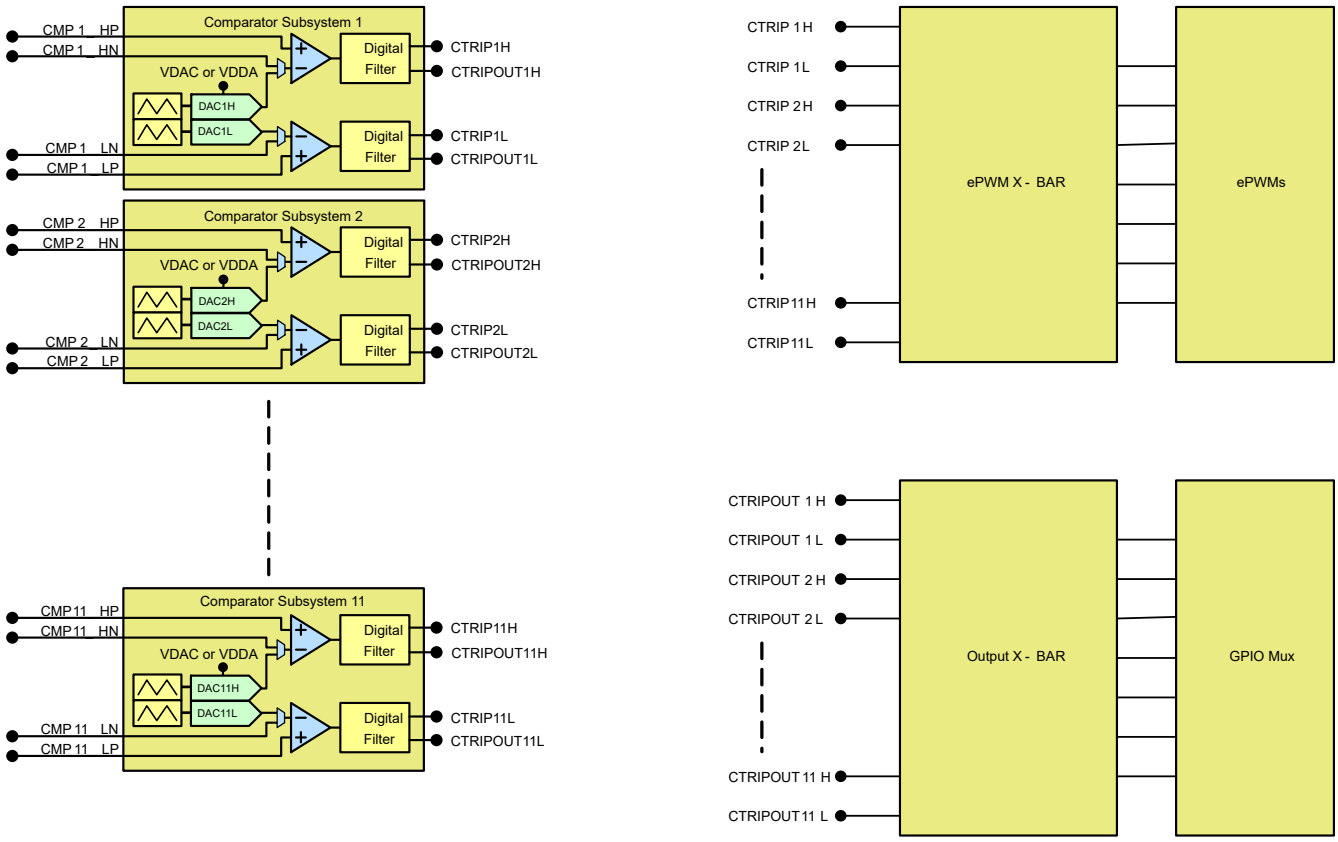


图 6-53. CMPSS 连接

6.17.4.2 方框图

CMPSS 的方框图如 图 6-54 所示。

- CTRIPx（x= "H" 或 "L"）信号连接至 ePWM X-BAR，用于 ePWM 跳闸响应。有关 ePWM X-BAR mux 配置的更多详细信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 的“增强型脉宽调制器 (ePWM)”一章。
- CTRIPxOUTx（x=“H”或“L”）信号连接到输出 X-BAR，用于外部信号。有关输出 X-BAR mux 配置的更多详细信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册* “通用输入/输出 (GPIO)”一章。

Copyright © 2025 Texas Instruments Incorporated

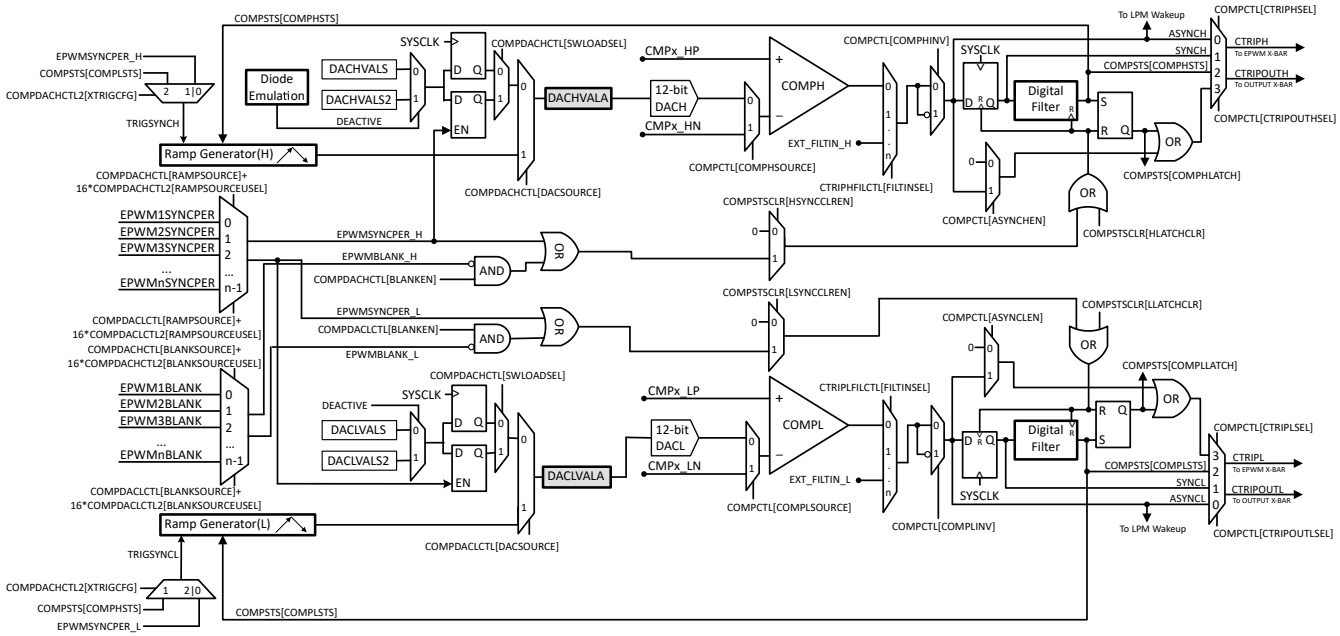


图 6-54. CMPSS 模块方框图

每个基准 12 位 DAC 都可以配置为将基准电压驱动到相应比较器的负输入端。一些 CMPSS 实例还允许将低 DAC 输出路由到一个引脚以用作外部 DAC。这种情况下，COMPL 无法使用 DAC 输出。这种情况下，COMPL 的负输入需要通过器件引脚驱动。 基准 12 位 DAC 如图 6-55 所示。

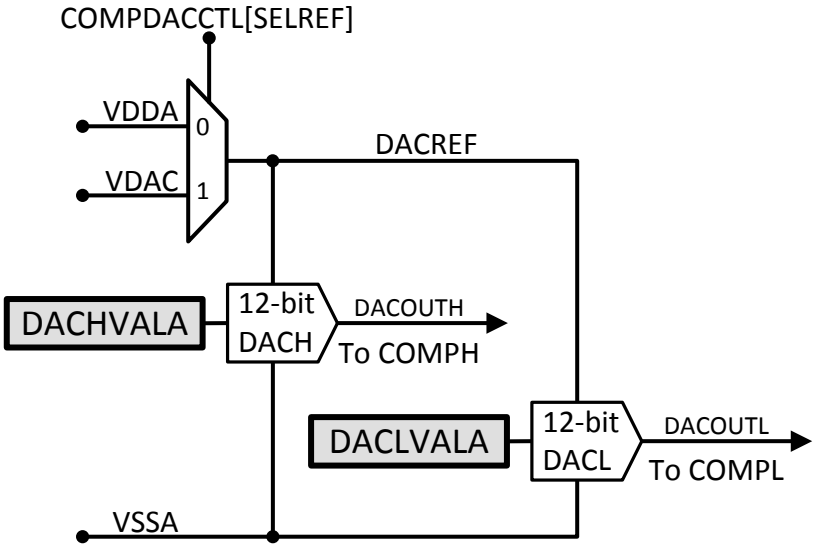


图 6-55. 参考设计方框图

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.4.3 CMPSS 电气数据和时序

6.17.4.3.1 比较器电气特性

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间				500	μs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的失调电压误差		低共模，反相输入设置为 50mV	-20		20	mV
迟滞[(1)]		1x		12		LSB
		2x		24		
		3x		36		
		4x		48		
响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）		阶跃响应		21	60	ns
		斜坡响应 (1.65V/μs)		26		
		斜坡响应 (8.25mV/μs)		30		ns
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。 因此，迟滞将随 CMPSS DAC 基准电压而变化。 迟滞适用于所有比较器输入源配置。

CMPSS 比较器以输入为基准的偏移量和迟滞

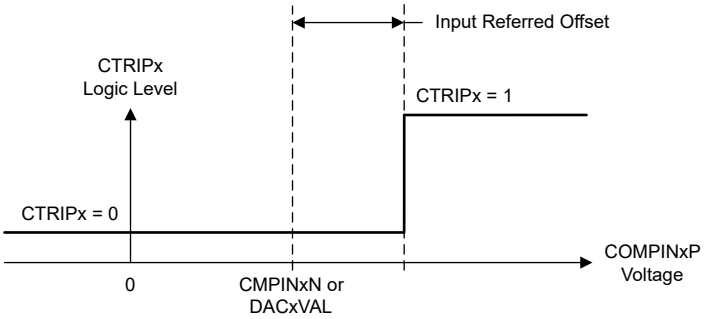


图 6-56. CMPSS 比较器以输入为基准的偏移量

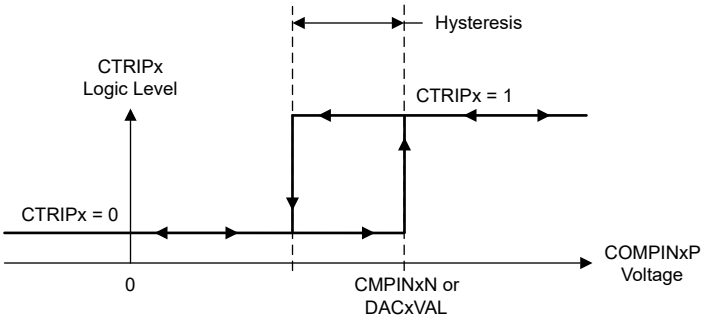


图 6-57. CMPSS 比较器迟滞

Copyright © 2025 Texas Instruments Incorporated

6.17.4.3.2 CMPSS DAC 静态电气特性

在建议运行条件下（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
	外部基准	0		VDAC(4)	
静态失调电压误差(1)		-25		25	mV
静态增益误差(1)		-2		2	FSR 百分比
静态 DNL	已更正端点	>-1		4	LSB
静态 INL	已更正端点	-16		16	LSB
趋稳时间	满量程输出变化后稳定到 1LSB			1	μs
分辨率			12		位
CMPSS DAC 输出干扰(2)	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 干扰时间(2)				200	ns
VDAC 基准电压	当 VDAC 为基准时	2.4	2.5 或 3.0	VDDA	V
VDAC 负载(3)	当 VDAC 为基准时	6	8	10	kΩ

(1) 包含以比较器输入为基准的误差。
(2) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。
(3) 每个有源 CMPSS 模块。
(4) 当 VDAC > VDDA 时，最大输出电压为 VDDA。

6.17.4.3.3 CMPSS 示意图

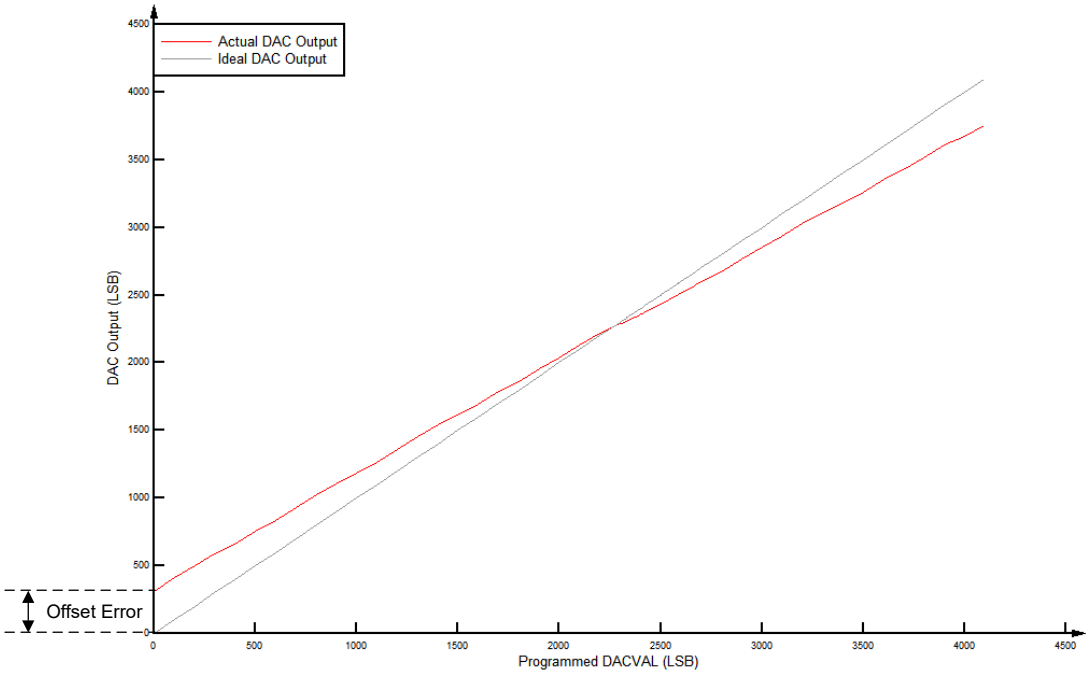


图 6-58. CMPSS DAC 静态偏移量

ADVANCE INFORMATION

ADVANCE INFORMATION

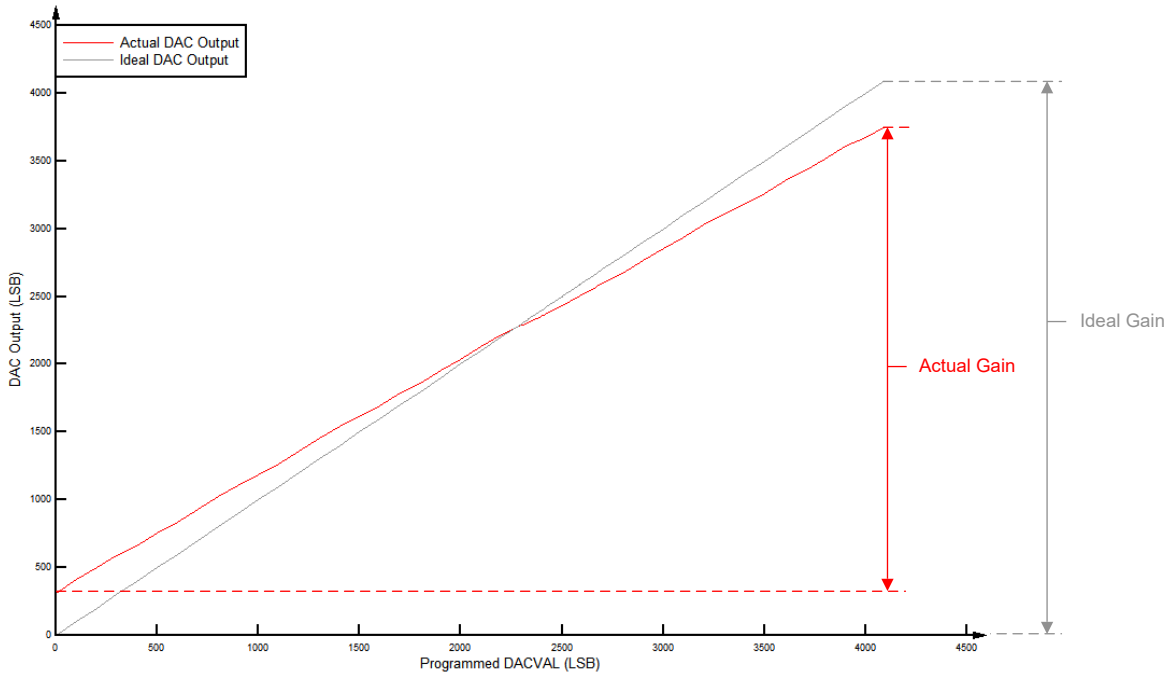


图 6-59. CMPSS DAC 静态增益

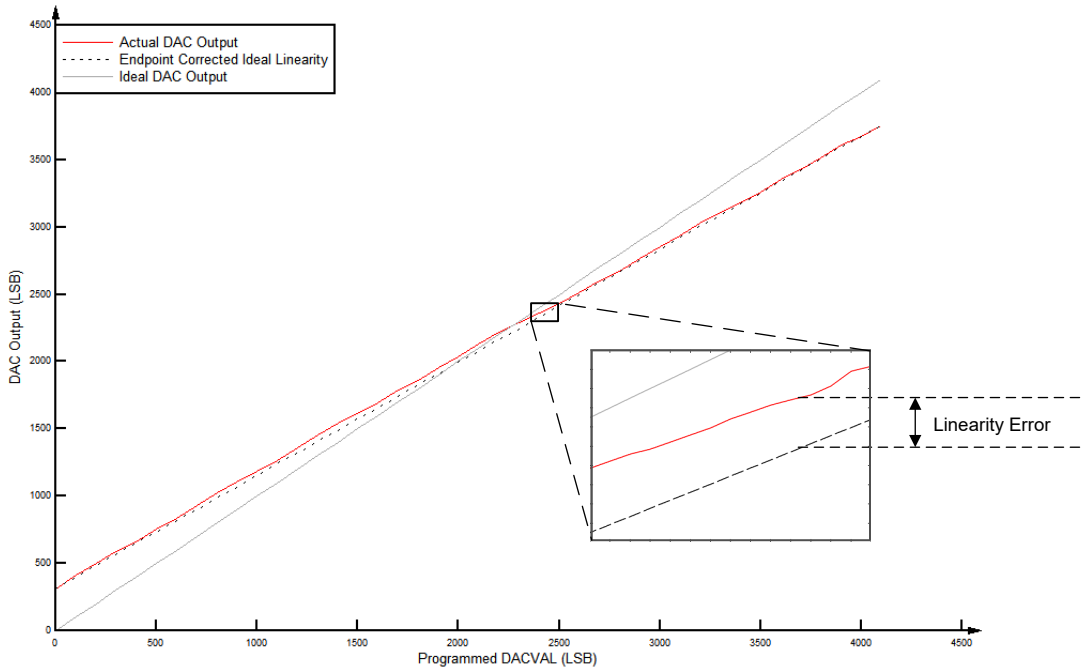


图 6-60. CMPSS DAC 静态线性

Copyright © 2025 Texas Instruments Incorporated

6.17.5 缓冲数模转换器 (DAC)

缓冲 DAC 模块由一个内部 12 位 DAC 和一个可以驱动外部负载的模拟输出缓冲器组成。为了驱动比典型值更高的负载，可以在负载大小和输出电压摆幅之间进行权衡。对于缓冲 DAC 的负载条件，请参阅*缓冲 DAC 电气数据和时序* 部分。缓冲 DAC 是一种通用 DAC，可用于生成直流电压或交流波形，例如正弦波、方波、三角波等。软件写入 DAC 值寄存器可立即生效，也可以与 EPWMSYNCO 事件同步。

每个缓冲 DAC 具有以下特性：

- 12 位分辨率
- 可选择的基准电压源
- 使用内部 VREFHI 时的 X1 和 x2 增益模式
- 能够与 EPWMSYNCPER 同步

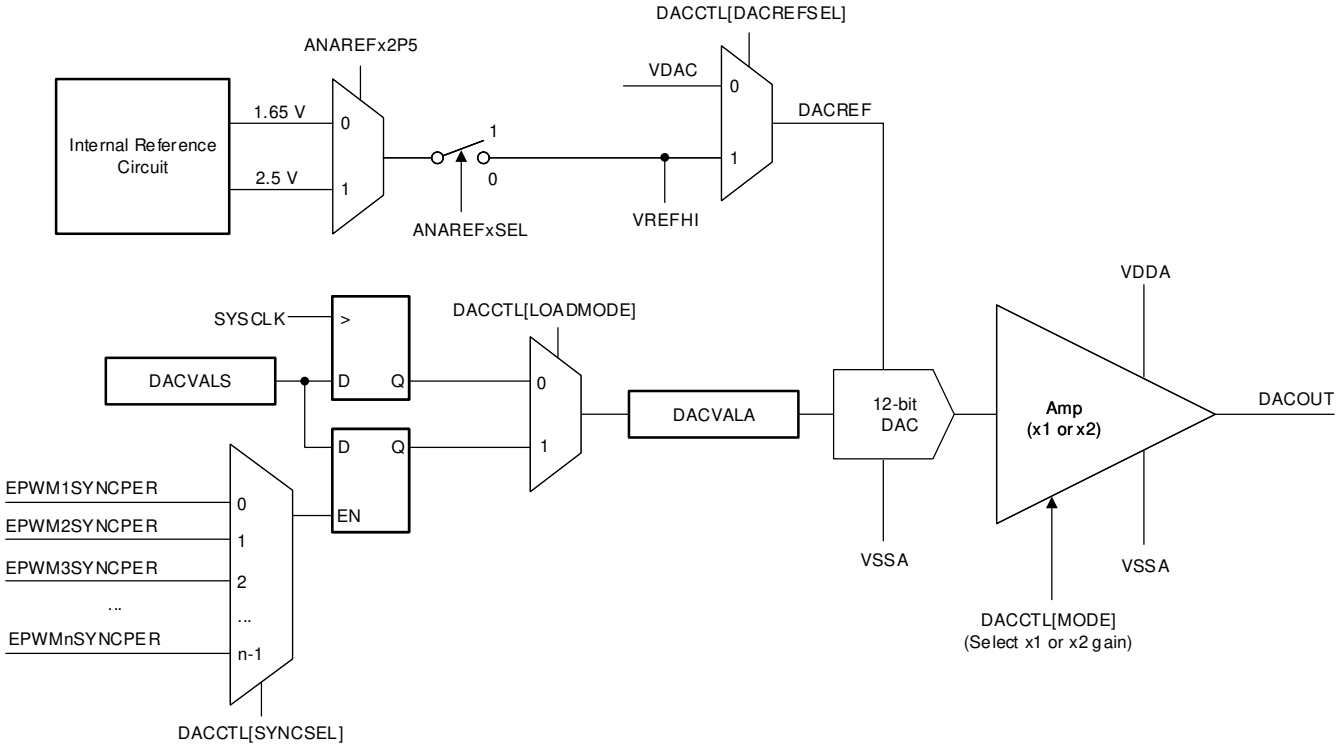


图 6-61. DAC 模块方框图

ADVANCE INFORMATION

ADVANCE INFORMATION

6.17.5.1 缓冲 DAC 电气数据和时序

6.17.5.1.1 缓冲 DAC 运行条件

在建议运行条件下测得（除非另有说明）[(1)]

参数		测试条件	最小值	典型值	最大值	单位
R_L	电阻负载[(2)]		5			kΩ
C_L	容性负载				100	pF
V_{OUT}	有效输出电压范围[(3)]	R_L = 5kΩ	0.3		VDDA – 0.3	V
		R_L = 1kΩ	0.6		VDDA – 0.6	V
基准电压[(4)]		VDAC 或 VREFHI	2.4	2.5 或 3.0	VDDA	V

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) DAC 可以驱动最小 1kΩ 的阻性负载，但输出范围会受到限制。
(3) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。
(4) 为了获得卓越 PSRR 性能，VDAC 或 VREFHI 应小于 VDDA。

6.17.5.1.2 缓冲 DAC 电气特性

在建议运行条件下测得（除非另有说明）[(1)]

参数		测试条件	最小值	典型值	最大值	单位
通用						
分辨率				12		位
负载调整率			-1		1	mV/V
毛刺脉冲能量				1.5		V-ns
电压输出稳定时间满量程		在 0.3V 至 3V 切换后稳定到 2LSB			2	μs
电压输出稳定时间第 1/4 满量程		在 0.3V 至 0.75V 切换后稳定到 2LSB			1.6	μs
电压输出压摆率		从 0.3V 到 3V 转换的压摆率	2.8		4.5	V/μs
负载瞬态的稳定时间		5kΩ 负载			328	ns
		1kΩ 负载			557	ns
基准输入电阻[(2)]		VDAC 或 VREFHI	160	200	240	kΩ
TPU	上电时间	外部基准模式			500	μs
		内部基准模式			5000	μs
直流特性						
偏移	偏移量误差	中点	-10		10	mV
增益	增益误差[(3)]		-2.5		2.5	FSR 百分比
DNL	微分非线性[(4)]	已更正端点	-1	±0.4	1	LSB
INL	积分非线性	已更正端点	-5	±2	5	LSB
交流特性						
输出噪声		从 100 Hz 到 100 kHz 的积分噪声		600		μVrms
		10 kHz 时的噪声密度		800		nVrms/√Hz
SNR	信噪比	1kHz，200KSPS		64		dB
THD	总谐波失真	1kHz，200KSPS		-64.2		dB
SFDR	无杂散动态范围	1kHz，200KSPS		66		dB
SINAD	信噪比和失真比	1kHz，200KSPS		61.7		dB

Copyright © 2025 Texas Instruments Incorporated

6.17.5.1.2 缓冲 DAC 电气特性（续）

在建议运行条件下测得（除非另有说明）[(1)]

参数		测试条件	最小值	典型值	最大值	单位
PSRR	电源抑制比[(5)]	DC		70		dB
		100kHz		30		dB

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) 每个有源缓冲 DAC 模块。
(3) 增益误差是在线性输出范围内计算得出。
(4) DAC 输出是单调输出。
(5) VREFHI = 3.2V，VDDA = 3.3V DC + 100mV 正弦。

ADVANCE INFORMATION

6.18 C29x 控制外设

备注

有关特定器件上每个外设的实际数量，请参阅“器件比较”表。

6.18.1 增强型捕获 (eCAP)

eCAP 模块的特性包括：

- 测量旋转机械的速度（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

本节介绍的 eCAP 模块特性包括：

- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳捕获事件
- 对 4 个事件中的任何一个事件进行中断
- 单次采集多达 4 个事件时间戳
- 在深度为 4 的循环缓冲器中以连续模式采集时间戳
- 绝对时间戳采集
- 差分 (Δ) 模式时间戳采集
- 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.18.1.1 eCAP 方框图

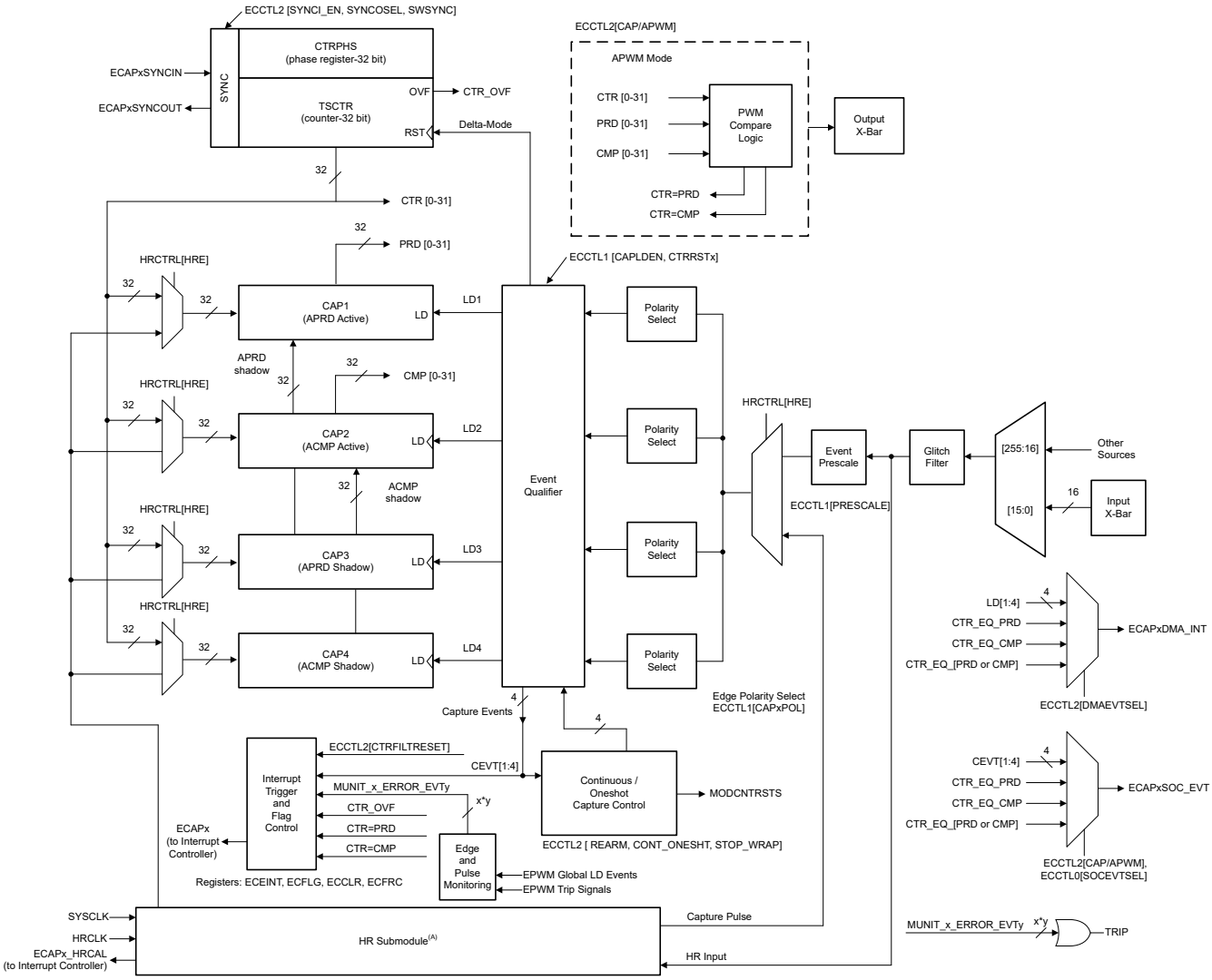


图 6-62. eCAP 方框图

ADVANCE INFORMATION

ADVANCE INFORMATION

6.18.1.2 eCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 ePWM、eCAP 或 X-Bar。如图 6-63 所示，SYNC 信号由 ECAPx 的 ECAPxSYNCINSEL[SEL] 位中的选择定义。

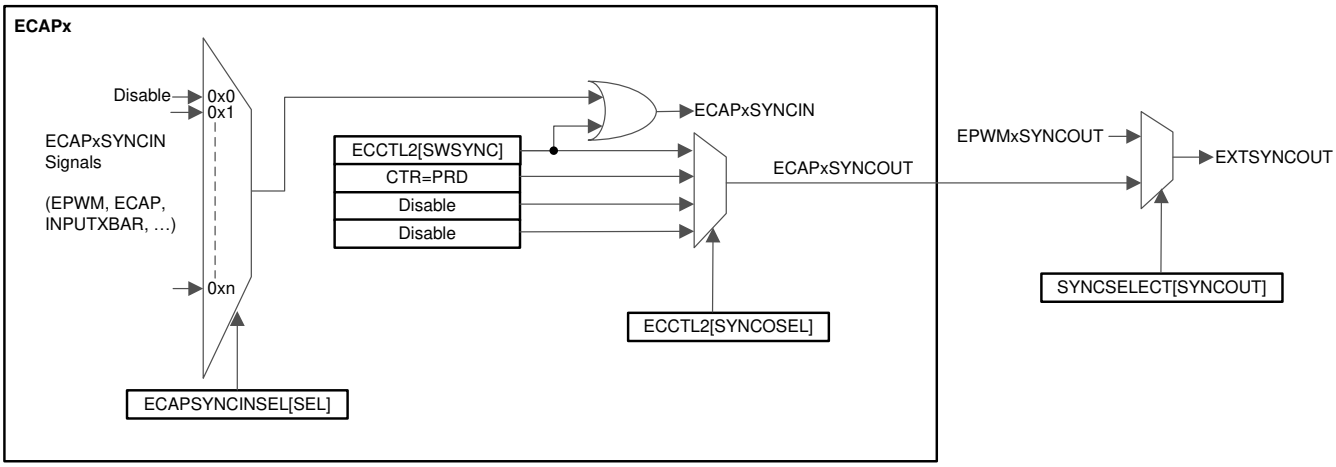


图 6-63. eCAP 同步方案

6.18.1.3 eCAP 电气数据和时序

有关输入限定符参数的说明，请参阅*通用输入时序要求*表。

6.18.1.3.1 eCAP 时序要求

			最小值	标称值	最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度	异步	$2t_{c(SYSCLK)}$			ns
		同步	$2t_{c(SYSCLK)}$			
		带输入限定器	$1t_{c(SYSCLK)} + t_{w_(IQSW)}$			

6.18.1.3.2 eCAP 开关特性

在建议运行条件下（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平/低电平	20			ns

Copyright © 2025 Texas Instruments Incorporated

6.18.2 高分辨率捕捉 (HRCAP)

eCAP3 模块可以配置为高分辨率捕捉 (HRCAP) 子模块。HRCAP 子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是 eCAP 1 类模块新增的子模块，与 0 类 HRCAP 模块相比具有许多增强功能。

HRCAP 的应用包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP 子模块包含以下特性：

- 在非高分辨率或高分辨率模式下进行脉宽捕捉
- 绝对模式脉宽捕捉
- 连续或“一次性”捕捉
- 在下降沿或上升沿捕捉
- 4 深度缓冲器中脉冲宽度的持续模式捕捉
- 通过硬件校准逻辑实现精密高分辨率捕捉
- 使用输入 X-BAR 的任何引脚上均可使用此列表中的所有资源。

HRCAP 子模块包含一个高分辨率捕捉通道以及一个校准块。校准块允许 HRCAP 子模块在设定的时间间隔内持续重新校准，不存在“中断时间”。由于 HRCAP 子模块现在使用与其相应 eCAP 相同的硬件，因此如果使用 HRCAP，则相应的 eCAP 将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应 eCAP 的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

6.18.2.1 eCAP 和 HRCAP 方框图

有关 HRCAP 方框图，请参阅*增强型捕捉 (eCAP)* 一节中的 eCAP 和 HRCAP 方框图。

ADVANCE INFORMATION

6.18.2.2 HRCAP 电气数据和时序

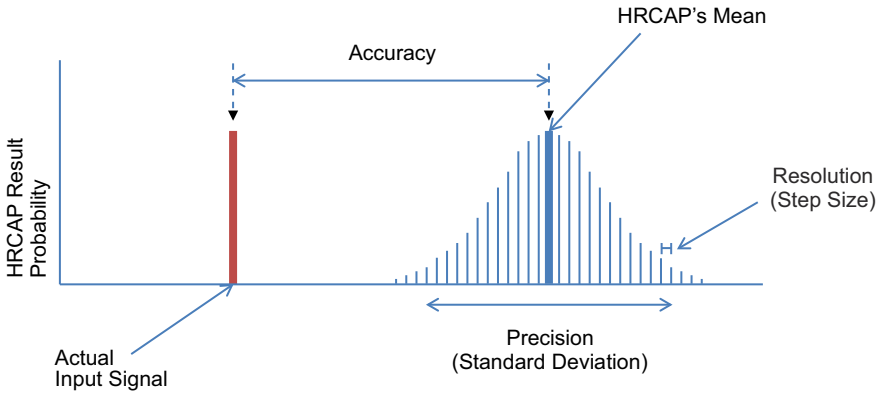
6.18.2.2.1 HRCAP 开关特性

在建议运行条件下（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
输入脉冲宽度		110			ns
精度(1) (2) (3) (4)	测量时长 ≤ 5μs		±390	540	ps
	测量时长 > 5μs		±450	1450	ps
标准差			请参阅 HRCAP 标准偏差特性图		
分辨率			300		ps

(1) 使用 100PPM 的振荡器获得的值，振荡器精度直接影响 HRCAP 精度。
(2) 使用上升-上升沿或下降-下降沿完成测量。
(3) 由于 V_{IH} 和 V_{IL} 之间的差异，极性相反的边沿将进一步降低精度。这种影响取决于信号的压摆率。
(4) 精度仅适用于经过时间转换的测量。

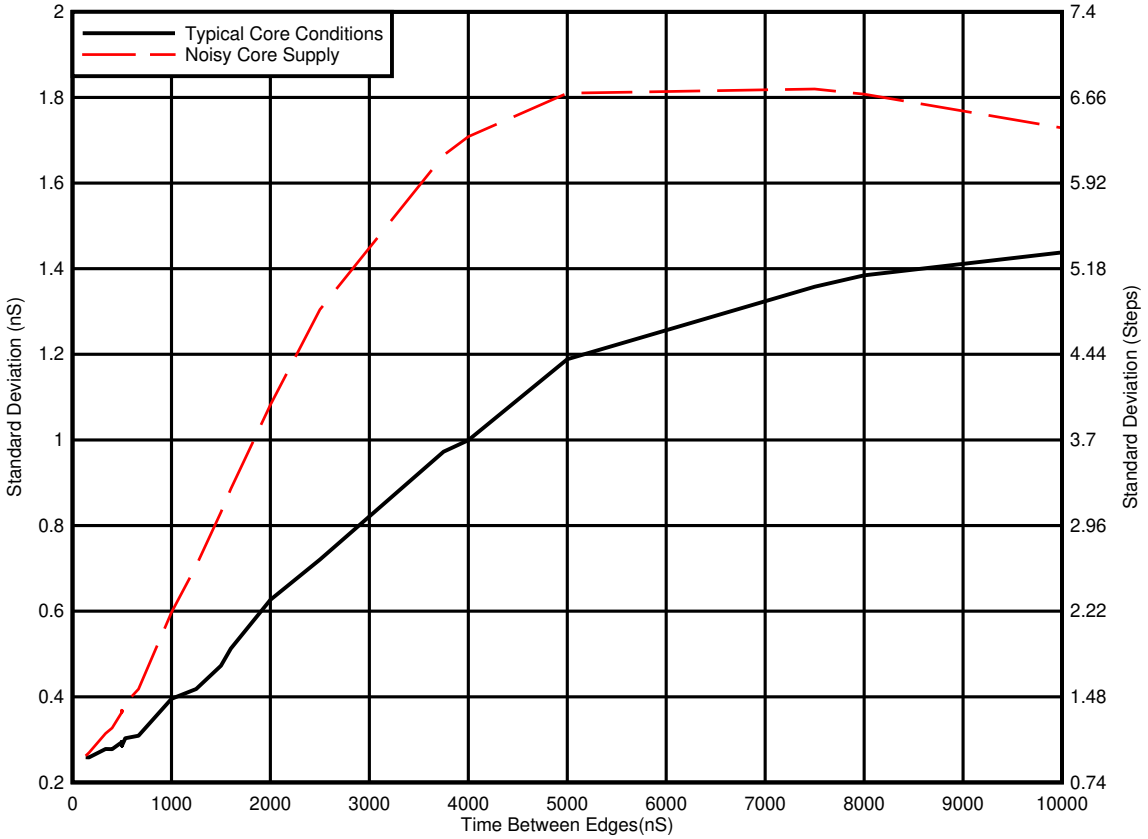
6.18.2.2.2 HRCAP 图表



A. HRCAP 在性能上有一些变化，其概率分布可以使用以下术语描述：
- 精度：输入信号与 HRCAP 分布均值之间的时间差。
- 精度：HRCAP 分布的宽度，以标准偏差的形式给出。
- 分辨率：最小可测量增量。

图 6-64. HRCAP 精度和分辨率

Copyright © 2025 Texas Instruments Incorporated



A. 典型的内核条件：所有外设时钟被启用。

B. 有噪声的内核电源：在测量期间，所有内核时钟都以一个固定周期启用和禁用。

C. VDD 电源轨上的电流和电压波动会导致 HRCAP 的标准偏差上升。应注意确保 VDD 电源是清洁的，并且在使用 HRCAP 时已最大限度地减少了干扰性内部事件（例如启用和禁用时钟树）。

图 6-65. HRCAP 标准偏差特性

ADVANCE INFORMATION

6.18.3 增强型脉宽调制器 (ePWM)

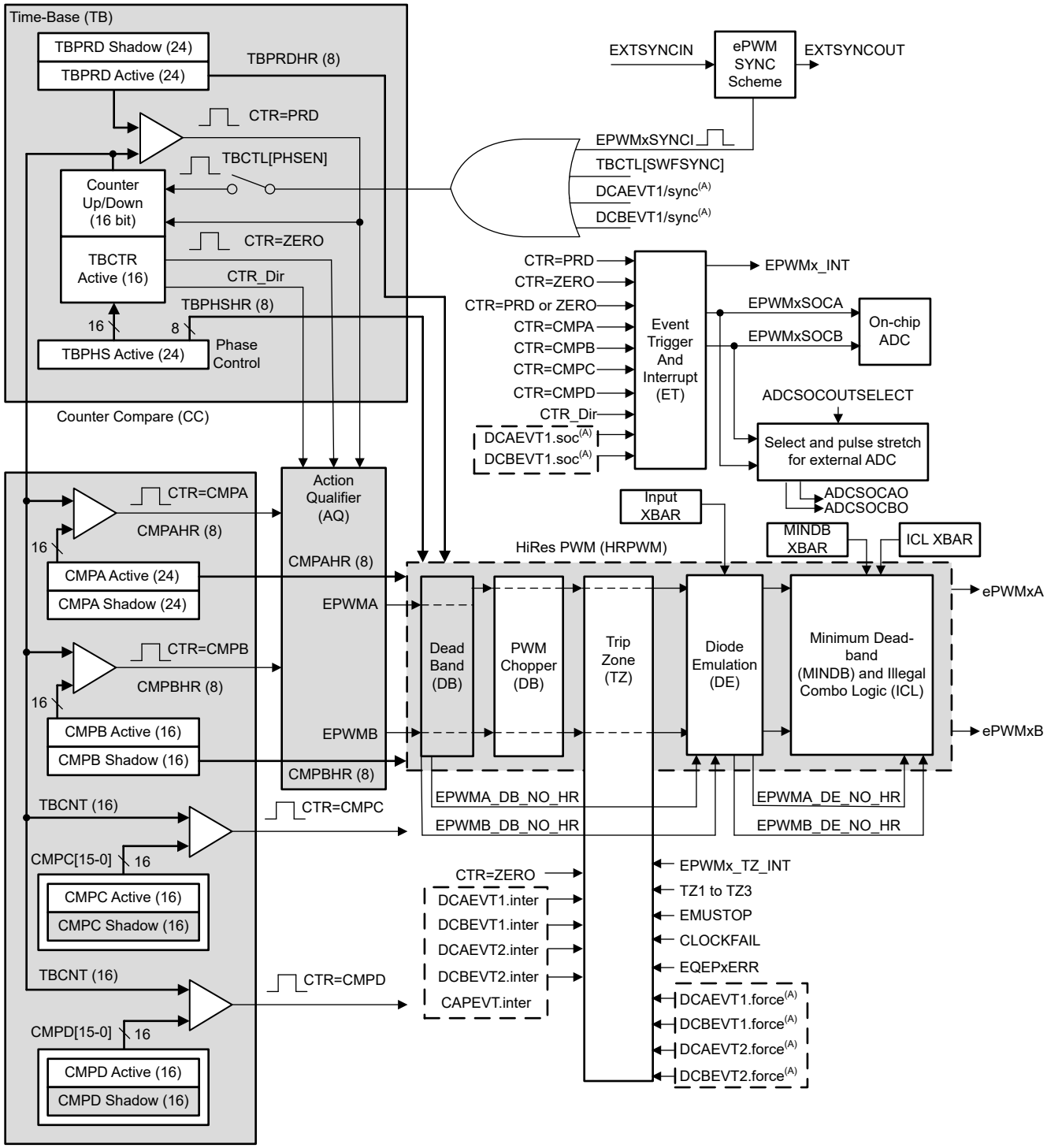
ePWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具备独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设，ePWM 4 类 模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。ePWM 4 类 模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。ePWM 5 类增强功能包括扩展了同步链选项、链接和全局加载脉冲选择灵活性、XCMP 复杂波形生成功能、事件捕捉功能、添加了二极管仿真子模块和最小死区与非法组合逻辑子模块，以及事件触发子模块增强功能以对 ePWM 周期进行间隔不均匀的过采样。

借助 ePWM 和 eCAP 同步方案，可灵活地划分 ePWM 和 eCAP 模块，并可在这些模块内进行局部同步。

图 6-66 展示了 ePWM 模块。 图 6-67 展示了 ePWM 跳变输入连接。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated



A. 这些事件由 ePWM 数字比较 (DC) 子模块根据 TRIPIN 输入电平生成。

图 6-66. ePWM 子模块和关键内部信号互连

ADVANCE INFORMATION

ADVANCE INFORMATION

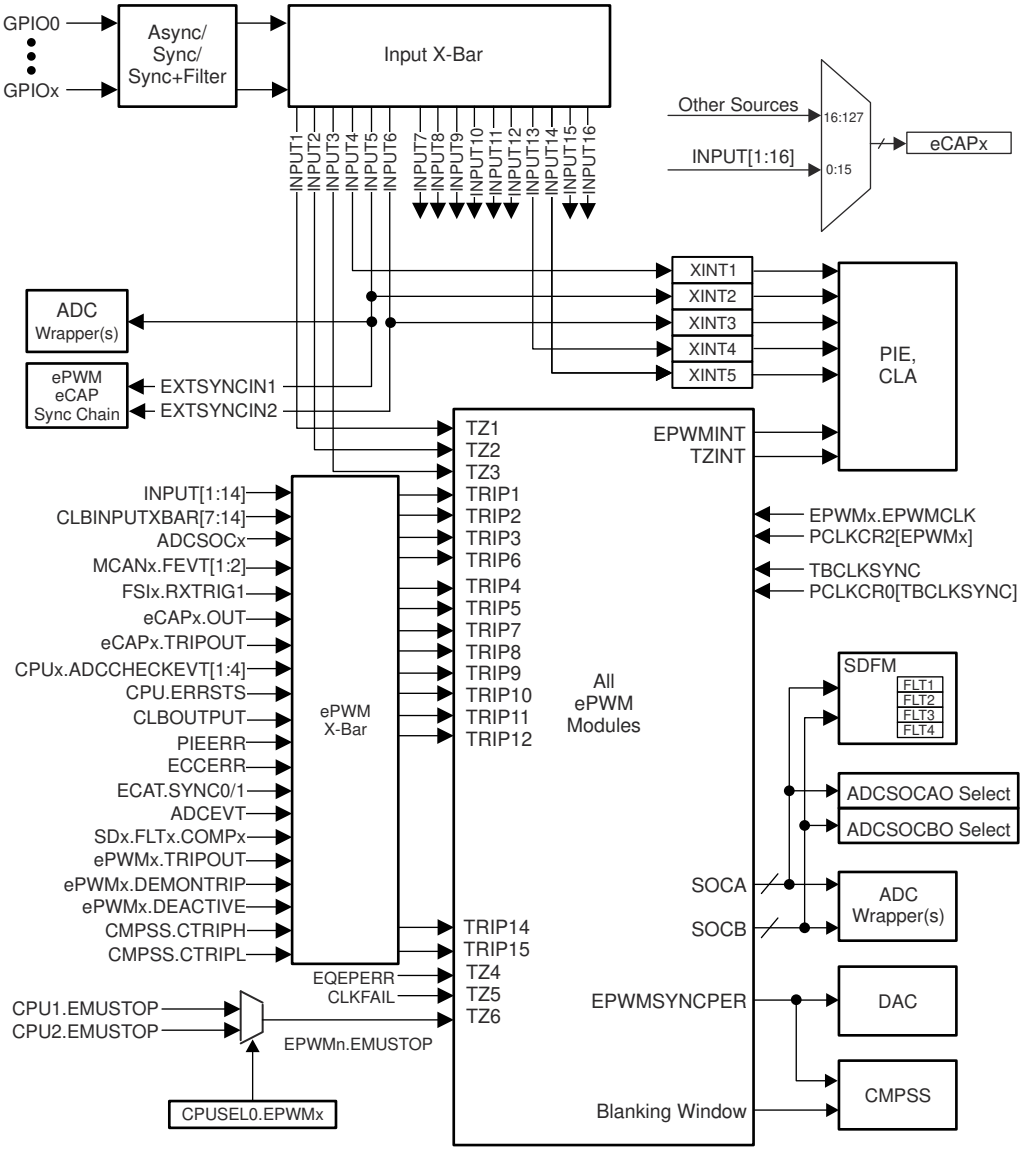


图 6-67. ePWM 跳变输入连接

Copyright © 2025 Texas Instruments Incorporated

6.18.3.1 控制外设同步

借助 ePWM 和 eCAP 同步方案，可灵活地划分 ePWM 和 eCAP 模块，并可在这些模块内进行局部同步。图 6-68 展示了同步方案。

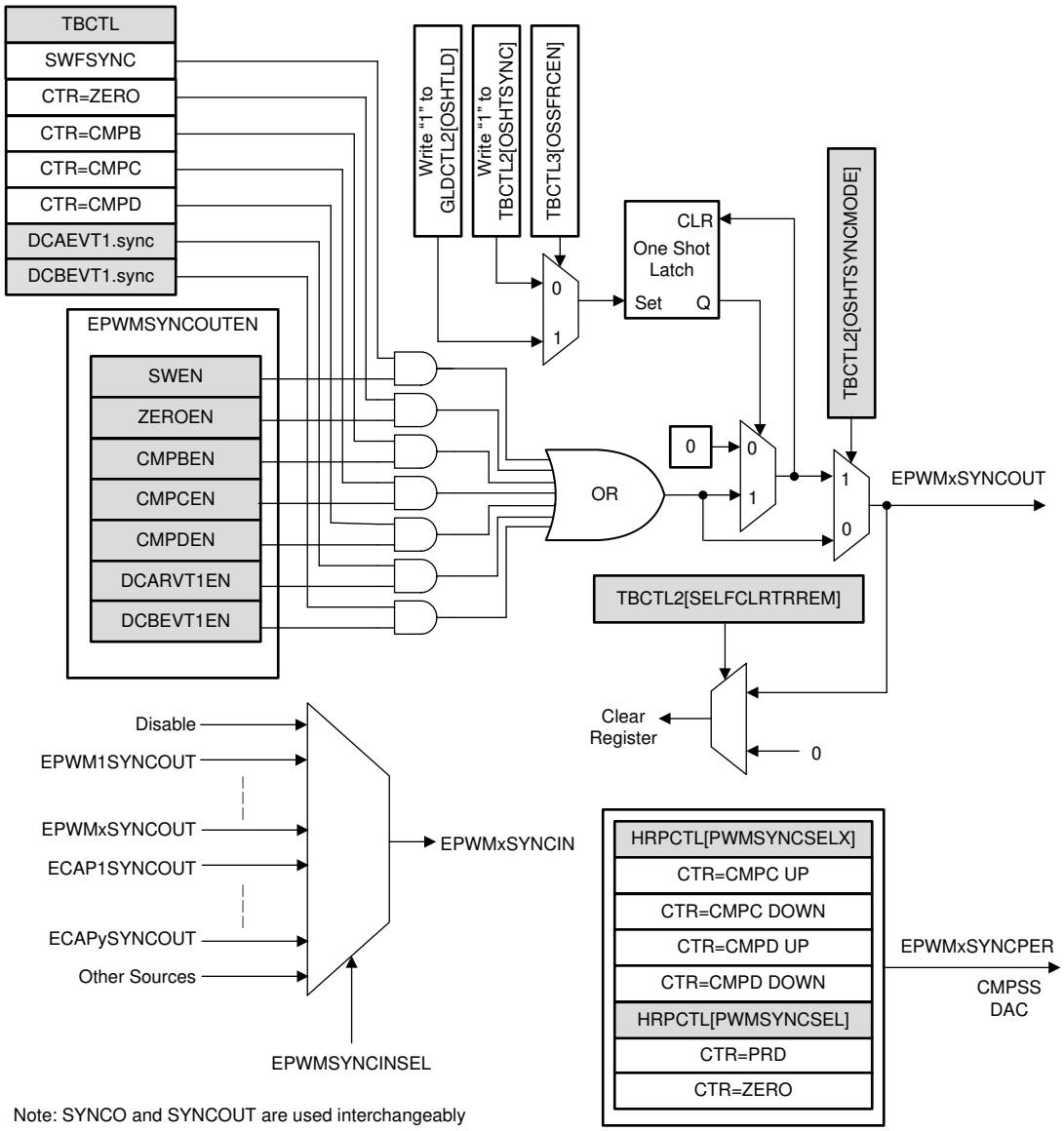


图 6-68. 同步链架构

ADVANCE INFORMATION

ADVANCE INFORMATION

6.18.3.2 ePWM 电气数据和时序

有关输入限定符参数的说明，请参阅*通用输入时序要求* 表。

6.18.3.2.1 ePWM 时序要求

			最小值	最大值	单位
$t_{w(SYNCIN)}$	同步输入脉冲宽度	异步	$2t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		
		带输入限定器	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

6.18.3.2.2 ePWM 开关特性

在建议运行条件下（除非另有说明）

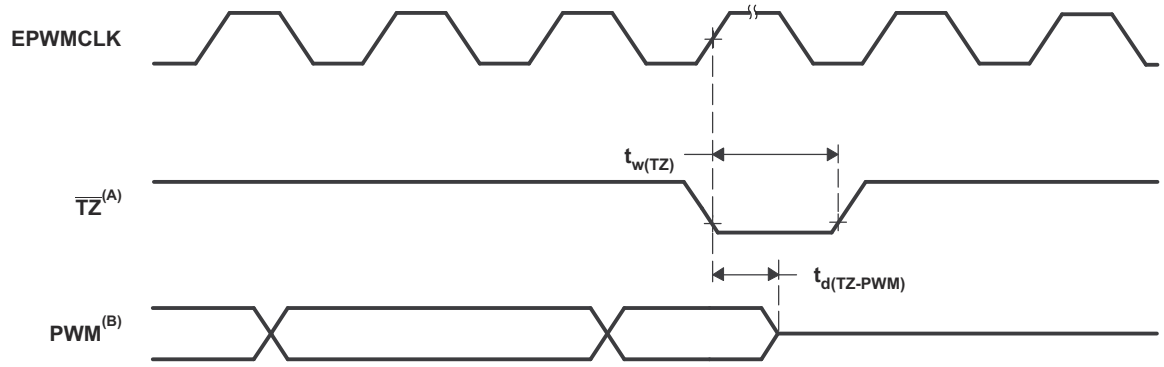
参数[1]		最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间，PWMx 输出高电平/低电平	20		ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度	$8t_{c(SYSCLK)}$		周期
$t_{d(TZ-PWM)}$	延迟时间，跳变输入激活到 PWM 强制高电平 延迟时间，跳变输入激活到 PWM 强制低电平 延迟时间，跳变输入激活到 PWM 高阻抗		30	ns
tskew	所有 ePWM 输出的偏斜（最短路径）[2]		5.1	ns
tskew	所有 ePWM 输出的偏斜（最长路径）[2]		8.9	ns
tskew	通过 HRPWM 的所有 ePWM 输出的偏斜（最短路径）[2]		5.1	ns
tskew	通过 HRPWM 的所有 ePWM 输出的偏斜（最长路径）[2]		8.9	ns

(1) 引脚上 20pF 负载。
(2) 各个 EPWM 具有类似的配置。

6.18.3.2.3 跳闸区输入时序

有关输入限定符参数的说明，请参阅*通用输入时序要求* 表。

6.18.3.2.3.1 PWM 高阻态特征时序图



A. $\overline{TZ}$: $\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1 至 TRIP12
B. PWM 是指器件内的所有 PWM 引脚。$\overline{TZ}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 6-69. PWM Hi-Z 特征

Copyright © 2025 Texas Instruments Incorporated

6.18.4 外部 ADC 转换启动电气数据和时序

6.18.4.1 外部 ADC 转换启动开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间，$\overline{ADCSOCxO}$ 低电平的时间	$32t_{c(SYSCLK)}$		周期

6.18.4.2 $\overline{ADCSOCAO}$ 或 $\overline{ADCSOCBO}$ 时序图

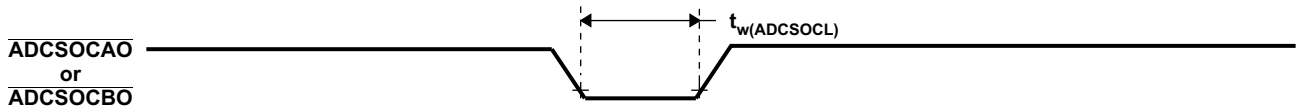


图 6-70. $\overline{ADCSOCAO}$ 或者 $\overline{ADCSOCBO}$ 时序

ADVANCE INFORMATION

6.18.5 高分辨率脉宽调制器 (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合了多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制，以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来控制更加精细的时间粒度控制或边沿定位。

6.18.5.1 HRPWM 电气数据和时序

6.18.5.1.1 高分辨率 PWM 特征

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长[(1)]	43	75	152	ps

(1) MEP 步长在高温和 V_{DD} 上的电压最小时最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.18.6 增强型正交编码器脉冲 (eQEP)

该器件上的 eQEP 模块为 2 类。eQEP 直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

该 eQEP 外设包含以下主要功能单元（请参阅图 6-71）：

- 针对每个引脚的可编程输入鉴定（GPIO 多路复用器的一部分）
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕捉单元 (QCAP)
- 用于速度/频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)
- 正交模式适配器 (QMA)

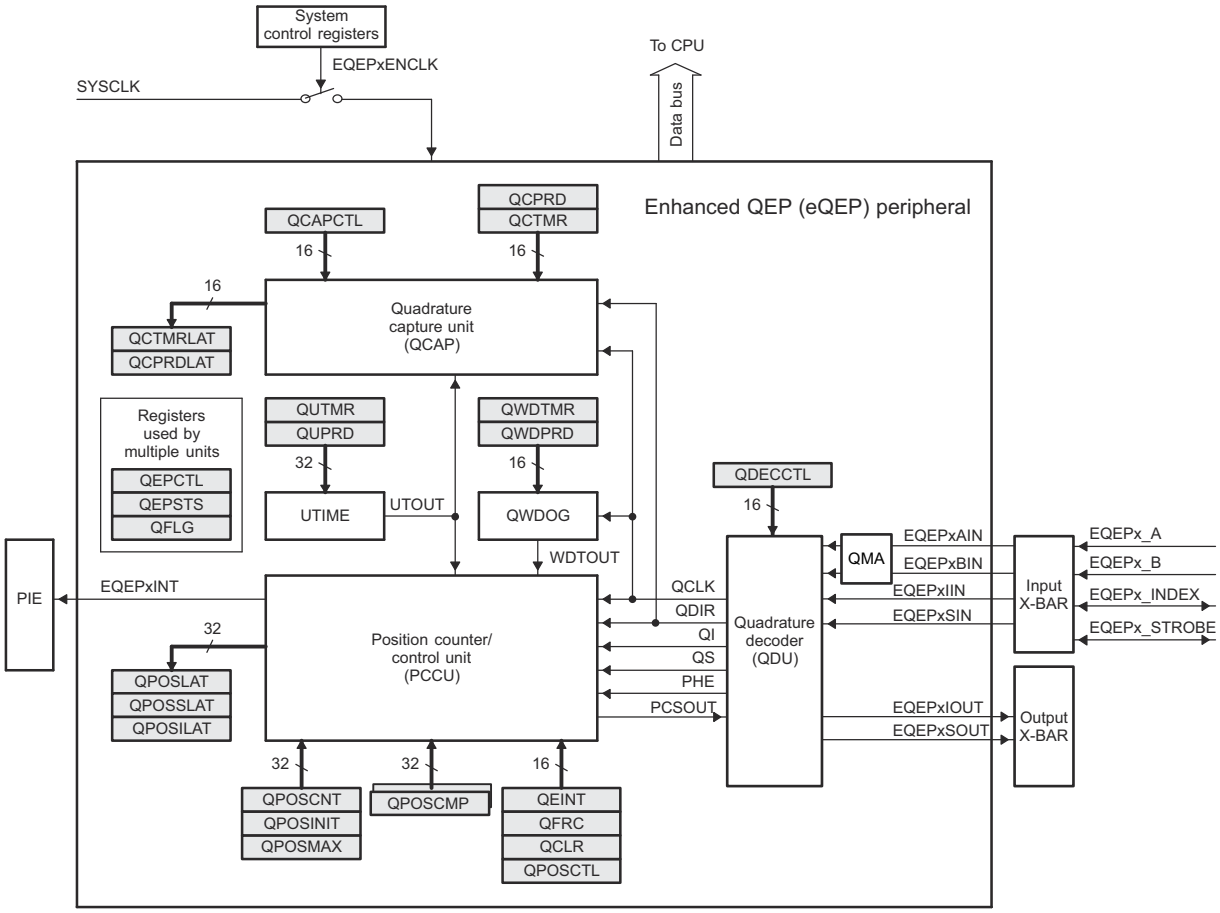


图 6-71. eQEP 方框图

ADVANCE INFORMATION

ADVANCE INFORMATION

6.18.6.1 eQEP 电气数据和时序

有关输入限定符参数的说明，请参阅*通用输入时序要求*表。

6.18.6.1.1 eQEP 时序要求

			最小值	最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	同步[(1)]	$2t_{c(SYSCLK)}$		周期
$t_{w(QEPP)}$	QEP 输入周期	与输入限定符同步	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		周期
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步[(1)]	$2t_{c(SYSCLK)}$		周期
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		周期
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步[(1)]	$2t_{c(SYSCLK)}$		周期
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		周期
$t_{w(STROBH)}$	QEP 选通高电平时间	同步[(1)]	$2t_{c(SYSCLK)}$		周期
$t_{w(STROBH)}$	QEP 选通高电平时间	与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		周期
$t_{w(STROBL)}$	QEP 选通输入低电平时间	同步[(1)]	$2t_{c(SYSCLK)}$		周期
$t_{w(STROBL)}$	QEP 选通输入低电平时间	与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		周期

(1) GPIO GPxQSELn 异步模式不得用于 eQEP 模块输入引脚。

6.18.6.1.2 eQEP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量		$5t_{c(SYSCLK)}$	周期
$t_{d(PCS\text{-}OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出		$7t_{c(SYSCLK)}$	周期

Copyright © 2025 Texas Instruments Incorporated

6.18.7 Σ-Δ 滤波器模块 (SDFM)

SDFM 模块特性包括：

- 每个 SDFM 模块八个外部引脚
  - 每个 SDFM 模块有四个 Σ-Δ 数据输入引脚（SD-Dx，其中 x = 1 至 4）
  - 每个 SDFM 模块有四个 Σ-Δ 时钟输入引脚（SD-Cx，其中 x = 1 至 4）
- 支持不同的可配置调制器时钟模式：
  - 模式 0：调制器时钟速率等于调制器数据速率。
- 每个 SDFM 模块有四个独立的可配置次级滤波器（比较器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
  - 能够检测超值条件、低值条件和超限条件
    1. 两个独立的上限阈值比较器（用于检测超值条件）
    2. 两个独立的下限阈值比较器（用于检测低值条件）
    3. 一个独立的超限比较器（用于通过 eCAP 测量占空比/频率）
  - 比较器滤波器单元的 OSR 值 (COSR) 可编程为 1 至 32
- 每个 SDFM 模块有四个独立的可配置初级滤波器（数据滤波器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
  - 数据滤波器单元的 OSR 值 (DOSR) 可编程为 1 至 256
  - 能够启用或禁用独立的滤波器模块（或全部两个模块）
  - 能够使用主滤波器使能 (MFE) 位或 PWM 信号来同步 SDFM 模块的所有四个独立滤波器
- 数据滤波器输出可以用 16 位或 32 位表示。
- 数据滤波器单元具有可编程模式 FIFO 来减少中断开销。该 FIFO 具有以下特性：
  - 初级滤波器（数据滤波器）具有一个 16 深 x 32 位 FIFO。
  - FIFO 可在达到可编程数量的数据就绪事件后中断 CPU。
  - FIFO 等待同步功能：能够忽略数据就绪事件，直至接收到 PWM 同步信号 (SDSYNC)。一旦接收到 SDSYNC 事件，就会在每个数据就绪事件时填充 FIFO。
  - 数据滤波器输出可以用 16 位或 32 位表示。
- 可根据每个数据滤波器通道将 PWMx.SOCA/SOCB 配置为 SDSYNC 源。
- 可使用 PWM 为 Σ-Δ 调制器生成调制器时钟。
- SD-Cx 和 SD-Dx 均可配置输入限定
- 能够使用一个滤波器通道时钟 (SD-C1) 为其他滤波器时钟通道提供时钟。
- 在发生比较器滤波器事件时可以使用可配置的数字滤波器来清除杂散噪声引起的比较器事件

图 6-72 显示了 SDFM 模块方框图。

ADVANCE INFORMATION

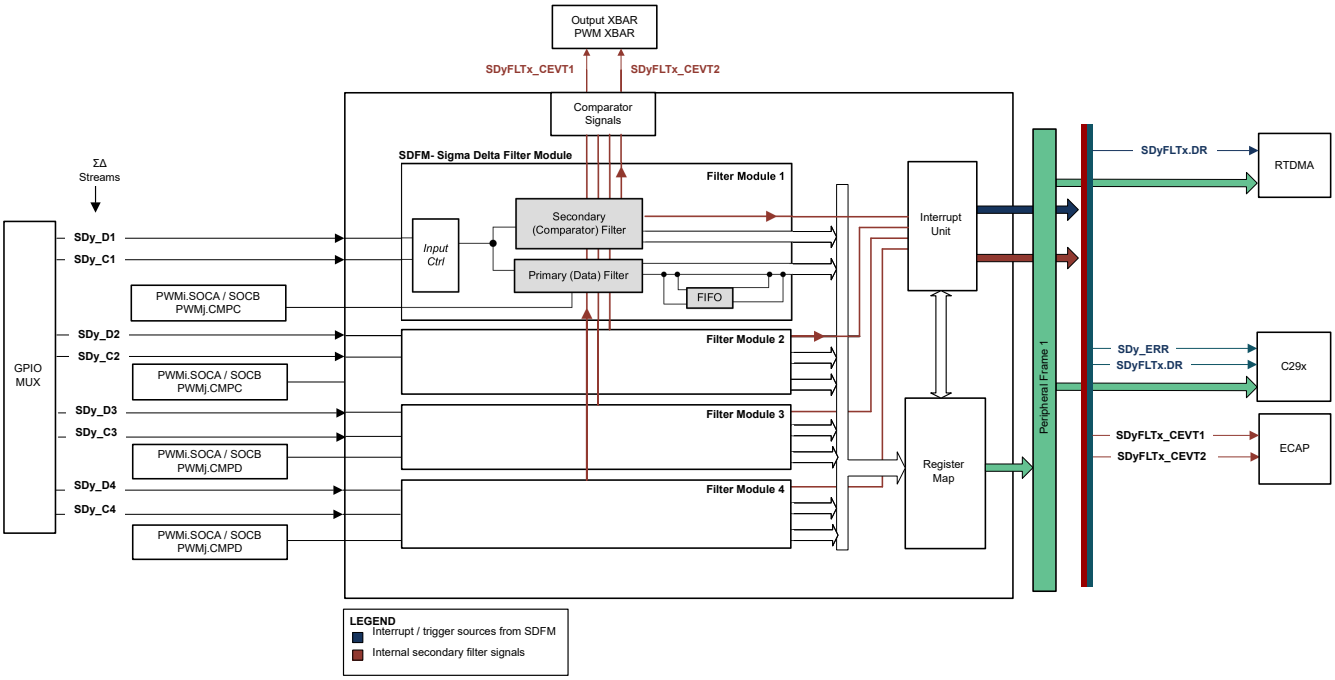


图 6-72. Σ-Δ 滤波器模块 (SDFM) 方框图

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.18.7.1 SDFM 电气数据和时序

6.18.7.1.1 SDFM 电气数据和时序（同步 GPIO）

使用这种同步 GPIO 模式时，必须满足 $t_{w(GPI)}$ 脉冲持续时间至少为 $2_{tc(SYSCLK)}$ 的时序要求。为 SD-Cx 和 SD-Dx 对配置 SYNC 选项非常重要。本部分列出了使用同步 GPIO (SYNC) 选项时的 SDFM 时序要求。图 6-73 展示了 SDFM 时序图。

使用同步 GPIO SYNC 选项时的 SDFM 时序要求 表列出了 SDFM 时序要求。应进行以下配置：

- SDFM GPIO 引脚应仅配置为同步模式（使用 GPYQSELn = 00b）。
- SDx-Cy 和 SDx-Dy 信号都需要与 PLLRAWCLK 同步（使用 SDCTLPARMx.SDDATASYNC / SDCLKSYNC = 0b）。

备注

SDFM 同步 GPIO (SYNC) 选项可以防止 SDFM 模块因 SDx_Cy 引脚上偶尔随机产生的噪声干扰而损坏，这些噪声干扰可能导致错误的比较器跳闸和滤波器输出。

SDFM 同步 GPIO (SYNC) 模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

6.18.7.1.2 SDFM 电气数据和时序（使用 ASYNC）

使用异步 GPIO ASYNC 选项时的 SDFM 时序要求 表列出了 SDFM 时序要求。应进行以下配置：

- SDFM GPIO 引脚应仅配置为异步模式（使用 GPYQSELn = 0b11）。
- SDx-Cy 和 SDx-Dy 信号都需要与 PLLRAWCLK 同步（使用 SDCTLPARMx 寄存器）。

图 6-73 展示了 SDFM 时序图。

6.18.7.1.2.1 使用异步 GPIO ASYNC 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间，SDx_Cy	4 * $t_{c(PLLRAWCLK)}$	256 个 SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	脉冲持续时间，SDx_Dy（高电平/低电平）	2 * $t_{c(PLLRAWCLK)}$		ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	1 * $t_{c(PLLRAWCLK)}$ + 3		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	1 * $t_{c(PLLRAWCLK)}$ + 3		ns

6.18.7.1.2.2 使用同步 GPIO SYNC 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间，SDx_Cy	5 个 SYSCLK 周期	256 个 SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	脉冲持续时间，SDx_Dy（高电平/低电平）	2 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns

6.18.7.1.3 SDFM 时序图

警告

应该对 SD-Cx 和 SD-Dx 信号采取特殊的预防措施，确保信号干净且无干扰，满足 SDFM 时序要求。建议采取的预防措施包括对时钟驱动器的任何阻抗不匹配而导致的振铃噪声采用串联终端电阻，以及将布线与其他噪声信号隔离开来，等等。

ADVANCE INFORMATION

备注

SDFM SD-Cx 和 SD-Dx 信号与 PLLRAWCLK 同步后可防止由于偶尔出现的随机噪声干扰（这些干扰可能造成比较器跳闸和滤波器输出错误）而导致的 SDFM 模块损坏。但是，这些信号对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

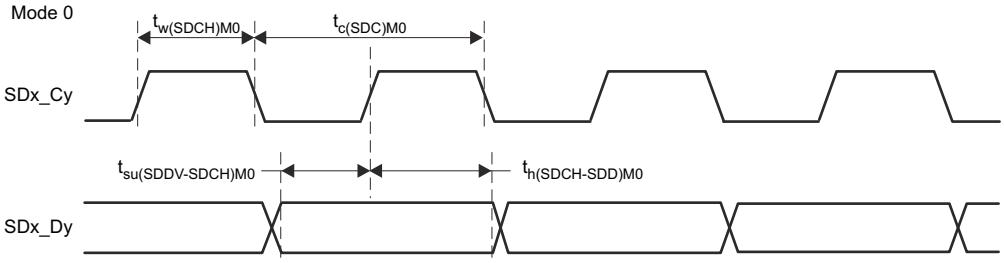


图 6-73. SDFM 时序图 - 模式 0

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.19 C29x 通信外设

备注

TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。

备注

有关特定器件上每个外设的实际数量，请参阅“器件比较”表。

6.19.1 模块化控制器局域网 (MCAN)

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为具有高可靠性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力，并且能够检测各种类型的错误。在 CAN 中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD（具有灵活数据速率的 CAN）协议。CAN FD 特性可实现更高的吞吐量和增加每个数据帧的有效负载。经典 CAN 和 CAN FD 器件可以在同一网络上共存而不会发生任何冲突，前提是经典 CAN 器件使用部分网络收发器，其中该收发器可以检测和忽略 CAN FD，而不产生总线错误。MCAN 模块符合 ISO 11898-1:2015 标准。

备注

CAN FD 特性的可用性取决于器件型号。

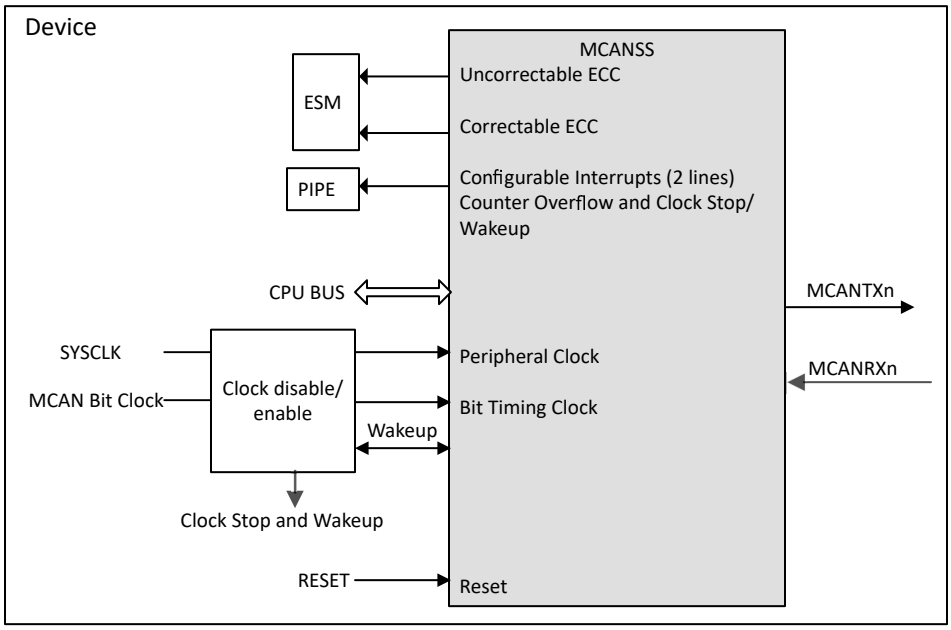


图 6-74. MCAN 模块概述

ADVANCE INFORMATION

MCAN 模块可实现以下特性：

- 符合 CAN 协议 2.0A、B 和 ISO 11898-1:2015 标准
- 完全支持 CAN FD（最多 64 个数据字节）
- 支持 AUTOSAR 和 SAE J1939
- 灵活的消息 RAM 分配（以下最大配置适用于具有 4352 32 位字消息 RAM 的器件）
  - 多达 32 个专用发送缓冲器
  - 可配置的发送 FIFO，最多 32 个元素
  - 可配置的发送队列，最多 32 个元素
  - 可配置的发送事件 FIFO，最多 32 个元素
  - 多达 64 个专用接收缓冲器
  - 两个可配置的接收 FIFO，每个 FIFO 最多 64 个元素
  - 多达 128 个滤波器元素
- 用于自检的环回模式
- 可屏蔽中断（两条可配置的中断线路、可纠正的 ECC、计数器溢出和时钟停止/唤醒）
- 不可屏蔽中断（不可纠正的 ECC）
- 两个时钟域（CAN 时钟/主机时钟）
- 消息 RAM 的 ECC 检查
- 支持时钟停止和唤醒
- 时间戳计数器

不支持的特性：

- 主机总线防火墙
- 时钟校准
- 通过 CAN 进行调试

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.19.2 快速串行接口 (FSI)

快速串行接口 (FSI) 是一种能够进行可靠而稳健的高速通信的串行通信外设。FSI 旨在确保在芯片到芯片之间以及跨越隔离栅的板到板之间等诸多系统条件下实现数据稳健性。CRC、帧起始和结束模式以及用户定义的标签等有效载荷完整性检查在发送前进行编码，然后在接收后进行验证，无需额外的 CPU 交互。可以使用定期发送的方式检测线路中断，所有这些均由硬件管理和监控。FSI 还与器件上的其他控制外设紧密集成。为了确保提供最新的传感器数据或控制参数，可以在每个控制环路周期发送帧。为了处理由于各种因素而在时钟和数据信号之间可能出现的偏移（包括布线长度不匹配和隔离芯片引起的偏移），接收器上添加了一个集成的偏移补偿块。借助嵌入式数据稳健性检查、数据链路完整性检查、偏移补偿以及与控制外设的集成，FSI 可以在任何系统中实现高速、稳健的通信。FSI 除了这些特性，还有许多其他特性，如下所示。

FSI 模块包含以下特性：

- 独立的发送器和接收器内核
- 源同步发送
- 双数据速率 (DDR)
- 一条或两条数据线路
- 可编程数据长度
- 偏移调整块可针对电路板和系统延迟的不匹配部分进行补偿
- 帧错误检测
- 通过可编程的帧标记进行消息过滤
- 通过硬件 ping 检测通信期间的线路中断（ping 看门狗）
- 每个 FSI 内核对应两个中断
- 外部触发帧生成
- 由硬件或软件计算 CRC
- 嵌入式 ECC 计算模块
- 寄存器写保护
- DMA 支持
- SPI 兼容模式（可用功能受限）

为了让 FSI 在双数据速率 (120Mbps) 下以最大速度 (60MHz) 运行，可能需要根据具体运行条件逐例配置集成的偏移补偿块。*快速串行接口 (FSI) 偏移补偿* 应用手册通过软件示例介绍了如何在快速串行接口上配置和设置集成偏移补偿块。

FSI 包含独立发送器 (FSITX) 和接收器 (FSIRX) 内核。FSITX 和 FSIRX 内核是独立配置和运行的。有关 FSITX 和 FSIRX 上的可用功能，请相应参见 *FSI 发送器* 一节和 *FSI 接收器*

ADVANCE INFORMATION

ADVANCE INFORMATION

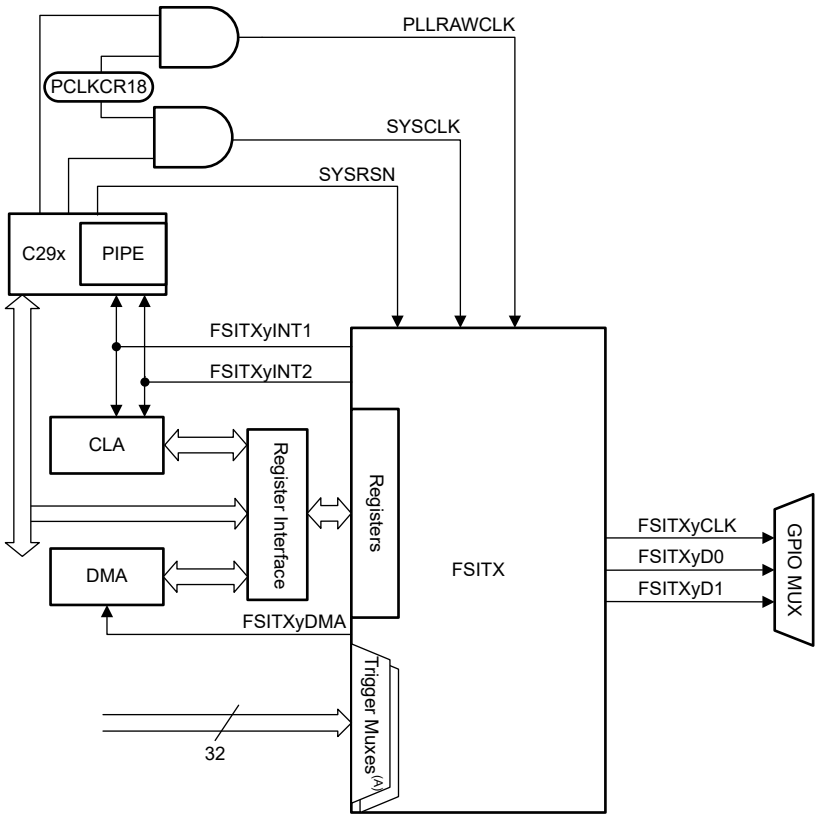
6.19.2.1 FSI 发送器

FSI 发送器模块会处理数据组帧、CRC 生成、TXCLK、TXD0 和 TXD1 的信号生成以及中断生成。发送器内核的运行通过可编程控制寄存器进行控制和配置。发送器控制寄存器可让 CPU 对 FSI 发送器的运行进行编程、控制和监控。CPU 和 DMA 均可访问发送数据缓冲器。

发送器具有以下特性：

- 自动生成 ping 帧
- 外部触发 ping 帧
- 外部触发数据帧
- 可通过软件配置帧长度
- 16 字数据缓冲器
- 数据缓冲器欠运转和溢出检测
- 硬件生成数据位 CRC
- 使用软件对选定数据进行 ECC 计算
- DMA 支持

图 6-75 所示为 FSITX CPU 接口。图 6-76 所示为 FSITX 的简要方框图。图中并未显示所有数据路径和内部连接。此图提供了 FSITX 中存在的内部模块的简要概览。



A. *F29H85x 和 F29P58x 实时微控制器技术参考手册* 的“快速串行接口 (FSI)”一章中的*外部帧触发器多路复用器*一节介绍了连接到触发器多路复用器的信号。

图 6-75. FSITX CPU 接口

Copyright © 2025 Texas Instruments Incorporated

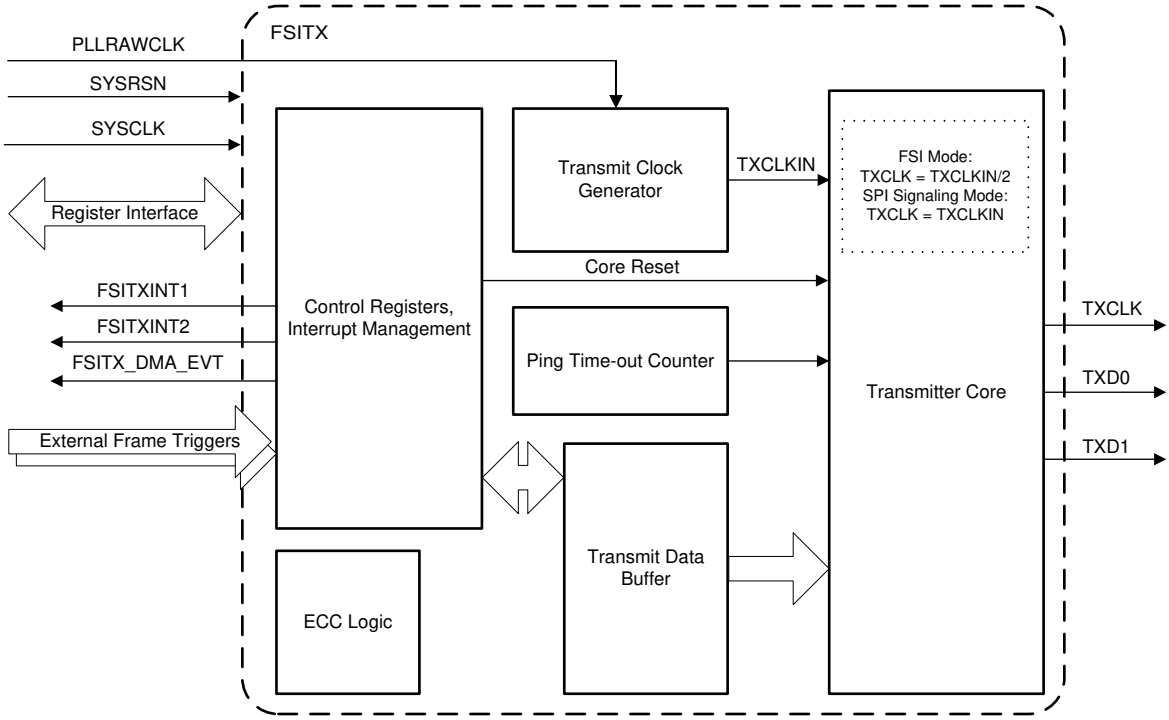


图 6-76. FSITX 方框图

6.19.2.1.1 FSITX 电气数据和时序

6.19.2.1.1.1 FSITX 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数[(1)]		最小值	最大值	单位
1	$t_{c(TXCLK)}$	周期时间，TXCLK	16.67		ns
2	$t_{w(TXCLK)}$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_{c(TXCLK)})$ – 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLK-TXD)}$	延迟时间、TXCLK 上升或下降至 TXD 有效的时间	$(0.25t_{c(TXCLK)})$ – 2	$(0.25t_{c(TXCLK)})$ + 2	ns
4	$t_{d(TXCLK)}$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 TXCLK 延迟补偿	9.95	30	ns
5	$t_{d(TXD0)}$	TX_DLYLINE_CTRL[TXD0_DLY]=31 时的 TXD0 延迟补偿	9.95	30	ns
6	$t_{d(TXD1)}$	TX_DLYLINE_CTRL[TXD1_DLY]=31 时的 TXD1 延迟补偿	9.95	30	ns
7	$t_{d(DELAY_ELEMENT)}$	每个延迟线路元件的 TXCLK、TXD0 和 TXD1 增量延迟	0.29	1	ns

(1) 引脚上的 10pF 负载。

ADVANCE INFORMATION

6.19.2.1.1.2 FSITX 时序

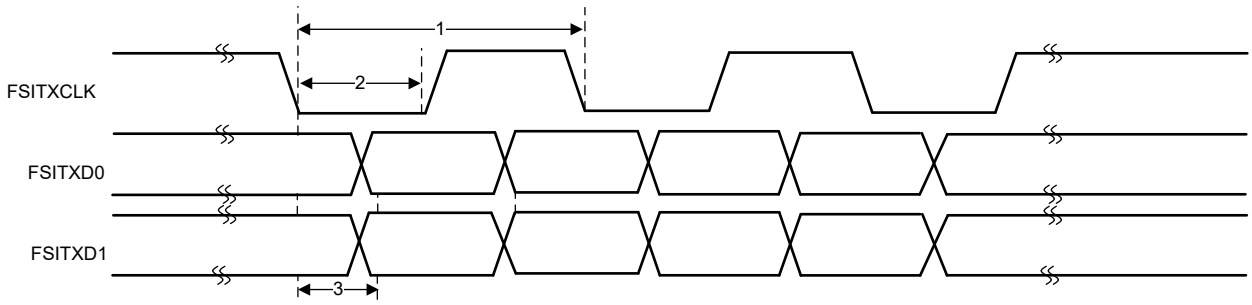


图 6-77. FSITX 时序

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.19.2.2 FSI 接收器

接收器模块在通过可选的可编程延迟线路后连接到 FSI 时钟 (RXCLK) 和数据线路（RXD0 和 RXD1）。接收器内核会处理数据组帧、CRC 计算和与帧相关的错误检查。接收器位时钟和状态机由与器件系统时钟异步的 RXCLK 输入运行。

接收器控制寄存器可让 CPU 对 FSIRX 的运行进行编程、控制和监控。CPU 和 DMA 均可访问接收数据缓冲器。

接收器内核具有以下特性：

- 16 字数据缓冲器
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗
- 在硬件中进行 CRC 计算和比较
- ECC 检测
- 针对输入信号的可编程延迟线路控制
- DMA 支持
- SPI 兼容模式

图 6-78 所示为 FSIRX CPU 接口。图 6-79 提供了 FSIRX 中存在的内部模块的简要概览。图中并未显示所有数据路径和内部连接。

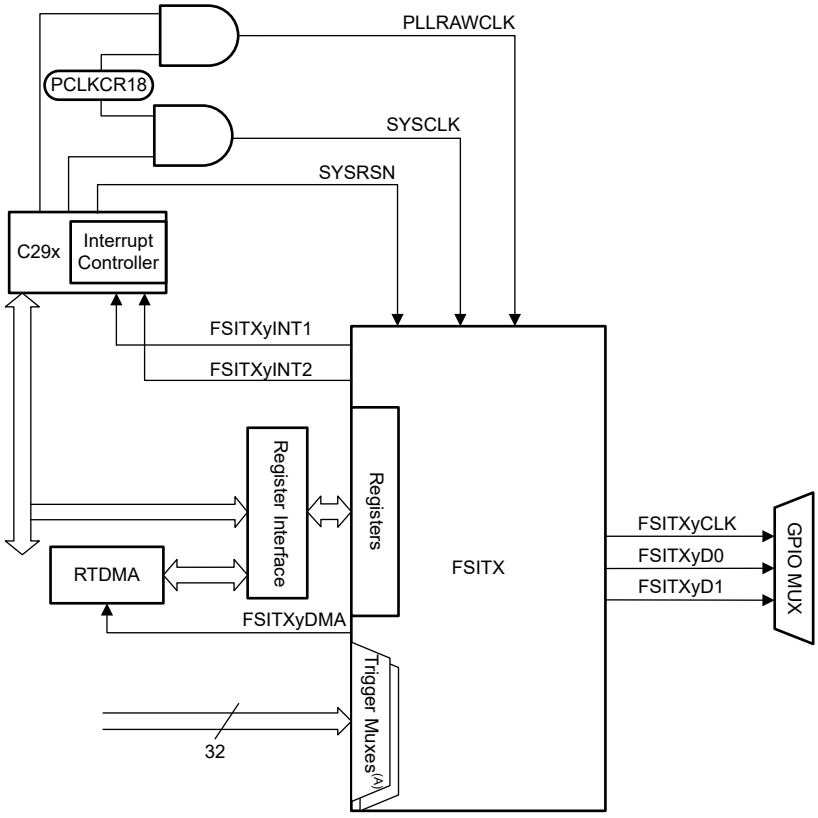


图 6-78. FSIRX CPU 接口

ADVANCE INFORMATION

ADVANCE INFORMATION

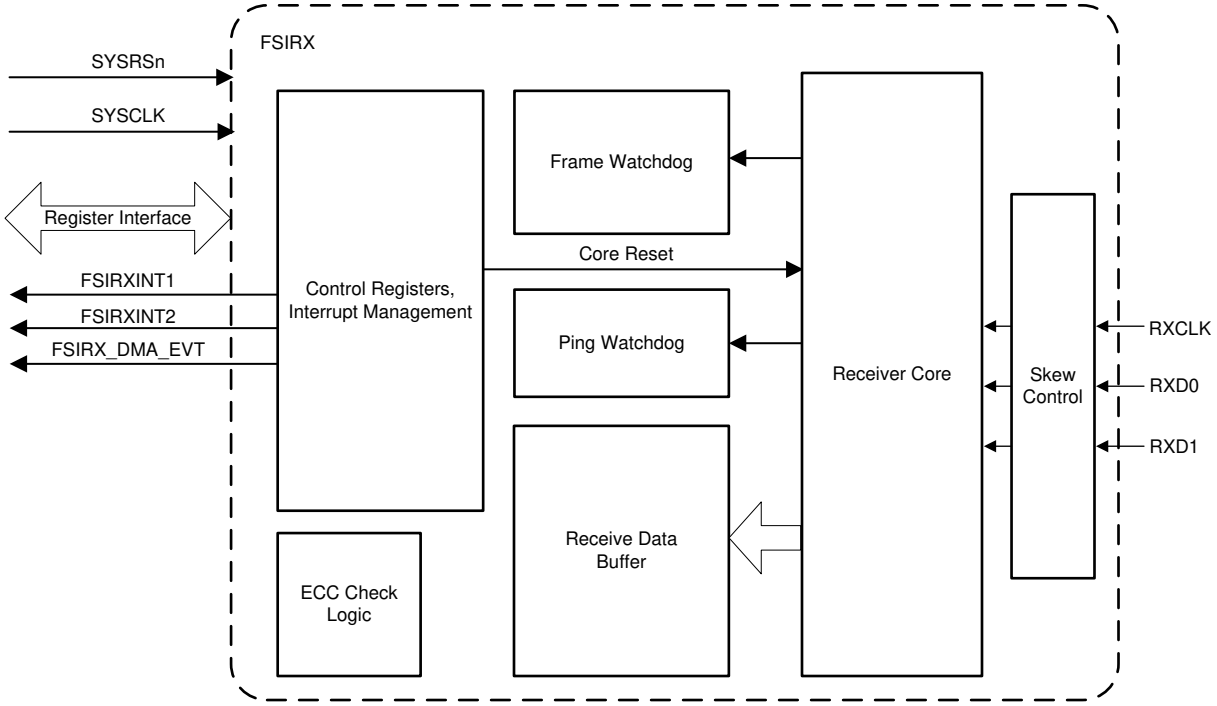


图 6-79. FSIRX 方框图

6.19.2.2.1 FSIRX 电气数据和时序

6.19.2.2.1.1 FSIRX 时序要求

编号			最小值	最大值	单位
1	$t_{c(RXCLK)}$	周期时间，RXCLK	19.417		ns
2	$t_{w(RXCLK)}$	RXCLK 低电平或 RXCLK 高电平的脉冲宽度。	$0.35t_{c(RXCLK)}$	$0.65t_{c(RXCLK)}$	ns
3	$t_{su(RXCLK-RXD)}$	相对于 RXCLK 的设置时间，应用于时钟的两个边沿	1.7		ns
4	$t_{h(RXCLK-RXD)}$	相对于 RXCLK 的保持时间，应用于时钟的两个边沿	2		ns

6.19.2.2.1.2 FSIRX 开关特性

编号	参数[1]		最小值	最大值	单位
1	$t_{d(RXCLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 RXCLK 延迟补偿	9.7	30	ns
2	$t_{d(RXD0)}$	RX_DLYLINE_CTRL[RXD0_DLY]=31 时的 RXD0 延迟补偿	9.7	30	ns
3	$t_{d(RXD1)}$	RX_DLYLINE_CTRL[RXD1_DLY]=31 时的 RXD1 延迟补偿	9.7	30	ns
4	$t_{d(DELAY_ELEMENT)}$	每个延迟线路元件的 RXCLK、RXD0 和 RXD1 增量延迟	0.29	1	ns
TDM1	$t_{skew(TDM_CLK-TDM_Dx)}$	RXCLK-TDM_CLK 延迟和 RXDx-TDM_Dx 延迟之间引入的延迟偏移	-3	3	ns
TDM1	$t_{d(RXCLK-TDM_CLK)}$	延时时间、RXCLK 输入到 TDM_CLK 输出的时间	2	19.5	ns
TDM2	$t_{d(RXD0-TXD0)}$	延时时间、RXD0 输入到 TXD0 输出的时间	2	19.5	ns

Copyright © 2025 Texas Instruments Incorporated

编号	参数(1)		最小值	最大值	单位
TDM3	$t_{d(RXD1-TXD1)}$	延时时间、RXD1 输入到 TXD1 输出的时间	2	19.5	ns

(1) 引脚上的 10pF 负载。

6.19.2.2.1.3 FSIRX 时序

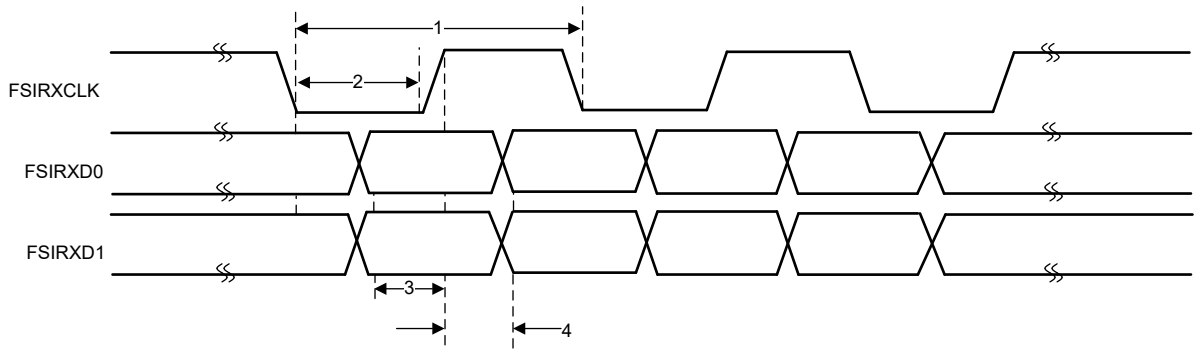


图 6-80. FSIRX 时序

ADVANCE INFORMATION

6.19.2.3 FSI SPI 兼容模式

FSI 支持 SPI 兼容模式以实现与可编程 SPI 器件的通信。在此模式下，FSI 发送数据的方式与 SPI 在单时钟配置模式下发送数据的方式相同。虽然 FSI 在此模式下能够通过物理方式连接 SPI，但外部器件必须能够对 FSI 帧进行编码和解码才能成功进行通信。这是因为 FSI 会发送除前同步码和后同步码之外的所有 SPI 帧相位。FSI 提供与标准 FSI 模式相同的数据验证和帧检查功能，从而在不占用 CPU 周期的情况下实现更稳健的通信。为此，需要使用外部 SPI 来发送所有相关信息，并可用于访问标准 FSI 功能，例如 FSIRX 上的 ping 帧看门狗、帧标记或自定义 CRC 值。SPI 兼容模式的特性如下：

- 将在时钟的上升沿发送数据，并在下降沿接收数据。
- 仅支持 16 位字大小。
- TXD1 将像低电平有效片选信号一样被驱动。信号在整个帧发送期间将处于低电平。
- 无需接收器片选输入。不使用 RXD1。数据在每个有效时钟边沿转移到接收器中。
- 不会发送前同步码或后同步码时钟。帧相位结束后，所有信号都恢复到空闲状态。
- 由于 FSI TXCLK 不能采用外部时钟源，因此无法在 SPI 外设配置下进行发送。

6.19.2.3.1 FSITX SPI 信令模式电气数据和时序

在 SPI 信令模式下，FSIRX 不需要特殊时序。*FSIRX 时序要求* 表中列出的 FSIRX 时序适用于 SPI 兼容模式。设置和保持时间仅在 FSIRXCLK 的下降沿有效，因为这是 SPI 信令模式中的有效边沿。

6.19.2.3.1.1 FSITX SPI 信令模式开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数[(1)]		最小值	最大值	单位
1	$t_{c(TXCLK)}$	周期时间，TXCLK	19.417		ns
2	$t_{w(TXCLK)}$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_{c(TXCLK)})$ – 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLKH-TXD0)}$	TXCLK 高电平之后 TXD0 有效的延迟时间		3	ns
4	$t_{d(TXD1-TXCLK)}$	TXD1 低电平之后 TXCLK 高电平的延迟时间	$t_{w(TXCLK)}$ – 3		ns
5	$t_{d(TXCLK-TXD1)}$	TXCLK 低电平之后 TXD1 高电平的延迟时间	$t_{w(TXCLK)}$		ns

(1) 引脚上的 10pF 负载

6.19.2.3.1.2 FSITX SPI 信令模式时序

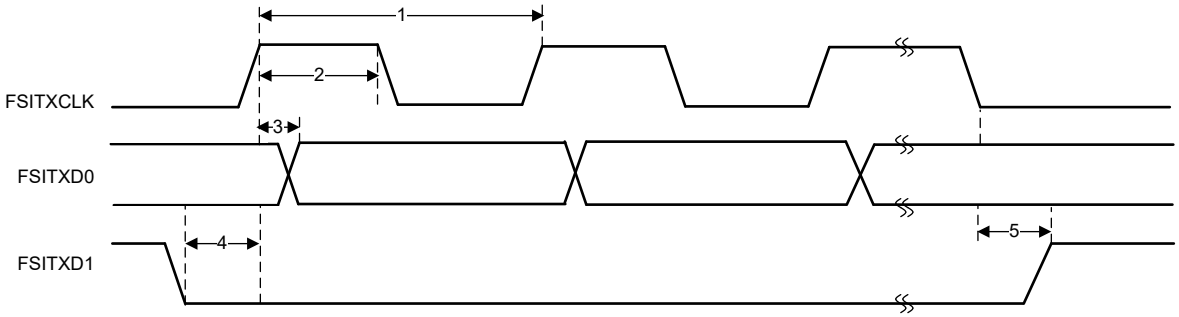


图 6-81. FSITX SPI 信令模式时序

Copyright © 2025 Texas Instruments Incorporated

6.19.3 内部集成电路 (I2C)

I2C 模块具有以下特性：

- 符合 NXP Semiconductor I^{2}C 总线规范（版本 2.1）：
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个控制器-发送器和目标-接收器
  - 支持多个目标-发送器和控制器-接收器
  - 组合控制器发送/接收和接收/发送模式
  - 数据传输速率从 10kbps 到高达 400Kbps（快速模式）
- 支持与以下兼容的电压阈值：
- 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
- 支持两个中断
  - I2Cx 中断 - 可以配置以下任何条件来生成 I2Cx 中断：
    - 发送就绪
    - 接收就绪
    - 寄存器访问就绪
    - 无确认
    - 仲裁丢失
    - 检测到停止条件
    - 被寻址为目标
  - I2Cx_FIFO 中断：
    - 发送 FIFO 中断
    - 接收 FIFO 中断
- 模块启用和禁用能力
- 自由数据格式模式

图 6-82 显示了 I2C 外设模块如何在器件内连接。

ADVANCE INFORMATION

ADVANCE INFORMATION

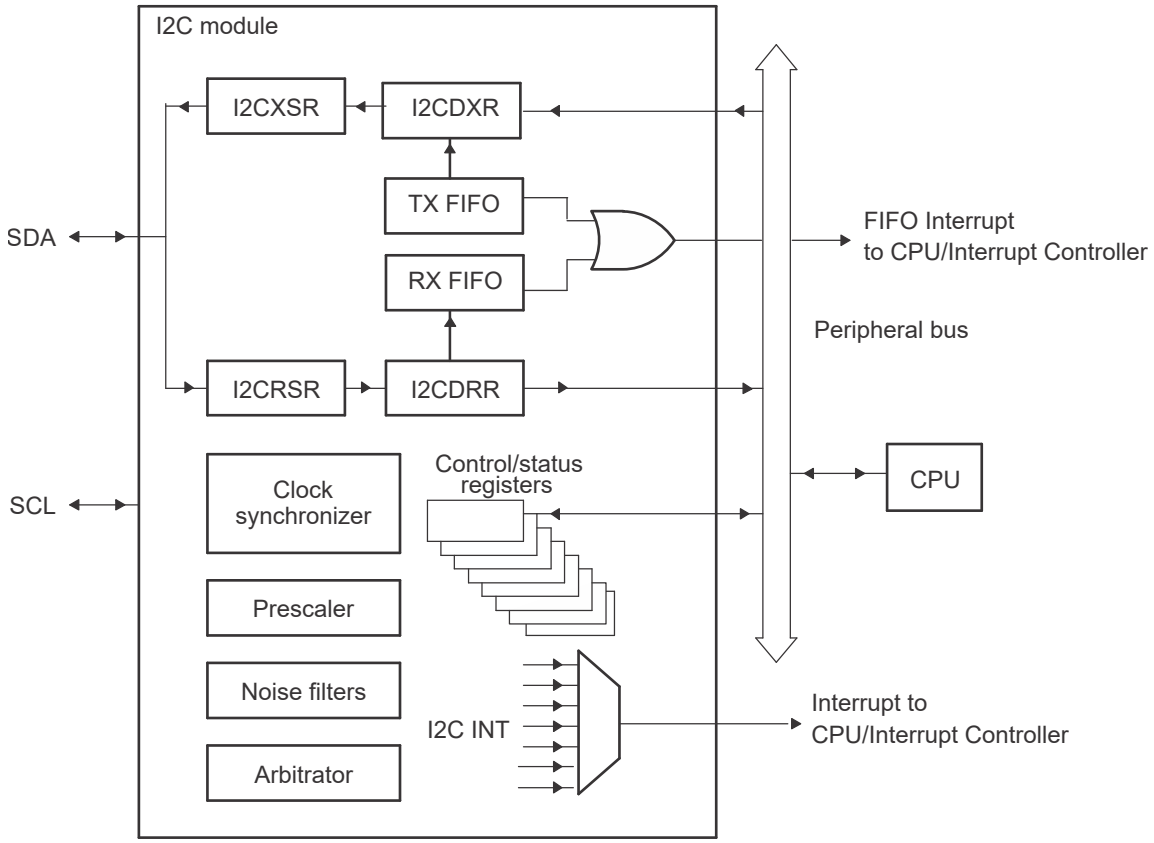


图 6-82. I2C 外设模块接口

Copyright © 2025 Texas Instruments Incorporated

6.19.3.1 I2C 电气数据和时序

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟必须配置为 7MHz 至 12MHz 范围内的值。

必须选择符合 I2C 标准时序的上拉电阻。在大多数情况下，2.2kΩ 的总线至 VDDIO 总线电阻是足够的。要评估特定设计的上拉电阻器阻值，请参阅 *I2C 总线上拉电阻器计算* 应用手册。

6.19.3.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0		μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.0		μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	250		ns
T5	$t_{r(SDA)}$	上升时间，SDA		1000	ns
T6	$t_{r(SCL)}$	上升时间，SCL		1000	ns
T7	$t_{f(SDA)}$	下降时间，SDA		300	ns
T8	$t_{f(SCL)}$	下降时间，SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0		μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF
快速模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6		μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6		μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	100		ns
T5	$t_{r(SDA)}$	上升时间，SDA	20	300	ns
T6	$t_{r(SCL)}$	上升时间，SCL	20	300	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4	300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF

6.19.3.1.2 I2C 开关特性

在建议运行条件下测得（除非另有说明）

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz
S2	T_{SCL}	SCL 时钟周期		10		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		4.7		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		4.0		μs

ADVANCE INFORMATION

ADVANCE INFORMATION

6.19.3.1.2 I2C 开关特性（续）

在建议运行条件下测得（除非另有说明）

编号	参数		测试条件	最小值	最大值	单位
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			3.45	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			3.45	μs
S8	I_I	引脚上的输入电流	$0.1\ V_{bus} < V_i < 0.9\ V_{bus}$	-10	10	μA
快速模式						
S1	f_{SCL}	SCL 时钟频率		0	400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		1.3		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.6		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			0.9	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			0.9	μs
S8	I_I	引脚上的输入电流	$0.1\ V_{bus} < V_i < 0.9\ V_{bus}$	-10	10	μA

6.19.3.1.3 I2C 时序图

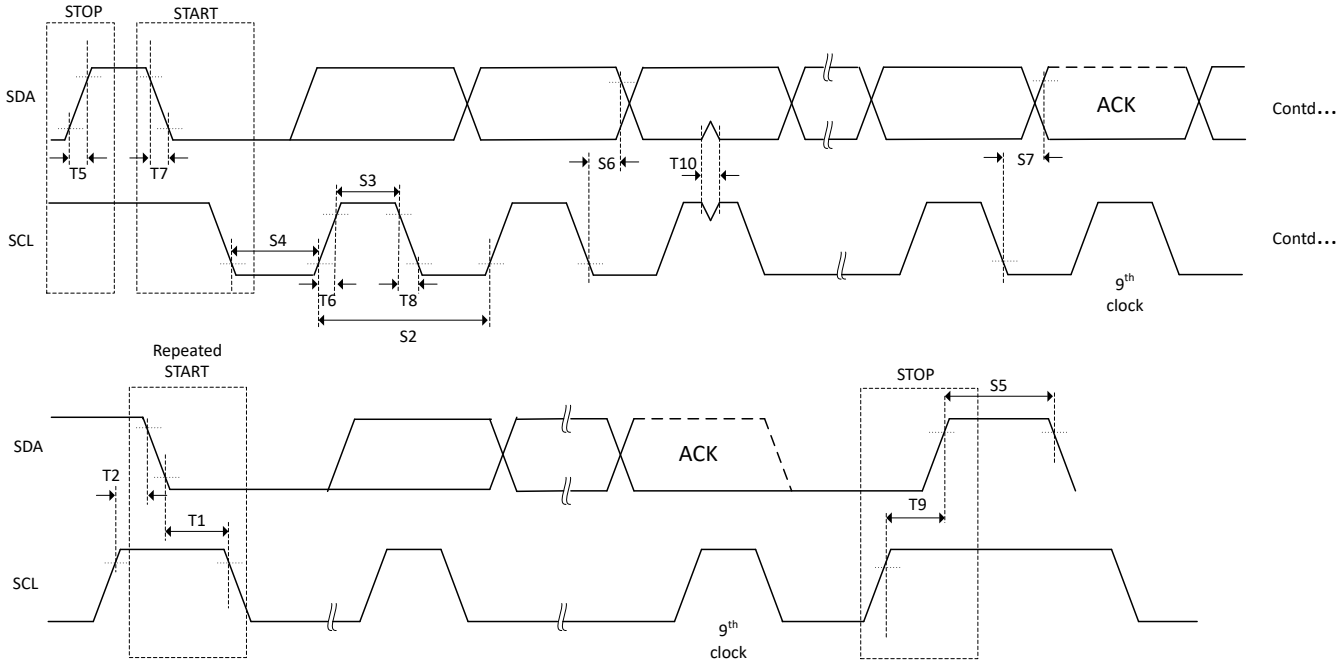


图 6-83. I2C 时序图

Copyright © 2025 Texas Instruments Incorporated

6.19.4 电源管理总线 (PMBus) 接口

PMBus 模块具有以下特性：

- 符合 SMI Forum PMBus 规范（第 I 部分 v1.0 和第 II 部分 v1.1）
- 支持与以下兼容的电压阈值：
  - PMBus 及更低版本
  - SMBus 及更低版本
- 支持 控制器和目标
- 支持 I2C 模式
- 支持速度：
  - 标准模式：高达 100kHz
  - 快速模式：400kHz
- 数据包错误检查
- 控制和警报信号
- 时钟高电平和低电平超时
- 四字节发送和接收缓冲器
- 一个可屏蔽中断，可由以下几个条件生成：
  - 接收数据就绪
  - 发送缓冲器为空
  - 接收到目标地址
  - 消息结束
  - 警报输入被置为有效
  - 时钟低超时
  - 时钟高电平超时
  - 总线空闲

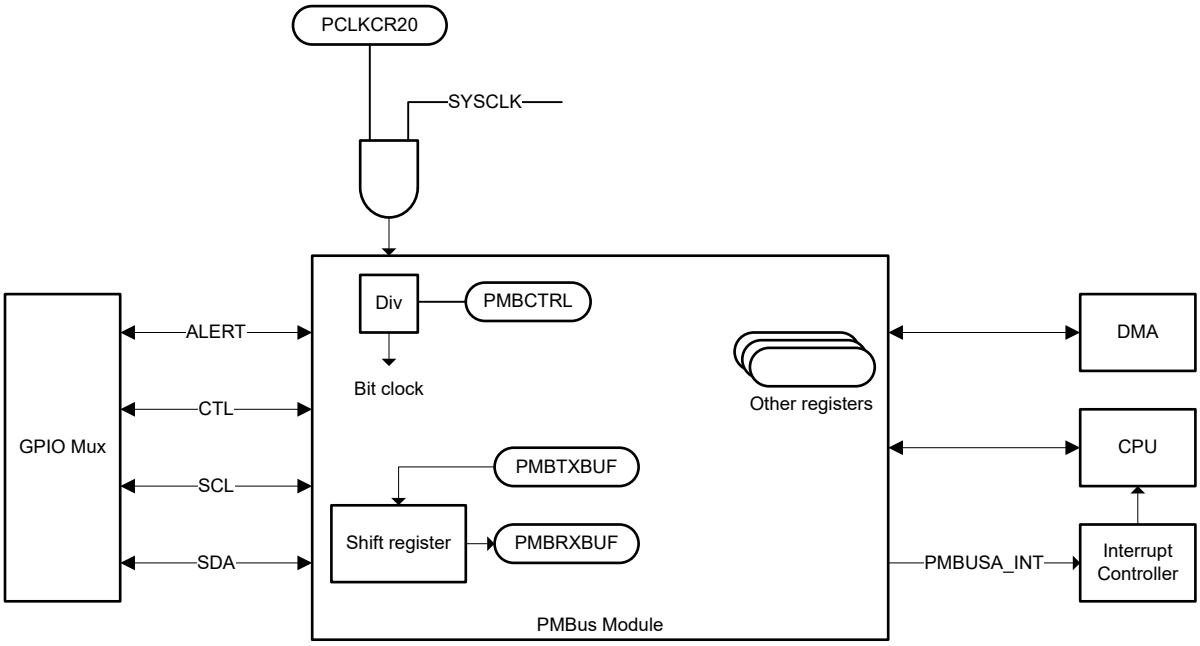


图 6-84. PMBus 方框图

ADVANCE INFORMATION

ADVANCE INFORMATION

6.19.4.1 PMBus 电气数据和时序

6.19.4.1.1 PMBus 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	有效低电平输入电压				0.8	V
V_{IH}	有效高电平输入电压		2.1		VDDIO	V
V_{OL}	低电平输出电压	在 I_{pullup} = 4mA 时			0.4	V
I_{OL}	低电平输出电流	V_{OL} ≤ 0.4V	4			mA
t_{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度		0		50	ns
I_i	每个引脚上的输入漏电流	0.1Vbus < Vi < 0.9Vbus	-10		10	μA
C_i	每个引脚上的电容				10	pF

6.19.4.1.2 PMBus 快速模式开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
F_{mod}	PMBus 模块时钟频率(2)		$f_{(SYSCLK)}$ /32		10	MHz
f_{SCL}	SCL 时钟频率		10		400	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		1.3			μs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		0.6			μs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		0.6			μs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		0.6			μs
$t_{HD;DAT}$	SCL 下降后的数据保持时间		300			ns
	SCL 下降后的数据保持时间，PMBCTRL_INC_1[ZH+EN] = 1(1)		0			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间		100			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		1.3			μs
t_{HIGH}	SCL 时钟的高电平周期		0.6		50	μs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（目标器件）	从启动到停止			25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（控制器器件）	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间	5% 至 95%	20		300	ns
t_f	SDA 和 SCL 的下降时间	95% 至 5%	20		300	ns

(1) 必须设置该位，才能实现 0ns 保持时间/SMBUS3.0 兼容性
(2) 如果使用最大时钟，则 PMBUS 的默认寄存器配置将满足以下所有时序

Copyright © 2025 Texas Instruments Incorporated

6.19.4.1.3 PMBus 标准模式开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
F_{mod}	PMBus 模块时钟频率[2]		$f_{(SYSCLK)}$ /32		10	MHz
f_{SCL}	SCL 时钟频率		10		100	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		4.7			µs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		4			µs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		4.7			µs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		4			µs
$t_{HD;DAT}$	SCL 下降后的数据保持时间		300			ns
	SCL 下降后的数据保持时间，PMBCTRL_INC_1[ZH+EN]= 1[1]		0			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间		250			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		4.7			µs
t_{HIGH}	SCL 时钟的高电平周期		4		50	µs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（目标器件）	从启动到停止			25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（控制器器件）	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间				1000	ns
t_f	SDA 和 SCL 的下降时间				300	ns

(1) 必须设置该位，才能实现 0ns 保持时间/SMBUS3.0 兼容性
(2) 如果使用最大时钟，则 PMBUS 的默认寄存器配置将满足以下所有时序

ADVANCE INFORMATION

ADVANCE INFORMATION

6.19.5 串行外设接口 (SPI)

串行外设接口 (SPI) 是一种高速同步串行输入和输出 (I/O) 端口，其允许以编程的位传输速率将编程长度（1 至 16 位）的串行位流移入和移出器件。SPI 通常用于 MCU 控制器与外部外设或另一控制器之间的通信。典型应用包括外部 I/O 或者通过诸如移位寄存器、显示驱动器和模数转换器 (ADC) 等器件进行外设扩展。SPI 的控制器或外设运行时支持多器件通信。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的功能包括：

- SPIPOCI：SPI 外设输出/控制器输入引脚
- SPIPICO：SPI 外设输入/控制器输出引脚
- $\overline{\text{SPIPTE}}$：SPI 外设发送使能引脚
- SPICLK：SPI 串行时钟引脚
- 两种工作模式：控制器和外设
- 波特率：125 个不同的可编程速率。可采用的最大波特率受限于 SPI 引脚上使用的 I/O 缓冲器的最大速度。
- 数据字长度：1 至 16 数据位
- 四种时钟方案（由时钟极性和时钟相位的位控制）包含：
  - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
  - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（可在软件中禁用发送功能）
- 发送器和接收器操作通过中断驱动或轮询算法完成
- 16 级发送/接收 FIFO
- RTDMA 支持
- 高速模式
- 延迟的发送控制
- 3 线 SPI 模式
- 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 $\overline{\text{SPIPTE}}$ 反转

图 6-85 所示为 SPI CPU 接口。

Copyright © 2025 Texas Instruments Incorporated

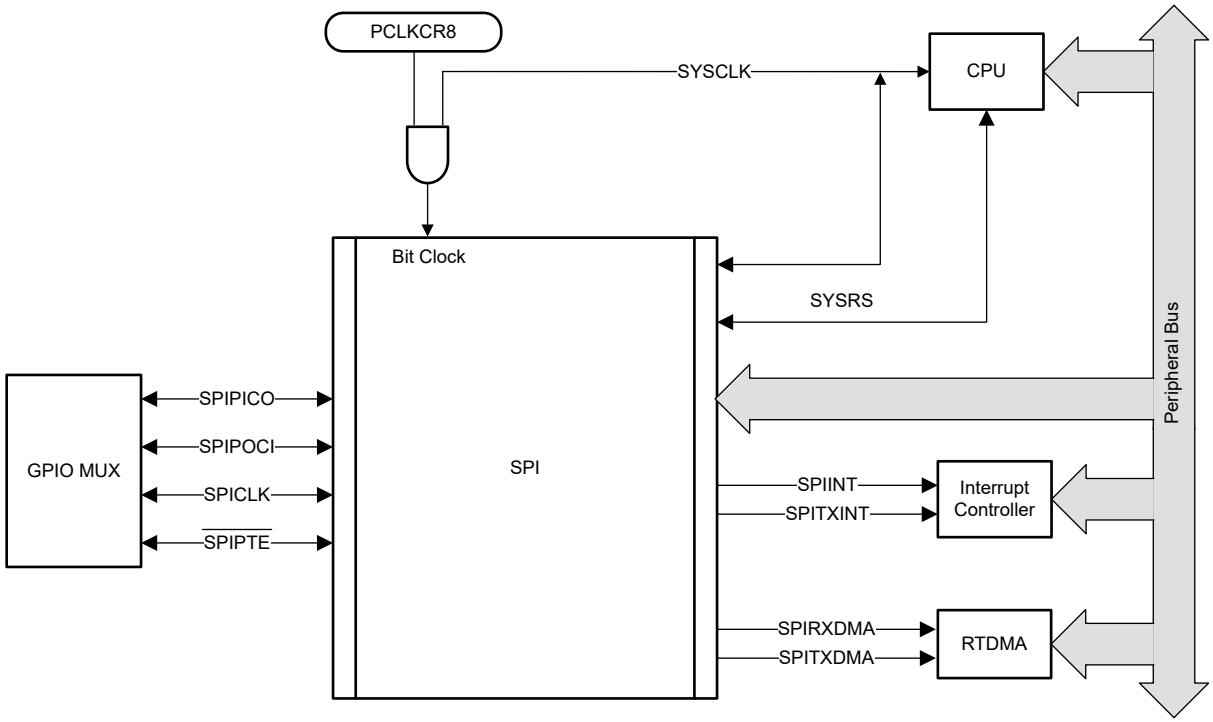


图 6-85. SPI CPU 接口

ADVANCE INFORMATION

6.19.5.1 SPI 控制器模式时序

以下各节介绍了 SPI 控制器模式时序。

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPIPICO 和 SPIPOCI 上的负载电容为 5pF。在 HS_MODE 下，最大支持 50MHz 的时钟。

在 SPI 控制器模式中，当启用 HS_MODE 时（取决于发出 SPICLK 的特定引脚），支持 SPI 高速操作。要在高速模式下使用 SPI，应用必须使用 SPI 控制器模式时序 中列出的这些支持高速的 GPIO。即便在非高速模式 (HS_MODE = 0) 下，SPI 也可使用这些 GPIO。

表 6-24. 支持高速模式的 SPI 时钟

SPI 支持高速	SPICLK GPIO#	SPIPICO GPIO#	SPIPOCI GPIO#	SPIPTE GPIO#
SPICLKA	GPIO60	GPIO58	GPIO59	GPIO61
SPICLKB	GPIO65	GPIO63	GPIO64	GPIO66
SPICLKC	GPIO71	GPIO69	GPIO70	GPIO72
SPICLKD	GPIO93	GPIO91	GPIO92	GPIO94
SPICLKE	GPIO12	GPIO8	GPIO9	GPIO11

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.19.5.1.1 SPI 控制器模式开关特性 - 时钟相位为 0

在建议运行条件下测得（除非另有说明）

编号	参数(1) (2)		(BRR + 1) 条件 (3)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(SYSCLK)}$	$128t_{c(SYSCLK)}$	ns
			奇数	$5t_{c(SYSCLK)}$	$127t_{c(SYSCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(SYSCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(SYSCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPIPTE}$ 有效至 SPICLK 的时间	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(PTE)M}$	有效时间，SPICLK 至 $\overline{SPIPTE}$ 无效的时间	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} + 3$	
高速模式						
4	$t_{d(PICO)M}$	延时时间，SPICLK 至 SPIPICO 有效的时间	偶数，奇数	1		ns
5	$t_{v(PICO)M}$	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} - 1$		
正常模式						
4	$t_{d(PICO)M}$	延时时间，SPICLK 至 SPIPICO 有效的时间	偶数，奇数	5		ns
5	$t_{v(PICO)M}$	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} - 3$		

(1) 高速模式下引脚上的负载为 10pF。
(2) 正常模式下引脚上的负载为 20pF。
(3) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.19.5.1.2 SPI 控制器模式开关特性 - 时钟相位为 1

在建议运行条件下测得（除非另有说明）

编号	参数[(1) (2)]		(BRR + 1) 条件[(3)]	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(SYSCLK)}$	$128t_{c(SYSCLK)}$	ns
			奇数	$5t_{c(SYSCLK)}$	$127t_{c(SYSCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(SYSCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(SYSCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPIPTE}$ 有效至 SPICLK 的时间	偶数，奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{v(PTE)M}$	有效时间，SPICLK 至 $\overline{SPIPTE}$ 无效的时间	偶数	–3	+3	ns
			奇数	–3	+3	
高速模式						
4	$t_{d(PICO)M}$	延时时间，SPIPICO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(SYSCLK)} - 1$		
5	$t_{v(PICO)M}$	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} - 1$		
正常模式						
4	$t_{d(PICO)M}$	延时时间，SPIPICO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 5$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(SYSCLK)} - 5$		
5	$t_{v(PICO)M}$	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(SYSCLK)} - 3$		

(1) 高速模式下引脚上的负载为 10pF。
(2) 正常模式下引脚上的负载为 20pF。
(3) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

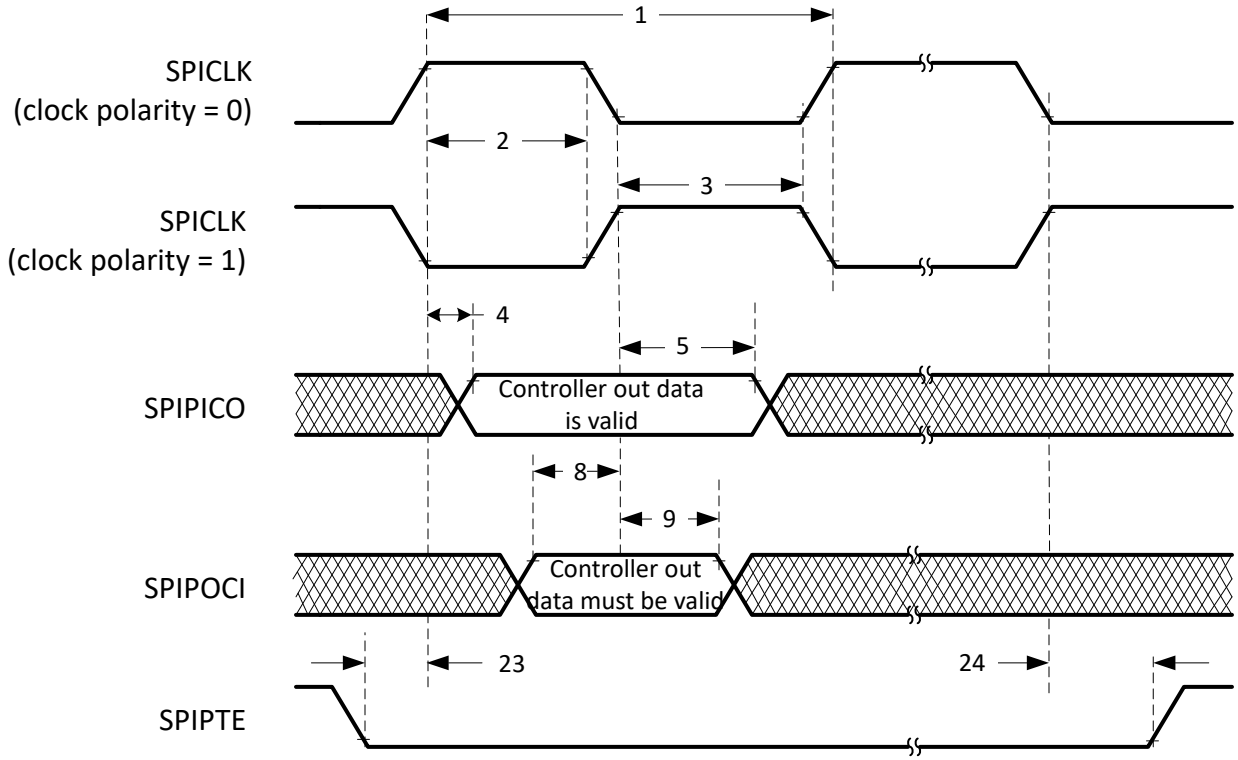
6.19.5.1.3 SPI 控制器模式时序要求

编号			(BRR + 1) 条件[(1)]	最小值	最大值	单位
高速模式						
8	$t_{su(POCI)M}$	SPICLK 之前 SPIPOCI 有效的设置时间	偶数，奇数	1		ns
9	$t_{h(POCI)M}$	SPICLK 之后 SPIPOCI 有效的保持时间	偶数，奇数	5		ns
正常模式						
8	$t_{su(POCI)M}$	SPICLK 之前 SPIPOCI 有效的设置时间	偶数，奇数	20		ns
9	$t_{h(POCI)M}$	SPICLK 之后 SPIPOCI 有效的保持时间	偶数，奇数	0		ns

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

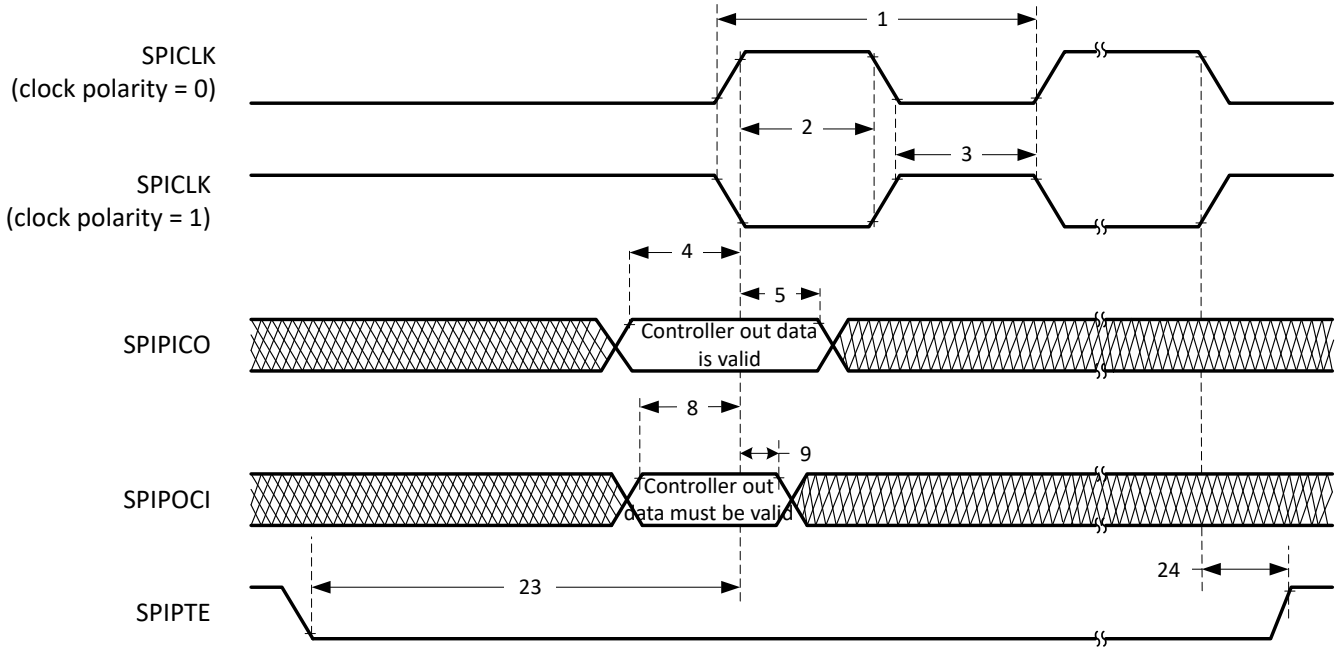
Copyright © 2025 Texas Instruments Incorporated

6.19.5.1.4 SPI 控制器模式时序图



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，$\overline{\text{SPIPTE}}$ 将变为停止状态。

图 6-86. SPI 控制器模式外部时序（时钟相位 = 0）



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，$\overline{\text{SPIPTE}}$ 将变为停止状态。

图 6-87. SPI 控制器模式外部时序（时钟相位 = 1）

ADVANCE INFORMATION

ADVANCE INFORMATION

6.19.5.2 SPI 外设模式时序

以下各节介绍了 SPI 外设模式时序。

6.19.5.2.1 SPI 外设模式开关特性

在建议运行条件下测得（除非另有说明）

编号	参数[1]		最小值	最大值	单位
高速模式					
15	$t_{d(POCI)S}$	延时时间，SPICLK 至 SPIPOCI 有效的时间		9	ns
16	$t_{v(POCI)S}$	有效时间，SPICLK 之后 SPIPOCI 有效的时间	0		ns
正常模式					
15	$t_{d(POCI)S}$	延时时间，SPICLK 至 SPIPOCI 有效的时间		20	ns
16	$t_{v(POCI)S}$	有效时间，SPICLK 之后 SPIPOCI 有效的时间	0		ns

(1) 引脚上 20pF 负载。

6.19.5.2.2 SPI 外设模式时序要求

编号			最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(PICO)S}$	SPICLK 之前 SPIPICO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(PICO)S}$	SPICLK 之后 SPIPICO 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(PTE)S}$	SPICLK 之前 $\overline{SPIPTE}$ 有效的设置时间（时钟相位 = 0）	$2t_{c(SYSCLK)} + 11$		ns
		SPICLK 之前 $\overline{SPIPTE}$ 有效的设置时间（时钟相位 = 1）	$2t_{c(SYSCLK)} + 20$		ns
26	$t_{h(PTE)S}$	SPICLK 之后 $\overline{SPIPTE}$ 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

Copyright © 2025 Texas Instruments Incorporated

6.19.5.2.3 SPI 外设模式时序图

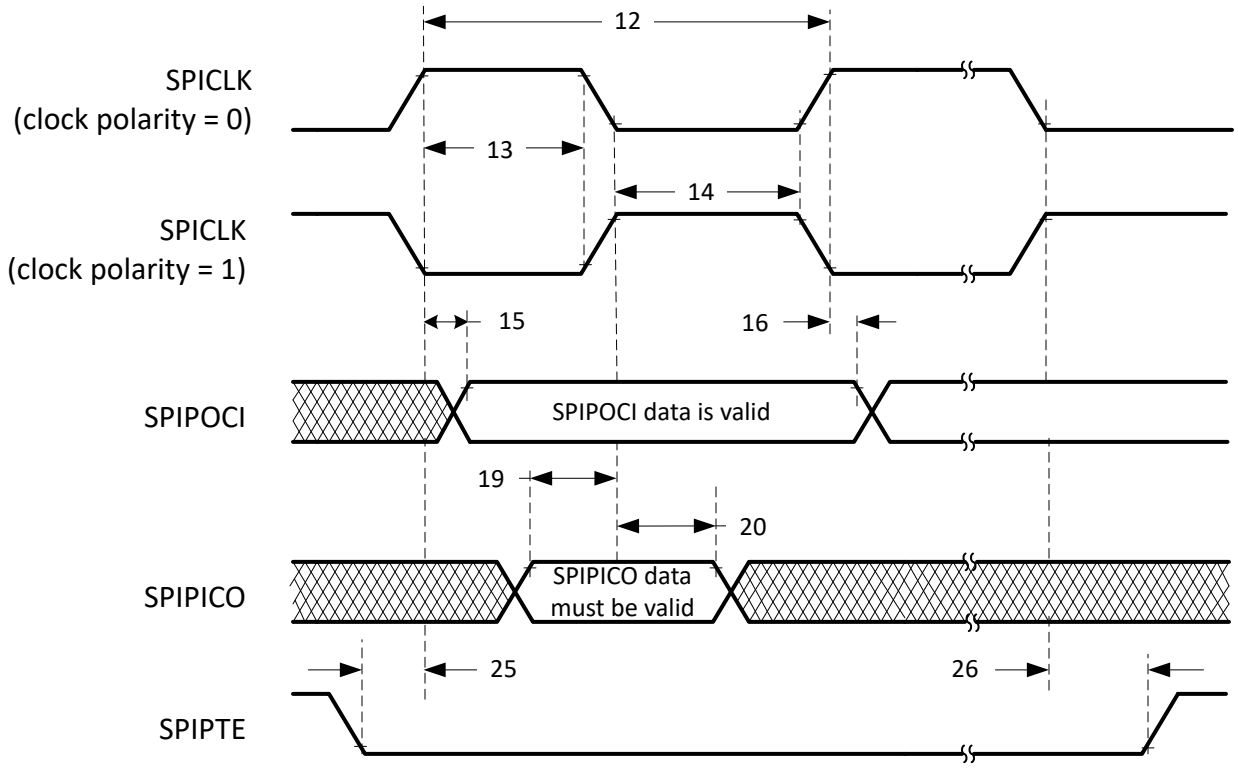


图 6-88. SPI 外设模式外部时序（时钟相位 = 0）

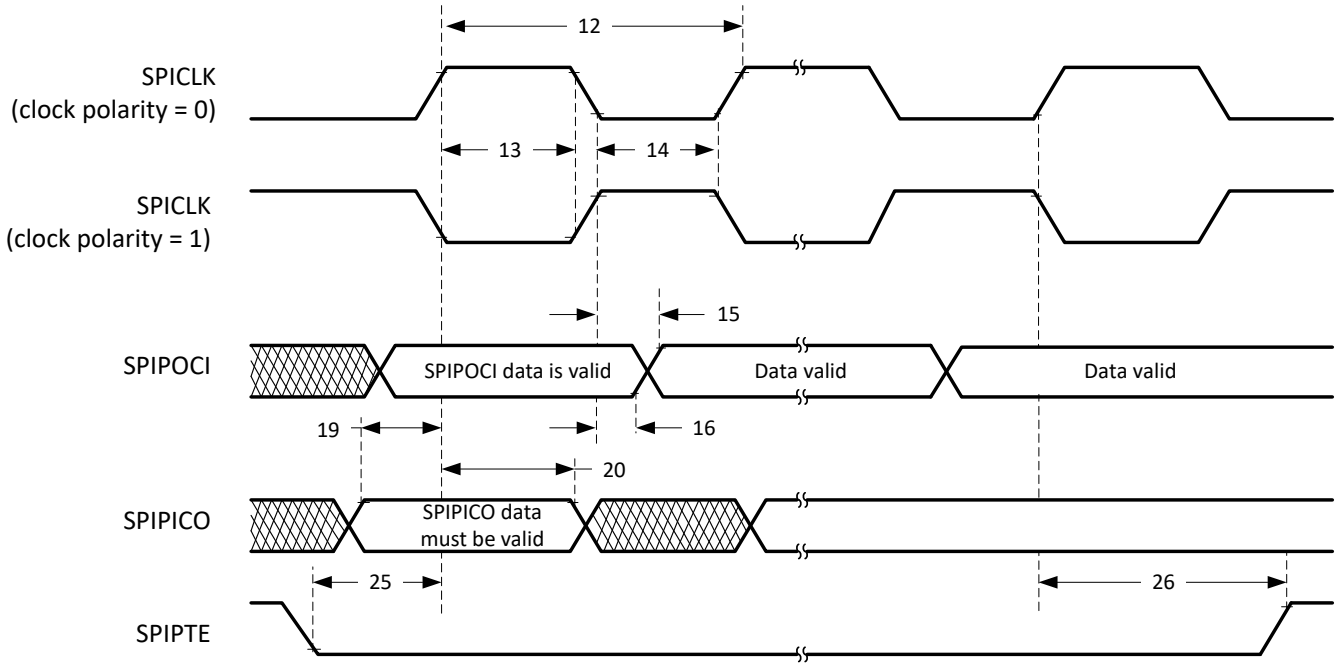


图 6-89. SPI 外设模式外部时序（时钟相位 = 1）

ADVANCE INFORMATION

6.19.6 单边沿半字节传输 (SENT)

6.19.6.1 简介

SENT 模块基于开放标准 SAE J2716，并具有额外的增强功能，例如支持额外的传感器格式。

备注

本章中的“通道”一词与寄存器说明中的“传感器”是等效的。

6.19.6.2 特性

SENT 模块包含以下特性：

- 基于 SAE J2716（J2716 2010 年 1 月和 J2716 2016 年 4 月）
- 支持 2007 和 2010 CRC 校验和计算
- 快速通道接收器
- 慢速通道接收器
  - 短串行消息（8 位数据和 4 位消息 ID）
  - 增强型串行 12 位消息（12 位数据和 8 位消息 ID）
- 可配置存储器深度
- 主触发脉冲发生器 (MTPG) 可为同一 SENT 总线启用多个传感器
- 5 个 SENT 通道，每个通道均可设置为由 63 个触发源之一触发
- 半字节排序可尽可能地减少 CPU 干预
- SENT 通道中的超时功能可改用于看门狗（仅在连续接收模式下可用）
- CSENT_RXD 寄存器中的 RXD_I_R 位用于一次调试 SENT 接收的 1 位
- 对接收到的数据帧捕获时间戳
  - 使用 32 位自由运行计数器
  - 可对一个或所有 SENT 模块使用外部计数器
- 接收器和中断特性
  - 输入端的可编程干扰滤波器（提供旁路模式）
  - 自动检测快速和慢速通道数据上的 CRC 错误和组帧错误
  - 支持选择保存包含错误的接收数据
  - 可配置接收的数据半字节数量 (1-8)
  - 提供接收数据帧的 FIFO 和直接映射支持
  - RTDMA 和中断可用于根据 FIFO 的填充状态发送数据
  - 支持的错误检测：
    - Timeout
    - 校准
    - FIFO 上溢/下溢
    - 频率漂移
    - 溢出触发请求

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.19.7 本地互连网络 (LIN)

此器件包含一个本地互连网络 (LIN) 模块。LIN 模块遵循 *LIN 规范包修订版 2.1* 定义的 LIN 2.1 标准。LIN 是一种低成本串行接口，专为 CAN 协议实施成本太高的应用而设计，例如用于汽车应用中车内照明或车窗控制等舒适功能的小型子网。

LIN 标准基于 SCI (UART) 串行数据链路格式。通信原理是单个指挥官和多个响应者通过消息识别在任何网络节点之间实现多播传输。

LIN 模块可以编程作为一个 SCI 或作为一个 LIN 运行，因为此模块的内核为 SCI。SCI 的硬件特性得到增强以实现 LIN 兼容性。SCI 模块是一个通用异步收发器 (UART)，可实现标准的非归零格式。

虽然 LIN 和 SCI 的寄存器是通用的，但是寄存器说明中有相应注释指出不同模式下的寄存器/位用法。因此，为该模块编写的代码无法直接移植到独立 SCI 模块，反之亦然。

LIN 模块具有以下特性：

- 与 LIN 1.3、2.0 和 2.1 协议兼容
- 波特率最高可配置为 20kbps（根据 LIN 2.1 协议）
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动生成指挥官头文件
  - 可编程同步中断域
  - 同步域
  - 标识符域
- 响应者自动同步
  - 同步中断检测
  - 可选波特率更新
  - 同步验证
- 使用 7 个分数位支持 2^{31} 个可编程传输速率
- 从收发器在 LINRX 主级别上唤醒
- 自动唤醒支持
  - 唤醒信号生成
  - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
  - 位错误
  - 总线错误
  - 无响应错误
  - 校验和错误
  - 同步域错误
  - 奇偶校验错误
- 两个中断线路带有以下项目的优先级编码：
  - 接收
  - 发送
  - ID、错误和状态
- 支持 LIN 2.0 校验和
- 增强型同步器有限状态机 (FSM) 支持帧处理
- 增强对扩展帧的处理能力
- 增强型波特率发生器
- 更新唤醒/进入睡眠模式

ADVANCE INFORMATION

ADVANCE INFORMATION

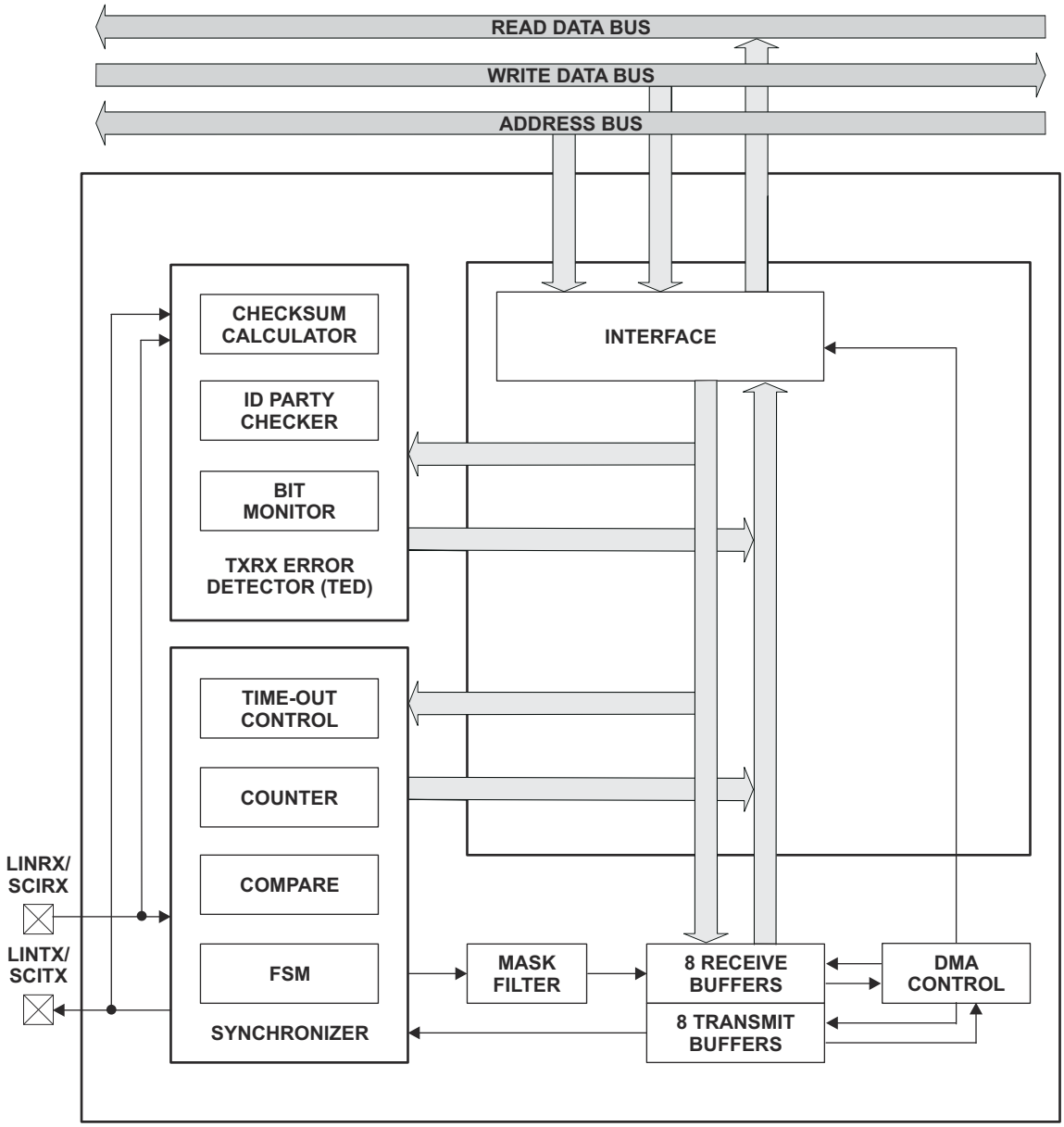


图 6-90. LIN 方框图

Copyright © 2025 Texas Instruments Incorporated

6.19.8 EtherCAT 从属器件控制器 (ESC)

用于控制自动化技术的以太网 (EtherCAT®) 是一种基于以太网的现场总线系统，由 Beckhoff Automation 发明，并在 IEC 61158 中进行了标准化。连接到总线的所有从属器件（或 SubDevice）节点均可快速解释、处理和修改发送给它们的数据，而无需在节点内缓冲帧。这种实时行为、帧处理和转发要求由 EtherCAT SubDevice 控制器 (ESC) 硬件实现。EtherCAT 不需要软件交互即可在 SubDevice 内部进行数据传输。EtherCAT 仅定义 MAC 层，而更高层协议和堆栈在连接到 ESC 的微控制器上的软件中实现。

EtherCAT：

- 涉及主器件（或 MDevice）和 SubDevice 设置，其中 SubDevice 节点在物理上采用菊花链式连接，但在逻辑上采用环路运行
- 专门用于在 SubDevice 节点间实现精确、低抖动同步
- 使用 IEEE 802.3 以太网物理层和标准以太网帧

6.19.8.1 ESC 特性

此 MCU 上的 ESC 具有以下功能：

- 最多 2 个 MII 端口，用于连接 EtherCAT PHY
- 通过 16 位异步接口处理数据接口
- 64 位分布式时钟
  - 同步器件事件的同步输出信号和支持事件时间戳的锁存输入信号
  - SYNC0/1 (o/ps) 和 LATCH0/1 的分布式时钟功能能够同步 GPIO，允许来自任何 GPIO 的输入以及用于内部器件事件的其他多路复用选项
- 8 个现场总线存储器管理单元 (FMMU)
  - 支持 RD/、WR/、RDWR 的所有本机类型以及位寻址和字节寻址的内置特性
- 8 个同步管理器
- I2C EEPROM 接口
- 多达 32 个通用输入 (GPI) 和 32 个通用输出 (GPO)
- 2 个 SYNC 信号和 2 个 LATCH 信号连接到 GPIO 焊盘
- 支持奇偶校验的 16KB RAM

6.19.8.2 ESC 子系统集成特性

除了 ESC 特性外，以下是通过集成 ESC 和 MCU 提供的特定于器件的特性：

- 在初始化期间向 CPU1 子系统分配 ESC 访问权限
- 来自 MDevice 的 EtherCAT 复位请求可路由到 MCU 上的 NMI 或通用中断控制器
- RAM 奇偶校验错误路由到 MCU 上的 NMI
- DMA 访问 EtherCAT RAM
- 具有多达 32 个 GPI 和多达 32 个 GPO，可集成到 16 位异步 PDI 接口
- 用于连接 CLB 的接口
- SYNC0/1 的分布式时钟特性能够同步 PWM、产生中断/DMA 请求或触发 eCAP 捕捉，从而允许通过 GPIO 访问权限执行外部元件操作
- EtherCAT SYNC0/1 脉冲可以触发 CLA 任务
- LATCH0/1 的分布式时钟特性允许来自任何 GPIO 或 PWM 交叉开关触发器的输入

ADVANCE INFORMATION

6.19.8.3 EtherCAT IP 方框图

图 6-91 展示了 EtherCAT IP 的一般功能。

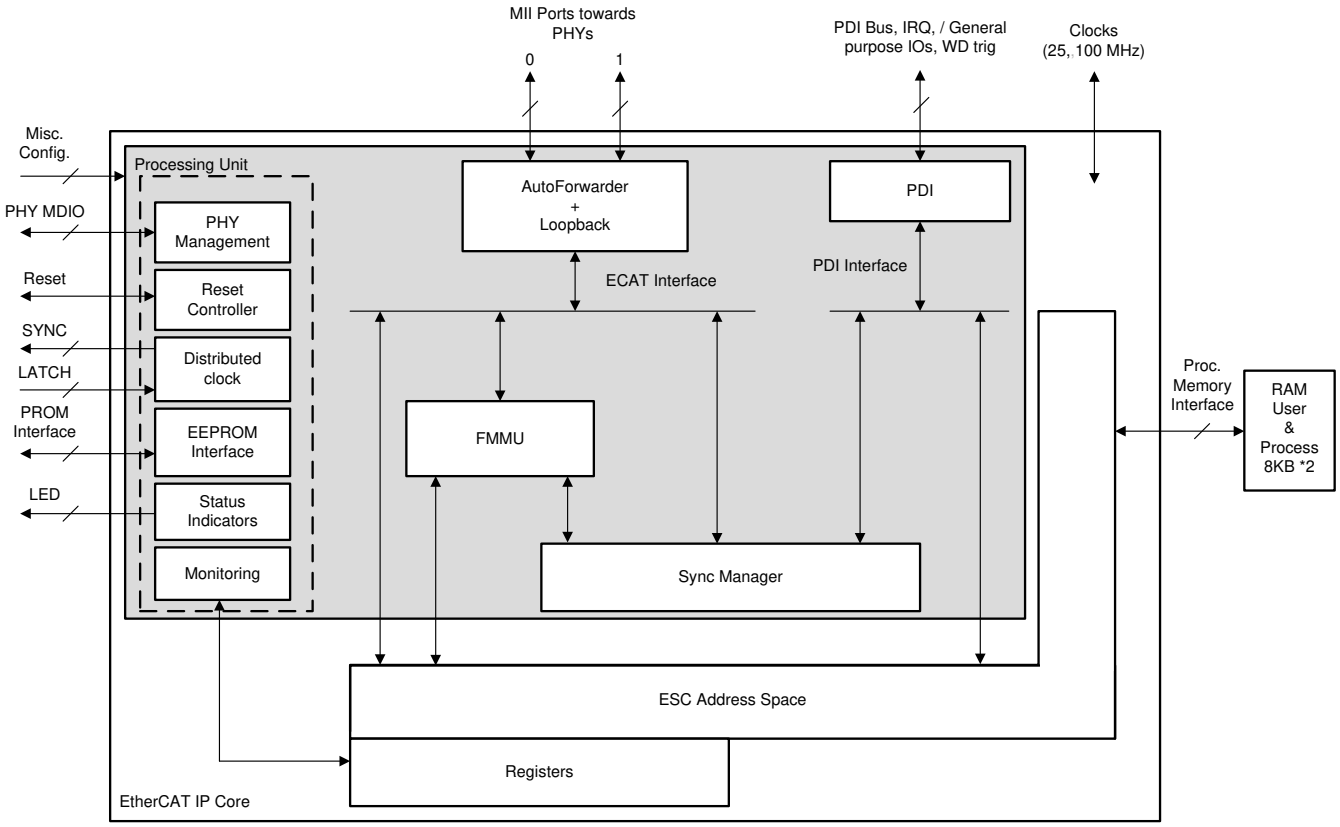


图 6-91. EtherCAT IP 方框图

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6.19.8.4 EtherCAT 电气数据和时序

6.19.8.4.1 EtherCAT 时序要求

编号			最小值	标称值	最大值	单位
EtherCAT						
	$t_{c(ECATCLK)}$	ECATCLK 周期时间		10		ns
MII1	$t_{c(TXCLK)}$	ESC_TXy_CLK 周期时间		40		ns
MII2/MII3	$t_{w(TXCK)}$	ESC_TXy_CLK 高电平或低电平的脉冲持续时间	16		24	ns
MII4	$t_{c(RXCK)}$	ESC_RXy_CLK 周期时间		40		ns
MII5/MII6	$t_{w(RXCK)}$	ESC_RXy_CLK 高电平或低电平的脉冲持续时间	16		24	ns
MII8	$t_{su(RXDV-RXCKH)}$	ESC_RXy_CLK 高电平之前接收信号有效的建立时间	10			ns
MII9	$t_{h(RXCKH-RXDV)}$	ESC_RXy_CLK 高电平之后接收信号有效的保持时间	2			ns
MDIO						
MDIO4	$t_{su(MDV-MCKH)}$	ESC_MDIO_CLK 高电平之前 ESC_MDIO_DATA 有效的建立时间	20			ns
MDIO5	$t_{h(MCKH-MDV)}$	ESC_MDIO_CLK 高电平之后 ESC_MDIO_DATA 有效的保持时间	-1			ns

6.19.8.4.2 EtherCAT 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数		最小值	典型值	最大值	单位
自动移位补偿						
MII7	$t_{d(TXCLK-TXDV)}$	ESC_TXy_CLK 至 ESC_TXy_DATA[3:0] 和 ESC_TXy_ENA 的延迟时间	20 + input_dly + output_dly + TX_SHIFT*$t_{c(CLK_100)}$		30 + input_dly + output_dly + TX_SHIFT*$t_{c(CLK_100)}$	ns
MDIO						
MDIO1	$t_{c(MCK)}$	ESC_MDIO_CLK 周期时间		400		ns
MDIO2/MDIO3	$t_{w(MCK)}$	ESC_MDIO_CLK 高电平或低电平的脉冲持续时间	160		240	ns
MDIO7	$t_{d(MCKH-MDV)}$	ESC_MDIO_CLK 高电平至 ESC_MDIO_DATA 有效的延迟时间			$0.5t_{c(MCK)}$ + 30	ns
	$t_{v(MCKH-MDV)}$	ESC_MDIO_CLK 高电平之后 ESC_MDIO_DATA 有效的有效时间	$0.5t_{c(MCK)}$ – 3.0			ns

ADVANCE INFORMATION

6.19.8.4.3 EtherCAT 时序图

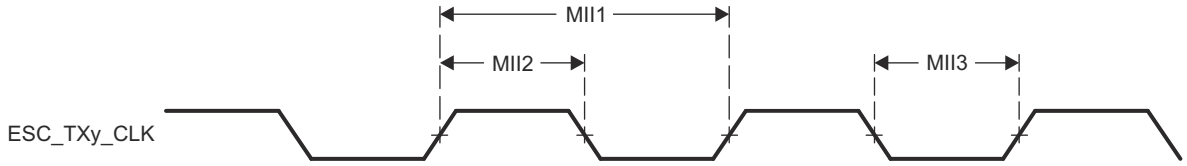


图 6-92. EtherCAT 发送时钟时序（MII 运行模式）

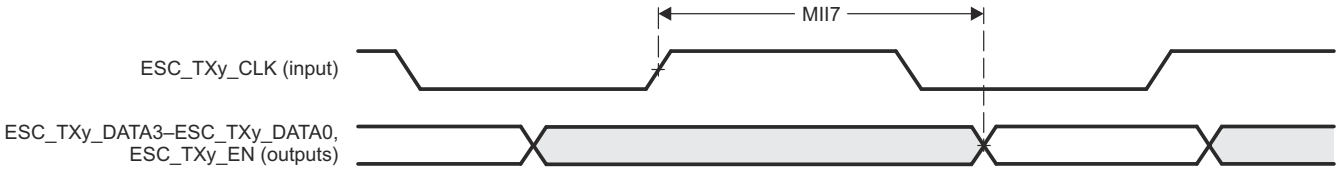


图 6-93. EtherCAT 发送接口时序（MII 运行模式）

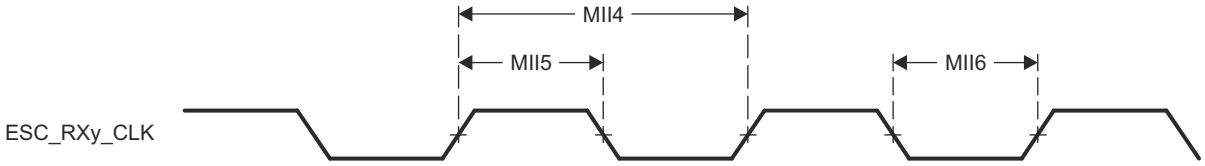


图 6-94. EtherCAT 接收时钟时序（MII 运行模式）

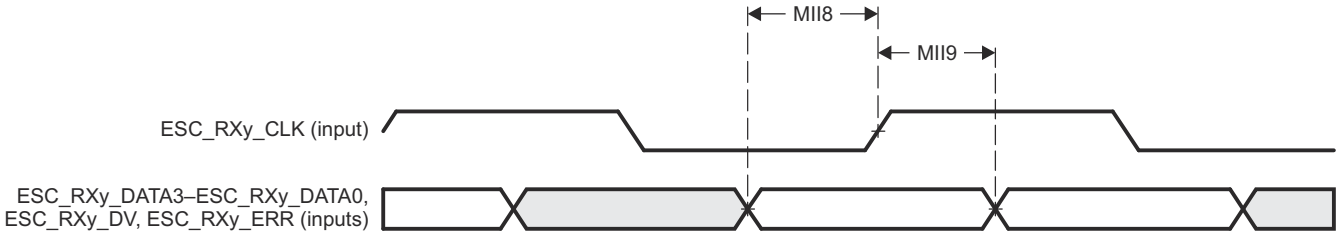


图 6-95. EtherCAT 接收接口时序（MII 运行模式）

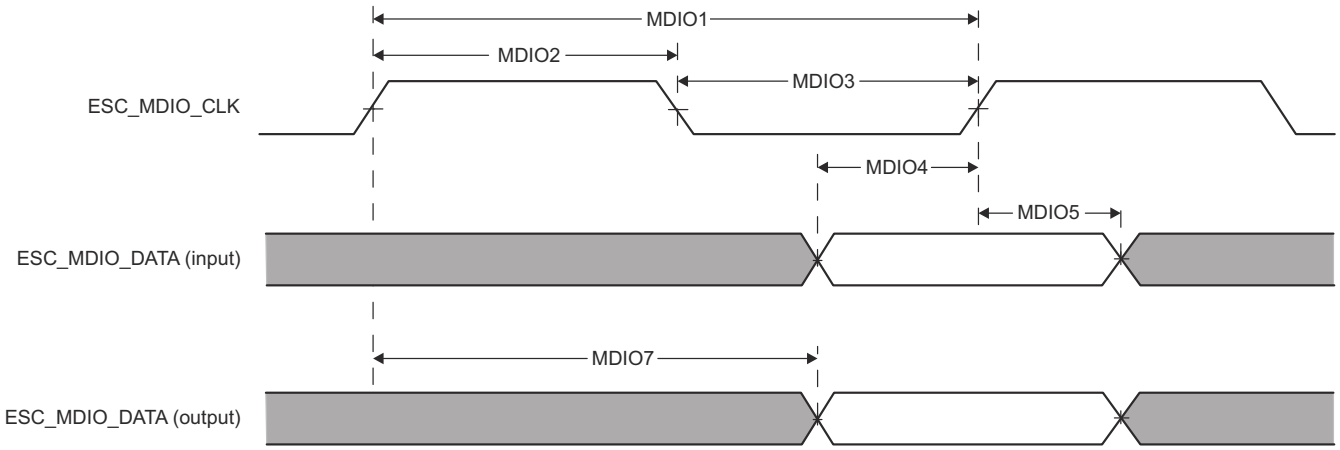


图 6-96. EtherCAT MDIO 时序图

Copyright © 2025 Texas Instruments Incorporated

6.19.9 通用异步接收器/发送器 (UART)

此器件中的通用异步接收器/发送器 (UART) 模块包含以下特性：

- 可编程的波特率发生器，在常规模式（16 分频）下最高可达 12.5Mbps，在高速模式（8 分频）下最高可达 25Mbps
- 独立的 16 级深度和 8 位宽发送 (TX) FIFO 和接收 (RX) FIFO 可减少 CPU 中断服务负载
- FIFO 长度可编程，包括提供传统双缓冲接口的 1 字节深的操作（非 FIFO 模式）
- FIFO 触发级别为 ⅛、¼、½、¾ 和 ⅞
- 标准的异步通讯位：起始位、停止位、奇偶校验位
- 线中止的产生与检测；
- 完全可编程的串行接口特性
  - 可包含 5、6、7 或 8 个数据位
  - 偶校验、奇校验、固定校验或无奇偶校验位生成与检测
  - 可产生 1 或 2 个停止位
- IrDA 串行 IR (SIR) 编码器和解码器提供：
  - 可编程使用 IrDA SIR 或 UART 输入/输出
  - 支持 IrDA SIR 编码器和解码器功能，半双工时数据传输率最高 115.2Kbps
  - 支持正常 3/16 和低功耗（1.41 µs 至 2.23 µs）位持续时间
  - 可编程的内部时钟发生器，能够对参考时钟进行 1 至 256 分频，以实现低功耗模式位持续时间
- 支持 EIA-485（9 位）
- 提供标准的基于 FIFO 深度的中断以及发送结束 (EOT) 中断
- 使用实时直接存储器存取 (RTDMA) 控制器进行高效传输
  - 相互独立的发送通道和接收通道
  - 接收 FIFO 达到预设触发深度时产生的猝发请求
  - 发送 FIFO 达到预设触发深度时产生的猝发请求

图 6-97 显示了 UART 模块方框图。

ADVANCE INFORMATION

ADVANCE INFORMATION

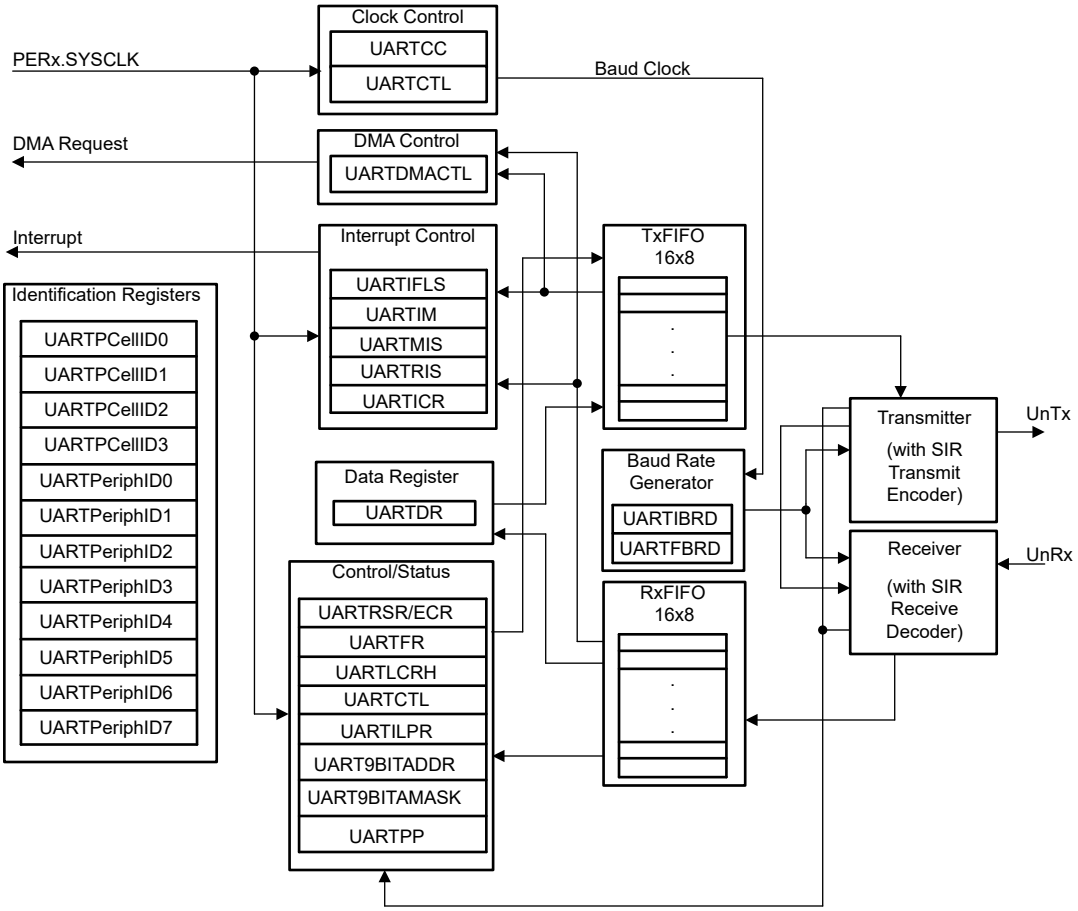


图 6-97. UART 模块方框图

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

F29H85x、F29P58x 和 F29P32x 都属于 C2000™ 实时微控制器系列，该系列为可扩展、超低延迟 MCU，旨在提高电力电子设备和电机控制等器件的效率，包括但不限于：高功率密度、高开关频率，并支持使用 GaN 和 SiC 技术。F29 产品系列采用下一代 C29 CPU 内核，性能是上一代 C28 CPU 内核的 2 倍，在业界处于领先地位。C29 内核还支持字节寻址，其数据类型与其他常见的 CPU 架构（包括 Arm® 架构）完全兼容，可为希望快速上市的客户实现平稳迁移。如需更多信息，请参阅 *C29 CPU – 借助 C2000™ MCU 上的优化架构提供出色的实时性能*技术白皮书。

这些应用包括：

- HEV/EV 动力总成 – 帮助实现单级 OBC 架构
  - 车载充电器
  - 直流/直流转换器
  - 集成动力总成
- 安全和底盘应用：
  - 电动动力转向
  - 制动
- 电机控制
  - 牵引逆变器电机控制 – 通过先进的控制技术提高牵引系统的效率
  - HVAC 电机控制
  - 移动机器人电机控制
- 光伏逆变器
  - 中央逆变器
  - 微型逆变器
  - 串式逆变器
- 数字电源
- 工业电机驱动
- 电动汽车充电基础设施

实时控制子系统具有多达三个 200MHz C29x CPU 内核（每个内核 400MIPS，F29H85x 上高达 1200MIPS）。由于 C29 CPU 架构和紧密耦合的外设 (PWM,ADC,CMPSS)，在客户基准测试的支持下，200MHz C29 内核的性能优于同类竞争产品，某些应用以更高的 CPU 时钟速度运行。

它具有多特性，可支持系统级 ASIL-D 功能安全解决方案。C29x CPU1 和 CPU2 内核可置于锁步模式，以检测永久性故障和瞬态故障。逻辑开机自检 (LPOST) 和存储器开机自检 (MPOST) 可在启动时检测潜在的故障。安全互连提供 CPU 与外设之间的故障检测。ADC 安全校验器可以在不增加 CPU 周期的情况下比较多个 ADC 模块的 ADC 转换结果。波形分析仪和诊断 (WADI) 可以监控多个信号是否正常运行，并采取相应措施来确保维持安全状态。该器件架构采用安全互连 (SIC) 来确保端到端代码和数据安全，并为所有存储器和外设端点提供基于 CPU 的 ECC 保护。

硬件安全管理器 (HSM) 提供 EVITA-full 安全支持。相关特性包括安全启动、安全存储和密钥环支持、安全调试认证和加密加速器引擎。HSM 支持在不可信工厂环境中进行安全密钥和代码配置，并支持对 HSM 和主机应用程序固件进行固件无线更新，同时具有 A/B 交换功能和回滚控制功能。

SSU（功能安全和信息安全单元）实现了出色的运行时功能安全和信息安全功能。此特性可用于在同一 CPU 或不同 CPU 上运行的线程之间创建安全隔离（防止干扰）。SSU 具有上下文敏感的 MPU 机制，可以根据当前正在执行的线程或任务自动切换硬件的访问权限。这消除了软件开销，从而在不影响系统安全性的情况下实现实时代码性能。SSU 提供多用户调试认证，同时还支持实时固件更新 (LFU) 和 FOTA 来进行应用程序固件更新（具有 A/B 交换和回滚控制）。有关更多信息，请参阅 *通过 C29x 功能安全和信息安全单元实现运行时功能安全和信息安全*应用手册。

ADVANCE INFORMATION

高性能模拟块与处理单元和控制单元紧密集成，可提供出色的实时信号链性能。两个 16 位模数转换器 (ADC) 和三个 12 位 ADC 具有多达 80 个模拟通道以及一个集成后处理块和硬件过采样。另外还提供两个 12 位缓冲 DAC 和二十四个比较器通道。

三十六个与频率无关的 PWM 均具有高分辨率，支持控制从三相逆变器到高级多级电源拓扑的多个功率级。PWM 通过最小死区逻辑 (MINDL)、二极管仿真 (DE)和非法组合逻辑 (ICL) 特性进行了增强。

可配置逻辑块 (CLB) 使用户可以添加自定义逻辑，还可将类似 FPGA 的功能 集成到 C2000 实时 MCU 中。

EtherCAT 子器件控制器和其他业界通用协议（如 CAN FD）均可在该器件上使用。快速串行接口 (FSI) 可跨隔离边界实现高达 200Mbps 的稳健通信。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看*使用 C2000™ 实时微控制器的基本开发指南*，并访问 C2000 实时微控制器页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

准备开始了吗？查看 F29H85X-SDK-EVM 评估板，并下载适用于 F29 实时 MCU 的 F29-SDK 基础软件开发套件 (SOM)。

7.2 功能方框图

图 7-1 显示了 CPU 系统及相关外设。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

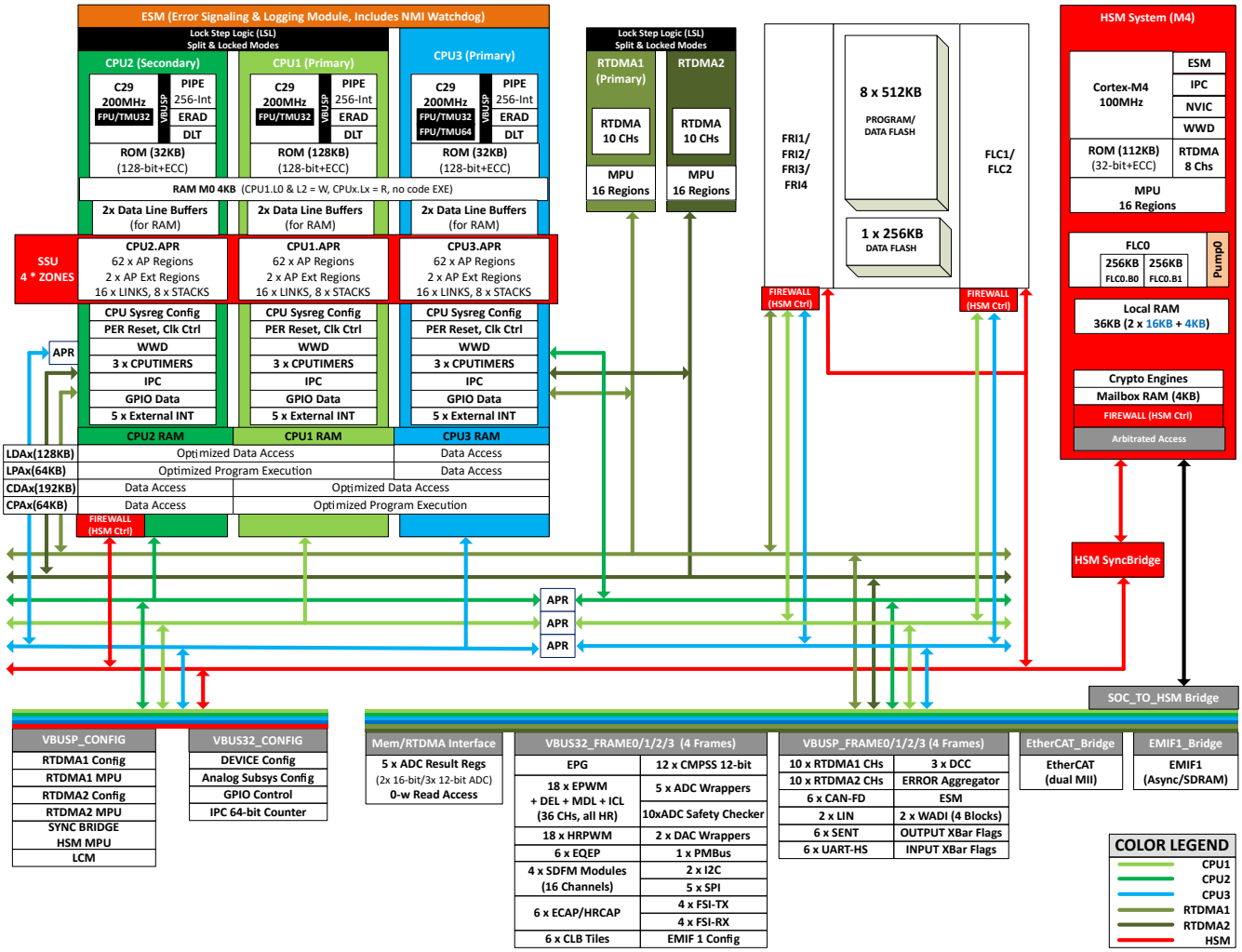


图 7-1. 功能方框图

ADVANCE INFORMATION

ADVANCE INFORMATION

7.3 错误信令模块 (ESM_C29)

7.3.1 简介

错误信令模块 (ESM) 将对整个器件中错误事件的响应系统地整合到一个位置。ESM 可以向处理器发出可编程优先级中断信号，以处理事件和/或操纵 I/O 错误引脚，向外部硬件发出已发生错误的信号。因此，外部控制器能够使器件复位或使系统保持在安全、已知的状态。

ESM 提供全面的错误报告并整合错误响应，以管理和缓解整个器件中的错误事件。

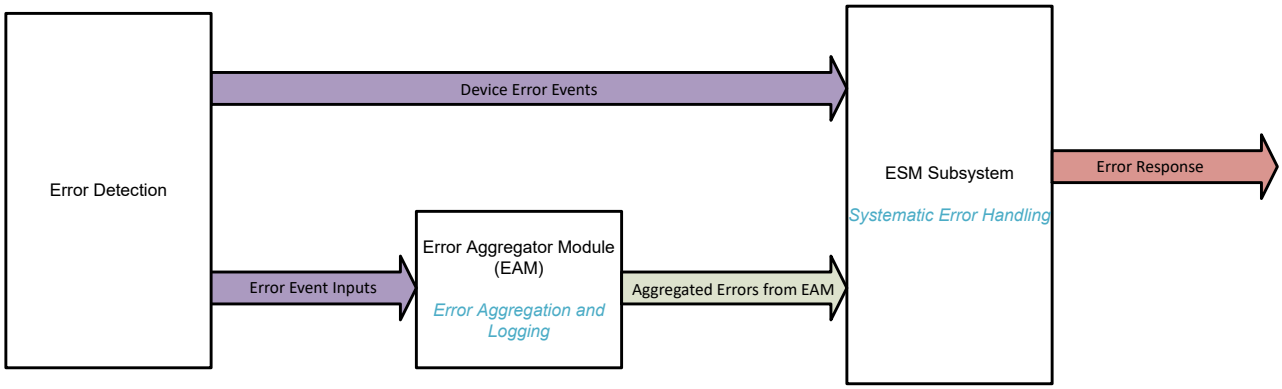


图 7-2. 错误处理架构

7.3.2 ESM 子系统

错误信令模块子系统 (ESM-SS) 对错误信令模块 (ESM) 实例进行分组，如图 7-3 中所示。ESMSS 支持从常见的错误事件输入集触发的许多 ESM 实例。每个 ESM 实例均用于驱动到单个 CPU 的中断并复位到单个 CPU 或系统。该子系统整合了多个 ESM 实例并将来自每个 ESM 实例的输出脉冲中断在子系统边界处导出，以便集成到器件级别。

ESM 子系统由以下实例组成：

- 每个 CPU 一个 ESM CPU 实例
  - **输入**：*F29H85x 和 F29P58x 实时微控制器技术参考手册* 的 *错误事件输入* 一节中列出的错误输入，对于所有 ESM 子系统实例均通用
  - **输出**：
    - 低优先级中断
    - 高优先级中断
    - 高优先级 WD 事件（由高优先级中断上的看门狗超时触发的事件，因此在文档的稍后部分中也称为高优先级看门狗中断）：功能与 C28x 器件上的 NMIWD 类似
    - 关键优先级中断
- 用于错误引脚输出和监控的其他系统 ESM 实例。
  - **输入**：*F29H85x 和 F29P58x 实时微控制器技术参考手册* 的 *错误事件输入* 一节中列出的错误输入，对于所有 ESM 子系统实例均通用
  - **输出**：
    - 低优先级中断
    - 关键优先级中断
    - 错误引脚输出
    - 错误引脚监控事件：错误引脚监控和错误检测输出
- 寄存器奇偶校验错误聚合器实例（安全聚合器）

Copyright © 2025 Texas Instruments Incorporated

- 输入：
  - 来自所有 ESM 实例（ESM CPU 和 SYS ESM）的 EDC（错误检测和校正）控制接口的输入
- 输出：
  - 奇偶校验错误中断：由在 ESM 寄存器配置上检测到的奇偶校验错误生成的中断

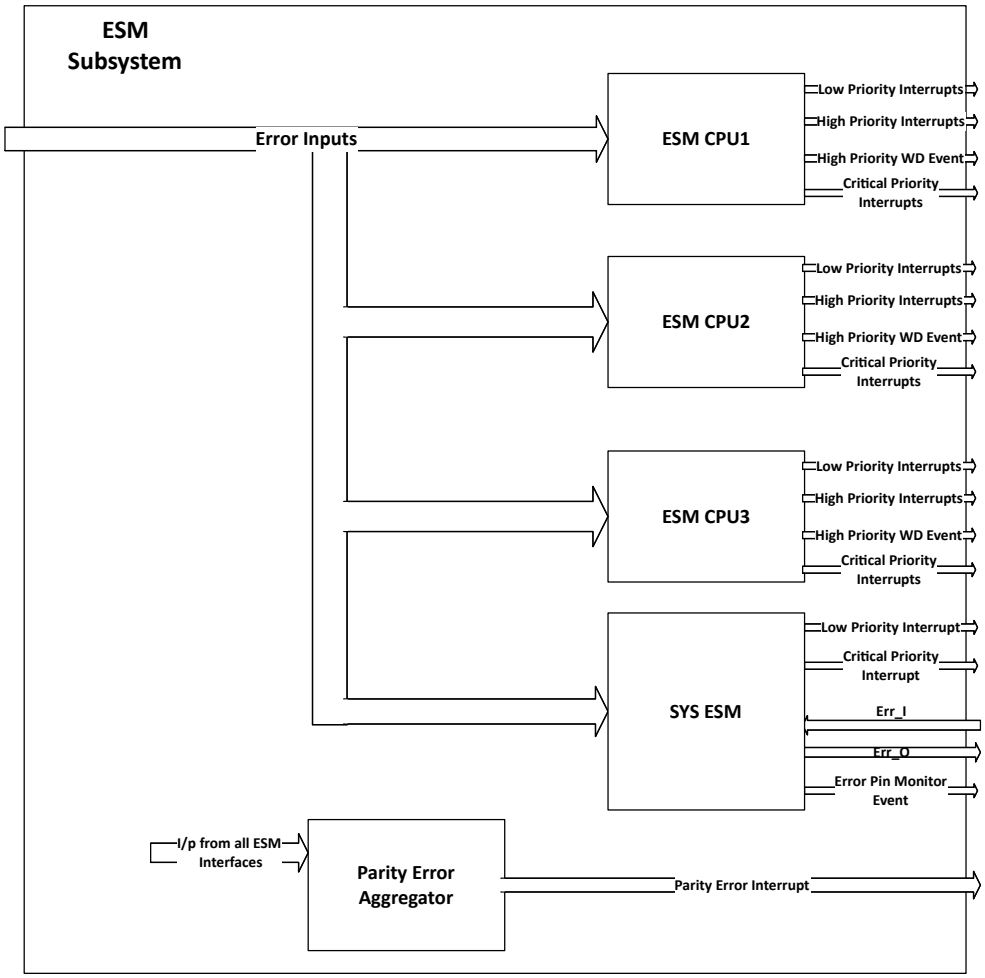


图 7-3. ESM-SS 方框图

7.3.3 系统 ESM

错误引脚输入和输出由系统 ESM 实例控制。除了中断输出集外，系统 ESM 还会生成可配置的错误引脚输出 (err_o/ERRORSTS)。系统 ESM 会生成关键优先级中断 (ESMRESET) 输出，如果未被 ESMXRSNCTL 寄存器禁用，则默认情况下会导致系统复位请求 (XRSn)。系统 ESM 还具有错误引脚监控功能和相关的错误引脚监控事件，该事件作为脉冲中断在子系统中导出。错误引脚监控事件也会作为错误事件输入反馈至 ESM-SS，以便 ESM 可以对不匹配事件执行适当的操作。

系统 ESM 的低优先级中断输出会映射到 XBAR，作为 ESMGENEVT 信号。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.4 错误聚合器

7.4.1 错误聚合器模块

每个错误源都为所有错误聚合器模块提供以下信息：

- 错误 - 出现任何错误时，会生成脉冲信号，并发送到 ESM 以进行后续处理。
- 错误地址 - 发生错误的系统地址，用于检测和调试错误来源。
- 错误类型 - 多位信号用于指示错误类型，帮助将错误归类到本章稍后概述的预定义类别中。

所有 CPU 错误聚合器模块还会提供程序计数器 (PC) 日志，用于记录首次发生的高优先级错误。

错误聚合器方框图 展示了该模块的工作和实施方式。每个聚合器模块都会聚合来自各种源的错误。发生错误时，相应的错误地址和类型会分别记录在错误地址寄存器和错误类型寄存器中。

根据 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 的 *错误类型信息* 一节中的列表，错误被归类为高优先级或低优先级。

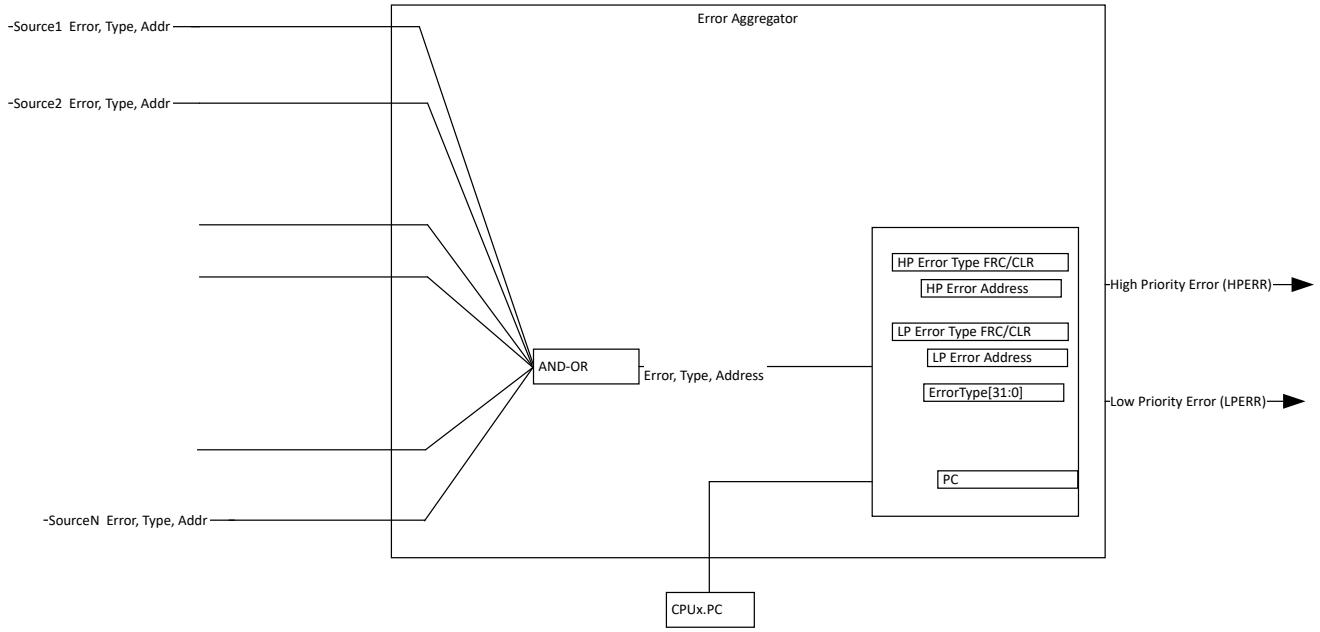


图 7-4. 错误聚合器方框图

该器件中实施的错误聚合器模块包括：

1. CPUx PR 错误聚合器 - 聚合 CPUx 程序获取访问期间发生的错误
2. CPUx DR1 错误聚合器 - 聚合在 DR1 端口上进行 CPUx 数据读取访问期间发生的错误
3. CPUx DR2 错误聚合器 - 聚合在 DR2 端口上进行 CPUx 数据读取访问期间发生的错误
4. CPUx DW 错误聚合器 - 聚合 CPUx 数据写入访问期间发生的错误
5. CPUx INT 错误聚合器 - 聚合来自 CPUx 和相关 PIPE 模块的中断相关错误
6. RTDMAx DR 错误聚合器 - 聚合 RTDMAx 数据读取访问期间发生的错误
7. RTDMAx DW 错误聚合器 - 聚合 RTDMAx 数据写入访问期间发生的错误
8. SSU 错误聚合器 - 聚合 SSU 模块发出的错误
9. EtherCAT 错误聚合器 - 聚合 EtherCAT 存储器访问期间发生的错误
10. HSM 错误聚合器 - 聚合由 HSM 子系统发出的错误

Copyright © 2025 Texas Instruments Incorporated

备注

x 表示每个错误聚合器针对每个启动器实例重复。EtherCAT 仅提供错误和错误地址信息，因此错误类型被定义为不可纠正的错误 (0x40)。

7.4.2 错误聚合器接口

本节详细介绍了如何处理错误信息以及如何将其连接到错误信令模块 (ESM)。多个错误聚合器的错误输出进行“或”运算并作为单一源施加于 ESM，其中包括：

- CPUx PR、CPUx DR1、CPUx DR2 和 CPUx DW 产生的低优先级错误会组合为 CPUx LPERR
- CPUx PR、CPUx DR1、CPUx DR2 和 CPUx DW 产生的高优先级错误会组合为 CPUx HPERR
- RTDMAx DR 和 RTDMAx DW 产生的低优先级错误会组合为 RTDMAx LPERR
- RTDMAx DR 和 RTDMAx DW 产生的高优先级错误会组合为 RTDMAx HPERR

图 7-5 展示了模块功能的概念方框图以及如何按照上面各点所述组合每个聚合器的输出标志。方框图并未显示系统中所有可用的错误聚合器模块，请参阅受支持错误聚合器的详细列表。

ADVANCE INFORMATION

ADVANCE INFORMATION

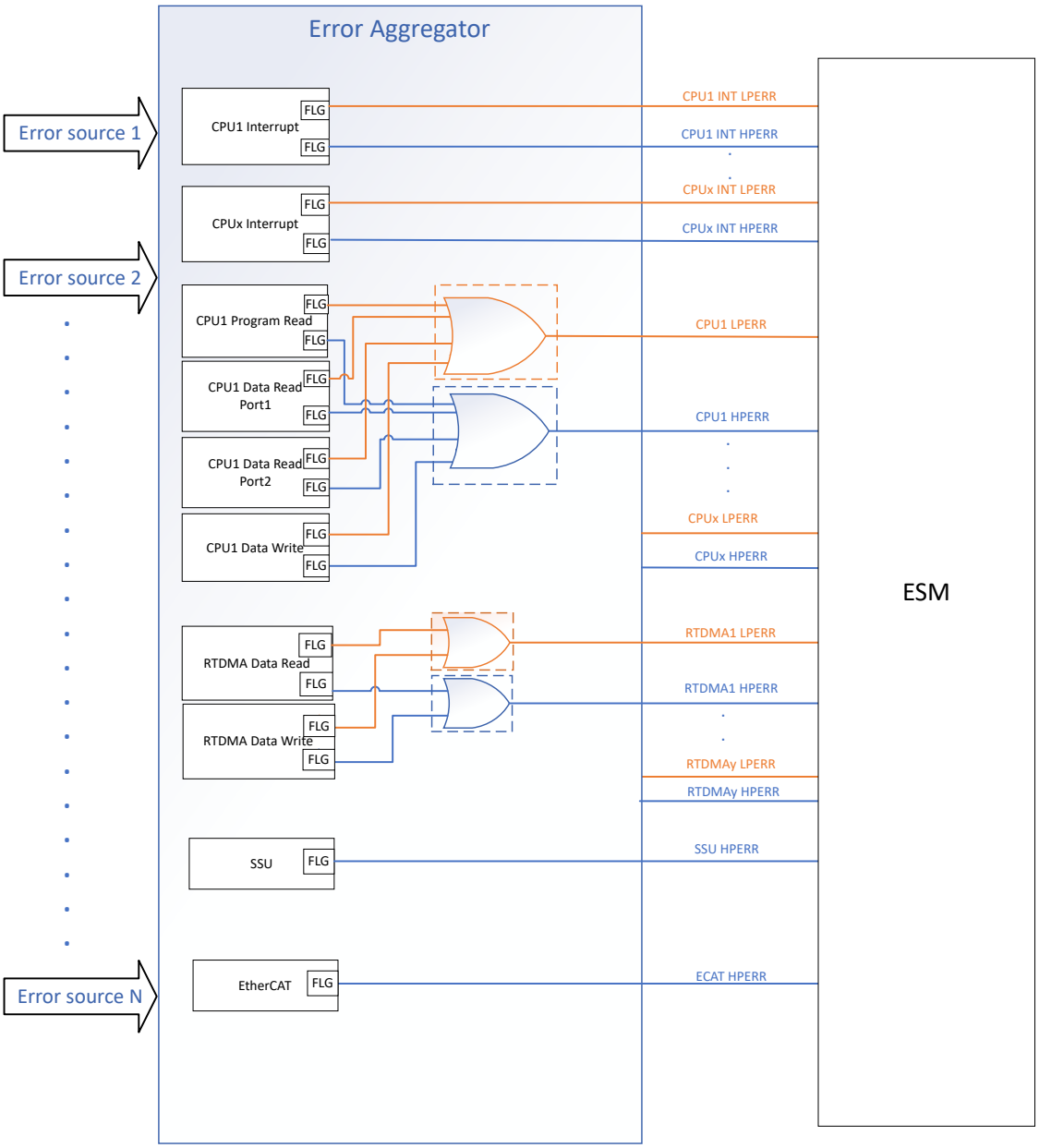


图 7-5. 错误聚合器接口

Copyright © 2025 Texas Instruments Incorporated

7.5 存储器

7.5.1 C29x 存储器映射

表 7-1. 存储器映射

存储器	说明	SIZE (x8)	起始地址	结束地址	RTDMA1 ACCESS	RTDMA2 ACCESS	HSM（M4，RTDMA）访问	ECC/奇偶校验
CPU1 ROM		128	0x0000_0000	0x0001_FFFF	-	-	-	ECC
CPU2 ROM		32	0x0000_0000	0x0000_7FFF	-	-	-	ECC
CPU3 ROM		32	0x0000_0000	0x0000_7FFF	-	-	-	ECC
闪存主存储体	通过 FRI-1 RP0 映射	1024	0x1000_0000	0x100F_FFFF	是	-	是	ECC
闪存主存储体	通过 FRI-1 RP1 映射	1024	0x1010_0000	0x101F_FFFF	是	-	是	ECC
闪存主存储体	通过 FRI-1 RP2 映射	1024	0x1020_0000	0x102F_FFFF	是	-	是	ECC
闪存主存储体	通过 FRI-1 RP3 映射	1024	0x1030_0000	0x103F_FFFF	是	-	是	ECC
闪存主存储体	通过 FRI-2 RP0 映射	1024	0x1040_0000	0x104F_FFFF	是	-	是	ECC
闪存主存储体	通过 FRI-2 RP1 映射	1024	0x1050_0000	0x105F_FFFF	是	-	是	ECC
闪存主存储体	通过 FRI-3 RP0 映射	1024	0x1060_0000	0x106F_FFFF	是	-	是	ECC
闪存主存储体	通过 FRI-3 RP1 映射	1024	0x1070_0000	0x107F_FFFF	是	-	是	ECC
数据闪存 128 位	通过 FRI-4 RP0 映射	256	0x10C0_0000	0x10C3_FFFF	是	-	是	ECC
BANKMGMT 扇区	通过 FRI-1 RP0 映射	4	0x10D8_0000	0x10D8_0FFF	-	-	是	ECC
SECCFG 扇区	通过 FRI-1 RP0 映射	4	0x10D8_1000	0x10D8_1FFF	-	-	是	ECC
BANKMGMT 扇区	通过 FRI-1 RP1 映射	4	0x10D8_4000	0x10D8_4FFF	-	-	是	ECC
SECCFG 扇区	通过 FRI-1 RP1 映射	4	0x10D8_5000	0x10D8_5FFF	-	-	是	ECC
BANKMGMT 扇区	通过 FRI-1 RP2 映射	4	0x10D8_8000	0x10D8_8FFF	-	-	是	ECC
SECCFG 扇区	通过 FRI-1 RP2 映射	4	0x10D8_9000	0x10D8_9FFF	-	-	是	ECC
BANKMGMT 扇区	通过 FRI-1 RP3 映射	4	0x10D8_C000	0x10D8_CFFF	-	-	是	ECC
SECCFG 扇区	通过 FRI-1 RP3 映射	4	0x10D8_D000	0x10D8_DFFF	-	-	是	ECC
BANKMGMT 扇区	通过 FRI-2 RP0 映射	4	0x10D9_0000	0x10D9_0FFF	-	-	是	ECC
SECCFG 扇区	通过 FRI-2 RP0 映射	4	0x10D9_1000	0x10D9_1FFF	-	-	是	ECC
BANKMGMT 扇区	通过 FRI-2 RP1 映射	4	0x10D9_4000	0x10D9_4FFF	-	-	是	ECC
SECCFG 扇区	通过 FRI-2 RP1 映射	4	0x10D9_5000	0x10D9_5FFF	-	-	是	ECC
BANKMGMT 扇区	通过 FRI-3 RP0 映射	4	0x10D9_8000	0x10D9_8FFF	-	-	是	ECC
SECCFG 扇区	通过 FRI-3 RP0 映射	4	0x10D9_9000	0x10D9_9FFF	-	-	是	ECC
BANKMGMT 扇区	通过 FRI-3 RP1 映射	4	0x10D9_C000	0x10D9_CFFF	-	-	是	ECC
SECCFG 扇区	通过 FRI-3 RP1 映射	4	0x10D9_D000	0x10D9_DFFF	-	-	是	ECC
闪存主存储体 ECC 位	通过 FRI-1 RP0 映射	128	0x10E0_0000	0x10E1_FFFF	是	-	是	-
闪存主存储体 ECC 位	通过 FRI-1 RP1 映射	128	0x10E2_0000	0x10E3_FFFF	是	-	是	-
闪存主存储体 ECC 位	通过 FRI-1 RP2 映射	128	0x10E4_0000	0x10E5_FFFF	是	-	是	-
闪存主存储体 ECC 位	通过 FRI-1 RP3 映射	128	0x10E6_0000	0x10E7_FFFF	是	-	是	-
闪存主存储体 ECC 位	通过 FRI-2 RP0 映射	128	0x10E8_0000	0x10E9_FFFF	是	-	是	-
闪存主存储体 ECC 位	通过 FRI-2 RP1 映射	128	0x10EA_0000	0x10EB_FFFF	是	-	是	-
闪存主存储体 ECC 位	通过 FRI-3 RP0 映射	128	0x10EC_0000	0x10ED_FFFF	是	-	是	-
闪存主存储体 ECC 位	通过 FRI-3 RP1 映射	128	0x10EE_0000	0x10EF_FFFF	是	-	是	-
数据闪存 ECC 位	通过 FRI-4 RP0 映射	32	0x10F8_0000	0x10F8_7FFF	是	-	是	-
BANKMGMT 扇区 ECC 位	通过 FRI-1 RP0 映射	0.5	0x10FB_0000	0x10FB_01FF	-	-	是	-
SECCFG 扇区 ECC 位	通过 FRI-1 RP0 映射	0.5	0x10FB_0200	0x10FB_03FF	-	-	是	-
BANKMGMT 扇区 ECC 位	通过 FRI-1 RP1 映射	0.5	0x10FB_0800	0x10FB_09FF	-	-	是	-
SECCFG 扇区 ECC 位	通过 FRI-1 RP1 映射	0.5	0x10FB_0A00	0x10FB_0BFF	-	-	是	-
BANKMGMT 扇区 ECC 位	通过 FRI-1 RP2 映射	0.5	0x10FB_1000	0x10FB_11FF	-	-	是	-

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-1. 存储器映射（续）

存储器	说明	SIZE (x8)	起始地址	结束地址	RTDMA1 ACCESS	RTDMA2 ACCESS	HSM（M4，RTDMA）访问	ECC/奇偶校验
SECCFG 扇区 ECC 位	通过 FRI-1 RP2 映射	0.5	0x10FB_1200	0x10FB_13FF	-	-	是	-
BANKMGMT 扇区 ECC 位	通过 FRI-1 RP3 映射	0.5	0x10FB_1800	0x10FB_19FF	-	-	是	-
SECCFG 扇区 ECC 位	通过 FRI-1 RP3 映射	0.5	0x10FB_1A00	0x10FB_1BFF	-	-	是	-
BANKMGMT 扇区 ECC 位	通过 FRI-2 RP0 映射	0.5	0x10FB_2000	0x10FB_21FF	-	-	是	-
SECCFG 扇区 ECC 位	通过 FRI-2 RP0 映射	0.5	0x10FB_2200	0x10FB_23FF	-	-	是	-
BANKMGMT 扇区 ECC 位	通过 FRI-2 RP1 映射	0.5	0x10FB_2800	0x10FB_29FF	-	-	是	-
SECCFG 扇区 ECC 位	通过 FRI-2 RP1 映射	0.5	0x10FB_2A00	0x10FB_2BFF	-	-	是	-
BANKMGMT 扇区 ECC 位	通过 FRI-3 RP0 映射	0.5	0x10FB_3000	0x10FB_31FF	-	-	是	-
SECCFG 扇区 ECC 位	通过 FRI-3 RP0 映射	0.5	0x10FB_3200	0x10FB_33FF	-	-	是	-
BANKMGMT 扇区 ECC 位	通过 FRI-3 RP1 映射	0.5	0x10FB_3800	0x10FB_39FF	-	-	是	-
SECCFG 扇区 ECC 位	通过 FRI-3 RP1 映射	0.5	0x10FB_3A00	0x10FB_3BFF	-	-	是	-
M0	CPU1 专用堆栈	4	0x2000_0000	0x2000_0FFF	-	-	-	ECC
LDA7	CPU1 和 CPU2 本地 SRAM	16	0x200E_0000	0x200E_3FFF	是	是	是	ECC
LDA6	CPU1 和 CPU2 本地 SRAM	16	0x200E_4000	0x200E_7FFF	是	是	是	ECC
LDA5	CPU1 和 CPU2 本地 SRAM	16	0x200E_8000	0x200E_BFFF	是	是	是	ECC
LDA4	CPU1 和 CPU2 本地 SRAM	16	0x200E_C000	0x200E_FFFF	是	是	是	ECC
LDA3	CPU1 和 CPU2 本地 SRAM	16	0x200F_0000	0x200F_3FFF	是	是	是	ECC
LDA2	CPU1 和 CPU2 本地 SRAM	16	0x200F_4000	0x200F_7FFF	是	是	是	ECC
LDA1	CPU1 和 CPU2 本地 SRAM	16	0x200F_8000	0x200F_BFFF	是	是	是	ECC
LDA0	CPU1 和 CPU2 本地 SRAM	16	0x200F_C000	0x200F_FFFF	是	是	是	ECC
LPA0	CPU1 和 CPU2 本地 SRAM	32	0x2010_0000	0x2010_7FFF	是	是	-	ECC
LPA1	CPU1 和 CPU2 本地 SRAM	32	0x2010_8000	0x2010_FFFF	是	是	-	ECC
CPA0	CPU1 和 CPU3 通用 SRAM	32	0x2011_0000	0x2011_7FFF	是	是	-	ECC
CPA1	CPU1 和 CPU3 通用 SRAM	32	0x2011_8000	0x2011_FFFF	是	是	-	ECC
CDA0	CPU1 和 CPU3 通用 SRAM	16	0x2012_0000	0x2012_3FFF	是	是	-	ECC
CDA1	CPU1 和 CPU3 通用 SRAM	16	0x2012_4000	0x2012_7FFF	是	是	-	ECC
CDA2	CPU1 和 CPU3 通用 SRAM	16	0x2012_8000	0x2012_BFFF	是	是	-	ECC
CDA3	CPU1 和 CPU3 通用 SRAM	16	0x2012_C000	0x2012_FFFF	是	是	-	ECC
CDA4	CPU1 和 CPU3 通用 SRAM	16	0x2013_0000	0x2013_3FFF	是	是	-	ECC
CDA5	CPU1 和 CPU3 通用 SRAM	16	0x2013_4000	0x2013_7FFF	是	是	-	ECC
CDA6	CPU1 和 CPU3 通用 SRAM	16	0x2013_8000	0x2013_BFFF	是	是	-	ECC
CDA7	CPU1 和 CPU3 通用 SRAM	16	0x2013_C000	0x2013_FFFF	是	是	-	ECC
CDA8	CPU1 和 CPU3 通用 SRAM	16	0x2014_0000	0x2014_3FFF	是	是	-	ECC
CDA9	CPU1 和 CPU3 通用 SRAM	16	0x2014_4000	0x2014_7FFF	是	是	-	ECC
CDA10	CPU1 和 CPU3 通用 SRAM	16	0x2014_8000	0x2014_BFFF	是	是	-	ECC
CDA11	CPU1 和 CPU3 通用 SRAM	16	0x2014_C000	0x2014_FFFF	是	是	-	ECC
HSM 邮箱	-	4	0x302C_0800	0x302C_17FF	是	是	-	-
EtherCAT RAM	-	16	0x3038_1000	0x3038_4FFF	是	是	-	-
EtherCAT RAM - 直接访问	-	16	0x303A_1000	0x303A_4FFF	是	是	-	-
MCANA 消息 RAM	-	4	0x6002_0000	0x6002_0FFF	是	是	-	-
MCANB 消息 RAM	-	4	0x6002_8000	0x6002_8FFF	是	是	-	-
MCANC 消息 RAM	-	4	0x6003_0000	0x6003_0FFF	是	是	-	-
MCAND 消息 RAM	-	4	0x6003_8000	0x6003_8FFF	是	是	-	-
MCANE 消息 RAM	-	4	0x6004_0000	0x6004_0FFF	是	是	-	-
MCANF 消息 RAM	-	4	0x6004_8000	0x6004_8FFF	是	是	-	-

Copyright © 2025 Texas Instruments Incorporated

表 7-1. 存储器映射（续）

存储器	说明	SIZE (x8)	起始地址	结束地址	RTDMA1 ACCESS	RTDMA2 ACCESS	HSM（M4，RTDMA）访问	ECC/奇偶校验
CPU1 DLT FIFO 寄存器		8	0x600F_8000	0x600F_9FFF	是	是	-	-
CPU2 DLT FIFO 寄存器		8	0x600F_A000	0x600F_BFFF	是	是	-	-
CPU3 DLT FIFO 寄存器		8	0x600F_C000	0x600F_DFFF	是	是	-	-
EMIF1 - SDRAM、CS0	无突发模式	262144	0x8000_0000	0x8FFF_FFFF	是	是	-	-
EMIF1 - ASYNC、CS2	无突发模式	65536	0x9000_0000	0x93FF_FFFF	是	是	-	-
EMIF1 - ASYNC、CS3	无突发模式	65536	0x9400_0000	0x97FF_FFFF	是	是	-	-
EMIF1 - ASYNC、CS4	无突发模式	65536	0x9800_0000	0x9BFF_FFFF	是	是	-	-
EMIF1 - SDRAM、CS0	带突发模式	262144	0xA000_0000	0xAFFF_FFFF	是	是	-	-
EMIF1 - ASYNC、CS2	带突发模式	65536	0xB000_0000	0xB3FF_FFFF	是	是	-	-
EMIF1 - ASYNC、CS3	带突发模式	65536	0xB400_0000	0xB7FF_FFFF	是	是	-	-
EMIF1 - ASYNC、CS4	带突发模式	65536	0xB800_0000	0xBBFF_FFFF	是	是	-	-

ADVANCE INFORMATION

7.5.2 闪存映射

F29H85x、F29P58x 和 F29P32x 器件具有高达 4MB 的程序闪存存储器。程序闪存由 512KB 闪存存储体的交错对组成，每个存储体最多 2 个交错对（共 4 个存储体）被分配给闪存控制器 1 (FLC1) 和闪存控制器 2 (FLC2)。FLC1 中还有一个 256KB 的数据存储体。闪存存储体根据闪存控制器和存储体编号进行标注。例如，FLC2.B0/B1 是指 FLC2 中的第一个交错存储体对（B0 和 B1），而 FLC1.B4 是指 FLC1 中的单个数据存储体。

每个闪存存储体由 2KB 的物理扇区组成。标称大小（例如 512KB）表示 MAIN 区域的大小。此外，每个闪存存储体包括两个特殊区域：

- SECCFG，用于存储 SSU 配置设置；以及
- BANKMGMT，用于存储存储体模式设置和固件更新元数据。

F29x 器件上的闪存存储器可通过多个闪存读取接口 (FRI) 寻址，每个接口具有一个或多个读取端口，可寻址高达 1MB 的闪存存储器。可用的 FRIS 如表 7-2 所示。读取端口在给定时间访问的实际闪存存储器区域取决于当前系统存储体模式和交换配置。存在 CPU3 的器件具有 4 种可用的存储体模式（0 至 3）。不存在 CPU3 的器件具有两个可用的存储体模式（0 至 1）。CPU2 和 CPU4（如果存在）是辅助 CPU，无法直接从闪存执行代码。

表 7-2. F29x 闪存读取接口

闪存读取接口	说明
FRI-1	CPU1 程序存储器
FRI-2	CPU3 程序存储器
FRI-3	固件更新区域 (FOTA/LFU)
FRI-4	数据闪存存储体

闪存存储体模式通过 SSU_GEN_REGS 寄存器槽中的 BANKMODE 寄存器进行配置，并在器件引导期间从 FLC1 中有效代码存储体对的 BANKMGMT 扇区加载。当存在 CPU3 时，BANKMODE 值 0 和 1 会将所有程序闪存映射到 CPU1，而 BANKMODE 值 2 和 3 会将可用程序闪存的一半映射到 CPU1，另一半映射到 CPU3。奇数 BANKMODE 值（1 和 3）支持使用 A/B 交换进行固件更新，允许从闪存的一半执行代码，而另一半可以使用更新的代码进行编程。当设置了 SSU_GEN_REGS.BANKMAP 寄存器中的 CPU1SWAP 或 CPU3SWAP 位时，硬件会交换闪存存储体，以便新编程的闪存存储体替换位于相同读取端口地址的旧闪存存储体。该功能可用于在目标系统应用中实现固件无线更新 (FOTA) 或实时固件更新 (LFU)。

表 7-3. C29x CPU 组模式

BANKMODE	闪存映射	交换启用	1-CPU 器件
0	所有程序闪存均映射到 CPU1	否	可用
1		是	可用
2	程序闪存存储器在 CPU1 和 CPU3 之间分配	否	不适用
3		是	不适用

有关闪存操作的详细信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册*。

Copyright © 2025 Texas Instruments Incorporated

7.5.2.1 闪存 MAIN 区域地址映射（F29H85x，4MB）

本节中的地址映射表适用于以下通用器件型号：F29H850TU9、F29H859TU8、F29H850DU7、F29H859DU6。

表 7-4. 闪存 MAIN 区域地址映射 (BANKMODE = 0)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1
	RP1	1MB	0x10100000	0x101FFFFF	FLC1.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	FLC2.B0/B1
	RP3	1MB	0x10300000	0x103FFFFF	FLC2.B2/B3
FRI-2（CPU3 编程）	RP0	1MB	0x10400000	0x104FFFFF	不适用
	RP1	1MB	0x10500000	0x105FFFFF	不适用
FRI-3（更新区域）	RP0	1MB	0x10600000	0x106FFFFF	不适用
	RP1	1MB	0x10700000	0x107FFFFF	不适用

表 7-5. 闪存 MAIN 区域地址映射 (BANKMODE = 1)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	1MB	0x10100000	0x101FFFFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	不适用	不适用
	RP3	1MB	0x10300000	0x103FFFFF	不适用	不适用
FRI-2（CPU3 编程）	RP0	1MB	0x10400000	0x104FFFFF	不适用	不适用
	RP1	1MB	0x10500000	0x105FFFFF	不适用	不适用
FRI-3（更新区域）	RP0	1MB	0x10600000	0x106FFFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	1MB	0x10700000	0x107FFFFF	FLC2.B2/B3	FLC2.B0/B1

表 7-6. 闪存 MAIN 区域地址映射 (BANKMODE = 2)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1
	RP1	1MB	0x10100000	0x101FFFFF	FLC1.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	不适用
	RP3	1MB	0x10300000	0x103FFFFF	不适用
FRI-2（CPU3 编程）	RP0	1MB	0x10400000	0x104FFFFF	FLC2.B0/B1
	RP1	1MB	0x10500000	0x105FFFFF	FLC2.B2/B3
FRI-3（更新区域）	RP0	1MB	0x10600000	0x106FFFFF	不适用
	RP1	1MB	0x10700000	0x107FFFFF	不适用

表 7-7. 闪存 MAIN 区域地址映射 (BANKMODE = 3)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	1MB	0x10100000	0x101FFFFF	不适用	不适用
	RP2	1MB	0x10200000	0x102FFFFF	不适用	不适用
	RP3	1MB	0x10300000	0x103FFFFF	不适用	不适用
FRI-2（CPU3 编程）	RP0	1MB	0x10400000	0x104FFFFF	FLC2.B0/B1	FLC2.B2/B3
	RP1	1MB	0x10500000	0x105FFFFF	不适用	不适用
FRI-3（更新区域）	RP0	1MB	0x10600000	0x106FFFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	1MB	0x10700000	0x107FFFFF	FLC2.B2/B3	FLC2.B0/B1

ADVANCE INFORMATION

7.5.2.2 闪存 MAIN 区域地址映射（F29H85x，2MB）

本节中的地址映射表适用于以下通用器件型号：F29H859TM8、F29H850DM7、F29H859DM6。

表 7-8. 闪存 MAIN 区域地址映射 (BANKMODE = 0)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1
	RP1	512KB	0x10100000	0x1017FFFF	FLC1.B2/B3
	RP2	512KB	0x10200000	0x1027FFFF	FLC2.B0/B1
	RP3	512KB	0x10300000	0x1037FFFF	FLC2.B2/B3
FRI-2（CPU3 编程）	RP0	512KB	0x10400000	0x1047FFFF	不适用
	RP1	512KB	0x10500000	0x1057FFFF	不适用
FRI-3（更新区域）	RP0	512KB	0x10600000	0x1067FFFF	不适用
	RP1	512KB	0x10700000	0x1077FFFF	不适用

表 7-9. 闪存 MAIN 区域地址映射 (BANKMODE = 1)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	512KB	0x10100000	0x1017FFFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	512KB	0x10200000	0x1027FFFF	不适用	不适用
	RP3	512KB	0x10300000	0x1037FFFF	不适用	不适用
FRI-2（CPU3 编程）	RP0	512KB	0x10400000	0x1047FFFF	不适用	不适用
	RP1	512KB	0x10500000	0x1057FFFF	不适用	不适用
FRI-3（更新区域）	RP0	512KB	0x10600000	0x1067FFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	512KB	0x10700000	0x1077FFFF	FLC2.B2/B3	FLC2.B0/B1

表 7-10. 闪存 MAIN 区域地址映射 (BANKMODE = 2)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1
	RP1	512KB	0x10100000	0x1017FFFF	FLC1.B2/B3
	RP2	512KB	0x10200000	0x1027FFFF	不适用
	RP3	512KB	0x10300000	0x1037FFFF	不适用
FRI-2（CPU3 编程）	RP0	512KB	0x10400000	0x1047FFFF	FLC2.B0/B1
	RP1	512KB	0x10500000	0x1057FFFF	FLC2.B2/B3
FRI-3（更新区域）	RP0	512KB	0x10600000	0x1067FFFF	不适用
	RP1	512KB	0x10700000	0x1077FFFF	不适用

表 7-11. 闪存 MAIN 区域地址映射 (BANKMODE = 3)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	512KB	0x10100000	0x1017FFFF	不适用	不适用
	RP2	512KB	0x10200000	0x1027FFFF	不适用	不适用
	RP3	512KB	0x10300000	0x1037FFFF	不适用	不适用
FRI-2（CPU3 编程）	RP0	512KB	0x10400000	0x1047FFFF	FLC2.B0/B1	FLC2.B2/B3
	RP1	512KB	0x10500000	0x1057FFFF	不适用	不适用
FRI-3（更新区域）	RP0	512KB	0x10600000	0x1067FFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	512KB	0x10700000	0x1077FFFF	FLC2.B2/B3	FLC2.B0/B1

Copyright © 2025 Texas Instruments Incorporated

7.5.2.3 闪存 MAIN 区域地址映射（F29P58x，4MB）

本节中的地址映射表适用于以下通用器件型号：F29P589DU5。

表 7-12. 闪存 MAIN 区域地址映射 (BANKMODE = 0)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1
	RP1	1MB	0x10100000	0x101FFFFF	FLC1.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	FLC2.B0/B1
	RP3	1MB	0x10300000	0x103FFFFF	FLC2.B2/B3
FRI-3（更新区域）	RP0	1MB	0x10600000	0x106FFFFF	不适用
	RP1	1MB	0x10700000	0x107FFFFF	不适用

表 7-13. 闪存 MAIN 区域地址映射 (BANKMODE = 1)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	1MB	0x10100000	0x101FFFFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	不适用	不适用
	RP3	1MB	0x10300000	0x103FFFFF	不适用	不适用
FRI-3（更新区域）	RP0	1MB	0x10600000	0x106FFFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	1MB	0x10700000	0x107FFFFF	FLC2.B2/B3	FLC2.B0/B1

7.5.2.4 闪存 MAIN 区域地址映射（F29P58x、F29P32x 2MB）

本节中的地址映射表适用于以下通用器件型号：F29P580DM5、F29P589DM5 和 F29P329SM2。

表 7-14. 闪存 MAIN 区域地址映射 (BANKMODE = 0)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1
	RP1	1MB	0x10100000	0x101FFFFF	FLC1.B2/B3
FRI-3（更新区域）	RP0	1MB	0x10600000	0x106FFFFF	不适用

表 7-15. 闪存 MAIN 区域地址映射 (BANKMODE = 1)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	1MB	0x10100000	0x101FFFFF	不适用	不适用
FRI-3（更新区域）	RP0	1MB	0x10600000	0x106FFFFF	FLC1.B2/B3	FLC1.B0/B1

7.5.2.5 闪存数据存储体地址映射

下面的地址映射表适用于所有器件型号。

表 7-16. 闪存数据存储体地址映射

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-4	RP0	256KB	0x10C00000	0x10C3FFFF	FLC1.B4

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5.2.6 闪存 BANKMGMT 区域地址映射

以下地址映射表适用于所有器件型号。

表 7-17. 闪存 BANKMGMT 区域地址映射 (BANKMODE = 0)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	4KB	0x10D80000	0x10D80FFF	FLC1.B0/B1
	RP1	4KB	0x10D84000	0x10D84FFF	FLC1.B2/B3
	RP2	4KB	0x10D88000	0x10D88FFF	FLC2.B0/B1
	RP3	4KB	0x10D8C000	0x10D8CFFF	FLC2.B2/B3
FRI-2（CPU3 编程）(1)	RP0	4KB	0x10D90000	0x10D90FFF	不适用
	RP1	4KB	0x10D94000	0x10D94FFF	不适用
FRI-3（更新区域）	RP0	4KB	0x10D98000	0x10D98FFF	不适用
	RP1	4KB	0x10D9C000	0x10D9CFFF	不适用

表 7-18. 闪存 BANKMGMT 区域地址映射 (BANKMODE = 1)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	4KB	0x10D80000	0x10D80FFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	4KB	0x10D84000	0x10D84FFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	4KB	0x10D88000	0x10D88FFF	不适用	不适用
	RP3	4KB	0x10D8C000	0x10D8CFFF	不适用	不适用
FRI-2（CPU3 编程）(1)	RP0	4KB	0x10D90000	0x10D90FFF	不适用	不适用
	RP1	4KB	0x10D94000	0x10D94FFF	不适用	不适用
FRI-3（更新区域）	RP0	4KB	0x10D98000	0x10D98FFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	4KB	0x10D9C000	0x10D9CFFF	FLC2.B2/B3	FLC2.B0/B1

表 7-19. 闪存 BANKMGMT 区域地址映射 (BANKMODE = 2)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	4KB	0x10D80000	0x10D80FFF	FLC1.B0/B1
	RP1	4KB	0x10D84000	0x10D84FFF	FLC1.B2/B3
	RP2	4KB	0x10D88000	0x10D88FFF	不适用
	RP3	4KB	0x10D8C000	0x10D8CFFF	不适用
FRI-2（CPU3 编程）(1)	RP0	4KB	0x10D90000	0x10D90FFF	FLC2.B0/B1
	RP1	4KB	0x10D94000	0x10D94FFF	FLC2.B2/B3
FRI-3（更新区域）	RP0	4KB	0x10D98000	0x10D98FFF	不适用
	RP1	4KB	0x10D9C000	0x10D9CFFF	不适用

表 7-20. 闪存 BANKMGMT 区域地址映射 (BANKMODE = 3)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	4KB	0x10D80000	0x10D80FFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	4KB	0x10D84000	0x10D84FFF	不适用	不适用
	RP2	4KB	0x10D88000	0x10D88FFF	不适用	不适用
	RP3	4KB	0x10D8C000	0x10D8CFFF	不适用	不适用
FRI-2（CPU3 编程）(1)	RP0	4KB	0x10D90000	0x10D90FFF	FLC2.B0/B1	FLC2.B2/B3
	RP1	4KB	0x10D94000	0x10D94FFF	不适用	不适用
FRI-3（更新区域）	RP0	4KB	0x10D98000	0x10D98FFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	4KB	0x10D9C000	0x10D9CFFF	FLC2.B2/B3	FLC2.B0/B1

(1) FRI-2/CPU3 并不适用于 F29P58x 器件。

Copyright © 2025 Texas Instruments Incorporated

7.5.2.7 闪存 SECCFG 区域地址映射

以下地址映射表适用于所有器件型号。

表 7-21. 闪存 SECCFG 区域地址映射 (BANKMODE = 0)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	4KB	0x10D81000	0x10D81FFF	FLC1.B0/B1
	RP1	4KB	0x10D85000	0x10D85FFF	FLC1.B2/B3
	RP2	4KB	0x10D89000	0x10D89FFF	FLC2.B0/B1
	RP3	4KB	0x10D8D000	0x10D8DFFF	FLC2.B2/B3
FRI-2（CPU3 编程）(1)	RP0	4KB	0x10D91000	0x10D91FFF	不适用
	RP1	4KB	0x10D95000	0x10D95FFF	不适用
FRI-3（更新区域）	RP0	4KB	0x10D99000	0x10D99FFF	不适用
	RP1	4KB	0x10D9D000	0x10D9DFFF	不适用

表 7-22. 闪存 SECCFG 区域地址映射 (BANKMODE = 1)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	4KB	0x10D81000	0x10D81FFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	4KB	0x10D85000	0x10D85FFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	4KB	0x10D89000	0x10D89FFF	不适用	不适用
	RP3	4KB	0x10D8D000	0x10D8DFFF	不适用	不适用
FRI-2（CPU3 编程）(1)	RP0	4KB	0x10D91000	0x10D91FFF	不适用	不适用
	RP1	4KB	0x10D95000	0x10D95FFF	不适用	不适用
FRI-3（更新区域）	RP0	4KB	0x10D99000	0x10D99FFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	4KB	0x10D9D000	0x10D9DFFF	FLC2.B2/B3	FLC2.B0/B1

表 7-23. 闪存 SECCFG 区域地址映射 (BANKMODE = 2)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体
FRI-1（CPU1 编程）	RP0	4KB	0x10D81000	0x10D81FFF	FLC1.B0/B1
	RP1	4KB	0x10D85000	0x10D85FFF	FLC1.B2/B3
	RP2	4KB	0x10D89000	0x10D89FFF	不适用
	RP3	4KB	0x10D8D000	0x10D8DFFF	不适用
FRI-2（CPU3 编程）(1)	RP0	4KB	0x10D91000	0x10D91FFF	FLC2.B0/B1
	RP1	4KB	0x10D95000	0x10D95FFF	FLC2.B2/B3
FRI-3（更新区域）	RP0	4KB	0x10D99000	0x10D99FFF	不适用
	RP1	4KB	0x10D9D000	0x10D9DFFF	不适用

ADVANCE INFORMATION

表 7-24. 闪存 SECCFG 区域地址映射 (BANKMODE = 3)

FRI	读取端口	尺寸	起始地址	结束地址	闪存存储体 (SWAP = 0)	闪存存储体 (SWAP = 1)
FRI-1（CPU1 编程）	RP0	4KB	0x10D81000	0x10D81FFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	4KB	0x10D85000	0x10D85FFF	不适用	不适用
	RP2	4KB	0x10D89000	0x10D89FFF	不适用	不适用
	RP3	4KB	0x10D8D000	0x10D8DFFF	不适用	不适用
FRI-2（CPU3 编程）(1)	RP0	4KB	0x10D91000	0x10D91FFF	FLC2.B0/B1	FLC2.B2/B3
	RP1	4KB	0x10D95000	0x10D95FFF	不适用	不适用
FRI-3（更新区域）	RP0	4KB	0x10D99000	0x10D99FFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	4KB	0x10D9D000	0x10D9DFFF	FLC2.B2/B3	FLC2.B0/B1

(1) FRI-2/CPU3 并不适用于 F29P58x 器件。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.5.3 外设寄存器内存映射

表 7-25. 外设寄存器内存映射

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
vbusp_cpu1									
SECAP_HANDLER_REGS	C29DEBUGSS_BASE	0x3001_8000	-	是	-	-	-	-	-
LCM_REGS	LCM_CPU_BASE	0x3003_2000	-	是	-	-	-	-	-
vbus32_ethercat									
ESCSS_REGS	ESC_SS_BASE	0x3038_8000	-	是	是	是	是	是	-
ESCSS_CONFIG_REGS	ESC_SS_CONFIG_BASE	0x3038_8200	-	是	是	是	是	是	-
vbus32_frame0									
EPWM_REGS	EPWM1_BASE	0x7000_0000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM1XCMP_BASE	0x7000_0400	是	是	是	是	是	是	-
DE_REGS	EPWM1DE_BASE	0x7000_0800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM1MINDBLUT_BASE	0x7000_0C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM2_BASE	0x7000_1000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM2XCMP_BASE	0x7000_1400	是	是	是	是	是	是	-
DE_REGS	EPWM2DE_BASE	0x7000_1800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM2MINDBLUT_BASE	0x7000_1C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM3_BASE	0x7000_2000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM3XCMP_BASE	0x7000_2400	是	是	是	是	是	是	-
DE_REGS	EPWM3DE_BASE	0x7000_2800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM3MINDBLUT_BASE	0x7000_2C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM4_BASE	0x7000_3000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM4XCMP_BASE	0x7000_3400	是	是	是	是	是	是	-
DE_REGS	EPWM4DE_BASE	0x7000_3800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM4MINDBLUT_BASE	0x7000_3C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM5_BASE	0x7000_4000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM5XCMP_BASE	0x7000_4400	是	是	是	是	是	是	-
DE_REGS	EPWM5DE_BASE	0x7000_4800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM5MINDBLUT_BASE	0x7000_4C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM6_BASE	0x7000_5000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM6XCMP_BASE	0x7000_5400	是	是	是	是	是	是	-
DE_REGS	EPWM6DE_BASE	0x7000_5800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM6MINDBLUT_BASE	0x7000_5C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM7_BASE	0x7000_6000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM7XCMP_BASE	0x7000_6400	是	是	是	是	是	是	-

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
DE_REGS	EPWM7DE_BASE	0x7000_6800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM7MINDBLUT_BASE	0x7000_6C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM8_BASE	0x7000_7000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM8XCMP_BASE	0x7000_7400	是	是	是	是	是	是	-
DE_REGS	EPWM8DE_BASE	0x7000_7800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM8MINDBLUT_BASE	0x7000_7C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM9_BASE	0x7000_8000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM9XCMP_BASE	0x7000_8400	是	是	是	是	是	是	-
DE_REGS	EPWM9DE_BASE	0x7000_8800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM9MINDBLUT_BASE	0x7000_8C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM10_BASE	0x7000_9000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM10XCMP_BASE	0x7000_9400	是	是	是	是	是	是	-
DE_REGS	EPWM10DE_BASE	0x7000_9800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM10MINDBLUT_BASE	0x7000_9C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM11_BASE	0x7000_A000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM11XCMP_BASE	0x7000_A400	是	是	是	是	是	是	-
DE_REGS	EPWM11DE_BASE	0x7000_A800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM11MINDBLUT_BASE	0x7000_AC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM12_BASE	0x7000_B000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM12XCMP_BASE	0x7000_B400	是	是	是	是	是	是	-
DE_REGS	EPWM12DE_BASE	0x7000_B800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM12MINDBLUT_BASE	0x7000_BC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM13_BASE	0x7000_C000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM13XCMP_BASE	0x7000_C400	是	是	是	是	是	是	-
DE_REGS	EPWM13DE_BASE	0x7000_C800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM13MINDBLUT_BASE	0x7000_CC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM14_BASE	0x7000_D000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM14XCMP_BASE	0x7000_D400	是	是	是	是	是	是	-
DE_REGS	EPWM14DE_BASE	0x7000_D800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM14MINDBLUT_BASE	0x7000_DC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM15_BASE	0x7000_E000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM15XCMP_BASE	0x7000_E400	是	是	是	是	是	是	-
DE_REGS	EPWM15DE_BASE	0x7000_E800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM15MINDBLUT_BASE	0x7000_EC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM16_BASE	0x7000_F000	是	是	是	是	是	是	-

Copyright © 2025 Texas Instruments Incorporated

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
EPWM_XCMP_REGS	EPWM16XCMP_BASE	0x7000_F400	是	是	是	是	是	是	-
DE_REGS	EPWM16DE_BASE	0x7000_F800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM16MINDBLUT_BASE	0x7000_FC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM17_BASE	0x7001_0000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM17XCMP_BASE	0x7001_0400	是	是	是	是	是	是	-
DE_REGS	EPWM17DE_BASE	0x7001_0800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM17MINDBLUT_BASE	0x7001_0C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM18_BASE	0x7001_1000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM18XCMP_BASE	0x7001_1400	是	是	是	是	是	是	-
DE_REGS	EPWM18DE_BASE	0x7001_1800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM18MINDBLUT_BASE	0x7001_1C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM1XLINK_BASE	0x7004_0000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM1XCMPXLINK_BASE	0x7004_0400	是	是	是	是	是	是	-
DE_REGS	EPWM1DEXLINK_BASE	0x7004_0800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM1MINDBLUTXLINK_BASE	0x7004_0C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM2XLINK_BASE	0x7004_1000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM2XCMPXLINK_BASE	0x7004_1400	是	是	是	是	是	是	-
DE_REGS	EPWM2DEXLINK_BASE	0x7004_1800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM2MINDBLUTXLINK_BASE	0x7004_1C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM3XLINK_BASE	0x7004_2000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM3XCMPXLINK_BASE	0x7004_2400	是	是	是	是	是	是	-
DE_REGS	EPWM3DEXLINK_BASE	0x7004_2800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM3MINDBLUTXLINK_BASE	0x7004_2C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM4XLINK_BASE	0x7004_3000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM4XCMPXLINK_BASE	0x7004_3400	是	是	是	是	是	是	-
DE_REGS	EPWM4DEXLINK_BASE	0x7004_3800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM4MINDBLUTXLINK_BASE	0x7004_3C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM5XLINK_BASE	0x7004_4000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM5XCMPXLINK_BASE	0x7004_4400	是	是	是	是	是	是	-
DE_REGS	EPWM5DEXLINK_BASE	0x7004_4800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM5MINDBLUTXLINK_BASE	0x7004_4C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM6XLINK_BASE	0x7004_5000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM6XCMPXLINK_BASE	0x7004_5400	是	是	是	是	是	是	-
DE_REGS	EPWM6DEXLINK_BASE	0x7004_5800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM6MINDBLUTXLINK_BASE	0x7004_5C00	是	是	是	是	是	是	-

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
EPWM_REGS	EPWM7XLINK_BASE	0x7004_6000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM7XCMPXLINK_BASE	0x7004_6400	是	是	是	是	是	是	-
DE_REGS	EPWM7DEXLINK_BASE	0x7004_6800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM7MINDBLUTXLINK_BASE	0x7004_6C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM8XLINK_BASE	0x7004_7000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM8XCMPXLINK_BASE	0x7004_7400	是	是	是	是	是	是	-
DE_REGS	EPWM8DEXLINK_BASE	0x7004_7800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM8MINDBLUTXLINK_BASE	0x7004_7C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM9XLINK_BASE	0x7004_8000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM9XCMPXLINK_BASE	0x7004_8400	是	是	是	是	是	是	-
DE_REGS	EPWM9DEXLINK_BASE	0x7004_8800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM9MINDBLUTXLINK_BASE	0x7004_8C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM10XLINK_BASE	0x7004_9000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM10XCMPXLINK_BASE	0x7004_9400	是	是	是	是	是	是	-
DE_REGS	EPWM10DEXLINK_BASE	0x7004_9800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM10MINDBLUTXLINK_BASE	0x7004_9C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM11XLINK_BASE	0x7004_A000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM11XCMPXLINK_BASE	0x7004_A400	是	是	是	是	是	是	-
DE_REGS	EPWM11DEXLINK_BASE	0x7004_A800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM11MINDBLUTXLINK_BASE	0x7004_AC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM12XLINK_BASE	0x7004_B000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM12XCMPXLINK_BASE	0x7004_B400	是	是	是	是	是	是	-
DE_REGS	EPWM12DEXLINK_BASE	0x7004_B800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM12MINDBLUTXLINK_BASE	0x7004_BC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM13XLINK_BASE	0x7004_C000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM13XCMPXLINK_BASE	0x7004_C400	是	是	是	是	是	是	-
DE_REGS	EPWM13DEXLINK_BASE	0x7004_C800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM13MINDBLUTXLINK_BASE	0x7004_CC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM14XLINK_BASE	0x7004_D000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM14XCMPXLINK_BASE	0x7004_D400	是	是	是	是	是	是	-
DE_REGS	EPWM14DEXLINK_BASE	0x7004_D800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM14MINDBLUTXLINK_BASE	0x7004_DC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM15XLINK_BASE	0x7004_E000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM15XCMPXLINK_BASE	0x7004_E400	是	是	是	是	是	是	-
DE_REGS	EPWM15DEXLINK_BASE	0x7004_E800	是	是	是	是	是	是	-

Copyright © 2025 Texas Instruments Incorporated

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
MINDB_LUT_REGS	EPWM15MINDBLUTXLINK_BASE	0x7004_EC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM16XLINK_BASE	0x7004_F000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM16XCMPXLINK_BASE	0x7004_F400	是	是	是	是	是	是	-
DE_REGS	EPWM16DEXLINK_BASE	0x7004_F800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM16MINDBLUTXLINK_BASE	0x7004_FC00	是	是	是	是	是	是	-
EPWM_REGS	EPWM17XLINK_BASE	0x7005_0000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM17XCMPXLINK_BASE	0x7005_0400	是	是	是	是	是	是	-
DE_REGS	EPWM17DEXLINK_BASE	0x7005_0800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM17MINDBLUTXLINK_BASE	0x7005_0C00	是	是	是	是	是	是	-
EPWM_REGS	EPWM18XLINK_BASE	0x7005_1000	是	是	是	是	是	是	-
EPWM_XCMP_REGS	EPWM18XCMPXLINK_BASE	0x7005_1400	是	是	是	是	是	是	-
DE_REGS	EPWM18DEXLINK_BASE	0x7005_1800	是	是	是	是	是	是	-
MINDB_LUT_REGS	EPWM18MINDBLUTXLINK_BASE	0x7005_1C00	是	是	是	是	是	是	-
HRPWMCAL_REGS	HRPWMCAL1_BASE	0x7008_0000	是	是	是	是	是	是	-
HRPWMCAL_REGS	HRPWMCAL2_BASE	0x7008_1000	是	是	是	是	是	是	-
HRPWMCAL_REGS	HRPWMCAL3_BASE	0x7008_2000	是	是	是	是	是	是	-
EQEP_REGS	EQEP1_BASE	0x7008_8000	是	是	是	是	是	是	-
EQEP_REGS	EQEP2_BASE	0x7008_9000	是	是	是	是	是	是	-
EQEP_REGS	EQEP3_BASE	0x7008_A000	是	是	是	是	是	是	-
EQEP_REGS	EQEP4_BASE	0x7008_B000	是	是	是	是	是	是	-
EQEP_REGS	EQEP5_BASE	0x7008_C000	是	是	是	是	是	是	-
EQEP_REGS	EQEP6_BASE	0x7008_D000	是	是	是	是	是	是	-
SDFM_REGS	SDFM1_BASE	0x7009_0000	是	是	是	是	是	是	-
SDFM_REGS	SDFM2_BASE	0x7009_1000	是	是	是	是	是	是	-
SDFM_REGS	SDFM3_BASE	0x7009_2000	是	是	是	是	是	是	-
SDFM_REGS	SDFM4_BASE	0x7009_3000	是	是	是	是	是	是	-
ADC_REGS	ADCA_BASE	0x700A_0000	是	是	是	是	是	是	-
ADC_REGS	ADCB_BASE	0x700A_1000	是	是	是	是	是	是	-
ADC_REGS	ADCC_BASE	0x700A_2000	是	是	是	是	是	是	-
ADC_REGS	ADCD_BASE	0x700A_3000	是	是	是	是	是	是	-
ADC_REGS	ADCE_BASE	0x700A_4000	是	是	是	是	是	是	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK1_BASE	0x700B_0000	是	是	是	是	是	是	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK2_BASE	0x700B_1000	是	是	是	是	是	是	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK3_BASE	0x700B_2000	是	是	是	是	是	是	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK4_BASE	0x700B_3000	是	是	是	是	是	是	-

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
ADC_SAFECHECK_REGS	ADCSAFETYCHECK5_BASE	0x700B_4000	是	是	是	是	是	是	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK6_BASE	0x700B_5000	是	是	是	是	是	是	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK7_BASE	0x700B_6000	是	是	是	是	是	是	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK8_BASE	0x700B_7000	是	是	是	是	是	是	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK9_BASE	0x700B_8000	是	是	是	是	是	是	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK10_BASE	0x700B_9000	是	是	是	是	是	是	-
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYCHECKINTEVT1_BASE	0x700C_0000	是	是	是	是	是	是	-
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYCHECKINTEVT2_BASE	0x700C_1000	是	是	是	是	是	是	-
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYCHECKINTEVT3_BASE	0x700C_2000	是	是	是	是	是	是	-
ADC_GLOBAL_REGS	ADCGLOBAL_BASE	0x700C_8000	是	是	是	是	是	是	-
DAC_REGS	DACA_BASE	0x700D_0000	是	是	是	是	是	是	-
DAC_REGS	DACB_BASE	0x700D_1000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS1_BASE	0x700E_0000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS2_BASE	0x700E_1000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS3_BASE	0x700E_2000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS4_BASE	0x700E_3000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS5_BASE	0x700E_4000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS6_BASE	0x700E_5000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS7_BASE	0x700E_6000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS8_BASE	0x700E_7000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS9_BASE	0x700E_8000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS10_BASE	0x700E_9000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS11_BASE	0x700E_A000	是	是	是	是	是	是	-
CMPSS_REGS	CMPSS12_BASE	0x700E_B000	是	是	是	是	是	是	-
ECAP_REGS	ECAP1_BASE	0x7010_0000	是	是	是	是	是	是	-
ECAP_SIGNAL_MONITORING	ECAP1SIGNALMONITORING_BASE	0x7010_0080	是	是	是	是	是	是	-
ECAP_REGS	ECAP2_BASE	0x7010_1000	是	是	是	是	是	是	-
ECAP_SIGNAL_MONITORING	ECAP2SIGNALMONITORING_BASE	0x7010_1080	是	是	是	是	是	是	-
ECAP_REGS	ECAP3_BASE	0x7010_2000	是	是	是	是	是	是	-
ECAP_SIGNAL_MONITORING	ECAP3SIGNALMONITORING_BASE	0x7010_2080	是	是	是	是	是	是	-
ECAP_REGS	ECAP4_BASE	0x7010_3000	是	是	是	是	是	是	-

Copyright © 2025 Texas Instruments Incorporated

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
ECAP_SIGNAL_MONITORING	ECAP4SIGNALMONITORING_BASE	0x7010_3080	是	是	是	是	是	是	-
ECAP_REGS	ECAP5_BASE	0x7010_4000	是	是	是	是	是	是	-
HRCAP_REGS	HRCAP5_BASE	0x7010_4040	是	是	是	是	是	是	-
ECAP_SIGNAL_MONITORING	ECAP5SIGNALMONITORING_BASE	0x7010_4080	是	是	是	是	是	是	-
ECAP_REGS	ECAP6_BASE	0x7010_5000	是	是	是	是	是	是	-
HRCAP_REGS	HRCAP6_BASE	0x7010_5040	是	是	是	是	是	是	-
ECAP_SIGNAL_MONITORING	ECAP6SIGNALMONITORING_BASE	0x7010_5080	是	是	是	是	是	是	-
CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x7012_0000	是	是	是	是	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x7012_0200	是	是	是	是	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x7012_0300	是	是	是	是	是	是	-
CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x7012_1000	是	是	是	是	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTRL_BASE	0x7012_1200	是	是	是	是	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x7012_1300	是	是	是	是	是	是	-
CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x7012_2000	是	是	是	是	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTRL_BASE	0x7012_2200	是	是	是	是	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x7012_2300	是	是	是	是	是	是	-
CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x7012_3000	是	是	是	是	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTRL_BASE	0x7012_3200	是	是	是	是	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x7012_3300	是	是	是	是	是	是	-
CLB_LOGIC_CONFIG_REGS	CLB5_LOGICCFG_BASE	0x7012_4000	是	是	是	是	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB5_LOGICCTRL_BASE	0x7012_4200	是	是	是	是	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB5_DATAEXCH_BASE	0x7012_4300	是	是	是	是	是	是	-

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
CLB_LOGIC_CONFIG_REGS	CLB6_LOGICCFG_BASE	0x7012_5000	是	是	是	是	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB6_LOGICCTRL_BASE	0x7012_5200	是	是	是	是	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB6_DATAEXCH_BASE	0x7012_5300	是	是	是	是	是	是	-
PMBUS_REGS	PMBUSA_BASE	0x7014_8000	是	是	是	是	是	是	-
I2C_REGS	I2CA_BASE	0x7015_0000	是	是	是	是	是	是	-
I2C_REGS	I2CB_BASE	0x7015_1000	是	是	是	是	是	是	-
SPI_REGS	SPIA_BASE	0x7015_8000	是	是	是	是	是	是	-
SPI_REGS	SPIB_BASE	0x7015_9000	是	是	是	是	是	是	-
SPI_REGS	SPIC_BASE	0x7015_A000	是	是	是	是	是	是	-
SPI_REGS	SPID_BASE	0x7015_B000	是	是	是	是	是	是	-
SPI_REGS	SPIE_BASE	0x7015_C000	是	是	是	是	是	是	-
FSI_TX_REGS	FSITXA_BASE	0x7018_0000	是	是	是	是	是	是	-
FSI_TX_REGS	FSITXB_BASE	0x7018_1000	是	是	是	是	是	是	-
FSI_TX_REGS	FSITXC_BASE	0x7018_2000	是	是	是	是	是	是	-
FSI_TX_REGS	FSITXD_BASE	0x7018_3000	是	是	是	是	是	是	-
FSI_RX_REGS	FSIRXA_BASE	0x7018_8000	是	是	是	是	是	是	-
FSI_RX_REGS	FSIRXB_BASE	0x7018_9000	是	是	是	是	是	是	-
FSI_RX_REGS	FSIRXC_BASE	0x7018_A000	是	是	是	是	是	是	-
FSI_RX_REGS	FSIRXD_BASE	0x7018_B000	是	是	是	是	是	是	-
EPG_REGS	EPG_BASE	0x701C_0000	是	是	是	是	是	是	-
EPG_MUX_REGS	EPGMUX_BASE	0x701C_0200	是	是	是	是	是	是	-
soc_to_hsm_bridge									
HSM_DTHE_REGS	DTHE_BASE	0x3028_0000	-	是	是	是	是	是	-
HSM_DTHE_CRC_S_REGS	CRCS_BASE	0x3028_1000	-	是	是	是	是	是	-
HSM_DTHE_CRC_P_REGS	CRCP_BASE	0x3028_2000	-	是	是	是	是	是	-
HSM_SHA_S_REGS	SHAS_BASE	0x3028_4000	-	是	是	是	是	是	-
HSM_SHA_P_REGS	SHAP_BASE	0x3028_5000	-	是	是	是	是	是	-
HSM_AES_S_REGS	AESS_BASE	0x3028_6000	-	是	是	是	是	是	-
HSM_AES_P_REGS	AESP_BASE	0x3028_7000	-	是	是	是	是	是	-
HSM_SM4_REGS	SM4_BASE	0x3028_8000	-	是	是	是	是	是	-
HSM_SM3_REGS	SM3_BASE	0x3028_9000	-	是	是	是	是	是	-
HSM_TRNG_REGS	TRNG_BASE	0x3028_A000	-	是	是	是	是	是	-

Copyright © 2025 Texas Instruments Incorporated

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
HSM_PKE_REGS	PKE_BASE	0x3029_0000	-	是	是	是	是	是	-
vbusp_prog									
FLASH_CMD_REGS_FLC1	FLASHCONTROLLER1_BASE	0x3010_0000	-	是	-	是	-	-	是
FLASH_CMD_REGS_FLC2	FLASHCONTROLLER2_BASE	0x3011_0000	-	是	-	是	-	-	是
HSM_ERROR_AGGREGATOR_CONFIG_REGS	HSMERRORAGGREGATOR_BASE	0x3012_0000	-	-	-	-	-	-	是
vbus32_config									
DEV_CFG_REGS	DEVCFG_BASE	0x3018_0000	-	是	是	是	-	-	是
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x3018_2000	-	是	是	是	-	-	是
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x3019_0000	-	是	是	是	-	-	是
IPC_COUNTER_REGS	IPCCOUNTER_BASE	0x301B_0000	-	是	是	是	-	-	是
c29bus									
ADC_RESULT_REGS	ADCARESULT_BASE	0x303C_0000	-	是	是	是	是	是	-
ADC_RESULT_REGS	ADCBRESULT_BASE	0x303C_1000	-	是	是	是	是	是	-
ADC_RESULT_REGS	ADCCRESULT_BASE	0x303C_2000	-	是	是	是	是	是	-
ADC_RESULT_REGS	ADCDRESULT_BASE	0x303C_3000	-	是	是	是	是	是	-
ADC_RESULT_REGS	ADCERESULT_BASE	0x303C_4000	-	是	是	是	是	是	-
EMIF_REGS	EMIF1_BASE	0x3080_0000	-	是	是	是	-	-	-
vbusp_config									
RTDMA_REGS	RTDMA1_BASE	0x301C_0000	-	是	是	是	-	-	是
RTDMA_DIAG_REGS	RTDMA1_DIAG_BASE	0x301C_0800	-	是	是	是	-	-	是
RTDMA_SELFTEST_REGS	RTDMA1_SELFTEST_BASE	0x301C_0C00	-	是	是	是	-	-	是
RTDMA_MPU_REGS	RTDMA1_MPU_BASE	0x301C_1000	-	是	是	是	-	-	是
RTDMA_REGS	RTDMA2_BASE	0x301C_8000	-	是	是	是	-	-	是
RTDMA_DIAG_REGS	RTDMA2_DIAG_BASE	0x301C_8800	-	是	是	是	-	-	是
RTDMA_SELFTEST_REGS	RTDMA2_SELFTEST_BASE	0x301C_8C00	-	是	是	是	-	-	是
RTDMA_MPU_REGS	RTDMA2_MPU_BASE	0x301C_9000	-	是	是	是	-	-	是
FRI_CTRL_REGS	FRI1_BASE	0x301D_0000	-	是	是	是	-	-	是
MEMSS_L_CONFIG_REGS	MEMSSLCFG_BASE	0x301D_8000	-	是	是	是	-	-	是
MEMSS_C_CONFIG_REGS	MEMSSCCFG_BASE	0x301D_8400	-	是	是	是	-	-	是
MEMSS_M_CONFIG_REGS	MEMSSMCFG_BASE	0x301D_8800	-	是	是	是	-	-	是
MEMSS_MISCI_REGS	MEMSSMISCI_BASE	0x301D_8E00	-	是	是	是	-	-	是
SYNCBRIDGEMPU_REGS	SYNCBRIDGEMPU_BASE	0x301E_0000	-	是	是	是	-	-	是
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x301E_8000	-	是	是	是	-	-	是

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
EPWM_XBAR_REGS	EPWMXBAR_BASE	0x301E_9000	-	是	是	是	-	-	是
CLB_XBAR_REGS	CLBXBAR_BASE	0x301E_A000	-	是	是	是	-	-	是
OUTPUTXBAR_REGS	OUTPUTXBAR_BASE	0x301E_B000	-	是	是	是	-	-	是
MDL_XBAR_REGS	MDLXBAR_BASE	0x301E_C000	-	是	是	是	-	-	是
ICL_XBAR_REGS	ICLXBAR_BASE	0x301E_D000	-	是	是	是	-	-	是
LCM_REGS	LCM_DMA_BASE	0x301F_4000	-	是	是	是	-	-	是
vbusp_frame0									
RTDMA_CH_REGS	RTDMA1CH1_BASE	0x6000_0000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA1CH2_BASE	0x6000_1000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA1CH3_BASE	0x6000_2000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA1CH4_BASE	0x6000_3000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA1CH5_BASE	0x6000_4000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA1CH6_BASE	0x6000_5000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA1CH7_BASE	0x6000_6000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA1CH8_BASE	0x6000_7000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA1CH9_BASE	0x6000_8000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA1CH10_BASE	0x6000_9000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH1_BASE	0x6001_0000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH2_BASE	0x6001_1000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH3_BASE	0x6001_2000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH4_BASE	0x6001_3000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH5_BASE	0x6001_4000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH6_BASE	0x6001_5000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH7_BASE	0x6001_6000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH8_BASE	0x6001_7000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH9_BASE	0x6001_8000	是	是	是	是	是	是	-
RTDMA_CH_REGS	RTDMA2CH10_BASE	0x6001_9000	是	是	是	是	是	是	-
MCANSS_REGS	MCANASS_BASE	0x6002_4000	是	是	是	是	是	是	-
MCAN_REGS	MCANA_BASE	0x6002_4600	是	是	是	是	是	是	-
MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x6002_4800	是	是	是	是	是	是	-
MCANSS_REGS	MCANBSS_BASE	0x6002_C000	是	是	是	是	是	是	-
MCAN_REGS	MCANB_BASE	0x6002_C600	是	是	是	是	是	是	-
MCAN_ERROR_REGS	MCANB_ERROR_BASE	0x6002_C800	是	是	是	是	是	是	-
MCANSS_REGS	MCANCSS_BASE	0x6003_4000	是	是	是	是	是	是	-
MCAN_REGS	MCANC_BASE	0x6003_4600	是	是	是	是	是	是	-

Copyright © 2025 Texas Instruments Incorporated

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
MCAN_ERROR_REGS	MCANC_ERROR_BASE	0x6003_4800	是	是	是	是	是	是	-
MCANSS_REGS	MCANDSS_BASE	0x6003_C000	是	是	是	是	是	是	-
MCAN_REGS	MCAND_BASE	0x6003_C600	是	是	是	是	是	是	-
MCAN_ERROR_REGS	MCAND_ERROR_BASE	0x6003_C800	是	是	是	是	是	是	-
MCANSS_REGS	MCANESS_BASE	0x6004_4000	是	是	是	是	是	是	-
MCAN_REGS	MCANE_BASE	0x6004_4600	是	是	是	是	是	是	-
MCAN_ERROR_REGS	MCANE_ERROR_BASE	0x6004_4800	是	是	是	是	是	是	-
MCANSS_REGS	MCANFSS_BASE	0x6004_C000	是	是	是	是	是	是	-
MCAN_REGS	MCANF_BASE	0x6004_C600	是	是	是	是	是	是	-
MCAN_ERROR_REGS	MCANF_ERROR_BASE	0x6004_C800	是	是	是	是	是	是	-
LIN_REGS	LINA_BASE	0x6006_0000	是	是	是	是	是	是	-
LIN_REGS	LINB_BASE	0x6006_1000	是	是	是	是	是	是	-
SENT_CFG	SENT1CSENT_BASE	0x6006_8000	是	是	是	是	是	是	-
SENT_MEM	SENT1MEM_BASE	0x6006_8400	是	是	是	是	是	是	-
SENT_MTPG	SENT1MTPG_BASE	0x6006_8800	是	是	是	是	是	是	-
SENT_CFG	SENT2CSENT_BASE	0x6006_9000	是	是	是	是	是	是	-
SENT_MEM	SENT2MEM_BASE	0x6006_9400	是	是	是	是	是	是	-
SENT_MTPG	SENT2MTPG_BASE	0x6006_9800	是	是	是	是	是	是	-
SENT_CFG	SENT3CSENT_BASE	0x6006_A000	是	是	是	是	是	是	-
SENT_MEM	SENT3MEM_BASE	0x6006_A400	是	是	是	是	是	是	-
SENT_MTPG	SENT3MTPG_BASE	0x6006_A800	是	是	是	是	是	是	-
SENT_CFG	SENT4CSENT_BASE	0x6006_B000	是	是	是	是	是	是	-
SENT_MEM	SENT4MEM_BASE	0x6006_B400	是	是	是	是	是	是	-
SENT_MTPG	SENT4MTPG_BASE	0x6006_B800	是	是	是	是	是	是	-
SENT_CFG	SENT5CSENT_BASE	0x6006_C000	是	是	是	是	是	是	-
SENT_MEM	SENT5MEM_BASE	0x6006_C400	是	是	是	是	是	是	-
SENT_MTPG	SENT5MTPG_BASE	0x6006_C800	是	是	是	是	是	是	-
SENT_CFG	SENT6CSENT_BASE	0x6006_D000	是	是	是	是	是	是	-
SENT_MEM	SENT6MEM_BASE	0x6006_D400	是	是	是	是	是	是	-
SENT_MTPG	SENT6MTPG_BASE	0x6006_D800	是	是	是	是	是	是	-
UART_REGS、UART_REGS_WRITE	UARTA_BASE、UARTA_WRITE_BASE	0x6007_0000	是	是	是	是	是	是	-
UART_REGS、UART_REGS_WRITE	UARTB_BASE、UARTB_WRITE_BASE	0x6007_2000	是	是	是	是	是	是	-
UART_REGS、UART_REGS_WRITE	UARTC_BASE、UARTC_WRITE_BASE	0x6007_4000	是	是	是	是	是	是	-

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
UART_REGS、UART_REGS_WRITE	UARTD_BASE、UARTD_WRITE_BASE	0x6007_6000	是	是	是	是	是	是	-
UART_REGS、UART_REGS_WRITE	UARTE_BASE、UARTE_WRITE_BASE	0x6007_8000	是	是	是	是	是	是	-
UART_REGS、UART_REGS_WRITE	UARTF_BASE、UARTF_WRITE_BASE	0x6007_A000	是	是	是	是	是	是	-
DCC_REGS	DCC1_BASE	0x6008_0000	是	是	是	是	是	是	-
DCC_REGS	DCC2_BASE	0x6008_1000	是	是	是	是	是	是	-
DCC_REGS	DCC3_BASE	0x6008_2000	是	是	是	是	是	是	-
ERROR_AGGREGATOR_CONFIG_REGS	ERRORAGGREGATOR_BASE	0x6008_C000	是	是	是	是	是	是	-
ESM_CPU_REGS	ESMCPU1_BASE	0x6009_0000	是	是	是	是	是	是	-
ESM_CPU_REGS	ESMCPU2_BASE	0x6009_1000	是	是	是	是	是	是	-
ESM_CPU_REGS	ESMCPU3_BASE	0x6009_2000	是	是	是	是	是	是	-
ESM_SYSTEM_REGS	ESMSYSTEM_BASE	0x6009_F000	是	是	是	是	是	是	-
ESM_SAFETYAGG_REGS	ESMSAFETYAGG_BASE	0x600A_0000	是	是	是	是	是	是	-
WADI_CONFIG_REGS	WADI1BLK1CONFIG_BASE	0x600B_0000	是	是	是	是	是	是	-
WADI_CONFIG_REGS	WADI1BLK2CONFIG_BASE	0x600B_0100	是	是	是	是	是	是	-
WADI_CONFIG_REGS	WADI1BLK3CONFIG_BASE	0x600B_0200	是	是	是	是	是	是	-
WADI_CONFIG_REGS	WADI1BLK4CONFIG_BASE	0x600B_0300	是	是	是	是	是	是	-
WADI_OPER_SSS_REGS	WADI1OPERSSS_BASE	0x600B_1000	是	是	是	是	是	是	-
WADI_CONFIG_REGS	WADI2BLK1CONFIG_BASE	0x600B_2000	是	是	是	是	是	是	-
WADI_CONFIG_REGS	WADI2BLK2CONFIG_BASE	0x600B_2100	是	是	是	是	是	是	-
WADI_CONFIG_REGS	WADI2BLK3CONFIG_BASE	0x600B_2200	是	是	是	是	是	是	-
WADI_CONFIG_REGS	WADI2BLK4CONFIG_BASE	0x600B_2300	是	是	是	是	是	是	-
WADI_OPER_SSS_REGS	WADI2OPERSSS_BASE	0x600B_3000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR1_FLAGS_BASE	0x600C_0000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR2_FLAGS_BASE	0x600C_1000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR3_FLAGS_BASE	0x600C_2000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR4_FLAGS_BASE	0x600C_3000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR5_FLAGS_BASE	0x600C_4000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR6_FLAGS_BASE	0x600C_5000	是	是	是	是	是	是	-

Copyright © 2025 Texas Instruments Incorporated

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR7_FLAGS_BASE	0x600C_6000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR8_FLAGS_BASE	0x600C_7000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR9_FLAGS_BASE	0x600C_8000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR10_FLAGS_BASE	0x600C_9000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR11_FLAGS_BASE	0x600C_A000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR12_FLAGS_BASE	0x600C_B000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR13_FLAGS_BASE	0x600C_C000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR14_FLAGS_BASE	0x600C_D000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR15_FLAGS_BASE	0x600C_E000	是	是	是	是	是	是	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR16_FLAGS_BASE	0x600C_F000	是	是	是	是	是	是	-
XBAR_REGS	INPUTXBAR_FLAGS_BASE	0x600E_0000	是	是	是	是	是	是	-
DLT_FIFO_REGS	CPU1DLTFIFO_BASE	0x600F_8000	是	是	是	是	是	是	-
DLT_FIFO_REGS	CPU2DLTFIFO_BASE	0x600F_A000	是	是	是	是	是	是	-
DLT_FIFO_REGS	CPU3DLTFIFO_BASE	0x600F_C000	是	是	是	是	是	是	-
vbusp_ssu									
SSU_GEN_REGS	SSUGEN_BASE	0x3008_0000	-	是	是	是	-	-	是
SSU_CPU1_CFG_REGS	SSUCPU1CFG_BASE	0x3008_1000	-	是	-	-	-	-	-
SSU_CPU2_CFG_REGS	SSUCPU2CFG_BASE	0x3008_2000	-	是	是	-	-	-	-
SSU_CPU3_CFG_REGS	SSUCPU3CFG_BASE	0x3008_3000	-	是	-	是	-	-	-
SSU_CPU1_AP_REGS	SSUCPU1AP_BASE	0x3008_7000	-	是	-	-	-	-	-
SSU_CPU2_AP_REGS	SSUCPU2AP_BASE	0x3008_8000	-	是	是	-	-	-	-
SSU_CPU3_AP_REGS	SSUCPU3AP_BASE	0x3008_9000	-	是	-	是	-	-	-
vbus32_ap_cpu1、vbus32_ap_cpu2、vbus32_ap_cpu3									
CPU_SYS_REGS	CPUSYS_BASE	0x3020_0000	-	是	是	是	-	-	-
CPU_PER_CFG_REGS	CPUPERCFG_BASE	0x3020_8000	-	是	是	是	-	-	-
WD_REGS	WD_BASE	0x3020_8C00	-	是	是	是	-	-	-
CPUTIMER_REGS	CPUTIMER0_BASE	0x3021_8000	-	是	是	是	-	-	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x3021_9000	-	是	是	是	-	-	-

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-25. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	适用的帧	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
CPUTIMER_REGS	CPUTIMER2_BASE	0x3021_A000	-	是	是	是	-	-	-
CPU1_IPC_SEND_REGS	CPU1IPCSEND_BASE	0x3022_0000	-	是	是	是	-	-	-
CPU2_IPC_SEND_REGS	CPU2IPCSEND_BASE	0x3022_8000	-	是	是	是	-	-	-
CPU3_IPC_SEND_REGS	CPU3IPCSEND_BASE	0x3023_0000	-	是	是	是	-	-	-
CPU1_IPC_RCV_REGS	CPU1IPCRCV_BASE	0x3024_0000	-	是	是	是	-	-	-
CPU2_IPC_RCV_REGS	CPU2IPCRCV_BASE	0x3024_8000	-	是	是	是	-	-	-
CPU3_IPC_RCV_REGS	CPU3IPCRCV_BASE	0x3025_0000	-	是	是	是	-	-	-
GPIO_DATA_REGS	GPIODATA_BASE	0x3026_8000	-	是	是	是	-	-	-
GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x3026_9000	-	是	是	是	-	-	-
XINT_REGS	XINT_BASE	0x3027_0000	-	是	是	是	-	-	-
vbusp_cpu1、vbusp_cpu2、vbusp_cpu3									
C29_RTINT_STACK	C29CPURTINTSTACK_BASE	0x3000_8000	-	是	是	是	-	-	-
C29_SECCALL_STACK	C29CPUSECCALLSTACK_BASE	0x3000_C000	-	是	是	是	-	-	-
C29_SECURE_REGS	C29CPUSECURE_BASE	0x3000_D000	-	是	是	是	-	-	-
C29_DIAG_REGS	C29CPUDIAG_BASE	0x3000_E000	-	是	是	是	-	-	-
C29_SELFTEST_REGS	C29CPUSELFTEST_BASE	0x3000_F000	-	是	是	是	-	-	-
DLT_CORE_REGS	CPUDLT_BASE	0x3001_0000	-	是	是	是	-	-	-
PIPE_REGS	PIPE_BASE	0x3002_0000	-	是	是	是	-	-	-
ERAD_REGS	ERAD_BASE	0x3003_0000	-	是	是	是	-	-	-

Copyright © 2025 Texas Instruments Incorporated

7.6 标识

表 7-26 列出了器件标识寄存器。有关这些器件标识寄存器的其他信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册*。请参阅 PARTIDH 和 PARTIDL 的寄存器说明，了解量产状态的标识以及其他器件信息。

表 7-26. 器件标识寄存器

名称	地址	大小 (x8)	说明
PARTIDH	0x3018 0024	4	器件型号标识号 F29H850TU9 0x0DFF 0C00 F29H859TU8 0x0DDE 0C00
REVID	0x3018 0028	4	器件修订版本号 修订版 0 0x0000 0001 修订版 A 0x0000 0002 修订版 B 0x0000 0003

ADVANCE INFORMATION

ADVANCE INFORMATION

7.7 引导 ROM

本节旨在介绍 C29x CPU 内核的只读引导存储器 (ROM) 代码功能，包括引导过程。本节还讨论了引导 ROM 代码的功能和特性，并详细说明了 ROM 存储器映射内容。每次复位时，该器件都会执行 ROM 中的引导序列，具体取决于复位类型和引导配置。这个序列会初始化器件以运行应用程序代码。对于 CPU，引导 ROM 还包含可用于将应用程序加载到 RAM 中的外设引导加载程序。出于安全目的，可以禁用这些引导加载程序。

有关 C29x CPU 可用引导特性的详细信息，请参阅表 7-27。此外，表 7-28 展示了器件上各种 ROM 的大小。

表 7-27. 引导系统概况

引导特性	CPU
初始引导过程	器件复位
引导模式选择	GPIO
支持的引导模式	闪存引导 RAM 引导 等待引导 并行 IO CAN CAN-FD I2C SPI UART

表 7-28. ROM 存储器

ROM	尺寸
CPU1 引导 ROM	128KB
CPU2 引导 ROM	32KB
CPU3 引导 ROM	32KB

Copyright © 2025 Texas Instruments Incorporated

7.7.1 器件引导序列

表 7-29 介绍了每次 CPU1 内核复位时的一般引导 ROM 过程。

在引导期间，引导 ROM 代码会更新 RAM 中的引导状态位置，其中详细说明了在此过程中采取的操作。有关更多详细信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册* 中的 *引导状态信息* 一节。

表 7-29. CPU1 引导 ROM 序列

STEP	CPU1 ACTION
1	闪存读取接口 (FRI) 等待状态配置
2	启用看门狗
3	将 Zone0 完整调试密码从 TI-OTP 配置到 SSU 寄存器
4	SOCID 由 HSM 配置并复制到 M0 RAM 中
5	仅在 PORESETn 上，初始化所有 CPU RAM（LPAx、LDAx、CPAx 和 CDAx）
6	从 TI-OTP 加载关键修整（APLL、PMM、OSC、闪存），并对器件配置寄存器进行编程
7	对 Group0 事件执行 ESM 配置
8	启用 SIC（安全互连）
9	将 SECCFG 的 UPP（用户保护策略）修订配置到 SSU 寄存器中
10	配置来自 SECCFG 的错误状态引脚配置输入
11	如果在 SECCFG 中启用，则外部晶体上电
12	将器件配置从 TI-OTP 读取到 DCx 寄存器中
13	加载非关键（ADC、DAC）修整
14	基于 SECCFG 输入的 SSU 配置，其中包括： 1. SSU 寄存器自检 2. SSU 寄存器配置
15	锁定 DCx（器件配置）、PARTID、MCUCNF26 和 PERxSYSCONFIG（外设系统配置）寄存器
16	等待 RAM 初始化，只在 PORESETn 上完成
17	清除 PORESETn 上的 PORRESETn 和 XRSn 复位原因，只清除 XRSn 上的 XRSn 复位原因
18	在未绑定的 IO 上启用上拉
19	系统会轮询引导模式 GPIO 引脚以确定要运行的引导模式。引导加载程序根据引导模式/配置执行。有关引导序列的流程图，请参阅节 7.7.4.2。
20	用于 LINK1 的 RAMOPEN 包括：LPA0 和 LDA0-7
21	通过根据 SECCFG 输入写入 SSU 寄存器来锁定并提交 LINK1 RAMPOPEN
22	APR（访问保护区域）是从 SECCFG 配置中设置的
23	禁用用于执行 Link1 引导加载程序的看门狗
24	Link1 执行下的引导加载程序进程
25	清除 Link1 RAMOPEN
26	跳转至 C29 应用程序 Link2

ADVANCE INFORMATION

ADVANCE INFORMATION

7.7.2 器件引导模式

本节介绍了默认引导模式以及该器件支持的所有可用引导模式。引导 ROM 使用引导模式选择、通用输入/输出 (GPIO) 引脚来确定引导模式配置。

7.7.2.1 默认引导模式

表 7-30 展示了可供默认引导模式选择引脚选择的引导模式选项。用户可以选择对器件进行编程，以自定义引导表中可选的引导模式以及使用的引导模式选择引脚 GPIO。使用的默认 BMSP（引导模式选择引脚）为 GPIO72 (BMSP1) 和 GPIO84 (BMSP0)。

表 7-30. 器件默认引导模式

引导模式	GPIO72 （默认引导模式选择引脚 1）	GPIO84 （默认引导模式选择引脚 0）
并行 IO	0	0
UART	0	1
CAN	1	0
闪存	1	1

有关引脚配置的详细信息，请参阅节 7.7.3。

有关使用外设引导加载程序的引导模式的详细信息，请参阅 *F29H85x 和 F29P58x 实时微控制器技术参考手册*中“ROM 代码和外设引导”一章的*引导加载程序* 部分。

有关用于选择引导模式的 GPIO，请参阅节 7.7.5。

备注

所有支持的外设引导模式都使用外设模块（SPIA、I2CA、CANA 等）的第一个实例。凡是本节提到的这些引导模式（例如 SPI 引导），该模式实际均指第一个模块实例，即 SPIA 端口上的 SPI 引导。这同样适用于其他外设引导模式。

Copyright © 2025 Texas Instruments Incorporated

7.7.2.2 自定义引导模式

用户在 SECCFG 中对自定义引导表进行编程后，自定义表中的条目即可用于引导。用户可以通过在 SECCFG 中对 BOOTPIN_CONFIG 位置进行编程，来自定义终端系统设计中的引导模式选择引脚。这样，用户便可以根据需要使用 0、1、2 或 3 个引导模式选择引脚。您还可以通过在 SECCFG 的 BOOTDEF 位置对引导模式定义表进行编程，来自定义引导定义表并指示从哪个位置进行引导。表 7-31 展示了各种引导模式的选项。

备注

表 7-31 中支持的所有外设引导模式都使用外设模块（SPIA、I2CA 等）的第一个实例。

表 7-31. CPU1 引导模式

引导模式编号	引导模式
0	并行
1	UART
2	CAN
3	闪存
4	等待
5	RAM
6	SPI
7	I2C
8	CAN-FD

7.7.3 器件引导配置

本节详细介绍了可用的引导配置以及如何对其进行配置。该器件支持从零个到三个引导模式选择引脚，以及从一种到多达八种配置的引导模式。

要更改器件并将其从默认设置配置为适合应用程序的自定义设置，请遵从以下过程：

1. 确定您希望应用程序能够引导的所有各种方式。（例如：用于主应用程序的闪存引导的初级引导选项、用于固件更新的 CAN 引导的次级引导选项、用于调试的 SPI 引导的三级引导选项，等等。）
2. 根据所需引导模式的数量，确定需要多少个引导模式选择引脚 (BMSP) 来在所选的引导模式之间进行选择。（例如：需要两个 BMSP 来在三个引导模式选项之间进行选择。）
3. 将所需的 BMSP 分配到物理 GPIO 引脚（例如，BMSP0 到 GPIO10，BMSP1 到 GPIO51，BMSP2 保留为默认禁用状态。）有关执行这些配置的所有详细信息，请参阅节 7.7.3.1。
4. 将确定的引导模式定义分配给自定义引导表中与 BMSP 的解码值相关的索引例如，BOOTDEF0 = 引导至闪存，BOOTDEF1 = CAN 引导，BOOTDEF2 = SPI 引导；所有其他 BOOTDEFx 保留为默认值/无。有关如何设置和配置自定义引导模式表的所有详细信息，请参阅节 7.7.3.2。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.7.3.1 配置引导模式引脚

本节介绍了用户如何通过在 SECCFG 中对 BOOTPIN_CONFIG 位置（请参阅表 7-32）进行编程来自定义引导模式选择引脚。该位置位于 BOOTPIN-CONFIG 中。调试时，SSU_GEN_REGS 中的 EMU_BOOTPIN_CONFIG 寄存器是 BOOTPIN_CONFIG 的仿真等效，可对其进行编程，以在不写入 SECCFG 的情况下使用不同的引导模式进行实验。可根据需要对器件进行编程，以使用 **0**、**1**、**2** 或 **3** 个引导模式选择引脚。

根据调试器连接状态，可以从用户 SECCFG 或 SSU 寄存器读取 BMSP 配置和引导定义表，如下所述：

- 如果连接了调试器，则遵循仿真引导流程，其中使用以下 SSU 寄存器来确定要使用的 GPIO：
  - EMU_BOOTPIN_CONFIG
  - EMU_BOOTDEF_LOW
  - EMU_BOOTDEF_HIGH
- 如果未连接调试程序，则使用以下 SECCFG 位置来确定引导模式：
  - BOOTPIN_CONFIG
  - BOOTDEF_LOW
  - BOOTDEF_HIGH

表 7-32. BOOTPIN-CONFIG 位字段

位	名称	说明
31:24	密钥	将 0x5A 写入这 8 位，以告知引导 ROM 代码此寄存器中的位有效。
23:16	引导模式选择引脚 2 (BMSP2)	请参阅 BMSP0 说明。
15:8	引导模式选择引脚 1 (BMSP1)	请参阅 BMSP0 说明。
7:0	引导模式选择引脚 0 (BMSP0)	设置为在引导期间使用的 GPIO 引脚（GPIO0 至 GPIO254）。 0x0 = GPIO0 0x01 = GPIO1 等等。 写入 0xFF 会禁用此 BMSP，此引脚不再用于选择引导模式。

备注

GPIO 引脚既可为数字类型也可为模拟类型，但如果软件会写入 GPIOHAMSEL 寄存器位，则可以在这些引脚上进行数字输入。

以下在任何封装上都不可用的 GPIO 不能用作引导模式选择引脚。如果选择用于特定的 BMSP，引导 ROM 会自动为 BMSP0 和 BMSP1 选择出厂默认 GPIO。BMSP2 的出厂默认值为 0xFF，这会禁用 BMSP。

Copyright © 2025 Texas Instruments Incorporated

表 7-33. 独立引导模式选择引脚解码

BOOTPIN_CONFIG 键	BMSP0	BMSP1	BMSP2	实现的引导模式
!= 0x5A	不用考虑	不用考虑	不用考虑	由出厂默认 BMSP 定义的引导。
= 0x5A	0xFF	0xFF	0xFF	引导模式 0 的引导表中定义的引导（禁用所有 BMSP）。
	有效 GPIO	0xFF	0xFF	由 BMSP0 值定义的引导（禁用 BMSP1 和 BMSP2）。
	0xFF	有效 GPIO	0xFF	由 BMSP1 值定义的引导（禁用 BMSP0 和 BMSP2）。
	0xFF	0xFF	有效 GPIO	由 BMSP2 值定义的引导（禁用 BMSP0 和 BMSP1）。
	有效 GPIO	有效 GPIO	0xFF	由 BMSP0 和 BMSP1 的值定义的引导（禁用 BMSP2）。
	有效 GPIO	0xFF	有效 GPIO	由 BMSP0 和 BMSP2 的值定义的引导（禁用 BMSP1）。
	0xFF	有效 GPIO	有效 GPIO	由 BMSP1 和 BMSP2 的值定义的引导（禁用 BMSP0）。
	有效 GPIO	有效 GPIO	有效 GPIO	由 BMSP0、BMSP1 和 BMSP2 的值定义的引导。
	GPIO 无效	有效 GPIO	有效 GPIO	BMSP0 被复位为出厂默认 BMSP0 GPIO。由 BMSP0、BMSP1 和 BMSP2 的值定义的引导。
	有效 GPIO	GPIO 无效	有效 GPIO	BMSP1 被复位为出厂默认 BMSP1 GPIO。由 BMSP0、BMSP1 和 BMSP2 的值定义的引导。
	有效 GPIO	有效 GPIO	GPIO 无效	BMSP2 被复位为出厂默认状态，处于禁用状态。由 BMSP0 和 BMSP1 的值定义的引导。

备注

解码引导模式时，BMSP0 是引导表索引值的最低有效位，BMSP2 是最高有效位。建议在禁用 BMSP 时，先禁用 BMSP2。例如，在仅使用 BMSP2（禁用 BMSP1 和 BMSP0）的实例中，只能选择引导表索引 0 和 4。在仅使用 BMSP0 的实例中，可选引导表索引 0 和 1。

ADVANCE INFORMATION

7.7.3.2 配置引导模式表选项

本节介绍了如何为器件配置引导定义表 BOOTDEF 以及相关的引导选项（请参阅表 7-34）。64 位位置位于 BOOTDEF_LOW 和 BOOTDEF_HIGH 位置的 SECCFG 中。调试时，EMU_BOOTDEF_LOW 和 EMU_BOOTDEF_HIGH 是 BOOTDEF_LOW 和 BOOTDEF_HIGH 的仿真等效版本，并且可以进行编程，以便在不写入 SECCFG 的情况下使用不同的引导模式选项进行实验。

引导定义表的自定义范围取决于正在使用多少引导模式选择引脚 (BMSP)。例如，0 个 BMSP 等于 1 个表条目、1 个 BMSP 等于 2 个表条目、2 个 BMSP 等于 4 个表条目，而 3 个 BMSP 等于 8 个表条目。

表 7-34. BOOTDEF 位字段

BOOTDEF 名称	字节位置	名称	说明
BOOT_DEF0	7:0	[3:0] BOOT_DEF0 模式	从节 7.7.2.2 中设置引导模式编号。任何不支持的引导模式都会导致器件进入等待引导（连接调试器）或引导至闪存（独立）。
		[7:4] BOOT_DEF0 选项	设置备用/附加引导选项。这可能包括更改特定引导外设的 GPIO 或指定不同的闪存入口点。有关表中要设置的有效 BOOTDEF 值，请参阅节 7.7.5。
BOOT_DEF1	15:8	BOOT_DEF1 模式/选项	请参阅 BOOT_DEF0 说明。
BOOT_DEF2	23:16	BOOT_DEF2 模式/选项	
BOOT_DEF3	31:24	BOOT_DEF3 模式/选项	
BOOT_DEF4	39:32	BOOT_DEF4 模式/选项	
BOOT_DEF5	47:40	BOOT_DEF5 模式/选项	
BOOT_DEF6	55:48	BOOT_DEF6 模式/选项	
BOOT_DEF7	63:56	BOOT_DEF7 模式/选项	

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.7.4 器件引导流程图

本节详细介绍了独立引导流程和仿真引导流程的 C29 CPU 引导流程图。

7.7.4.1 器件引导流程

以下流程图描述了如何在 PORESETn 后启动器件。HSM 先启动，然后向 CPU1 释放复位。后续几节将介绍详细的 CPU1 引导流程，有关详细的 HSM 引导流程，请参阅 HSM 用户指南。

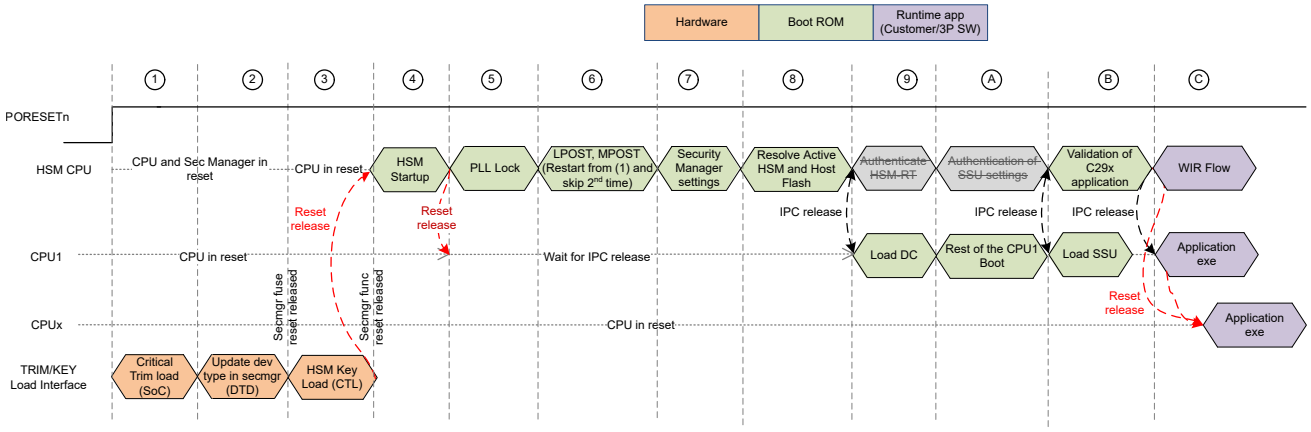


图 7-6. HS-FS 器件引导流程图

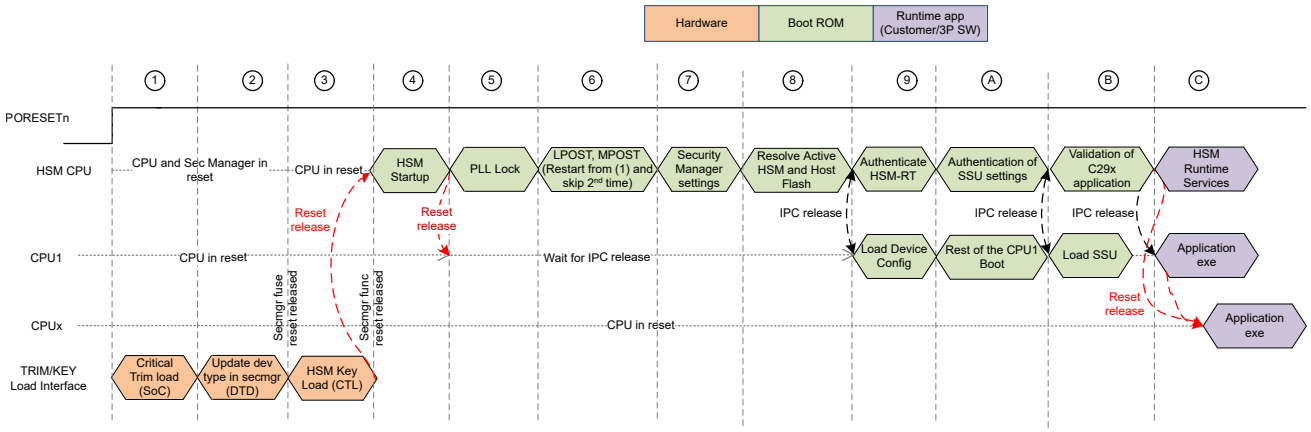


图 7-7. HS-SE 安全启动流程图

ADVANCE INFORMATION

ADVANCE INFORMATION

7.7.4.2 CPU1 启动流程

复位时，CPU1 遵循图 7-8 中所示的引导流程。根据 JTAG 调试器是否连接到器件，CPU1 要么继续执行仿真引导流程，要么继续执行独立引导流程。

备注

复位引导 (BOR) 遵循与上电复位 (POR) 相同的流程。

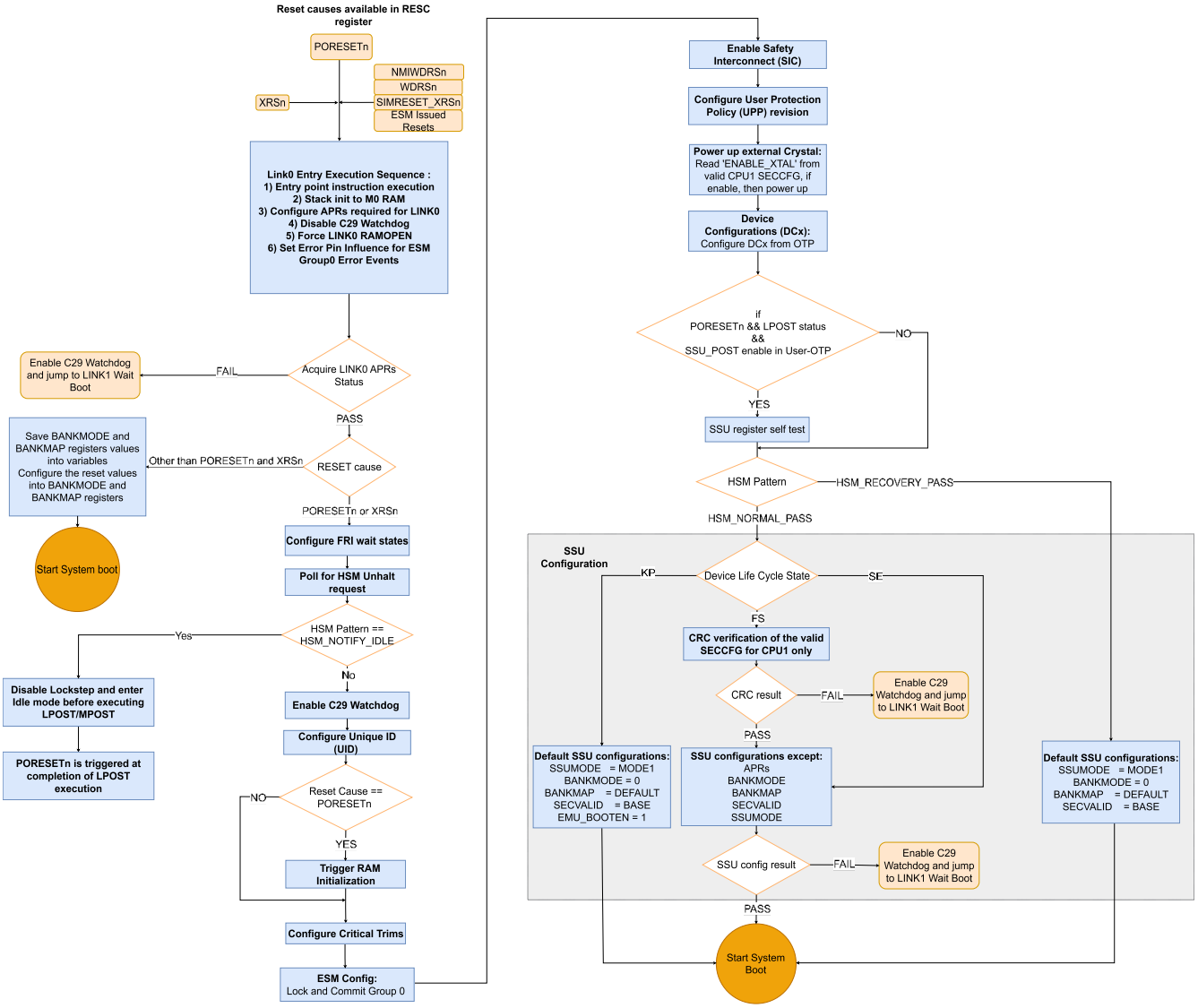


图 7-8. 从复位到系统启动的器件引导流程

Copyright © 2025 Texas Instruments Incorporated

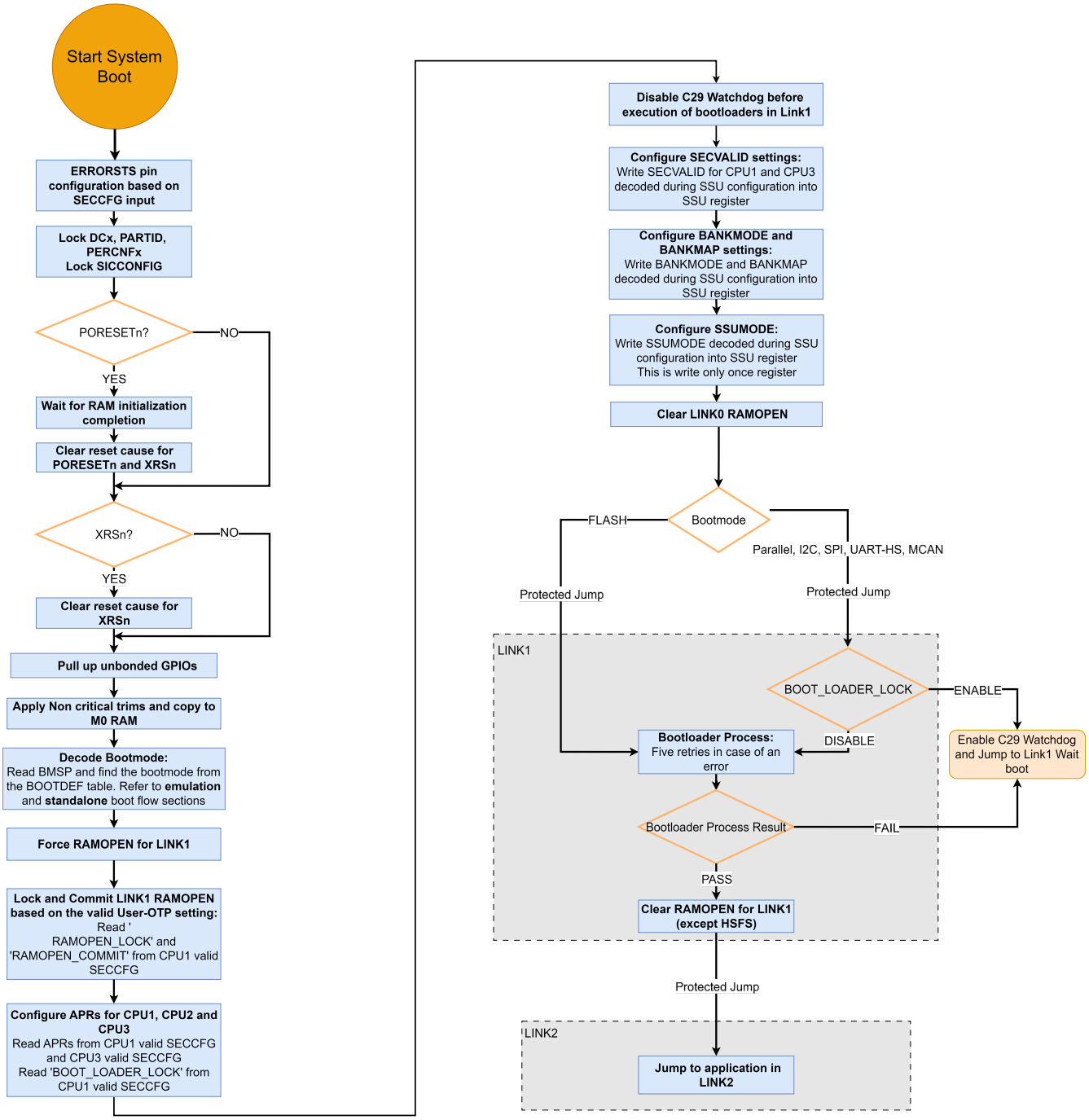


图 7-9. 应用程序代码的系统引导流程

ADVANCE INFORMATION

ADVANCE INFORMATION

7.7.4.3 仿真引导流程

图 7-10 展示了连接 JTAG 调试器并在 SECCFG 中启用仿真引导时的仿真引导流程。

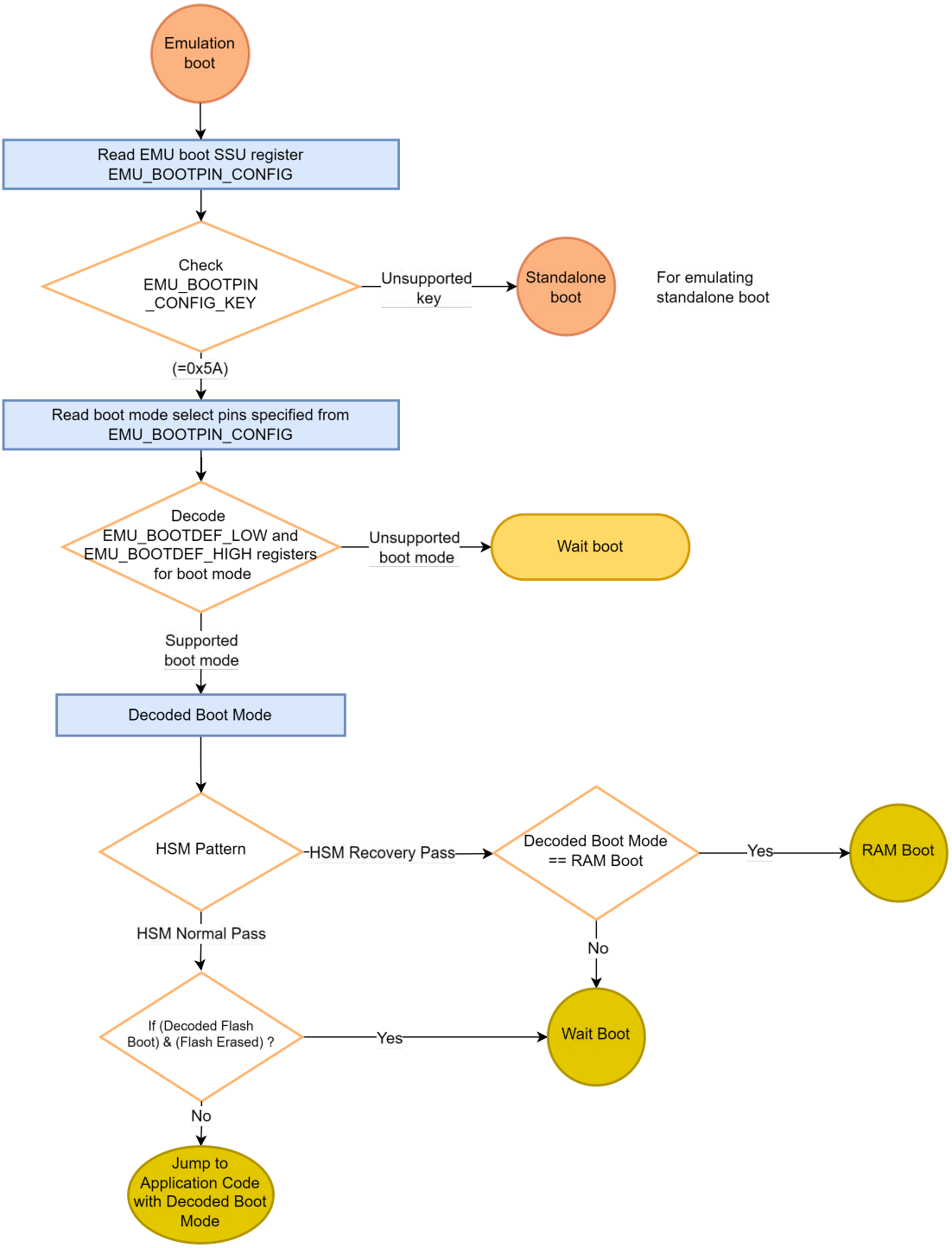


图 7-10. 仿真引导流程

Copyright © 2025 Texas Instruments Incorporated

7.7.4.4 独立引导流程

图 7-11 显示了未将 JTAG 调试器连接到器件时 CPU1 的独立引导流程。

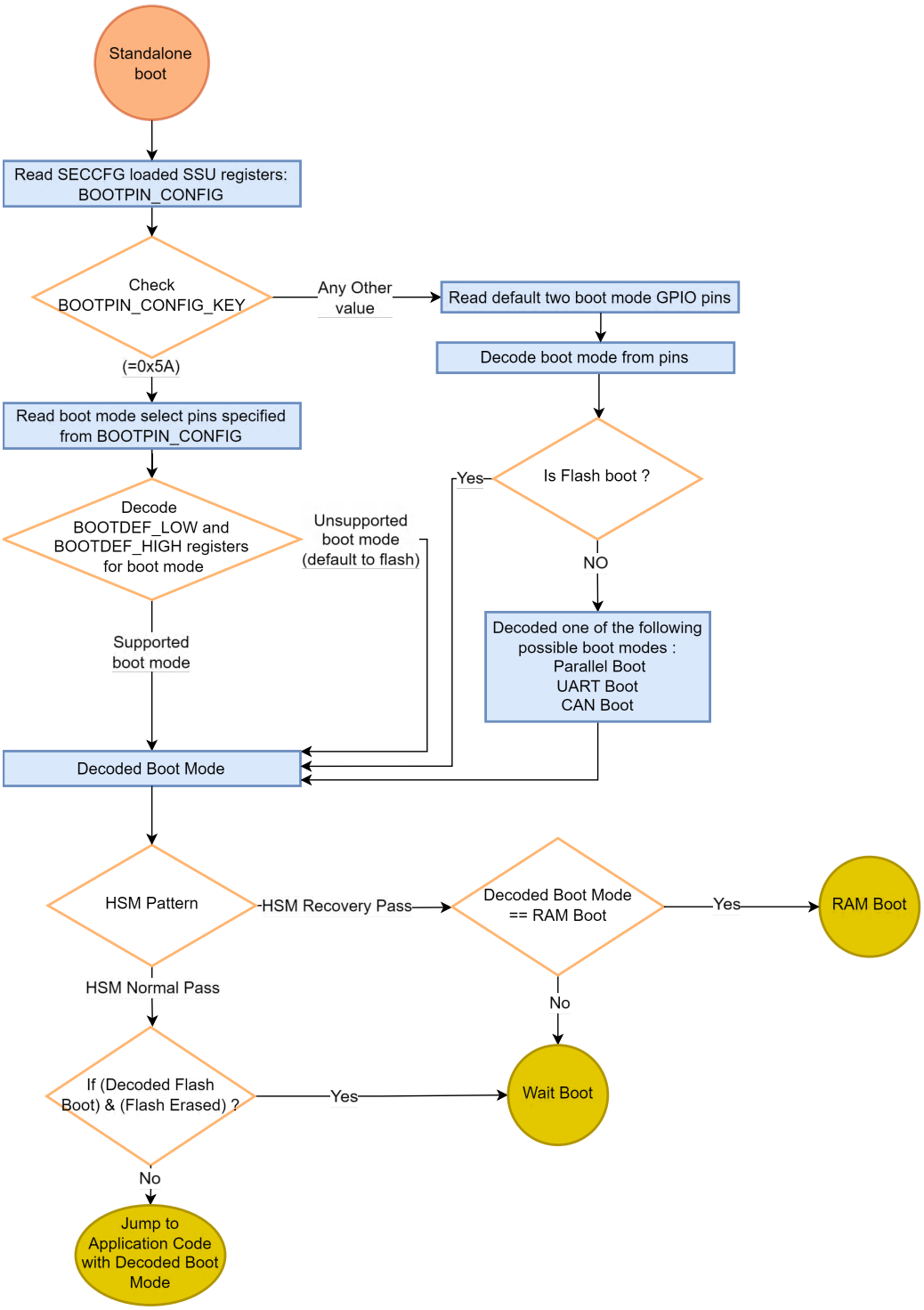


图 7-11. 独立引导流程

ADVANCE INFORMATION

ADVANCE INFORMATION

7.7.5 GPIO 分配

本节详细介绍了用于在位于 BOOTDEF_LOW 和 BOOTDEF_HIGH 的 BOOT_DEF 存储器位置中设置引导模式的 GPIO 和引导选项值。有关如何配置 BOOT_DEFx，请参阅节 7.7.3.2。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用器选项中提供了必要的引脚。

默认引导模式 GPIO 引脚：
- 引导模式引脚 0 - GPIO84
- 引导模式引脚 1 - GPIO72

关于引导引脚选择的指南：
- 避免使用具有 PWM 功能的引脚。
- 不能是模拟引脚或 USB 引脚。
- 所有封装上都可以使用引导模式选择引脚和默认引导外设引脚。
- 避免使用 JTAG 仿真引脚和晶振引脚。
- 引导模式选择引脚可以是输入。
- 引脚不能具有 PHY 自举功能。

表 7-35. 并行引导选项

选项	BOOTDEF 值	D0 – D7 GPIO	C29x (DSP) 控制 GPIO	主机控制 GPIO	支持的封装
0（默认值）	0x00	D0 - GPIO0 D1 - GPIO1 D2 - GPIO2 D3 - GPIO3 D4 - GPIO4 D5 - GPIO10 D6 - GPIO11 D7 - GPIO12	GPIO15	GPIO16	所有
1	0x20	D0 - GPIO17 D1 - GPIO18 D2 - GPIO22 D3 - GPIO23 D4 - GPIO25 D5 - GPIO26 D6 - GPIO29 D7 - GPIO30	GPIO4	GPIO5	所有

表 7-36. UART 引导选项

选项	BOOTDEF 值	TX	RX	支持的封装
0	0x01	GPIO42	GPIO43	所有
1	0x21	GPIO38	GPIO39	176-QFP、256-BGA
2	0x41	GPIO2	GPIO3	所有
3	0x61	GPIO38	GPIO3	所有
4	0x81	GPIO84	GPIO85	256-BGA

Copyright © 2025 Texas Instruments Incorporated

表 7-37. CAN 引导选项

选项	BOOTDEF 值	CANTXA GPIO	CANRXA GPIO	支持的封装
0（默认值）	0x02	GPIO64	GPIO65	所有
1	0x22	GPIO234	GPIO235	144-QFP、176-QFP、256-BGA
3	0x42	GPIO64	GPIO235	144-QFP、176-QFP、256-BGA
4	0x62	GPIO234	GPIO65	144-QFP、176-QFP、256-BGA

表 7-38. SPI 引导选项

选项	BOOTDEF 值	SPIPICOA	SPIPOCIA	SPICLKA	SPISTEA	支持的封装
0	0x06	GPIO58	GPIO59	GPIO60	GPIO61	所有
1	0x26	GPIO16	GPIO17	GPIO60	GPIO19	144-QFP、176-QFP、256-BGA
2	0x46	GPIO32	GPIO33	GPIO34	GPIO35	256-BGA
3	0x66	GPIO54	GPIO55	GPIO56	GPIO57	176-QFP、256-BGA

表 7-39. I2C 引导选项

选项	BOOTDEF 值	SDAA GPIO	SCLA GPIO	支持的封装
0	0x07	GPIO0	GPIO1	所有
1	0x27	GPIO32	GPIO33	256-BGA
2	0x47	GPIO42	GPIO43	所有
3	0x67	GPIO56	GPIO57	144-QFP、176-QFP、256-BGA

表 7-40. CAN-FD 引导选项

选项	BOOTDEF 值	MCAN TX	MCAN RX	支持的封装
0	0x08	GPIO64	GPIO65	所有
1	0x28	GPIO234	GPIO235	144-QFP、176-QFP、256-BGA
2	0x48	GPIO64	GPIO235	144-QFP、176-QFP、256-BGA
3	0x68	GPIO234	GPIO65	144-QFP、176-QFP、256-BGA

ADVANCE INFORMATION

ADVANCE INFORMATION

7.8 安全模块和加密加速器

7.8.1 信息安全模块

本部分介绍了此 MCU 上 C29x 内核的安全模块。

7.8.1.1 硬件安全模块 (HSM)

硬件安全模块 (HSM) 是器件内的一个自包含子系统，用于提供安全和加密功能。主机 C29x 子系统与 HSM 子系统连接，以执行代码身份验证、安全启动、安全固件升级和加密运行时通信所需的加密操作。图 7-12 展示了此器件中各种子系统的整体概览，其中突出显示了 HSM 子系统。

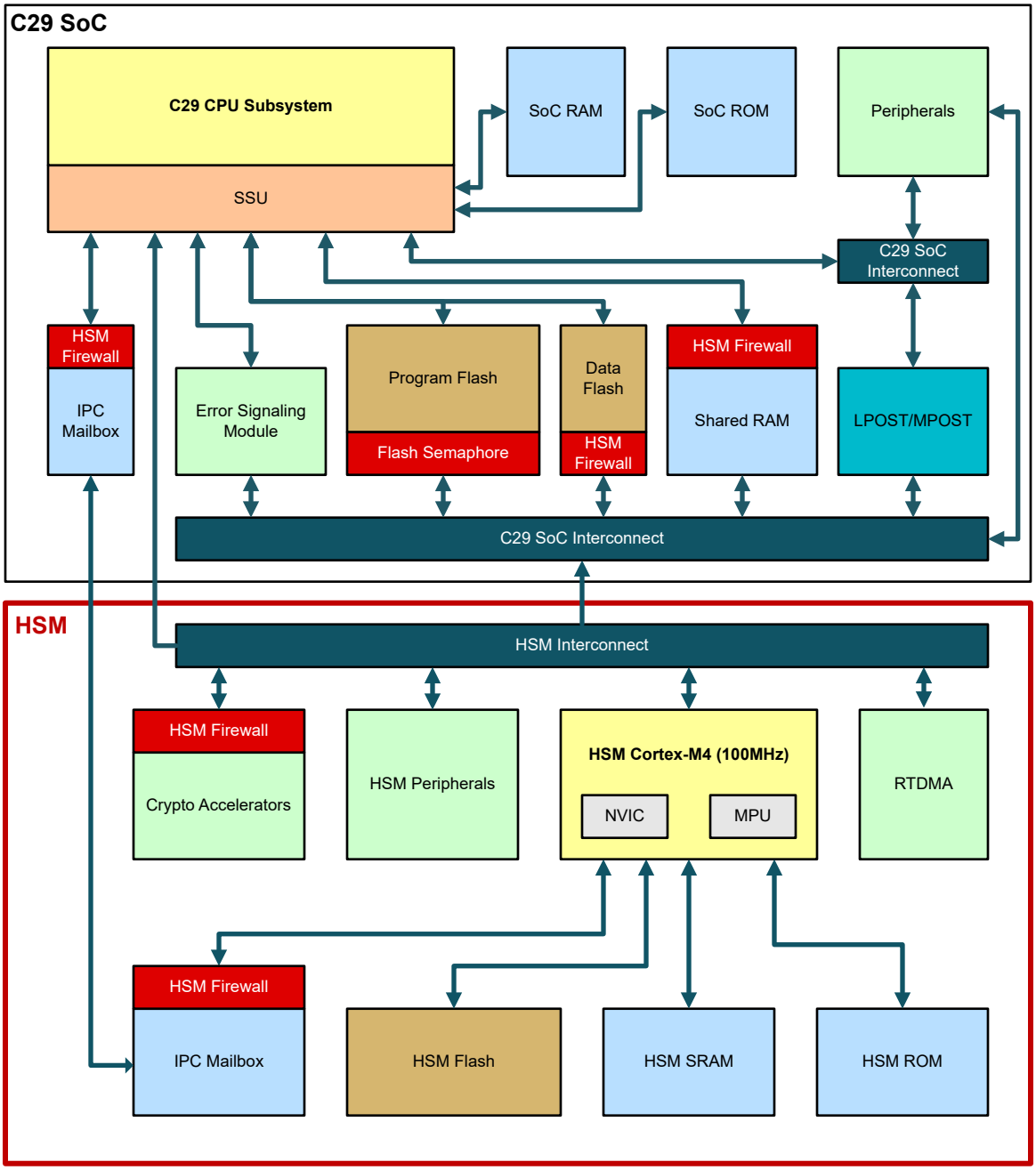


图 7-12. 器件简要方框图

Copyright © 2025 Texas Instruments Incorporated

HSM 的核心是一个在 100MHz 下运行的 Arm® Cortex®-M4 CPU，具有嵌入式 SRAM、ROM 和高达 512KB 的闪存存储器。实时 DMA (RTDMA) 模块支持 HSM CPU 与 SRAM、HSM 和应用闪存存储体、安全邮箱以及加密引擎之间的高速数据传输。

安全管理器模块托管信任根密钥，定义安全访问机制，控制调试防火墙，并执行安全覆盖序列，以便在需要调试或故障分析操作时建立对安全资产的保护。

HSM 包含一组用于执行加密算法的加速器引擎。这些引擎支持快速执行对称加密算法、哈希函数、用于公钥基础设施的非对称加密算法和真随机数生成器 (TRNG)。数据变换与哈希引擎 (DTHE) 连接 CPU 与加密加速器，负责管理中断和 RTDMA 触发，同时提供 CRC 和校验和计算等基本功能。

此外，HSM 还提供外设模块来帮助实现各种安全功能：计时器、实时计数器、看门狗、用于时钟监控的 DCC，以及用于错误处理的 ESM。

HSM 与主机应用程序内核之间的通信通过安全的邮箱接口进行。HSM 控制器件中的各种安全防火墙，包括安全邮箱、加密引擎、共享 RAM 和器件闪存存储器。

虽然硬件安全模块 (HSM) 提供加密服务并控制认证、安全启动和安全密钥/代码配置，但 SSU 负责应用 CPU 子系统中的运行时功能安全和信息安全保护。

表 7-41. SSU 与 HSM 互补特性

责任	SSU 或 HSM
在应用软件组件之间建立安全分区	仅限 SSU
允许将外设分配给不同的软件组件	仅限 SSU
管理应用闪存组编程	仅限 SSU
全局 JTAG 锁定	SSU 和 HSM[(1)]
对应用代码安全调试进行更低级别（区域）的管理	SSU 和 HSM
对应用代码安全调试进行更高级别 (CPU) 的管理	仅限 HSM
管理 HSM CPU 安全调试	仅限 HSM
加密服务（编码/解码、随机数、身份验证、密钥管理等）	仅限 HSM
安全密钥存储	仅限 HSM
安全启动	仅限 HSM
管理 HSM 组编程	仅限 HSM

(1) 当 HSM 存在时，HSM 取代 SSU 以实现此功能。

ADVANCE INFORMATION

7.8.1.2 加密加速器

硬件安全管理器 (HSM) 包含多个硬件加速器，可快速执行密钥加密算法。表 7-42 介绍了这些引擎。

表 7-42. 加密加速器引擎列表

发动机	支持的算法
AES（高级加密标准）	对称算法：AES-128、AES-192、AES-256 加密模式：ECB、CTR、CBC、CFB、OFB、CCM、GCM 身份验证：CBC-MAC
SM4	对称算法：SM4
PKE（公钥引擎）	用于大矢量数学/模数运算的高性能 PKE 加密：RSA-2048、RSA-3092、RSA-4096、ECC（Curve25519、X25519、SecP256r1、secP256k1、secP384r1、secP384k1、Brain Pool 等）、SM2 支持加密操作：ECDSA、EdDSA、ECDH、EdDH、SM2DSA 侧信道保护（DPA、FIA）
SHA	哈希算法：SHA-256、SHA-384、SHA-512 带密钥的哈希处理：HMAC-SHA256、HMAC-SHA512
SM3	哈希算法：SM3（256 位、384 位、512 位）
TRNG	真随机数生成器 确定性随机比特生成器 (DRBG)

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.8.2 功能安全和信息安全单元 (SSU)

7.8.2.1 系统视图

图 7-13 展示了此器件中 F29x 实时安全架构的简化视图。该架构的核心是功能安全和信息安全单元 (SSU)。SSU 用作 C29 CPU 与存储器和外围设备之间的防火墙。SSU 的主要作用是在每次 C29 CPU 访问芯片上的外设和存储器时强制实施用户访问保护策略。此外，SSU 控制 C29 应用子系统中的调试访问和闪存控制器操作（注意：SSU 不能控制 HSM 闪存或任何其他 HSM 资源）。虽然硬件安全模块 (HSM) 提供加密服务并控制认证、安全启动和安全密钥/代码配置，但 SSU 负责应用 CPU 子系统中的运行时功能安全和信息安全保护。HSM 和 SSU 共同控制调试访问授权；两者均必须授权，才能访问特定资源以进行调试。

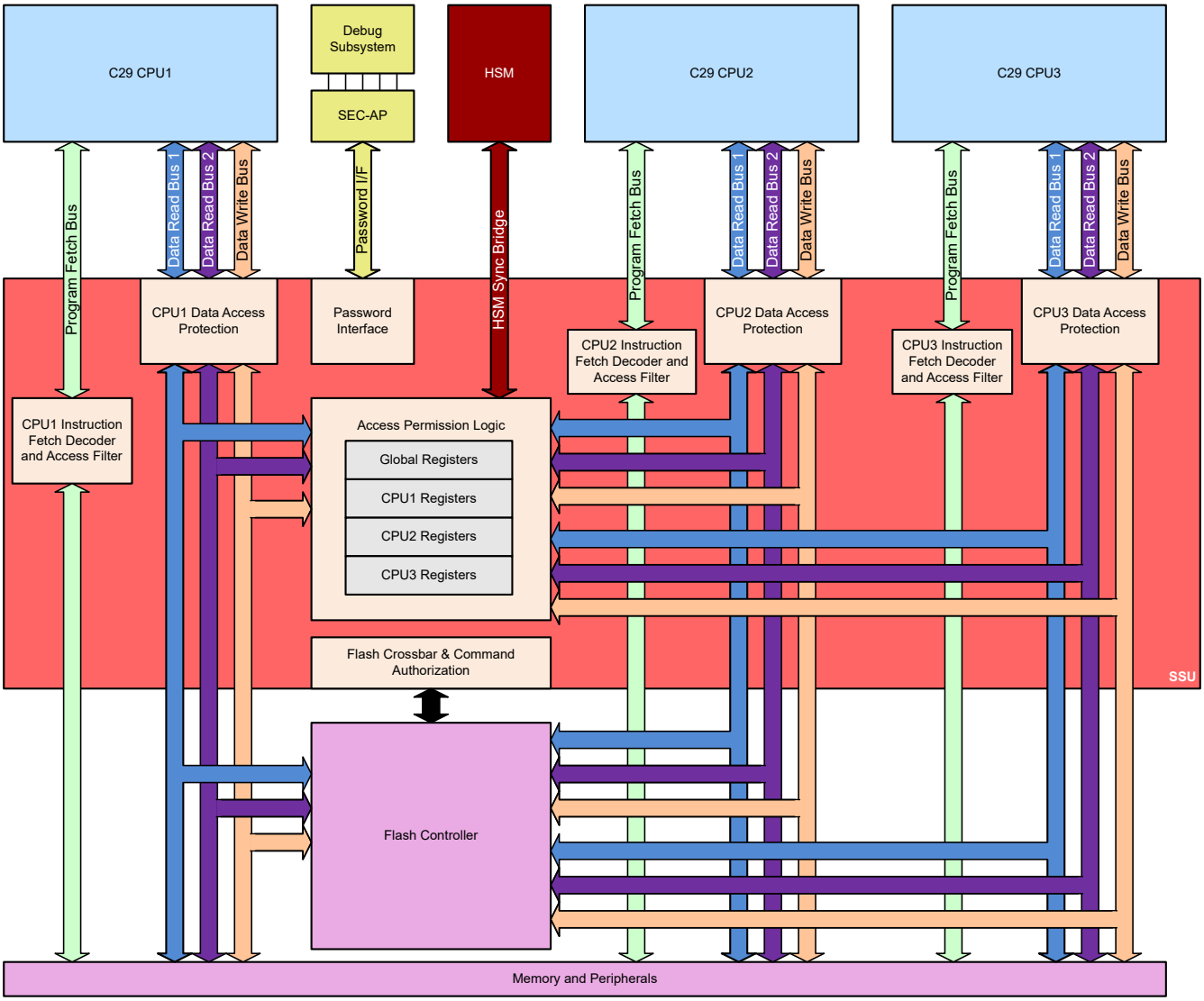


图 7-13. C29 实时安全架构方框图

SSU 与 C29 CPU 和闪存控制器紧密耦合。每个 C29 CPU 都支持通过内存保护标识符 (LINK)、功能安全和信息安全隔离上下文 (STACK) 以及调试访问 ZONE 来实现硬件功能隔离和保护。图 7-14 中展示了系统 SSU 配置的示例，其中显示了访问保护范围、LINK、STACK 和 ZONE 之间的关系。当 CPU 请求获取指令时，SSU 首先将指令地址解码到 LINK、STACK 和 ZONE，然后将该信息与获取的数据一起传回 CPU。CPU 会在整个执行流水线中保留这些安全上下文信息和指令，并在进行数据存储器读写访问时将上下文一起传递给 SSU。

ADVANCE INFORMATION

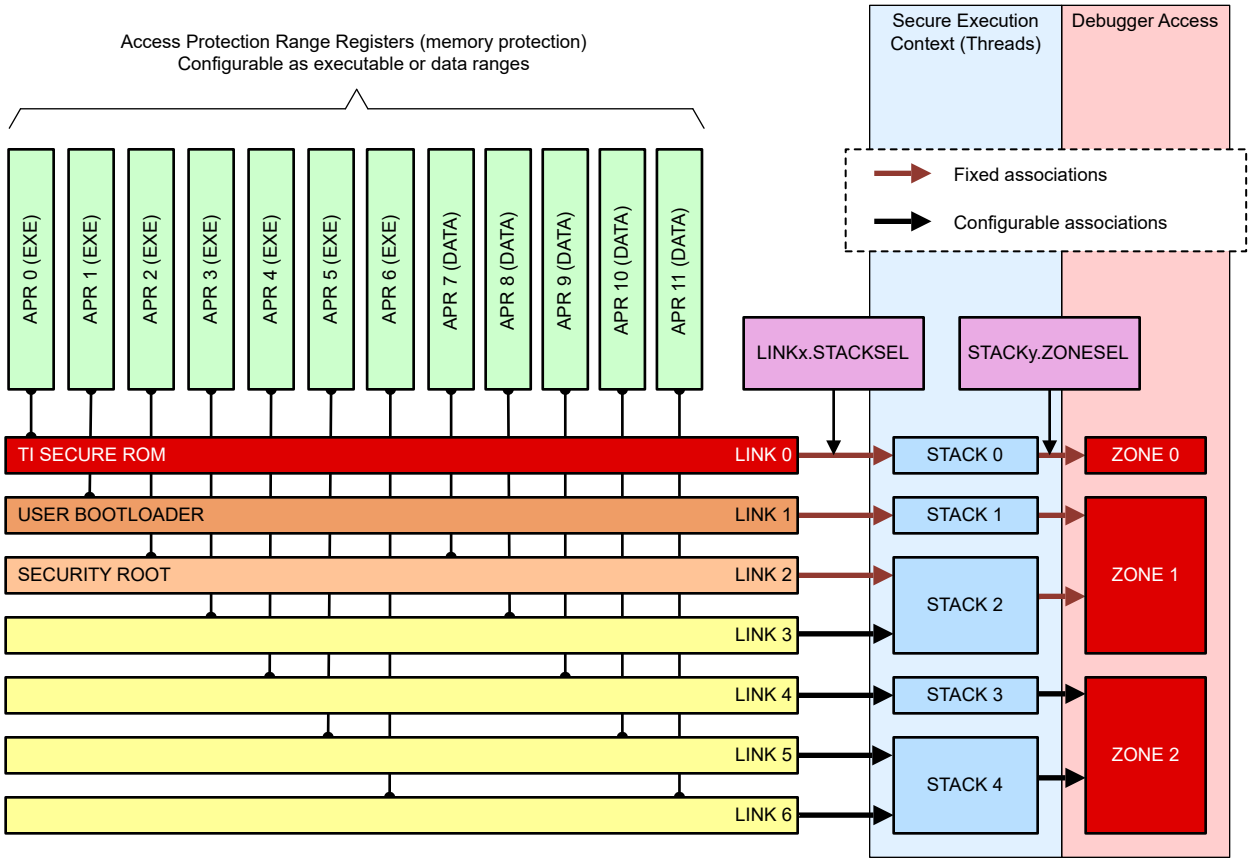


图 7-14. SSU 概念图（简化版）

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.9 C29x 子系统

7.9.1 C29 CPU 架构

C29 CPU 采用 VLIW（超长指令字）架构，并配备全面保护式流水线。CPU 支持多种指令大小（16/32/48 位）。CPU 还支持可变指令包大小，每个指令包可包含多达 8 条并行执行的指令。例如，CPU 架构能够并行执行多达 8 条 16 位指令。这由 CPU 内可以同时执行的多个功能单元实现。工作寄存器总共有 64 个，分为三个不同类别（Ax、Dx 和 Mx 寄存器组），并支持 CPU 中的并行操作。除了工作寄存器外，CPU 还包含多个状态寄存器（DSTS、EST 和 ISTS），用于维护与执行相关的信息和与中断上下文相关的信息。

以下列出了 C29 CPU 的主要特性：

- **简便易用：**
  - 字节可寻址 CPU。
  - 具有 4GB 地址范围的线性和统一存储器映射。
  - 全面保护式流水线：9 级流水线，可防止对同一位置进行无序写入和读取。
  - 在无缓存存储器的情况下实现确定性执行和出色性能。
- **改进并行性：**
  - 并行执行 1 到 8 条指令。
  - 并行执行定点、浮点和寻址运算。
  - 多个并行功能单元。
  - 专门的运算，可更大限度地减少不连续性并加速决策代码（例如 if-then-else 语句和 switch 语句）。
  - 面向实时控制的专业运算（例如，三角运算和多相矢量转换运算）。
- **提高总线吞吐量：**
  - 每个周期能够获取多达 128 位指令包。
  - 每个周期能够执行 8/16/32/64 位双读取操作和单写入操作。
  - 改进的寻址模式减少了内存和外设资源访问的开销。
  - 改进的流水线使 CPU 能够访问更多的 0 等待存储器，从而实现超高性能。
- **代码效率：**
  - 支持可变长度指令集（16 位、32 位和 48 位指令）。
  - 丰富的指令集通过超简洁的指令优化了常见的运算。
- **硬件中实现代码隔离的 ASIL D 级别安全功能：**
  - 锁步内核能够在分离锁定模式下独立执行（用作单独内核）或进行锁步执行（用于提供冗余）。
  - 集成 ECC 逻辑
  - 在硬件中集成内存管理 (MPU) 和保护机制，从而更大限度地提高 MIPS。
  - 独立的代码线程实现了完全隔离与保护（包括软件栈）。
- **增强调试和跟踪功能：**
  - 专用数据记录和代码流跟踪指令。
  - 跟踪数据能够记录在片上 RAM 中或通过串行通信外设导出。

ADVANCE INFORMATION

7.9.2 外设中断优先级和扩展 (PIPE)

7.9.2.1 简介

每个 PIPE 模块实例均负责对相应 CPU 的外设中断进行仲裁。每个时钟周期对所有产生的中断进行仲裁，优先级最高的中断施加到相应的 CPU 中断线路（NMI、RTINT 或 INT）。PIPE 模块负责为 CPU 提供 NMI、RTINT、INT 和 RESET 矢量地址。PIPE 能够定制中断、优先级和嵌套的顺序。

备注

请参阅《*C29x CPU 参考指南*》，了解有关 C29x CPU 中断架构的信息，包括中断类型、中断功能以及安全与保障。

7.9.2.1.1 特性

PIPE 模块具有以下特性：

- 对中断优先级划分、仲裁、分组、软件握手和嵌套的硬件支持。
- 每个时钟上硬件内的动态中断仲裁。
- 可选的优先级，用于将中断选择为 RTINT 或 INT。
- 对优先级相邻的中断进行分组，从而防止组内发生中断嵌套。
- 仲裁中使用的中断默认基于索引的优先级顺序。
- 为 RESET、NMI、RTINT 和 INT 提供矢量获取支持。
- 用户可以访问为 INT 配置的堆栈。
- 由软件任务管理器系统或操作系统使用的上下文。
- 基于链路的保护仅验证由指定中断所有者服务的合法代码。
- 器件级保护仅验证合法的代码源更新中断配置和矢量表。
- RTINT 和 NMI 的自动上下文保存和恢复。
- RTINT 堆栈溢出保护始终为 NMI 提供一块保留的堆栈空间以供执行。
- 针对中断矢量表的 ECC 保护。
- 针对配置寄存器的奇偶校验保护。
- 中断配置的可选锁定功能。

7.9.2.1.2 中断概念

中断是一种信号，使 CPU 暂停当前正在运行的进程并跳转到另一个称为中断服务例程 (ISR) 的代码段。这是一种处理外设事件的有用机制，与寄存器轮询相比，它减少了 CPU 开销和程序复杂度。但是，由于中断与程序流是异步的，因此必须注意避免中断和主程序代码中访问的资源发生冲突。

中断通过一系列标志寄存器和使能寄存器传播到 CPU。标志寄存器会一直存储中断，直到中断被处理。使能寄存器则允许或阻止中断传播。当中断信号到达 CPU 时，CPU 会从矢量表中获取适当的 ISR 地址。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.9.2.2 中断控制器架构

PIPE 模块具有三个主要功能块：

1. 动态优先级仲裁电路
2. 后处理块
3. 存储器映射寄存器（包括矢量表和总线接口）

以下各小节对这三个功能块做了更加详细的说明。

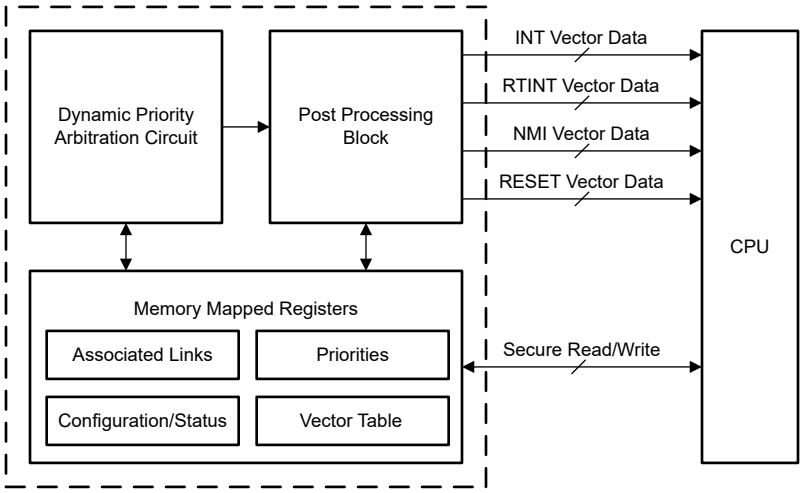


图 7-15. PIPE 架构

7.9.2.2.1 动态优先级仲裁块

动态优先级仲裁块为 CPU 提供了每个时钟周期可用的最高优先级中断矢量。CPU 在提供的矢量地址处处理最高优先级中断。

7.9.2.2.2 后处理块

后处理块会选择赢得仲裁的最高优先级中断，并选择将中断转发到哪个中断线（INT 或 RTINT）。后处理块还会自动检查哪个链路正在访问中断线路，以及安全链路是否正在访问受保护的寄存器。

备注

提供给 CPU 的 NMI 线路是一个独立的线路，能够优先于任何其他准备好触发的中断（INT 或 RTINT）。

7.9.2.2.3 存储器映射寄存器

存储器映射寄存器 (MMR) 包含中断配置寄存器。以下是存储器映射寄存器中提供的寄存器类型：

- 与每个中断关联的链路。
- 为每个中断配置的优先级。
- 中断配置。
- 中断状态。
- 矢量表。

访问由适用于所有寄存器的相同安全规则控制。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.9.2.3 中断传播

中断通过几个步骤传播到 CPU。外设中断在给定中断的 INT_CTL_REG_L_y 寄存器中设置相应的 FLAG 位。如果设置了中断所对应 INT_CTL_REG_L_y 寄存器的 EN 位，中断会传播到动态优先级仲裁电路。接着，动态优先级仲裁块和后处理块会通过仲裁确定最高优先级中断，并通过两条中断线路（RTINT 或 INT）之一向 CPU 发出该中断。最后，CPU 选择被激活的最高优先级中断线路（在 NMI、RTINT 和 INT 中）并开始执行该中断。

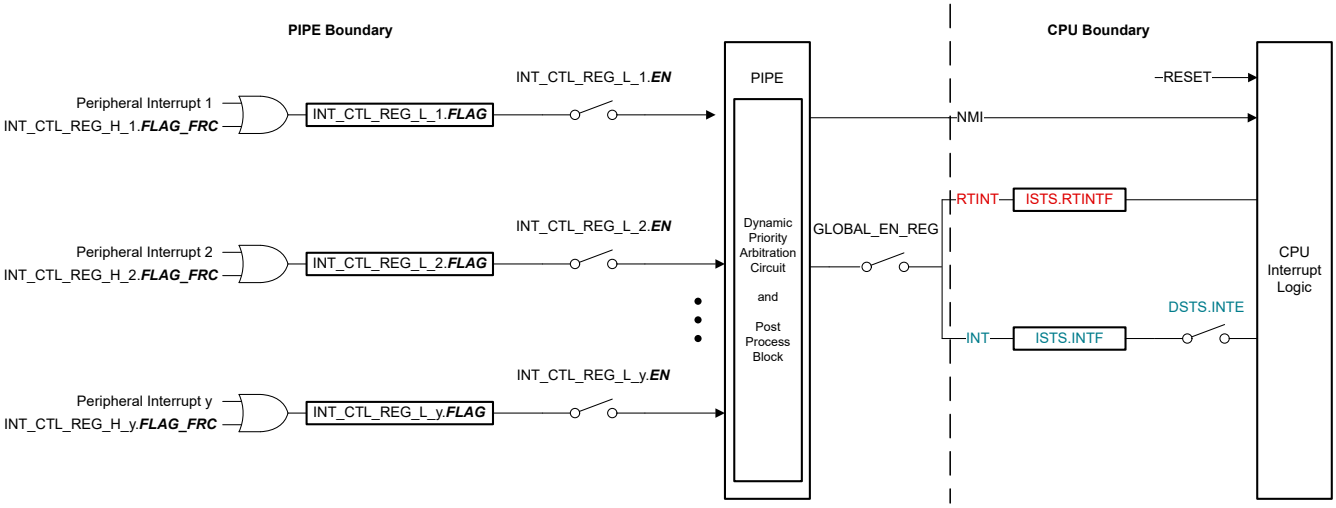


图 7-16. 中断传播

备注

NMI 是一个独立的线路，能够优先于任何其他准备好触发的中断。传递到 PIPE 的 NMI 事件会被转发到 CPU，包括处理中的 NMI。CPU 可以随时选择一个新的 NMI，但只有处理中 NMI 中断服务例程完成后，PIPE 模块才会转发新的 NMI。

同样的规则也适用于 RESET。在 CPU 接收到 RESET 后，便不需要任何额外条件即可执行复位操作。

请参阅《*C29x CPU 参考指南*》，了解中断如何在 C29x CPU 内传播一次。

Copyright © 2025 Texas Instruments Incorporated

7.9.3 数据记录和跟踪 (DLT)

7.9.3.1 简介

对于关键 CPU 运行时内容，数据记录器和跟踪 (DLT) 模块能够控制记录哪些数据、何时开始记录数据以及要采集的数据大小。关键运行时内容可以包含在计算内容时需要监控的任何信息。当记录数据时，DLT 为非侵入式，这意味着对运行时或 CPU 内核行为没有影响。在关键任务（例如控制环路）中查看计算中间值的功能可以帮助用户微调环路。DLT 模块可以向中断控制器生成中断，发出 RTDMA 传输请求，以及与 ERAD 事件触发器交互。

DLT 可以对数据执行收集、加时间戳、预过滤、导出以及实时和事后分析。

7.9.3.1.1 特性

DLT 具有以下能力：

- 记录称为数据记录的关键运行时内容
- 使用称为跟踪的标签分析程序执行序列
- 日志记录对运行时/CPU 内核行为是非侵入性的
- 灵活的日志记录功能，可通过将数据传输到外部存储器实现长时间记录，或将数据传输到片上存储器来实现短时间记录
- 寄存器记录的大小最多支持 32 位，具体取决于所记录变量的大小
- 每个 CPU 都支持 DLT
- 时间戳记录与上次记录的变量之间的时间差，并可为 IPC 计时器计数添加时间戳
- RTDMA 触发
- 全局、FIFO 和计时器中断生成

ADVANCE INFORMATION

7.9.3.1.1.1 方框图

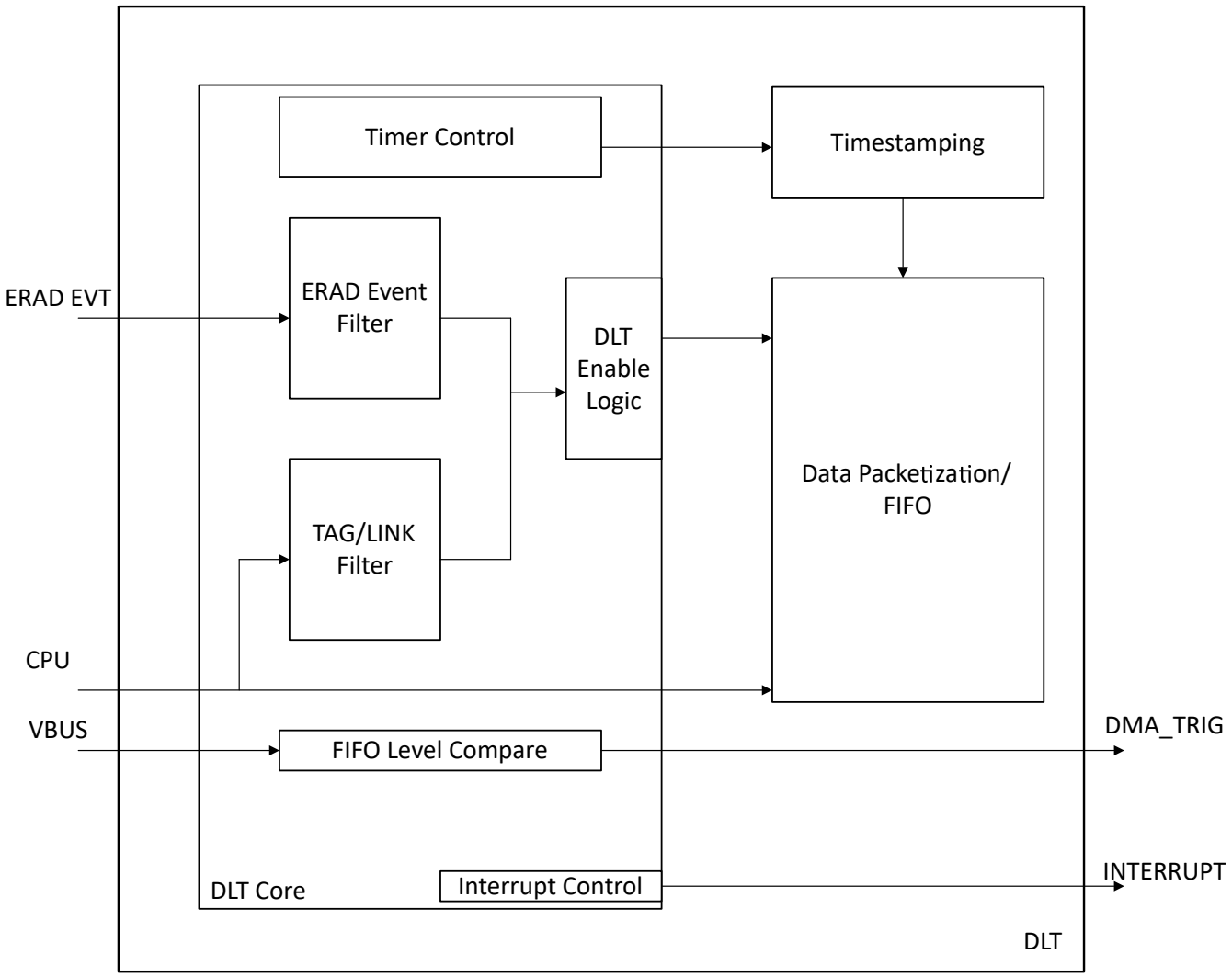


图 7-17. DLT 方框图

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.9.4 波形分析仪诊断 (WADI)

7.9.4.1 WADI 概述

波形分析仪和诊断 (WADI) 外设包含许多有用的内置信号分析支持，同时为信号提供安全机制。WADI 主要用于安全应用，在这些应用中，如果信号分析报告任何错误行为，则驱动开关或捕获信号需要执行操作或链接操作。

7.9.4.1.1 特性

- 能够从多个源（CMPSS、ePWM、输入 XBAR、CLB、ADC）选择到 WADI 块的输入信号，并配置触发器以对信号开始分析并执行安全诊断
- 能够按照配置执行不同的检查：
  - 脉宽测量
  - 频率测量
  - 相位重叠测量
  - 死区测量
- 能够对单个信号执行检查或在两个信号之间执行检查
- 能够根据信号分析将输出覆盖到特定状态或定义输出组合的链路
- 支持奇偶校验的寄存器
- 支持 RTDMA 触发器和 RTDMA 确认

ADVANCE INFORMATION

ADVANCE INFORMATION

7.9.4.1.2 方框图

图 7-18 显示了 WADI 的方框图。

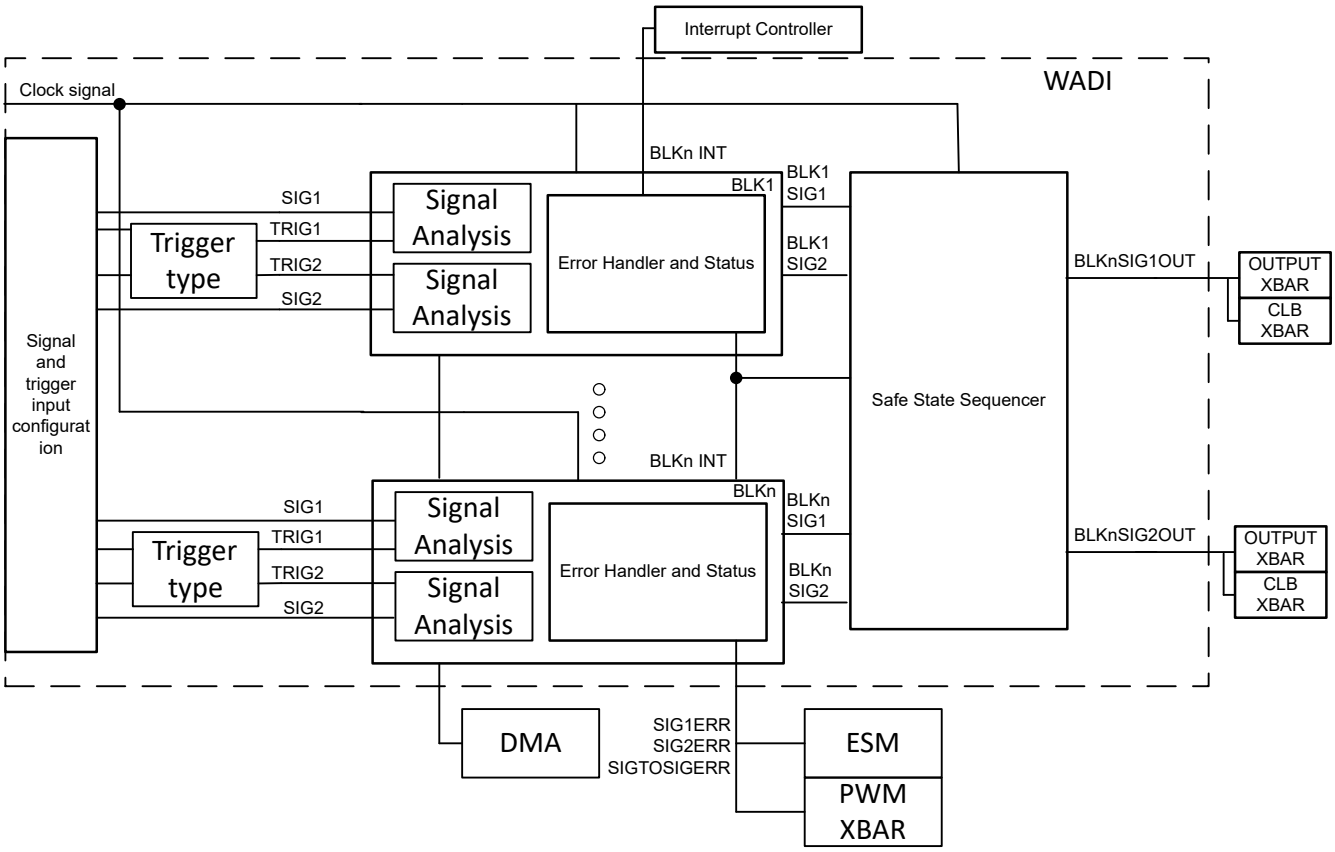


图 7-18. WADI 方框图

7.9.4.1.3 说明

波形分析器诊断 (WADI) 通过对输入信号执行测量、聚合和比较来确定底层实时控制系统的正确性和质量。每个输入信号针对脉宽、频率、相位、死区等的特定属性进行表征。WADI 会根据比较值验证每个信号的测量值，并允许一定范围的误差，只要误差在该范围内，信号仍被认定为有效。WADI 支持在 WADI 模块内比较单个信号或执行信号之间的关联分析。每个 WADI 实例均有四个 WADI 模块。每个 WADI 模块可以监控最多两个信号，并对每个信号进行信号分析。

Copyright © 2025 Texas Instruments Incorporated

7.9.5 嵌入式实时分析和诊断 (ERAD)

ERAD 模块增强了器件的调试和系统分析功能。ERAD 模块提供的调试和系统分析增强功能在 CPU 之外完成。ERAD 模块由增强型总线比较器单元和系统事件计数器单元组成。增强型总线比较器单元用于生成硬件断点、硬件观察点和其他输出事件。系统事件计数器单元用于分析和评测系统。ERAD 模块可由调试器和应用软件访问，这显著提高了许多实时系统的调试功能，尤其是在调试器未连接的情况下。ERAD 模块具有可以跟踪 PC 不连续情况的程序计数器跟踪（PC 跟踪）功能。

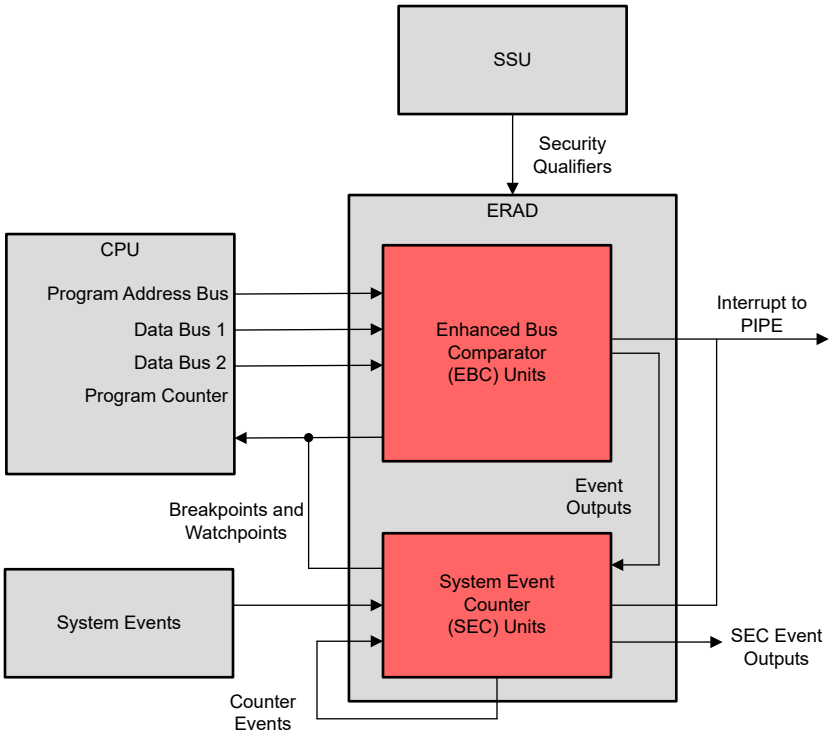


图 7-19. ERAD 系统概述

ADVANCE INFORMATION

7.9.6 处理器间通信 (IPC)

7.9.6.1 简介

本节详细介绍了每个 CPU 可用于请求和共享信息的 IPC 功能。IPC 特性包括：

- IPC 标志和中断
- IPC 命令寄存器
- 自由运行的计数器

所有 IPC 特性彼此独立，大多数不需要任何特定的数据格式。

IPC 模块架构 图展示了 IPC 模块的设计结构。任何两个 CPU 之间的功能是相同的。

具有 C29x 处理器的器件没有消息 RAM，因为可以将任何存储器指定为可由各个 CPU 读取或写入。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

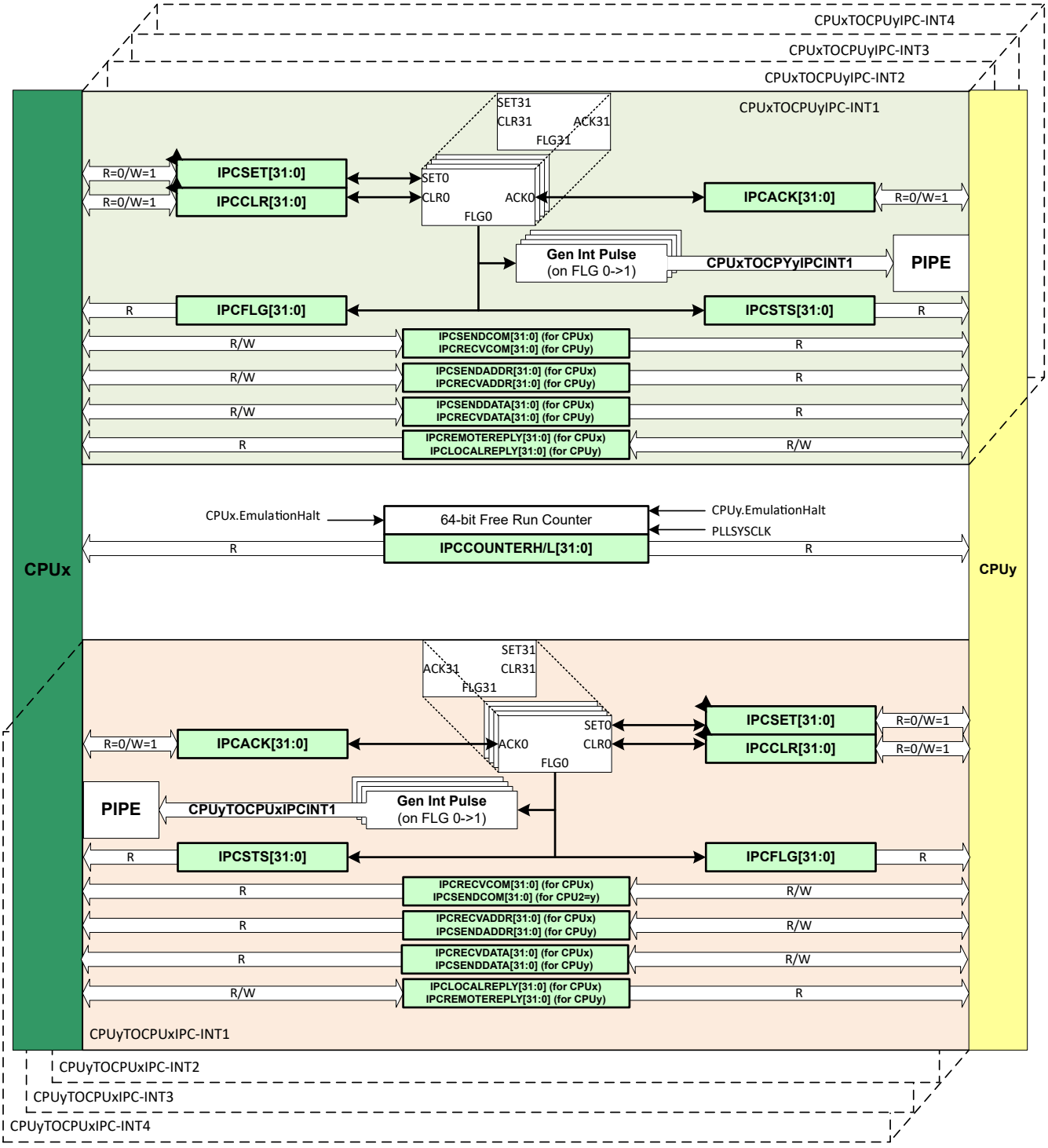


图 7-20. IPC 模块架构

ADVANCE INFORMATION

ADVANCE INFORMATION

7.9.7 看门狗

该看门狗模块与之前的 TMS320C2000™ 微控制器上的模块相同，但对计数器的软件复位之间的时间提供一个可选的下限。默认情况下会禁用此窗口倒计时，因此该看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

图 7-21 展示了看门狗模块内的各种功能块。

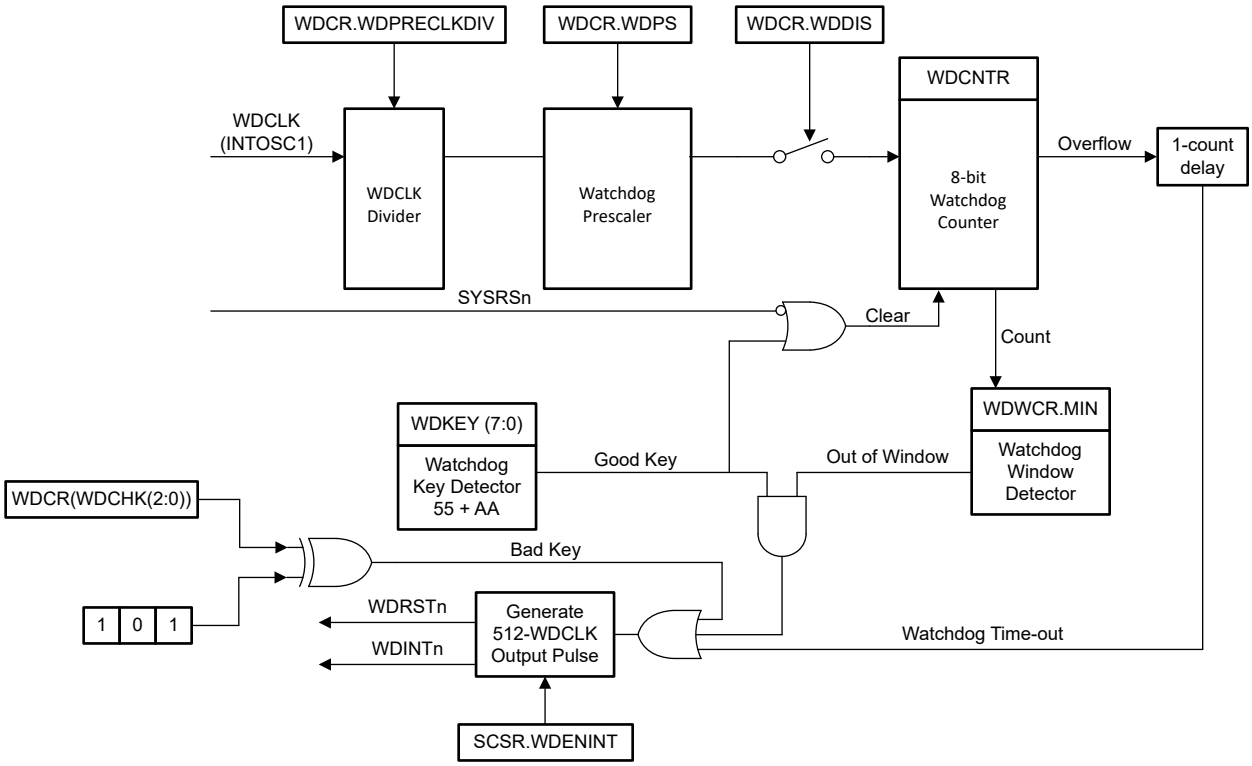


图 7-21. 窗口看门狗

Copyright © 2025 Texas Instruments Incorporated

7.9.8 双路时钟比较器 (DCC)

DCC 模块用于根据第二个时钟评估和监测时钟输入，第二个时钟可以是更准确和可靠的版本。该仪器用于检测时钟源或时钟结构中的故障，从而增强系统的安全性指标。

7.9.8.1 特性

DCC 具有以下特性：

- 允许应用确保两个时钟信号的频率之间保持固定的比率。
- 支持根据参考时钟周期数定义可编程公差窗口。
- 支持连续监视，而无需应用干预。
- 支持单序列模式进行点测量。
- 允许为每个计数器选择一个时钟源，从而产生几种特定的用例。

7.9.8.2 DCCx 时钟源中断的映射

表 7-43. DCCx 时钟源 0 表

DCCxCLKSRC0[3:0]	时钟名称
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR（输入 xbar 的输出 16）
其它	保留

表 7-44. DCCx 时钟源 1 表

DCCxCLKSRC1[4:0]	时钟名称
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x7	CPU2.SYSCLK
0x8	RTDMA - LCMCLK
0x9	INPUT_XBAR.INPUT15
0xA	AUXCLKIN
0xB	EPWMCLK
0xD	ADCCLK
0xE	WDCLK
0x15	CPU3.SYSCLK
0x18	INPUT_XBAR.INPUT11
0x19	INPUT_XBAR.INPUT12
0x1A..0x1F	MCAN[A..F]BITCLK
0x20	ESM 时钟
其它	保留

ADVANCE INFORMATION

ADVANCE INFORMATION

7.9.9 可配置逻辑块 (CLB)

C2000 可配置逻辑块 (CLB) 是一组模块的集合，这些模块使用软件进行互连，以实现自定义数字逻辑功能或增强现有的片上外设。CLB 能够通过一组交叉开关互连来增强现有的外设，为现有的控制外设（例如增强型脉宽调制器 (ePWM)、增强型采集模块 (eCAP) 和增强型正交编码器脉冲模块 (eQEP)）提供高度连接性。交叉开关还允许将 CLB 连接到外部 GPIO 引脚。通过这种方式，CLB 可以配置为与器件外设交互以执行小型逻辑功能（例如比较器），或实现自定义串行数据交换协议。通过 CLB，原本需要使用外部逻辑器件实现的功能现在可在 MCU 内实现。

CLB 外设是通过 CLB 工具进行配置的。更多有关 CLB 工具、可用示例、应用手册和用户指南的信息，请参阅适用于 C2000 MCU 的 C2000Ware 软件包（C2000Ware_2_00_00_03 及更高版本）中的以下位置：

- **C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc**
- *CLB 工具用户指南*
- *使用 C2000™ 可配置逻辑块 (CLB) 进行设计* 应用手册
- *如何将自定义逻辑从 FPGA/CPLD 迁移到 C2000™ 微控制器* 应用手册

CLB 模块及其互连如图 7-22 所示。

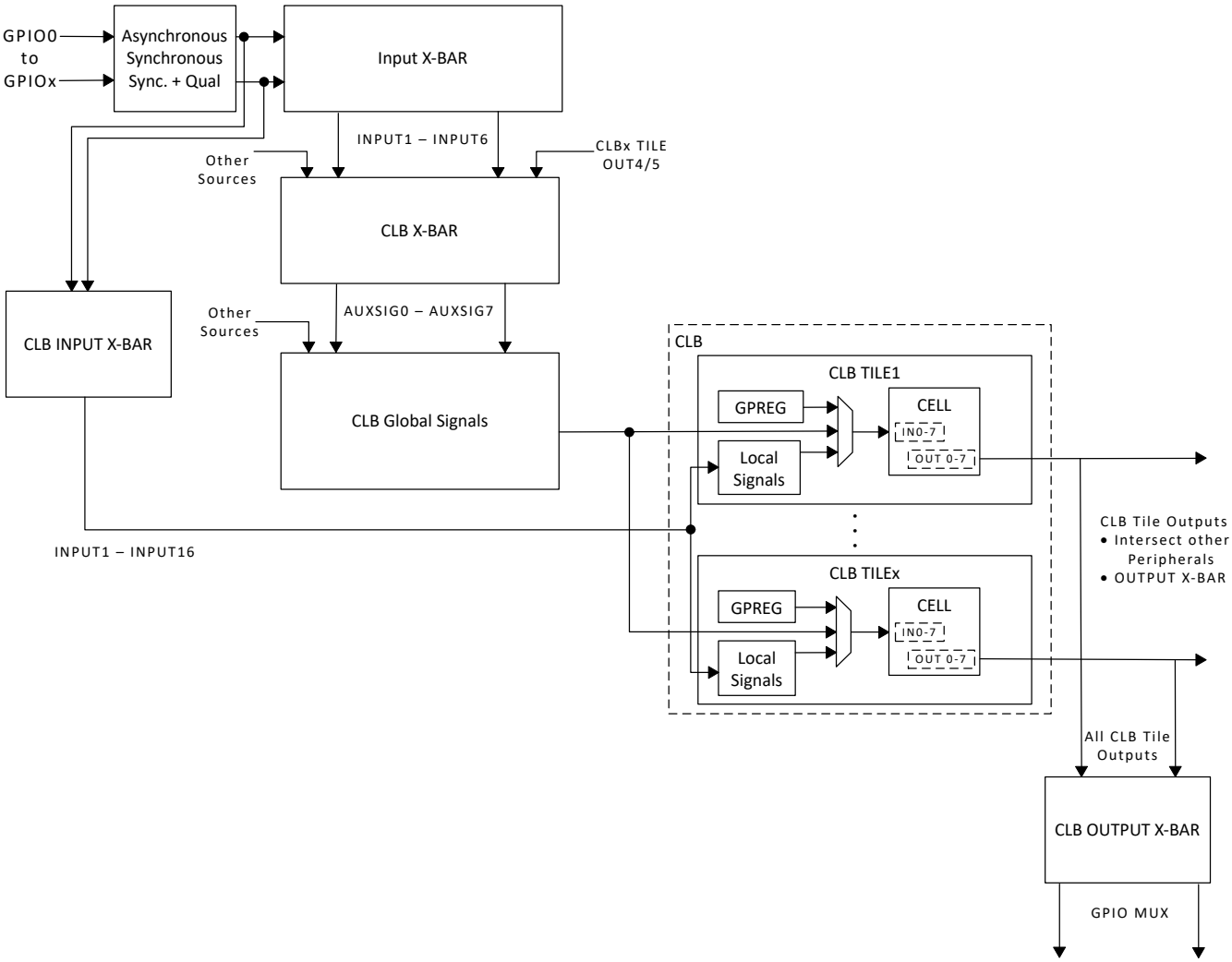


图 7-22. GPIO 到 CLB 逻辑块的连接

Copyright © 2025 Texas Instruments Incorporated

绝对编码器协议接口现在作为 C2000Ware MotorControl SDK 中的 Position Manager 解决方案提供。C2000Ware MotorControl SDK 提供了此类解决方案的配置文件、应用程序接口 (API) 和使用示例。在某些解决方案中，TI 配置的 CLB 与其他片上资源（例如 SPI 端口或 C28x CPU）一起使用，以执行更复杂的功能。

ADVANCE INFORMATION

7.10 锁步比较模块 (LCM)

运行时期间的硬件模块完整性是一项关键的功能安全要求。由锁步 CPU 架构（两个 CPU 执行相同功能，并且不断比较 CPU 的输出）实现的硬件冗余是一种经过验证的方法，可实现对永久故障和瞬态故障的高诊断覆盖率。实施的锁步比较器模块 (LCM) 用于比较 CPU 的输出，从而检测永久故障和瞬态故障。

LCM 可实现下列特性：

- 流水线架构
- 冗余比较
- 自检能力
  - 匹配和不匹配测试
  - 错误强制功能
- 时间冗余：两个模块的运行错开两个周期，以解决时钟、电源等常见原因故障问题。这可确保时间冗余。
- 空间冗余：在锁步架构中，模块实例被冗余地实例化，并对输出进行比较。冗余实例化提供空间冗余。
- 非延迟功能输出路径，可为系统提供非延迟 CPU 执行（同时仍然具有时间冗余）。
- 使用奇偶校验方案对模块的关键存储器映射寄存器进行寄存器保护。

LCM 方框图如下所示。

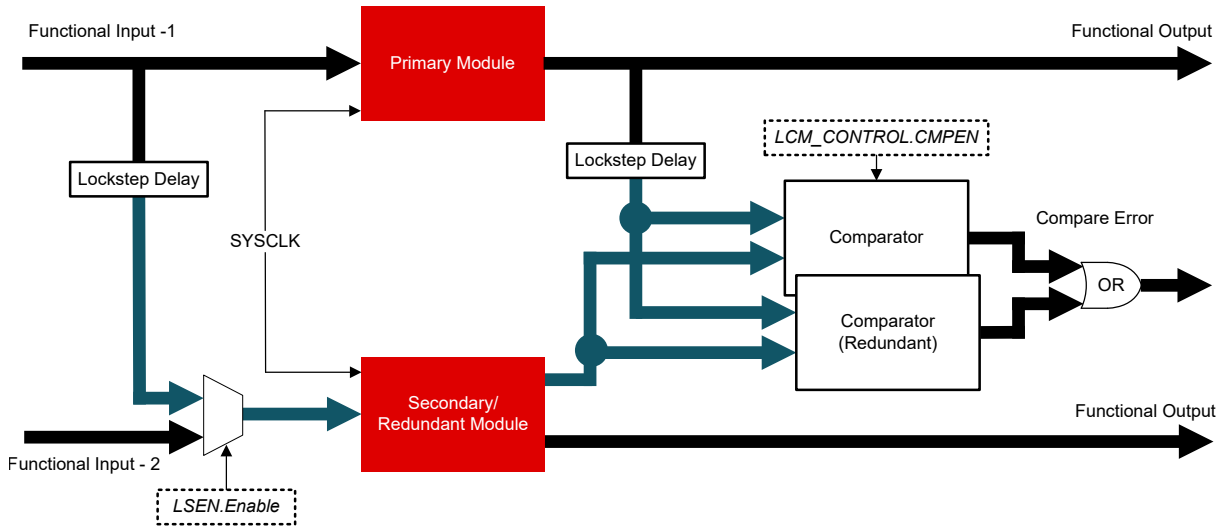


图 7-23. LCM 方框图

备注

此方框图中描述的*模块* 可以是 CPU（例如 CPU1）或外设（例如 RTDMA），具体取决于使用的器件。

Copyright © 2025 Texas Instruments Incorporated

8 应用、实施和布局

8.1 参考设计

TI 参考设计库是一个涵盖模拟、嵌入式处理器和连接等内容的强大参考设计资源库。所有参考设计均由 TI 专家构建，旨在帮助您着手进行系统设计，其中包括原理图或方框图、BOM 和设计文件，助您加快产品上市步伐。

在精选 TI 参考设计中搜索并下载 TI 参考设计。

ADVANCE INFORMATION

9 器件和文档支持

9.1 器件命名规则

德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产工具 (TMDS)。

器件开发演变流程：

X 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。

P 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。

无 完全合格的芯片模型的生产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

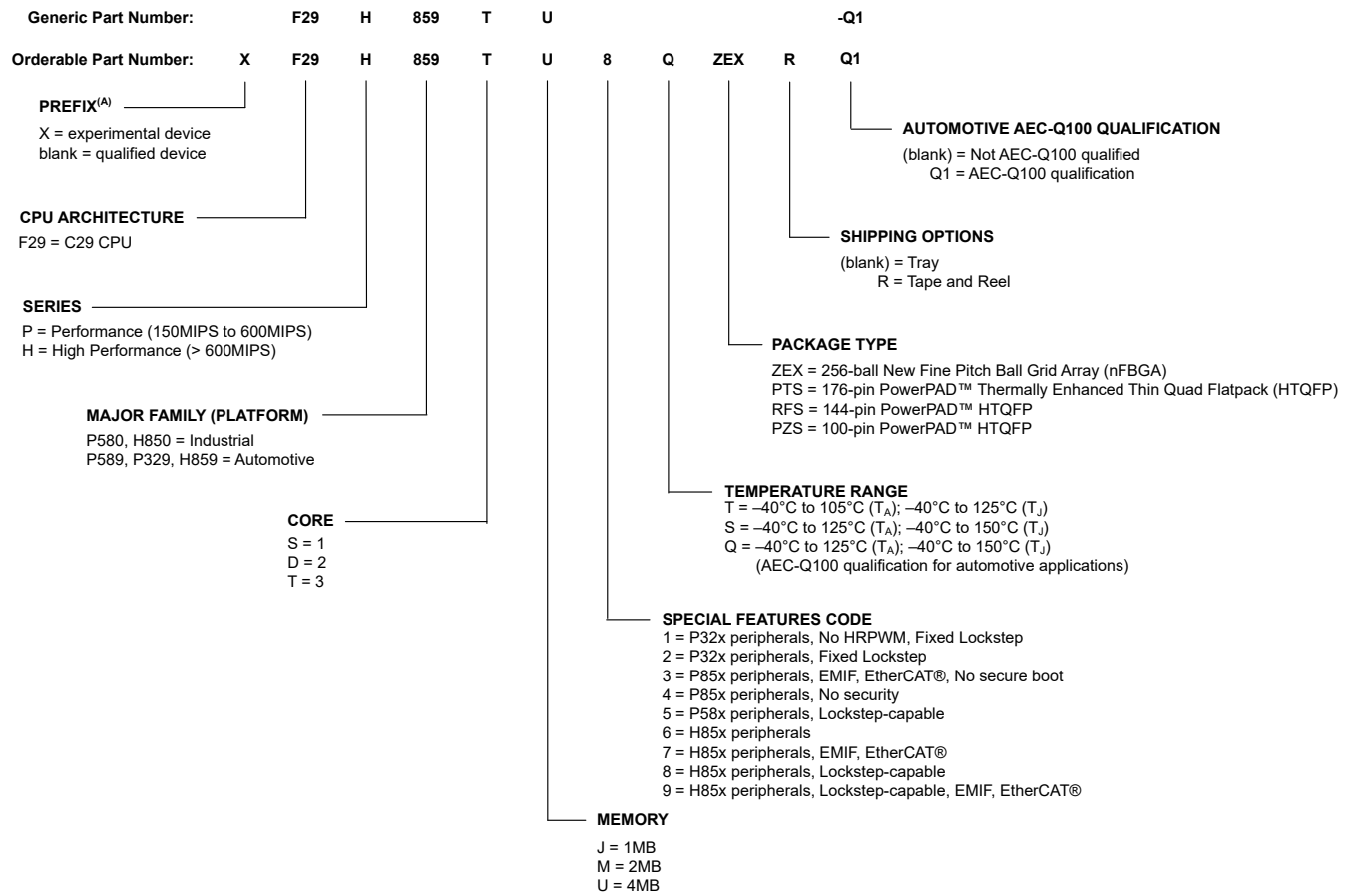
预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示封装类型（例如 ZEX）。

若要获取器件型号以及更多订购信息，请联系您的 TI 销售代表。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated



A. 可订购器件型号使用前缀 X。

图 9-1. 器件命名规则

9.2 标识

图 9-2、图 9-3、图 9-4 和图 9-5 展示了封装编号法。表 9-1 列出了器件修订版本代码。

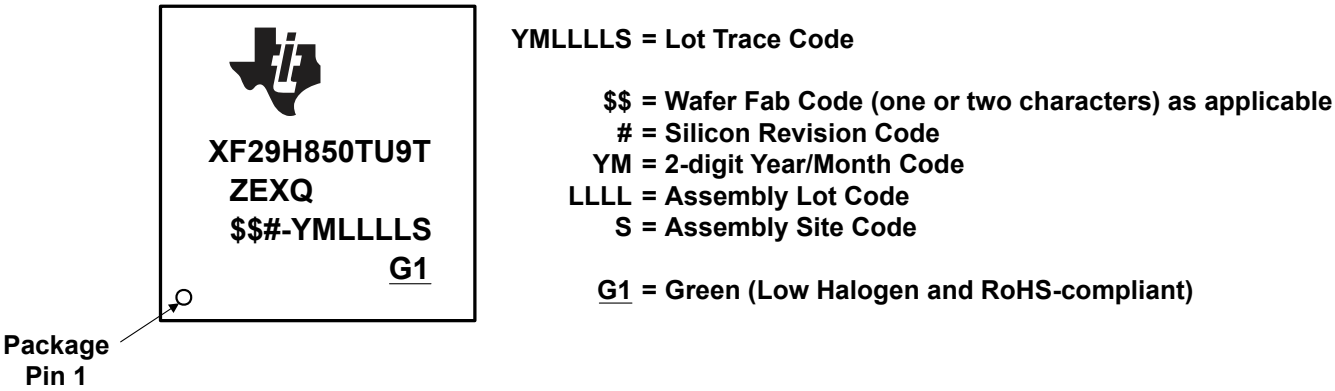
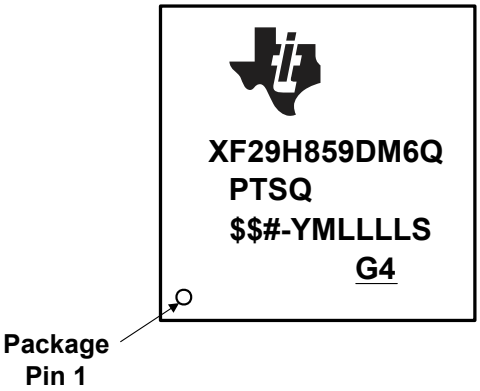


图 9-2. ZEX 封装的封装编号法

ADVANCE INFORMATION

ADVANCE INFORMATION

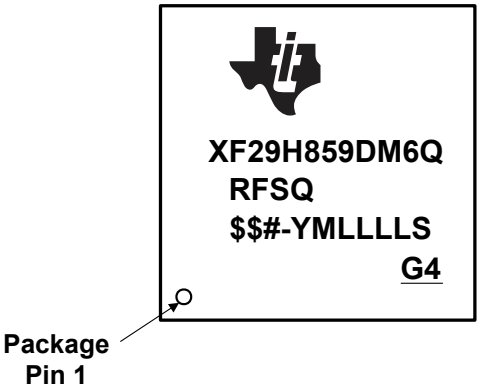


YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-3. PTS 封装的封装编号法

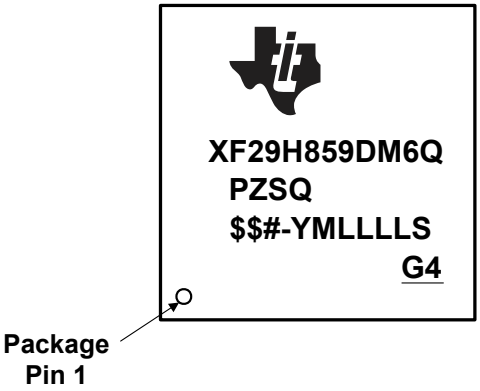


YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-4. RFS 封装的封装编号法



YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-5. PZS 封装的封装编号法

表 9-1. 版本标识

器件修订版本代码	器件修订版本	REVID[(1)] 地址：0x5D00C	注释[(2)]
空白	0	0x0000 0001	该器件版本现已预量产。
A	A	不适用[(3)]	该器件版本现已预量产。
B	B	0x0000 0003	待定

(1) 器件修订版本 ID
(2) 有关可订购器件型号，请参阅本数据表末尾的“封装信息”表。
(3) 请参阅封装编号法图中的器件修订版本代码。

Copyright © 2025 Texas Instruments Incorporated

9.3 工具与软件

TI 提供广泛的开发工具。下面是部分用于评估器件性能、生成代码和开发解决方案的工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问 C2000 实时控制 MCU - 设计和开发页面。

开发工具

TI Resource Explorer
要增强您的体验，请务必查看 TI Resource Explorer 以浏览应用的示例、库和文档。

软件工具

适用于 F29 实时 MCU 的 F29-SDK 基础软件开发套件 (SDK)
F29x SDK 支持基于 C29x CPU 系列的实时 MCU。这些 SDK 共同为高性能实时控制应用的开发提供了全面的软件包，可以轻松集成主机功能，以及汽车和工业应用所需的控制、安全和网络安全功能。

DigitalPower SDK
DigitalPower SDK 包含一套紧密相关的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的数字电源系统的开发时间，可适用于各种交流/直流、直流/直流和直流/交流电源应用。软件中包含可运行于 C2000 数字电源评估模块 (EVM) 和多种 TI 参考设计（适用于太阳能、电信、服务器、电动汽车充电器和工业电力输送应用）上的固件。DigitalPower SDK 包含数字电源应用在开发和评估等各阶段所需的所有资源。

MotorControl SDK
MotorControl SDK 包含一系列紧密相关的软件架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的电机控制系统开发时间，适用于各种三相电机控制应用。该软件包含可运行于 C2000 电机控制评估模块 (EVM) 上的固件和适用于工业驱动和其他电机控制的 TI 参考设计。MotorControl SDK 提供了高性能电机控制应用在开发和评估等各阶段所需的所有资源。

Code Composer Studio™ 集成开发环境 (IDE)
Code Composer Studio 是一款适用于 TI 微控制器和处理器的集成开发环境 (IDE)。它包含一整套用于开发和调试嵌入式应用的工具。Code Composer Studio 可在 Windows®、Linux® 和 macOS® 桌面上下载。此外，可以通过访问 https://dev.ti.com，在云中使用它。Code Composer Studio 包含用于优化的 C/C++ 编译器、源代码编辑器、项目构建环境、调试器、性能分析器以及很多其他功能。直观的 IDE 将引导您完成应用开发流程的每个步骤熟悉的工具和界面让您能够比以前更快地上手。Code Composer Studio 的桌面版本将 Eclipse 软件框架的优势与 TI 先进的功能相结合，提供了一种功能丰富的优异开发环境。基于云的 Code Composer Studio 利用 Theia 应用程序框架，无需下载和安装大量软件即可在云中进行开发。

SysConfig 系统配置工具
SysConfig 是一个全面的图形实用程序集合，用于配置引脚、外设、无线电、子系统和其他组件。SysConfig 可助您直观地管理、发现和解决冲突，以便您有更多时间创建差异化应用。该工具的输出包括 C 头文件和代码文件，这些文件可与软件开发套件 (SDK) 示例配合使用，或用于配置定制软件。SysConfig 工具会自动选择满足输入要求的 pinmux 设置。SysConfig 工具作为独立安装程序集成在 CCS 中，也可以通过 dev.ti.com 云工具门户使用。有关 SysConfig 系统配置工具的更多信息，请访问系统配置工具页面。

ADVANCE INFORMATION

C2000 第三方搜索工具
TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

UniFlash 闪存编程工具
UniFlash 是一款软件工具，用于对 TI 微控制器和无线连接器件上的片上闪存以及 TI 处理器的板载闪存进行编程。UniFlash 提供图形界面和命令行界面。

模型

您可以从产品的“设计与开发”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。若要查看所有可用模型，请访问每个器件的*设计与开发*页面的*设计工具与仿真*部分。

培训

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料和可下载的实际操作技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 C2000™ 实时控制 MCU - 支持和培训站点。

9.4 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

备注

TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。

勘误

F29H85x、F29P58x 和 F29P32x 实时 MCU 器件勘误表 介绍了器件的已知问题并提供了权变措施。

技术参考手册

F29H85x 和 F29P58x 实时微控制器技术参考手册 详述了 F29H85x 和 F29P58x 实时微控制器中每个外设和子系统的集成、环境、功能说明和编程模型。

用户指南

F29x 硬件安全管理器 (HSM) 用户指南硬件安全模块 (HSM) 是器件内的一个自包含子系统，用于提供安全和加密功能。主机 C29x 子系统与 HSM 子系统连接，以执行代码身份验证、安全启动、安全固件升级和加密运行时通信所需的加密操作。

F29x 加密硬件加速器用户指南硬件安全管理器 (HSM) 包含几个硬件加速器，可快速执行密钥加密算法。这些引擎包括数据变换与哈希引擎 (DTHE)、高级加密标准加速器、公钥引擎 (PKE)、哈希算法和真随机数生成器 (TRNG)。

C29x CPU 和指令集参考指南介绍了 C29x CPU 架构、中断、流水线、寻址模式、功能安全和信息安全方面。此手册还描述了这些器件上可用的仿真功能。

《将 TMS320F2837x、TMS320F2838x、TMS320F28P65x 迁移到 TMS320F29H85x 用户指南》 介绍了在 F2837x、F2838x、F28P65x 和 F29H85x C2000™ MCU 之间迁移时需要考虑的硬件和软件差异。

外设指南

C2000 实时微控制器外设参考指南介绍了适用于 TMS320x28x 和 F29x 器件的所有外设。此参考指南介绍了每个器件使用的外设，并提供了外设的说明。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

工具指南

《F29H85X controlSOM 评估板用户指南》 F29H85X-SOM-EVM 是一款适用于 TI C2000™ MCU 系列 F29H85x 和 F29P58x 器件的评估和开发板。其具有三个 120 引脚高速/高密度连接器的模块上系统设计非常适合初始评估和原型设计。

应用手册

SMT 和封装应用手册网站列出了有关 TI Surface Mount Technology (SMT) 的文档以及涵盖各种封装相关主题的应用手册。

半导体包装方法介绍了向最终用户发货时对半导体器件使用的包装方法。

计算嵌入式处理器的有效使用寿命介绍了如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

IBIS（I/O 缓冲器信息规范）建模简介讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

C2000™ 微控制器的串行闪存编程介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

使用 C2000™ 实时微控制器的基本开发指南更深入探究了使与实时控制系统相关的 C2000 微控制器 (MCU) 脱颖而出的器件。

将软件从 8 位（字节）可寻址 CPU 迁移到 C28x CPU 讨论了将软件从 8 位（字节）可寻址 CPU 迁移到 C28x CPU 的常见场景，并提供了有关如何开发应用程序而不考虑可寻址性的指南。

“F2800x C2000™ 实时 MCU 系列的硬件设计指南”应用手册 是使用 C2000 器件的硬件开发人员的基本指南，有助于简化设计过程，同时降低设计故障的可能性。论述的主要主题包括：电源要求、通用输入/输出 (GPIO) 连接、模拟输入和 ADC、时钟生成和要求以及 JTAG 调试等。

《为高性能实时控制系统实现网络安全技术白皮书》探讨了如何抵御针对嵌入式硬件和软件的日益复杂的现代攻击。

9.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.6 商标

TMS320C2000™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.
are registered trademarks of Arm Limited (or its subsidiaries or affiliates) in the US and/or elsewhere.
Windows® is a registered trademark of Microsoft Corporation.
Linux® is a registered trademark of Linus Torvalds.
macOS® is a registered trademark of Apple Inc.
所有商标均为其各自所有者的财产。

9.7 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

ADVANCE INFORMATION

9.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

10 修订历史记录

Changes from JUNE 7, 2025 to SEPTEMBER 30, 2025 **Page**

- **此“修订历史记录”列出了从 SPRSP93A 到 SPRSP93B 的更改。** 1
- *特性* 部分：将“CPU1 和 CPU2 分离锁定和锁步支持”特性更改为“CPU1 和 CPU2 锁步”。向特性中添加了详情。 1
- *应用* 部分：添加了“HEV/EV 动力总成集成”应用。 2
- *说明* 部分：更新了此部分。 3
- *封装信息* 表：更新了表 3
- *器件信息* 表：更新了表 3
- *器件比较* 表：更新了有关预发布信息的表和脚注。 8
- *引脚属性（F29H85x 和 F29P58x）* 表：更新了表 15
- *模拟信号* 表：更新了表 93
- *电源和接地* 表：删除了表。在 *引脚属性 (F29H85x 和 F29P58x)* 表和 *引脚属性 (F29P32x)* 表中添加了对电源和接地引脚的说明。 93
- *GPIO 多路复用引脚*表：更新了表 117
- *系统电流消耗（禁用 VREG）- 外部电源* 表：更新了表 127
- *系统电流消耗（启用 VREG）* 表：更新了表 127
- *电源管理模块特性* 表：更新了表 145
- *C29 闪存参数* 表：更新了表 164
- *HSM 闪存参数* 表：更新了表 164
- *模拟引脚连接* 表：更新了表 194
- *模数转换器 (ADC)* 部分：更新了“每个 ADC 模块都包含一个采样保持 (S/H) 电路 …”。 198
- *每个引脚的 ADC 性能* 部分：新增了该部分 212
- *高分辨率 PWM 特征* 表格：将典型值从 100ps 更改为 75ps。 248
- *eQEP 方框图*：更新了图 249
- *eQEP 开关特性* 表：添加了此表 250
- *概述* 部分：更新了此部分。 289
- *简介* 部分：更新了“错误信令模块 (ESM) 提供了响应的系统整合...”段落。添加了“ESM 提供全面的错误报告 …”段落。 292
- *错误处理架构* 图：新增了图。 292
- *外设寄存器存储器映射* 表：更新了表 307
- *器件标识寄存器* 表：为器件修订版 B 添加了器件修订版本号。 321
- *从复位到系统启动的器件引导流程*图：更新了图。 330
- *应用程序代码的系统引导流程*图：更新了图。 330
- *仿真引导流程*图：更新了图。 332
- *独立引导流程*图：更新了图。 333
- *器件命名规则* 图：更新了特殊特性代码。 358
- *版本标识* 表：更新了器件修订版本 A 的 REVID。添加了器件修订版本 B。添加了“请参阅器件修订版本代码...”脚注。 359

ADVANCE INFORMATION

11 机械、封装和可订购信息

11.1 封装信息

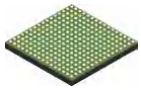
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

若要了解关于 TI 封装的更多信息，请访问封装网站。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

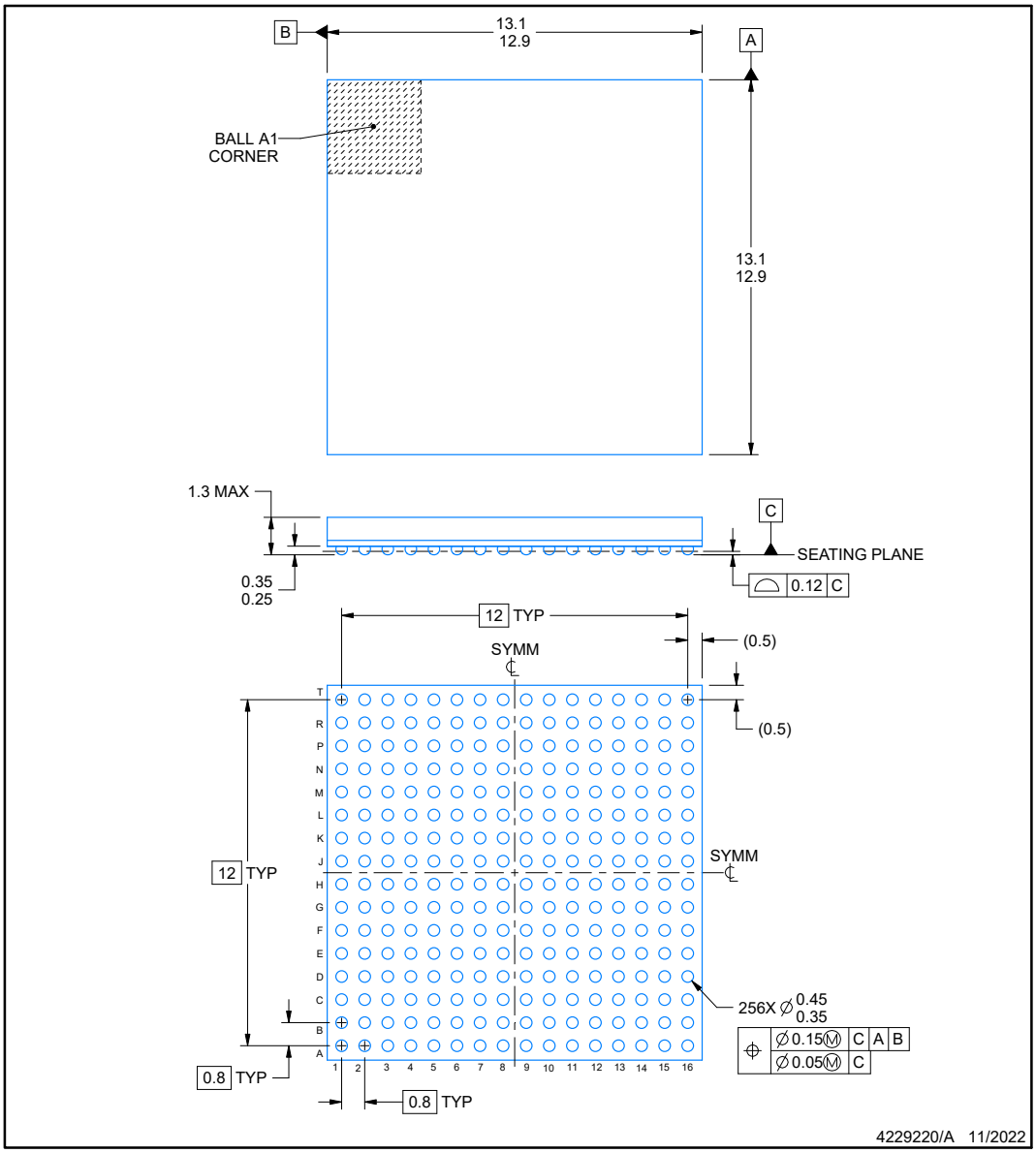
ZEX0256A



PACKAGE OUTLINE

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2025 Texas Instruments Incorporated

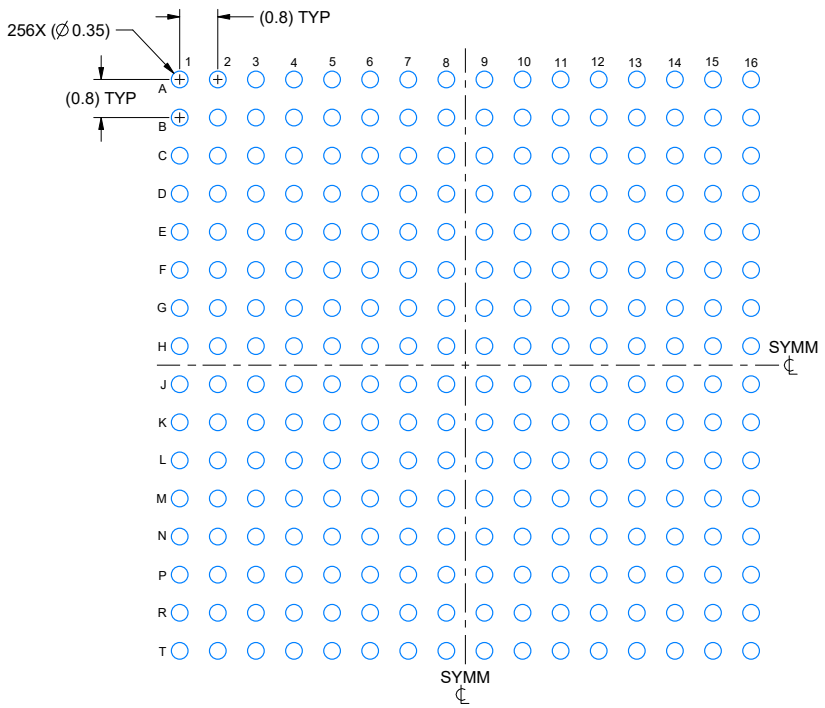
ADVANCE INFORMATION

ADVANCE INFORMATION

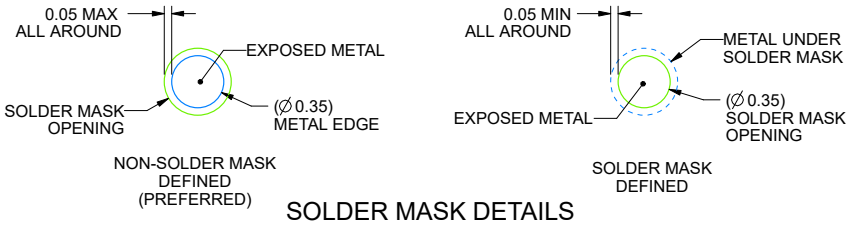
EXAMPLE BOARD LAYOUT

ZEX0256A **NFBGA - 1.3 mm max height**

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



SOLDER MASK DETAILS
NOT TO SCALE

4229220/A 11/2022

NOTES: (continued)

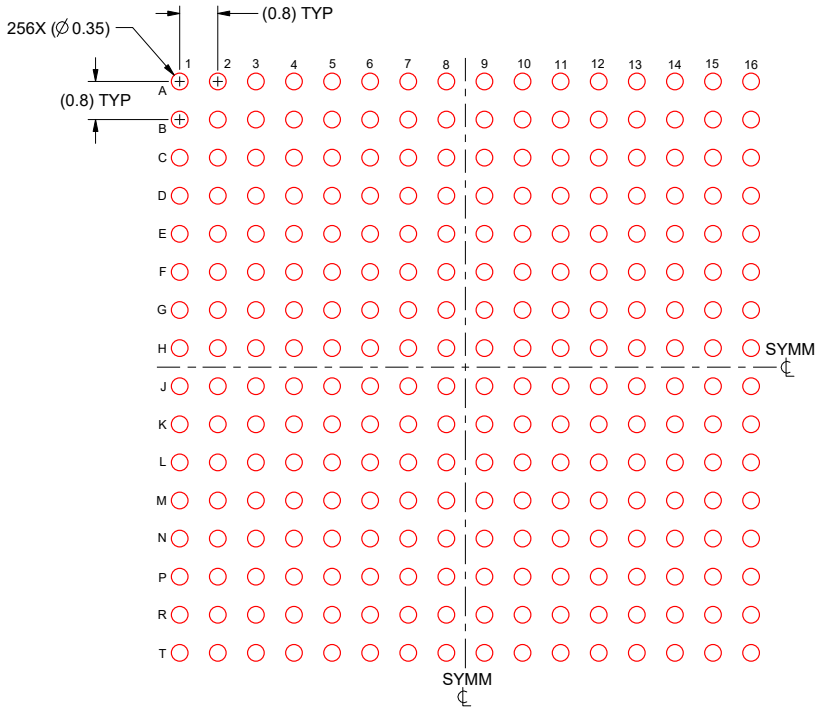
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

ZEX0256A **NFBGA - 1.3 mm max height**

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4229220/A 11/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

ADVANCE INFORMATION

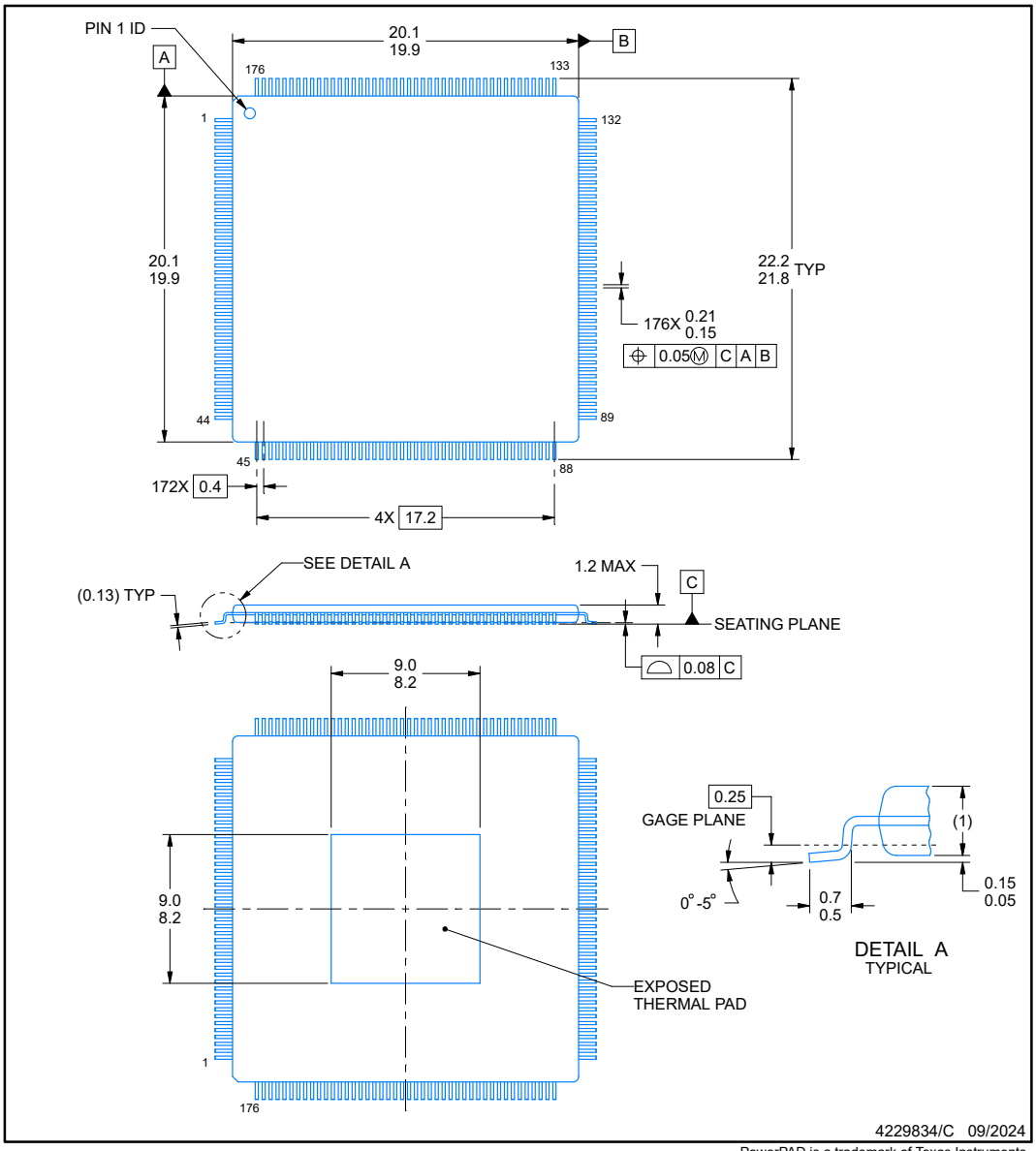
Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

PACKAGE OUTLINE

PTS0176A — **PowerPAD™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. Strap features may not be present,

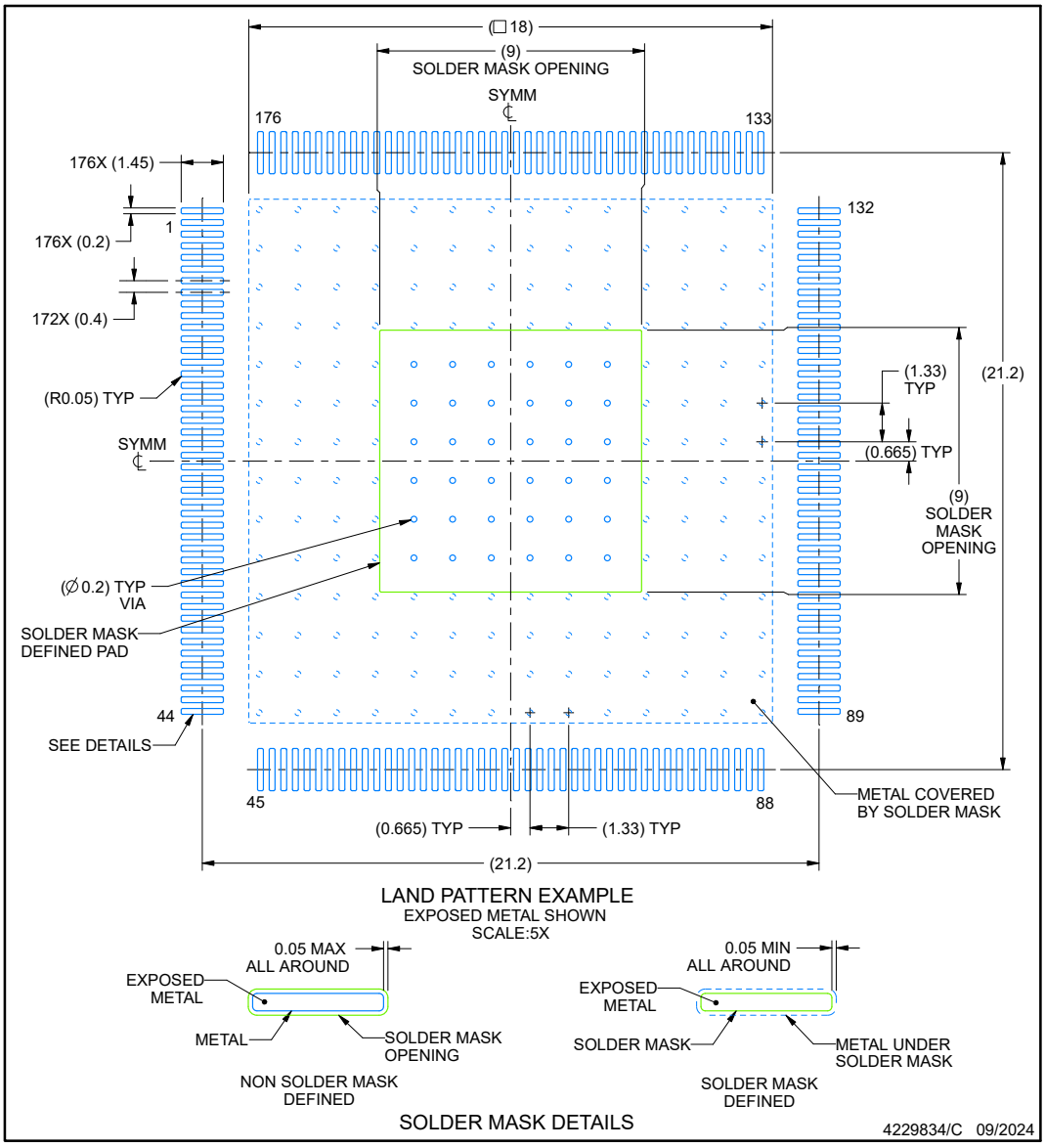
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PTS0176A **PowerPAD™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).

ADVANCE INFORMATION

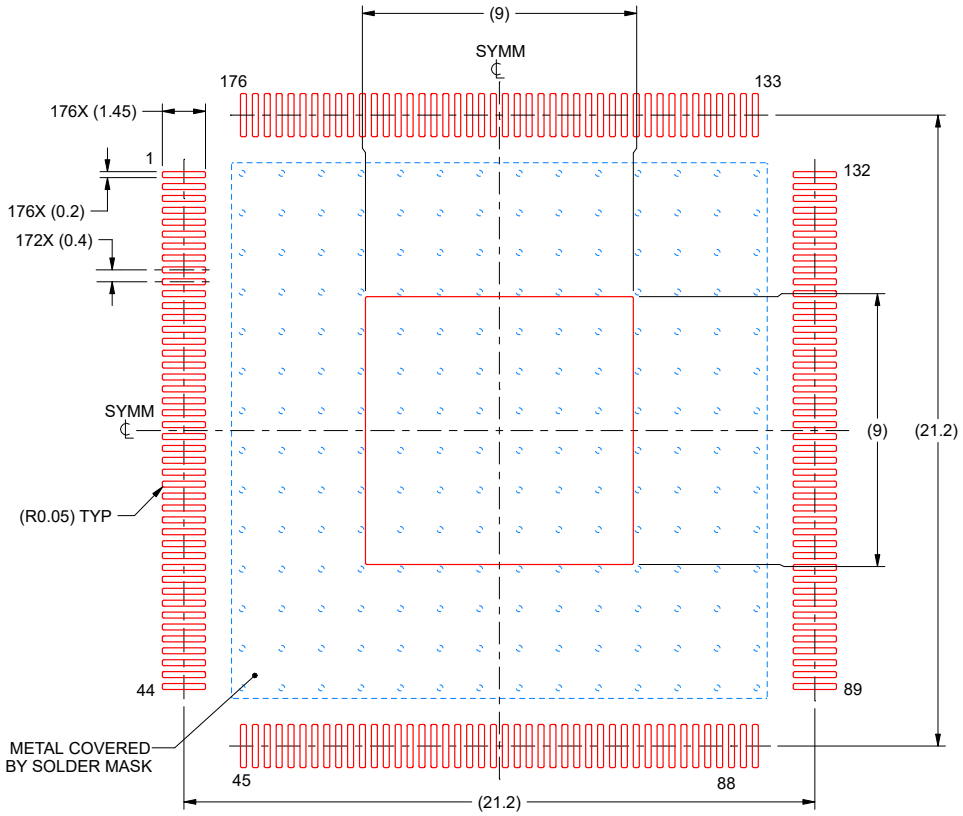
Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

PTS0176A **PowerPAD™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE

EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:5X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	10.06 X 10.06
0.125	9.00 X 9.00 (SHOWN)
0.15	8.22 X 8.22
0.175	7.61 X 7.61

4229834/C 09/2024

NOTES: (continued)

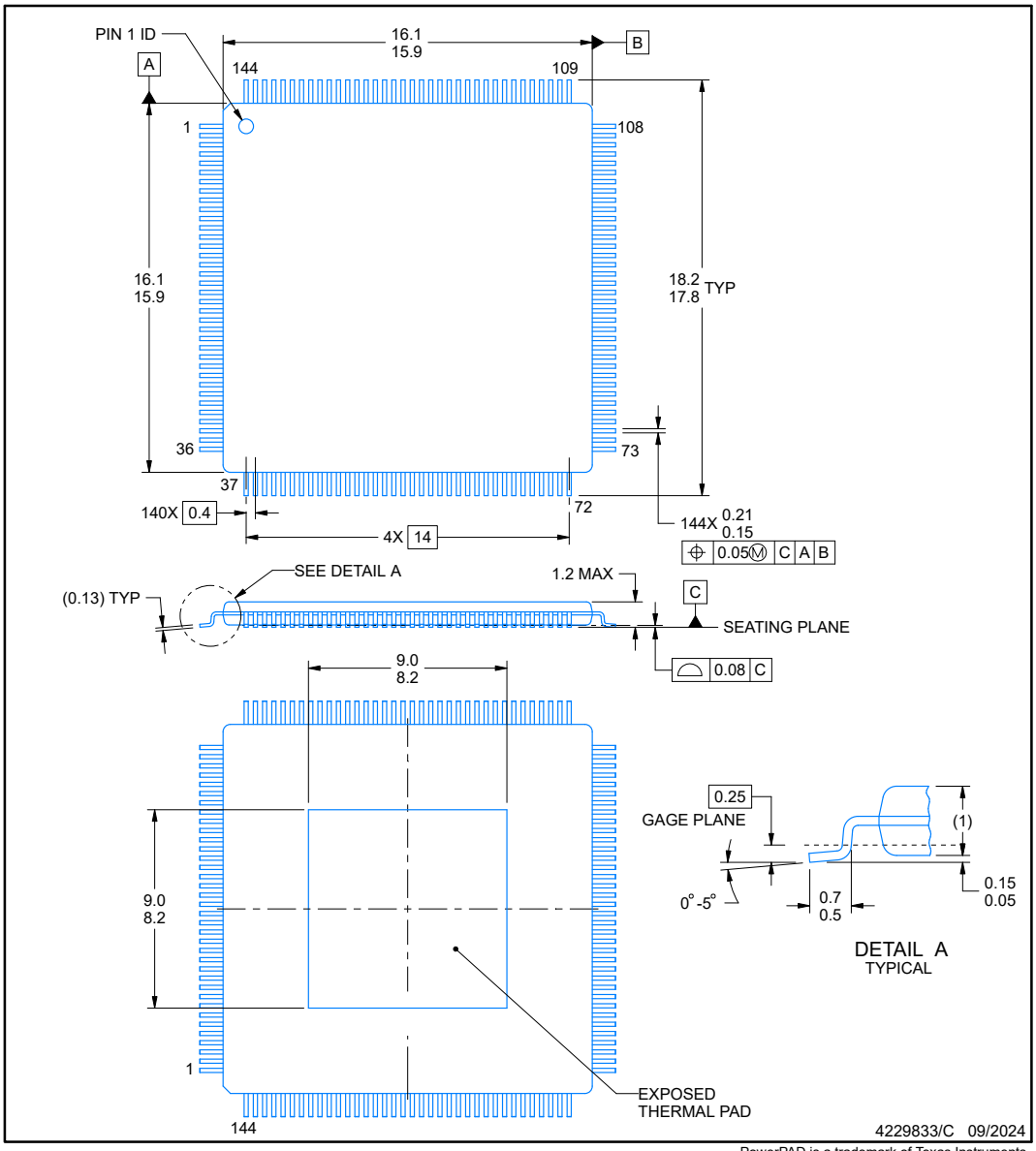
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

RFS0144A **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. Strap features may not be present,

www.ti.com

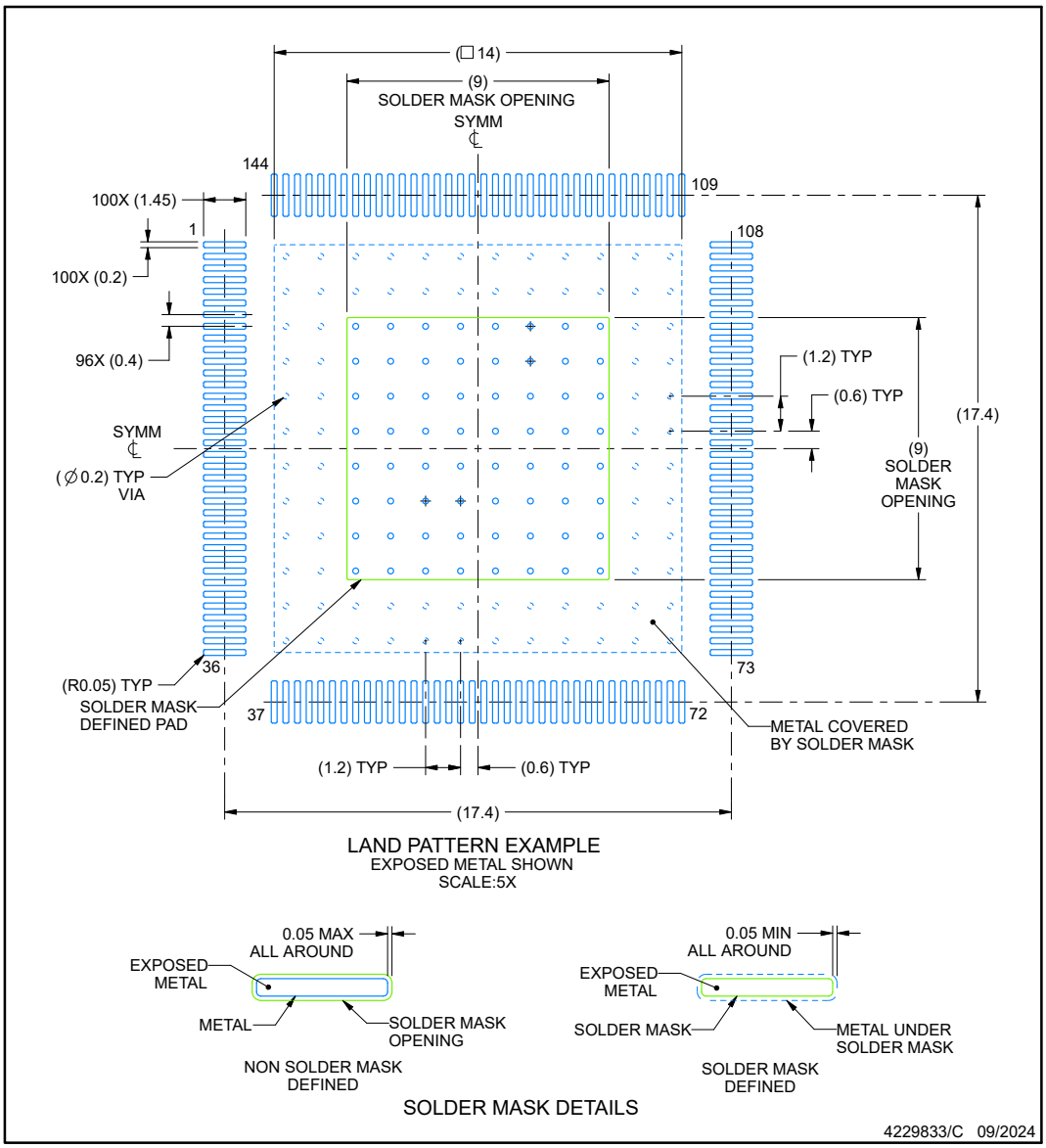
ADVANCE INFORMATION

ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

RFS0144A — **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).

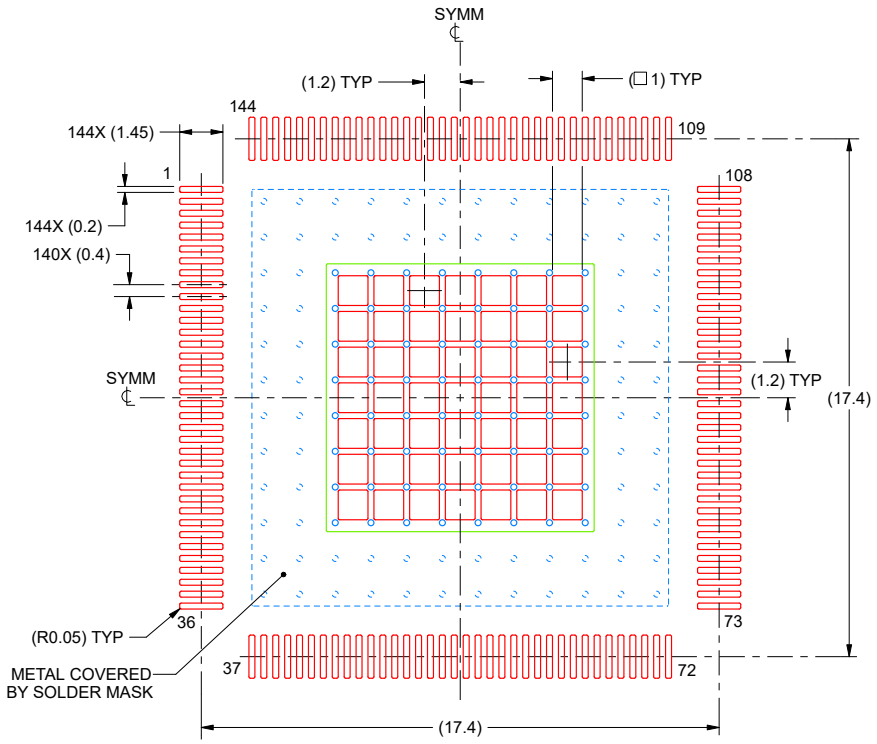
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RFS0144A **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE

EXPOSED PAD
60% PRINTED SOLDER COVERAGE BY AREA
(BASED ON 0.125mm STENCIL THICKNESS)

SCALE:5X

4229833/C 09/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

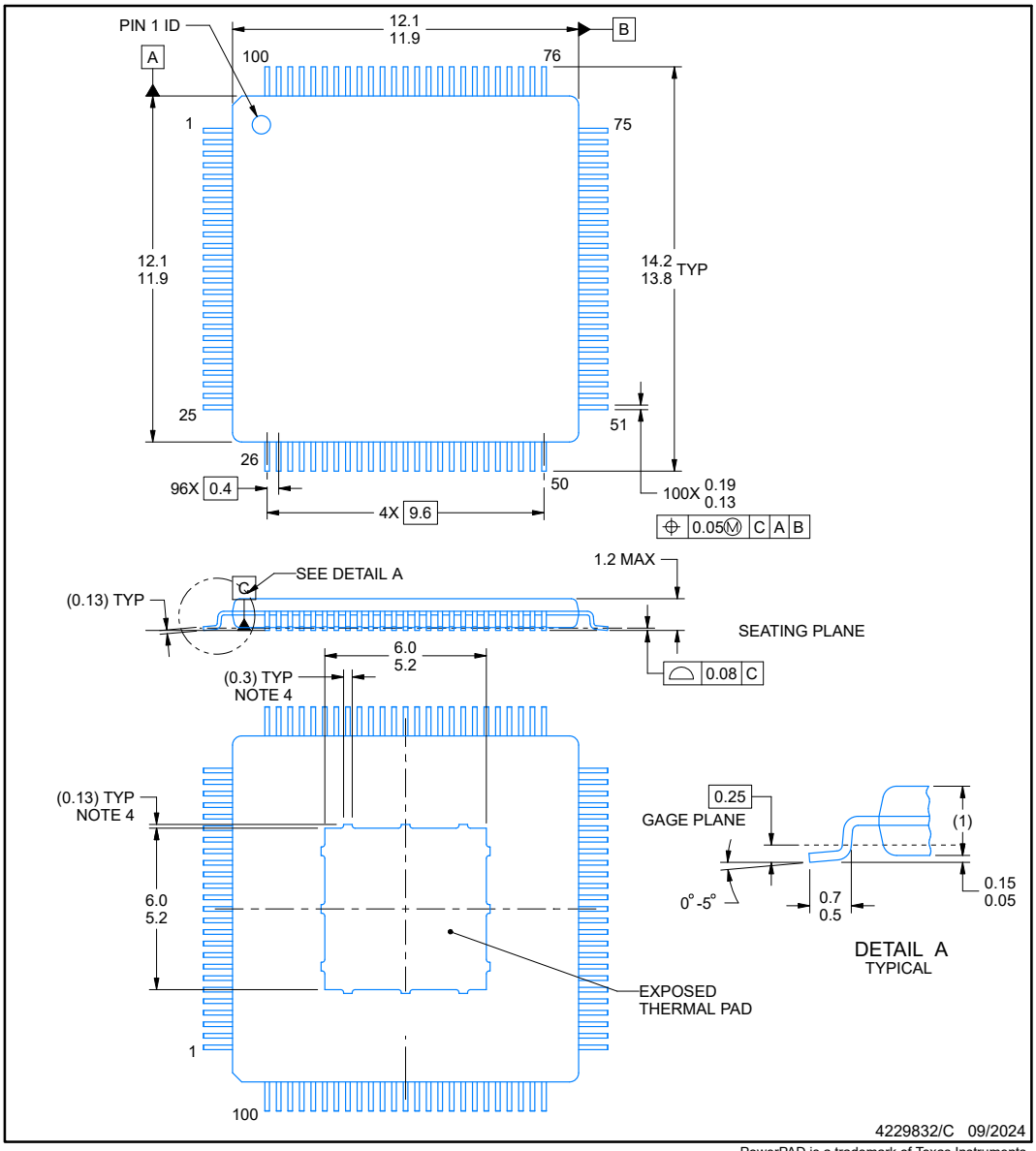
Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

PACKAGE OUTLINE

PZS0100A — **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. Strap features may not be present,

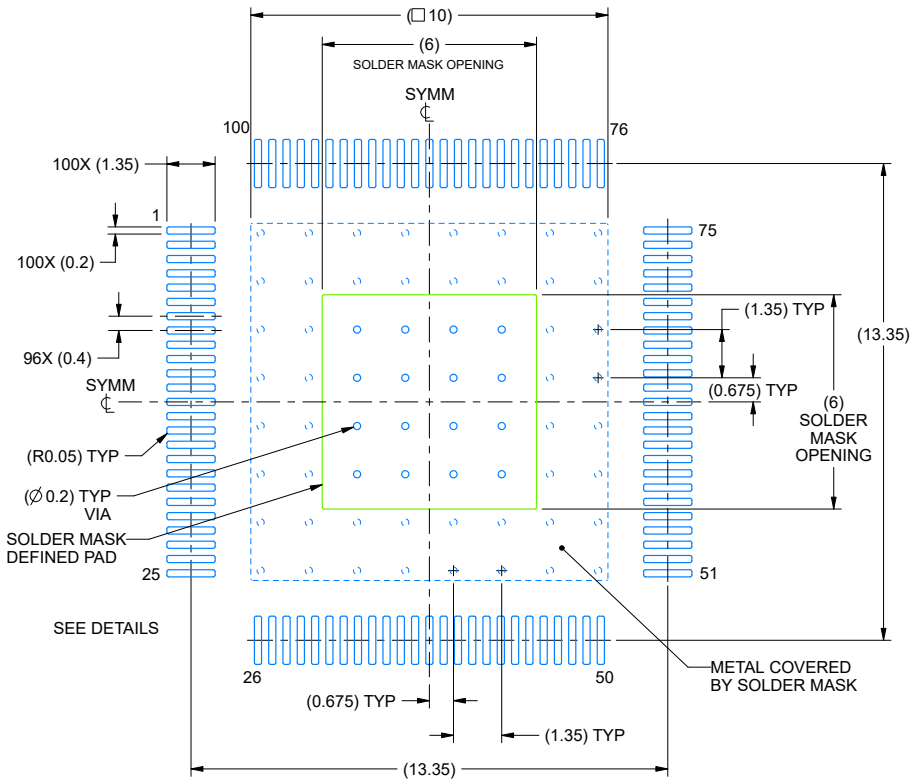
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

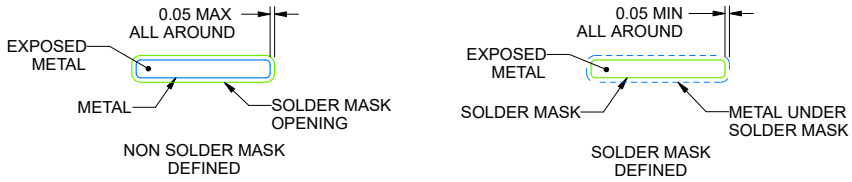
EXAMPLE BOARD LAYOUT

PZS0100A **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4229832/C 09/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).

ADVANCE INFORMATION

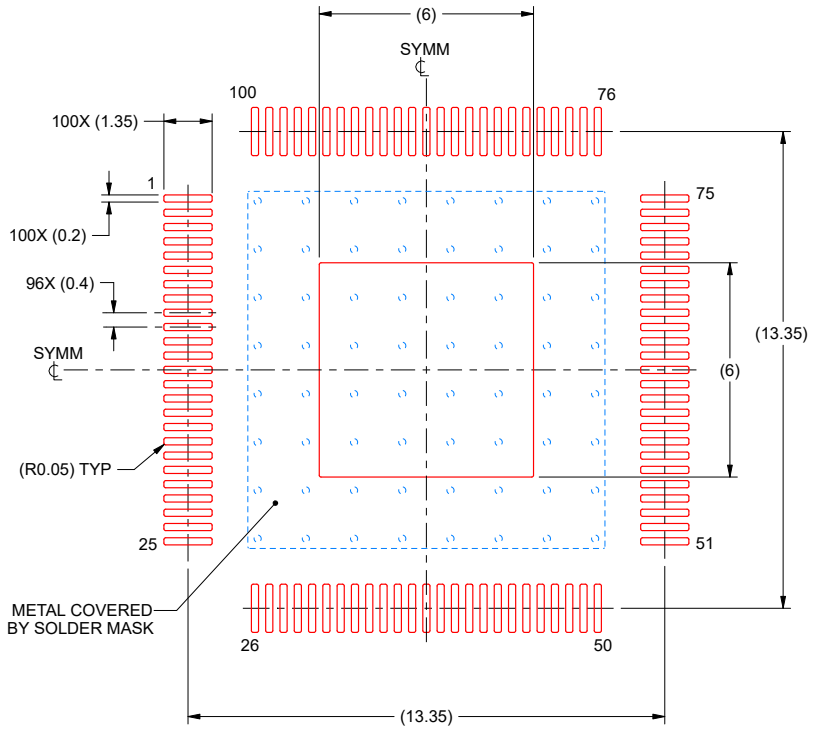
Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

PZS0100A **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE

EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.71 X 6.71
0.125	6.00 X 6.00 (SHOWN)
0.15	5.48 X 5.48
0.175	5.07 X 5.07

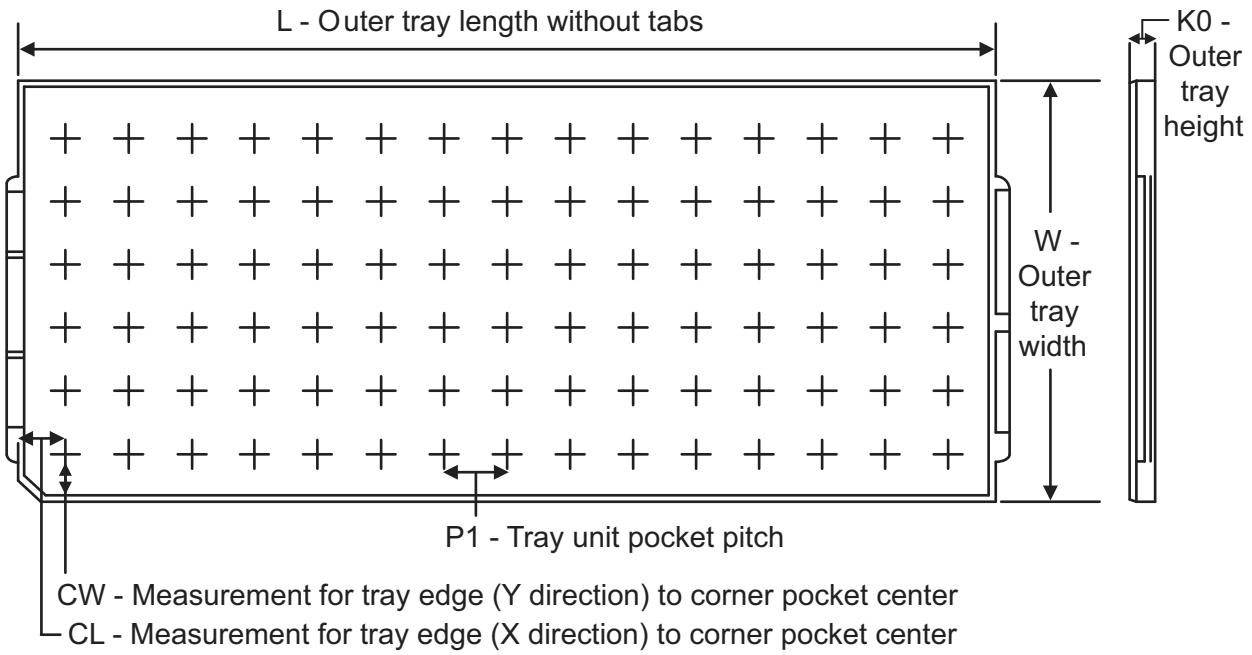
4229832/C 09/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

托盘



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

所有尺寸均为标称值。

器件	封装类型	封装名称	引脚	SPQ	器件阵列矩阵	最高温度（摄氏度）	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F29H85x												
XF29H859TU8QZEXQ1	nFBGA	ZEX	256	119	7 x 17	150	315	135.9	7620	18.1	12.7	12.9
XF29H850TU9TZEX	nFBGA	ZEX	256	119	7 x 17	150	315	135.9	7620	18.1	12.7	12.9
XF29H859TU8QPTSQ1	HTQFP	PTS	176	96	6 x 16	150	315	135.9	7620	20.7	30.4	20.7
XF29H850TU9SPTS	HTQFP	PTS	176	96	6 x 16	150	315	135.9	7620	20.7	30.4	20.7
XF29H859TU8QRFSQ1	HTQFP	RFS	144	84	6 x 14	150	315	135.9	7620	22	14.5	14.45
XF29H850TU9SRFS	HTQFP	RFS	144	84	6 x 14	150	315	135.9	7620	22	14.5	14.45
XF29H859TU8QPZSQ1	HTQFP	PZS	100	90	6 x 15	150	315	135.9	7620	15.4	20.3	21
F29P58x												
XF29P589DU5QZEXQ1	nFBGA	ZEX	256	119	7 x 17	150	315	135.9	7620	18.1	12.7	12.9
XF29P589DU5QPTSQ1	HTQFP	PTS	176	96	6 x 16	150	315	135.9	7620	20.7	30.4	20.7
XF29P589DU5QRFSQ1	HTQFP	RFS	144	84	6 x 14	150	315	135.9	7620	22	14.5	14.45
XF29P580DM5SRFS	HTQFP	RFS	144	84	6 x 14	150	315	135.9	7620	22	14.5	14.45
XF29P589DU5QPZSQ1	HTQFP	PZS	100	90	6 x 15	150	315	135.9	7620	15.4	20.3	21

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XF29H850TU9SPTS	Active	Preproduction	HTQFP (PTS) | 176	60 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9SPTS.A	Active	Preproduction	HTQFP (PTS) | 176	60 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9SRFS	Active	Preproduction	HTQFP (RFS) | 144	84 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9SRFS.A	Active	Preproduction	HTQFP (RFS) | 144	84 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9TZEX	Active	Preproduction	NFBGA (ZEX) | 256	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9TZEX.A	Active	Preproduction	NFBGA (ZEX) | 256	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QPTSQ1	Active	Preproduction	HTQFP (PTS) | 176	60 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QPTSQ1.A	Active	Preproduction	HTQFP (PTS) | 176	60 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QPZSQ1	Active	Preproduction	HTQFP (PZS) | 100	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QPZSQ1.A	Active	Preproduction	HTQFP (PZS) | 100	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QRFSQ1	Active	Preproduction	HTQFP (RFS) | 144	420 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QRFSQ1.A	Active	Preproduction	HTQFP (RFS) | 144	420 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QZEXQ1	Active	Preproduction	NFBGA (ZEX) | 256	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QZEXQ1.A	Active	Preproduction	NFBGA (ZEX) | 256	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月