

INA117 高共模电压差分放大器

1 特性

- 共模输入范围： $\pm 200\text{V}$ ($V_S = \pm 15\text{V}$)
- 受保护的输入：
 - $\pm 500\text{V}$ 共模电压
 - $\pm 500\text{V}$ 差分电压
- 单位增益：0.05% 增益误差 (最大值)
- 非线性度：0.001% (最大值)
- CMRR：70dB (最小值)

2 应用

- 单轴及多轴伺服驱动器
- 工业机械和机床
- 半导体测试和 ATE
- 超声波扫描仪

3 说明

INA117 是一款精密单位增益差分放大器，具有非常高的共模输入电压范围。INA117 是一款单片 IC，包括一个精密运算放大器和一个集成式薄膜电阻器网络。该器

件可在出现高达 $\pm 200\text{V}$ 共模信号时精确测量小差分电压。INA117 输入可防止瞬时共模或高达 $\pm 500\text{V}$ 差分过载的影响。

在很多无需电隔离的应用中，INA117 可以取代隔离放大器。这一设计可以免除对于成本高昂的隔离式输入侧电源的需要并去除相关的纹波、噪声、和静态电流。INA117 具有 0.001% 的低非线性和 200kHz (CSO: SHE) 或 500kHz (CSO: TID) 的高带宽 (参见第 5 节中的规格说明)。

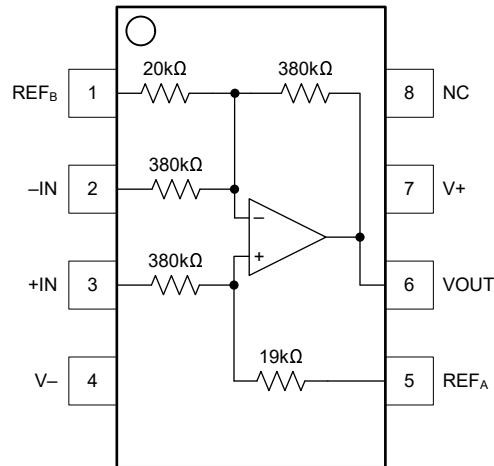
INA117 采用 8 引脚塑料迷你 DIP 和 SO-8 表面贴装式封装，其额定温度范围为 -40°C 至 85°C 。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
INA117P	P (DIP, 8)	6.35mm × 9.81mm
INA117KU	D (SOIC, 8)	3.91mm × 4.9mm
INA117KU/2K5		

(1) 有关更多信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



INA117 D 封装 (顶视图)



内容

1 特性.....	1	7.1 应用信息.....	9
2 应用.....	1	8 器件和文档支持.....	19
3 说明.....	1	8.1 器件命名规则.....	19
4 引脚配置和功能.....	2	8.2 文档支持.....	19
5 规格.....	3	8.3 接收文档更新通知.....	19
5.1 绝对最大额定值.....	3	8.4 支持资源.....	19
5.2 ESD 等级.....	3	8.5 商标.....	19
5.3 建议运行条件.....	3	8.6 静电放电警告.....	19
5.4 热性能信息.....	3	8.7 术语表.....	19
5.5 电气特性.....	4	9 修订历史记录.....	20
6 典型特性.....	6	10 机械、封装和可订购信息.....	21
7 应用和实施.....	9		

4 引脚配置和功能

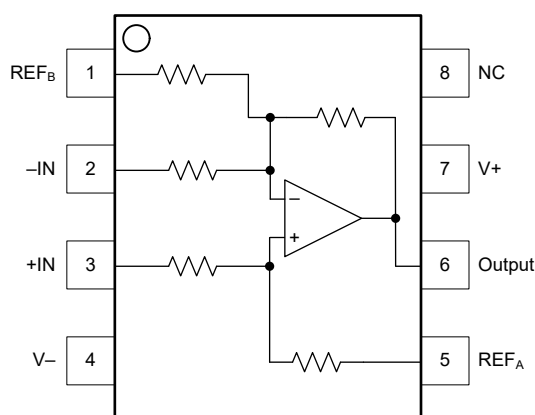


图 4-1. DIP/SO
INA117P、KU
顶视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
-In	2	I	反相输入。
+In	3	I	非反相输入。
NC	8	—	无内部连接。可以接地或无连接。
输出	6	O	放大器的输出。
Ref _A	5	I	基准 A。
Ref _B	1	I	基准 B。
V-	4	P	负电源。
V+	7	P	正电源。

(1) I = 输入, O = 输出, I/O = 输入或输出, G = 接地, P = 电源。

5 规格

备注

TI 为此器件鉴定了多个制造流程。性能差异按芯片原产地 (CSO) 进行了标记。为确保系统稳健性，强烈建议针对所有流程进行设计。更多相关信息，请参阅第 8.1 节。

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _S	双电源, V _S = (V+) - (V-)		±22	V
	信号输入引脚	持续	±200	V
		峰值 (0.1s)	±500	V
	输出短路 ⁽²⁾	持续		
T _A	工作温度	-40	85	°C
T _{stg}	贮存温度	-55	125	°C
	结温		150	°C
	引线温度 (焊接, 10s)		300	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 对 V_S/2 短路。

5.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±1500
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1000

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	典型值	最大值	单位
V _S	电源电压	单电源	10	30	36
		双电源	±5	±15	±18
T _A	额定温度	-40		85	°C

5.4 热性能信息

热指标 ⁽¹⁾		INA117	INA117	单位
		D (SOIC)	P (PDIP)	
		8 引脚	8 引脚	
θ _{JA}	结至环境热阻	150	80	°C/W

- (1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

即 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 且 $G = 1$ ，所有芯片原产地 (CSO)，除非另有说明

参数		测试条件		最小值	典型值	最大值	单位
输入							
V_{OS}	失调电压	RTO (P 封装)	CSO : SHE		120	1000	μV
			CSO : TID		350	1000	
		RTO (KU 封装)	CSO : SHE		600	2000	
			CSO : TID		350	2000	
	失调电压漂移	RTO, $T_A = -40^\circ\text{C}$ 至 85°C	CSO : SHE		8.5		$\mu\text{V}/^\circ\text{C}$
			CSO : TID		3		
	长期漂移				200		$\mu\text{V}/\text{mo}$
PSRR	电源抑制比	RTO, $V_S = \pm 5\text{V}$ 至 $\pm 18\text{V}$		74	90		dB
	共模电压 ⁽¹⁾			-200		200	V
	差分电压			-10		10	V
CMRR	共模电压输出抑制	直流, $V_{\text{CM}} = -200\text{V}$ 至 200V	CSO : SHE		70	80	dB
				$T_A = -40^\circ\text{C}$ 至 85°C		75	
			CSO : TID		70	100	
		$T_A = -40^\circ\text{C}$ 至 85°C			70		
		交流, $V_{\text{CM}} = -200\text{V}$ 至 200V	CSO : SHE	60Hz	66	80	
			CSO : TID	500Hz	90		
1kHz				90			
	差分输入阻抗				800		$\text{k}\Omega$
	共模输入阻抗	CSO : SHE			400		$\text{k}\Omega$
		CSO : TID			200		$\text{k}\Omega$
噪声							
e_N	电压噪声	RTO, $f_B = 0.1\text{Hz}$ 至 10Hz			25		μV_{PP}
		RTO, $f = 1\text{kHz}$			550		$\text{nV}/\sqrt{\text{Hz}}$
增益							
GE	增益误差				± 0.01	± 0.05	%
	增益误差漂移	$T_A = -40^\circ\text{C}$ 至 85°C			± 2		$\text{ppm}/^\circ\text{C}$
	增益非线性 ⁽²⁾	CSO : SHE			± 0.0002	± 0.001	FSR 百分比
		CSO : TID			± 0.0005	± 0.001	
输出							
	输出电压	$I_O = 20\text{mA}$ 、 -5mA	CSO : SHE	10	12		V
		$I_O = \pm 6.75\text{mA}$	CSO : TID	13.5	13.7		
	输出阻抗				0.01		Ω
C_L	负载电容	稳态工作模式	CSO : SHE		1		nF
			CSO : TID		10		
	短路电流	持续达 $V_S/2$			49、-13		mA
					16、-25		

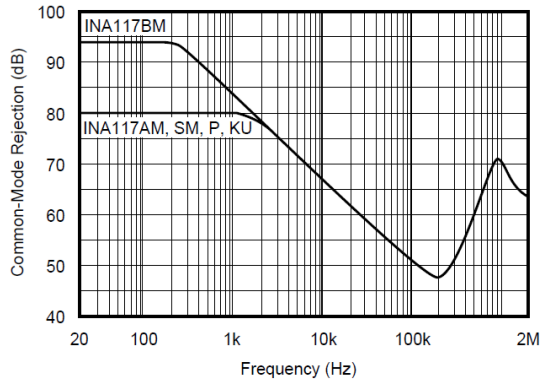
即 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S / 2$ 且 $G = 1$ ，所有芯片原产地 (CSO)，除非另有说明

参数		测试条件		最小值	典型值	最大值	单位
频率响应							
BW	带宽, -3dB	CSO : SHE		200			kHz
		CSO : TID		500			
	全功率带宽	$V_O = 20\text{V}_{\text{PP}}$	CSO : SHE	30			kHz
		$V_O = 2\text{V}_{\text{PP}}$	CSO : TID	32			
SR	压摆率	CSO : SHE		1.7	2.6		V/ μs
		CSO : TID		1.7	5		
t_s	趋稳时间	至 0.1% ,	$V_O = 10\text{V}$ 阶跃	6.5			μs
		达 0.01%	$V_O = 10\text{V}$ 阶跃	10			
			$V_{\text{CM}} = 10\text{V step}$, $V_{\text{DIFF}} = 0\text{V}$	4.5			
电源							
I_Q	静态电流	$V_{\text{IN}} = 0\text{V}$	CSO : SHE		1.5	± 2	mA
			CSO : TID		0.8	± 2	

- (1) 输入共模电压随输出电压的变化而变化；请参阅**典型特性**。
- (2) 通过晶圆测试确定。

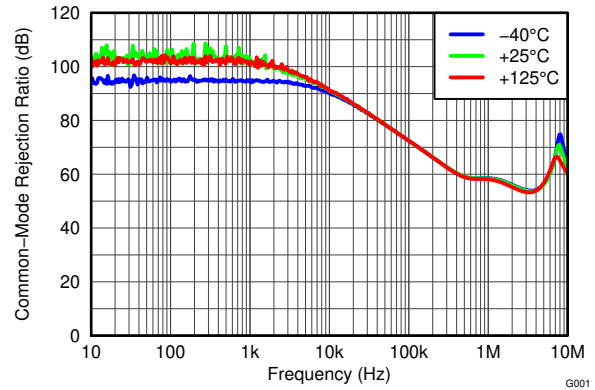
6 典型特性

即 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ ，所有芯片原产地 (CSO)，除非另有说明



CSO : SHE

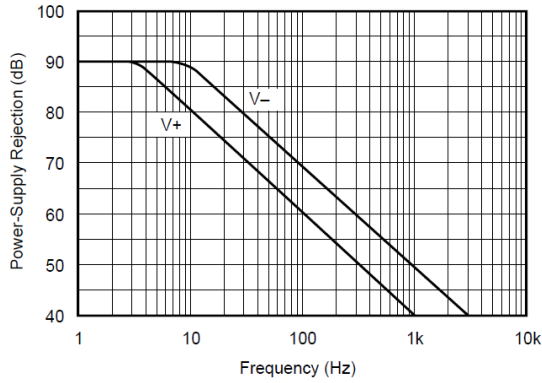
图 6-1. 共模抑制与频率间的关系



CSO : TID

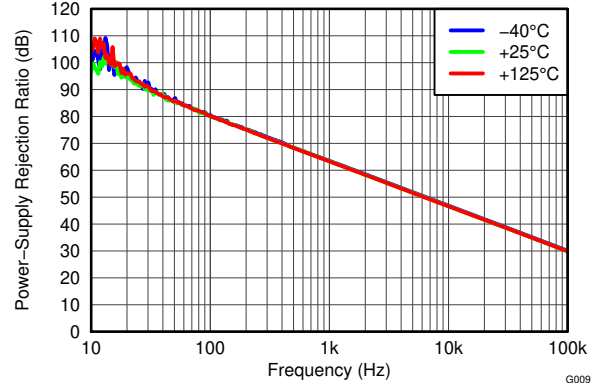
$R_L = 2\text{k}\Omega$ (接地)

图 6-2. 共模抑制与频率间的关系



CSO : SHE

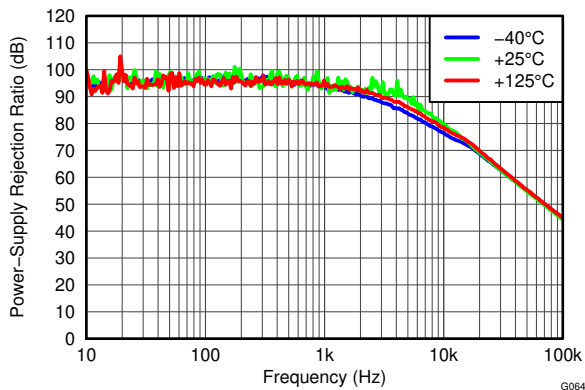
图 6-3. 电源抑制与频率间的关系



CSO : TID

$R_L = 2\text{k}\Omega$ (接地)

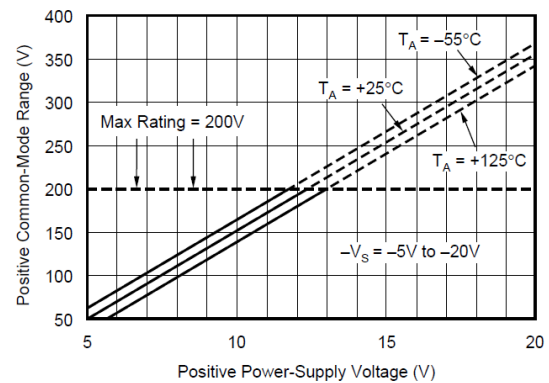
图 6-4. 正电源抑制与频率间的关系



CSO : TID

$R_L = 2\text{k}\Omega$ (接地)

图 6-5. 负电源抑制与频率间的关系

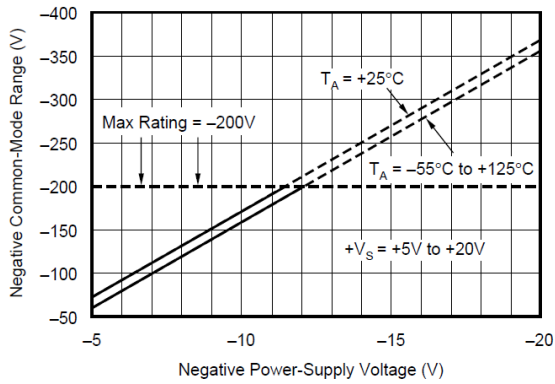


CSO : SHE

图 6-6. 正共模电压范围与正电源电压间的关系

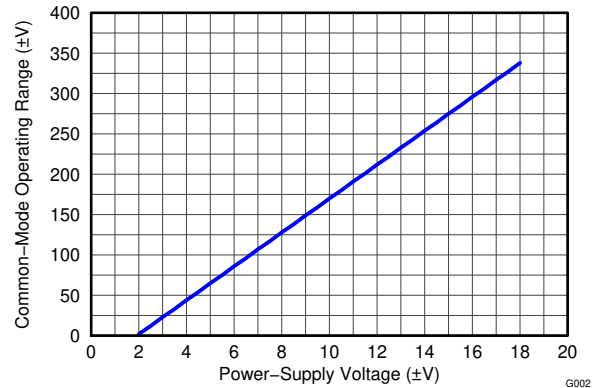
6 典型特性 (续)

即 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ ，所有芯片原产地 (CSO)，除非另有说明



CSO : SHE

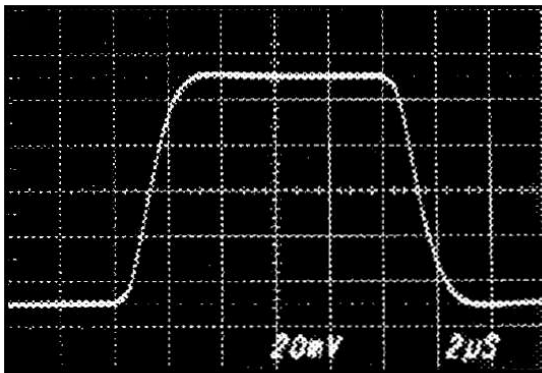
图 6-7. 负共模电压范围与负电源电压间的关系



CSO : TID

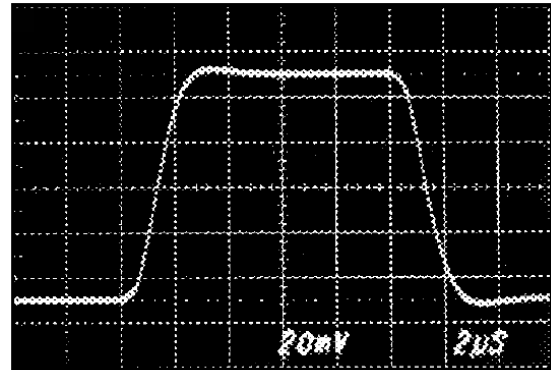
$R_L = 2\text{k}\Omega$ (接地)

图 6-8. 共模范围与电源电压



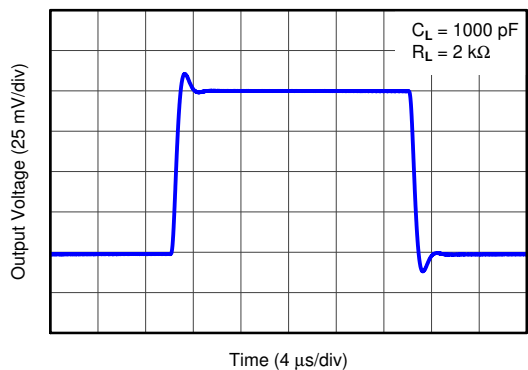
CSO : SHE

图 6-9. $C_L = 0\text{pF}$ 时的小信号阶跃响应



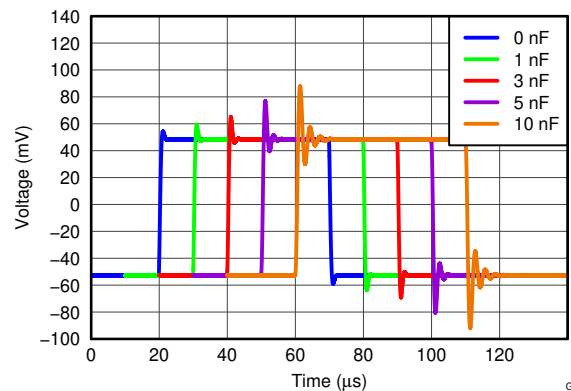
CSO : SHE

图 6-10. $C_L = 1000\text{pF}$ 时的小信号阶跃响应



CSO : TID

图 6-11. 小信号阶跃响应



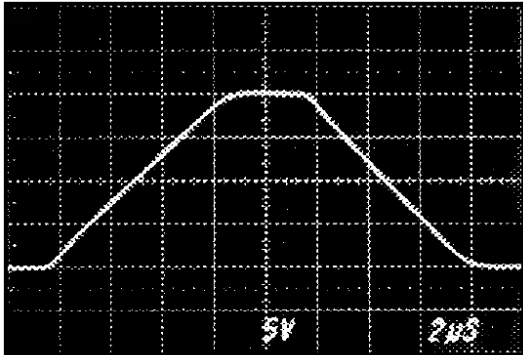
CSO : TID

$R_L = 2\text{k}\Omega$ (接地)

图 6-12. 小信号阶跃响应与电容负载间的关系

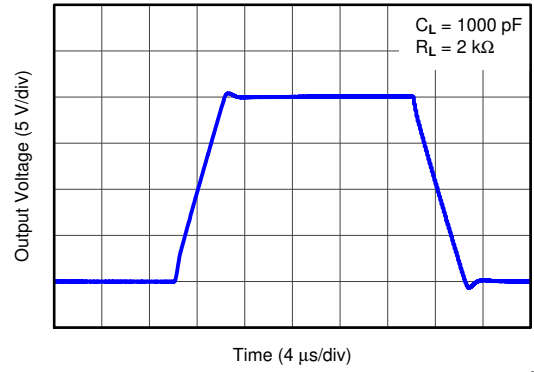
6 典型特性 (续)

即 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ ，所有芯片原产地 (CSO)，除非另有说明



CSO : SHE

图 6-13. 大信号阶跃响应



CSO : TID

图 6-14. 大信号阶跃响应

7 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

图 7-1 显示了操作所需的基本连接。

具有噪声或高阻抗电源线的应用可能需要在靠近器件引脚处放置去耦电容器。

输出电压等于引脚 2 和 3 之间的差分输入电压。共模输入电压被抑制。

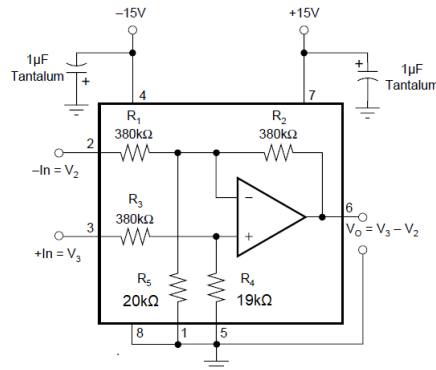


图 7-1. 基本电源和信号连接

7.1.1 共模抑制

INA117 的共模抑制 (CMR) 取决于输入电阻器网络，该网络经过激光修整以实现精确的比率匹配。为了保持高 CMR，具有低源阻抗对于驱动两个输入非常重要。与引脚 2 或 3 串联的 $75\ \Omega$ 电阻将 CMR 从 86dB 降低到 72dB。

与基准引脚串联的电阻也会降低 CMR。与引脚 1 或 5 串联的 $4\ \Omega$ 电阻将 CMRR 从 86dB 降低到 72dB。

大多数应用不需要修整。图 7-2 和 图 7-3 显示了可用于修整偏移电压和共模抑制的可选电路。

7.1.2 传递函数

大多数应用将 INA117 用作简单的单位增益差分放大器。其传递函数为：

$$V_0 = V_3 - V_2$$

V_3 和 V_2 是引脚 3 和 2 上的电压。

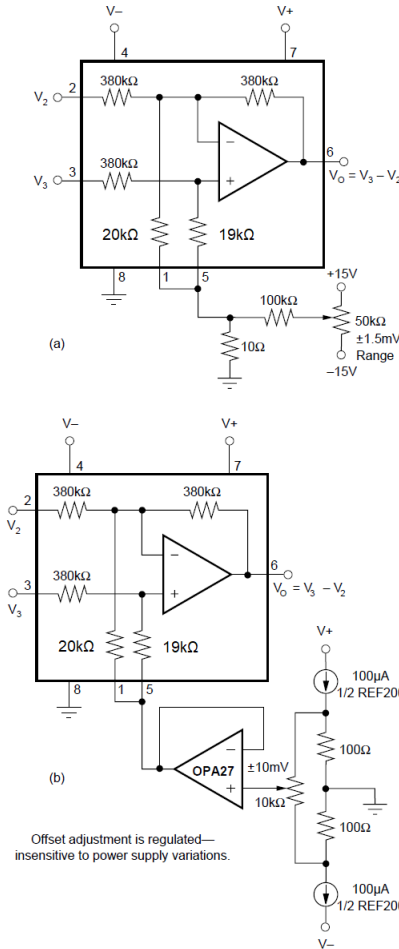


图 7-2. 偏移电压修整电路

然而，某些应用会将电压施加到基准端子（引脚 1 和 5）。更完整的转换关系为：

$$V_0 = V_3 - V_2 + 20 \times V_5 - 19 \times V_1$$

V_5 和 V_1 是引脚 5 和 1 上的电压。

7.1.3 测量电流

INA117 可用于通过检测串联电阻器 R_S 上的压降来测量电流。图 7-4 显示了用于测量被测器件电源电流的 INA117。图 7-5 中的电路测量电源的输出电流。如果电源具有远端检测，则可以将电源连接到 R_S 的输出侧来消除压降误差。另一种常见的应用是电流到电压转换，如 图 7-6 所示。

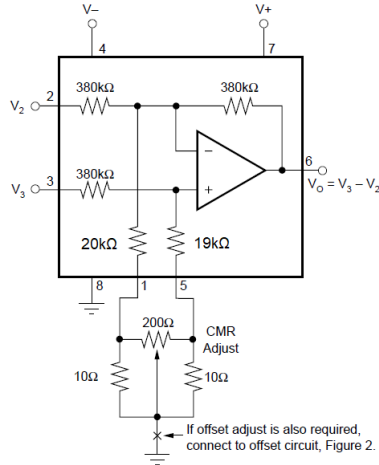


图 7-3. CMR 修整电路

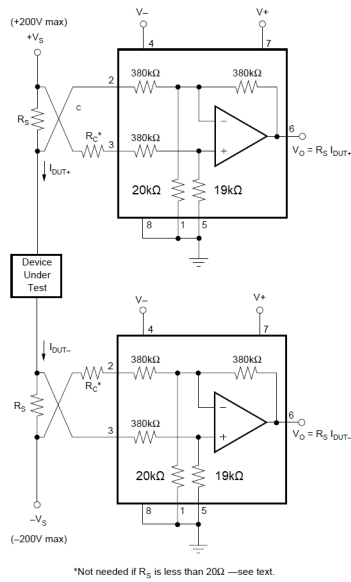
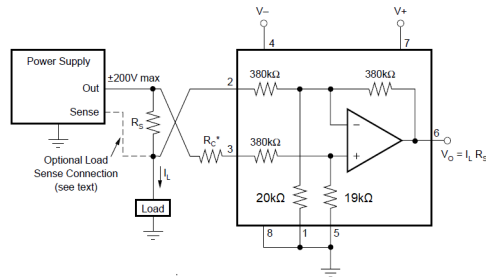


图 7-4. 测量被测器件的电源电流



*如果 R_S 小于 $20\ \Omega$ ，则不需要 R_C 。详情请查看文本。

图 7-5. 测量电源输出电流

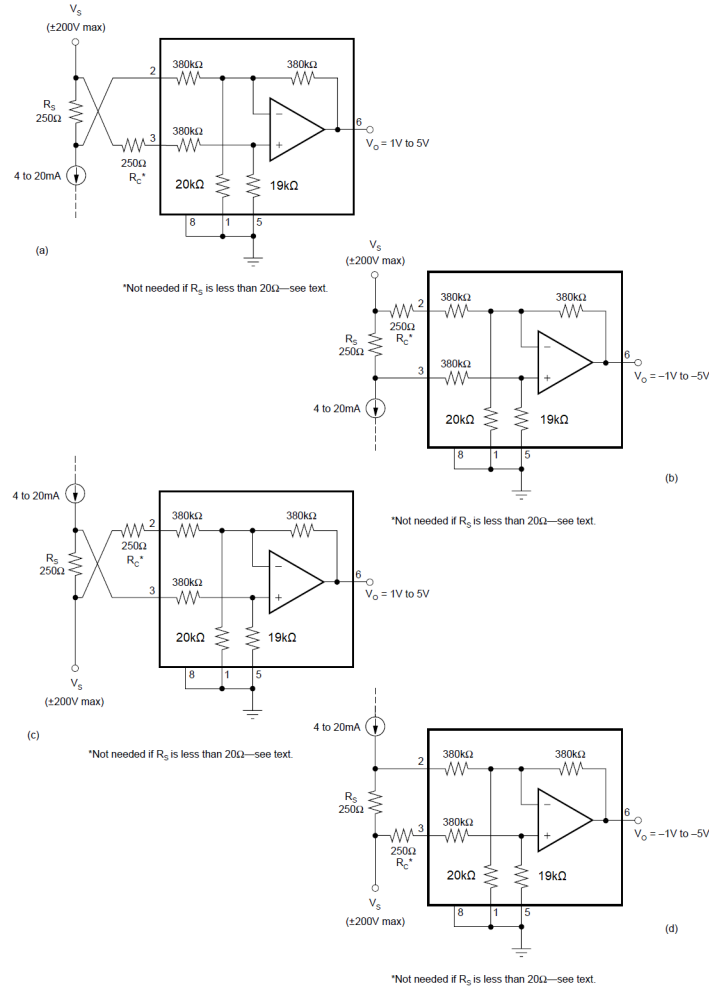


图 7-6. 电流-电压转换器

在所有情况下，采样电阻器都会导致 INA117 的输入电阻器匹配不平衡，从而降低 CMR。另外，INA117 的输入阻抗加载 R_S ，这会导致电压-电流转换过程中出现增益误差。这两个误差都可以轻松改正。

CMR 误差可以通过添加补偿电阻 R_C （其值等于 R_S ）来改正，如 图 7-4、图 7-5 和 图 7-6 所示。如果 R_S 小于 $20\ \Omega$ ，则 CMR 的降级可以忽略不计，并且可以不添加 R_C 。如果 R_S 大于 $2\text{k}\ \Omega$ 左右，则可能需要修整 R_C 才能使 CMR 大于 86dB 。进行这种修整是因为实际 INA117 输入阻抗具有 1% 的典型失配。如果 R_S 大于 $100\ \Omega$ 左右，则增益误差将大于 INA117 规定的 0.05% 规格。可以通过略微增加 R_S 的值来改正该增益误差。改正后的值 R_S' 可通过以下公式计算：

$$R_S' = \frac{R_S \times 380\text{k}\Omega}{380\text{k}\Omega - R_S} \tag{1}$$

示例：对于 $1\text{V}/\text{mA}$ 的换算关系， R_S 未改正的标称值为 $1\text{k}\ \Omega$ 。稍大的值 $R_S' = 1002.6\ \Omega$ 可补偿由负载导致的增益误差。

R_S' 公式中的 $380\text{k}\ \Omega$ 项具有 $\pm 25\%$ 的容差，因此高于 $400\ \Omega$ 左右的采样电阻器可能需要修整，才能实现优于 0.05% 的增益精度。

当然，如果添加了如 图 7-7 所示的缓冲放大器，则两个输入都会出现低源阻抗，并且采样电阻不会被加载。因此，不会出现增益误差或 CMR 降低。缓冲放大器可用作单位增益缓冲器或具有非反相增益的放大器。在 INA117

之前增加的增益可同时改善 CMR 和信噪比。增加的增益还可降低采样电阻器上的压降。OPA1013 非常适合充当缓冲放大器，因为输入和输出都可以接近负电源电压。

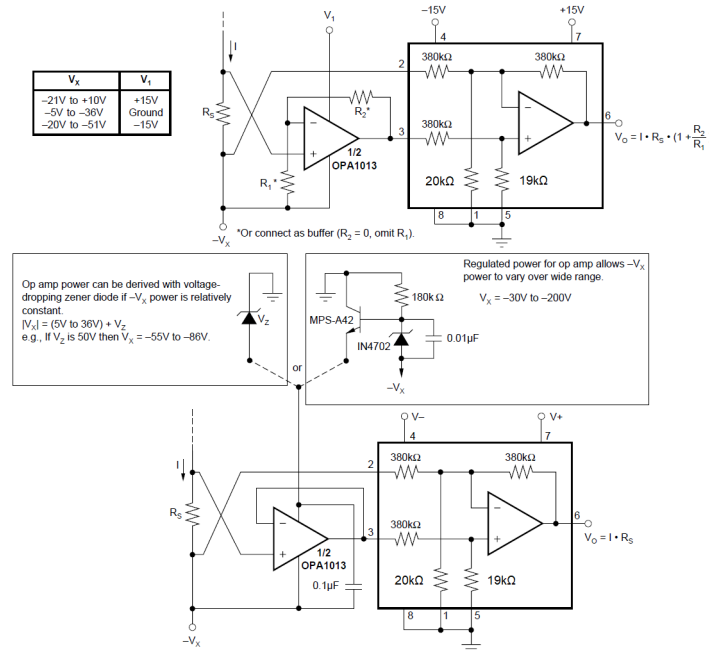


图 7-7. 使用输入缓冲器检测电流

图 7-8 展示了用于测量低泄漏电流的超高输入阻抗缓冲器。在这里，缓冲运算放大器由隔离式分压电源供电。使用隔离式电源可实现 ±200V 的完整共模输入范围。

7.1.4 噪声性能

INA117 的噪声性能由内部电阻器网络决定。这些电阻器的热 (Johnson) 噪声会产生大约 550nV/√Hz 的噪声。在高于 100Hz 的频率下，内部运算放大器几乎没有多余的噪声。

低于 INA117 的完整 200kHz 带宽可满足许多应用的要求。在这些情况下，可以通过在输出端使用低通滤波器来降低噪声。图 7-9 中所示的双极滤波器将带宽限制为 1kHz，并将噪声降低到原来的 1/15 以下。由于 INA117 的 1/f 噪声转角频率约为 100Hz，低于 100Hz 的截止频率不会进一步降低噪声。

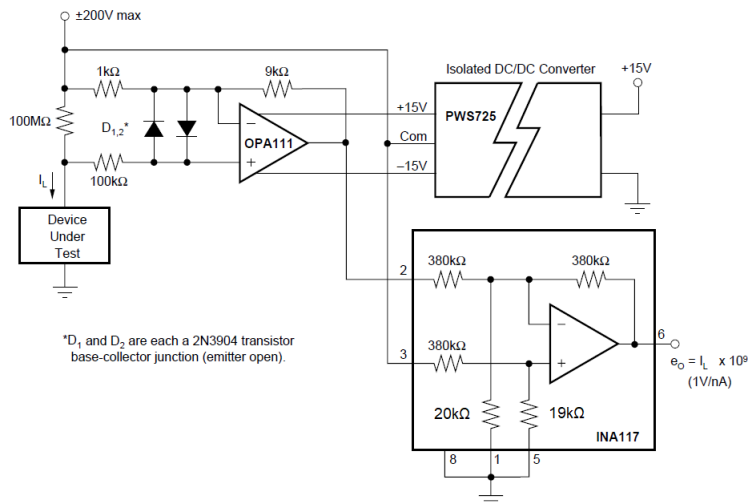
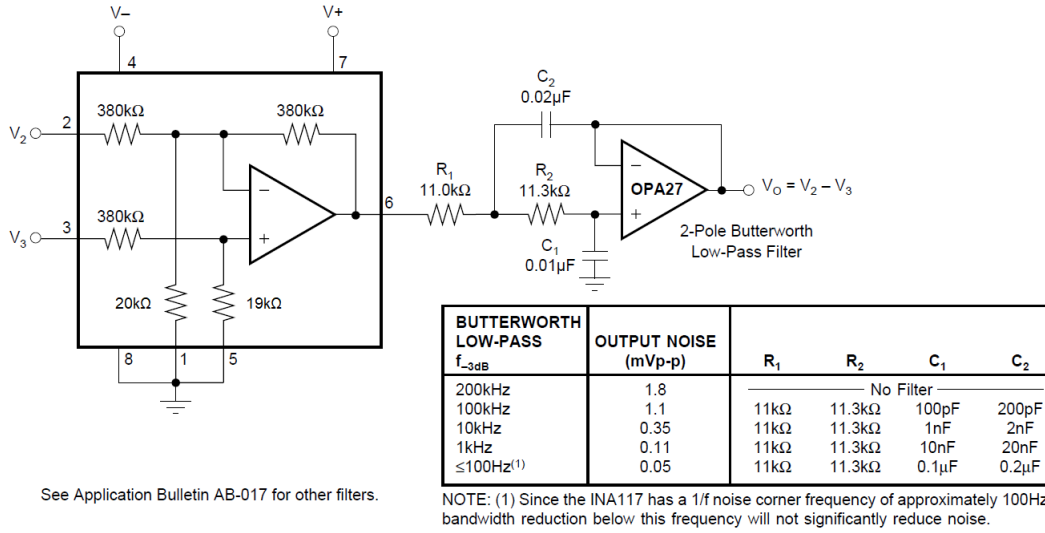


图 7-8. 泄漏电流测量电路



See Application Bulletin AB-017 for other filters.

图 7-9. 用于降低噪声的输出滤波器

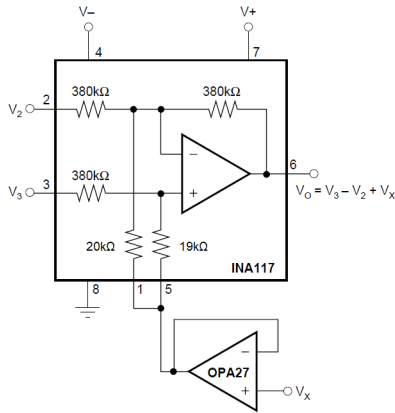


图 7-10. 对输出中的 V_X 求和

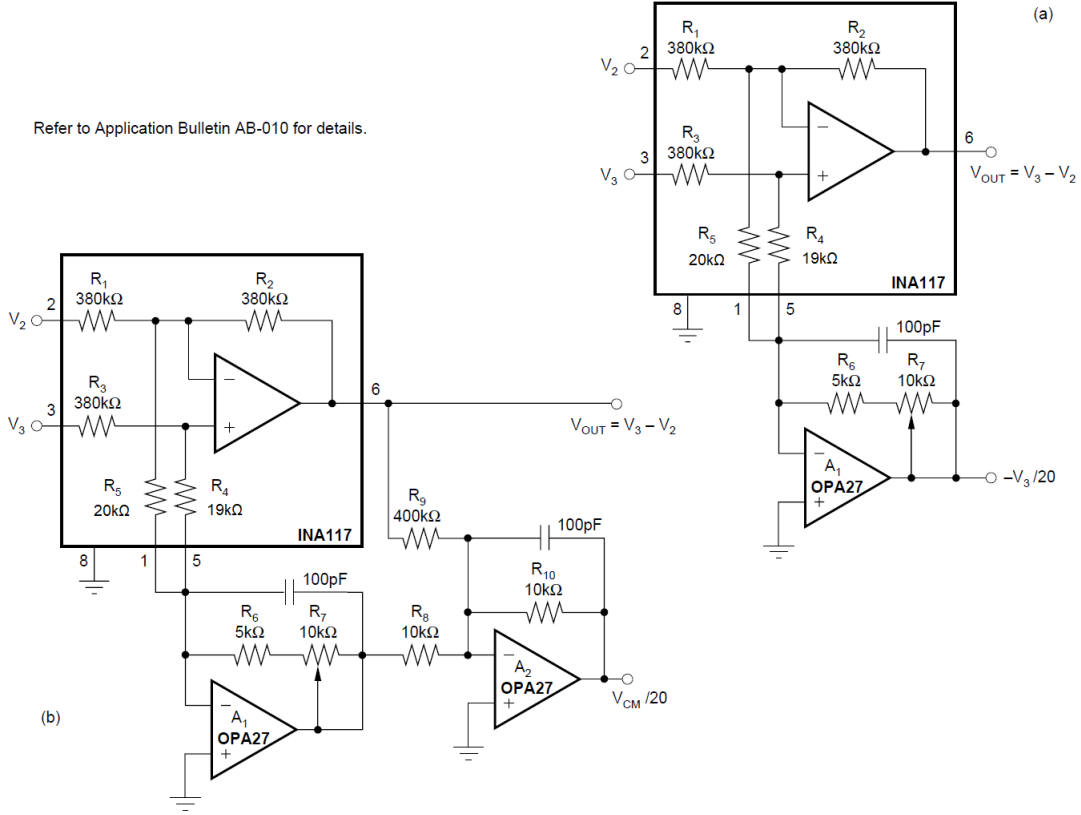


图 7-11. 共模电压监控

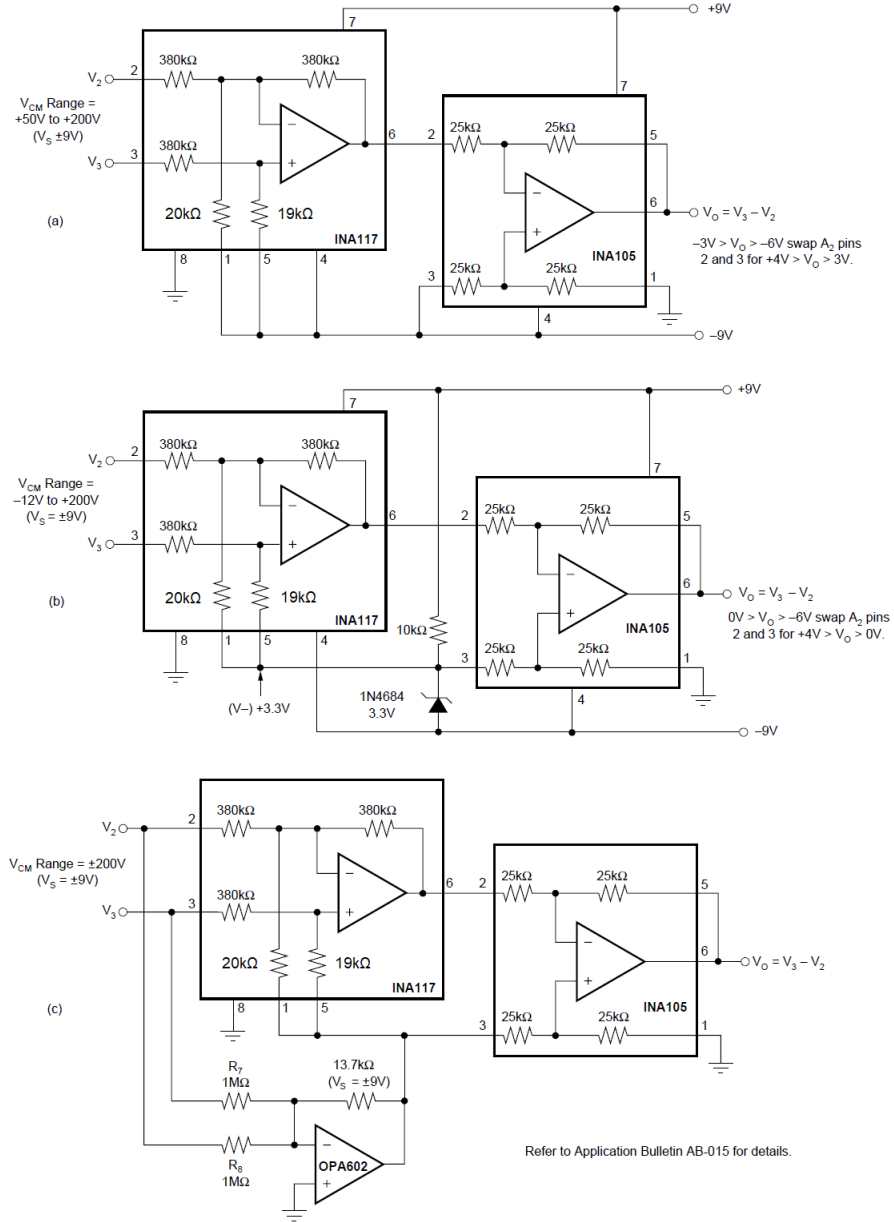


图 7-12. 将共模电压范围进行偏移或提升，以在较低电源电压下工作

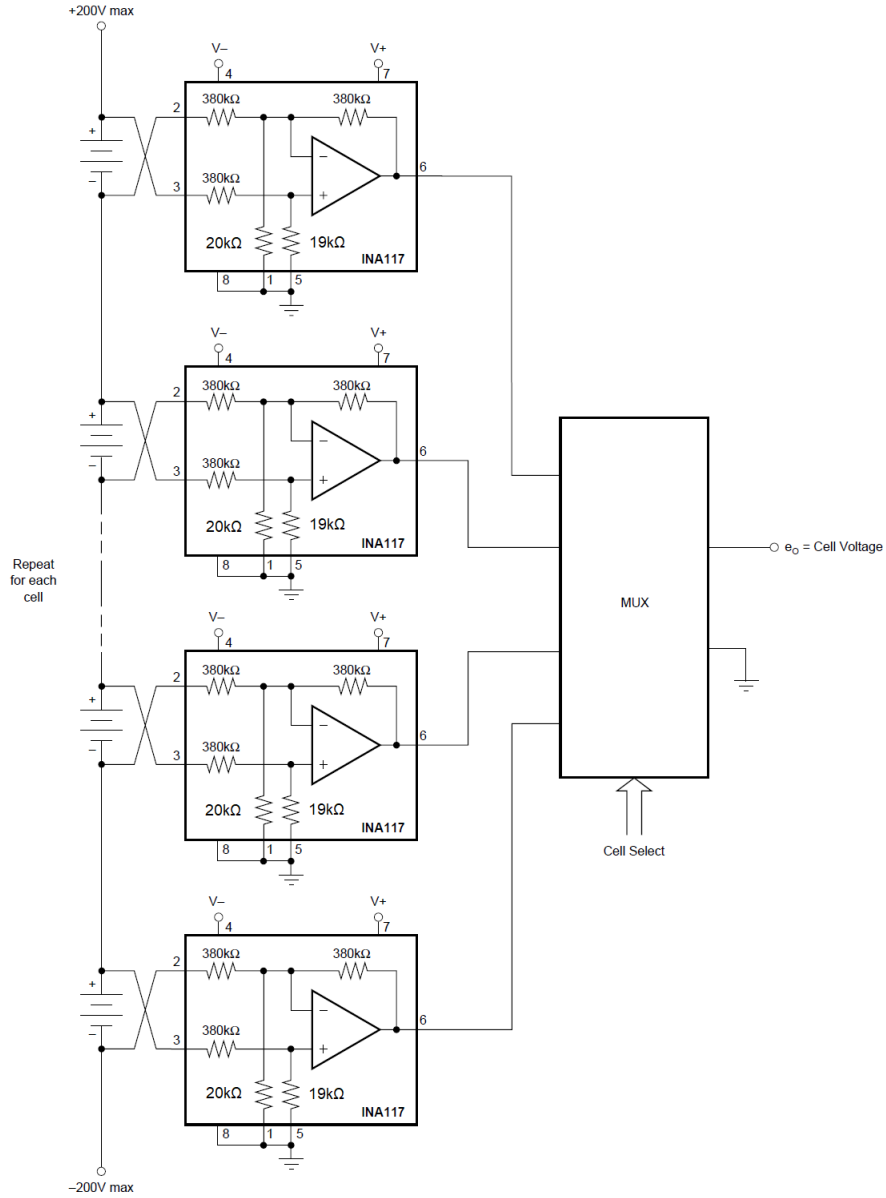


图 7-13. 电池电芯电压监控

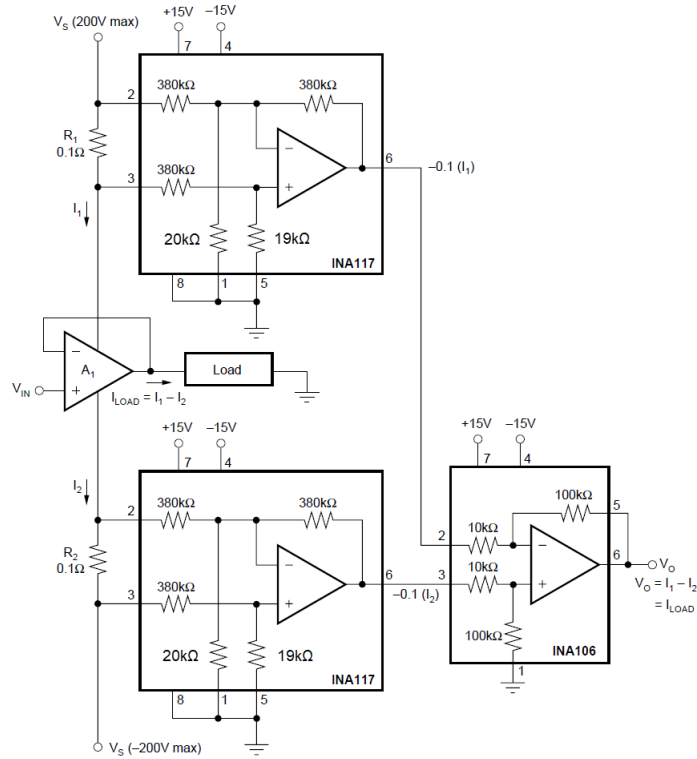


图 7-14. 测量放大器负载电流

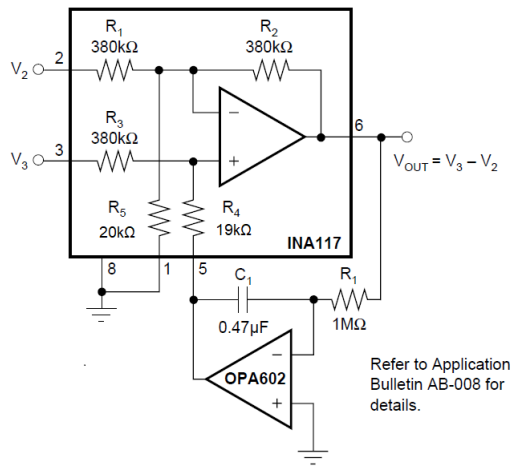


图 7-15. 交流耦合 INA117

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 器件命名规则

表 8-1. 器件命名规则

器件型号	定义
INA117KU INA117KU/2K5 INA117P	芯片采用 CSO 制造：SHE 或 CSO：TID。
INA117AM INA117BM INA117SM INA117SMQ	芯片采用 CSO 制造：SHE。

8.2 文档支持

8.2.1 相关文档

- 德州仪器 (TI), [高精度实验室系列：仪表放大器](#), 视频
- 德州仪器 (TI), [INA149 高共模电压差分放大器数据表](#)
- 德州仪器 (TI), [使用差分放大器支持高电压共模](#), 应用简报

8.3 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (April 2024) to Revision C (January 2026)	Page
• 在“描述”部分中添加了带宽 - 3dB 的不同制造工艺规格	1
• 在规格中添加了器件流程信息的说明	3
• 在“电气特性”中添加了偏移电压的不同制造过程规格	4
• 向“电气特性”中的典型测试条件添加了所有芯片原产地 (CSO) 条件	4
• 在“电气特性”中添加了偏移电压漂移的不同制造过程规格	4
• 在“电气特性”中为共模电压抑制添加了不同的制造过程规范	4
• 在“电气特性”中为共模输入阻抗添加了不同的制造过程规范	4
• 在“电气特性”中为增益非线性添加了不同制造过程规格	4
• 在“电气特性”中添加了输出电压的不同制造过程规格	4
• 在“电气特性”中添加了负载电容的不同制造过程规格	4
• 在“电气特性”中添加了短路电流的不同制造过程规格	4
• 在电气特性中添加了带宽 - 3dB 的不同制造工艺规格	4
• 在“电气特性”中添加了全功率带宽的不同制造过程规格	4
• 在“电气特性”中添加了转换率的不同制造过程规格	4
• 向“电气特性”中添加了静态电流的不同制造过程规格	4
• 在“典型特性”中添加了典型测试条件	6
• 向“典型特性”中的典型测试条件添加了所有芯片原产地 (CSO) 条件	6
• 添加了 CSO : SHE , 添加至“典型特性”中的共模抑制与频率间的关系、电源抑制与频率间的关系、正共模电压范围与正电源电压间的关系、负共模电压范围与负电源电压间的关系、小信号阶跃响应和大信号阶跃响应曲线	6
• 添加了共模抑制与频率间的关系、正电源抑制与频率间的关系、负电源抑制与频率间的关系、共模电压范围与电源电压间的关系、小信号阶跃响应、小信号阶跃响应与容性负载间的关系以及大信号阶跃响应曲线, 添加至 CSO: 以及输出电压摆幅与输出电流 (灌电流) 间的关系	6
• 向器件命名规则添加了器件型号流程信息表	19

Changes from Revision A (November 2000) to Revision B (April 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的格式	1
• 通篇删除了有关 INA117AM 和 INA117SM 型号的信息	1
• 在说明及引脚配置和功能部分中将引脚 8 从“Comp”更改为“NC”	1
• 向说明部分添加了封装信息表	1
• 添加了引脚功能表	2
• 添加了“ESD 等级”表	3
• 在建议运行条件中添加了单电源规格	3
• 在建议运行条件中添加了指定的温度范围	3
• 为清晰起见, 在“电气特性”和“典型特性”部分中将“VREF = 0V , VCM = VS/2 和 G = 1”添加到“除非另有说明”条件中	4
• 将“电气特性”中的参数从“偏移电压与温度间的关系”更改为“偏移电压漂移”	4
• 在“电气特性”中为“偏移电压漂移”添加了“TA = -40°C 至 +85°C”的测试条件	4
• 将“电气特性”中的参数从“偏移电压与电源间的关系”更改为“电源抑制比”	4
• 在“电气特性”中为“CMRR”添加了测试条件“TA = -40°C 至 +85°C”	4
• 将“电气特性”中的“共模输入阻抗”典型值从 400kΩ 更改为 200kΩ	4

• 在“电气特性”的“增益误差与温度间的关系”中，新增了“TA = -40°C 至 +85°C”的测试条件，并为了更清晰地表达，将其更名为“增益误差漂移”	4
• 将“电气特性”中的“增益非线性”典型值从 0.0002% 更改为 0.0005%	4
• 为清晰起见，在“电气特性”的短路电流规格中添加了测试条件“持续至 VS/2”	4
• 将“电气特性”中的最低转换率从 2V/μs 更改为 1.7V/μs	4
• 删除了电气特性中冗余的电压范围、工作温度范围和规格温度范围规范	4
• 删除了降低差分增益应用电路图	13
• 添加了文档支持和相关文档部分	19

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA117AM	Last Time Buy	Production	TO-99 (LMC) 8	20 TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA117AM
INA117AM.A	NRND	Production	TO-99 (LMC) 8	20 TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA117AM
INA117BM	Last Time Buy	Production	TO-99 (LMC) 8	20 TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA117BM
INA117BM.A	NRND	Production	TO-99 (LMC) 8	20 TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	INA117BM
INA117KU	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 117KU
INA117KU.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 117KU
INA117KU/2K5	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 117KU
INA117KU/2K5.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 117KU
INA117P	Active	Production	PDIP (P) 8	50 TUBE	Yes	Call TI Nipdau	N/A for Pkg Type	-40 to 85	INA117P
INA117P.B	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	INA117P
INA117SM	Last Time Buy	Production	TO-99 (LMC) 8	20 TUBE	Yes	AU	N/A for Pkg Type	-40 to 85	INA117SM
INA117SM.A	NRND	Production	TO-99 (LMC) 8	20 TUBE	Yes	AU	N/A for Pkg Type	-40 to 85	INA117SM
INA117SMQ	Last Time Buy	Production	TO-99 (LMC) 8	20 TUBE	Yes	AU	N/A for Pkg Type	-40 to 85	INA117SMQ
INA117SMQ.A	NRND	Production	TO-99 (LMC) 8	20 TUBE	Yes	AU	N/A for Pkg Type	-40 to 85	INA117SMQ

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA117KU/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA117KU/2K5	SOIC	D	8	2500	353.0	353.0	32.0

TUBE


*All dimensions are nominal

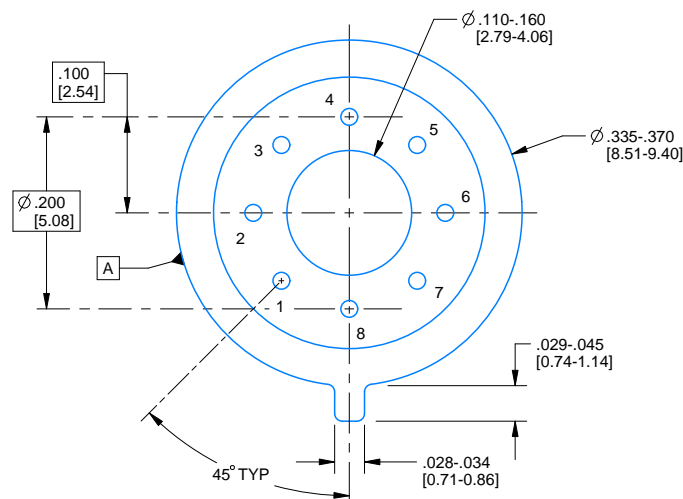
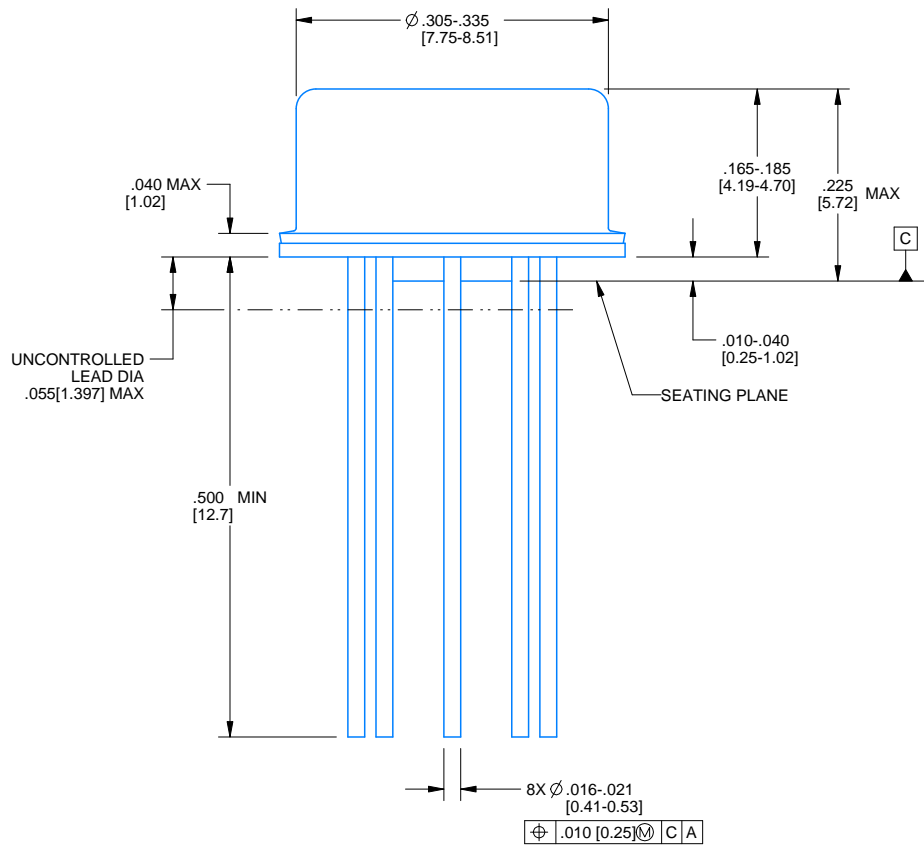
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA117AM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117AM.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117BM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117BM.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117KU	D	SOIC	8	75	506.6	8	3940	4.32
INA117KU.B	D	SOIC	8	75	506.6	8	3940	4.32
INA117P	P	PDIP	8	50	506	13.97	11230	4.32
INA117P.B	P	PDIP	8	50	506	13.97	11230	4.32
INA117SM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117SM.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117SMQ	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117SMQ.A	LMC	TO-CAN	8	20	532.13	21.59	889	NA

PACKAGE OUTLINE

LMC0008A

TO-CAN - 5.72 mm max height

TRANSISTOR OUTLINE



4220610/B 09/2024

NOTES:

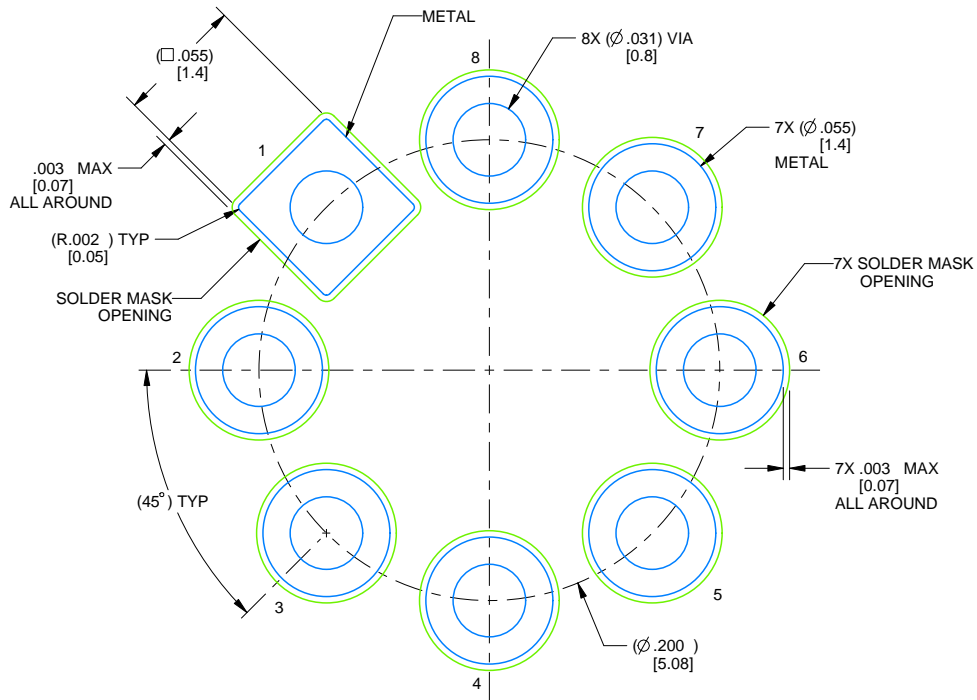
1. All linear dimensions are in inches [millimeters]. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Pin numbers shown for reference only. Numbers may not be marked on package.
4. Reference JEDEC registration MO-002/TO-99.

EXAMPLE BOARD LAYOUT

LMC0008A

TO-CAN - 5.72 mm max height

TRANSISTOR OUTLINE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 12X

4220610/B 09/2024



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月