

JFE2325 适用于驻极体麦克风的双路低功耗 N 通道 JFET

1 特性

- 单片、匹配、N 通道 JFET
- 可实现高输入阻抗 ($>400\text{G}\Omega$) 的自偏置栅极
- 低输入电容：每个 JFET 0.85pF
- 低噪声：-110dBV (A 加权)，输入电容 5pF
- 低 V_{GS} 失配：30mV (最大值)
- 低 I_{DSS} 失配：5% (最大值)
- 高栅漏击穿电压：30V
- 极小型封装：0.8mm × 1mm X2SON

2 应用

- 驻极体电容式麦克风 (ECM)
- MEMS 麦克风
- 加速计
- 热释电红外 (PIR) 传感器
- 光电二极管放大器

3 说明

JFE2325 是一款单片匹配的分立式 JFET，旨在与驻极体电容式麦克风 (ECM) 等极高阻抗传感器配合使用。该器件由两个 N 通道 JFET 组成，它们集成于单个裸片上，旨在实现优异的匹配性能。每个 JFET 的栅极均由集成二极管偏置，该二极管允许将信号源直接耦合到栅极，而无需偏置电阻器。如果使用分立式电阻器进行栅极偏置，JFE2325 可实现的输入阻抗

($>400\text{G}\Omega$) 要高得多。此外，JFE2325 具有每个 JFET 0.85pF 的超低输入电容，可最大限度地提高具有极低输出电容的传感器信号电平。

当配置为以 $385\mu\text{A}$ 的全漏极电流运行时，每个 JFET 能够实现 0.7mS 的跨导。JFET 可以单独使用，也可以并联使用，以实现更高的跨导和更低的噪声。

JFE2325 可承受 30V 的高栅漏电压。额定温度范围： -40°C 至 $+125^{\circ}\text{C}$ 。

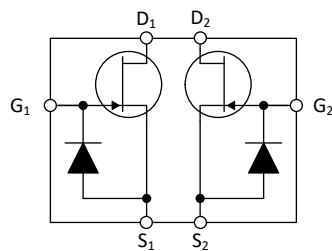
封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
JFE2325	DTQ (X2SON, 6)	0.8mm × 1mm

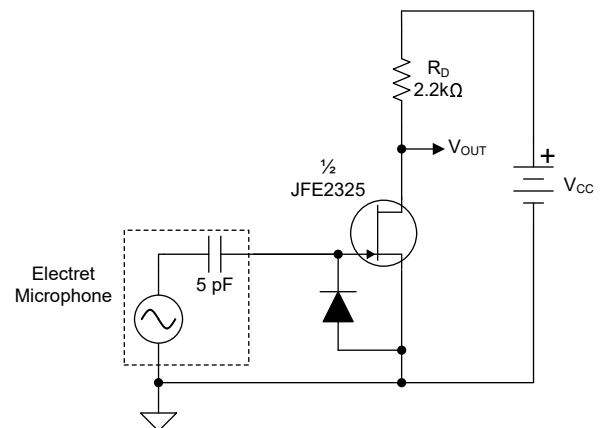
- (1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。
(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

器件概要

参数	值
V_{DSS}	漏源击穿电压
V_{GSS}	栅源击穿电压
C_{ISS}	输入电容
V_{GSC}	栅源截止电压
I_{DSS}	漏源饱和电流
T_J	结温
	$\pm 30\text{V}$
	$\pm 0.5\text{V}$
	0.85pF
	-1.1V
	$385\mu\text{A}$
	-40°C 至 $+125^{\circ}\text{C}$



简化版原理图



ECM 应用电路



内容

1 特性	1	7 应用和实施	13
2 应用	1	7.1 应用信息.....	13
3 说明	1	7.2 典型应用.....	14
4 引脚配置和功能	3	7.3 系统示例.....	16
5 规格	4	7.4 电源相关建议.....	18
5.1 绝对最大额定值.....	4	7.5 布局.....	18
5.2 ESD 等级.....	4	8 器件和文档支持	20
5.3 建议运行条件.....	4	8.1 器件支持.....	20
5.4 热性能信息.....	4	8.2 文档支持.....	21
5.5 电气特性.....	5	8.3 接收文档更新通知.....	21
5.6 典型特性.....	6	8.4 支持资源.....	21
6 详细说明	11	8.5 商标.....	21
6.1 概述.....	11	8.6 静电放电警告.....	21
6.2 功能方框图.....	11	8.7 术语表.....	21
6.3 特性说明.....	11	9 修订历史记录	21
6.4 器件功能模式.....	12	10 机械、封装和可订购信息	21

4 引脚配置和功能

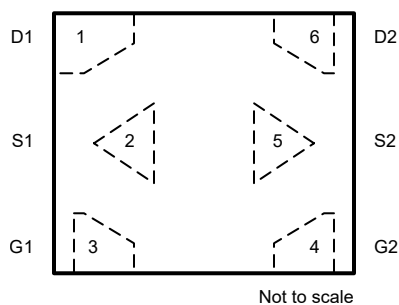


图 4-1. DTQ 封装，6 引脚 X2SON (顶视图)

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
D1	1	输出	漏极、通道 1
D2	6	输出	漏极、通道 2
G1	3	输入	栅极、通道 1
G2	4	输入	栅极、通道 2
S1	2	输出	源极、通道 1
S2	5	输出	源极、通道 2

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
V_{DS}	漏源电压	-55	55	V
V_{GS}	栅源电压	-0.5	0.5	V
V_{GD}	栅漏电压	-55	0.5	V
I_{DS}	漏源电流		1	mA
I_{GS}, I_{GD}	栅源电流, 栅漏电流	-1	1	mA
T_A	环境温度	-55	150	°C
T_J	结温	-55	150	°C
T_{stg}	贮存温度	-55	175	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 所有栅极、漏极和源极电压都以同一通道 JFET 为基准 (即 V_{GS} 同时适用于 V_{G1S1} 和 V_{G2S2})。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	250	V

- (1) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
I_{DS}	漏源电流			I_{DSS}	mA
V_{GS}	栅源电压	-0.5	0	0.2	V
T_J	额定温度	-40		125	°C

5.4 热性能信息

热指标 ⁽¹⁾		JFE2325	单位
		DTQ (X2SON)	
		6 引脚	
$R_{\theta JA}$	结至环境热阻	294	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	189	°C/W
$R_{\theta JB}$	结至电路板热阻	217	°C/W
ψ_{JT}	结至顶部特征参数	26.5	°C/W
ψ_{JB}	结至电路板特征参数	216	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性

$T_A = 25^\circ\text{C}$ 、 $V_{DS} = 2.5\text{V}$ 、 $C_{IN} = 5\text{pF}$ 、 $R_D = 2.2\text{k}\Omega$ (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
输出							
I _{DSS}	漏源饱和电流	V _{GS} = 0V		220	385	500	μA
			T _A = -40℃ 至 +125℃	175		530	
	漏源饱和电流比	V _{GS} = 0V、I _{DSS1} / I _{DSS2}		0.95	1	1.05	
G _{FS}	完全导通跨导	V _{GS} = 0V		0.44	0.7		mS
V _{(BR)GDO}	栅漏极击穿电压	I _G = -10μA			-30		V
C _{OSS}	输出电容	I _{DS} = 325μA			1		pF
输入电压							
V _{GSC}	栅源截止电压 ⁽¹⁾	V _{DS} = 2.5V，I _{DS} = 0.1μA		-1.2	-1.0	-0.7	V
Δ V _{GS}	差分 V _{GS} 失配	I _{DS} = 325μA		±10		±30	mV
			T _A = -40℃ 至 +125℃	±50			
	差分 V _{GS} 失配漂移	T _A = -40℃ 至 +125℃		±10		±70	μV/℃
输入阻抗							
R _{IN}	栅极输入电阻			400			GΩ
C _{ISS}	输入电容	V _{DS} = 2V		0.85			pF
C _{RSS}	反向传输电容	V _{DS} = 2V		0.1			pF
交流性能							
e _n	输入参考噪声	栅极接地	f = 10kHz	4.3			nV/ √Hz
	输出噪声	C _{IN} = 5pF	A 加权	3.3			uV _{RMS}
				-110			dBV
THD+N	总谐波失真和噪声	V _{IN} = 10mV，f = 1kHz，90kHz 带宽		0.12%			
G _V	电压增益	V _{IN} = 10mV，f = 1kHz		2.25			dB
Δ G _V	电压增益降低	V _{IN} = 10mV、f = 1kHz、V _{DS} = 2.5V → 2.0V		0.2			dB

(1) 基于多个漏极电流测量值的计算值。

5.6 典型特性

$T_A = 25^\circ\text{C}$ ，采用共源极配置且 $V_{DS} = 2.5\text{V}$ 时（除非另有说明）

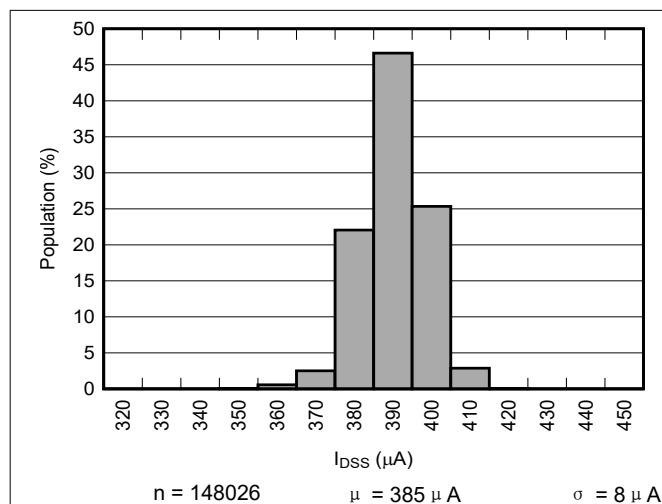


图 5-1. 漏源饱和电流柱状图

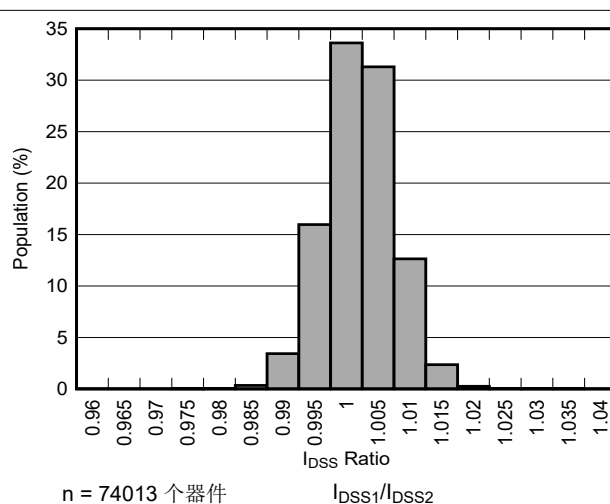


图 5-2. 漏源饱和电流比

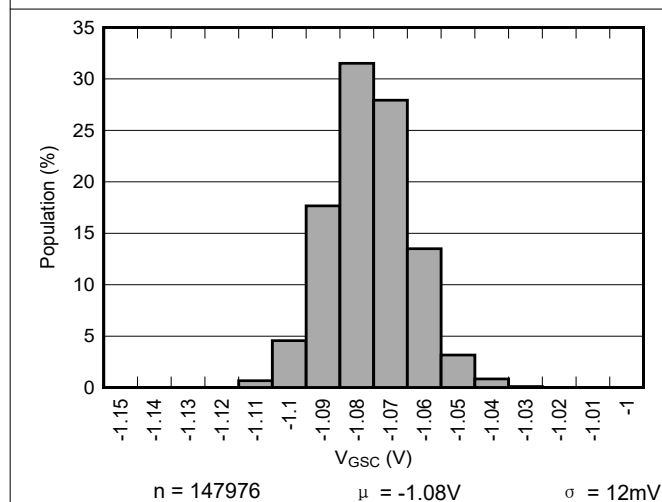


图 5-3. 栅源截止电压柱状图

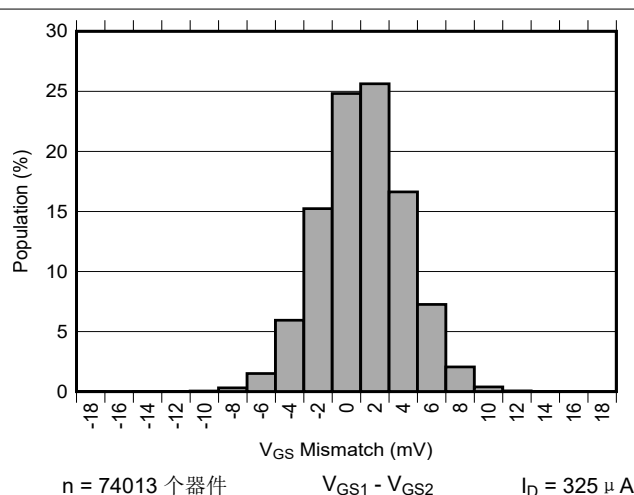


图 5-4. 栅源电压失配

5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, 采用共源极配置且 $V_{DS} = 2.5\text{V}$ 时 (除非另有说明)

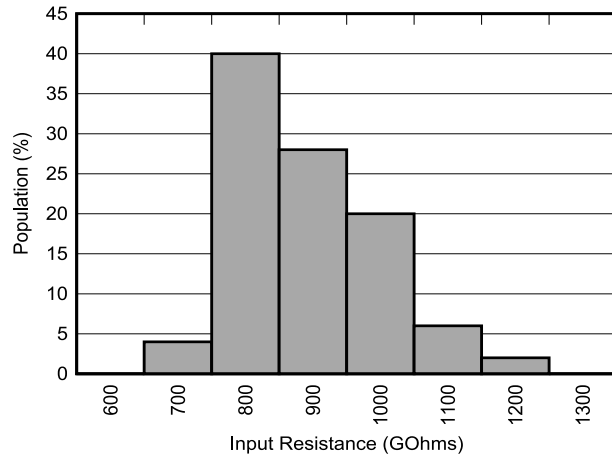


图 5-5. 输入电阻

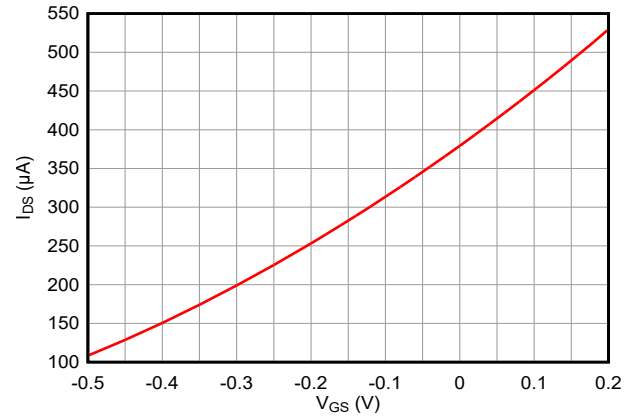


图 5-6. 漏源电流与栅源电压间的关系

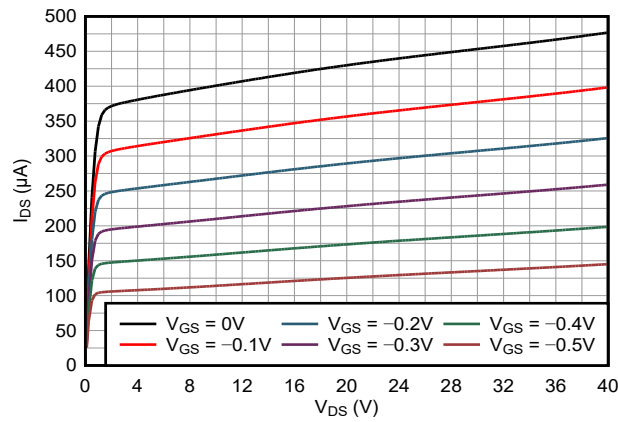


图 5-7. 漏源电流与漏源电压间的关系

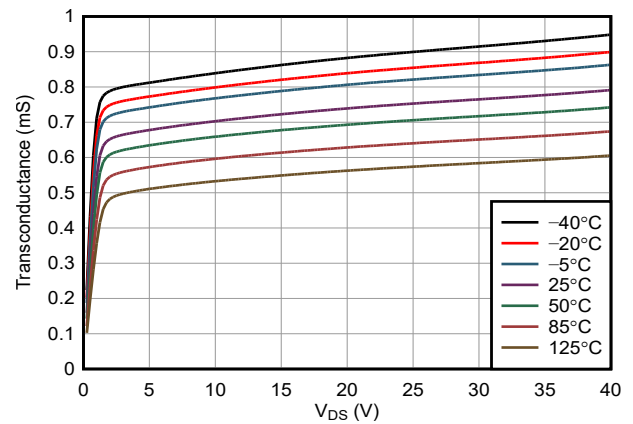


图 5-8. 共源极跨导与漏源电压间关系

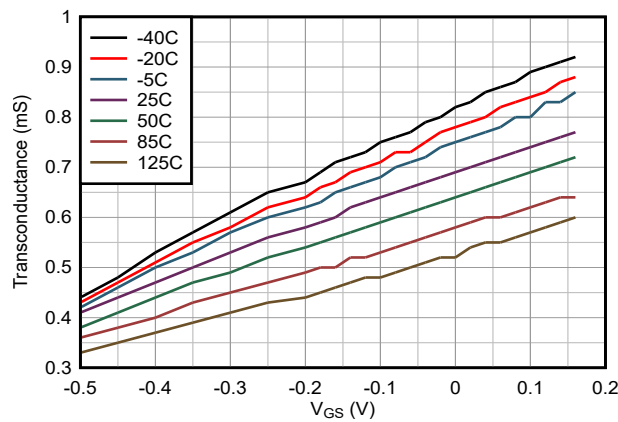


图 5-9. 共源极跨导与栅源电压间关系

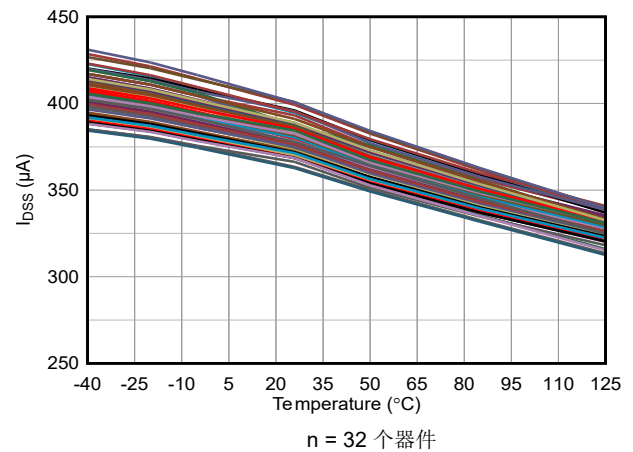


图 5-10. 漏源饱和电流与温度间的关系

5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, 采用共源极配置且 $V_{DS} = 2.5\text{V}$ 时 (除非另有说明)

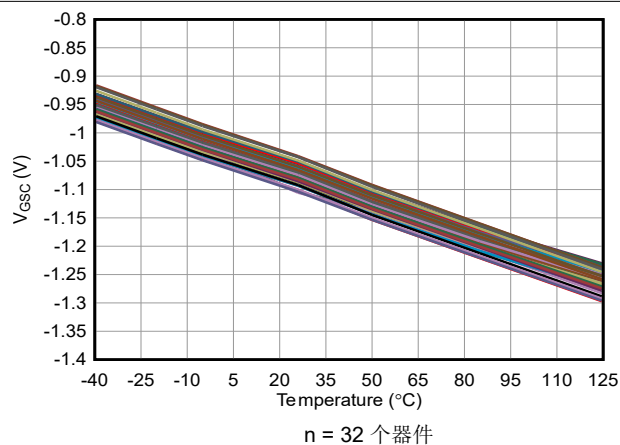


图 5-11. 栅源截止电压与温度间的关系

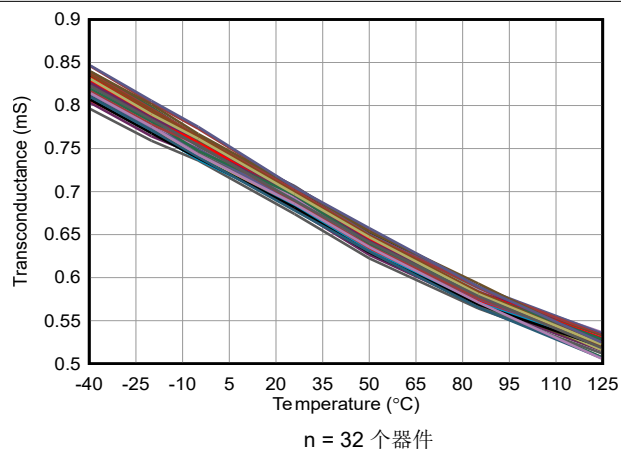


图 5-12. 跨导与温度间的关系

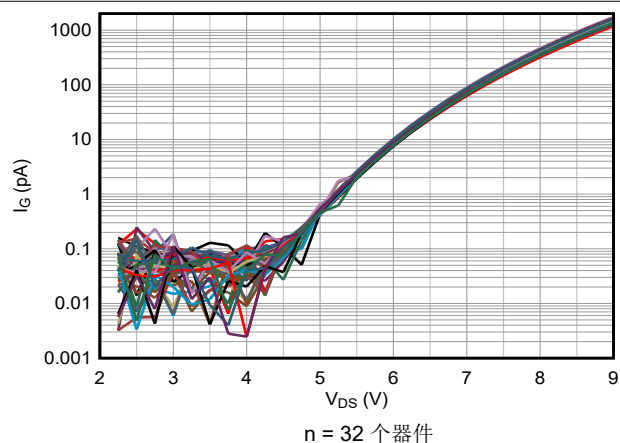


图 5-13. 栅极电流与漏源电压间的关系

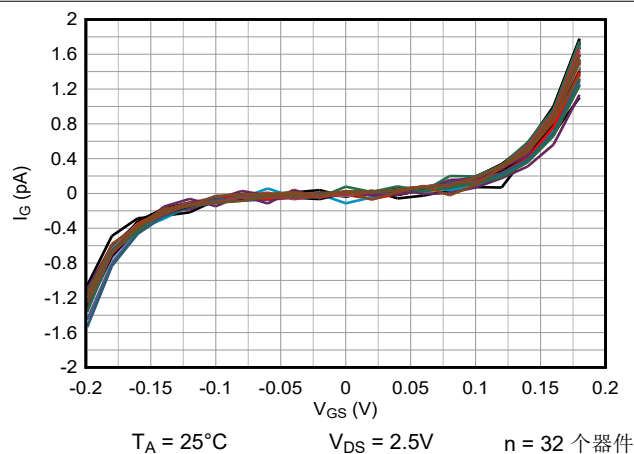


图 5-14. 栅极电流与栅源电压间的关系

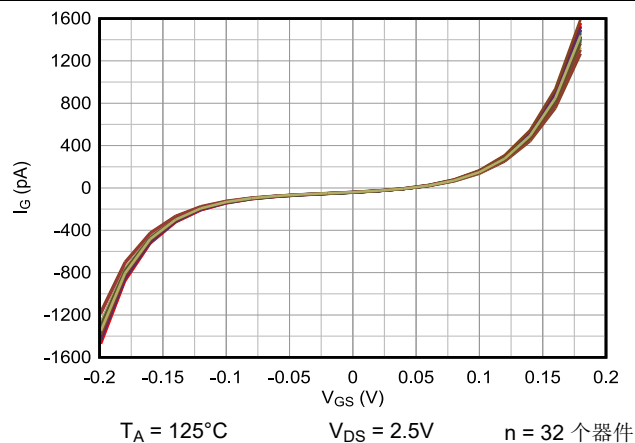


图 5-15. 栅极电流与栅源电压间的关系

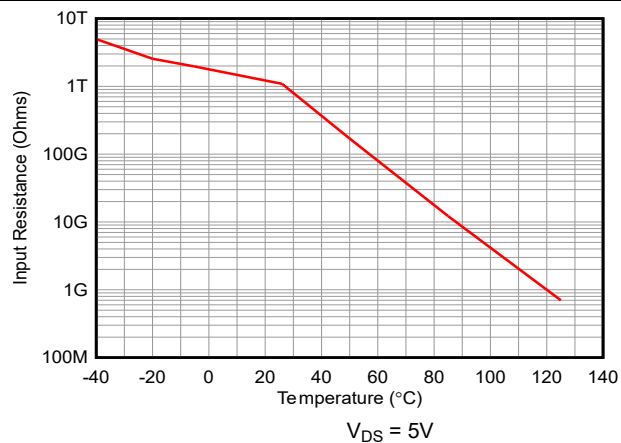


图 5-16. 输入电阻与温度间的关系

5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, 采用共源极配置且 $V_{DS} = 2.5\text{V}$ 时 (除非另有说明)

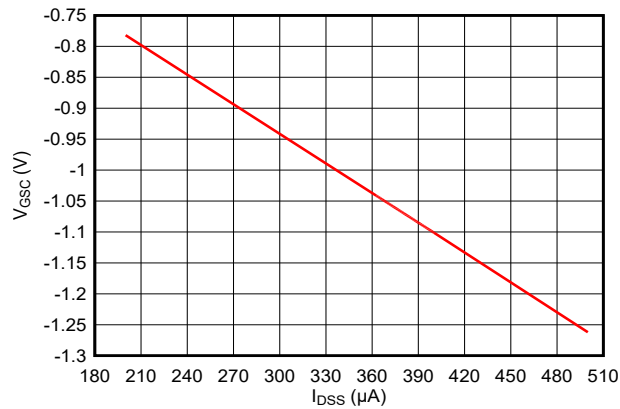


图 5-17. 栅源截止电压与漏源饱和电流间的关系

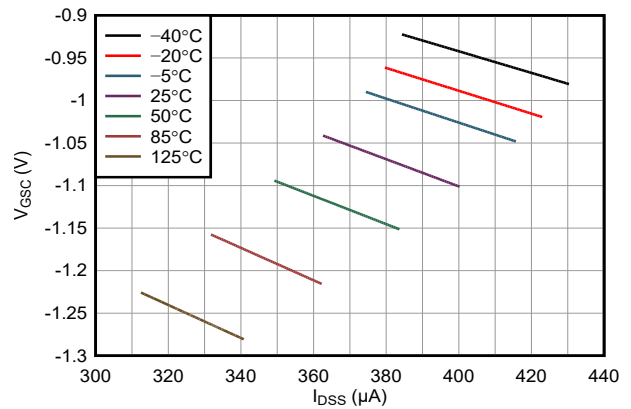


图 5-18. 栅源截止电压与漏源饱和电流间的关系

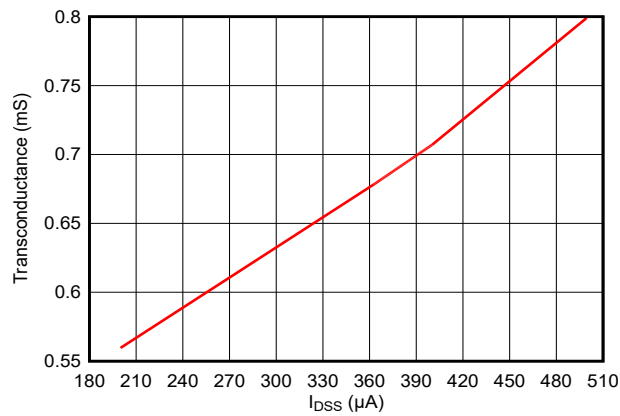


图 5-19. 全导通跨导与漏源饱和电流间的关系

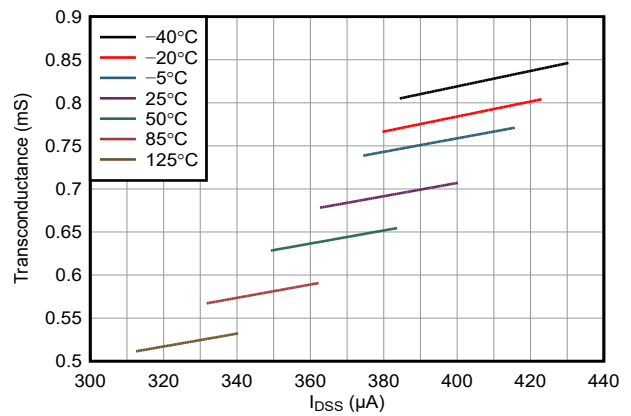


图 5-20. 全导通跨导与漏源饱和电流间的关系

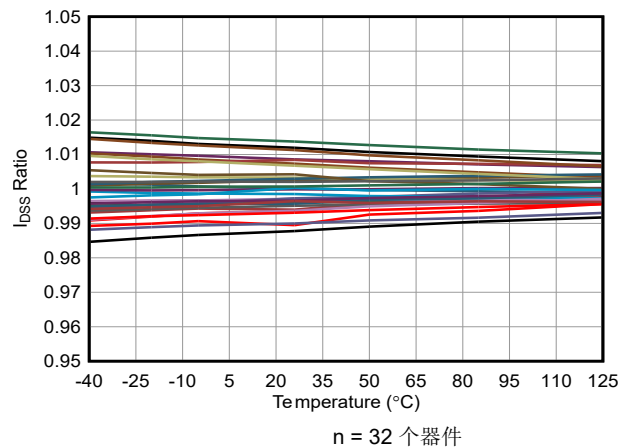


图 5-21. I_{DSS} 比与温度间的关系

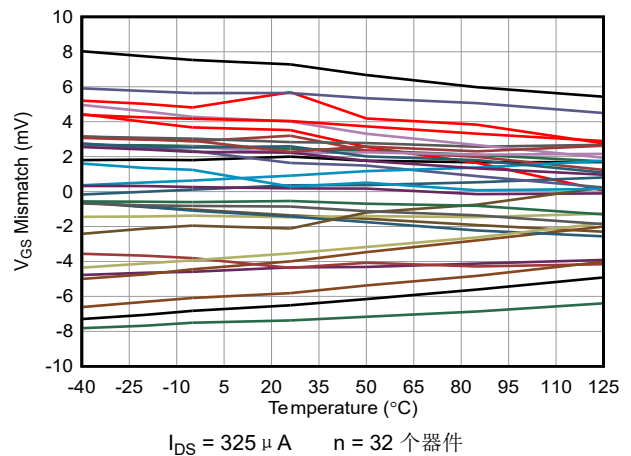


图 5-22. V_{GS} 失配与温度间的关系

5.6 典型特性 (续)

$T_A = 25^\circ\text{C}$, 采用共源极配置且 $V_{DS} = 2.5\text{V}$ 时 (除非另有说明)

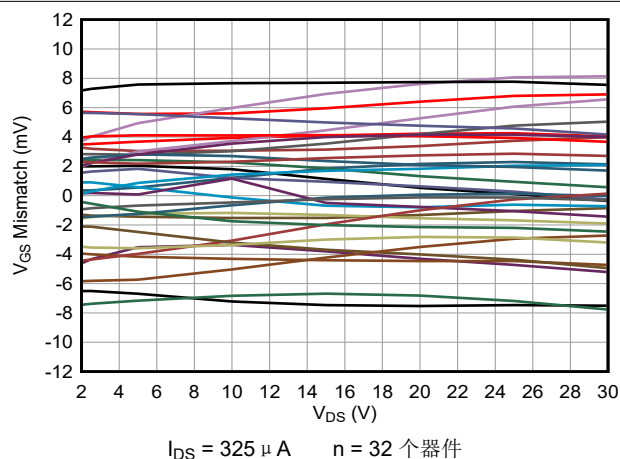


图 5-23. V_{GS} 失配与 V_{DS} 间的关系

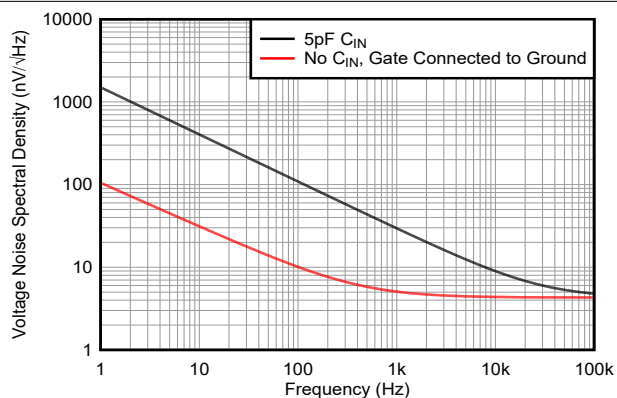


图 5-24. 输入基准电压噪声密度与频率间的关系

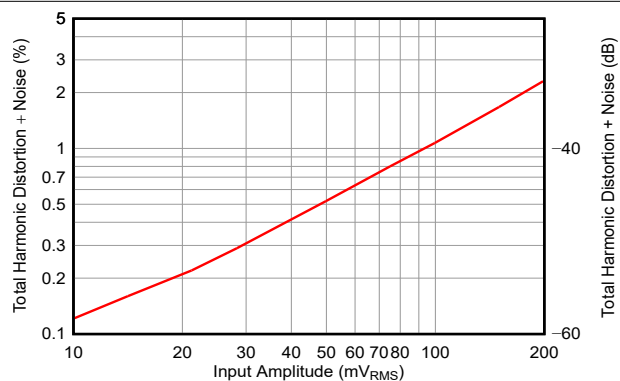


图 5-25. 总谐波失真和噪声与输入信号幅度间的关系

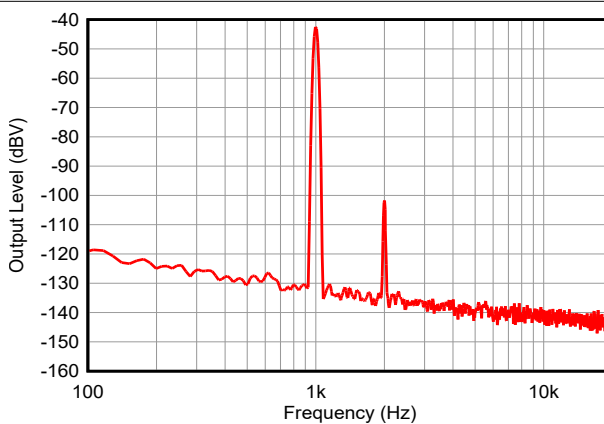


图 5-26. 输出 FFT

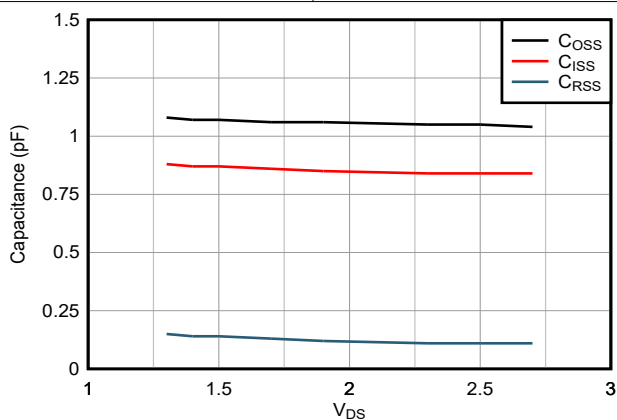


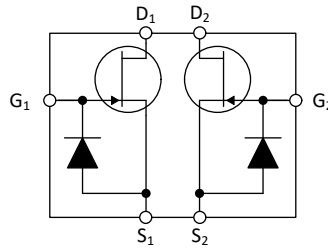
图 5-27. 输入、输出和反向传输电容与漏源电压间的关系

6 详细说明

6.1 概述

JFE2325 是单片匹配 N 型 JFET，旨在直接连接高阻抗信号源，例如驻极体电容式麦克风 (ECM) 中的元件。该器件由两个 JFET 组成，其尺寸设计旨在实现最小的输入电容，并布置在同一基板上，以实现出色的匹配。每个 JFET 的栅极都在栅极和源极之间包含一个二极管，无需外部偏置电阻器。JFET 可以单独使用，也可以并联使用，以适应许多电路拓扑结构。

6.2 功能方框图



6.3 特性说明

6.3.1 高输入阻抗

JFE2325 具有极高的输入电阻 ($>400\text{G}\Omega$) 和极低的输入电容，因此该器件非常适合最大限度地提高驻极体电容式麦克风 (ECM) 的增益和动态范围。此外，由于低电流电平下的散粒噪声可忽略不计，因此栅极电流造成的噪声影响非常小。JFE2325 设计为通过等于源极电压的栅极电压进行偏置，以实现最小栅极电流。避免将栅极拉低至源极电压以下超过 100mV，以便保持低栅极电流。与所有 JFET 器件一样，当漏源电压增加时，栅极电流也会增加。将漏源电压保持在小于 5V，以实现最低栅极输入电流运行。

6.3.2 精度匹配

JFE2325 采用基于高精度模拟工艺制造的成对匹配 N 型 JFET 晶体管。在差分对配置中，需要在配对 JFET 之间实现精密匹配，若输入器件存在任何失配，都会导致增益下降、共模抑制能力劣化。精密匹配还可最大限度地降低在高增益复合放大器中产生过多误差电压的偏置电压。

6.3.3 静电放电 (ESD) 灵敏度

静电放电可能导致此器件受损，即使在看似无害的电压电平下也可能造成损坏。在 PCB 上处理和组装器件期间，需要采取 ESD 防护措施。使用接地腕带，在接地表面工作，并将器件存放在导电包装中；此外，建议在 ESD 防护区 (EPA) 内进行操作。忽略适当的 ESD 预防措施可能会导致潜在的损坏，进而引发即时性或间歇性器件故障。TI 强烈建议在所有处理、组装和测试环节都遵守业界通用的 ESD 处理程序。

6.4 器件功能模式

JFE2325 功能类似于标准 N 通道耗尽型 JFET 器件。栅源电压 (V_{GS})、漏源电压 (V_{DS}) 及漏源电流 (I_{DS}) 决定了运行区域。

- $V_{GS} = 0V$ 时：根据 V_{DS} 的不同，可以存在两种运行模式。当 V_{DS} 小于线性（饱和）区域阈值时（请参阅图 6-1），该器件在线性区域中运行，这意味着该器件充当漏极与源极之间的电阻器， V_{GS} 的任何变化对该器件的影响最小。当 V_{DS} 大于线性（饱和）区域阈值时， I_{DS} 很大程度上取决于 V_{GS} ，其中的关系由跨导参数 g_m 描述。
- 如果 $V_{GS} < -100mV$ ，栅极偏置二极管开始正向偏置，导致栅极电流快速增加。在图 7-2 中显示此效果。在直流耦合应用中，将栅极电压保持在源极电压的 $\pm 100mV$ 范围内，以保持低栅极电流。
- 在交流耦合应用中，直流漏极电流高于典型的 I_{DSS} ($V_{GS} = 0V$)。在此类应用中，栅极电压会上升至特定值，使流经栅极偏置二极管的漏电流与 JFET 漏栅结的漏电流相等。这种情况通常出现在 $V_{GS} = 50mV$ 时。

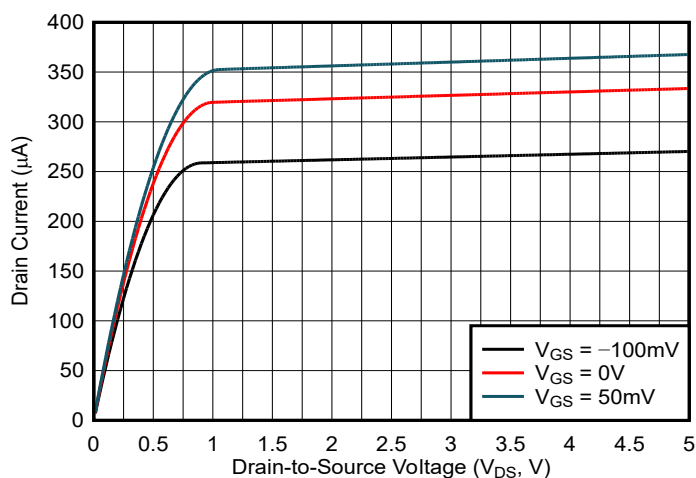


图 6-1. V_{DS} 与 I_{DS} 间的关系

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

7.1.1 输入偏置二极管

用于与驻极体麦克风配合使用的 JFET 在栅极和源极端子之间集成一个额外的二极管，如 图 7-1 所示，标记为 D_G 。当电源直接交流耦合到栅极时，该二极管的主要用途是帮助使 V_{GS} 保持接近 0V。如 图 7-1 所示，当在 JFET 的漏极和源极之间施加电压源时，一个非常小的漏电流流经 JFET 的漏极至栅极结 (I_{L1})。如果未补偿该漏电流，栅极电压会持续升高，直到 JFET 的栅源结正向偏置足以平衡电流。使栅源结处于正向偏置状态会带来多种负面影响，包括输入电阻降低和输入电容增加。栅极二极管 D_G 提供了额外的泄漏路径 (I_{L2})，以补偿漏极到栅极的泄漏 (I_{L1})，保持 V_{GS} 电压接近 0V，并保持高输入阻抗。

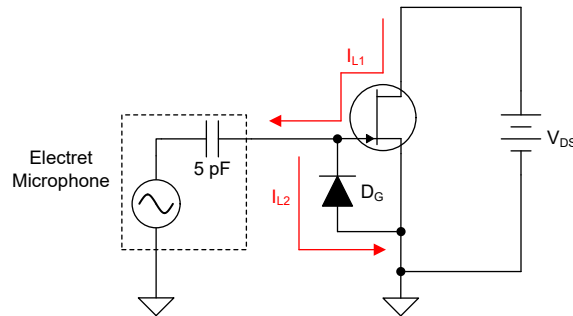


图 7-1. JFE2325 输入泄漏路径

图 7-2 显示了 JFE2325 栅极电流与 V_{GS} 之间的函数关系。当 V_{GS} 值处于 $\pm 100\text{mV}$ 范围内时，可保持极高的输入阻抗。正常运行时，使用交流耦合输入信号源， V_{GS} 稳定至大约 50mV。电压超过 $\pm 100\text{mV}$ 会导致栅极电流大幅增加。

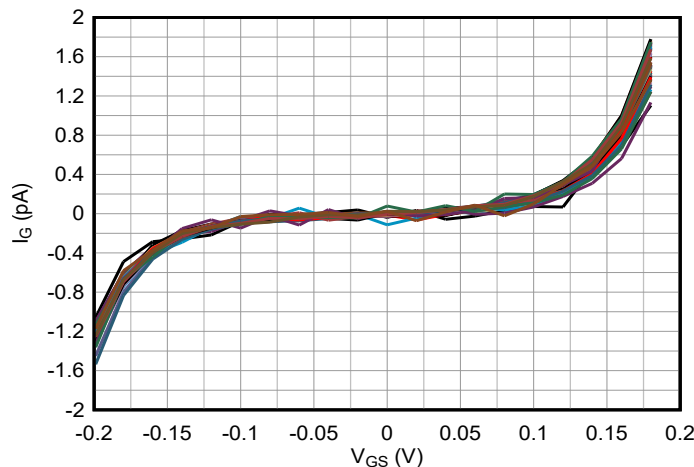


图 7-2. JFE2325 栅极电流与栅源电压间的关系

7.2 典型应用

7.2.1 驻极体电容式麦克风的共源极放大器

JFE2325 专为驻极体电容式麦克风 (ECM) 应用而设计。典型的 ECM 音头包含一个配置为共源极放大器的 JFET，可放大和缓冲来自麦克风元件的信号。图 7-3 展示了用作 5pF ECM 音头的共源极放大器的 JFE2325。漏极电阻 R_D 通常位于单独的电路板上，或连接电缆的另一端。这些应用中使用的 JFET 必须能够在广泛的电源电压 (V_{CC}) 范围内工作，同时为极小电容的音头提供适度增益，并最大限度地降低额外噪声和失真。

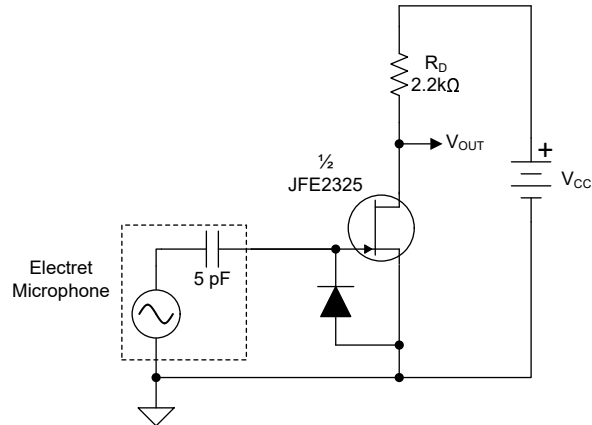


图 7-3. 驻极体电容式麦克风的共源极放大器

7.2.1.1 设计要求

参数	设计目标
增益	> -2dB
频率响应	10Hz 至 20kHz
信噪比 (SNR, 63mV, A-wt.)	> 70dB
总谐波失真和噪声 (THD+N, 10mV)	< 1%
总电流消耗	< 500 μ A
电源电压范围	2.5V 至 3.3V

7.2.1.2 详细设计过程

设计中漏极电阻值受到限制，因此无需计算元件值。相反，本节确认 JFE2325 符合设计要求。本设计仅使用 JFE2325 中 2 个 JFET 中的 1 个。另一个 JFET 可以接地。

- 共源极放大器的增益就是 JFET 的全导通跨导乘以漏极电阻。JFE2325 的典型全导通跨导为 0.7mS，因此 2.2k Ω 漏极电阻器的增益为 1.54V/V 或 3.75dB。
- JFET 的输入电容与音头电容形成分压器，从而降低电路的总增益。因此，JFE2325 的 0.85pF 输入电容会使 5pF 音头的输入信号衰减约 1.36dB，系统整体增益最终为 2.4dB。
- 在交流耦合应用中， V_{GS} 约为 50mV，当 $IDSS$ 值为 385 μ A 时，漏极电流约为 410 μ A。
- 低频滚降点由 JFE2325 的输入电阻和音头电容决定，公式如下： $1/(2 \times \pi \times R_{IN} \times C_{MIC})$ 。JFE2325 具有 400G Ω 的额定最小输入电阻，该电阻在 5pF 音头下，在最差情况下可产生 0.08Hz 的 -3dB 截止频率。
- 根据 JFE2325 的 A 加权噪声电压标称值 3.3 μ V_{RMS}，可估算出 63mV_{RMS} (-24dBV) 输入信号下的信噪比 (SNR)。SNR(dB) = $20 \times \log(63mV/3.3 \mu V) = 85.6dB$ 。选择该信号电平是为了表示在 1 帕斯卡气压下，测量的 -24dBV 麦克风电灵敏度。
- 在最小电源电压范围 (2.5V) 下，JFE2325 的 V_{DS} 为 2.5V 减去漏极电阻器两端的压降，对于流经 2.2k Ω 电阻器的 410 μ A 漏极电流，该压降约为 0.9V。这将提供 1.6V 的 V_{DS} 、远高于 JFE2325 将器件保持在饱和区域所需 1.1V 的典型夹断电压。

节 7.2.1.3 展示了器件在此应用电路中的测量性能。-3dB 点远低于 0.1Hz，表明输入阻抗极高。由于 PCB 寄生电容，测得的增益为 1.8dB，略低于预期。基准测量结果表明，在 $V_{CC} = 2.7V$ 的电源电压下，存在失真消除效应，可将二次谐波降低近 20dB，如 图 7-7 和 图 7-8 所示。对于 10mV_{RMS} 输入信号 (-40dBV)，在 $V_{CC} = 2.7V$ 时，测得的 THD + N 为 -61.5dB (0.08%)，在 $V_{CC} = 3.3V$ 时，测得的 THD+N 为 -59.3dB (0.11%)。将输入信号振幅增加到 -30dBV (31.6mV_{RMS}) 会显示出更大的优势，在 $V_{CC} = 2.7V$ 时实现 -68.3dB (0.038%) 的 THD+N，在 $V_{CC} = 3.3V$ 时则为 -53.2dB (0.22%)。这种效应取决于麦克风音头电容，需要针对特定系统进行优化。

7.2.1.3 应用曲线

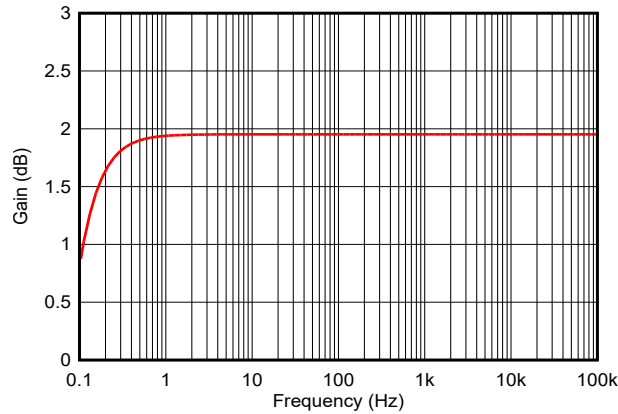


图 7-4. 频率响应

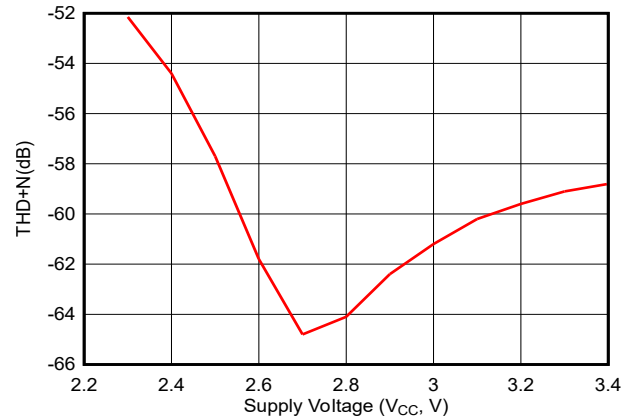


图 7-5. THD+N 与电源电压间的关系

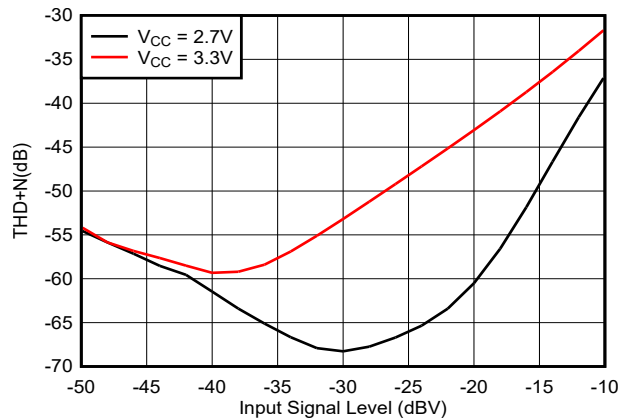


图 7-6. THD+N 与输入信号幅度间的关系

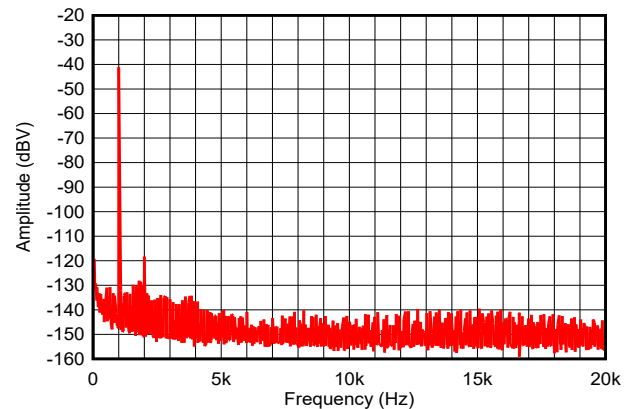


图 7-7. 输出 FFT, 1kHz, 10mV, $V_{CC} = 2.7V$

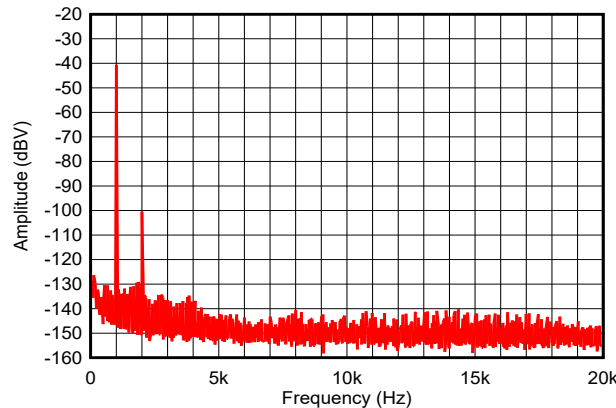


图 7-8. 输出 FFT, 1kHz, 10mV, $V_{CC} = 3.3V$

7.3 系统示例

JFE2325 凭借优异的性能指标与灵活的架构设计，可广泛应用于各类需对高阻抗信号源进行放大，或对灵敏输入电路实施保护的应用场景。

并联 JFET 的共源极放大器

通过使用具有较高跨导的 JFET，具有较高电容的信号源可以实现更优的 SNR。通过并联使用 JFE2325 中的 2 个 JFET（如 图 7-9 所示），该器件充当单个 JFET，其跨导是各个 JFET 的两倍。并联使用 2 个 JFET 可提供单个 JFET 两倍的增益，并将 SNR 提高 3dB。

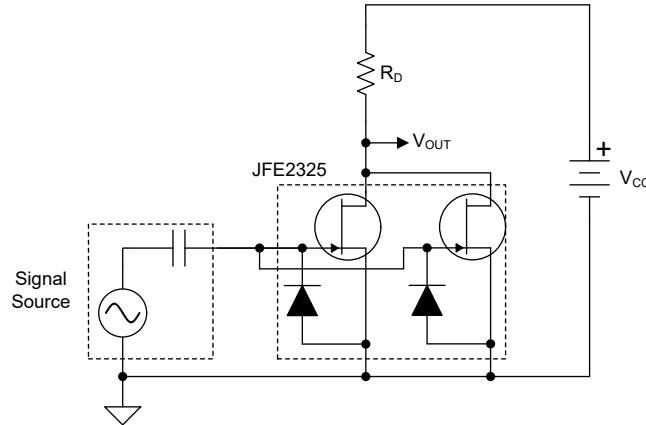


图 7-9. JFE2325 中两个 JFET 并联的共源极放大器

共漏极放大器

共漏极配置（如 图 7-10 所示）通过消除 JFET 栅漏电容的密勒乘法，可以在某些应用中提供较低的失真。在共源极放大器中，JFET 漏极处经放大的电压与栅极电压具有 180 度的相位差。这一特性会增加有效栅漏电容（称为密勒效应），可衰减输入信号，并且由于该电容是非线性的，因此还会引入失真。

在共漏极放大器中，漏极保持在固定电压，从而消除密勒效应。此外，由于 JFET 源极的电压与栅极电压同相，因此栅源电容在某种程度上被“自举”，从而进一步降低输入电容。

但是，共漏极放大器配置的主要缺点是电路的增益始终小于 1V/V (0dB)。因此，该电路非常适合需要缓冲的大信号应用。

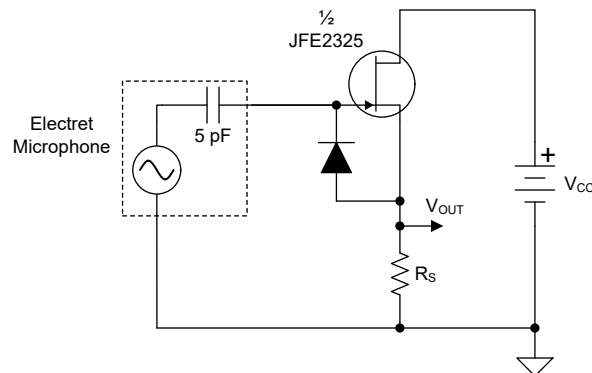


图 7-10. JFE2325 配置为 ECM 音头的共漏极放大器

差分对

JFE2325 中的两个 JFET 之间具有出色的匹配性，因此是差分对配置的理想选择。图 7-11 展示了一个示例电路，其中麦克风元件以差分方式连接到 JFE2325。该配置具有偶次谐波消除的优势，可改善失真性能。

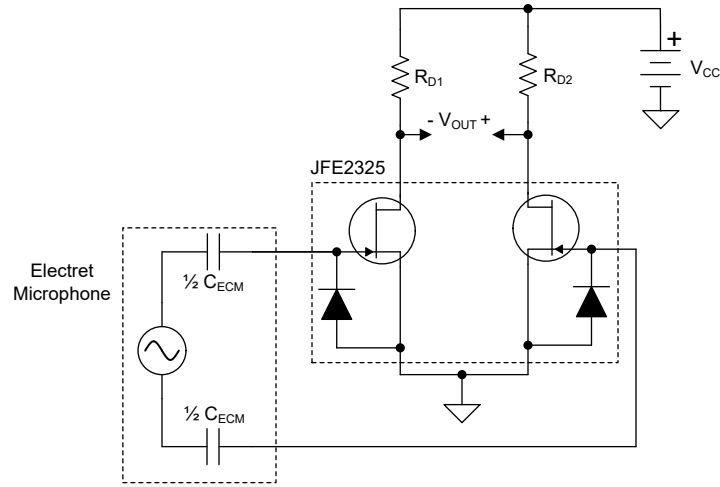


图 7-11. JFE2325 用作差分对

输入保护

JFE2325 可配置为敏感模拟输入电路的输入保护器件。图 7-12 展示了 JFE2325 用于保护运算放大器的输入端，使其免受超出电源电压最高 30V 的过压影响。

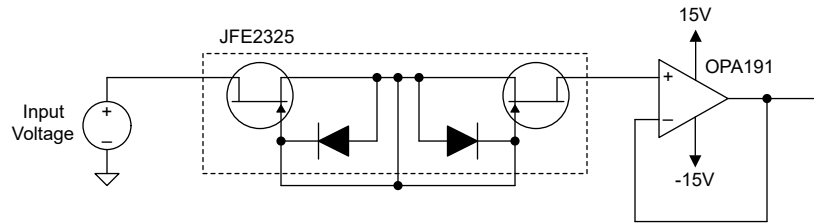


图 7-12. JFE2325 用作运算放大器的输入保护器件

使用图 7-13 中的图形可以更好地了解电路的工作方式。当输入电压低于放大器的电源电压 ($\pm 15V$) 时，JFET 处于线性运行区域，充当电阻器，其电阻等于夹断电压除以 I_{DSS} 值。一旦输入电压超过电源电压，运算放大器的内部 ESD 保护二极管就会开始导通，并且输入电流迅速上升。但是，与放大器输入串联的 JFET 会将流经 ESD 二极管的电流钳制为 ESD 二极管可无限期处理的 JFET I_{DSS} 值。

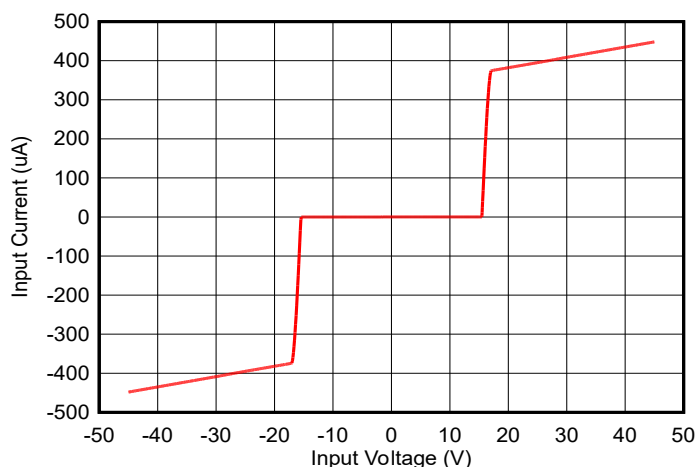


图 7-13. 输入电流与输入电压间的关系

7.4 电源相关建议

分立式 JFET 放大器电路（尤其是共源放大器）的电源抑制比可能极差。因此，电源上的任何噪声或纹波都可以直接注入输出信号。因此，请始终使用具有足够电容滤波的低噪声电源来保持器件性能。为了获得最小栅极电流，请将 JFET 的 V_{DS} 保持在 5V 以下。最大 V_{DS} 绝不能超过 节 5 中给出的值。

7.5 布局

7.5.1 布局指南

为了在麦克风应用中获得出色性能，请保持放大器电路的高输入阻抗，同时避免将噪声耦合到输入端。一些最佳实践包括：

- 通过使输入走线尽可能远离电源走线或输出走线来减少寄生耦合。如果这些走线无法分开，将敏感走线与噪声走线垂直交叉，而非平行布设，效果要好得多。
- 外部元件应尽量靠近器件放置。
- 尽可能缩短输入走线的长度。切记，输入布线是电路中最敏感的部分。
- 保持高阻抗输入信号远离高噪声引线。
- 确保对电源电压进行充分滤波。
- 考虑在 JFET 的输入布线周围使用没有阻焊层的防护环。防护环可以连接到 JFET 源极，并减少 JFET 漏极的表面泄漏。
- 在组装 PCB 板之后对其进行清洁，以获得最佳性能。

7.5.2 布局示例

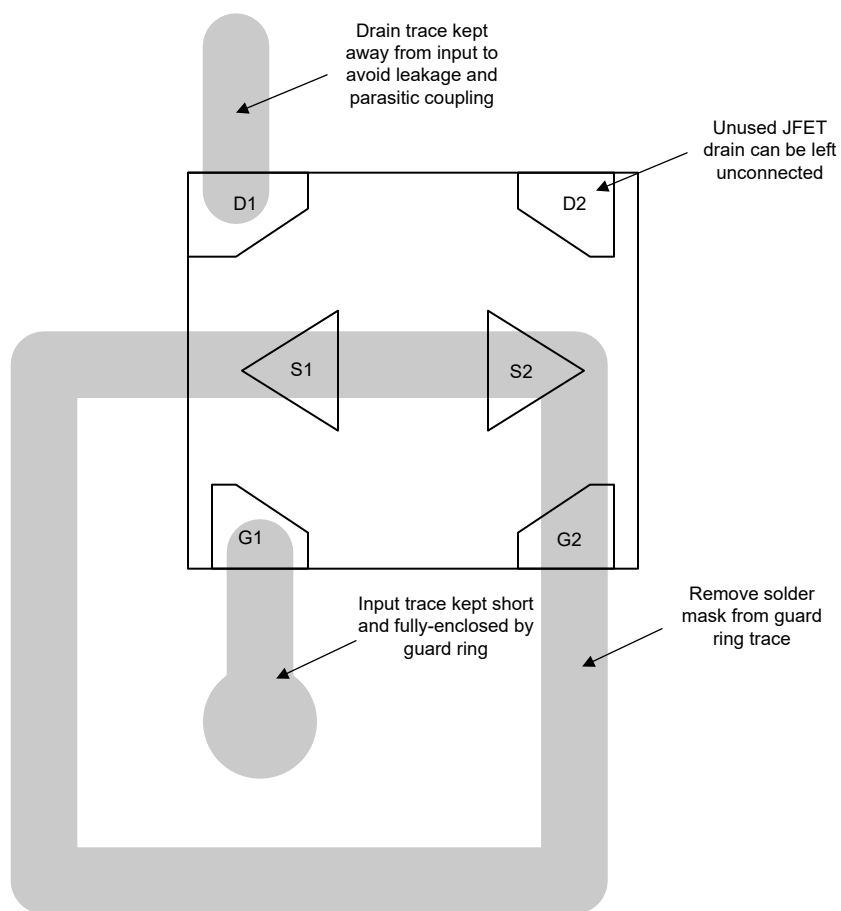


图 7-14. JFE2325 布局示例

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

8.1.1.2 TINA-TI™ 仿真软件 (免费下载)

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从[设计工具和仿真网页](#)免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 [TINA-TI™ 软件文件夹](#) 中下载免费的 TINA-TI 仿真软件。

8.1.1.3 TI 参考设计

TI 参考设计是由 TI 的精密模拟应用专家创建的模拟解决方案。TI 参考设计提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。TI 参考设计可在线获取，网址为 <https://www.ti.com/reference-designs>。

8.1.1.4 滤波器设计工具

滤波器设计工具是一款简单、功能强大且便于使用的有源滤波器设计程序。利用滤波设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源器件来打造理想滤波器设计方案。

设计工具和仿真网页以基于网络的工具形式提供[滤波设计工具](#)。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[JFE2325EVM 用户指南](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.5 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (January 2026) to Revision A (June 2026)	Page
• 将数据表状态从 预告信息 更新为 量产数据	1
• 将 ESD JEDEC 规范更改为 JS-002.....	4
• 将图 6-1 漏源电流与栅源电压间的关系 中的 Y 轴范围从 0 更改为 33，从 0 更改为 16.....	6

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
JFE2325DTQR	Active	Production	X2SON (DTQ) 6	12000 JUMBO T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

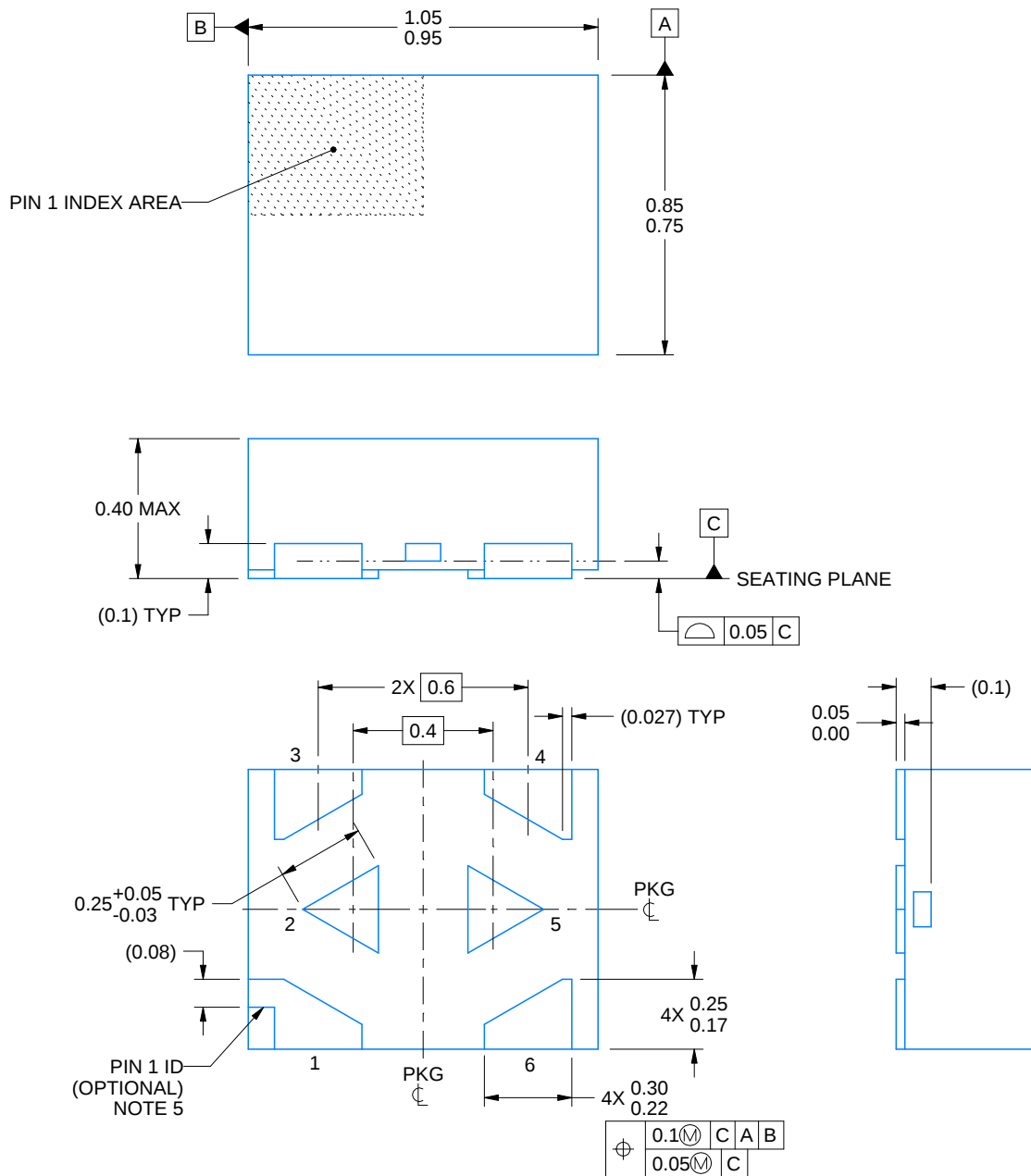
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
JFE2325DTQR	X2SON	DTQ	6	12000	180.0	8.4	0.92	1.12	0.47	2.0	8.1	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
JFE2325DTQR	X2SON	DTQ	6	12000	182.0	182.0	20.0



4224056/B 07/2024

NOTES:

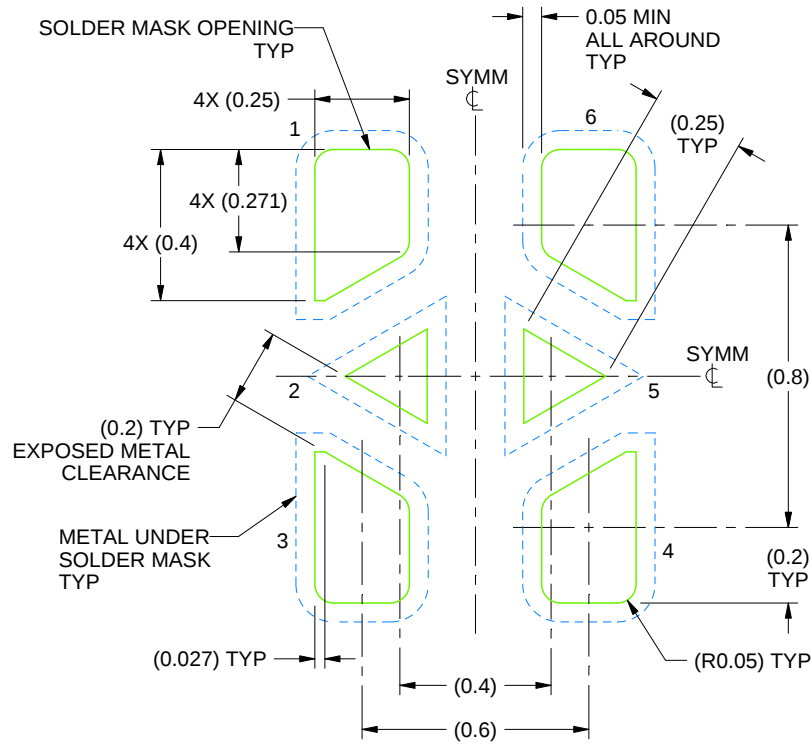
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.
4. The size and shape of this feature may vary.
5. Features may not exist. Recommend use of pin 1 marking on top of package for orientation purposes.

EXAMPLE BOARD LAYOUT

DTQ0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:50X

4224056/B 07/2024

NOTES: (continued)

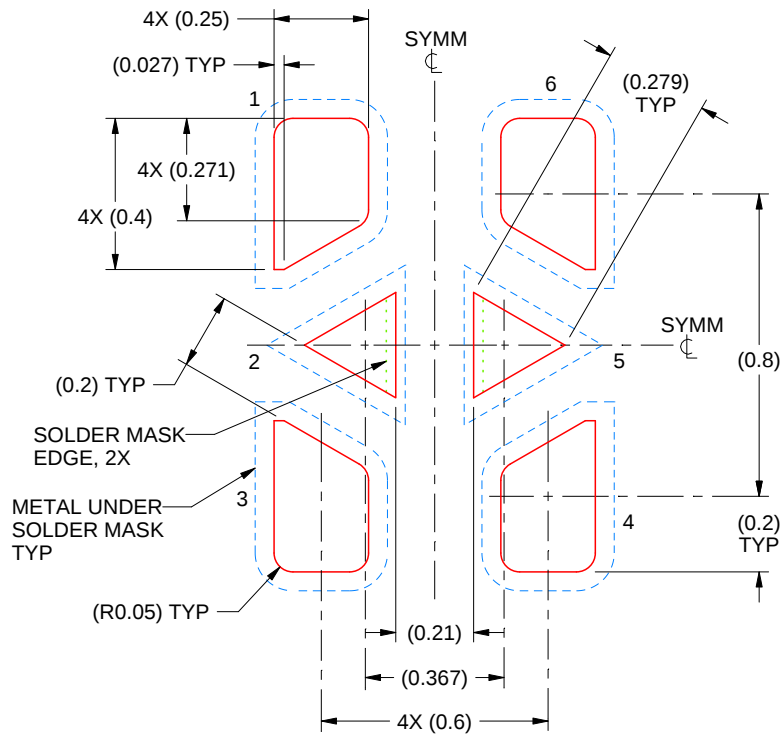
- This package is designed to be soldered to a thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

DTQ0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.07 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:50X

4224056/B 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月