

LM5125-Q1 具有 V_{OUT} 跟踪的宽 VIN、双相、汽车级升压控制器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
 - 温度等级 1 : $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$
- 功能安全型
 - 可提供用于功能安全系统设计的文档
- 4.5V 至 42V 输入电压
 - $V_{BIAS} \geq 4.5\text{V}$ 或 $V_{OUT} \geq 6\text{V}$ 时, 最小值为 2.5V
- 6V 至 60V 输出电压
 - 2% 精度的内部反馈电阻器
 - $V_I > V_{OUT}$ 时进行旁路操作
 - 输出电压动态跟踪
 - 数字 PWM 跟踪 (DTRK)
 - 模拟跟踪 (ATRK)
 - 过压保护 (64V、50V、35V、28.5V)
- 低关断 I_Q , 2 μA 典型值 (5 μA 最大值)
- 低工作 I_Q , 1.4mA 典型值 (2mA 最大值)
- 通过交错式多相运行实现堆叠
 - 多达四相, 无需外部时钟
- 开关频率范围为 100kHz 至 2.2MHz
 - 与外部时钟频率同步 (SYNCIN)
 - 动态可选开关模式 (FPWM、二极管仿真)
 - 展频 (DRSS)
- 可选死区时间 (18ns 至 200ns)
- 电流感应电阻器或 DCR 检测
- 平均电感器电流监测
- 平均输入电流限制
 - 可编程电流限制
 - 可选延迟时间
- 电源正常状态指示器
- 可编程 V_I 欠压锁定 (UVLO)
- 具有可湿性侧面的无引线 VQFN-32 封装

2 应用

- 高端音频电源
- 稳压器模块
- 启停应用

3 说明

LM5125-Q1 是一款可堆叠多相同步升压控制器。该器件在输入电压低于或等于输出电压时提供稳定的输出减压, 并支持 V_I 至 V_{OUT} 旁路模式以节省功耗。两个器件可以堆叠在一起, 既可以使用外部时钟, 也可以不使用外部时钟。

V_{OUT} 可以使用数字或模拟 ATRK/DTRK 功能进行动态编程。当 $V_{BIAS} < 4.5\text{V}$ 时, 内部 VCC 电源会自动从 V_{BIAS} 切换到 V_{OUT} , 因此启动后 V_I 可以低至 2.5V。通过 RT 引脚上的电阻器或 SYNCIN 时钟, 可在 100kHz 和 2.2MHz 之间设置固定开关频率。开关模式、FPWM 或二极管仿真可以在运行期间更改。

实现的保护峰值电流限制、平均输入电流限制、平均电感器电流监测、过压和欠压保护或热关断可以保护器件和应用。

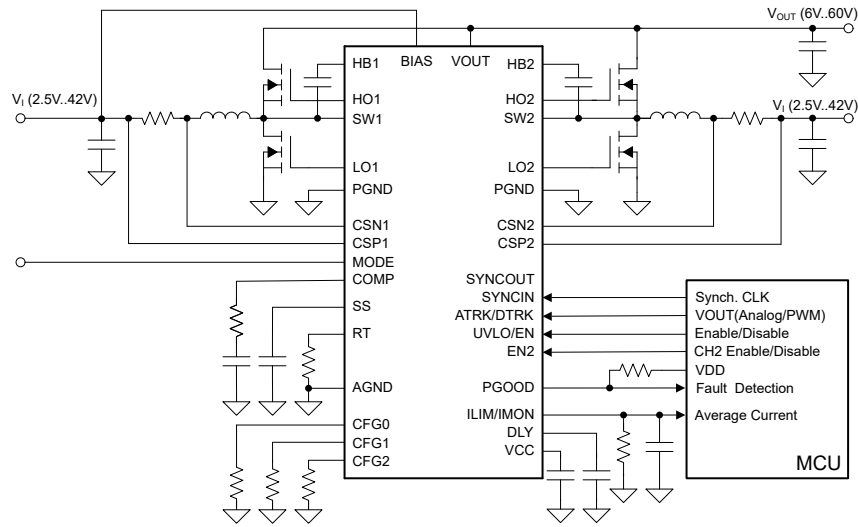
封装信息

| 器件型号 | 封装 ⁽¹⁾ | 封装尺寸 ⁽²⁾ |
|-----------|-------------------|---------------------|
| LM5125-Q1 | RHB (VQFN , 32) | 5mm × 5mm |

(1) 有关更多信息, 请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。





典型应用

ADVANCE INFORMATION

内容

| | | | |
|------------------------|-----------|-----------------------------|-----------|
| 1 特性 | 1 | 7 应用和实施 | 30 |
| 2 应用 | 1 | 7.1 应用信息..... | 30 |
| 3 说明 | 1 | 7.2 典型应用..... | 31 |
| 4 引脚配置和功能 | 4 | 7.3 电源相关建议..... | 47 |
| 5 规格 | 6 | 7.4 布局..... | 47 |
| 5.1 绝对最大额定值..... | 6 | 8 器件和文档支持 | 50 |
| 5.2 ESD 等级..... | 6 | 8.1 文档支持..... | 50 |
| 5.3 建议运行条件..... | 7 | 8.2 接收文档更新通知..... | 50 |
| 5.4 热性能信息..... | 7 | 8.3 支持资源..... | 50 |
| 5.5 电气特性..... | 7 | 8.4 商标..... | 50 |
| 5.6 时序要求..... | 12 | 8.5 静电放电警告..... | 50 |
| 6 详细说明 | 13 | 8.6 术语表..... | 50 |
| 6.1 概述..... | 13 | 9 修订历史记录 | 50 |
| 6.2 功能方框图..... | 14 | 10 机械、封装和可订购信息 | 50 |
| 6.3 特性说明..... | 15 | 10.1 卷带包装信息..... | 51 |
| 6.4 器件功能模式..... | 29 | | |

4 引脚配置和功能

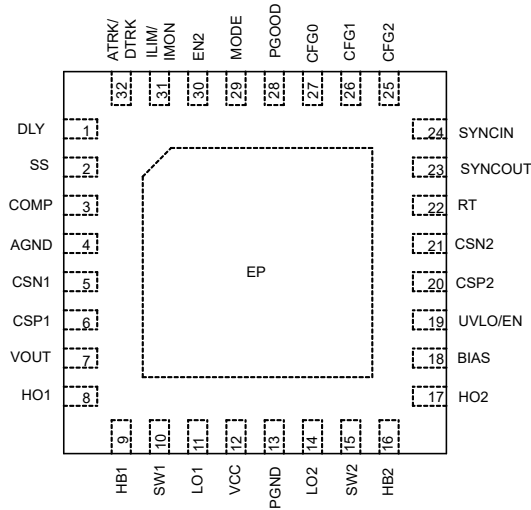


图 4-1. LM5125-Q1 RHB 封装、VQFN 32 引脚 (顶视图)

表 4-1. 引脚功能

| 引脚 | | 类型 ⁽¹⁾ | 说明 |
|------|----|-------------------|--|
| 名称 | 编号 | | |
| DLY | 1 | O | 平均输入电流限制延迟设置引脚。DLY 和 AGND 之间的电容器用于设置从 V_{IMON} 达到 1V 到启用平均输入电流限制之间的延迟。 |
| SS | 2 | O | 软启动时间编程引脚。一个外部电容器和一个内部电流源用于设置软启动期间内部误差放大器基准的斜升速率。该器件会在软启动期间强制进行二极管仿真。 |
| COMP | 3 | O | 内部跨导误差放大器的输出。在引脚和 AGND 之间连接环路补偿元件。 |
| AGND | 4 | G | 模拟地引脚。通过一条宽而短的路径连接到模拟接地层。 |
| CSN1 | 5 | I | 相位 1 的电流检测放大器输入引脚。该引脚用作负输入引脚。 |
| CSP1 | 6 | I | 相位 1 的电流检测放大器输入引脚。该引脚用作正输入引脚。输入电压内部欠压锁定的输入。 |
| VOUT | 7 | I | 输出电压检测引脚。内部反馈电阻分压器从该引脚连接到 AGND。在该引脚与接地之间连接一个 $0.1 \mu\text{F}$ 本地 VOUT 电容器。 |
| HO1 | 8 | O | 相位 1 的高侧栅极驱动器输出。通过一条短的低电感路径直接连接到高侧 N 沟道 MOSFET 的栅极。 |
| HB1 | 9 | P | 用于相位 1 自举栅极驱动的高边驱动器电源。自举二极管在内部从 VCC 连接到该引脚。在该引脚和 SW1 之间连接一个 $0.1 \mu\text{F}$ 电容器。 |
| SW1 | 10 | P | 相位 1 的开关节点连接。直接连接到相位 1 高侧 N 沟道 MOSFET 的源极。 |
| LO1 | 11 | O | 相位 1 的低侧栅极驱动器输出。通过一条短的低电感路径直接连接到低侧 N 沟道 MOSFET 的栅极。 |
| VCC | 12 | P | 内部 VCC 稳压器的输出和内部 MOSFET 驱动器的电源电压输入。在该引脚和 PGND 之间连接一个 $10 \mu\text{F}$ 电容器。 |
| PGND | 13 | G | 用于低侧栅极驱动器和 VCC 辅助电源的电源接地连接引脚。 |
| LO2 | 14 | O | 相位 2 的低侧栅极驱动器输出。通过一条短的低电感路径直接连接到低侧 N 沟道 MOSFET 的栅极。 |
| SW2 | 15 | P | 相位 2 的开关节点连接。直接连接到相位 2 高侧 N 沟道 MOSFET 的源极。 |
| HB2 | 16 | P | 用于相位 2 自举栅极驱动的高边驱动器电源。自举二极管在内部从 VCC 连接到该引脚。在该引脚和 SW2 之间连接一个 $0.1 \mu\text{F}$ 电容器。 |
| HO2 | 17 | O | 相位 2 的高侧栅极驱动器输出。通过一条短的低电感路径直接连接到高侧 N 沟道 MOSFET 的栅极。 |

表 4-1. 引脚功能 (续)

| 引脚 | | 类型 ⁽¹⁾ | 说明 |
|-----------|----|-------------------|---|
| 名称 | 编号 | | |
| BIAS | 18 | P | VCC 稳压器的电源电压输入。在该引脚与接地之间连接一个 1 μF 本地 BIAS 电容器。 |
| UVLO/EN | 19 | I | 欠压锁定编程引脚。通过电阻分压器将该引脚连接到电源电压，可以对转换器的启动和关断电平进行编程。如果大于 V _{UVLO-RISING} ，则使能相位 1。 |
| CSP2 | 20 | I | 相位 2 的电流检测放大器输入引脚。该引脚用作正输入引脚。 |
| CSN2 | 21 | I | 相位 2 的电流检测放大器输入引脚。该引脚用作负输入引脚。 |
| RT | 22 | O | 开关频率设置引脚。通过该引脚和 AGND 之间的单个电阻对开关频率进行编程。开关频率可在工作期间进行动态编程。 |
| SYNCOUT | 23 | O | 时钟输出引脚。SYNCOUT 提供相移时钟输出，该输出由 CFG2 引脚设置。SYNCOUT 引脚在不使用时可保持悬空。 |
| SYNCIN | 24 | I | 外部时钟同步引脚。外部时钟的输入，用于覆盖自由运行内部振荡器。不使用时，将 SYNCIN 引脚接地。 |
| CFG2 | 25 | I/O | 器件配置引脚。设置器件是否配置为单器件、主器件或辅助器件，并使用内部或外部时钟以及过压保护电平。 |
| CFG1 | 26 | I | 器件配置引脚。设置过压保护电平、展频模式、PGOOD 配置和 120% 峰值电流限制闭锁。 |
| CFG0 | 27 | I | 器件配置引脚。设置死区时间并启用 20 μA ATRK 电流。 |
| PGOOD | 28 | O | 具有开漏输出级的电源正常状态指示器。根据 CFG1 引脚的设置，当输出电压低于欠压阈值或高于过压阈值时，该引脚会被拉低。该引脚也会被拉低，用于指示故障状态（请参阅 电源正常状态指示器 (PGOOD 引脚) ）。该引脚可以在不使用时保持悬空。 |
| MODE | 29 | I | 选择 DEM 或 FPWM 的运行模式选择引脚。 |
| EN2 | 30 | I | 相位 2 的使能引脚。 |
| ILIM/IMON | 31 | O | 输入电流监测器和平均输入电流限制设置引脚。提供与相位 1 和相位 2 差分电流检测电压成比例的电流。在该引脚和 AGND 之间连接一个电阻器。 |
| ATRK/DTRK | 32 | I | 输出调节目标编程引脚。可通过以下方法对输出电压稳压目标进行编程：将该引脚通过电阻器连接到 AGND，或者通过使用该引脚在建议工作范围 (0.2V 至 2.0V) 内的电压直接控制引脚电压。占空比介于 8% 至 80% 之间的数字 PWM 信号会将输出电压调节设置在建议的工作范围内。 |
| EP | - | G | 封装的裸露焊盘。外露焊盘必须连接到 AGND 和大接地平面，以降低热阻。 |

(1) I = 输入, O = 输出, I/O = 输入或输出, G = 接地, P = 电源。

5 规格

5.1 绝对最大额定值

在建议的工作结温范围内测得（除非另有说明）⁽¹⁾

| | | 最小值 | 最大值 | 单位 |
|----------------------------|---|------|--------------------|----|
| 输入 ⁽²⁾ | BIAS 至 AGND | -0.3 | 50 | V |
| | UVLO/EN 至 AGND | -0.3 | BIAS + 0.3 | |
| | CSPx 至 AGND | -0.3 | 50 | |
| | CSPx 至 CSNx | -0.3 | 0.3 | |
| | VOOUT 至 AGND | -0.3 | 65 | |
| | HBx 至 AGND | -0.3 | 71 | |
| | HBx 至 SWx | -0.3 | 5.8 ⁽³⁾ | |
| | SWx 至 AGND | -0.3 | 65 | |
| | SWx 至 AGND (100ns) | -5 | | |
| | CFG1、CFG2、SYNCIN、ATRK/DTRK、DLY、MODE、EN2、CFG0 至 AGND | -0.3 | 5.5 | |
| | RT 至 AGND | -0.3 | 2.5 | |
| | PGND 至 AGND | -0.3 | 0.3 | |
| 输出 ⁽²⁾ | VCC 到 AGND | -0.3 | 5.8 ⁽³⁾ | V |
| | HOx 至 SWx (50ns) | -1 | | |
| | LOx 至 AGND (50ns) | -1 | | |
| | PGOOD、SYNCOUT、SS、COMP、ILIM/IMON 至 AGND | -0.3 | 5.5 | |
| 工作结温, T_J ⁽⁴⁾ | | -40 | 150 | °C |
| 贮存温度, T_{STG} | | -55 | 150 | |

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) 不允许直接向 CFG0、CFG1、CFG2、COMP、SS、RT、LOx、HOx 引脚施加外部电压。

(3) 当引脚电压大于 5.5V 时，工作寿命会缩短。

(4) 高结温会缩短工作寿命。结温高于 125°C 时，工作寿命会缩短。

5.2 ESD 等级

| | | | 值 | 单位 |
|-------------|------|---|-------|----|
| $V_{(ESD)}$ | 静电放电 | 人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾ | ±2000 | V |
| | | 充电器件模型 (CDM), 符合 AEC Q100-011 标准 | ±500 | |
| | | | ±750 | |

(1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在建议的工作结温范围内测得 (除非另有说明) ⁽¹⁾

| | | 最小值 | 标称值 | 最大值 | 单位 |
|--|--|-----|-----|---------------------|-----|
| V_I | 升压控制器输入电压 (当 $BIAS \geq 4.5V$ 或 $V_{OUT} \geq 6V$ 时) | 2.5 | | 42 | V |
| V_{OUT} | 升压控制器输出电压 | 6 | | 60 | V |
| V_{BIAS} | BIAS 输入电压 | 4.5 | | 42 | V |
| $V_{UVLO/EN}$ | UVLO/EN 输入电压 | 0 | | 42 | V |
| V_{EN2} | EN2 输入电压 | 0 | | 5.25 | V |
| V_{MODE} | MODE 输入电压 | 0 | | 5.25 | V |
| V_{CSP1} 、 V_{CSN1} 、 V_{CSP2} 、 V_{CSN2} | 电流检测输入电压 | 2.5 | | 42 | V |
| V_{ATRK} | ATRK 输入电压 | 0.2 | | 2 | V |
| V_{DTRK} | DTRK 输入电压 | 0 | | 5.25 | V |
| V_{DLY} | DLY 电压 | 0 | | 5.25 | V |
| V_{PGOOD} | PGOOD 电压 | 0 | | 5.25 | V |
| $V_{ILIM/IMON}$ | ILIM/IMON 电压 | 0 | | 5.25 | V |
| V_{SYNCIN} | 同步脉冲输入电压 | 0 | | 5.25 | V |
| f_{SW} | 开关频率范围 | 100 | | 2200 ⁽²⁾ | kHz |
| f_{SYNCIN} | 同步脉冲频率范围 | 100 | | 2200 ⁽²⁾ | kHz |
| f_{DTRK} | DTRK 频率范围 | 100 | | 2200 | kHz |
| T_J | 工作结温 | -40 | | 150 ⁽³⁾ | °C |

- (1) 运行额定值是指器件预期正常工作的条件。有关规格和测试条件, 请参阅电气特性
 (2) 最大开关频率由 R_{RT} 编程。该器件支持高达 2200kHz 的开关频率。
 (3) 高结温会缩短工作寿命。结温高于 125°C 时, 工作寿命会缩短。

5.4 热性能信息

| 热指标 ⁽¹⁾ | | LM5125-Q1 | 单位 |
|--------------------|--------------|-----------|------|
| | | RHB(VQFN) | |
| | | 32 引脚 | |
| R_{qJA} | 结至环境热阻 | 33.9 | °C/W |
| $R_{qJC(top)}$ | 结至外壳 (顶部) 热阻 | 24.8 | °C/W |
| R_{qJB} | 结至电路板热阻 | 14.1 | °C/W |
| γ_{JT} | 结至顶部特征参数 | 0.4 | °C/W |
| γ_{JB} | 结至电路板特征参数 | 14.0 | °C/W |
| $R_{qJC(bot)}$ | 结至外壳 (底部) 热阻 | 4.3 | °C/W |

- (1) 有关新旧热指标的更多信息, 请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

典型值对应于 $T_J = 25^\circ\text{C}$ 。最小值和最大值限值适用于 $T_J = -40^\circ\text{C}$ 至 150°C 的温度范围。除非另有说明, 否则 $V_I = V_{BIAS} = 12V$, $V_{OUT} = 24V$, $R_T = 14k\Omega$

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-----------------------------|--|--|-----|-----|---------------|
| 电源电流 (BIAS、VCC、VOUT) | | | | | |
| I_{SD} | 关断状态下的 V_I 电流 (BIAS 连接到 V_I)。流入 BIAS、CSP1、CSN1、CSP2、CSN2、SW1、SW2 的电流。 | $V_{EN/UVLO} = 0V$, $V_{OUT} = 12V$, $T_J = -40^\circ\text{C}$ 至 125°C | 2 | 5 | μA |
| I_{SD_BIAS} | 关断状态下的 BIAS 引脚电流 | $V_{EN/UVLO} = 0V$, $V_{OUT} = 12V$, $T_J = -40^\circ\text{C}$ 至 125°C | 2 | 5 | μA |

5.5 电气特性 (续)

典型值对应于 $T_J = 25^\circ\text{C}$ 。最小值和最大值限值适用于 $T_J = -40^\circ\text{C}$ 至 150°C 的温度范围。除非另有说明，否则 $V_I = V_{\text{BIAS}} = 12\text{V}$ ， $V_{\text{OUT}} = 24\text{V}$ ， $R_T = 14\text{k}\Omega$

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 | |
|-------------------------------|---|---|-----|-------|------|---------------|------------------|
| $I_{\text{SD_VOUT}}$ | 关断状态下的 VOUT 引脚电流 | $V_{\text{EN/UVLO}} = 0\text{V}$ ， $V_{\text{OUT}} = 12\text{V}$ ， $T_J = -40^\circ\text{C}$ 至 125°C | | 0.001 | 0.5 | μA | |
| $I_{\text{Q_BIAS_FPWM}}$ | 活动状态下的 BIAS 引脚静态电流，FPWM 模式，内部时钟 (不包括无开关、RT 和 IMON 电流) | 单相， $V_{\text{EN/UVLO}} = 2.0\text{V}$ ， $V_{\text{EN2}} = 0\text{V}$ ， $V_{\text{CFG2}} = 0\text{V}$ ， $V_{\text{ATRK}} = 0.667\text{V}$ ， $T_J = -40^\circ\text{C}$ 至 125°C | | 1 | 1.5 | mA | |
| | | 两相， $V_{\text{EN/UVLO}} = 2.0\text{V}$ ， $V_{\text{EN2}} = 2\text{V}$ ， $V_{\text{CFG2}} = 0\text{V}$ ， $V_{\text{ATRK}} = 0.667\text{V}$ ， $T_J = -40^\circ\text{C}$ 至 125°C | | 1.4 | 2 | mA | |
| $I_{\text{Q_BIAS_DEM}}$ | 活动状态下的 BIAS 引脚静态电流，DEM 模式，内部时钟 (不包括无开关、RT 和 IMON 电流) | 单相， $V_{\text{EN/UVLO}} = 2.0\text{V}$ ， $V_{\text{EN2}} = 0\text{V}$ ， $V_{\text{CFG2}} = 0\text{V}$ ， $V_{\text{ATRK}} = 0.667\text{V}$ ， $T_J = -40^\circ\text{C}$ 至 125°C | | 1 | 1.5 | mA | |
| | | 两相， $V_{\text{EN/UVLO}} = 2.0\text{V}$ ， $V_{\text{EN2}} = 2\text{V}$ ， $V_{\text{CFG2}} = 0\text{V}$ ， $V_{\text{ATRK}} = 0.667\text{V}$ ， $T_J = -40^\circ\text{C}$ 至 125°C | | 1.6 | 2 | mA | |
| $I_{\text{Q_VOUT_FPWM}}$ | 活动状态下的 VOUT 引脚静态电流，FPWM 模式，内部时钟 (无开关) | 两相， $V_{\text{EN/UVLO}} = 2.0\text{V}$ ， $V_{\text{EN2}} = 2\text{V}$ ， $V_{\text{CFG2}} = 0\text{V}$ ， $V_{\text{ATRK}} = 0.667\text{V}$ ， $T_J = -40^\circ\text{C}$ 至 125°C | | 250 | 300 | μA | |
| $I_{\text{Q_BIAS_BYP}}$ | 旁路状态下的 BIAS 引脚电流 (不包括 RT 和 IMON 电流) | 单相， $V_{\text{EN/UVLO}} = 2.0\text{V}$ ， $V_{\text{EN2}} = 0\text{V}$ ， $V_{\text{CFG2}} = 0\text{V}$ ， $V_{\text{OUT}} = 12\text{V}$ ， $T_J = -40^\circ\text{C}$ 至 125°C | | 1 | 1.5 | mA | |
| | | 两相， $V_{\text{EN/UVLO}} = 2.0\text{V}$ ， $V_{\text{EN2}} = 2\text{V}$ ， $V_{\text{CFG2}} = 0\text{V}$ ， $V_{\text{OUT}} = 12\text{V}$ ， $T_J = -40^\circ\text{C}$ 至 125°C | | 1.5 | 2.0 | mA | |
| $I_{\text{Q_VOUT_BYP}}$ | 旁路状态下的 VOUT 引脚电流 | 两相， $V_{\text{EN/UVLO}} = 2.0\text{V}$ ， $V_{\text{EN2}} = 2\text{V}$ ， $V_{\text{CFG2}} = 0\text{V}$ ， $V_{\text{OUT}} = 12\text{V}$ ， $T_J = -40^\circ\text{C}$ 至 125°C ，HO 与 SW 之间没有电阻器。 | | 280 | 330 | μA | |
| I_{BIAS} | BIAS 引脚偏置电流 | $V_{\text{BIAS}} = 12\text{V}$ ， $I_{\text{VCC}} = 200\text{mA}$ | | 200 | 210 | mA | |
| I_{VOUT} | VCC 由 VOUT 供电时的 VOUT 引脚偏置电流 | $V_{\text{BIAS}} = 3.3\text{V}$ ， $I_{\text{VCC}} = 200\text{mA}$ | | 200 | 210 | mA | |
| VCC 稳压器 (VCC) | | | | | | | |
| $V_{\text{BIAS-RISING}}$ | 将 VCC 电源从 VOUT 引脚切换到 BIAS 引脚的阈值 | V_{BIAS} 上升 | | 4.25 | 4.35 | 4.45 | V |
| $V_{\text{BIAS-FALLING}}$ | 将 VCC 电源从 BIAS 引脚切换到 VOUT 引脚的阈值 | V_{BIAS} 下降 | | 4.1 | 4.2 | 4.3 | V |
| $V_{\text{BIAS-HYS}}$ | VCC 电源阈值迟滞 | | | 100 | 150 | | mV |
| $V_{\text{VCC-REG1}}$ | VCC 调节 | 无负载 | | 4.75 | 5 | 5.25 | V |
| $V_{\text{VCC-REG2}}$ | 压降期间的 VCC 稳压 | $V_{\text{BIAS}} = 4.5\text{V}$ ， $I_{\text{VCC}} = 110\text{mA}$ | | 4 | 4.3 | | V |
| $V_{\text{VCC-UVLO-RISING}}$ | VCC UVLO 阈值 | VCC 上升 | | 3.4 | 3.5 | 3.6 | V |
| $V_{\text{VCC-UVLO-FALLING}}$ | VCC UVLO 阈值 | VCC 下降 | | 3.2 | 3.3 | 3.4 | V |
| $V_{\text{VCC-UVLO-HYS}}$ | VCC UVLO 阈值迟滞 | VCC 下降 | | | 215 | | mV |
| $I_{\text{VCC-CL}}$ | VCC 拉电流限值 | $V_{\text{VCC}} = 4\text{V}$ | | 200 | | | mA |
| 使能 (EN/UVLO) | | | | | | | |
| $V_{\text{EN-RISING}}$ | 启用阈值 | EN 上升 | | 0.50 | 0.55 | 0.6 | V |
| $V_{\text{EN-FALLING}}$ | 启用阈值 | EN 下降 | | 0.40 | 0.45 | 0.50 | V |
| $V_{\text{EN-HYS}}$ | 使能迟滞 | EN 下降 | | | 100 | | mV |
| R_{EN} | EN 下拉电阻 | $V_{\text{EN}} = 0.2\text{V}$ | | 30 | 37 | 50 | $\text{k}\Omega$ |

5.5 电气特性 (续)

典型值对应于 $T_J = 25^\circ\text{C}$ 。最小值和最大值限值适用于 $T_J = -40^\circ\text{C}$ 至 150°C 的温度范围。除非另有说明，否则 $V_I = V_{\text{BIAS}} = 12\text{V}$ ， $V_{\text{OUT}} = 24\text{V}$ ， $R_T = 14\text{k}\Omega$

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|----------------------------|-----------------|---|-------|-------|-------|------------------|
| $V_{\text{UVLO-RISING}}$ | UVLO 阈值 | UVLO 上升 | 1.05 | 1.1 | 1.15 | V |
| $V_{\text{UVLO-FALLING}}$ | UVLO 阈值 | UVLO 下降 | 1.025 | 1.075 | 1.125 | V |
| $V_{\text{UVLO-HYS}}$ | UVLO 迟滞 | UVLO 下降 | | 25 | | mV |
| $I_{\text{UVLO-HYS}}$ | UVLO 下拉迟滞电流 | $V_{\text{UVLO}} = 0.7\text{V}$ | 9 | 10 | 11 | μA |
| $I_{\text{UVLO/EN}}$ | UVLO/EN 引脚偏置电流 | $V_{\text{UVLO/EN}} = 0.3\text{V}$ ，下拉电阻器 = 有效。 | | 8 | 11 | μA |
| | | $V_{\text{UVLO/EN}} = 0.7\text{V}$ ， $10\mu\text{A}$ 电流 = 有效。 | 9 | 10 | 11 | μA |
| | | $V_{\text{UVLO/EN}} = 3.3\text{V}$ | | | 1 | μA |
| CH2 ENABLE (EN2) | | | | | | |
| $V_{\text{EN2_H}}$ | 使能 2 高电平输入电压 | EN2 上升 | 1.19 | | 5.25 | V |
| $V_{\text{EN2_L}}$ | 使能 2 低电平输入电压 | EN2 下降 | -0.3 | | 0.41 | V |
| I_{EN2} | 使能 2 偏置电流 | EN1 = EN2 = 3.3V | | 0.01 | 1 | μA |
| 配置 (CFG0、CFG1、CFG2) | | | | | | |
| R_{CFGx_1} | 1 级电阻 | | | 0 | 0.1 | $\text{k}\Omega$ |
| R_{CFGx_2} | 2 级电阻 | | 0.48 | 0.51 | 0.54 | $\text{k}\Omega$ |
| R_{CFGx_3} | 3 级电阻 | | 1 | 1.15 | 1.3 | $\text{k}\Omega$ |
| R_{CFGx_4} | 4 级电阻 | | 1.81 | 1.9 | 2.00 | $\text{k}\Omega$ |
| R_{CFGx_5} | 5 级电阻 | | 2.57 | 2.7 | 2.84 | $\text{k}\Omega$ |
| R_{CFGx_6} | 6 级电阻 | | 3.61 | 3.8 | 3.99 | $\text{k}\Omega$ |
| R_{CFGx_7} | 7 级电阻 | | 4.85 | 5.1 | 5.36 | $\text{k}\Omega$ |
| R_{CFGx_8} | 8 级电阻 | | 6.18 | 6.5 | 6.83 | $\text{k}\Omega$ |
| R_{CFGx_9} | 9 级电阻 | | 7.89 | 8.3 | 8.72 | $\text{k}\Omega$ |
| $R_{\text{CFGx}_{10}}$ | 10 级电阻 | | 9.98 | 10.5 | 11.03 | $\text{k}\Omega$ |
| $R_{\text{CFGx}_{11}}$ | 11 级电阻 | | 12.64 | 13.3 | 13.97 | $\text{k}\Omega$ |
| $R_{\text{CFGx}_{12}}$ | 12 级电阻 | | 15.39 | 16.2 | 17.01 | $\text{k}\Omega$ |
| $R_{\text{CFGx}_{13}}$ | 13 级电阻 | | 19.48 | 20.5 | 21.53 | $\text{k}\Omega$ |
| $R_{\text{CFGx}_{14}}$ | 14 级电阻 | | 23.66 | 24.9 | 26.15 | $\text{k}\Omega$ |
| $R_{\text{CFGx}_{15}}$ | 15 级电阻 | | 28.60 | 30.1 | 31.61 | $\text{k}\Omega$ |
| $R_{\text{CFGx}_{16}}$ | 16 级电阻 | | 34.68 | 36.5 | 38.33 | $\text{k}\Omega$ |
| 开关频率 | | | | | | |
| V_{RT} | RT 调节 | | 0.7 | 0.75 | 0.8 | V |
| f_{SW1} | 开关频率 | $R_T = 316\text{k}\Omega$ | 85 | 100 | 115 | kHz |
| f_{SW2} | 开关频率 | $R_T = 14\text{k}\Omega$ | 1980 | 2200 | 2420 | kHz |
| $t_{\text{ON-MIN}}$ | 最短可控导通时间 | $R_T = 14\text{k}\Omega$ | 14 | 20 | 50 | ns |
| $t_{\text{OFF-MIN}}$ | 最短强制关断时间 | $R_T = 14\text{k}\Omega$ | 60 | 80 | 100 | ns |
| D_{MAX1} | 最大占空比限制 | $R_T = 316\text{k}\Omega$ | 98.9% | 99.2% | 99.5% | |
| D_{MAX2} | 最大占空比限制 | $R_T = 14\text{k}\Omega$ | 75% | 82% | 89% | |
| 同步 (SYNCIN) | | | | | | |
| | SYNCIN 频率活动检测阈值 | 展频 = 关闭 | 0 | | 50 | kHz |
| | SYNCIN 活动检测周期 | | | 3 | | 周期 |

5.5 电气特性 (续)

典型值对应于 $T_J = 25^\circ\text{C}$ 。最小值和最大值限值适用于 $T_J = -40^\circ\text{C}$ 至 150°C 的温度范围。除非另有说明，否则 $V_I = V_{\text{BIAS}} = 12\text{V}$ ， $V_{\text{OUT}} = 24\text{V}$ ， $R_T = 14\text{k}\Omega$

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|--|----------------------------------|--|------------------------------------|------|---------------|---------------|
| f_{SYNC} | 同步期间，频率范围从 RT 设定的频率开始同步 | 单器件 | 与外部时钟同步的频率最小值为 100kHz，最大值为 2200kHz | | -50% | 50% |
| | | 双器件 | -25% | 25% | | |
| $V_{\text{SYNCIN_H}}$ | SYNCIN 高电平输入电压 | SYNCIN 上升 | 1.19 | 5.25 | V | |
| $V_{\text{SYNCIN_L}}$ | SYNCIN 低电平输入电压 | SYNCIN 下降 | -0.3 | 0.41 | V | |
| I_{SYNCIN} | SYNCIN 偏置电流 | SYNCIN = 3.3V | 0.01 | 1 | μA | |
| | 最小 SYNCIN 上拉/下拉脉冲宽度 | | 135 | | ns | |
| VOUT 编程 (ATRK/DTRK) | | | | | | |
| $V_{\text{OUT_REG}}$ | 使用 ATRK 电压调节的 V_{OUT} | ATRK = 0.2V | 5.88 | 6 | 6.12 | V |
| | | ATRK = 0.4V | 11.82 | 12 | 12.18 | V |
| | | ATRK = 0.8V | 23.64 | 24 | 24.36 | V |
| | | ATRK = 1.6V | 47.28 | 48 | 48.72 | V |
| | | ATRK = 2V | 59.10 | 60 | 60.90 | V |
| G_{DTRK} | DTRK 占空比与 V_{ATRK} 的转换比 | $F_{\text{DTRK}} = 100\text{kHz}$ 、 2200kHz | 25 | | mV/% | |
| | DTRK 占空比范围 | | 8% | 80% | | |
| V_{ATRK} | 给定 DTRK 占空比下的 ATRK 电压 | $f_{\text{DTRK}} = 100\text{kHz}$ ，DC = 8% | 0.196 | 0.2 | 0.204 | V |
| | | $f_{\text{DTRK}} = 100\text{kHz}$ ，DC = 40% | 0.99 | 1 | 1.01 | V |
| | | $f_{\text{DTRK}} = 100\text{kHz}$ ，DC = 80% | 1.98 | 2 | 2.02 | V |
| | | $f_{\text{DTRK}} = 440\text{kHz}$ ，DC = 8% | 0.196 | 0.2 | 0.204 | V |
| | | $f_{\text{DTRK}} = 440\text{kHz}$ ，DC = 40% | 0.99 | 1 | 1.01 | V |
| | | $f_{\text{DTRK}} = 440\text{kHz}$ ，DC = 80% | 1.98 | 2 | 2.02 | V |
| | | $f_{\text{DTRK}} = 2200\text{kHz}$ ，DC = 8% | 0.19 | 0.2 | 0.21 | V |
| | | $f_{\text{DTRK}} = 2200\text{kHz}$ ，DC = 40% | 0.98 | 1 | 1.02 | V |
| $f_{\text{DTRK}} = 2200\text{kHz}$ ，DC = 80% | 1.98 | 2 | 2.02 | V | | |
| $V_{\text{DTRK_H}}$ | DTRK 高电平输入电压 | DTRK 上升 | 1.19 | 5.25 | V | |
| $V_{\text{DTRK_L}}$ | DTRK 低电平输入电压 | DTRK 下降 | -0.3 | 0.41 | V | |
| I_{ATRK} | 通过 CFG0 激活时的拉电流 | | 19.8 | 20 | 20.2 | μA |
| $I_{\text{ATRK/DTRK}}$ | ATRK/DTRK 引脚偏置电流 | 20 μA 电流被禁用， $V_{\text{ATRK/DTRK}} = 2\text{V}$ | 0.01 | 1 | μA | |
| | 最小 DTRK 上拉/下拉脉冲宽度 | | 25 | | ns | |
| 软启动 (SS) | | | | | | |
| I_{SS} | 软启动电流 | | 42.5 | 50 | 57.5 | μA |
| $V_{\text{SS-DONE}}$ | 软启动完成阈值 | | 2.15 | 2.2 | 2.25 | V |
| R_{SS} | SS 下拉开关 R_{DSON} | | 30 | 70 | Ω | |
| $V_{\text{SS-DIS}}$ | SS 放电检测阈值 | | 20 | 45 | 70 | mV |
| 电流检测 (CSPx、CSNx) | | | | | | |
| A_{CS} | 电流检测放大器增益 | $V_{\text{CSP}} = 2.5\text{V}$ | 10 | | V/V | |
| V_{CLTH} | 正峰值电流限制阈值 | 以 CS 输入为基准 | 54 | 60 | 66 | mV |
| V_{NCLTH} | 负峰值电流限制阈值 | 以 CS 输入为基准，FPWM 模式 | -33 | -30 | -27 | mV |
| V_{ICL} | 输入电流限制 | 以 CS 输入为基准 | 65 | 72 | 80 | mV |
| | 峰值电流限制跳变延迟 | | 50 | | ns | |
| V_{ZCD} | ZCD 阈值 (CSPx - CSNx) | CS 输入下降， $f_{\text{sw}} = 100\text{kHz}$ ，DEM | 0 | 1 | 2 | mV |

5.5 电气特性 (续)

典型值对应于 $T_J = 25^\circ\text{C}$ 。最小值和最大值限值适用于 $T_J = -40^\circ\text{C}$ 至 150°C 的温度范围。除非另有说明，否则 $V_I = V_{\text{BIAS}} = 12\text{V}$ ， $V_{\text{OUT}} = 24\text{V}$ ， $R_T = 14\text{k}\Omega$

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 | |
|-------------------------------------|----------------------------------|---|-----------------------------------|-------|---------------|------------------|---|
| $V_{\text{ZCD_BYP}}$ | 旁路模式下相位 1 的 ZCD 阈值 (CSP1 - CSN1) | | -4 | -2.5 | -1.5 | mV | |
| | 旁路模式下相位 2 的 ZCD 阈值 (CSP2 - CSN2) | | -4 | -2.5 | -1.5 | mV | |
| V_{SLOPE} | 峰值斜坡补偿振幅 | 以 CS 输入为基准， $f_{\text{SW}} = 100\text{kHz}$ | 40 | 48 | 55 | mV | |
| I_{CSNx} | CSNx 电流 | 器件处于待机状态， $V_I = V_{\text{BIAS}} = V_{\text{OUT}} = 12\text{V}$ | | | 1.2 | μA | |
| I_{CSPx} | CSPx 电流 | | 150 | 170 | μA | | |
| $\Delta I_{\text{ph1_ph2}}$ | 峰值电感器电流不平衡 (相位 1 至相位 2) | $V_{\text{CL}} = 60\text{mV}$ | -10% | 0 | 10% | | |
| 具有延迟功能的电流监测器/限制器 (IMON/ILIM) | | | | | | | |
| G_{IMON} | 跨导增益 | | 0.283 | 0.333 | 0.383 | $\mu\text{A/mV}$ | |
| I_{OFFSET} | 失调电流 | | 3 | 4 | 5 | μA | |
| V_{ILIM} | ILIM 调节目标 | | 0.93 | 1 | 1.07 | V | |
| $V_{\text{ILIM_th}}$ | ILIM 激活阈值 | | | 1 | | V | |
| $V_{\text{ILIM_reset}}$ | DLY 复位阈值 | ILIM 下降 (以 V_{ILIM} 为基准) | 87% | 90% | 93% | | |
| I_{DLY} | DLY 拉/灌电流 | | | 5 | | μA | |
| $V_{\text{DLY_peak_rise}}$ | | V_{DLY} 上升 | | 2.6 | | V | |
| $V_{\text{DLY_peak_fall}}$ | | V_{DLY} 下降 | | 2.4 | | V | |
| $V_{\text{DLY_valley}}$ | | | | 0.2 | | V | |
| 运行模式 | | | | | | | |
| $V_{\text{MODE_H}}$ | MODE 引脚高电平 | FPWM | 1.19 | | 5.25 | V | |
| $V_{\text{MODE_L}}$ | MODE 引脚低电平 | DEM | -0.3 | | 0.41 | V | |
| I_{MODE} | MODE 引脚偏置电流 | MODE = 3.3V | | 0.01 | 1 | μA | |
| 过压/欠压监测器 | | | | | | | |
| $V_{\text{OVP-H}}$ | 过压阈值 | V_{OUT} 上升 (以误差放大器参考为基准) | 108% | 110% | 112% | | |
| $V_{\text{OVP-L}}$ | 过压阈值 | V_{OUT} 下降 (以误差放大器参考为基准) | 101% | 103% | 105% | | |
| $V_{\text{OVP_max-H}}$ | 过压阈值 | 64V | V_{OUT} 上升 (以误差放大器参考为基准) | 63 | 64 | 65 | V |
| | | 50V | | 49 | 50 | 51 | V |
| | | 35V | | 34 | 35 | 36 | V |
| | | 28.5V | | 27 | 28.5 | 30 | V |
| $V_{\text{OVP_max-L}}$ | 过压阈值 | 64V | V_{OUT} 下降 (以误差放大器参考为基准) | 62 | 63 | 64 | V |
| | | 50V | | 48 | 49 | 50 | V |
| | | 35V | | 33 | 34 | 35 | V |
| | | 28.5V | | 26 | 27.5 | 29 | V |
| $V_{\text{UVP-H}}$ | 欠压阈值 | V_{OUT} 上升 (以误差放大器参考为基准) | 91% | 93% | 95% | | |
| $V_{\text{UVP-L}}$ | 欠压阈值 | V_{OUT} 下降 (以误差放大器参考为基准) | 88% | 90% | 92% | | |
| PGOOD | | | | | | | |
| R_{PGOOD} | PGOOD 下拉开关 R_{DSON} | 1mA 灌电流 | | 90 | 180 | Ω | |
| | 有效 PGOOD 所需的最小 BIAS | | 2 | | | V | |
| MOSFET 驱动器 (HBx、HOx、SWx、LOx) | | | | | | | |

5.5 电气特性 (续)

典型值对应于 $T_J = 25^\circ\text{C}$ 。最小值和最大值限值适用于 $T_J = -40^\circ\text{C}$ 至 150°C 的温度范围。除非另有说明，否则 $V_I = V_{\text{BIAS}} = 12\text{V}$ ， $V_{\text{OUT}} = 24\text{V}$ ， $R_T = 14\text{k}\Omega$

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|--------------------------|---------------------|-------------------------|------|------|------|------------------|
| | 高电平状态导通电阻 (HO 驱动器) | 100mA 灌电流, HB - SW = 5V | | 1.1 | 2 | Ω |
| | 低电平状态导通电阻 (HO 驱动器) | 100mA 拉电流, HB - SW = 5V | | 0.6 | 1.2 | Ω |
| | 高电平状态导通电阻 (LO 驱动器) | 100mA 灌电流, VCC = 5V | | 1.1 | 2 | Ω |
| | 低电平状态导通电阻 (LO 驱动器) | 100mA 拉电流, VCC = 5V | | 0.7 | 1.4 | Ω |
| $V_{\text{HB-UVLO}}$ | HB-SW UVLO 阈值 | HB-SW 上升 | 2.85 | 3.05 | 3.25 | V |
| $V_{\text{HB-UVLO}}$ | HB-SW UVLO 阈值 | HB-SW 下降 | 2.6 | 2.8 | 3 | V |
| $V_{\text{HB-HYS}}$ | HB-SW UVLO 阈值迟滞 | | | 250 | | mV |
| $I_{\text{HB-SLEEP}}$ | 旁路模式下的 HB 静态电流 | HB-SW=5V | | 8 | 15 | μA |
| t_{DHL} | 从 HO 关断至 LO 导通死区时间 | CFG0 设置 = | | 18 | | ns |
| t_{DLH} | 从 LO 关断至 HO 导通死区时间 | | | 18 | | ns |
| I_{CP} | HBx 引脚上提供的 HB 电荷泵电流 | BIAS = 4.5V, VOUT = 6V | 55 | 75 | 100 | μA |
| 死区时间控制 | | | | | | |
| DT1 | 死区时间设置 1 | | | 18 | | ns |
| DT2 | 死区时间设置 2 | | | 30 | | ns |
| DT3 | 死区时间设置 3 | | | 50 | | ns |
| DT4 | 死区时间设置 4 | | | 75 | | ns |
| DT5 | 死区时间设置 5 | | | 100 | | ns |
| DT6 | 死区时间设置 6 | | | 125 | | ns |
| DT7 | 死区时间设置 7 | | | 150 | | ns |
| DT8 | 死区时间设置 8 | | | 200 | | ns |
| 热关断 (TSD) | | | | | | |
| $T_{\text{TSD-RISING}}$ | 热关断阈值 | 温度上升 | | 175 | | $^\circ\text{C}$ |
| $T_{\text{TSD-HYS}}$ | 热关断迟滞 | | | 15 | | $^\circ\text{C}$ |
| 时序 | | | | | | |
| STANDBY _{timer} | STANDBY 计时器 | | 130 | 150 | 170 | μs |

5.6 时序要求

在工作结温范围和推荐的电源电压范围内测得 (除非另有说明)

| | | | 最小值 | 标称值 | 最大值 | 单位 |
|---------------|---------------|--------------------------------|-----|-----|-----|---------------|
| 总体器件特性 | | | | | | |
| | 最短时间低电平 EN 切换 | EN 从 H 切换到 L 并从 L 切换到 H 所测得的时间 | | 1 | | μs |

6 详细说明

6.1 概述

LM5125-Q1 是一款具有宽输入范围的双相升压控制器。无论输入电压是等于还是低于调节后的输出电压，该器件均可提供稳定的输出电压。利用电阻器至数字 (R2D) 接口，用户可以简单而可靠地选择所有器件功能。

运行期间，可以通过引脚动态选择 DEM (二极管仿真模式) 和 FPWM (强制脉宽调制) 运行模式。峰值电流模式控制采用由 RT 引脚设定的固定开关频率运行。通过激活双随机展频运行模式，可以在设计过程的任何时间有效降低 EMI。

集成的平均电流监测器可帮助监测或限制输入电流。输出电压可在运行期间动态调整 (动态电压调节和包络跟踪)。既可通过更改 ATRK/DTRK 引脚的模拟基准电压进行调整，也可以通过在 ATRK/DTRK 引脚上施加 PWM 输入信号直接进行调整。

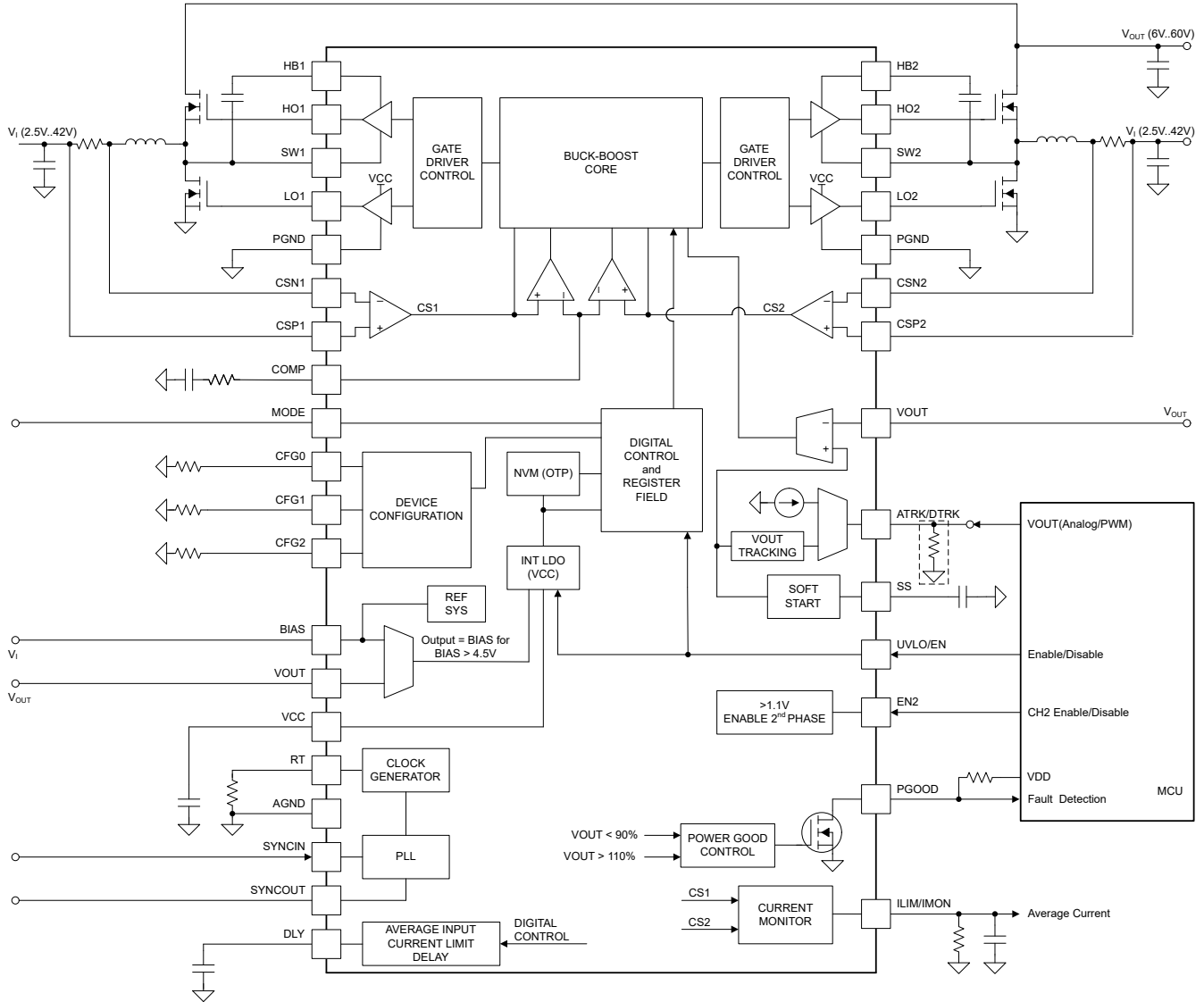
内部宽输入 LDO 能够在不同的输入和输出电压条件下为器件功能提供可靠的电源。由于具有高驱动能力以及自动和基于余量的电压选择，功率损耗保持在最低水平。可以将单独的 BIAS 引脚连接到输入、输出或外部电源，以进一步降低器件中的功率损耗。器件始终会监测内部电源电压，以避免未定义的故障处理。

LM5125-Q1 集成了全桥 N 沟道 MOSFET 驱动器。栅极驱动器电路具有高驱动能力，可确保在支持的广泛应用范围内实现高效率目标。栅极驱动器具有一个集成式高压低压降自举二极管。内部自举电路具有一个可由负尖峰注入的过压保护机制，以及一个欠压锁定保护机制，以避免外部功率 FET 出现线性运行。集成的电荷泵确保在旁路模式下以 100% 占空比运行。

内置保护功能确保这些器件可在不同的故障条件下安全运行。器件具有 V_I 欠压锁定保护功能，从而避免出现欠压情况。由于输入 UVLO 阈值和迟滞可通过外部反馈分压器进行配置，因此可在不同设计下避免欠压。该器件提供输出过压保护。该器件提供可选的断续过流保护功能，通过使用内部逐周期峰值电流保护功能来避免过大的短路电流。由于集成热关断功能，该器件可防止内部 VCC 稳压器过载情况造成热损坏。所有与输出相关的故障事件都在器件的开漏 PGOOD 引脚上进行监测和指示。

6.2 功能方框图

ADVANCE INFORMATION



6.3 特性说明

6.3.1 器件配置 (CFG0 引脚、CFG1 引脚、CFG2 引脚)

CFG0 引脚定义死区时间和 ATRK/DTRK 引脚 20 μ A 电流。表 6-1 中显示的电平由规格部分中的指定电阻器选择。当 V_{OUT} 通过该电阻器进行编程时，必须启用 20 μ A ATRK 引脚电流，并且电压跟踪功能必须关闭。

表 6-1. CFG0 引脚设置

| 电平 | 死区时间 [ns] | 20 μ A ATRK 电流 |
|----|-----------|--------------------|
| 1 | 18 | 开启 |
| 2 | 30 | 开启 |
| 3 | 50 | 开启 |
| 4 | 75 | 开启 |
| 5 | 100 | 开启 |
| 6 | 125 | 开启 |
| 7 | 150 | 开启 |
| 8 | 200 | 开启 |
| 9 | 18 | 关闭 |
| 10 | 30 | 关闭 |
| 11 | 50 | 关闭 |
| 12 | 75 | 关闭 |
| 13 | 100 | 关闭 |
| 14 | 125 | 关闭 |
| 15 | 150 | 关闭 |
| 16 | 200 | 关闭 |

CFG1 引脚设置定义 V_{OUT} 过压保护电平、时钟抖动、120% 输入电流限制保护 (I_{CL_latch}) 操作和电源正常引脚行为。

OVP、展频、峰值电流限制锁存、电源正常引脚行为：

OVP 位 0： OVP 位 0 和 1 设置 V_{OUT} 过压保护电平。[00] = 64V、[01] = 50V、[10] = 35V 或 [11] = 28.5V。

时钟抖动： 启用双随机展频 (DRSS) 时钟抖动或禁用时钟抖动。

I_{CL_latch} ： 当 I_{CL_latch} 启用且峰值电流限制超出 20% 时，器件会进入关断状态 (关闭并锁存)。如果 I_{CL_latch} 禁用，则器件将保持活动状态，并尝试将电感器电流限制在峰值电流限制状态。

PGOOD_{OVP_enable}： 启用 PGOOD_{OVP_enable} 后，PGOOD 引脚会在 V_{OUT} 高于 OVP (过压保护) 或低于 UV (欠压) 阈值时被拉至低电平。如果禁用了 PGOOD_{OVP_enable}，则仅当 V_{OUT} 低于 UV (欠压) 阈值时，PGOOD 引脚才会被拉低。

表 6-2. CFG1 引脚设置

| 电平 | OVP 位 0 | 时钟抖动模式 | I_{CL_latch} | PGOOD _{OVP_enable} |
|----|---------|-----------|-----------------|-----------------------------|
| 1 | 0 | 启用 (DRSS) | 禁用 | 禁用 |
| 2 | 1 | 启用 (DRSS) | 禁用 | 禁用 |
| 3 | 0 | 启用 (DRSS) | 禁用 | 启用 |
| 4 | 1 | 启用 (DRSS) | 禁用 | 启用 |
| 5 | 0 | 启用 (DRSS) | 启用 | 禁用 |
| 6 | 1 | 启用 (DRSS) | 启用 | 禁用 |
| 7 | 0 | 启用 (DRSS) | 启用 | 启用 |

表 6-2. CFG1 引脚设置 (续)

| 电平 | OVP 位 0 | 时钟抖动模式 | I _{CL_latch} | PGOOD _{OVP_enable} |
|----|---------|-----------|-----------------------|-----------------------------|
| 8 | 1 | 启用 (DRSS) | 启用 | 启用 |
| 9 | 0 | 禁用 | 禁用 | 禁用 |
| 10 | 1 | 禁用 | 禁用 | 禁用 |
| 11 | 0 | 禁用 | 禁用 | 启用 |
| 12 | 1 | 禁用 | 禁用 | 启用 |
| 13 | 0 | 禁用 | 启用 | 禁用 |
| 14 | 1 | 禁用 | 启用 | 禁用 |
| 15 | 0 | 禁用 | 启用 | 启用 |
| 16 | 1 | 禁用 | 启用 | 启用 |

表 6-3. 过压保护等级选择

| OVP 电平 | OVP 位 1 | OVP 位 0 |
|--------|---------|---------|
| 64V | 0 | 0 |
| 50V | 0 | 1 |
| 35V | 1 | 0 |
| 28.5V | 1 | 1 |

如果器件使用内部时钟发生器或施加于 SYNCIN 引脚的外部时钟，则 CFG2 引脚定义 V_{OUT} 过压保护电平。CFG2 引脚也用于配置器件是单独使用还是作为双器件配置的一部分，同时相应地启用和禁用 SYNCIN 和 SYNCOUT 引脚。在时钟同步期间，时钟抖动功能被禁用。

OVP、内部/外部时钟、单/双芯片：

OVP 位 1： OVP 位 0 和 1 设置 V_{OUT} 过压保护电平。[00] = 64V、[01] = 50V、[10] = 35V 或 [11] = 28.5V。

单器件：内部时钟： 器件在独立模式下使用内部振荡器运行。

单个外部时钟： 器件在独立模式下使用通过 SYNCIN 施加的外部时钟信号运行，如果未施加时钟，则使用内部振荡器。

主器件： 器件使用内部振荡器，并作为主器件在双器件配置中充当控制器。第二相的相移针对三相（相对于第一相存在 240° 的相移）或四相（相对于第一相存在 180° 的相移）操作进行了优化。

主外部时钟： 器件使用通过 SYNCIN 引脚施加的外部时钟信号，并作为主器件在双器件配置中充当控制器。相移针对三相（相对于第一相存在 240° 的相移）或四相（相对于第一相存在 180° 的相移）操作进行了优化。

辅助器件： 器件用作辅助器件，将其时钟与 SYNCIN 引脚信号同步。

器件第二相相移、SYNCIN、SYNCOUT、时钟抖动：

器件第二相的相移： 第二相的相移根据单芯片/双芯片列中配置的单器件、主器件或辅助器件来确定。

SYNCIN： 定义 SYNCIN 引脚上的时钟同步功能是否有效（开启）还是禁用（关闭）。当 SYNCIN 有效时，器件仅同步到施加于 SYNCIN 引脚的外部时钟。

时钟抖动： 如果使用内部振荡器，则根据 CFG1 引脚设置“时钟抖动模式”来设置时钟抖动。如果使用外部时钟，则会禁用时钟抖动功能，而忽略 CFG1 引脚设置。

表 6-4. CFG2 引脚设置

| 电平 | OVP 位 1 | 单/双芯片 | 器件第二相的相移 | SYNCIN | SYNCOUT | SYNCOUT 相移 | 时钟抖动 |
|----|---------|-----------|----------|--------|---------|------------|---------|
| 1 | 0 | 单器件 | 180° | 关闭 | 关闭 | 关闭 | CFG1 引脚 |
| 2 | 1 | | | | | | |
| 3 | 0 | | | | | | |
| 4 | 1 | 单个外部时钟 | 180° | 开启 | 关闭 | 关闭 | 禁用 |
| 5 | 0 | | | | | | |
| 6 | 1 | | | | | | |
| 7 | 0 | 主器件三相 | 240° | 关闭 | 开启 | 120° | CFG1 引脚 |
| 8 | 1 | | | | | | |
| 9 | 0 | 主器件四相 | 180° | 关闭 | 开启 | 90° | CFG1 引脚 |
| 10 | 1 | | | | | | |
| 11 | 0 | | | | | | |
| 12 | 1 | 主器件外部时钟三相 | 240° | 开启 | 开启 | 120° | 禁用 |
| 13 | 0 | | | | | | |
| 14 | 1 | 主器件外部时钟四相 | 180° | 开启 | 开启 | 90° | 禁用 |
| 15 | 0 | | | | | | |
| 16 | 1 | 辅助器件 | 180° | 开启 | 关闭 | 关闭 | 禁用 |

6.3.2 开关频率和同步 (SYNCIN)

开关频率由 RT 引脚和 AGND 之间连接的 RT 电阻器在 100kHz 至 2.2MHz 范围设置。RT 电阻器必须根据 [方程式 2](#) 在 12kΩ 和 350kΩ 之间选择。如果配置为使用外部时钟，器件可以将开关频率同步到施加于 SYNCIN 引脚上的外部时钟。在单器件配置下，开关频率可以在 RT 引脚设定频率的 ±50% 范围内变化，而在双器件配置下，则频率变化范围为 ±25%。内部时钟在 SYNCIN 引脚上施加的外部时钟信号的上升沿同步。在频率同步期间，CFG1 引脚展频设置会被忽略，并且时钟抖动会被禁用。

器件始终使用内部时钟启动，并在启动阶段 1 和 2 以及活动状态期间开始与施加的外部时钟同步（请参阅 [功能状态图](#)）。在施加外部时钟后，器件就会与外部时钟同步，并在外部时钟停止时切换回内部时钟。

$$F_{SW} = \frac{1}{R_{RT} \times s + 31.5 \text{ G}\Omega + 18 \text{ ns}} \quad (1)$$

$$R_{RT} = \left(\frac{1}{F_{SW}} - 18 \text{ ns} \right) \times 31.5 \frac{\text{G}\Omega}{\text{s}} \quad (2)$$

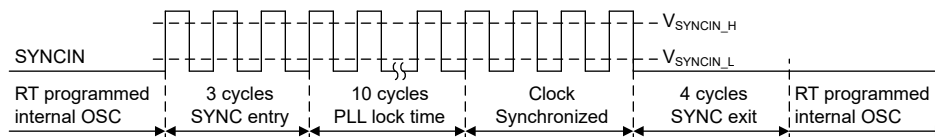


图 6-1. 时钟同步

6.3.3 双随机展频 (DRSS)

该器件提供数字展频，可在宽频率范围内降低电源的 EMI。此功能可通过 CFG1 引脚启用。启用展频后，内部调制器会使内部时钟抖动。当器件配置为使用施加于 SYNCIN 引脚的外部时钟时，内部展频将被禁用。DRSS 将低频三角调制曲线与高频逐周期随机调制曲线相结合。低频三角调制提高了低射频频带（例如 AM 频带）中的性能，高频随机调制提高了高射频频带（例如 FM 频带）中的性能。此外，还会进一步随机调制三角调制的频率，以降低出现任何可闻音的可能性。为了更大限度地减少展频引起的输出电压纹波，可以逐周期修改占空比，以便在启用抖动时保持几乎恒定的占空比。

在双器件配置中，当开关频率小于 220kHz 时，第二个器件中的 DRSS 会被阻尼。

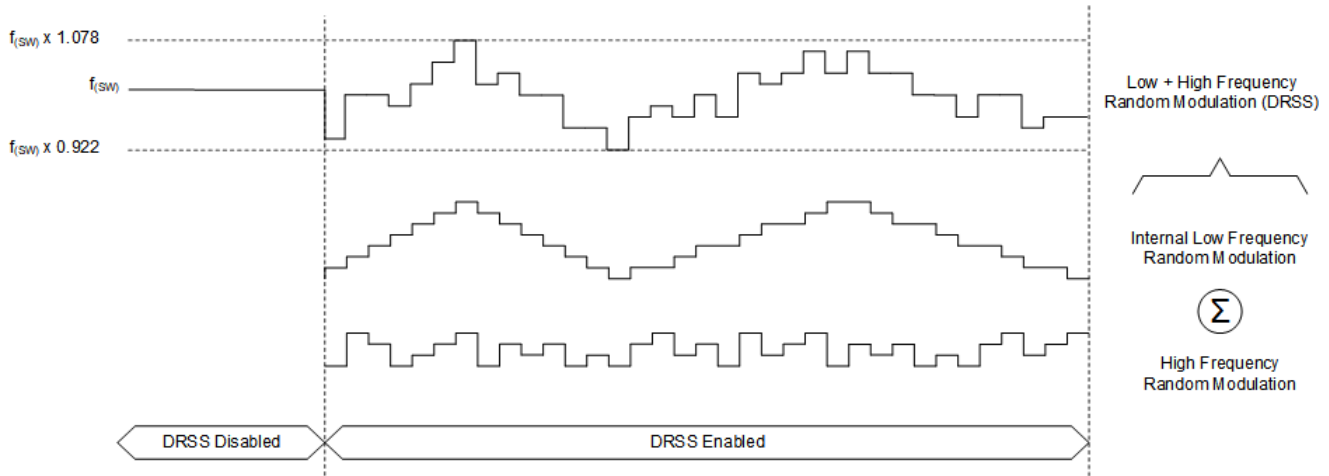


图 6-2. 双随机展频

6.3.4 运行模式 (BYPASS、DEM、FPWM)

该器件支持旁路模式、强制 PWM (FPWM) 和二极管仿真模式 (DEM) 运行。该模式可以动态更改，并由 MODE 引脚设置。当 $V_{OUT} < V_I$ 时，旁路模式会自动激活。在双器件堆叠运行中，两个器件必须使用相同的模式。

器件运行模式在 $V_{MODE} < 0.4V$ 时设置为 DEM，在 $V_{MODE} > 1.2V$ 时设置为 FPWM。

表 6-5. MODE 引脚设置

| 运行模式 | MODE 引脚 |
|------|-------------------|
| DEM | $V_{MODE} < 0.4V$ |
| FPWM | $V_{MODE} > 1.2V$ |

有关不同运行模式的详细信息，请参阅表 [运行模式](#)。

表 6-6. 运行模式

| 运行模式 | 说明 |
|--------|--|
| BYPASS | V_I 连接至 V_{OUT} (无调节)，同时对于 DEM 选择，会阻止电流从 V_{OUT} 流向 V_I ，而对于 FPWM 选择，则将电流限制在 V_{NCLTH} 。 |
| DEM | 会阻止电流从 V_{OUT} 流向 V_I 。在高侧导通时间内回监测 SW 引脚电压，当电压降至零电流检测阈值 V_{ZCD} 以下时，高侧开关关断。这可提高轻负载效率。 |
| FPWM | 转换器在轻负载条件下也会以固定频率在连续导通模式 (CCM) 下保持开关，以实现出色的轻负载瞬态响应。 |

当满足表 [进入、退出旁路模式](#) 中的条件时，器件会进入和退出旁路模式。

表 6-7. 进入、退出旁路模式

| 运行模式 | 旁路 | 条件 |
|----------|----|---|
| DEM/FPWM | 进入 | $V_{OUT} < V_I - 100mV$ 且 $V_{COMP} < V_{COMP-MIN} + 100mV$ |
| DEM | 退出 | $V_{COMP} > V_{COMP-MIN} + 100mV$ $((V_{CSP1} - V_{CSN1}) < V_{ZCD_BYP} (V_{CSP2} - V_{CSN2}) < V_{ZCD_BYP})$ |
| FPWM | 退出 | $V_{COMP} > V_{COMP-MIN} + 100mV$ $((V_{CSP1} - V_{CSN1}) < V_{NCLTH} (V_{CSP2} - V_{CSN2}) < V_{NCLTH})$ |

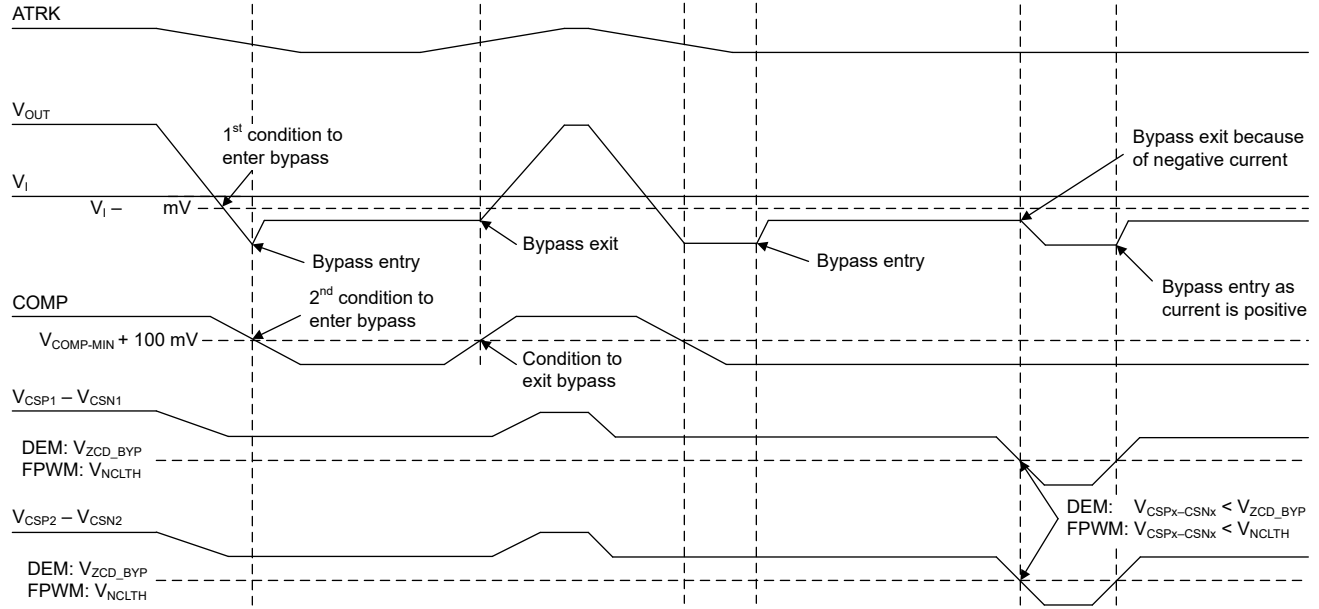


图 6-3. 进入、退出旁路模式

6.3.5 双相和多相运行

第二个相位通过 EN2 引脚启用或禁用，并也可在运行期间启用和禁用。第二个相位相对于相位 1 存在 180° 相移，以实现超低的输入和输出纹波。在双相运行中，两个相位都在 FPWM 模式下运行，并且支持高达 2.2MHz 的开关频率。

对于堆叠器件配置，相位之间的相移由 CFG2 引脚（请参阅 CFG2 引脚设置）设定。启动期间会读取 CFG2 引脚，并且设置会被锁存。主器件开关频率可与通过 SYNCIN 引脚施加的外部时钟同步（请参阅开关频率和同步 (SYNCIN)）。主器件通过 SYNCOUT 引脚与辅助器件通信运行模式。

| 引脚 | 主器件 SYNCIN = 开启 | 辅助器件 |
|---------|---|--|
| SYNCIN | 高电平：内部振荡器 脉冲：PLL 同步 低电平：内部振荡器 | 高电平：旁路模式 脉冲：运行模式由 MODE 引脚定义 低电平：停止开关 |
| SYNCOUT | 高电平：将旁路模式传递给辅助器件 脉冲：将 MODE 引脚定义的运行模式传递给辅助器件 低电平：将停止开关传递给辅助器件。 | |

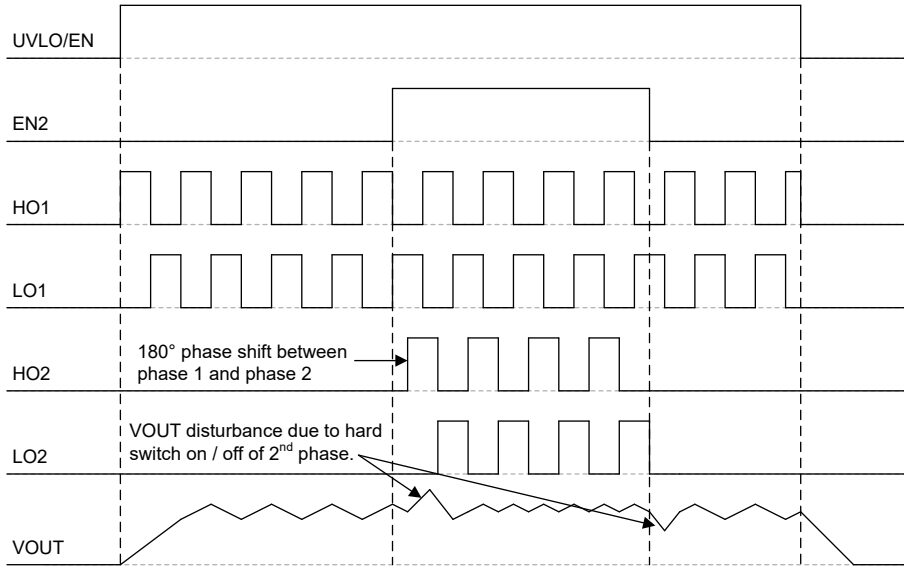


图 6-4. 单器件双相运行

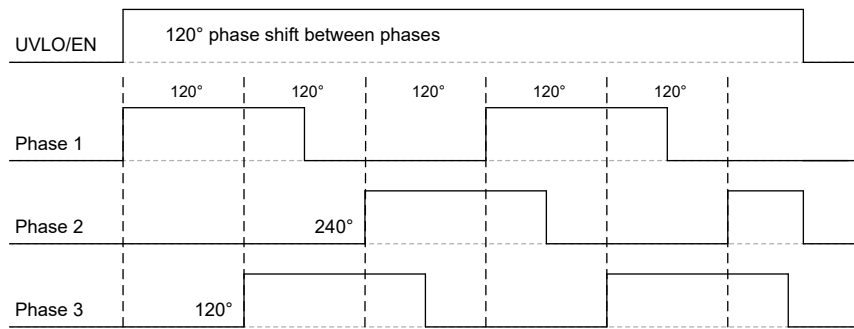


图 6-5. 双器件三相运行

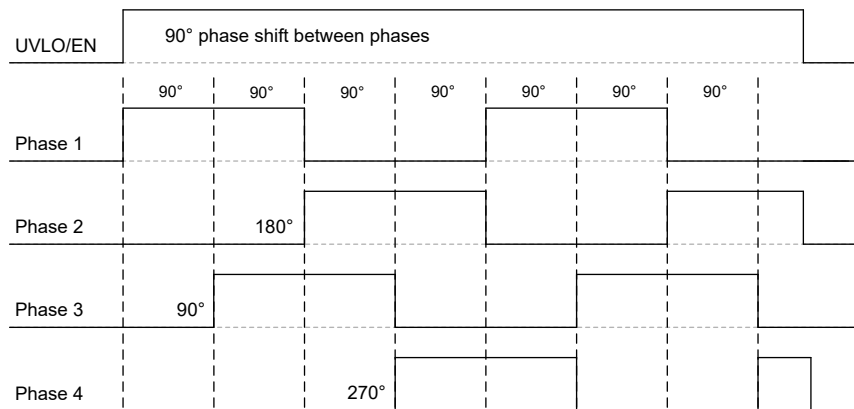


图 6-6. 双器件四相运行

ADVANCE INFORMATION

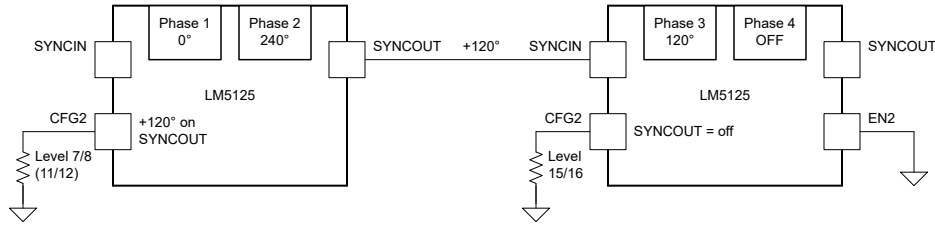


图 6-7. 三相配置

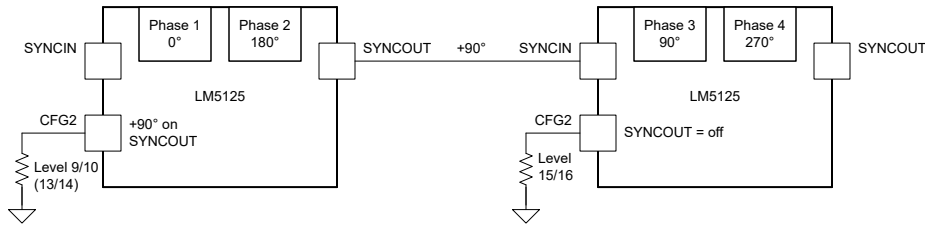


图 6-8. 四相配置

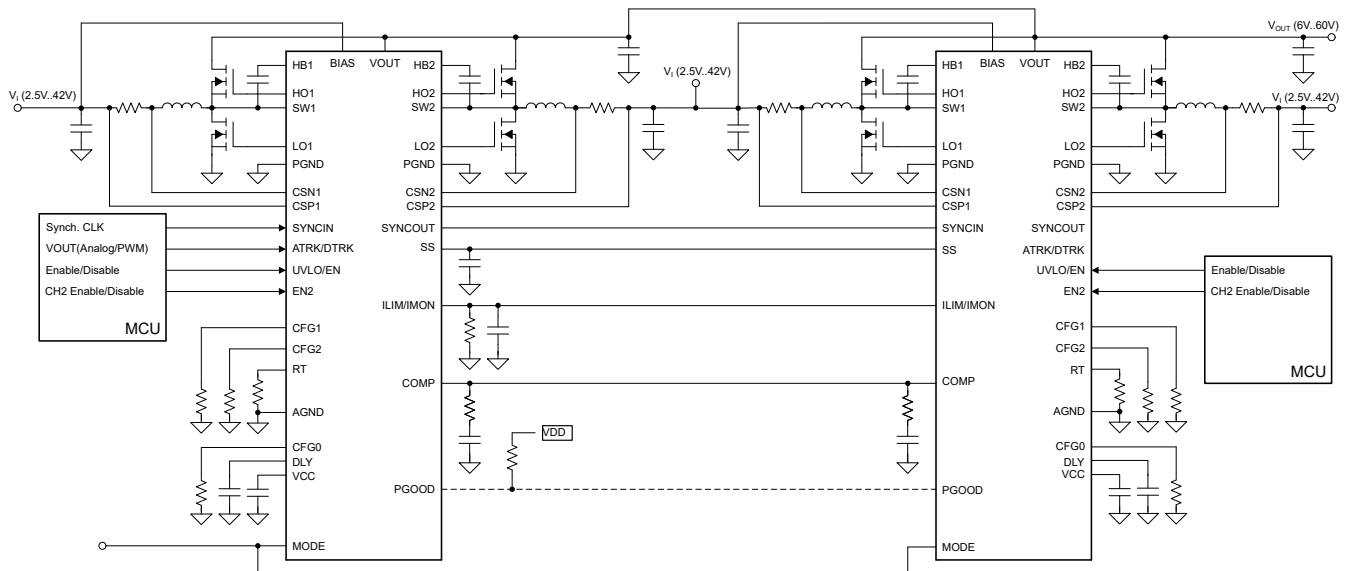


图 6-9. 典型应用 - 四相运行

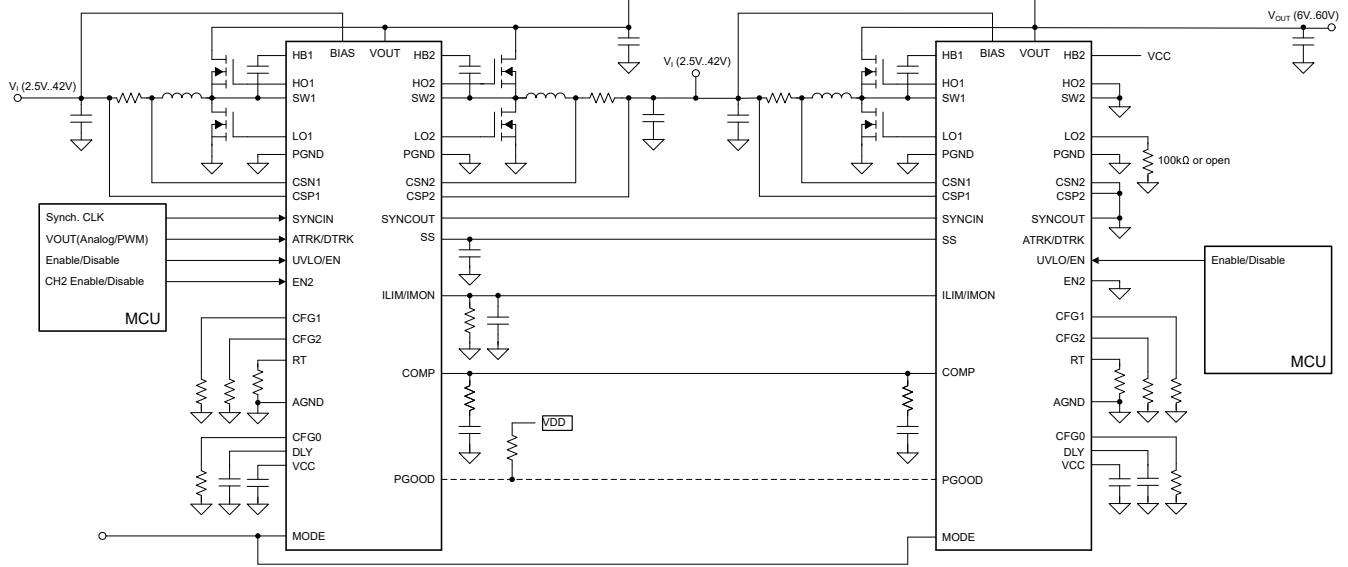


图 6-10. 典型应用 - 三相运行

6.3.6 BIAS (BIAS 引脚)

栅极驱动器由内部 5V VCC 稳压器供电。当 $V_{BIAS} > V_{BIAS-RISING}$ 时，VCC 稳压器由 BIAS 供电，而当 $V_{BIAS} < V_{BIAS-FALLING}$ 时则由 VOUT 引脚供电。由于基准系统始终由 BIAS 引脚供电，并且当电压低于 2V 时系统会关断，BIAS 引脚必须连接至 $\geq 2.5V$ 的电压（即 V_I 或 5V）。

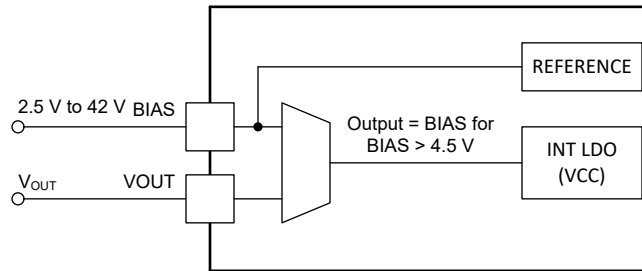


图 6-11. 动态 BIAS 电源选择

6.3.7 软启动 (SS 引脚)

在启动时的启动阶段 1 和 2 状态期间（请参阅 FSM），器件会以 SS 引脚电压或 ATRK/DTRK 引脚电压（以较低者为准）为基准调节误差放大器。这会导致输出电压 V_{OUT} 逐渐上升。在软启动期间，器件会强制进入二极管仿真模式 (DEM)，直到生成软启动完成信号。

外部软启动电容器首先放电至 V_{SS-DIS} 电压，然后由 I_{SS} 电流充电，当达到 $V_{SS-DONE}$ 时，会生成软启动完成信号。在升压拓扑中，软启动时间 (t_{SS}) 随输入电源电压而变化，因为在启动时 V_{OUT} 等于 V_I 。

$$t_{SS} = V_{ATRK} \times \frac{C_{SS}}{I_{SS}} \times \left(1 - \frac{V_I}{V_{OUT}}\right) \quad (3)$$

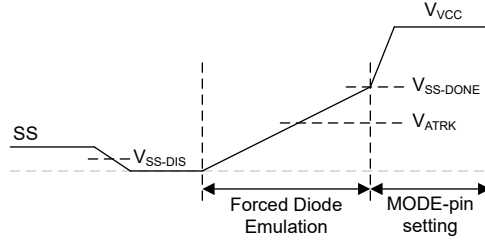


图 6-12. 软启动

6.3.8 V_{OUT} 编程 (V_{OUT} 、 $ATRK$ 、 $DTRK$)

该器件在 V_{OUT} 引脚上检测输出电压 V_{OUT} 。 V_{OUT} 可以通过、将 $10k\Omega$ 至 $100k\Omega$ 电阻器连接至 $ATRK/DTRK$ 引脚、施加 $0.2V$ 和 $2V$ 之间的电压或者 8% 至 80% 占空比之间的数字信号，在 $6V$ 和 $60V$ 之间进行编程。启动时，处于待机 (功能状态图) 期间，会检测编程方法是使用模拟信号还是数字信号。在过渡到启动阶段 1 和 2 时，编程方法会被锁存，并且在运行期间无法更改。 $ATRK$ 支持高达 $10kHz$ 的信号，但是 $ATRK$ 引脚电压必须足够慢地更改，以便 V_{OUT} 可以跟随。当 $ATRK < 0.2V$ 或 $> 2V$ 时，器件也会尝试调节 V_{OUT} ，但性能无法保持稳定。对于使用电阻进行 V_{OUT} 编程， $20\mu A$ 电流必须由 $CFG0$ 启用，并通过 $ATRK$ 引脚提供，该电流通过外部电阻器产生 $ATRK$ 电压。对于模拟跟踪 ($ATRK$) 或数字跟踪 ($DTRK$)，TI 建议禁用 $20\mu A$ 电流。

使用电阻进行 V_{OUT} 编程的公式如下：

$$R_{ATRK} = \frac{V_{OUT}}{6V} \times 10 k\Omega \quad (4)$$

使用电压进行 V_{OUT} 编程 ($ATRK$) 的公式如下：

$$V_{OUT} = V_{ATRK} \times 30 \quad (5)$$

使用数字信号进行 V_{OUT} 编程 ($DTRK$) 的公式如下：

$$V_{OUT} = 0.75 \frac{V}{\%} \times Duty Cycle \quad (6)$$

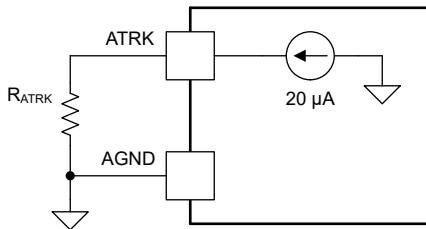


图 6-13. 使用电阻进行 V_{OUT} 编程

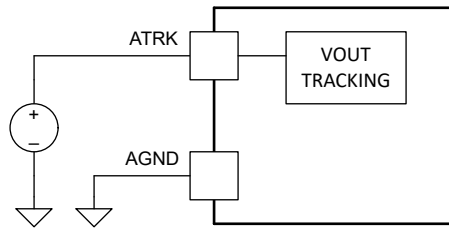


图 6-14. 通过模拟电压进行 V_{OUT} 跟踪

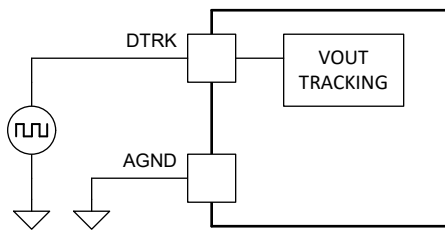


图 6-15. 通过数字信号进行 V_{OUT} 跟踪

6.3.9 保护功能

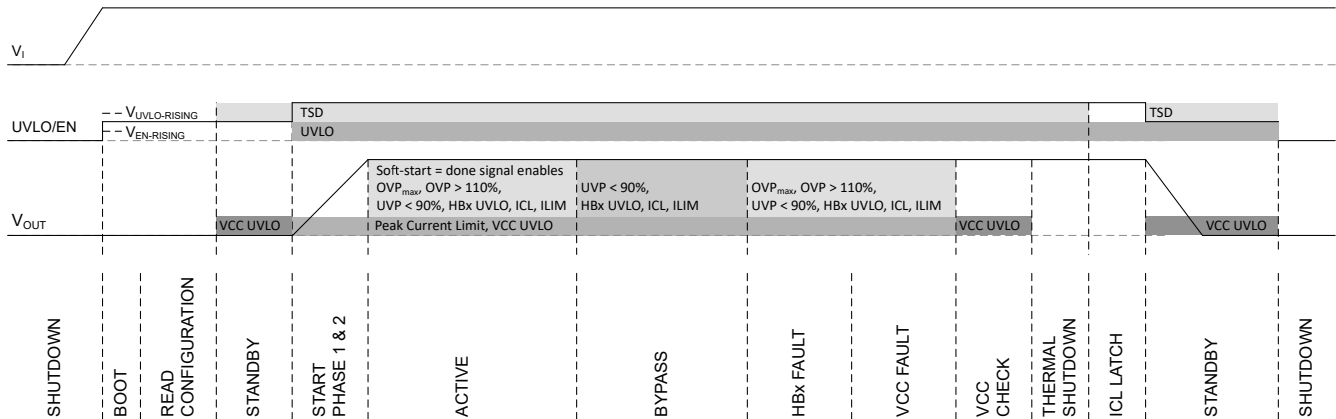


图 6-16. 保护功能

6.3.10 V_{OUT} 过压保护 (OVP)

过压保护 (OVP) 使用两个阈值来监测 V_{OUT} 引脚。可编程阈值 V_{OVP_max-H} 将 V_{OUT} 限制为 64V、50V、35V 或 28.5V，而 V_{OVP-H} 阈值将编程的 V_{OUT} 限制为 110%。在旁路状态下，会禁用 110% $OVP-H$ 检测。

当 V_{OUT} 上升至高于 V_{OVP_max-H} 或 V_{OVP-H} 阈值时（旁路期间未激活），低侧驱动器将关断，而高侧驱动器将导通。从 V_I 到 V_{OUT} 的电流通过 $CSP1 - CSN1$ 进行监测，当相位 2 处于活动状态时，也通过 $CSP2 - CSN2$ 进行监测，从而允许电流从 V_I 流向 V_{OUT} 。当从 V_I 到 V_{OUT} 的电流为零或为负值时，高侧驱动器会关断，从而防止电流从 V_{OUT} 流向 V_I 。当 V_{OUT} 降至 V_{OVP_max-L} 或 V_{OVP-L} 阈值以下时，器件将继续正常运行。

6.3.11 热关断 (TSD)

如果结温 (T_J) 超过 $T_{TSD-RISING}$ 阈值，内部热关断 (TSD) 功能可以通过禁用 MOSFET 驱动器和 VCC 稳压器来保护器件。当结温 (T_J) 通过 $T_{TSD-HYS}$ 迟滞降低后，器件将根据功能状态图继续运行。

6.3.12 电源正常状态指示器 (PGOOD 引脚)

该器件具有电源正常状态指示器 (PGOOD)，可简化时序控制和监控。PGOOD 是一个开漏输出，并可从外部连接一个上拉电阻。当 V_{OUT} 引脚电压高于 V_{UVP-H} 阈值时，PGOOD 开关断开。在以下情况下，PGOOD 会被拉低：

- V_{OUT} 引脚电压低于 V_{OUT} 下降欠压阈值 V_{UVP-L} 。
- V_{OUT} 引脚电压高于 V_{OUT} 上升过压阈值 V_{OVP-H} 或 V_{OVP_max-H} 和 $PGOOD_{OVP_enable}$ 功能已启用（请参阅 [CFG1 引脚设置](#)）。
- 器件处于关断状态且 V_{BIAS} 大于约 1.7V（请参阅 [功能状态图](#)）。
- $EN/UVLO$ 引脚电压降至欠压锁定阈值电压 $V_{UVLO-FALLING}$ 以下。
- VCC 稳压器电压 VCC 降至欠压锁定阈值 $V_{VCC-UVLO-FALLING}$ 以下。
- 热关断被触发（请参阅 [功能状态图](#)）。
- HBx 引脚电压低于 V_{HBx} 的下降 $V_{HB-UVLO}$ 阈值，并且引导刷新进入 512 个周期的断续模式关断时间（请参阅 [MOSFET 驱动器、集成式自举二极管和断续模式故障保护 \(LOx、HOx、HBx 引脚\)](#)）。PGOOD 仅在断续关断时间内被拉低。
- 超出开关峰值电流限值 20%，并且 I_{CL_latch} 功能被启用（请参阅 [CFG1 引脚设置](#)）。
- 发生 OTP 存储器故障（CRC 故障）。

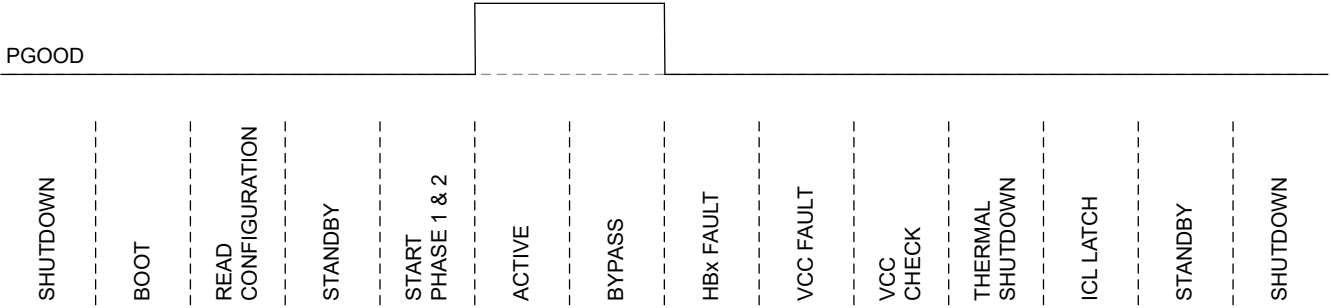


图 6-17. 所有器件状态的 PGOOD 状态

6.3.13 电流检测、峰值电流限制和斜率补偿 (CSP1、CSP2、CSN1、CSN2)

电流检测放大器具有大小为 10 的增益 (ACS)，并为防止高占空比下的次谐波振荡，增加了内部斜率补偿斜坡。补偿斜坡的斜率必须至少大于所检测到电感器电流下降斜率的一半。

$$\frac{V_{OUT} - V_I}{2 \times L} \times R_S \times Margin < V_{SLOPE} \times f_{SW} \quad (7)$$

6.3.14 电流检测编程 (CSP1、CSP2、CSN1、CSN2)

每个相位的峰值电流限值由检测电阻 R_{SNS1} 和 R_{SNS2} 设定。当 CSP1 - CSN1 达到阈值 V_{CLTH} (典型值为 60mV) 时，相位 1 的正峰值电流限制生效；而对于相位 2，则为 CSP2 - CSN2。当达到 V_{NCLTH} (典型值为 -30mV) 时，负峰值电流限制生效。 R_1 、 R_2 、 R_4 和 R_5 为 0Ω ，而 R_3 和 R_6 为开路。

$$R_{SNS} = \frac{I_{peak_lim}}{V_{CLTH}} \quad (8)$$

可以通过添加电阻 R_1 、 R_2 、 R_3 、 R_4 、 R_5 和 R_6 来设定峰值限值。电阻 R_1 和 R_2 的值必须与电阻 R_4 和 R_5 的值相同。由于 CSx 放大器由 CSPx 引脚供电，因此这些电阻都必须小于 1Ω 。 R_3 和 R_6 必须在 1Ω 至 20Ω 之间。

$$I_{peak_lim_ph1} = \left(\frac{R_1 + R_2}{R_3} + 1 \right) \times \frac{V_{CLTH}}{R_{SNS1}} \quad (9)$$

$$I_{peak_lim_ph2} = \left(\frac{R_4 + R_5}{R_6} + 1 \right) \times \frac{V_{CLTH}}{R_{SNS2}} \quad (10)$$

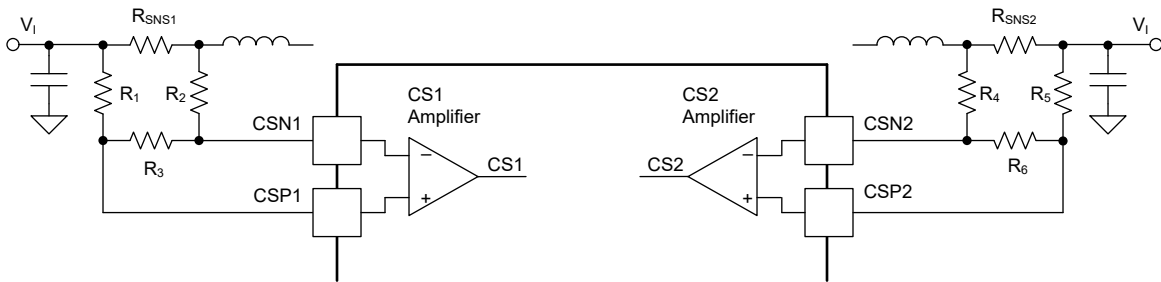


图 6-18. 通过添加电阻器进行峰值限制编程

6.3.15 输入电流限制和监测 (ILIM、IMON、DLY)

可以在 IMON 引脚上监测平均输入电流。相位 1 和相位 2 输入电流相加在 IMON 引脚产生拉电流，该电流由电阻 R_{IMON} 转换为电压。所产生的电压 V_{IMON} 可根据方程式 12 进行计算，而所需的电阻 R_{IMON} 可根据方程式 11 进行计算。 V_{IMON} 可以稳压至高达 3V，并具有自保护功能，不会达到绝对最大值。

$$R_{IMON} = \frac{V_{IMON}}{(R_{CS1} + R_{CS2}) \times I_{IN} \times G_{IMON} + 2 \times I_{OFFSET}} \quad (11)$$

$$V_{IMON} = ((R_{CS1} + R_{CS2}) \times I_{IN} \times G_{IMON} + 2 \times I_{OFFSET}) \times R_{IMON} \quad (12)$$

R_{CS1} 和 R_{CS2} 是各自的相位检测电阻器。输入电流 I_{IN} 、跨导增益 G_{IMON} 和失调电流 I_{OFFSET} 由“电气特性”表给定。

可以通过在 $ILIM$ 引脚上连接一个适当的电阻来限制平均输入电流。然后 V_{OUT} 会被调低，直至达到设定的平均输入电流限值。DLY 引脚电容器 C_{DLY} 增加额外的延迟时间 t_{DLY} 来激活和停用平均输入电流限制（请参阅平均电流限值）。当 $ILIM$ 引脚电压达到阈值 V_{ILIM} （典型值为 1V）时，拉电流 I_{DLY} 被激活，为 DLY 引脚电容器 C_{DLY} 充电。DLY 引脚电压 V_{DLY} 上升，直至达到 $V_{DLY_peak_rise}$ ，这会激活平均输入电流限制。 $ILIM$ 引脚电压被调节至 V_{ILIM} ，而输入电流被向下调节至由 R_{ILIM} 设定的平均输入电流限值，从而产生一个压降 V_{OUT} 。要退出平均电流限制调节，输出负载必须降低，这会导致 V_{OUT} 上升，同时 V_{ILIM} 降至 V_{ILIM_reset} （典型值为 0.9V）以下。 V_{ILIM_reset} 会激活灌电流 I_{DLY} ，从而使 DLY 引脚电容器 C_{DLY} 放电。当 V_{DLY} 达到 $V_{DLY_peak_fall}$ 时，平均输入电流限制将被禁用，而 DLY 引脚将放电至 V_{DLY_valley} 。所需电阻 R_{ILIM} 可根据方程式 13 进行计算。

$$R_{ILIM} = \frac{1V}{(R_{CS1} + R_{CS2}) \times I_{IN_LIM} \times G_{IMON} + 2 \times I_{OFFSET}} \quad (13)$$

$$t_{DLY} = \frac{2.6 \times C_{DLY}}{5 \times 10^{-6}} \quad (14)$$

$$C_{DLY} = t_{DLY} \times \frac{5 \times 10^{-6}}{2.6} \quad (15)$$

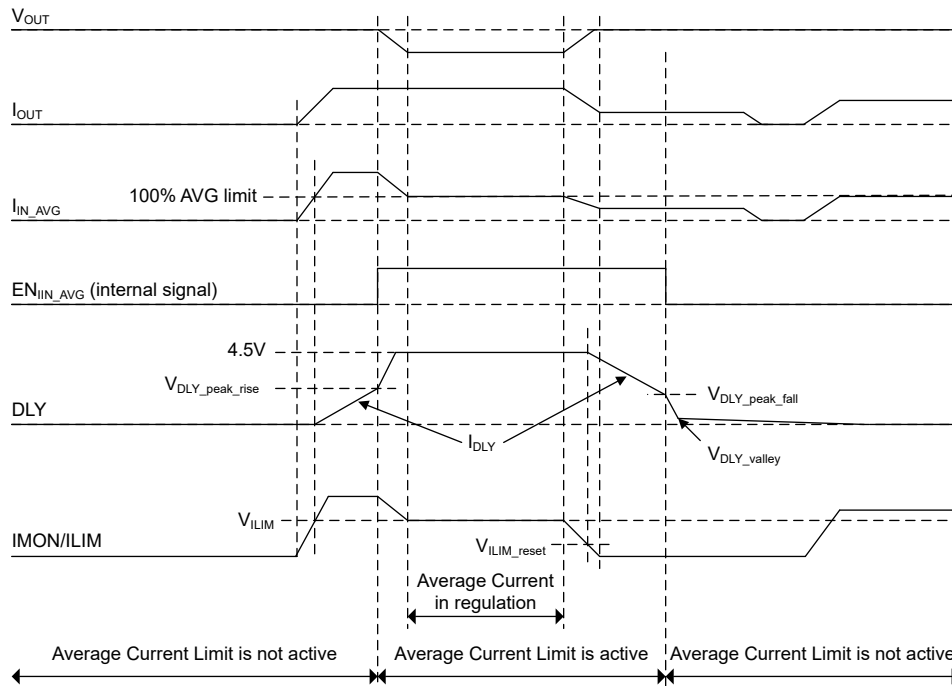


图 6-19. 平均电流限值

6.3.16 信号抗尖峰脉冲概述

下图展示了信号抗尖峰脉冲。对于所有信号，上升沿和下降沿都以相同的抗尖峰脉冲时间进行抗尖峰脉冲。

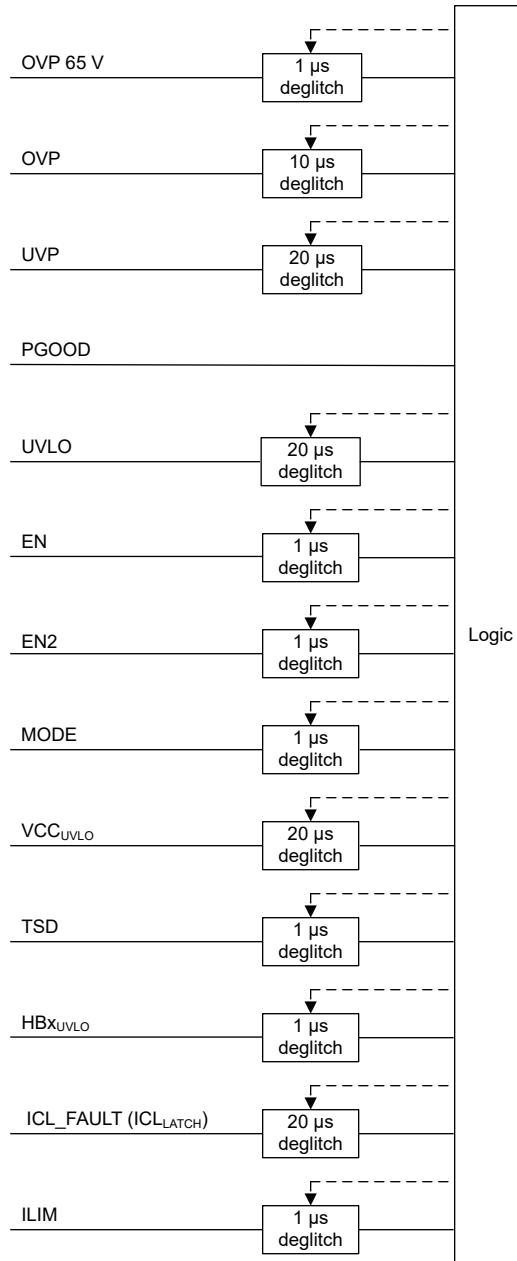


图 6-20. 信号抗尖峰脉冲

6.3.17 MOSFET 驱动器、集成式自举二极管和断续模式故障保护 (LOx、HOx、HBx 引脚)

该器件集成 N 沟道逻辑 MOSFET 驱动器。LOx 驱动器由 VCC 供电，而 HOx 驱动器由 HBx 供电。当通过导通低侧 MOSFET 而使 SWx 引脚电压约为 0V 时，电容器 C_{HBx} 由 VCC 通过内部自举二极管充电。C_{HBx} 的建议值为 0.1 μF。在关断期间，栅极驱动器输出为高阻抗。

LOx 和 HOx 输出采用自适应死区时间方法进行控制，这可确保两个输出不会同时启用，从而防止击穿。当器件开启 LOx 时，自适应死区时间逻辑会关闭 HOx 并等待 HOx-SWx 电压降至典型值 1.5V 以下，然后在短暂的死区时

间延迟 t_{DHL} 后开启 LOx。同样，HOx 驱动器开启会出现延迟，直到 LOx-PGND 电压放电至典型值 1.5V 以下。然后，在经过短暂的死区时间延迟 t_{DLH} 后，HOx 会开启。

如果在启动期间驱动器输出电压低于 MOSFET 栅极平坦电压，则转换器可能无法正常启动，并且可能会在高功耗状态下保持在最大占空比。通过选择阈值较低的 MOSFET 或在 BIAS 引脚电压足够时导通器件，可以避免这种情况。在旁路操作期间，最小 HOx-SWx 电压为 3.75V。

断续模式故障保护由 HBx-UVLO 触发。如果 HBx-SWx 电压低于 HBx UVLO 阈值 ($V_{HB-UVLO}$)，则 LOx 将强制开启 75ns 来为升压电容器充电。该器件允许多达四次连续的开关操作用于充电。在最多四次连续的开关操作（用于自举充电）后，该器件将在 12 个周期跳过该开关操作。如果该器件在四组（每组四次）连续的开关操作（用于充电）后未能为升压电容器充满电，该器件将停止开关操作，并进入 512 个周期的断续模式关断时间。在断续模式关断时间 PGOOD = 低电平且 SS 引脚接地。

如果需要，可以通过添加与下拉 PNP 晶体管并联的栅极电阻器来调节开关节点电压的压摆率。该电阻器可能会降低有效死区时间。

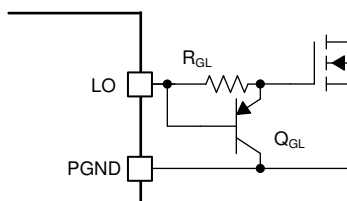


图 6-21. 压摆率控制

6.4 器件功能模式

功能状态图 (FSM) 中显示了多个不同的操作模式。

- (1) : Does not include BOOT, READ CONFIGURATION, THERMAL SHUTDOWN, VCC CHECK, and ICL LATCH state.
- (2) : Phase 2 is ON for EN2 = high and OFF for EN2 = low. When enabled after STANDBY a 150 us biasing time is added before the 2nd phase starts switching.
- (3) : GND for $V_{BIAS} > 1.7\text{ V}$, HiZ for $V_{BIAS} < 1.7\text{ V}$.
- (4) : ATRK/DTRK function (analog, digital) is detected during STANDBY state and latched at the transition to the START PHASE 1 & 2 state.

|| : logic OR
& : logic AND
! : logic NOT
TSD : Thermal Shutdown
①②③ : Priority

| THERMAL SHUTDOWN | |
|--------------------------|---------|
| Phase 1 & 2 | = OFF |
| VCC | = OFF |
| CFGx | = OFF |
| PGOOD | = GND |
| STANDBY _{timer} | = RESET |

| VCC CHECK | |
|-------------|-------|
| Phase 1 & 2 | = OFF |
| VCC | = ON |
| CFGx | = OFF |
| PGOOD | = GND |

| VCC FAULT | |
|--------------------------|-------------------------|
| Phase 1 | = ON |
| Phase 2 | = ON/OFF ⁽²⁾ |
| VCC | = ON |
| PGOOD | = GND |
| Operation Mode | = no switching |
| STANDBY _{timer} | = ON |

| HBx FAULT | |
|-----------------|-------------------------|
| Phase 1 | = ON |
| Phase 2 | = ON/OFF ⁽²⁾ |
| VCC | = ON |
| PGOOD | = GND |
| Operation Mode | = no switching |
| HBx FAULT timer | = start |

| BYPASS | |
|----------------|-------------------------|
| Phase 1 | = ON |
| Phase 2 | = ON/OFF ⁽²⁾ |
| VCC | = ON |
| PGOOD | = HiZ |
| Operation Mode | = BYPASS |

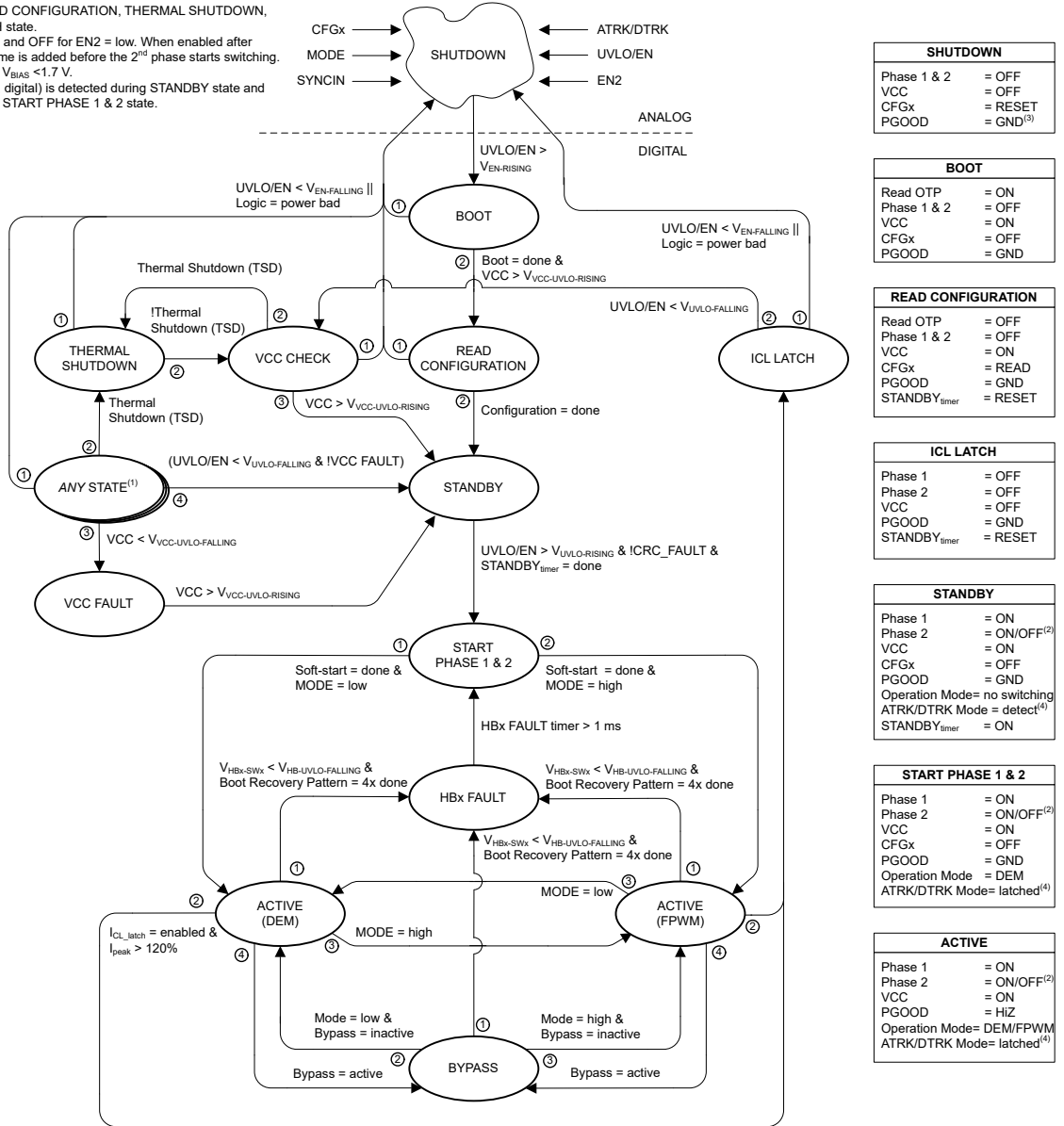


图 6-22. 功能状态图

6.4.1 关断状态

当 UVLO/EN 引脚为低电平时，器件将关断，从 BIAS 引脚消耗 2 μA 电流并从 VOUT 引脚消耗 0.1 μA 电流。关断时，COMP、SS 和 PGOOD 接地。VCC 稳压器被禁用。

ADVANCE INFORMATION

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

该器件集成了多个可选功能来满足系统设计的要求，包括输入 UVLO、可编程软启动时间、时钟同步、展频、平均输入电流调节、电感器电流监测、用于增强热性能的 5V 兼容 BIAS 引脚、冷启动支持、同步、动态输出电压跟踪和可编程死区时间。

7.1.1 反馈补偿

升压稳压器的开环响应定义为调制器传递函数和反馈传递函数的乘积。在 dB 标度下绘制时，开环增益表现为调制器增益与反馈增益之和。电流模式升压稳压器的调制器传递函数，其中包含嵌入式电流环路的功率级传递函数，可简化为包含一个极点、一个零点和一个右半平面零点 (RHPZ) 的系统。

调制器传递函数定义如下：

$$\frac{\hat{v}_{out}}{\hat{v}_{comp}} = A_M \times \frac{\left(1 + \frac{s}{\omega_{Z_ESR}}\right)\left(1 - \frac{s}{\omega_{RHPZ}}\right)}{1 + \frac{s}{\omega_{P_LF}}} \quad (16)$$

其中

- 调制器直流增益 $A_M = \frac{R_{out} \times D'}{2 \times A_{cs} \times R_{cs_eq}}$
- 负载极点 $\omega_{P_LF} = \frac{2}{R_{out} \times C_{out}}$
- ESR 零点 $\omega_{Z_ESR} = \frac{1}{R_{ESR} \times C_{out}}$
- RHPZ $\omega_{RHPZ} = \frac{R_{out} \times D'^2}{L_{m_eq}}$
- 等效负载电阻 $R_{out} = \frac{V_{out}^2}{P_{out_total}}$
- 等效电感 $L_{m_eq} = \frac{L_m}{N_p}$
- 等效电流检测电阻 $R_{cs_eq} = \frac{R_{cs}}{N_p}$
- N_p 为相位数。

如果 C_{out} (R_{ESR}) 的等效串联电阻 (ESR) 足够小，并且 RHPZ 频率远离目标交叉频率，则调制器传递函数可以进一步简化为单极点系统，并且只需两个环路补偿元件 R_{COMP} 和 C_{COMP} ，电压环路即可实现闭环，从而在交叉频率处实现单极点响应。交叉频率处的单极点响应能够提供 90 度相位裕度，从而确保环路非常稳定。

如图 7-1 所示，输出电压误差放大器采用了一个 g_m 放大器。反馈传递函数包括反馈电阻分压器增益和误差放大器的环路补偿。 R_{COMP} 、 C_{COMP} 和 C_{HF} 用于配置误差放大器的增益和相位特性，生成一个原点极点、一个低频零点以及一个高频极点。

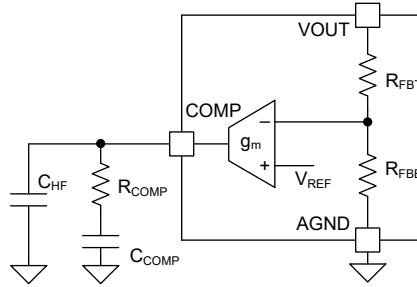


图 7-1. II 型 g_m 放大器补偿

反馈传递函数定义如下：

$$-\frac{\hat{v}_{\text{comp}}}{\hat{v}_{\text{out}}} = \frac{A_{VM} \times \omega_{Z_EA}}{s} \times \frac{1 + \frac{s}{\omega_{Z_EA}}}{1 + \frac{s}{\omega_{P_EA}}} \quad (17)$$

其中

- 中频带电压增益 $A_{VM} = K_{FB} \times g_m \times R_{COMP}$
- 反馈电阻分压器增益 $K_{FB} = \frac{R_{FBB}}{R_{FBT} + R_{FBB}}$ 。对于内部反馈电阻分压器， $K_{FB} = \frac{1}{30}$ 。
- 低频零点 $\omega_{Z_EA} = \frac{1}{R_{COMP} \times C_{COMP}}$
- 高频极点 $\omega_{P_EA} \approx \frac{1}{R_{COMP} \times C_{HF}}$

原点处的极点可以尽可能减小输出稳态误差。放置低频零点以抵消调制器的负载极点。高频极点可用于抵消输出电容器 ESR 产生的零点，或降低误差放大器的噪声敏感性。通过将低频零点设置为比交叉频率小一个数量级，可以在交叉频率下实现最大相位提升。将高频极点放置在交叉频率之后，因为增加 C_{HF} 会在反馈传递函数中增加一个极点。

交叉频率 (开环带宽) 通常限制为 RHPZ 频率的五分之一。

对于更高的交叉频率，可以增加 R_{COMP} ，同时按比例减小 C_{COMP} 。相反，减小 R_{COMP} 并按比例增大 C_{COMP} ，会导致带宽降低，同时保持反馈传递函数中零点的频率不变。

7.2 典型应用

7.2.1 应用

一个典型的应用示例是双相升压转换器，如图 7-2 所示。该转换器专为 H 类音频放大器而设计。输出电压可调至 45V。峰值功率为 1kVA，输入平均电流限制为 26A。

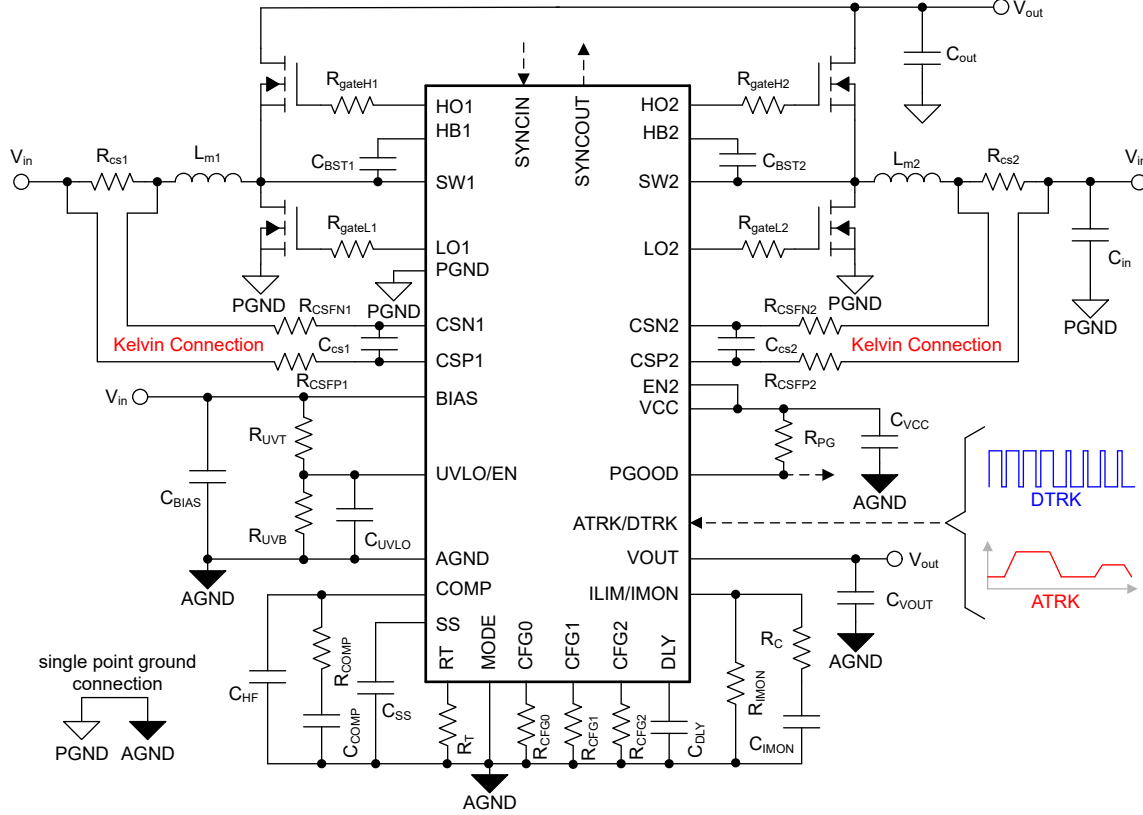


图 7-2. 双相升压转换器的原理图

7.2.2 设计要求

表 7-1. 设计参数

| 参数 | 值 |
|--|-------|
| 最小输入电压 V_{in_min} | 9V |
| 典型输入电压 V_{in_typ} | 14.4V |
| 最大输入电压 V_{in_max} | 18V |
| 最小输出电压 V_{out_min} | 8V |
| 最大输出电压 V_{out_max} | 45V |
| 最大输出电压和典型输入电压下的最大输出功率 P_{out_total} | 1000W |
| 额定输出功率 P_{rated_total} | 300W |
| 在两倍额定输出功率和典型输入电压下的最大延迟 t_{delay} | 100ms |
| 估计效率 η | 95% |

7.2.3 详细设计过程

7.2.3.1 确定相位总数

交错运行在高电流应用中提供了许多优势，例如提高效率、降低元件应力以及减少输入和输出纹波。对于双相交错运行，输出功率路径被拆分，将每个相位的输入电流减少一半。由于每个通道彼此之间存在 180 度的相位差，因此输入和输出电容器中的纹波电流显著降低。如图 7-3 所示，输入电流纹波显著降低。

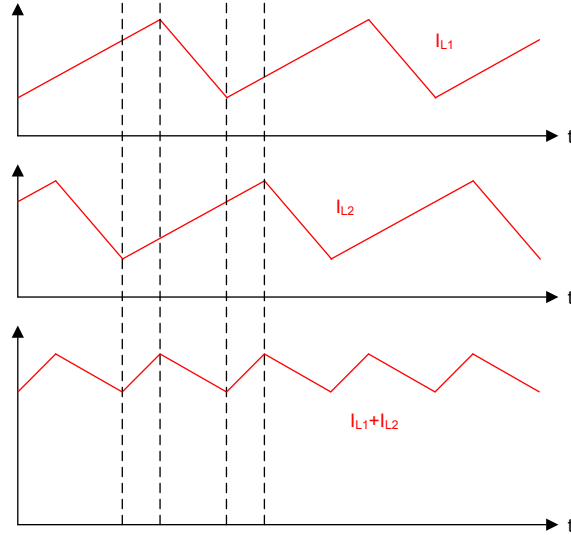


图 7-3. 通过双相交错降低输入电流纹波

这里为设计选择了 2 个相位：

$$N_p = 2 \quad (18)$$

总功率 P_{out_total} 在各相位之间共享，每个相位的功率计算如下：

$$P_{out} = \frac{P_{out_total}}{N_p} = 500W \quad (19)$$

7.2.3.2 确定占空比

在 CCM 中，占空比定义为：

$$D = \frac{V_{out} - V_{in}}{V_{out}} \quad (20)$$

$$D' = 1 - D \quad (21)$$

在此应用中，最大占空比的计算公式如下：

$$D_{max} = \frac{V_{out_max} - V_{in_min}}{V_{out_max}} = 0.8 \quad (22)$$

7.2.3.3 定时电阻器 R_T

通常，更高的开关频率 (f_{sw}) 会导致尺寸减小，但损耗会增大。综合考虑尺寸、效率和 EMI，约 400kHz 的工作频率是一个合理的折衷选择。对于 400kHz 的开关频率， R_T 的值计算如下：

$$R_T = \left(\frac{1}{f_{sw}} - 18ns \right) \times 31.5 \frac{\Omega}{ns} = 78.2k\Omega \quad (23)$$

此处为 R_T 选择了 78.7k Ω 的标准值。

7.2.3.4 电感器选型 L_m

选择电感值时需考虑三个主要参数：电感器电流纹波比 (RR)、电感器电流下降斜率和控制环路的 RHPZ 频率。

- 选择的电感器电流纹波比用来平衡电感器的绕组损耗和磁芯损耗。随着纹波电流的增加，磁芯损耗增加，绕组损耗减少。

- 电感器电流的下降斜率必须足够小，从而防止次谐波振荡。电感值越大，电感器电流的下降斜率越小。
- RHPZ 必须置于较高的频率，从而提高控制环路的交叉频率。随着电感值减小，RHPZ 频率会增加。

根据峰值电流模式控制理论，斜率补偿斜坡的斜率必须大于检测到的电感器电流下降斜率的一半，以防止高占空比下的次谐波振荡，即：

$$V_{\text{slope}} \times f_{\text{sw}} > \frac{V_{\text{out_max}} - V_{\text{in_min}}}{2 \times L_m} \times R_{\text{cs}} \quad (24)$$

其中

- V_{slope} 是电流检测放大器输入端的 48mV 峰值 (占空比为 100%) 斜率补偿斜坡。

电感的下限值可使用以下公式计算：

$$L_m > \frac{V_{\text{out_max}} - V_{\text{in_min}}}{2 \times V_{\text{slope}} \times f_{\text{sw}}} \times R_{\text{cs}} \quad (25)$$

R_{cs} 的估计值为 1.5mΩ，因此可以得出：

$$L_m > 1.4\mu\text{H} \quad (26)$$

RHPZ 频率可使用以下公式得出：

$$\omega_{\text{RHPZ}} = \frac{R_{\text{out}} \times D'^2}{L_{m_eq}} \quad (27)$$

交叉频率必须低于 RHPZ 频率的 1/5：

$$f_c < \frac{1}{5} \times \frac{\omega_{\text{RHPZ}}}{2\pi} \quad (28)$$

假设需要 1kHz 的交叉频率，电感的上限可确定为：

$$L_m < 5.2\mu\text{H} \quad (29)$$

电感器纹波电流通常设置在满负载电流的 30% 至 70% 之间，这可以更好地权衡电感器磁芯损耗和绕组损耗。

每相输入电流的计算公式如下：

$$I_{\text{in_vinmax}} = \frac{P_{\text{out}}}{\eta \times V_{\text{in_max}}} = 29.2\text{A} \quad (30)$$

如果以连续导通模式 (CCM) 运行，则在占空比为 33% 时出现最大纹波比。可产生最大纹波比的输入电压如下：

$$V_{\text{in_RRmax}} = V_{\text{out_max}} \times (1 - 0.33) = 30\text{V} \quad (31)$$

因此，必须使用最大输入电压 $V_{\text{in_max}}$ 来计算最大纹波比。

此示例中选择了 0.3 的纹波比，即输入电流的 30%。在已知开关频率和典型输入电压的情况下，电感器值可按如下公式计算：

$$L_m = \frac{V_{\text{in_max}}}{I_{\text{in}} \times \text{RR}} \times \frac{1}{f_{\text{sw}}} \times \left(1 - \frac{V_{\text{in_max}}}{V_{\text{out_max}}}\right) = \frac{18\text{V}}{29.2\text{A} \times 0.3} \times \frac{1}{400\text{kHz}} \times 0.6 = 3.1\mu\text{H} \quad (32)$$

这里为 L_m 选择了最接近的标准值 3.3 μH。

典型输入电压下的电感器纹波电流计算公式如下：

$$I_{pp} = \frac{V_{in_typ}}{L_m} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_typ}}{V_{out}}\right) = 7.4A \quad (33)$$

如果选择了铁氧体磁芯电感器，则确保电感器不会在峰值电流限制下达到饱和。铁氧体磁芯电感器的电感值在饱和前几乎保持恒定。铁氧体磁芯具有较低的磁芯损耗，但尺寸较大。

对于粉末芯电感器，电感随着直流电流的增加而缓慢降低。这种变化会导致在高电感器电流下出现更大的纹波电流。在此示例中，峰值电流限值下的电感降至 0A 时的 70%。峰值电流限值下的电流纹波如下：

$$I_{pp_bias} = \frac{V_{in_typ}}{0.7 \times L_m} \times \frac{1}{f_{sw}} \times \left(1 - \frac{V_{in_typ}}{V_{out}}\right) = 10.6A \quad (34)$$

7.2.3.5 电流检测电阻器 (R_{CS})

典型输入电压和最大输出电压下的最大每相平均输入电流可使用以下公式计算：

$$I_{in_vintyp} = \frac{P_{out}}{\eta \times V_{in_typ}} = 36.5A \quad (35)$$

峰值电流的计算公式如下：

$$I_{pk_vintyp} = I_{in_vintyp} + \frac{I_{pp_bias}}{2} = 36.5A + \frac{10.6A}{2} = 41.8A \quad (36)$$

电流检测电阻的计算公式如下：

$$R_{cs} = \frac{V_{CLTH}}{I_{pk_vintyp}} = \frac{60mV}{41.8A} = 1.43m\Omega \quad (37)$$

此处为 R_{CS} 选择了 1.5mΩ 的标准值。

7.2.3.6 电流检测滤波器 R_{CSFP}、R_{CSFN}、C_{CS}

建议使用电流检测滤波器。通常建议 C_{CS} 为 100pF 且 R_{CSFP} 和 R_{CSFN} 为 1Ω。C_{CS} 必须尽可能靠近器件放置。

将 CSPx 与 CSNx 布线一起通过开尔文连接与电流检测电阻相连。

增大 C_{CS} 和 R_{CSFN} 可以增加 RC 时间常数。增大 R_{CSFP} 会导致严重的电流检测误差。

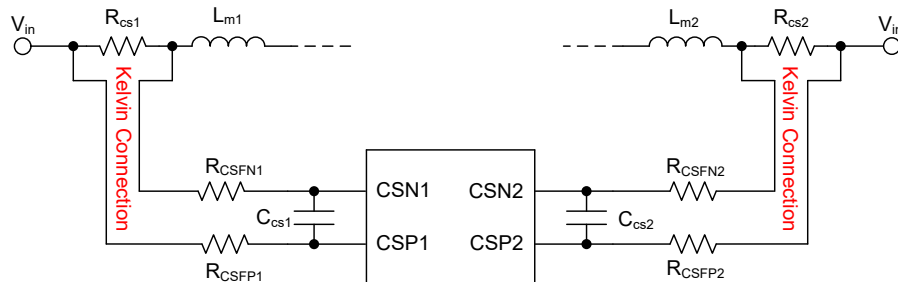


图 7-4. 电流检测滤波器

7.2.3.7 低侧电源开关 Q_L

选择一个逻辑电平 N 沟道 MOSFET，确保 5V VCC 足以完全增强 MOSFET。另请注意，旁路操作期间的最小 HOx-SWx 电压为 3.75V。确保 MOSFET 在该电压下导通。

通过分解损耗来选择功率 MOSFET 器件是比较不同器件的相对效率的一种方式。低侧 MOSFET 器件的损耗可分为导通损耗和开关损耗。

低侧导通损耗大致计算如下：

$$P_{\text{COND_LS}} = D \times I_{\text{in}}^2 \times R_{\text{DS(on)}} \times 1.3 \quad (38)$$

其中，系数 1.3 用于考虑 MOSFET 导通电阻因发热而出现的增加。也可以去掉系数 1.3，并可使用 MOSFET 数据表中 $R_{\text{DS(on)}}$ 与温度间的关系曲线来估算 MOSFET 的高温导通电阻。

在低侧 MOSFET 导通和关断时的短暂转换期间发生开关损耗。在转换期间，MOSFET 器件的沟道中同时出现电流和电压。低侧开关损耗大致计算如下：

$$P_{\text{SW_LS}} = 0.5 \times V_{\text{out}} \times I_{\text{in}} \times (t_{\text{R}} + t_{\text{F}}) \times f_{\text{sw}} \quad (39)$$

t_{R} 和 t_{F} 是低侧 MOSFET 的上升和下降时间。上升和下降时间通常在 MOSFET 数据表中提及，也可以利用示波器根据经验观察到。

高侧 MOSFET 的反向恢复会增加低侧 MOSFET 的下降时间和导通电流，从而导致更高的导通损耗。

可以与低侧 MOSFET 并联一个额外的肖特基二极管，并使源极和漏极具有短的连接，从而更大幅度地减少 SW 节点处的负电压尖峰。

7.2.3.8 高侧电源开关 Q_H 和附加的并联肖特基二极管

高侧 MOSFET 器件的损耗可以分为导通损耗、死区时间损耗和反向恢复损耗。开关损耗只计算低侧 MOSFET 器件的损耗。高侧 MOSFET 器件的体二极管在高侧 MOSFET 器件开关前后导通，因此高侧 MOSFET 器件的开关损耗可以忽略不计。

高侧导通损耗大致计算如下：

$$P_{COND_HS} = D' \times I_{in}^2 \times R_{DS(on)} \times 1.3 \quad (40)$$

死区时间损耗大致计算如下：

$$P_{DT_HS} = V_D \times I_{in} \times (t_{DLH} + t_{DHL}) \times f_{sw} \quad (41)$$

其中

- V_D 是高侧 MOSFET 体二极管的正向压降。
- t_{DLH} 是低侧开关关断和高侧开关导通之间的死区时间。
- t_{DHL} 是高侧开关关断和低侧开关导通之间的死区时间。

高侧 MOSFET 开关的反向恢复特性对效率影响极大，特别是在输出电压较高时。较小的反向恢复电荷有助于提升效率，同时也使开关噪声最小化。

反向恢复损耗的近似计算方式如下：

$$P_{RR_HS} = V_{out} \times Q_{RR} \times f_{sw} \quad (42)$$

其中

- Q_{RR} 是高侧 MOSFET 体二极管的反向恢复电荷。

高侧开关可以并联一个附加的肖特基二极管，以提升效率。通常，此并联肖特基二极管的额定功率可以小于高侧开关的功率，因为该二极管只在死区时间内导通。并联二极管的额定功率必须足够高，以便处理启动时的浪涌电流、开关之前存在的任何负载、断续模式运行等。

7.2.3.9 缓冲组件

通过高侧 N 沟道 MOSFET 器件的电阻-电容缓冲网络减少了开关节点处的振铃和尖峰。过多的振铃和尖峰可能导致器件运行不稳定，并可能将噪声耦合到输出电压。最好根据经验选择缓冲器的值。首先，确保缓冲器连接的引线长度非常短。电阻值从 $5\ \Omega$ 到 $50\ \Omega$ 开始。增大缓冲电容值可以增强阻尼效果，但此操作也会导致更高的缓冲器损耗。为缓冲电容器选择一个最小值，该值应在重负载条件下有效抑制开关波形上的尖峰。如果布局经过优化，则可能不需要缓冲器。

7.2.3.10 V_{out} 编程

对于固定输出电压， V_{OUT} 可通过将一个电阻器连接至 ATRK/DTRK 并打开内部 $20\ \mu A$ 高精度电流源来进行编程。

$$R_{ATRK} = \frac{V_{out_max}}{6V} \times 10k\Omega = 75k\Omega \quad (43)$$

对于 H 类音频应用，可以调节 V_{out} 以优化效率。可以通过 ATRK/DTRK 实现模拟或数字跟踪功能。

对于模拟跟踪，请向 ATRK/DTRK 施加电压以对 V_{out} 进行编程。电压可以由下式得出：

$$V_{ATRK_max} = \frac{V_{out_max}}{30} = 1.5V \quad (44)$$

$$V_{\text{ATRK_min}} = \frac{V_{\text{out_min}}}{30} = 0.4\text{V} \quad (45)$$

也可以通过数字 PWM 信号 (DTRK) 对输出电压进行编程。占空比 D_{TRK} 可由下式得出：

$$D_{\text{TRK}} = \frac{V_{\text{out_max}}}{0.75\text{V}} \times 100\% = 60\% \quad (46)$$

$$D_{\text{TRK_min}} = \frac{V_{\text{out_min}}}{0.75\text{V}} \times 100\% = 16\% \quad (47)$$

确保 DTRK 频率介于 100kHz 和 2200kHz 之间。

可以利用具有失调电压的两级 RC 滤波器将数字 PWM 信号转换为模拟电压，如图 7-5 所示。

两级 RC 滤波器用于将 PWM 信号滤波为平滑的模拟电压。在选择两级 RC 滤波器时，考虑了 ATRK/DTRK 上的电压纹波和上升时间。

上拉电阻 (R_{PU}) 和下拉电阻 (R_{PD}) 用于向 ATRK/DTRK 添加失调电压，从而使得 100% PWM 占空比时，输出电压设置为 $V_{\text{out_max}}$ ，而 0% PWM 占空比时，输出电压设置为 $V_{\text{out_min}}$ 。

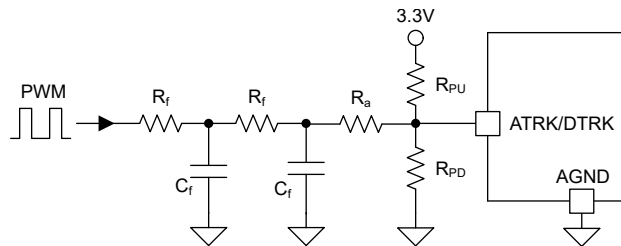


图 7-5. 两级 RC 滤波器连接到 ATRK/DTRK

此应用中使用了 400kHz 的 PWM 频率。为滤波器选择了 $R_f = 4.99\text{k}\Omega$ 且 $C_f = 47\text{nF}$ 。为了产生适当的失调电压，选择了 $R_a = 1.5\text{k}\Omega$ 、 $R_{\text{PU}} = 51\text{k}\Omega$ 且 $R_{\text{PD}} = 7.87\text{k}\Omega$ 。

在图 7-6 和图 7-7 中可以观察到 ATRK/DTRK 的电压纹波和上升时间。ATRK/DTRK 上的电压纹波为 $9.2\mu\text{V}$ ，该值非常低。而上升时间约为 1ms，也非常适合音频系统。

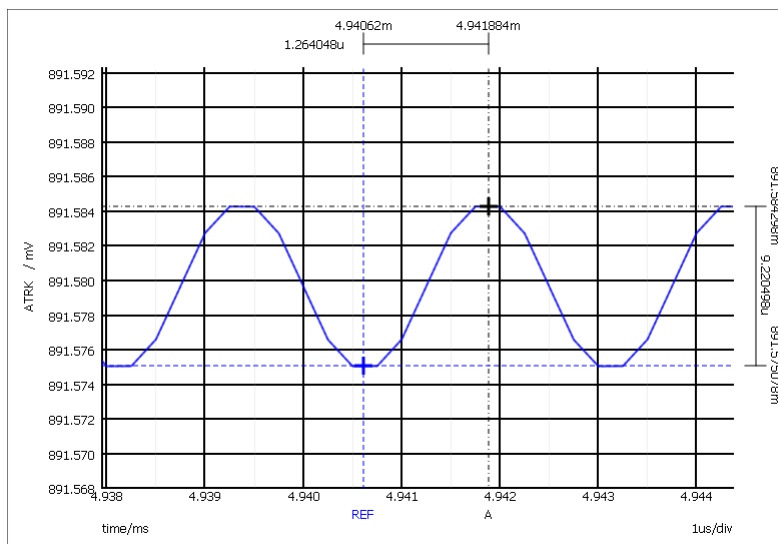


图 7-6. ATRK/DTRK 的电压纹波

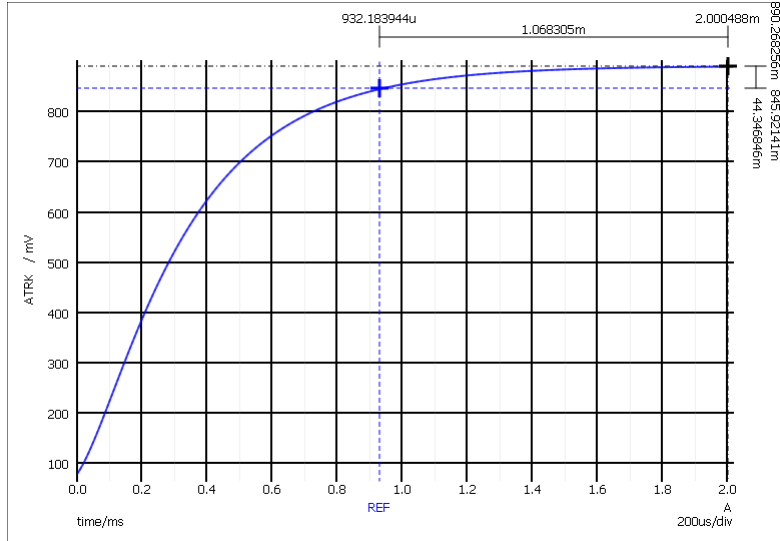


图 7-7. ATRK/DTRK 的上升时间

7.2.3.11 输入电流限制 (ILIM/IMON)

在音频应用中，瞬态功率可能非常高。此应用中选择 1000W 作为峰值输出功率。但平均功率通常远低于峰值功率。此处选择了 300W 作为平均功率。通过采用适当的 ILIM/IMON 设置，可以将平均输入电流限制在 300W 以下，同时允许 1000W 峰值功率持续 100ms。当平均电流环路被触发时，V_{OUT} 会下降，直至输入和输出功率达到平衡。

平均输出功率和典型输入电压下的每相输入电流可通过以下公式得出：

$$I_{\text{avg}} = \frac{P_{\text{avg_total}}}{2 \times \eta \times V_{\text{in_typ}}} = 11.0\text{A} \quad (48)$$

此处选择了 13A 作为平均输入电流限制。

$$I_{\text{lim}} = 13\text{A} \quad (49)$$

来自 ILIM/IMON 的电流可通过以下公式得出：

$$I_{\text{MON_lim}} = 2 \times (R_{\text{CS}} \times I_{\text{lim}} \times G_{\text{IMON}} + I_{\text{OFFSET}}) = 2 \times (1.5\text{m}\Omega \times 13\text{A} \times 0.333\text{mA/V} + 4\mu\text{A}) = 21\mu\text{A} \quad (50)$$

R_{LIM} 的计算公式如下：

$$R_{\text{IMON}} = \frac{V_{\text{ILIM}}}{I_{\text{MON}}} = \frac{1\text{V}}{21\mu\text{A}} = 47.6\text{k}\Omega \quad (51)$$

此处为 R_{IMON} 选择了 47.5kΩ 的标准值。

如图 7-8 所示，C_{IMON} 和 R_C 可用于在触发平均电流环路之前引入适当的延迟。

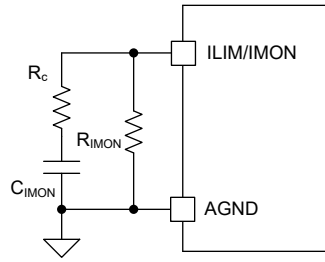


图 7-8. ILIM/IMON 引脚配置

该应用中要求在两倍额定功率下引入 100ms 延迟。

在零负载下，来自 ILIM/IMON 的电流可通过以下公式得出：

$$I_{\text{MON_0A}} = 2 \times I_{\text{OFFSET}} = 8\mu\text{A} \quad (52)$$

零负载时的 ILIM/IMON 电压可使用以下公式计算：

$$V_{\text{IMON_0A}} = R_{\text{IMON}} \times I_{\text{MON_0A}} = 0.38\text{V} \quad (53)$$

在两倍额定功率下，来自 ILIM/IMON 的电流可通过以下公式得出：

$$I_{\text{MON_tr}} = 2 \times (R_{\text{CS}} \times 2 \times I_{\text{lim}} \times G_{\text{IMON}} + I_{\text{OFFSET}}) = 2 \times (1.5\text{m}\Omega \times 26\text{A} \times 0.333\text{mA/V} + 4\mu\text{A}) = 34\mu\text{A} \quad (54)$$

C_{IMON} 可通过以下公式确定：

$$C_{\text{IMON}} = \frac{t_{\text{delay}}}{R_{\text{IMON}} \times \ln\left(\frac{R_{\text{IMON}} \times I_{\text{MON_tr}} - V_{\text{IMON_0A}}}{R_{\text{IMON}} \times I_{\text{MON_tr}} - V_{\text{ILIM}}}\right)} = 3.0\mu\text{F} \quad (55)$$

此处为 C_{IMON} 选择了 $3.3\mu\text{F}$ 的标准值。

R_{C} 可以根据下式确定：

$$R_{\text{C}} = \frac{1}{20\pi \times C_{\text{IMON}}} = 4.8\text{k} \quad (56)$$

此处为 R_{C} 选择了 $4.99\text{k}\Omega$ 的标准值。

7.2.3.12 UVLO 分压器

所需的启动电压和迟滞由分压器 R_{UVT} 和 R_{UVB} 设置。在此设计中，启动电压 ($V_{\text{in_on}}$) 设置为 8.5V ，比 $V_{\text{in_min}}$ 低 0.5V 。UVLO 迟滞电压设为 1V 。因此，UVLO 关断电压 ($V_{\text{in_off}}$) 为 7.5V 。 R_{UVT} 和 R_{UVB} 的值计算如下：

$$R_{\text{UVT}} = \frac{V_{\text{in_on}} - \frac{V_{\text{UVLO_RISING}}}{V_{\text{UVLO_FALLING}}} \times V_{\text{in_off}}}{I_{\text{UVLO_HYS}}} = \frac{8.5\text{V} - \frac{1.1\text{V}}{1.075\text{V}} \times 7.5\text{V}}{10\mu\text{A}} = 82.6\text{k}\Omega \quad (57)$$

此处为 R_{UVT} 选择了 $82.5\text{k}\Omega$ 的标准值。

$$R_{\text{UVB}} = \frac{V_{\text{UVLO_FALLING}} \times R_{\text{UVT}}}{V_{\text{in_off}} - V_{\text{UVLO_FALLING}}} = \frac{1.075\text{V} \times 82.5\text{k}\Omega}{7.5\text{V} - 1.075\text{V}} = 13.8\text{k}\Omega \quad (58)$$

此处为 R_{UVB} 选择了 $13.8\text{k}\Omega$ 的标准值。

这里选择额一个 100nF 的 UVLO 电容器 (C_{UVLO})，以防在启动期间或在低输入电压下发生严重负载瞬态期间， V_{in} 瞬间降至 $V_{\text{in_off}}$ 以下。

7.2.3.13 软启动

最大输出电压下的软启动时间最长。6ms 软启动时间对应的软启动电容可以根据下式确定：

$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{ATRK_max}} \left(\frac{V_{out_max}}{V_{out_max} - V_{in_typ}} \right) = \frac{50\mu A \times 6ms}{1.5V} \left(\frac{45V}{45V - 14.4V} \right) = 0.29\mu F \quad (59)$$

此处为 C_{SS} 选择了 0.33 μF 的标准值。

7.2.3.14 CFG 设置

CFG0 是根据死区时间以及打开或关闭 ATRK/DTRK 引脚 20 μA 电流源来选择的，具体请参阅表 6-1。

此处选择了 50ns 死区时间和打开 20 μA 电流源。为 CFG0 选择了级别 3 (1.3k Ω)。

CFG1 是根据 OVP、DRSS、峰值电流限制锁存和 PGOOD OVP 启用来选择的。

此处选择了 50V OVP (OVP 位 0)、DRSS 关闭、 I_{CL_latch} 禁用和 PGOOD OVP 禁用。为 CFG1 选择了级别 10 (10.5k Ω)。

CFG2 是根据 OVP、交错相位角、SYNCIN 和时钟抖动来选择的，具体请参阅表 6-4。

此处选择了 50V OVP (OVP 位 1)、180°交错相位角、禁用 SYNCIN 以及根据 CFG1 设置的 DRSS。为 CFG1 选择了级别 1 (0 Ω)。

7.2.3.15 输出电容器 C_{out}

输出电容器可以消除输出电压纹波，并在负载瞬态条件下提供电荷源。

必须仔细选择输出电容器的纹波电流额定值。在升压稳压器中，输出由不连续的电流提供，纹波电流要求通常较高。在实际应用中，通过在大容量铝电容器之前靠近电源开关的位置放置高质量陶瓷电容器，可以显著降低纹波电流要求。

输出电压纹波主要受输出电容器的 ESR 的影响。并联输出电容器是一个不错的选择，可以最大限度地降低有效 ESR，并将输出纹波电流分散到电容器中。

单相升压输出 RMS 纹波电流可以表示为：

$$I_{1p_rms} \approx I_{out} \times \sqrt{\frac{D}{D'}} \quad (60)$$

输出 RMS 电流通过交错技术降低，如图 7-10 所示。双相交错式升压输出 RMS 纹波电流可以表示为：

$$I_{out_2p_rms} \approx \begin{cases} \frac{I_{out}}{\sqrt{2}} \times \sqrt{\frac{D \times (1-2D)}{D'}}, & D < 0.5 \\ \frac{I_{out}}{\sqrt{2}} \times \sqrt{\frac{2D-1}{D'}}, & D \geq 0.5 \end{cases} \quad (61)$$

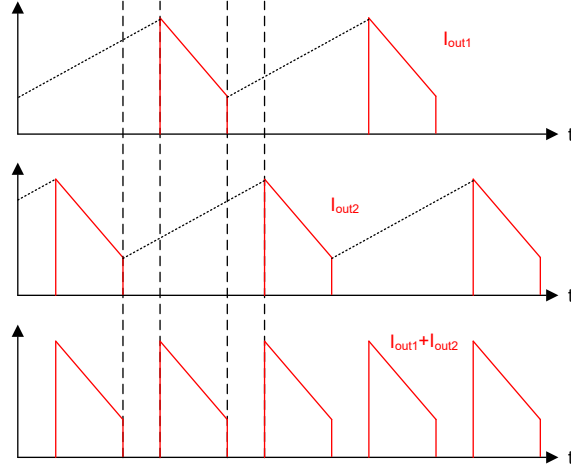


图 7-9. 标准化输出电容器 RMS 纹波电流

去耦电容器对于尽可能降低 MOSFET 的电压尖峰至关重要。这在 EMI 方面也很重要。根据“垂直环路”概念，许多 0603/100nF 陶瓷电容器放置在靠近 MOSFET 的位置。有关更多详细信息，请参阅[通过优化的功率级布局免费提高大电流直流/直流稳压器 EMI 性能应用简报](#)。

另外还需要使用一些 10μF 陶瓷电容器来降低输出电压纹波并分离输出纹波电流。

通常需要使用铝电容器来实现高电容。本例中选择了四个 150μF 铝电容器。

输出瞬态响应与环路增益的带宽和输出电容密切相关。根据[如何通过瞬态响应测量确定带宽](#)技术文章，过冲或下冲 V_p 可以通过下式估算：

$$V_p = \frac{\Delta I_{\text{tran}}}{2\pi \times f_c \times C_{\text{out}}} \quad (62)$$

其中， ΔI_{tran} 为瞬态负载电流阶跃。

请注意，仅当负载阶跃期间转换器始终以 CCM 或 FPWM 模式运行时，[方程式 62](#) 才有效。如果转换器在轻负载条件下进入 DCM 或脉冲跳跃模式，则过冲会更糟。

由于从输入到输出之间存在固有路径，当输入电压快速上升并对输出电容充电时，可能会产生无限的浪涌电流。输入电压上升的压摆率必须由热插拔或软启动输入电源来控制，以避免浪涌电流损坏电感器、检测电阻器或高侧 MOSFET。

7.2.3.16 输入电容器 C_{in}

始终需要输入电容器来提供稳定的输入电压。输入电容器必须能够处理电感器纹波电流。

单相升压输入 RMS 纹波电流可以表示为：

$$I_{\text{in}_1\text{p_rms}} = \frac{I_{\text{pp}}}{\sqrt{12}} \quad (63)$$

输入 RMS 电流通过交错技术降低，如[图 7-10](#) 所示。双相交错式升压输入 RMS 纹波电流可以表示为：

$$I_{\text{in}_2\text{p_rms}} = \begin{cases} \frac{I_{\text{pp}}}{\sqrt{12}} \times \frac{1-2D}{D}, & D < 0.5 \\ \frac{I_{\text{pp}}}{\sqrt{12}} \times \frac{2D-1}{D}, & D \geq 0.5 \end{cases} \quad (64)$$

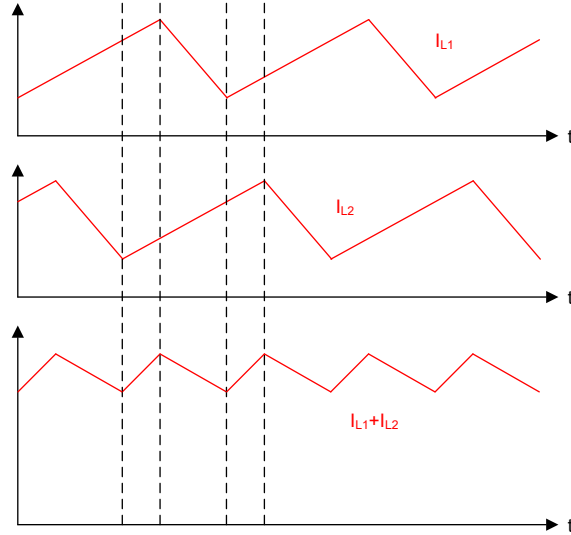


图 7-10. 标准化输出电容器 RMS 纹波电流

输入电容器也是输入滤波器的重要组成部分。较高的电容和 ESR 有助于更好地抑制输入滤波器的振荡。铝电解电容器是具有高电容和 ESR，非常适合用作输入电容器。有关更多详细信息，请参阅[开关电源的输入滤波器设计应用手册](#)。

7.2.3.17 自举电容器

HBx 和 SWx 引脚间的自举电容器提供栅极电流，在每个周期的导通期间为高侧 MOSFET 器件栅极供电，并为自举二极管提供恢复电荷。这些电流峰值可达几安培。建议使用 0.1 μF 的自举电容器。C_{BST} 必须为优质、低 ESR 陶瓷电容器，置于器件引脚上，以最大限度地减少迹线电感导致的瞬时电压的潜在危害。自举电容器的最小值计算如下：

$$C_{\text{BST}} = \frac{Q_{\text{G}}}{\Delta V_{\text{BST}}} \quad (65)$$

其中

- Q_{G} 是 $V_{\text{CC}} = 5\text{V}$ 时的高侧 MOSFET 栅极电荷
- ΔV_{BST} 是 C_{BST} 上的可耐受压降，保守估计通常小于 V_{CC} 的 5% 或 0.15V

在此示例中，自举电容器 (C_{BST}) 的值为 0.1 μF 。

7.2.3.18 VCC 电容器 C_{VCC}

VCC 电容器的主要作用是 LO 驱动器和自举二极管提供峰值瞬态电流，并为 VCC 稳压器提供稳定性。这些峰值电流可达几安培。C_{VCC} 的值必须至少是 C_{BST} 值的 10 倍，并且必须选择优质、低 ESR 的陶瓷电容器。为了尽可能地减少布线电感导致的潜在破坏性电压瞬变，应将 C_{VCC} 靠近器件引脚放置。

本设计示例选择了 10 μF 的值。

7.2.3.19 BIAS 电容器

C_{BIAS} 电容器必须是高质量的陶瓷电容器，并放置在靠近器件的位置。

本设计示例选择了 1 μF 的值。

7.2.3.20 VOUT 电容器

C_{OUT} 电容器必须是高质量的陶瓷电容器，并放置在靠近器件的位置。

本设计示例选择了 0.1 μF 的值。

7.2.3.21 环路补偿

R_{COMP} 、 C_{COMP} 和 C_{HF} 配置误差放大器增益和相位特征，以产生稳定的电压环路。如需快速入门，请遵循以下四个步骤：

1. 选择交叉频率 f_c 。选择 RHPZ 频率的四分之一或开关频率的十分之一（以较低值为准）处的交叉频率 (f_c)。必须考虑最小输入电压和最大输出电压下的 RHPZ。

$$\frac{f_{sw}}{10} = 40\text{kHz} \quad (66)$$

$$\frac{f_{RHPZ}}{5} = \frac{R_{out} \times D'^2}{5 \times 2\pi \times L_{m_eq}} = 1.6\text{kHz} \quad (67)$$

选定的交叉频率 $f_c = 1.5\text{kHz}$ 。

2. 确定所需 R_{COMP}

已知 f_c ， R_{COMP} 计算如下：

$$R_{COMP} = \frac{2\pi \times f_c \times C_{out} \times A_{cs} \times R_{cs_eq}}{D' \times K_{FB} \times g_m} = \frac{2\pi \times 1.6\text{kHz} \times 600\mu\text{F} \times 10 \times 0.75\text{m}\Omega}{0.2 \times \frac{1}{30} \times 1 \frac{\text{mA}}{\text{V}}} = 6.78\text{k}\Omega \quad (68)$$

此处为 R_{COMP} 选择了 $6.8\text{k}\Omega$ 的标准值。

3. 确定 C_{COMP}

将 ω_{z_EA} 设置为负载极点频率 ω_{p_LF} 处以抵消负载极点。已知 R_{COMP} ， C_{COMP} 的计算如下：

$$C_{COMP} = \frac{1}{R_{COMP} \times \omega_{p_LF}} = \frac{1}{6.8\text{k}\Omega \times \frac{2}{2.025\Omega \times 600\mu\text{F}}} = 89\text{nF} \quad (69)$$

此处为 C_{COMP} 选择 100nF 的标准值。

4. 确定 C_{HF} 。

将 ω_{HF} 置于 ω_{RHPZ} 或 ω_{z_ESR} 零点（以较低者为准）处。已知 R_{COMP} 、RHPZ 和 ESR 零点， C_{HF} 的计算如下：

$$C_{HF} = \frac{1}{R_{COMP} \times \omega_{HF}} = \frac{1}{6.8\text{k}\Omega \times 49\text{kHz}} = 3\text{nF} \quad (70)$$

此处为 C_{HF} 选择了 3.3nF 的标准值。

7.2.4 应用曲线

7.2.4.1 效率

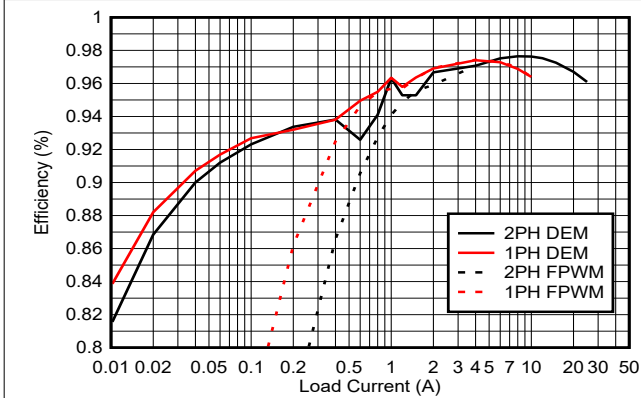


图 7-11. 效率与输出电流间的关系, $V_{in} = 14.4V$, $V_{out} = 24V$

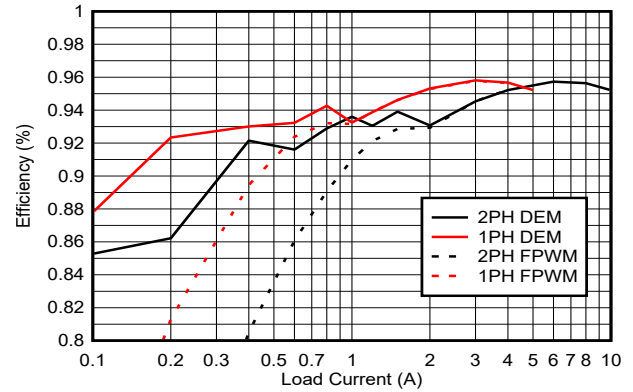


图 7-12. 效率与输出电流间的关系, $V_{in} = 14.4V$, $V_{out} = 45V$

7.2.4.2 稳态波形

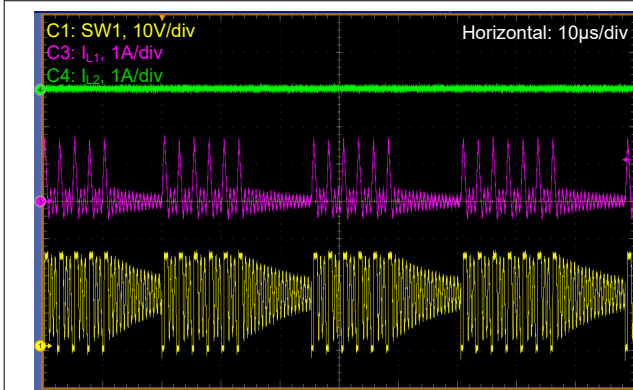


图 7-13. $V_{in} = 14.4V$, $V_{out} = 24V$, DEM, $I_{load} = 0.1A$

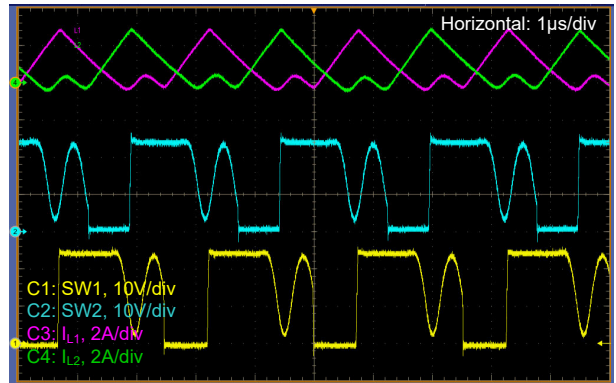


图 7-14. $V_{in} = 14.4V$, $V_{out} = 24V$, DEM, $I_{load} = 1A$

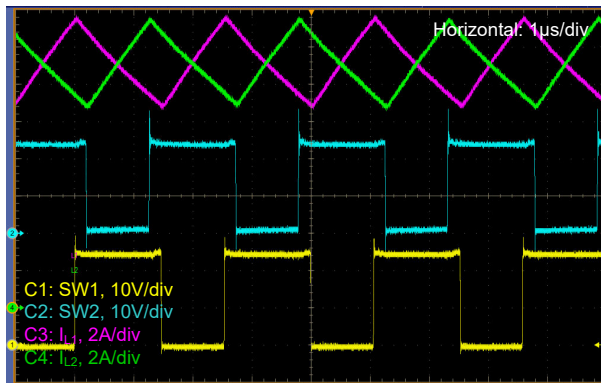


图 7-15. $V_{in} = 14.4V$, $V_{out} = 24V$, DEM, $I_{load} = 15A$

7.2.4.3 阶跃负载响应

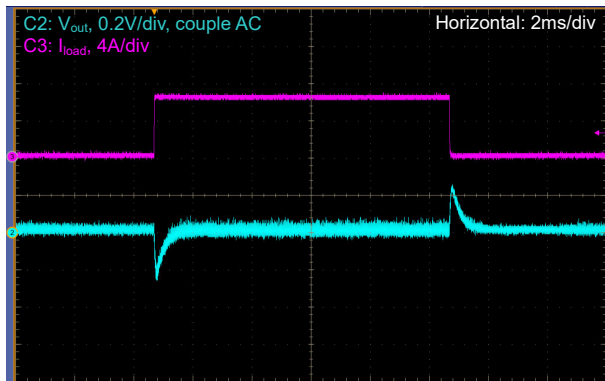


图 7-16. 负载瞬态, $V_{in} = 14.4V$, $V_{out} = 24V$, FPWM, $I_{load} = 0A$ 至 $6.25A$, $1A/\mu s$

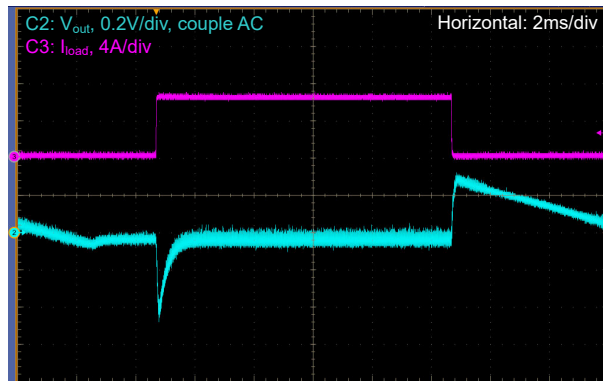


图 7-17. 负载瞬态, $V_{in} = 14.4V$, $V_{out} = 24V$, DEM, $I_{load} = 0A$ 至 $6.25A$, $1A/\mu s$

7.2.4.4 同步操作

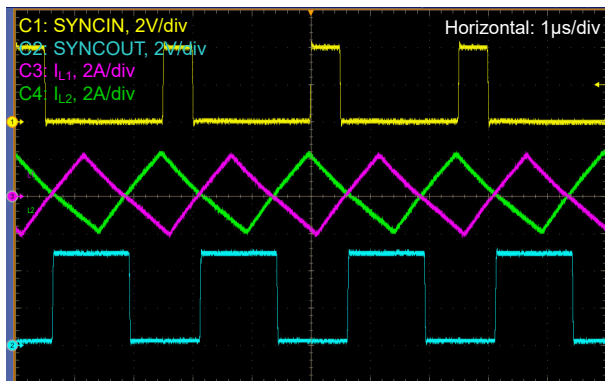


图 7-18. $V_{in} = 14.4V$, $V_{out} = 24V$, FPWM, $I_{load} = 0A$, CFG2 = 电平 13

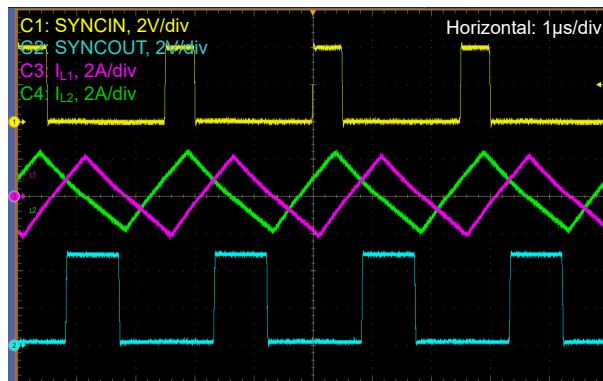
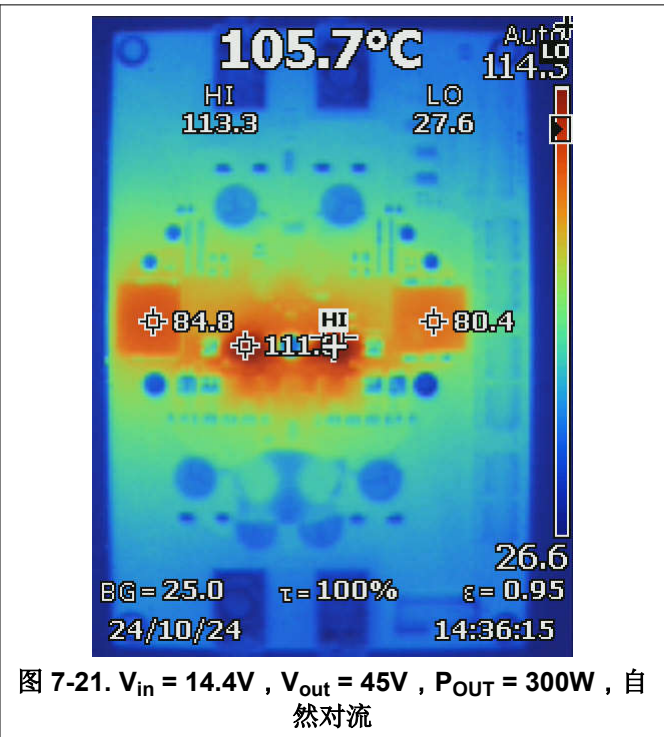
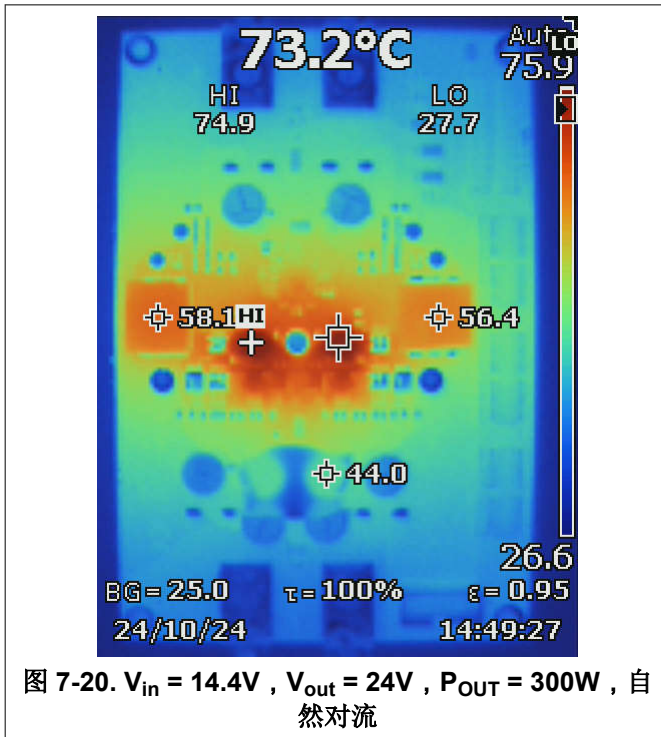


图 7-19. $V_{in} = 14.4V$, $V_{out} = 24V$, FPWM, $I_{load} = 0A$, CFG2 = 电平 11

7.2.4.5 热性能



7.3 电源相关建议

LM5125-Q1 设计为在宽输入电压范围内工作。输入电源的特性必须符合绝对最大额定值和 建议运行条件。此外，输入电源必须能够向满载稳压器提供所需的输入电流。可以使用 [方程式 71](#) 来估算平均输入电流。

$$I_I = \frac{P_O}{V_I \eta} \quad (71)$$

其中

- η 表示效率。

获得效率值的一种方法是采用最坏情况运行模式下 [效率](#) 中的效率图数据。对于大多数应用，升压运行区域是具有最高输入电流的区域。

如果该器件通过长导线或具有大阻抗的 PCB 布线连接到输入电源，则需要特别谨慎来实现稳定的性能。输入电缆的寄生电感和电阻可能会对转换器的运行造成不良影响。寄生电感与低 ESR 陶瓷输入电容相结合，构成一个欠阻尼谐振电路。每次进行输入电源的打开和关闭循环时，该电路都会导致 V_I 处出现过压瞬态。寄生电阻会在负载瞬变期间导致输入电压下降。若要解决此类问题，一种做法是缩短输入电源与稳压器之间的距离，并将铝或钽输入电容器与陶瓷电容器并联使用。电解电容器的中等 ESR 有助于抑制输入谐振电路并减少任何电压过冲。控制器功率级之前通常使用一个 EMI 输入滤波器。除非经过精心设计，否则 EMI 输入滤波器可能会导致不稳定以及前面提到的一些影响。

7.4 布局

7.4.1 布局指南

开关转换器的性能在很大程度上取决于 PCB 布局的质量。PCB 设计不佳可能会导致转换器不稳定、负载调节问题、噪声或 EMI 问题等。电源路径中不得使用 VCC 或自举电容器的热缓解连接，因为热缓解连接会显著增加电感。

- 将 VCC、BIAS、HB1 和 HB2 电容器靠近相应的器件引脚放置，并使用短而宽的布线连接它们，以更大限度地减小电感，因为这些电容器会承载高峰值电流。
- 将 CSN1、CSP1、CSN2 和 CSP2 滤波电阻器和电容器靠近相应的器件引脚放置，以更大限度地减少滤波器与器件之间的噪声耦合。将布线以差分对方式连接到靠近电感器的检测电阻 R_{CS1} 和 R_{CS2} ，并且周围有接地层，以避免噪声耦合。与检测电阻之间采用开尔文连接。
- 将补偿网络 R_{COMP} 和 C_{COMP} 以及频率设置电阻 R_{RT} 靠近相应的器件引脚放置，并使用短迹线连接它们，以避免噪声耦合。将模拟接地引脚 AGND 连接到这些元件。
- 将 ATRK 电阻器 R_{ATRK} (使用时) 靠近 ATRK 引脚放置并连接到 AGND。
- 请注意，以下元件的布局并不那么重要：
 - 软启动电容器 C_{SS}
 - DLY 电容器 C_{DLY}
 - ILIM/IMON 电阻器和电容器 R_{ILIM} 与 C_{ILIM}
 - CFG0、CFG1 和 CFG2 电阻器
 - UVLO/EN 电阻器
- 将 AGND 和 PGND 引脚直接连接到外露焊盘 (EP)，从而在器件处形成星形连接。
- 通过多个过孔将器件外露焊盘 (EP) 连接到接地平面以导热。
- 分离电源和信号布线，并使用接地平面来提供噪声屏蔽。

栅极驱动器具有短传播延迟、自动死区时间控制和能够提供高峰值电流的低阻抗输出级。快速上升和下降时间可确保功率 MOSFET 的快速导通和关断转换，从而实现高效率。必须尽可能地减小杂散和寄生栅极环路电感，以避免高振铃。

- 将高侧和低侧 MOSFET 靠近器件放置。
- 使用较短的布线连接栅极驱动器输出 HO1、HO2、LO1 和 LO2，以更大限度地减小电感。
- 将 HO1、HO2 和 SW1、SW2 以差分对方式连接到 MOSFET，利用磁通消除效应减少环路面积。
- 将 V_{OUT} 电容器靠近高侧 MOSFET 放置。使用短而宽的布线尽量减小功率级环路 C_{OUT} 与高侧 MOSFET 漏极的连接，以避免 MOSFET 处出现高压尖峰。
- 用短而宽的布线将低侧 MOSFET 源极连接连接到 V_{OUT} 和 V_I 电容器接地，以更大限度地减少在 MOSFET 上引起高压尖峰的电感。
- 在 MOSFET 散热焊盘处使用覆铜区进行冷却。

为了散发 MOSFET 和电感器产生的热量，请将电感器放置在远离功率级 (MOSFET) 的位置。但是，电感器与低侧 MOSFET (开关节点) 之间的布线越长，EMI 和噪声辐射就越高。为了实现最高效率，请用宽而短的布线连接电感器，以更大限度地减小电阻损耗。

7.4.2 布局示例

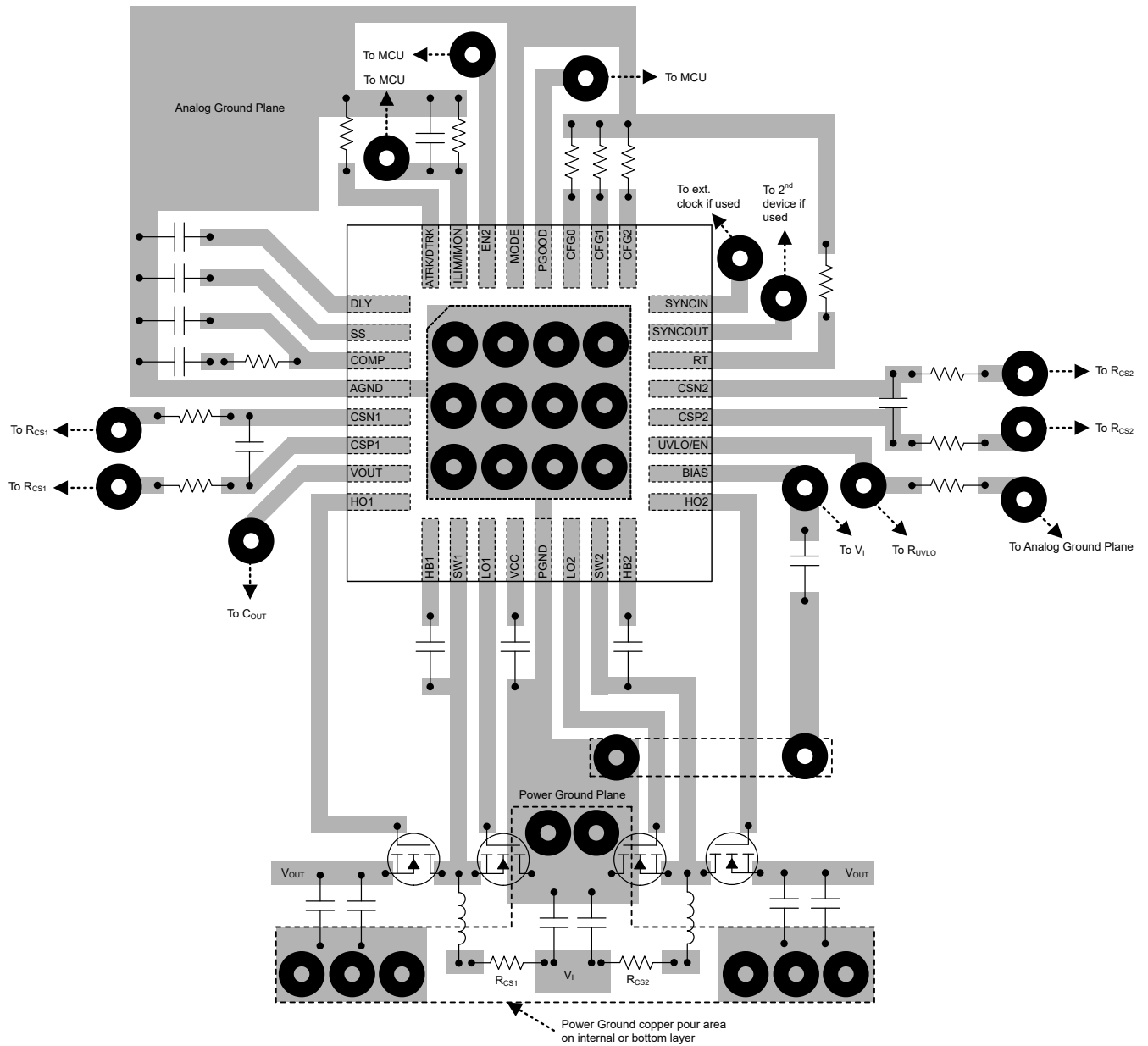


图 7-22. 布局示例

ADVANCE INFORMATION

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [开关电源的输入滤波器设计应用手册](#)
- 德州仪器 (TI), [通过优化的功率级布局免费提高电流直流/直流稳压器 EMI 性能应用简报](#)
- 德州仪器 (TI), [如何通过瞬态响应测量确定带宽技术文章](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

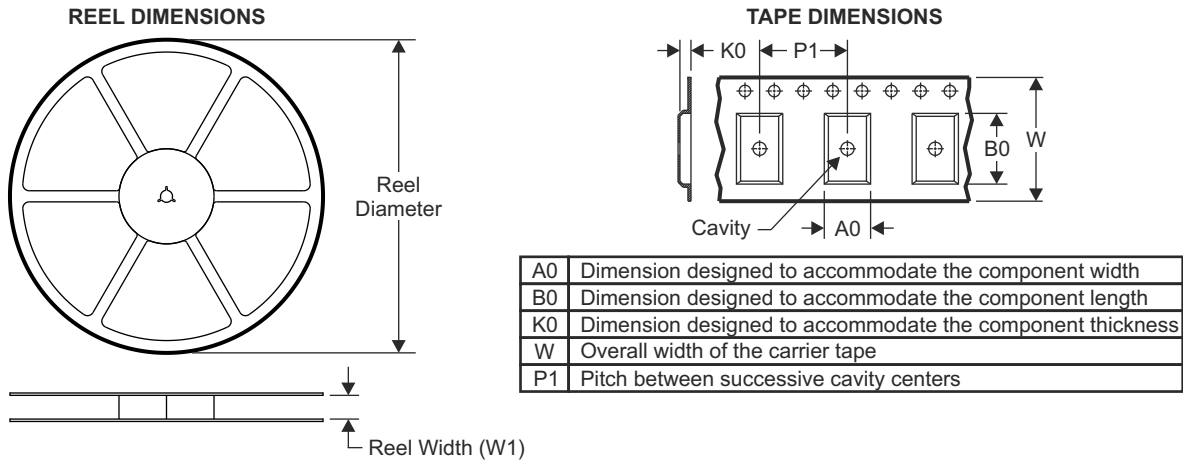
9 修订历史记录

| 日期 | 修订版本 | 注释 |
|---------------|------|-------|
| December 2024 | * | 初始发行版 |

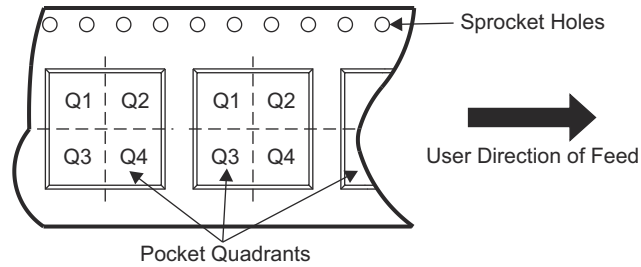
10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 卷带包装信息



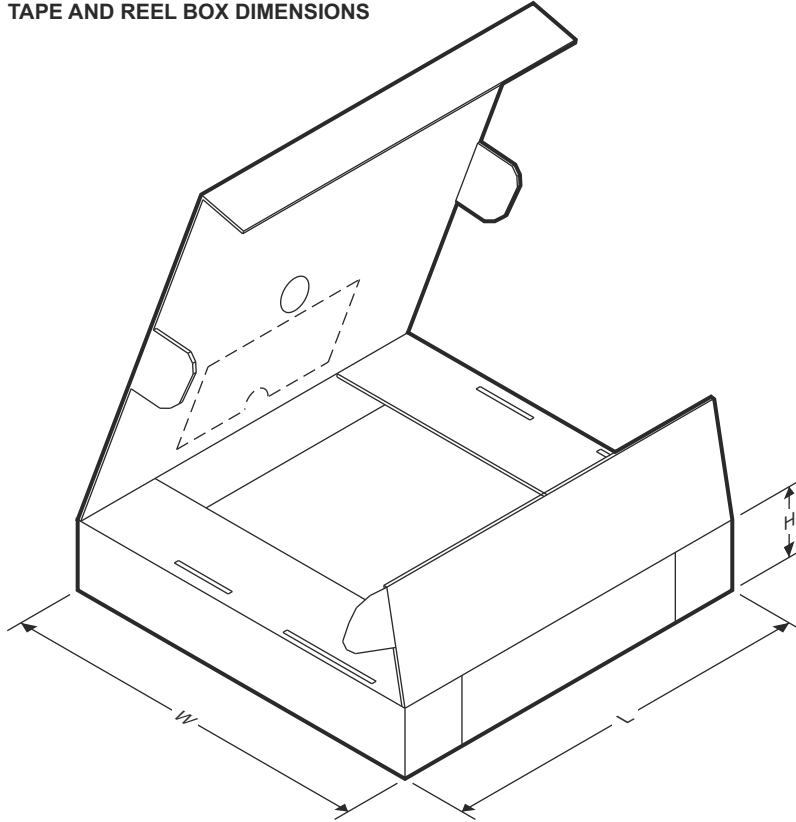
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



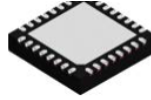
| 器件 | 封装类型 | 封装图 | 引脚 | SPQ | 卷带直径 (mm) | 卷带宽度 W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 象限 |
|-----------|------|-----|----|------|-----------|--------------|---------|---------|---------|---------|--------|---------|
| LM5125-Q1 | VQFN | RHB | 32 | 3000 | 330.0 | 12.4 | 5.3 | 5.3 | 1.1 | 8.0 | 12.0 | Q2 |

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



| 器件 | 封装类型 | 封装图 | 引脚 | SPQ | 长度 (mm) | 宽度 (mm) | 高度 (mm) |
|-----------|------|-----|----|------|---------|---------|---------|
| LM5125-Q1 | VQFN | RHB | 32 | 3000 | 346.0 | 346.0 | 33.0 |

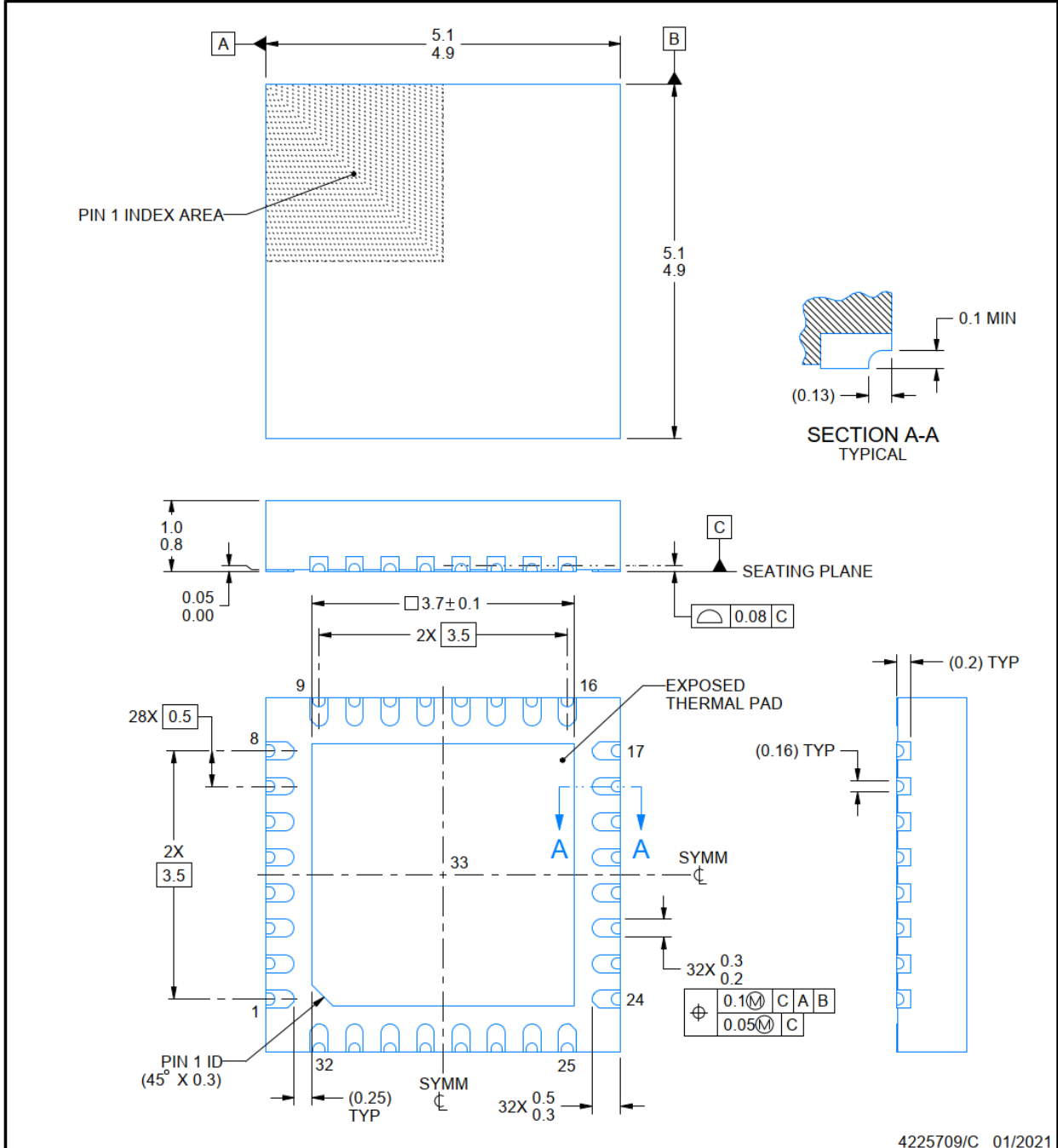


PACKAGE OUTLINE

RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

ADVANCE INFORMATION

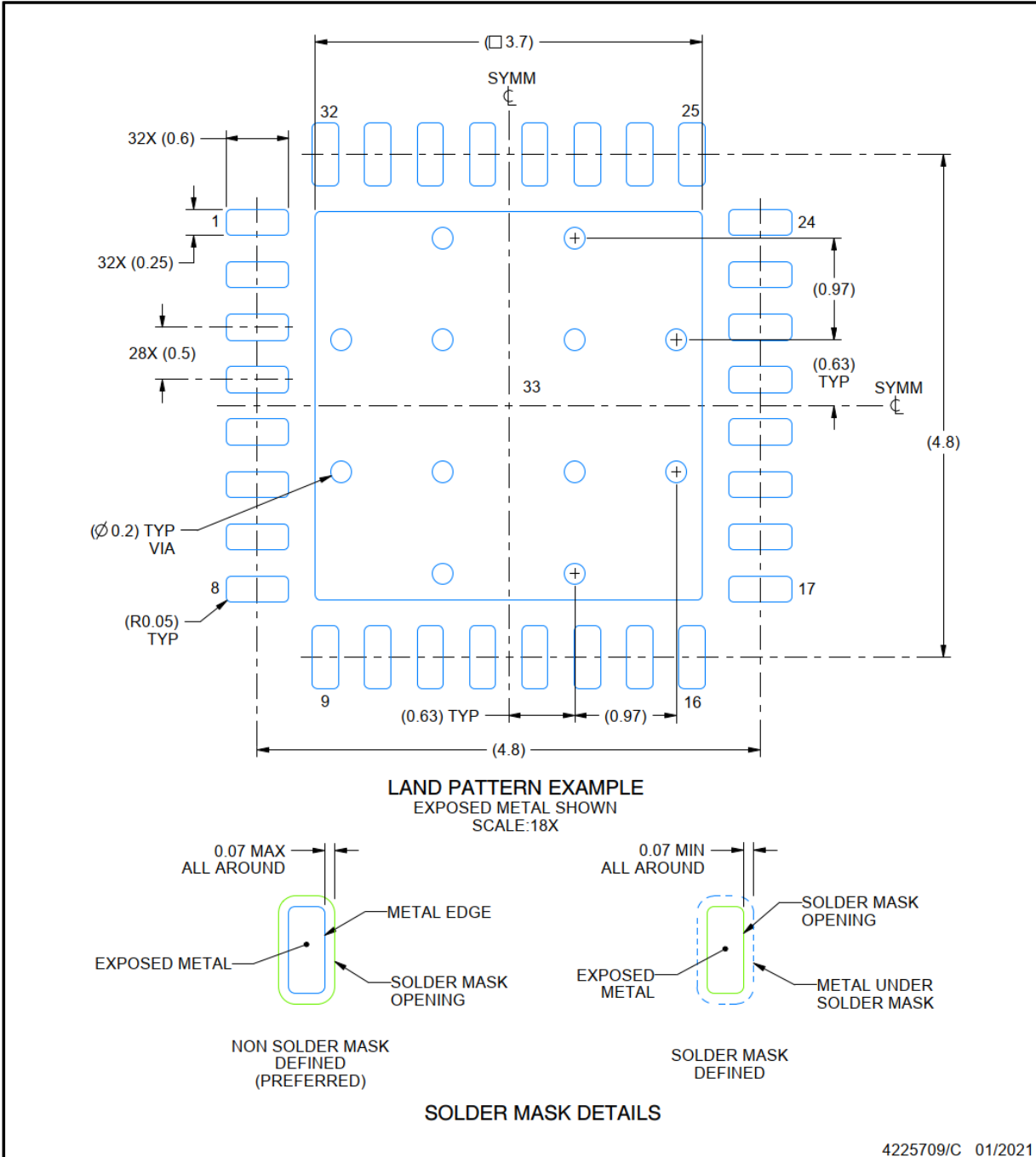
EXAMPLE BOARD LAYOUT

RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



NOTES: (continued)

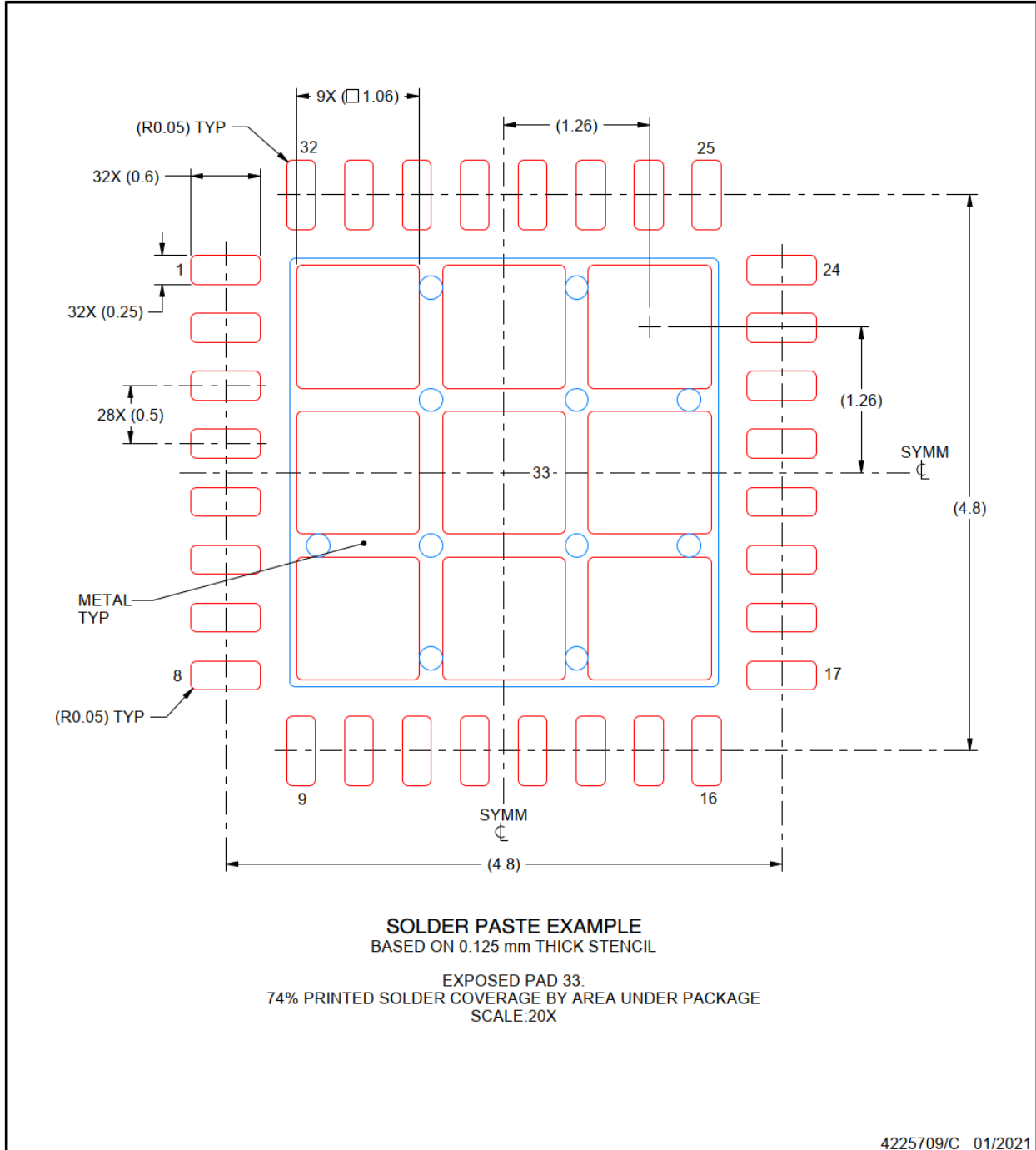
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION

PACKAGING INFORMATION

| Orderable Device | Status (1) | Package Type | Package Drawing | Pins | Package Qty | Eco Plan (2) | Lead finish/ Ball material (6) | MSL Peak Temp (3) | Op Temp (°C) | Device Marking (4/5) | Samples |
|------------------|---------------|--------------|-----------------|------|-------------|-----------------|--------------------------------------|----------------------|--------------|-------------------------|---------|
| XLM5125QRHBRQ1 | ACTIVE | VQFN | RHB | 32 | 3000 | TBD | Call TI | Call TI | -40 to 150 | | Samples |

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

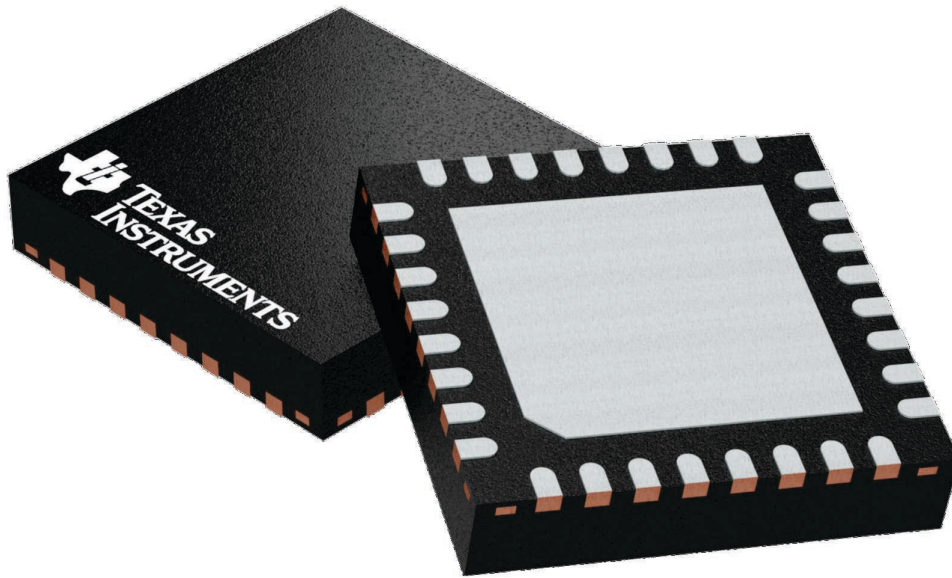
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司