

LMC649x 双路和四路 CMOS 轨到轨输入/输出运算放大器

1 特性

- 额定温度范围的轨到轨输入共模电压范围
- 轨到轨输出摆幅 (距离电源轨 100mV 以内, 负载为 2k Ω)
- 可由标准 5V 和 15V 电源供电
- 出色的 CMRR 和 PSRR : 82dB
- 超低输入电流 : 150fA
- 低电源电流 ($V_S = 5V$) : 500 μ A/放大器
- 低失调电压漂移 : 1.0 μ V/ $^{\circ}$ C

2 应用

- 汽车传感器放大器
- 压力传感器
- 氧传感器
- 温度传感器
- 速度传感器

3 说明

LMC6492 和 LMC6494 (LMC649x) 放大器专为工作温度范围为 -40°C 至 $+125^{\circ}\text{C}$ 的单电源应用而开发。由于温度范围较宽, 此功能是汽车系统的理想选择。独特的设计拓扑使 LMC649x 共模电压范围能够适应超出电源轨的输入信号。这消除了由于输入信号超出传统限制的共模电压范围而导致的非线性输出误差。LMC649x 信号范围具有 82dB 的高 CMRR, 可在同相电路配置中实现出色的精度。

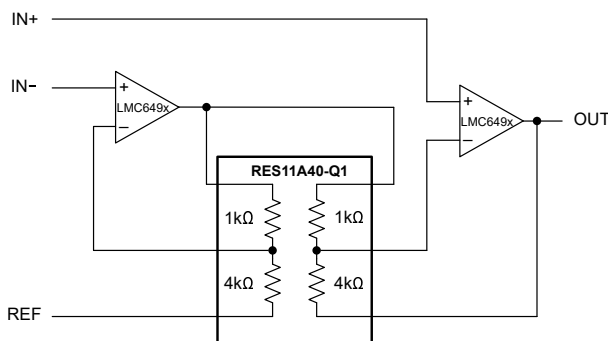
LMC649x 采用轨到轨输入, 并具有轨到轨输出摆幅。此配置可提供最大动态信号范围, 在 5V 系统中尤为重要。

150fA 超低输入电流和 120dB 开环增益可提供高精度, 并可与高阻抗源直接连接。

器件信息

器件型号	通道数	封装 ⁽¹⁾
LMC6492	双通道	D (SOIC, 8)
LMC6494	四通道	D (SOIC, 14)

(1) 有关更多信息, 请参阅节 9。



使用 RES11A-Q1 的两级运放仪表放大器



内容

1 特性.....	1	6.1 应用信息.....	14
2 应用.....	1	6.2 典型应用.....	17
3 说明.....	1	6.3 布局.....	19
4 引脚配置和功能.....	2	7 器件和文档支持.....	21
5 规格.....	4	7.1 器件支持.....	21
5.1 绝对最大额定值.....	4	7.2 接收文档更新通知.....	22
5.2 ESD 等级.....	4	7.3 支持资源.....	22
5.3 建议运行条件.....	4	7.4 静电放电警告.....	22
5.4 热性能信息.....	4	7.5 术语表.....	22
5.5 电气特性.....	5	8 修订历史记录.....	22
5.6 典型特性.....	8	9 机械、封装和可订购信息.....	23
6 应用和实施.....	14		

4 引脚配置和功能

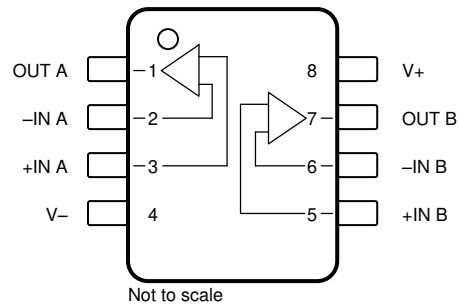


图 4-1. LMC6492 : D 封装 , 8 引脚 SOIC (顶视图)

表 4-1. 引脚功能 : LMC6492

引脚		类型	说明
编号	名称		
1	OUT A	输出	放大器 A 的输出
2	-IN A	输入	放大器 A 的反相输入
3	+IN A	输入	放大器 A 的同相输入
4	V -	电源	负电源电压输入
5	+IN B	输入	放大器 B 的同相输入
6	-IN B	输入	放大器 B 的反相输入
7	OUT B	输出	放大器 B 的输出
8	V+	电源	正电源电压输入

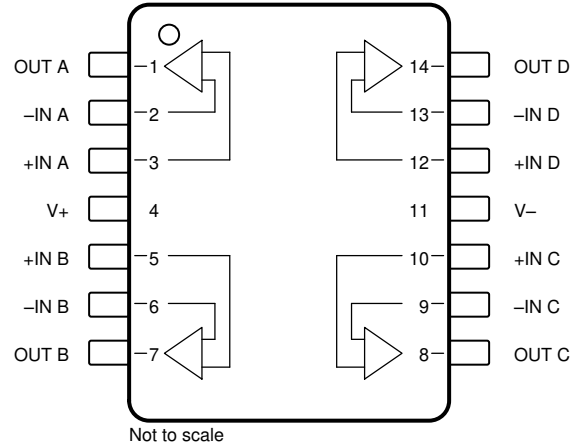


图 4-2. LMC6494 : D 封装, 14 引脚 SOIC (顶视图)

表 4-2. 引脚功能 : LMC6494

引脚		类型	说明
编号	名称		
1	OUT A	输出	放大器 A 的输出
2	-IN A	输入	放大器 A 的反相输入
3	+IN A	输入	放大器 A 的同相输入
4	V+	电源	正电源电压输入
5	+IN B	输入	放大器 B 的同相输入
6	-IN B	输入	放大器 B 的反相输入
7	OUT B	输出	放大器 B 的输出
8	OUT C	输出	放大器 C 的输出
9	-IN C	输入	放大器 C 的反相输入
10	+IN C	输入	放大器 C 的同相输入
11	V-	电源	负电源电压输入
12	+IN C	输入	放大器 D 的反相输入
13	+IN C	输入	放大器 D 的同相输入
14	OUT C	输出	放大器 D 的输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
	差分输入电压	正负电源电压		
	输入/输出引脚电压	(V-) - 0.3	(V+) + 0.3	V
V _S	电源电压, V _S = (V+) - (V-)		16	V
	输入引脚处的电流	- 5	5	mA
	输出引脚处的电流 ⁽³⁾	-30	30	mA
	电源引脚处的电流		40	mA
	引线温度 (焊接时, 10 秒)		260	°C
T _{STG}	贮存温度	-65	150	°C
T _J	结温 ⁽⁴⁾		150	°C

- 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 如果需要军用或航空航天专用器件, 请与 TI 销售办公室或经销商联系, 以了解供货情况和规格。
- 同时适用于单电源供电和双电源供电。在环境温度升高的情况下, 持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 ±30mA 会损害可靠性。
- 最大功率损耗是 T_{J(max)}、R_{θJA} 和 T_A 的函数。任何环境温度下的最大允许功率耗散为 P_D = (T_{J(max)} - T_A) / θ_{JA}。所有数字均适用于直接焊接到印刷电路板 (PCB) 的封装。

5.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000 V

- JEDEC 文档 JEP155 规定: 500V HBM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V _S	电源电压, V _S = (V+) - (V-)	2.5		15.5	V
T _J	结温	-40		125	°C

5.4 热性能信息

热指标 ⁽¹⁾		LMC6492	LMC6494	单位
		D (SOIC)	D (SOIC)	
		8 引脚	14 引脚	
R _{θJA}	结至环境热阻	128.9	83.0	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	68.6	42.7	°C/W
R _{θJB}	结至电路板热阻	72.4	42.4	°C/W
ψ _{JT}	结至顶部特征参数	19.7	7.0	°C/W
ψ _{JB}	结至电路板特征参数	71.6	42.0	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	不适用	°C/W

- 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

在 $T_J = +25^\circ\text{C}$ 、 $V_+ = 5\text{V}$ 、 $V_- = 0\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}} = V_+ / 2$ 和 $R_L > 1\text{M}\Omega$ 条件下 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
直流规格							
V_{OS}	输入失调电压	LMC649xAE		± 0.11	± 3	mV	
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	± 3.8			
		LMC649xBE		± 0.11	± 6		
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	± 6.8			
dV_{OS}/dT	输入失调电压温漂	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		± 1		$\mu\text{V}/^\circ\text{C}$	
I_B	输入偏置电流			± 0.15		pA	
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		± 200			
I_{OS}	输入失调电流			± 0.075		pA	
		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		± 100			
C_{IN}	共模输入电容			3		pF	
R_{IN}	输入电阻			> 10		$\text{T}\Omega$	
CMRR	共模抑制比	LMC649xAE $0\text{V} \leq V_{\text{CM}} \leq 15\text{V}$, $V_+ = 15\text{V}$		65	82	dB	
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	60			
		LMC649xBE $0\text{V} \leq V_{\text{CM}} \leq 15\text{V}$, $V_+ = 15\text{V}$		63	82		
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	58			
		LMC649xAE $0\text{V} \leq V_{\text{CM}} \leq 5\text{V}$, $V_+ = 5\text{V}$		65	82		
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	60			
		LMC649xBE $0\text{V} \leq V_{\text{CM}} \leq 5\text{V}$, $V_+ = 5\text{V}$		63	82		
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	58			
$+PSRR$	正电源抑制比	LMC649xAE $5\text{V} \leq V_+ \leq 15\text{V}$, $V_- = 0\text{V}$, $V_O = 2.5\text{V}$		65	82	dB	
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	60			
		LMC649xBE $5\text{V} \leq V_+ \leq 15\text{V}$, $V_- = 0\text{V}$, $V_O = 2.5\text{V}$		63	82		
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	58			
$-PSRR$	负电源抑制比	LMC649xAE $-5\text{V} \leq V_- \leq -15\text{V}$, $V_+ = 0\text{V}$, $V_O = -2.5\text{V}$		65	82	dB	
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	60			
		LMC649xBE $-5\text{V} \leq V_- \leq -15\text{V}$, $V_+ = 0\text{V}$, $V_O = -2.5\text{V}$		63	82		
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	58			
V_{CM}	输入共模电压	$V_+ = 5\text{V}$ 和 15V (当 $\text{CMRR} \geq 50\text{dB}$ 时)	低	$(V_-) - 0.3$	-0.25	V	
			低电平, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		0		
			高	$(V_+) + 0.25$	$(V_+) + 0.3$		
			高电平, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	V_+			
A_v	大信号电压增益	拉电流, $R_L = 2\text{k}\Omega$ (连接至 7.5V), $V_+ = 15\text{V}$, $7.5\text{V} \leq V_O \leq 11.5\text{V}$		300		V/mV	
		灌电流, $R_L = 2\text{k}\Omega$ (连接至 7.5V), $V_+ = 15\text{V}$, $3.5\text{V} \leq V_O \leq 7.5\text{V}$		40			

5.5 电气特性 (续)

在 $T_J = +25^\circ\text{C}$ 、 $V_+ = 5\text{V}$ 、 $V_- = 0\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}} = V_+ / 2$ 和 $R_L > 1\text{M}\Omega$ 条件下 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位	
V_O	电源轨的电压输出摆幅	$V_+ = 5\text{V}$, $R_L = 2\text{k}\Omega$ (连接至 $V_+ / 2$)	摆幅高	4.8	4.9	V
			摆幅高, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	4.7		
			摆幅低		0.1 0.18	
			摆幅低, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		0.24	
		$V_+ = 5\text{V}$, $R_L = 600\Omega$ (连接至 $V_+ / 2$)	摆幅高	4.5	4.7	
			摆幅高, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	4.24		
			摆幅低		0.3 0.5	
			摆幅低, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		0.65	
	$V_+ = 15\text{V}$, $R_L = 2\text{k}\Omega$ (连接至 $V_+ / 2$)	摆幅高	14.4	14.7		
		摆幅高, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	14.0			
		摆幅低		0.16 0.35		
		摆幅低, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		0.5		
	$V_+ = 15\text{V}$, $R_L = 600\Omega$ (连接至 $V_+ / 2$)	摆幅高	13.4	14.1		
		摆幅高, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	13			
		摆幅低		0.5 1.0		
		摆幅低, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		1.5		
I_{sc}	输出短路电流	$V_+ = 5\text{V}$, 拉电流, $V_O = 0\text{V}$		16	25	mA
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	10		
		$V_+ = 5\text{V}$, 灌电流, $V_O = 5\text{V}$		11	22	
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	8		
		$V_+ = 15\text{V}$, 拉电流, $V_O = 0\text{V}$		28	30	
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	20		
		$V_+ = 15\text{V}$, 灌电流, $V_O = 5\text{V}^{(1)}$		30	30	
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	22		
I_S	电源电流	每个放大器, $V_+ = 5\text{V}$, $V_O = V_+ / 2$		0.5	0.875	mA
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		1.05	
		每个放大器, $V_+ = 15\text{V}$, $V_O = V_+ / 2$		0.65	0.975	
			$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		1.15	

5.5 电气特性 (续)

在 $T_J = +25^\circ\text{C}$ 、 $V_+ = 5\text{V}$ 、 $V_- = 0\text{V}$ 、 $V_{\text{CM}} = V_{\text{OUT}} = V_+ / 2$ 和 $R_L > 1\text{M}\Omega$ 条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
交流规格						
SR	压摆率 ⁽²⁾	V ₊ = 15V, 作为电压跟随器与 10V 阶跃连接		0.7	1.3	V/ μs
			T _A = -40°C 至 +125°C	0.5		
GBW	增益带宽	V ₊ = 15V		1.5		MHz
\ominus_m	相位裕度			50		度
G _m	增益裕度			15		dB
	放大器到放大器隔离	以输入为基准 V ₊ = 15V, R _L = 100k Ω (连接至 7.5V), V _O = 12V _{PP} , f = 1kHz		150		dB
e _n	输入基准电压噪声	f = 1kHz、V _{CM} = 1V		37		nV/ $\sqrt{\text{Hz}}$
i _n	输入电流噪声密度	f = 1kHz		0.06		pA/ $\sqrt{\text{Hz}}$
THD	总谐波失真	f = 1kHz, A _V = -2, R _L = 10k Ω , V _O = -4.1V _{PP}		0.01		%
		f = 10kHz, A _V = -2, R _L = 10k Ω , V _O = 8.5V _{PP} , V ₊ = 10V		0.01		

- 当 V₊ 大于 13V 时, 请勿短路输出到 V₊, 否则会损害可靠性。
- 根据多个批次的器件组装工作台系统测量值建立的规范。指定的数字是正压摆率和负压摆率中较低的值。

5.6 典型特性

$V_S = +15V$ ，单电源，且 $T_A = 25^\circ C$ (除非另有说明)

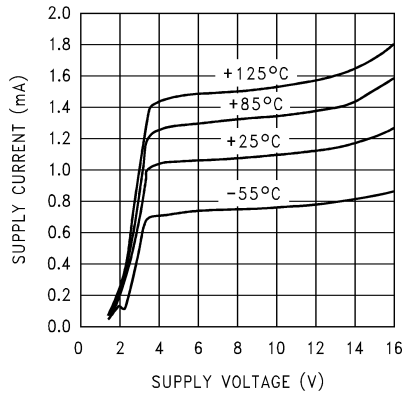


图 5-1. 电源电流与电源电压间的关系

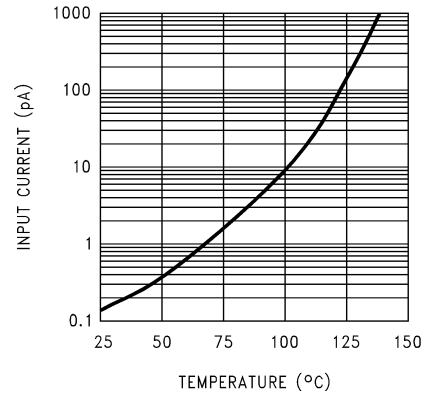


图 5-2. 输入电流与温度间的关系

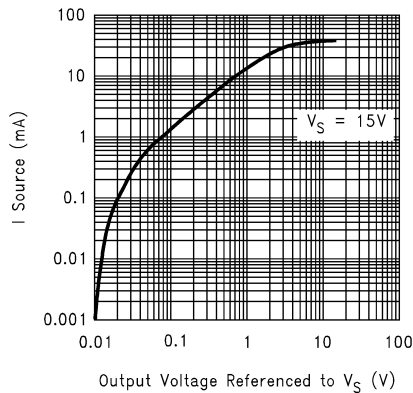


图 5-3. 拉电流与输出电压间的关系

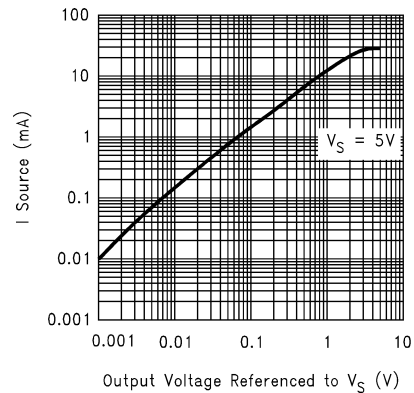


图 5-4. 拉电流与输出电压间的关系

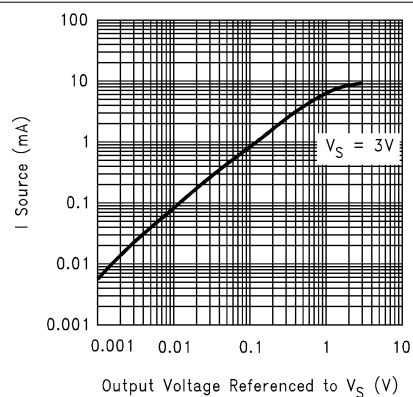


图 5-5. 拉电流与输出电压间的关系

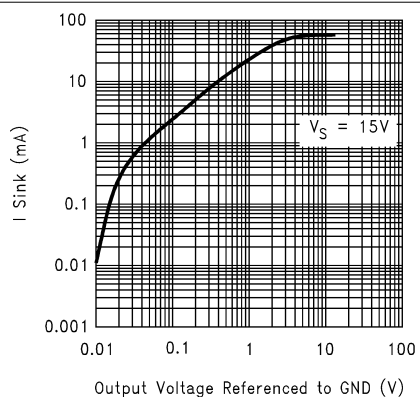


图 5-6. 灌电流与输出电压间的关系

5.6 典型特性 (续)

$V_S = +15V$, 单电源, 且 $T_A = 25^\circ C$ (除非另有说明)

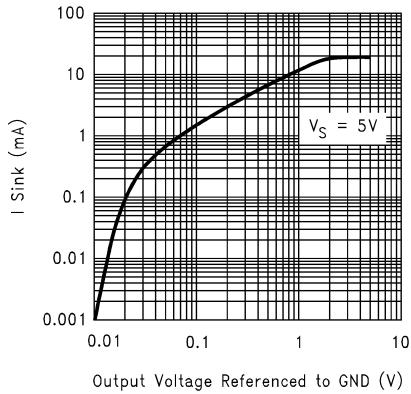


图 5-7. 灌电流与输出电压间的关系

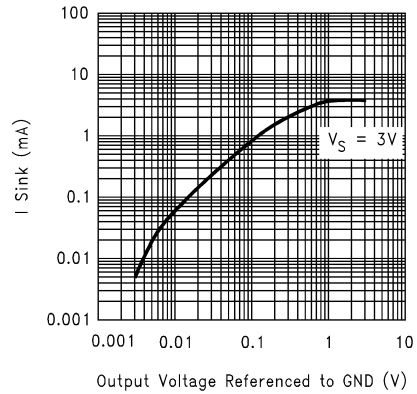


图 5-8. 灌电流与输出电压间的关系

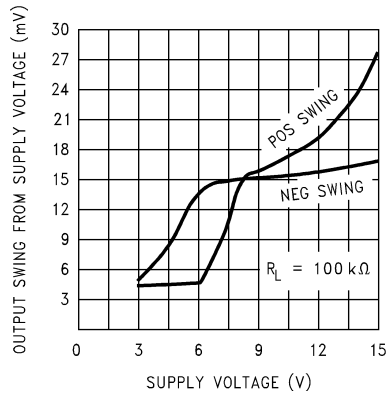


图 5-9. 输出电压摆幅与电源电压间的关系

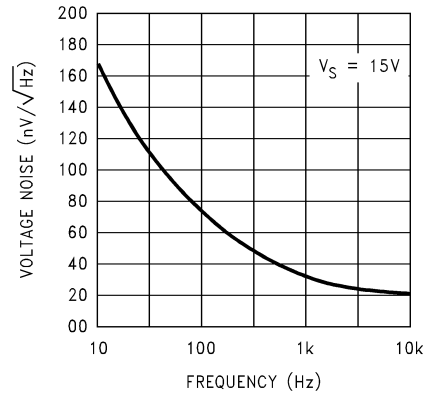


图 5-10. 输入电压噪声与频率间的关系

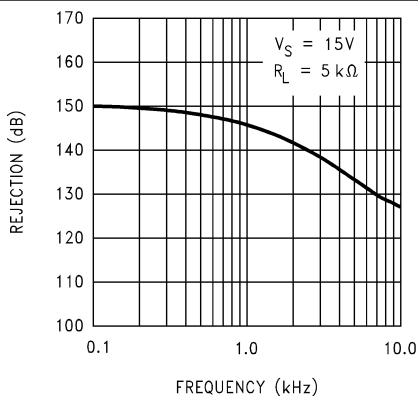


图 5-11. 串扰抑制与频率间的关系

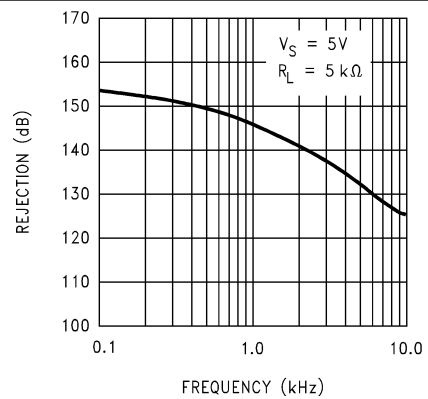


图 5-12. 串扰抑制与频率间的关系

5.6 典型特性 (续)

$V_S = +15V$, 单电源, 且 $T_A = 25^\circ C$ (除非另有说明)

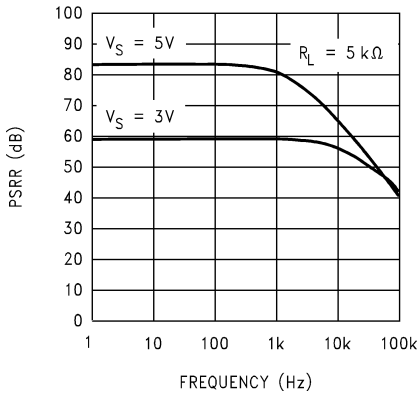


图 5-13. 正 PSRR 与频率间的关系

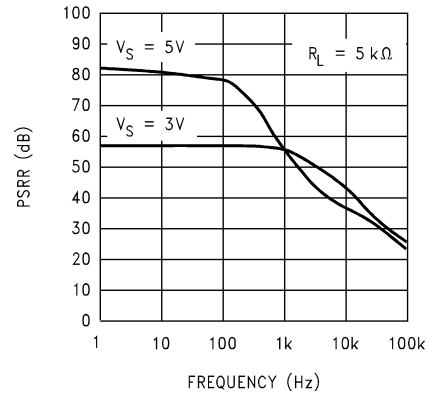


图 5-14. 负 PSRR 与频率间的关系

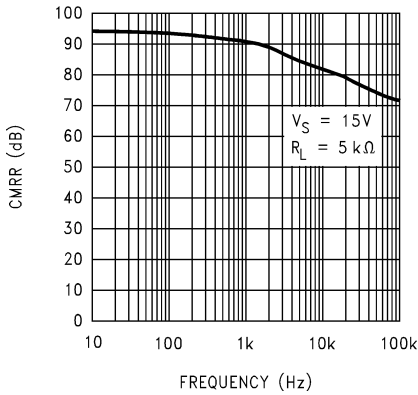


图 5-15. CMRR 与频率间的关系

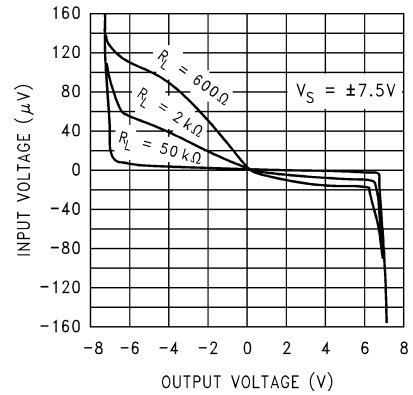


图 5-16. 输入电压与输出电压间的关系

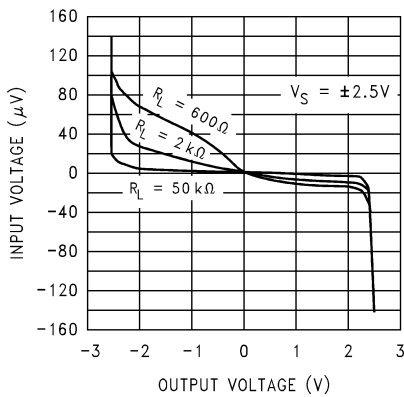


图 5-17. 输入电压与输出电压间的关系

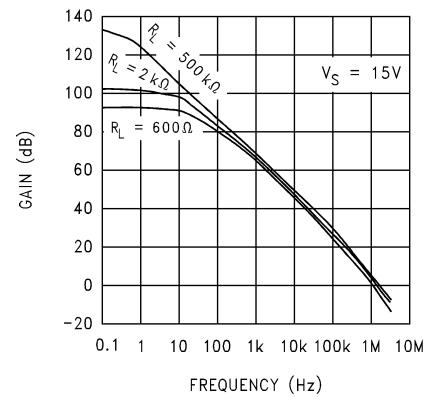


图 5-18. 开环频率响应

5.6 典型特性 (续)

$V_S = +15V$, 单电源, 且 $T_A = 25^\circ C$ (除非另有说明)

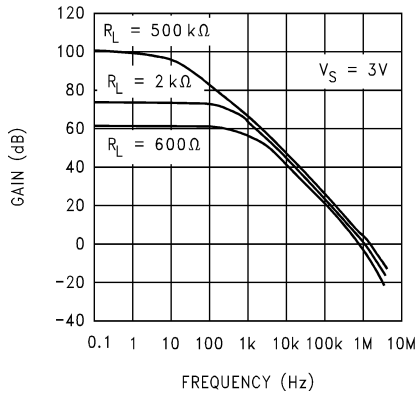


图 5-19. 开环频率响应

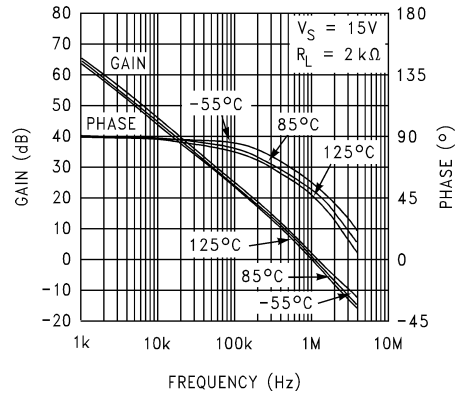


图 5-20. 开环频率响应与温度间的关系

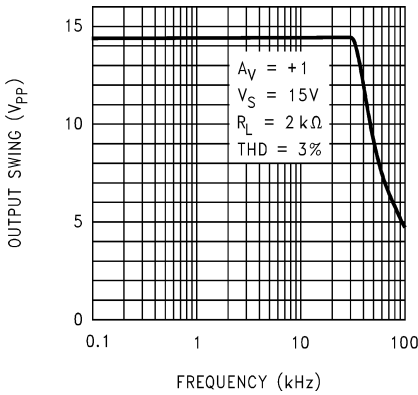


图 5-21. 最大输出摆幅与频率间的关系

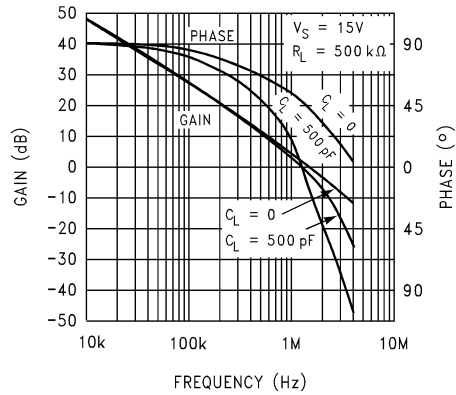


图 5-22. 增益和相位与容性负载间的关系

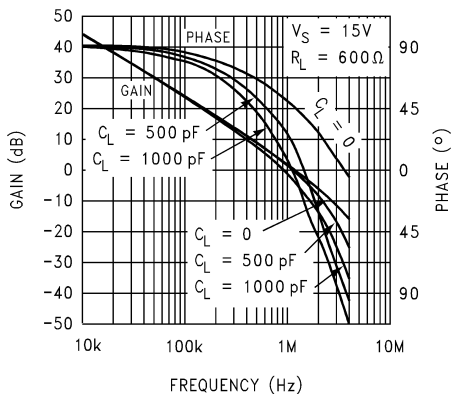


图 5-23. 增益和相位与容性负载间的关系

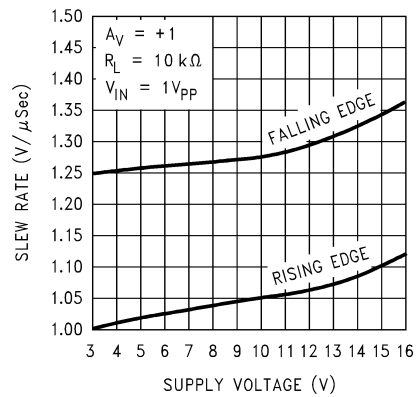


图 5-24. 压摆率与电源电压间的关系

5.6 典型特性 (续)

$V_S = +15V$, 单电源, 且 $T_A = 25^\circ C$ (除非另有说明)

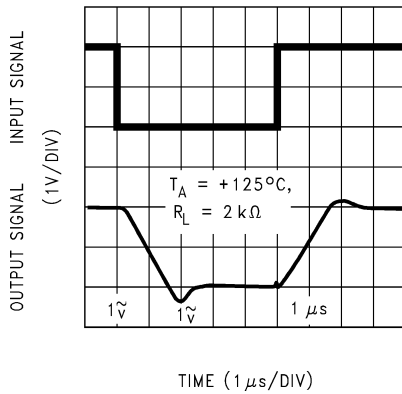


图 5-25. 同相大信号脉冲响应

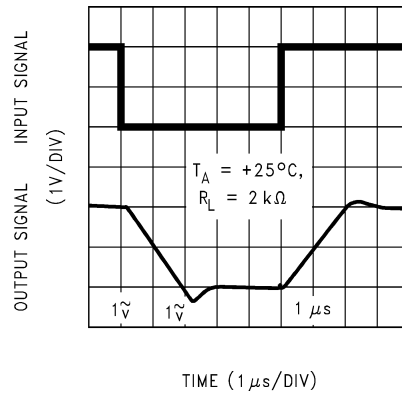


图 5-26. 同相大信号脉冲响应

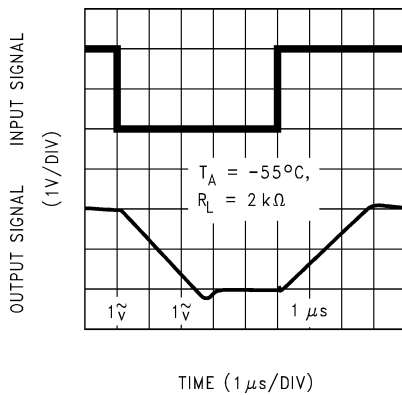


图 5-27. 同相大信号脉冲响应

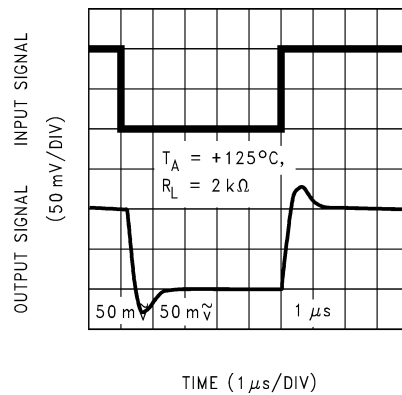


图 5-28. 同相小信号脉冲响应

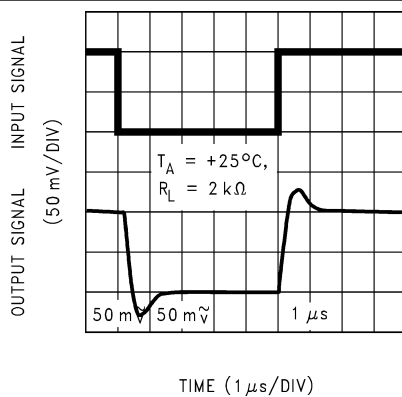


图 5-29. 同相小信号脉冲响应

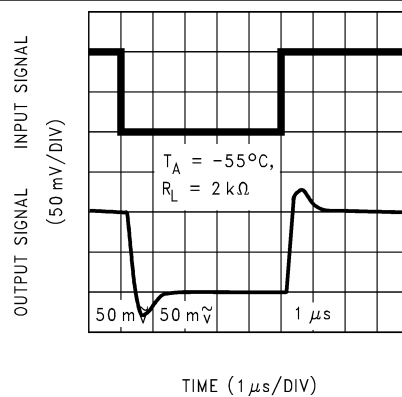


图 5-30. 同相小信号脉冲响应

5.6 典型特性 (续)

$V_S = +15V$, 单电源, 且 $T_A = 25^\circ C$ (除非另有说明)

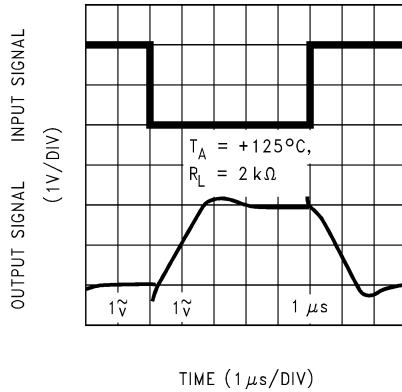


图 5-31. 反相大信号脉冲响应

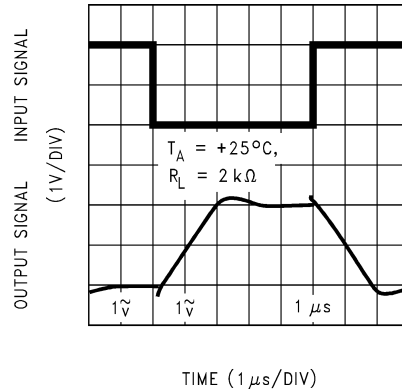


图 5-32. 反相大信号脉冲响应

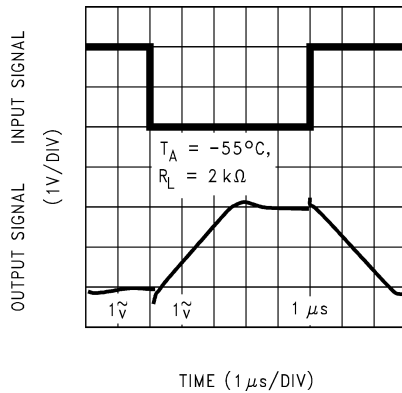


图 5-33. 反相大信号脉冲响应

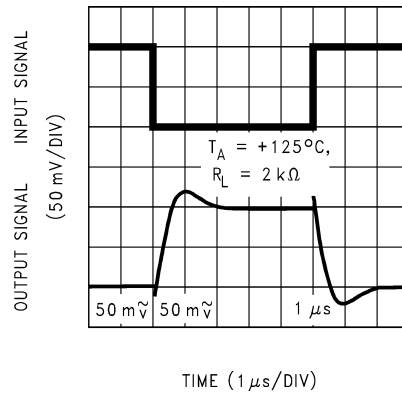


图 5-34. 反相小信号脉冲响应

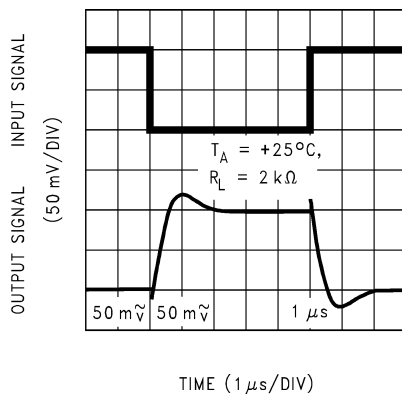


图 5-35. 反相小信号脉冲响应

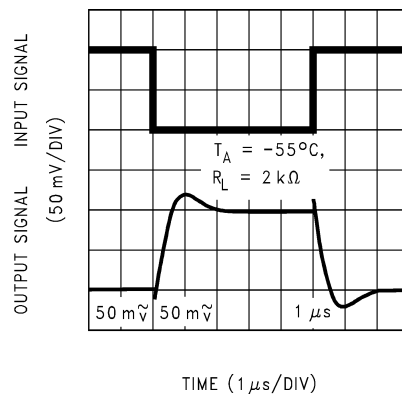


图 5-36. 反相小信号脉冲响应

6 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

6.1 应用信息

6.1.1 输入共模电压范围

与 Bi-FET 放大器设计不同，在输入电压超过负电源电压时，LMC649x 不会出现相位反转。图 6-1 表明，输入电压超过了两个电源电压，但输出中并未产生相应的相位反转。

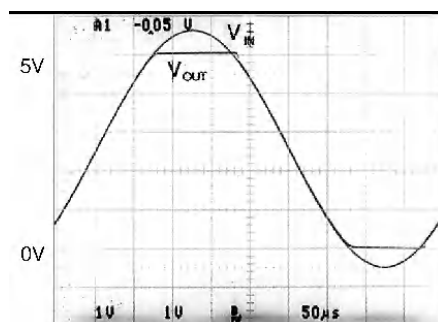


图 6-1. 输入电压信号超过了 LMC649x 电源电压，但输出中并未产生相位反转

LMC649x 是一款真正的轨到轨输入运算放大器，其输入共模范围扩展到超出任一电源轨。当输入共模电压相对于正轨摆动至大约 3V 时，一些直流规格（即失调电压）可能会略有下降。图 6-2 展示了整个共模范围内的输入失调电压情况。

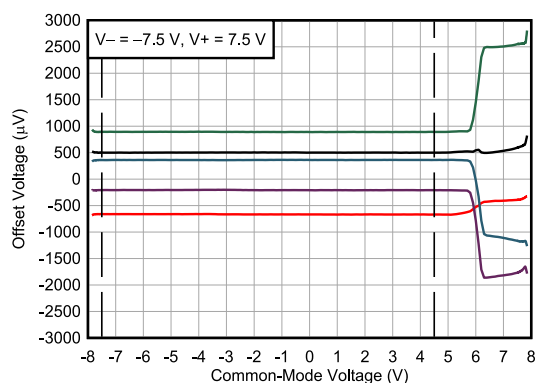


图 6-2. 输入失调电压与共模电压间的关系

室温下，绝对最大输入电压在任一电源轨基础上向外扩展了 300mV。如图 6-3 所示，如果电压远远超过此绝对最大额定值，则可能会导致流入或流出输入引脚的电流过大，从而影响可靠性。

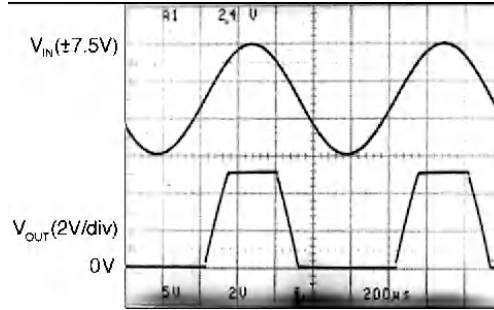


图 6-3. $\pm 7.5\text{V}$ 的输入信号远远超过了图 6-3 中的 5V 电源，但由于 R_I 的原因，未产生相位反转

超出此额定值的应用必须使用输入电阻器 (R_I) 从外部将最大输入电流限制为 $\pm 5\text{mA}$ ，如图 6-4 所示。

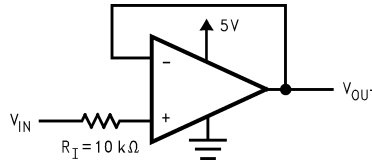


图 6-4. 在电压超过电源电压的情况下，
提供 R_I 输入电流保护

6.1.2 轨到轨输出

LMC649x 输出可以在任一电源电压的几百毫伏范围内摆动。使用指定的输出摆幅规格，可以计算不同拉电流和灌电流条件下的近似输出电阻。使用计算出的输出电阻，可以将最大输出电压摆幅作为负载的函数进行估算。

6.1.3 对输入电容进行补偿

较大的反馈电阻值通常用于具有超低输入电流的放大器，例如 LMC649x。

尽管 LMC649x 在各种工作条件下都高度稳定，但请确保满足某些预防措施，以便在使用大型反馈电阻器时实现所需的脉冲响应。借助于换能器、光电二极管和电路板寄生效应，即使输入电容的容值很小，高阻值反馈电阻器也可减小相位裕度。

当需要高输入阻抗时，建议使用 LMC649x 保护措施。保护输入线路不仅可减少漏电，而且还可降低杂散输入电容。请参阅高阻抗工作的印刷电路板布局布线。

可以通过在反馈电阻器周围添加电容器 C_f 来补偿输入电容的影响（如图 6-1 中所示），以使：

$$\frac{1}{2\pi R_1 C_{IN}} \geq \frac{1}{2\pi R_2 C_f} \quad (1)$$

或

$$R_1 C_{IN} \leq R_2 C_f \quad (2)$$

很难知道 C_{IN} 的确切值；因此，可以通过对 C_f 进行实验调整来实现所需的脉冲响应。有关输入电容补偿的更多详细讨论、请参阅 LMC660 和 LMC662。

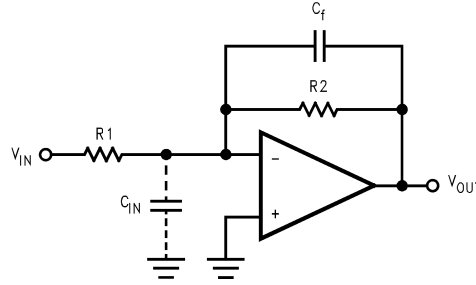


图 6-5. 抵消输入电容的影响

6.1.4 容性负载容差

所有轨到轨输出摆幅运算放大器在输出级中都具有电压增益。该积分器级中通常包含一个补偿电容器。主极点的频率位置受放大器上的阻性负载的影响。容性负载驱动能力可以通过使用与容性负载并联的适当阻性负载来优化 (参阅典型曲线)。

直接容性负载可减小许多运算放大器的相位裕度。运算放大器输出阻抗和容性负载的组合形成反馈环路中的一个极点。图 6-6 中展示了 LMC649x 的开环输出阻抗。该极点会在放大器的单位增益交叉频率处引起相位滞后，从而导致振荡或欠阻尼的脉冲响应。通过使用一些外部元件，运算放大器可以轻松间接驱动容性负载，如图 6-7 中所示。

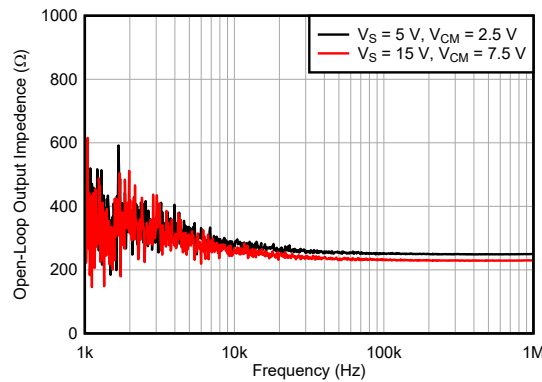


图 6-6. LMC649x 开环输出阻抗

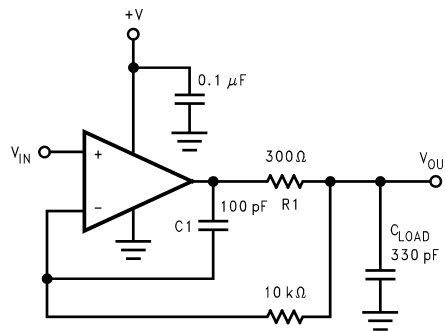
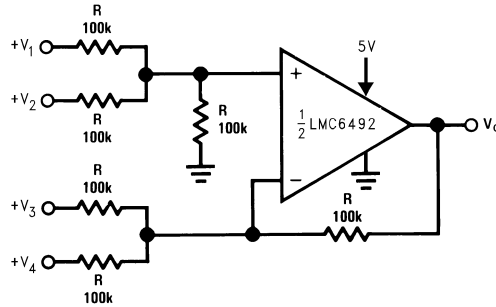


图 6-7. LMC649x 同相放大器，在经过补偿后可处理容性负载

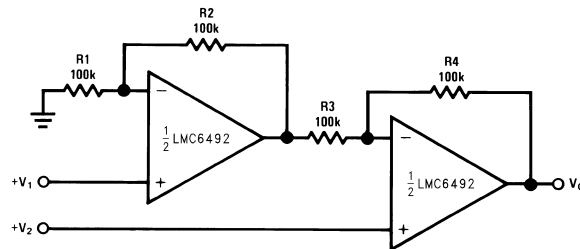
6.2 典型应用

6.2.1 应用电路



其中： $V_0 = V_1 + V_2 - V_3 - V_4$
 $(V_1 + V_2 \geq (V_3 + V_4))$ ，以使 $V_0 > 0V_{DC}$

图 6-8. 直流累加放大器 ($V_{IN} \geq 0V_{DC}$ 且 $V_O \geq V_{DC}$)



对于

$$\frac{R_1}{R_2} = \frac{R_4}{R_3}$$

(CMRR 取决于此电阻比匹配情况)

$$V_0 = 1 + \frac{R_4}{R_3} (V_2 - V_1)$$

如下所示： $V_0 = 2(V_2 - V_1)$

图 6-9. 高输入阻抗、直流差分放大器

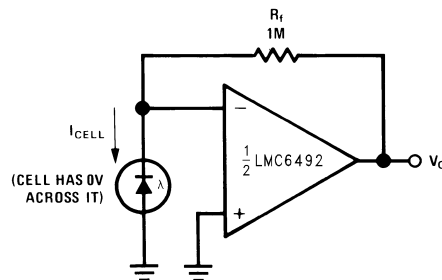
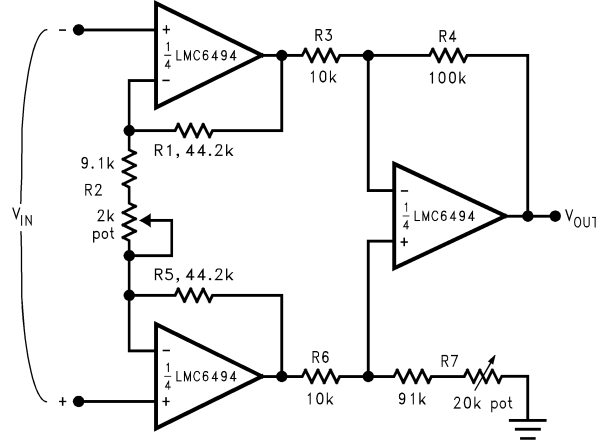


图 6-10. 光伏电池放大器

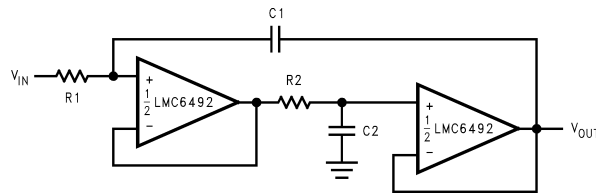


如果 $R_1 = R_5$ 、 $R_3 = R_6$ 且 $R_4 = R_7$ ，则

$$\frac{V_{OUT}}{V_{IN}} = \frac{R_2 + 2R_1}{R_2} \times \frac{R_4}{R_3}$$

∴ 对于所示电路 ($R_2 = 9.3k$)， $A_V \approx 100$ 。

图 6-11. 仪表放大器



$$R_1 = R_2, C_1 = C_2; f = \frac{1}{2\pi R_1 C_1}; \text{Damping Factor} = \frac{1}{2} \sqrt{\frac{C_2}{C_1}} \sqrt{\frac{R_2}{R_1}}$$

图 6-12. 轨到轨单电源低通滤波器

此低通滤波器电路可用作与 ADC 具有相同电压电源的抗混叠滤波器。滤波器设计还可以利用 LMC649x 的超低输入电流。即使采用了高阻值电阻器，超低输入电流产生的失调电压误差也可以忽略不计。此配置进而可支持使用阻值更低的电容器，缩减布板空间并降低成本。

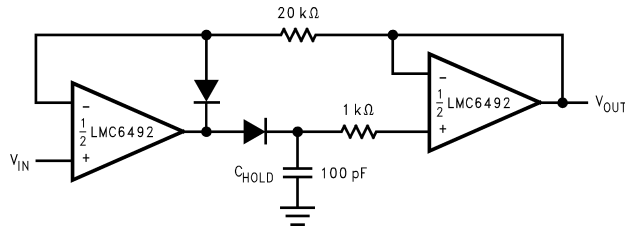
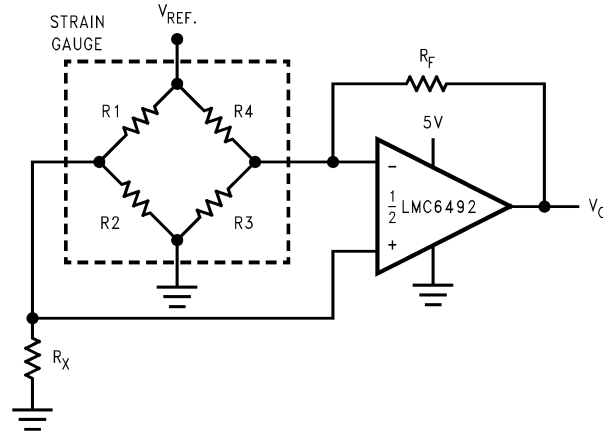


图 6-13. 具备轨到轨峰值捕捉范围的低电压峰值检测器

使用聚苯乙烯或聚乙烯保持电容器来尽量减少电介质的吸收和泄漏。下降率主要由 C_{HOLD} 和二极管漏电流的值决定。选择低漏电流二极管可更大程度地降低压降。



$R_f = R_x$
 $R_f \gg R_1, R_2, R_3$ 和 R_4

$$V_O = \left(\frac{R_2}{R_1 + R_2} - \frac{R_3}{R_4 + R_3} \right) \frac{R_f (R_3 + R_4)}{R_3 R_4} V_{REF}$$

图 6-14. 压力传感器

在歧管绝对压力传感器应用中，应变仪安装在发动机单元的进气歧管上。歧管压力会导致检测电阻 R_1 、 R_2 、 R_3 和 R_4 发生变化。电阻器的变化方式使 R_2 和 R_4 增加量与 R_1 和 R_3 减小量相同。这会导致在放大器的输入端之间产生差分电压。放大器的增益通过 R_f 来调节。

6.3 布局

6.3.1 布局指南

6.3.1.1 适用于高阻抗工作的印刷电路板布局布线

任何运行时的漏电流低于 1000pA 的电路都需要对印刷电路板 (PCB) 进行特殊布局布线。为了充分利用 LMC649x 的超低偏置电流 (通常为 150fA)，出色的布局布线至关重要。幸运的是，实现低泄漏的技术相当简单。首先，不要忽略 PCB 的表面泄漏。即使有时显示的漏电流并不高，看起来似乎可以让人接受，但是在湿度高、遍布灰尘或污染的情况下，用户可以感知到这种表面泄漏。

为了尽可能降低任何表面泄漏造成的影响，可以环绕 LMC649x 的输入端和连接到运算放大器输入端的元件的终端，放置一个能够完全覆盖的箔环，如图 6-15 所示。为了获得显著的效果，请同时在 PCB 的顶部和底部放置防护环。然后，必须将这种印刷电路箔连接到与放大器输入电压相同的电压，这是因为处于相同电位的两个点之间不会有漏电流流动。

例如， $10^{12} \Omega$ 的 PCB 迹线至焊盘电阻通常可视为高阻值电阻，如果迹线是与输入焊盘相邻的 5V 总线，则该电阻可能会泄漏 5pA 的电流。这会使 LMC649x 的实际性能下降 33 倍。但是，如果使用了防护环并将其保持在 5mV 的输入电压内，即使电阻为 $10^{11} \Omega$ ，也仅会产生 0.05pA 的漏电流。图 6-15 至图 6-17 展示了标准运算放大器配置中使用的防护环典型连接。

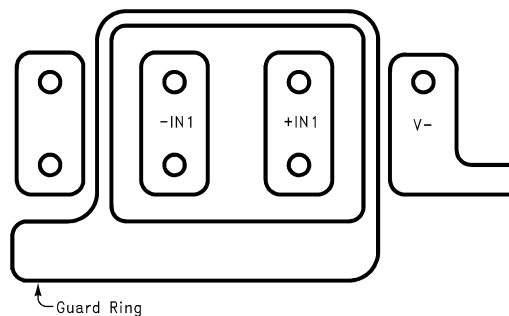


图 6-15. PCB 布局中的防护环示例

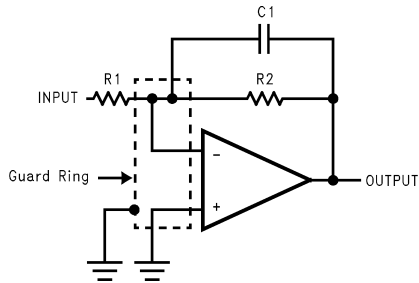


图 6-16. 反相放大器

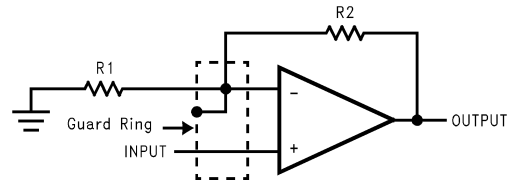


图 6-17. 同相放大器

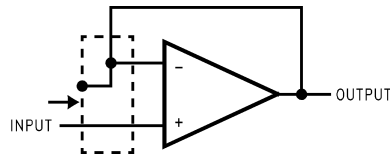
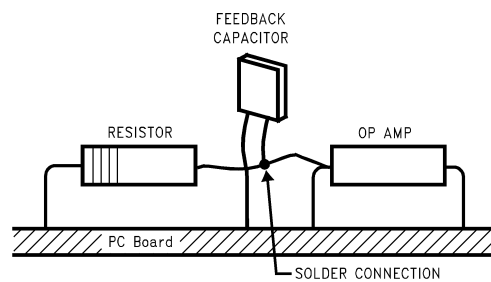


图 6-18. 跟随器

请注意，如果仅仅为了几个电路而布置 PCB 并不实用，与其在 PCB 上放置防护环，不如采取一种更为巧妙的方法。勿将放大器的输入引脚插入电路板，而是将其向上弯折，仅用空气作为绝缘体，这是因为空气是很好的绝缘体。在这种情况下，会丧失 PCB 结构的一些优势，但考虑到空气的优势，使用点对点空中布线的确物有所值。图 6-19 展示了一个空中布线示例。



输入引脚从 PCB 上提出并直接焊接到元件上。所有其他引脚均连接到 PCB。

图 6-19. 空中布线

7 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

7.1 器件支持

7.1.1 开发支持

7.1.1.1 Spice 精简模型

LMC649x 提供了一个 Spice 精简模型。此模型包括以下准确仿真：

- 输入共模电压范围
- 频率和瞬态响应
- 取决于负载条件的 GBW
- 静态和动态电源电流
- 取决于负载条件的输出摆幅

以及精简模型磁盘上列出的许多其他特性。

请联系您当地的德州仪器 (TI) 销售办事处，以获得运算放大器 Spice 模型库磁盘。

7.1.1.2 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

7.1.1.3 TINA-TI™ 仿真软件 (免费下载)

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从[设计工具和仿真网页](#)免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 [TINA-TI™ 软件文件夹](#) 中下载免费的 TINA-TI 仿真软件。

7.1.1.4 DIP-Adapter-EVM

借助 [DIP-Adapter-EVM](#) 加快运算放大器的原型设计和测试，该 EVM 有助于快速轻松地连接小型表面贴装器件并且价格低廉。使用随附的 Samtec 端子板连接任何受支持的运算放大器，或者将这些端子板直接连接至现有电路。DIP-Adapter-EVM 套件支持以下业界通用封装：D 或 U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV (SOT-23-6、SOT-23-5 和 SOT-23-3)、DCK (SC70-6 和 SC70-5) 和 DRL (SOT563-6)。

7.1.1.5 DIYAMP-EVM

DIYAMP-EVM 是一款独特的评估模块 (EVM)，可提供真实的放大器电路，使用户能够快速评估设计概念并验证仿真。此 EVM 采用 3 种业界通用封装选项 (SC70、SOT23 和 SOIC) 并提供 12 种流行的放大器配置，包括放大器、滤波器、稳定性补偿以及同时适用于单电源和双电源的比较器配置。

7.1.1.6 TI 参考设计

TI 参考设计是由 TI 的精密模拟应用专家创建的模拟解决方案。TI 参考设计提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。TI 参考设计可在线获取，网址为 <https://www.ti.com/reference-designs>。

7.1.1.7 滤波器设计工具

滤波器设计工具是一款简单、功能强大且便于使用的有源滤波器设计程序。利用滤波设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源器件来打造理想滤波器设计方案。

设计工具和仿真网页以基于网络的工具形式提供**滤波设计工具**。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

7.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 **通知** 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的**使用条款**。

商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

所有商标均为其各自所有者的财产。

7.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (November 2023) to Revision F (February 2024)	Page
• 向 热性能信息 添加了数据.....	4
• 更新了脚注 (2) 以详细说明如何在 电气特性 中指定压摆率最小值.....	5

Changes from Revision D (March 2013) to Revision E (November 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了引脚配置和功能、规格、ESD 等级、热性能信息、应用和实施、应用信息、典型应用、布局、布局指南、器件和文档支持，以及机械、封装和可订购信息 部分.....	1
• 更新了 特性	1
• 删除了数据表中的 P (PDIP) 封装.....	1
• 更新了 说明 中的应用电路.....	1
• 将 ESD 容差值从绝对最大额定值等级 移至 ESD 等级	4
• 更改了绝对最大额定值的注释 1.....	4
• 将运行条件 更改为 建议运行条件 并删除了冗余的表注.....	4
• 将热性能信息值从运行条件 移至热性能信息	4
• 更新了 电气特性 的格式.....	5
• 删除了 电气特性 中的表注 1、2 和 3，以便与标准 TI 数据表保持一致.....	5
• 向 电气特性 中的输入失调电压、输入失调电压漂移、输入偏置电流和输入失调电流中添加了 \pm	5
• 更新了参数名称，以便与现代数据表保持一致.....	5
• 将交流电气特性和直流电气特性 移至 电气特性	5
• 将 电气特性 中的电源电流规格从“总”更改为“每个放大器”	5
• 删除了图 13 至图 15、图 21 至图 25、图 34 至图 35 以及图 51 至图 54.....	8
• 在放大器拓扑 和相关说明中添加了“输入失调电压与共模电压间的关系”图.....	14
• 更新了轨到轨输出的说明.....	15

Changes from Revision C (March 2013) to Revision D (March 2013)	Page
• 已将国家数据表的版面布局更改为 TI 格式.....	21

9 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMC6492AEM/NOPB	OBSOLETE	SOIC	D	8		TBD	Call TI	Call TI	-40 to 125	LMC64 92AEM	
LMC6492AEMX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	LMC64 92AEM	Samples
LMC6492BEM/NOPB	OBSOLETE	SOIC	D	8		TBD	Call TI	Call TI	-40 to 125	LMC64 92BEM	
LMC6492BEMX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	LMC64 92BEM	Samples
LMC6494AEMX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(LMC6494, LMC6494A EM) AEM	Samples
LMC6494BEM/NOPB	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI	-40 to 125	LMC6494 BEM	
LMC6494BEMX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(LMC6494, LMC6494B EM) BEM	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6492AEMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6492BEMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6494AEMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMC6494BEMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMC6494BEMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6492AEMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6492BEMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6494AEMX/NOPB	SOIC	D	14	2500	356.0	356.0	35.0
LMC6494BEMX/NOPB	SOIC	D	14	2500	353.0	353.0	32.0
LMC6494BEMX/NOPB	SOIC	D	14	2500	356.0	356.0	35.0

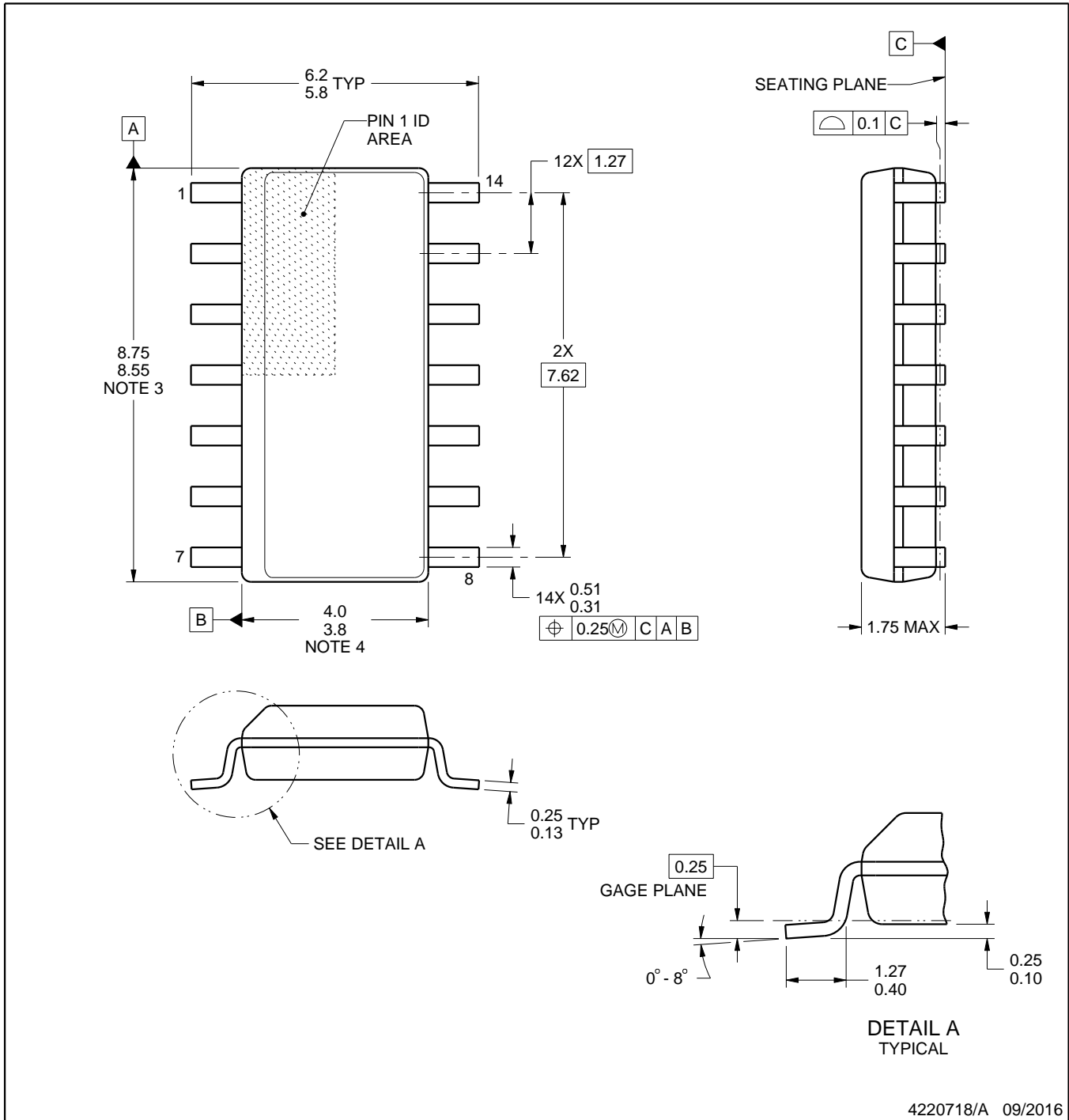
D0014A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

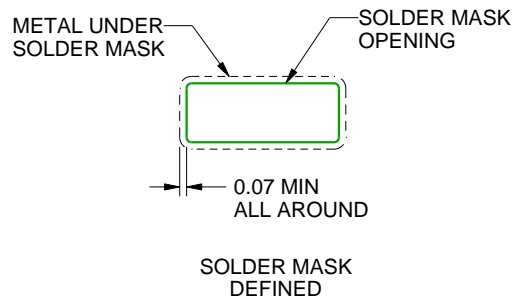
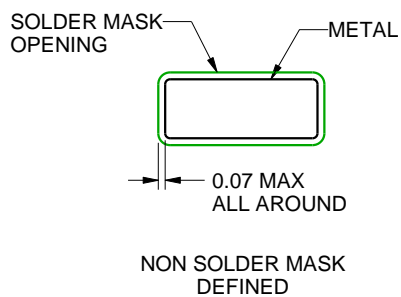
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司