

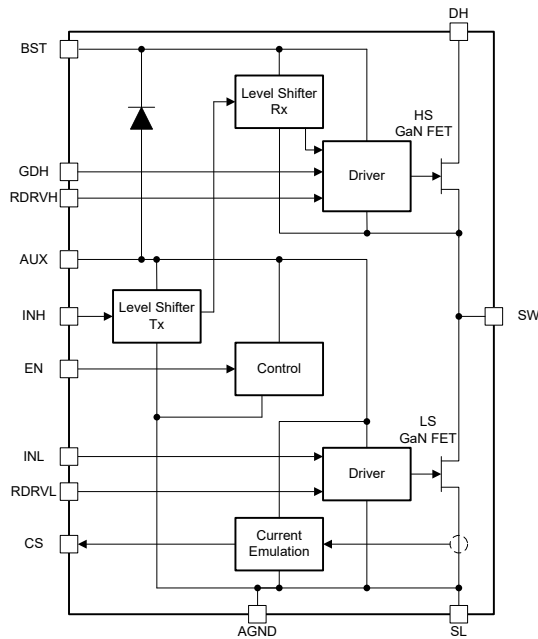
LMG2650 具有集成驱动器和电流检测仿真功能的 650V 95mΩ GaN 半桥

1 特性

- 650V GaN 功率 FET 半桥
- 95mΩ 低侧和高侧 GaN FET
- 传播延迟低于 100ns 的集成栅极驱动器
- 可编程导通压摆率控制
- 具有高带宽和高精度的电流检测仿真
- 低侧参考 (INH) 和高侧参考 (GDH) 高侧栅极驱动引脚
- 低侧 (INL)/高侧 (INH) 栅极驱动互锁
- 高侧 (INH) 栅极驱动信号电平转换器
- 智能开关自举二极管功能
- 高侧启动：<8μs
- 低侧/高侧逐周期过流保护
- 过热保护
- AUX 空闲静态电流：250 μA
- AUX 待机静态电流：50 μA
- BST 空闲静态电流：85 μA
- 具有双散热焊盘的 8mm x 6mm QFN 封装

2 应用

- <400W LLC 转换器
- <300W AHB/ACF 转换器
- <600W 3-Φ 电机驱动器逆变器
- <140W CrM 图腾柱 PFC



简化版方框图

3 说明

LMG2650 是一款 650V 95mΩ GaN 功率 FET 半桥。LMG2650 通过在 6mm x 8mm QFN 封装中集成半桥功率 FET、栅极驱动器、自举二极管和高侧栅极驱动电平转换器，可简化设计、减少元件数量并缩减电路板空间。

可编程导通压摆率可实现 EMI 和振铃控制。与传统的电流检测电阻相比，低侧电流检测仿真可降低功耗，并允许将低侧散热焊盘连接到 PCB 电源地进行冷却。

高侧 GaN 功率 FET 可通过低侧参考栅极驱动引脚 (INH) 或高侧参考栅极驱动引脚 (GDH) 进行控制。在具有挑战性的电源开关环境中，高侧栅极驱动信号电平转换器能够可靠地将 INH 引脚信号传输到高侧栅极驱动器。智能开关 GaN 自举 FET 没有二极管正向压降，可避免高侧电源过充，并且反向恢复电荷为零。

LMG2650 具有低静态电流和快速启动时间，可满足转换器轻负载效率要求，并实现突发模式运行。保护特性包括 FET 导通互锁、欠压锁定 (UVLO)、逐周期电流限制和过热关断。超低压摆率设置支持电机驱动应用。

封装信息

器件型号	封装	封装尺寸 ⁽¹⁾
LMG2650	RFB (VQFN , 19)	8.00mm × 6.00mm

(1) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



内容

1 特性	1	7 详细说明	15
2 应用	1	7.1 概述.....	15
3 说明	1	7.2 功能方框图.....	16
4 引脚配置和功能	3	7.3 特性说明.....	17
5 规格	5	7.4 器件功能模式.....	23
5.1 绝对最大额定值.....	5	8 器件和文档支持	24
5.2 ESD 等级.....	5	8.1 接收文档更新通知.....	24
5.3 建议运行条件.....	6	8.2 支持资源.....	24
5.4 热性能信息.....	6	8.3 商标.....	24
5.5 电气特性.....	7	8.4 静电放电警告.....	24
5.6 开关特性.....	10	8.5 术语表.....	24
6 参数测量信息	13	9 修订历史记录	25
6.1 GaN 功率 FET 开关参数.....	13	10 机械、封装和可订购信息	26

4 引脚配置和功能

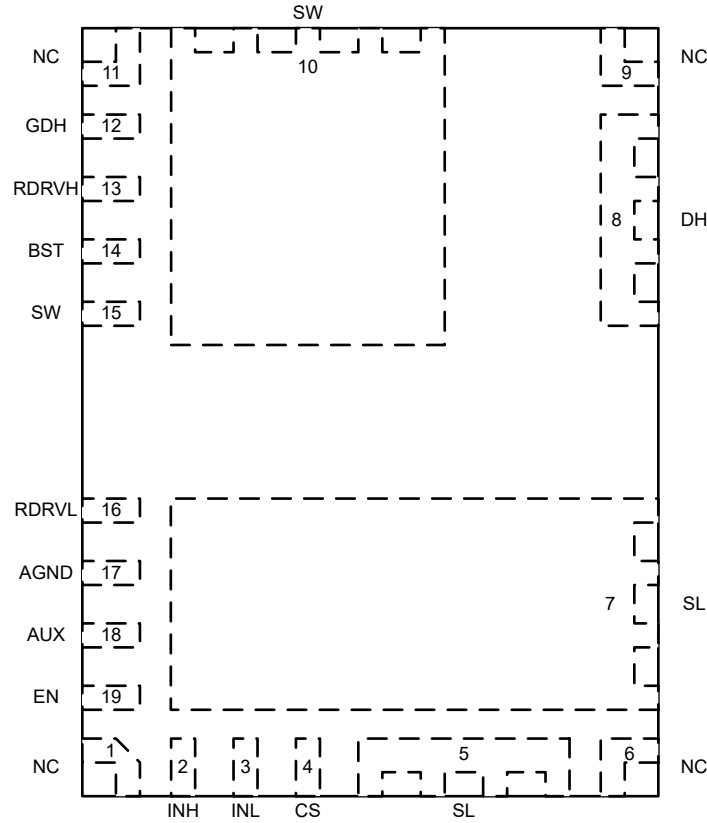


图 4-1. RFB 封装，19 引脚 VQFN (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
NC	1、6、9、11	NC	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。内部未连接引脚。
INH	2	I	高侧栅极驱动控制输入。以 AGND 为参考。信号在内部通过电平转换位移到高侧 GaN FET 驱动器。在 INH 到 AUX 之间有一个正向偏置 ESD 二极管，因此可避免将 INH 驱动至高于 AUX 的电平。如果使用 GDH 引脚功能，则将此引脚短接至 AGND。
INL	3	I	低侧栅极驱动控制输入。以 AGND 为参考。在 INL 到 AUX 之间有一个正向偏置 ESD 二极管，因此可避免将 INL 驱动至高于 AUX 的电平。
CS	4	O	电流检测仿真输出。输出与 GaN FET 电流成比例的电流。将输出电流馈入电阻器以生成电流检测电压信号。电阻器以电源控制器 IC 本地接地为基准。此功能取代了与低侧 FET 源极串联使用的外部电流检测电阻。
SL	5, 7	P	低侧 GaN FET 源极。低侧散热焊盘。在内部连接到 AGND。
DH	8	P	高侧 GaN FET 漏极。
SW	10、15	P	高侧 GaN FET 源极和低侧 GaN FET 漏极之间的 GaN FET 半桥开关节点。高侧散热焊盘。
GDH	12	I	高侧栅极驱动控制输入。以 SW 为参考。信号直接连接到高侧 GaN FET 驱动器。在 GDH 到 BST 之间有一个正向偏置 ESD 二极管，因此可避免将 GDH 驱动至高于 BST 的电平。如果使用 INH 引脚功能，则将此引脚短接至 SW。
RDRVH	13	I	高侧驱动强度控制电阻。在 RDRVH 和 SW 之间设置一个电阻，以设定高侧 GaN FET 导通压摆率。

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
BST	14	P	自举电压轨。高侧电源电压。AUX 和 BST 之间的自举二极管功能在内部提供。在 BST 和 SW 之间连接一个大小合适的自举电容器。
RDRV1	16	I	低侧驱动强度控制电阻。在 RDRV1 和 AGND 之间设置一个电阻，以设定低侧 GaN FET 导通压摆率。
AGND	17	G	低侧模拟接地。在内部连接到 SL。
AUX	18	P	辅助电压轨。低侧电源电压。在 AUX 和 AGND 之间连接一个本地旁路电容器。
EN	19	I	使能。用于在工作模式和待机模式之间切换。待机模式降低了静态电流，以支持转换器轻载效率目标。在 EN 到 AUX 之间有一个正向偏置 ESD 二极管，因此可避免将 EN 驱动至高于 AUX 的电平。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源，NC = 无连接。

5 规格

5.1 绝对最大额定值

除非另有说明：电压以 AGND 为基准⁽¹⁾

		最小值	最大值	单位	
$V_{DS(is)}$	低侧漏源 (SW 至 SL) 电压, FET 关断		650	V	
$V_{DS(surge)(is)}$	低侧漏源 (SW 至 SL) 电压, 浪涌条件, FET 关断 ⁽²⁾		720	V	
$V_{DS(tr)(surge)(is)}$	低侧漏源 (SW 至 SL) 瞬态振铃峰值电压, 浪涌条件, FET 关断 ⁽²⁾		800	V	
$V_{DS(hs)}$	高侧漏源 (DH 至 SW) 电压, FET 关断		650	V	
$V_{DS(surge)(hs)}$	高侧漏源 (DH 至 SW) 电压, 浪涌条件, FET 关断 ⁽²⁾		720	V	
$V_{DS(tr)(surge)(hs)}$	高侧漏源 (DH 至 SW) 瞬态振铃峰值电压, 浪涌条件, FET 关断 ⁽²⁾		800	V	
	引脚电压至 AGND	AUX	-0.3	30	V
		EN、INL、INH	-0.3	$V_{AUX} + 0.3$	V
		CS	-0.3	5.5	V
		RDRV L	-0.3	4	V
	引脚电压至 SW	BST	-0.3	30	V
		RDRV H	-0.3	4	V
		GDH	-0.3	$V_{BST_SW} + 0.3$	V
$I_{D(cnts)(is)}$	低侧漏极 (SW 至 SL) 连续电流, FET 导通	-11.5	在内部限制	A	
$I_{D(pulse)(oc)(is)}$	过流响应期间的低侧漏极 (SW 至 SL) 脉冲电流 ⁽³⁾		28	A	
$I_{S(cnts)(is)}$	低侧源极 (SL 至 SW) 连续电流, FET 关断		11.5	A	
$I_{D(cnts)(hs)}$	高侧漏极 (DH 至 SW) 连续电流, FET 导通	-11.5	在内部限制	A	
$I_{D(pulse)(oc)(hs)}$	过流响应期间的高侧漏极 (DH 至 SW) 脉冲电流 ⁽³⁾		28	A	
$I_{S(cnts)(hs)}$	高侧源极 (SW 至 DH) 连续电流, FET 关断		11.5	A	
	正灌电流	CS	10	mA	
T_J	工作结温	-40	150	°C	
T_{stg}	贮存温度	-40	150	°C	

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 有关 GaN 功率 FET 开关功能的更多信息，请参阅 [GaN 功率 FET 开关功能](#)。
- (3) 如果 GaN 功率 FET 进入饱和状态，它可能会自我限制以保持低于该值。

5.2 ESD 等级

		值	单位	
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±1000	V
		引脚 8 至 15		
		引脚 1 至 7, 引脚 16 至 19	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	V

- (1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

除非另有说明：电压以 AGND 为基准

			最小值	标称值	最大值	单位
	电源电压	AUX	10		26	V
	电源电压至 SW	BST	7.5		26	V
	输入电压	EN、INL、INH	0		V_{AUX}	V
	输入电压至 SW	GDH	0		V_{BST_SW}	V
V_{IH}	高电平输入电压	EN、INL、INH、GDH 至 SW	2.5			V
V_{IL}	低电平输入电压				0.6	V
$I_{D(cnts)(ls)}$	低侧漏极 (SW 至 SL) 连续电流, FET 导通		-9.5		9.5	A
$I_{D(cnts)(hs)}$	高侧漏极 (DH 至 SW) 连续电流, FET 导通		-9.5		9.5	A
C_{AUX}	来自外部旁路电容器的 AUX 至 AGND 电容		$3 \times C_{BST}$			μF
C_{BST_SW}	来自外部旁路电容器的 BST 至 SW 电容		0.010			μF
$R_{RDRV L}$	来自外部压摆率控制电阻器的 RDRV L 至 AGND 电阻, 用于配置低于低侧压摆率设置					
	压摆率设置 0 (最慢)		90	120	开路	k Ω
	压摆率设置 1		42.5	47	51.5	k Ω
	压摆率设置 2		20	22	24	k Ω
	压摆率设置 3 (最快)		0	5.6	11	k Ω
$R_{RDRV H_SW}$	来自外部压摆率控制电阻器的 RDRV H 至 SW 电阻, 用于配置低于高侧压摆率设置					
	压摆率设置 0 (最慢)		90	120	开路	k Ω
	压摆率设置 1		42.5	47	51.5	k Ω
	压摆率设置 2		20	22	24	k Ω
	压摆率设置 3 (最快)		0	5.6	11	k Ω

5.4 热性能信息

热指标 ⁽¹⁾		LMG2650	单位
		RFB (VQFN)	
		19 引脚	
$R_{\theta JA}$	结至环境热阻	待定	$^{\circ}C/W$
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	待定	$^{\circ}C/W$

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

1) 符号定义： $V_{DS(is)}$ = SW 至 SL 电压； $I_{D(is)}$ = SW 至 SL 电流； $V_{DS(hs)}$ = DH 至 SW 电压； $I_{D(hs)}$ = DH 至 SW 电流； I_{SW} = 流入器件的 SW 点电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准； $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$ ； $V_{DS(is)} = 520\text{V}$ ； $V_{DS(hs)} = 520\text{V}$ ； $10\text{V} \leq V_{AUX} \leq 26\text{V}$ ； $7.5\text{V} \leq V_{BST_SW} \leq 26\text{V}$ ； $V_{EN} = 5\text{V}$ ； $V_{INL} = 0\text{V}$ ； $V_{INH} = 0\text{V}$ ； $V_{GDH_SW} = 0\text{V}$ ； $R_{RDRVL} = 0\ \Omega$ ； $R_{RDRVH_SW} = 0\ \Omega$ ； $R_{CS} = 100\ \Omega$

参数		测试条件	最小值	典型值	最大值	单位
低侧 GaN 功率 FET						
$R_{DS(on)(is)}$	漏源 (SW 至 SL) 导通电阻	$V_{INL} = 5\text{V}$, $I_{D(is)} = 5.25\text{A}$, $T_J = 25^{\circ}\text{C}$	95			$\text{m}\ \Omega$
		$V_{INL} = 5\text{V}$, $I_{D(is)} = 5.25\text{A}$, $T_J = 125^{\circ}\text{C}$	178			
$V_{SD(is)}$	源漏 (SL 至 SW) 第三象限电压	SL 至 SW 电流 = 0.525A	1.9			V
		SL 至 SW 电流 = 5.25A	2.6			
$I_{DSS(is)}$	漏极 (SW 至 SL) 漏电流	$V_{DS(hs)} = 0\text{V}$, $V_{DS(is)} = 650\text{V}$, $T_J = 25^{\circ}\text{C}$	3.6			μA
		$V_{DS(hs)} = 0\text{V}$, $V_{DS(is)} = 650\text{V}$, $T_J = 125^{\circ}\text{C}$	18.2			
$Q_{OSS(is)}$	输出 (SW 至 SL) 电荷	$V_{DS(hs)} = 0\text{V}$, $V_{DS(is)} = 400\text{V}$	34.7			nC
$C_{OSS(is)}$	输出 (SW 至 SL) 电容		54.2			pF
$E_{OSS(is)}$	输出 (SW 至 SL) 电容储存能量		4.69			μJ
$C_{OSS,er(is)}$	与能量相关的有效输出 (SW 至 SL) 电容		58.1			pF
$C_{OSS,tr(is)}$	与时间相关的有效输出 (SW 至 SL) 电容		86.3			pF
$E_{on(is)}$	硬开关导通能量		$V_{INL} = 0\text{V}$ 至 5V , $V_{DS(is)} = 400\text{V}$ 至 0V , $I_{SW} = 5.25\text{A}$, 压摆率设置 0 (最慢)	130		
		$V_{INL} = 0\text{V}$ 至 5V , $V_{DS(is)} = 400\text{V}$ 至 0V , $I_{SW} = 5.25\text{A}$, 压摆率设置 3 (最快)	20			
		$V_{INL} = 0\text{V}$ 至 5V , $V_{DS(is)} = 400\text{V}$ 至 0V , $I_{SW} = 0.525\text{A}$, 压摆率设置 0 (最慢)	待定			
		$V_{INL} = 0\text{V}$ 至 5V , $V_{DS(is)} = 400\text{V}$ 至 0V , $I_{SW} = 0.525\text{A}$, 压摆率设置 3 (最快)	待定			
$E_{off(is)}$	硬开关关断能量	$V_{INL} = 5\text{V}$ 至 0V , $V_{DS(is)} = 0\text{V}$ 至 400V , $I_{SW} = 5.25\text{A}$	待定			μJ
		$V_{INL} = 5\text{V}$ 至 0V , $V_{DS(is)} = 0\text{V}$ 至 400V , $I_{SW} = 0.525\text{A}$	待定			
$Q_{RR(is)}$	反向恢复电荷		0			nC
高侧 GaN 功率 FET						
$R_{DS(on)(hs)}$	漏源 (DH 至 SW) 导通电阻	$V_{INH} = 5\text{V}$, $I_{D(hs)} = 5.25\text{A}$, $T_J = 25^{\circ}\text{C}$	95			$\text{m}\ \Omega$
		$V_{INH} = 5\text{V}$, $I_{D(hs)} = 5.25\text{A}$, $T_J = 125^{\circ}\text{C}$	170			
$V_{SD(hs)}$	源漏 (SW 至 DH) 第三象限电压	SW 至 DH 电流 = 0.525A	1.9			V
		SW 至 DH 电流 = 5.25A	2.6			
$I_{DSS(hs)}$	漏极 (DH 至 SW) 漏电流	$V_{DS(is)} = 0\text{V}$, $V_{DS(hs)} = 650\text{V}$, $T_J = 25^{\circ}\text{C}$	3.6			μA
		$V_{DS(is)} = 0\text{V}$, $V_{DS(hs)} = 650\text{V}$, $T_J = 125^{\circ}\text{C}$	18.2			
$Q_{OSS(hs)}$	输出 (DH 至 SW) 电荷	$V_{DS(is)} = 0\text{V}$, $V_{DS(hs)} = 400\text{V}$	34.7			nC
$C_{OSS(hs)}$	输出 (DH 至 SW) 电容		54.2			pF
$E_{OSS(hs)}$	输出 (DH 至 SW) 电容储存能量		4.69			μJ
$C_{OSS,er(hs)}$	与能量相关的有效输出 (DH 至 SW) 电容		58.1			pF
$C_{OSS,tr(hs)}$	与时间相关的有效输出 (DH 至 SW) 电容		86.3			pF

5.5 电气特性 (续)

1) 符号定义: $V_{DS(is)}$ = SW 至 SL 电压; $I_{DS(is)}$ = SW 至 SL 电流; $V_{DS(hs)}$ = DH 至 SW 电压; $I_{D(hs)}$ = DH 至 SW 电流; I_{SW} = 流入器件的 SW 点电流; 2) 除非另有说明: 电压、电阻和电容以 AGND 为基准; $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$; $V_{DS(is)} = 520\text{V}$; $V_{DS(hs)} = 520\text{V}$; $10\text{V} \leq V_{AUX} \leq 26\text{V}$; $7.5\text{V} \leq V_{BST_SW} \leq 26\text{V}$; $V_{EN} = 5\text{V}$; $V_{INL} = 0\text{V}$; $V_{INH} = 0\text{V}$; $V_{GDH_SW} = 0\text{V}$; $R_{RDRVL} = 0\ \Omega$; $R_{RDRVH_SW} = 0\ \Omega$; $R_{CS} = 100\ \Omega$

参数		测试条件	最小值	典型值	最大值	单位
$E_{on(hs)}$	硬开关导通能量	$V_{INH} = 0\text{V}$ 至 5V , $V_{DS(hs)} = 400\text{V}$ 至 0V , $I_{SW} = -5.25\text{A}$, 压摆率设置 0 (最慢)		130		μJ
		$V_{INH} = 0\text{V}$ 至 5V , $V_{DS(hs)} = 400\text{V}$ 至 0V , $I_{SW} = -5.25\text{A}$, 压摆率设置 3 (最快)		20		
		$V_{INH} = 0\text{V}$ 至 5V , $V_{DS(hs)} = 400\text{V}$ 至 0V , $I_{SW} = -0.5.25\text{A}$, 压摆率设置 0 (最慢)		待定		
		$V_{INH} = 0\text{V}$ 至 5V , $V_{DS(hs)} = 400\text{V}$ 至 0V , $I_{SW} = -0.5.25\text{A}$, 压摆率设置 3 (最快)		待定		
$E_{off(hs)}$	硬开关关断能量	$V_{INH} = 5\text{V}$ 至 0V , $V_{DS(hs)} = 0\text{V}$ 至 400V , $I_{SW} = -5.25\text{A}$		待定		μJ
		$V_{INH} = 5\text{V}$ 至 0V , $V_{DS(hs)} = 0\text{V}$ 至 400V , $I_{SW} = -0.525\text{A}$		待定		
$Q_{RR(hs)}$	反向恢复电荷			0		nC
低侧过流保护						
$I_{T(OC)(ls)}$	过流故障 - 阈值电流		9.5	10.5	11.5	A
高侧过流保护						
$I_{T(OC)(hs)}$	过流故障 - 阈值电流		9.5	10.5	11.5	A
自举整流器						
$R_{DS(on)}$	AUX 至 BST 导通电阻	$V_{INL} = 5\text{V}$, $V_{AUX_BST} = 1\text{V}$, $T_J = 25^{\circ}\text{C}$		8		Ω
		$V_{INL} = 5\text{V}$, $V_{AUX_BST} = 1\text{V}$, $T_J = 125^{\circ}\text{C}$		14		
	AUX 至 BST 电流限制	$V_{INL} = 5\text{V}$, $V_{AUX_BST} = 7\text{V}$	210	240	270	mA
	BST 至 AUX 反向电流阻断阈值	$V_{INL} = 5\text{V}$		15		mA
CS						
	电流检测增益 ($I_{CS(src)} / I_{D(LS)}$)	$V_{INL} = 5\text{V}$, $0\text{V} \leq V_{CS} \leq 2\text{V}$, $0\text{A} \leq I_{D(ls)} < I_{T(OC)(ls)}$		0.554		mA/A
	电流检测输入失调电流	$V_{INL} = 5\text{V}$, $0\text{V} \leq V_{CS} \leq 2\text{V}$, $0\text{A} \leq I_{D(ls)} < I_{T(OC)(ls)}$	-91		91	mA
	发生过流故障后, 在 INL 保持高电平时初始保持输出	$V_{INL} = 5\text{V}$, $0\text{V} \leq V_{CS} \leq 2\text{V}$			7	mA
$I_{CS(src)}(OC)(final)$	发生过流故障后, 在 INL 保持高电平时的最终保持输出	$V_{INL} = 5\text{V}$, $0\text{V} \leq V_{CS} \leq 2\text{V}$	10	12	15.5	mA
	输出钳位电压	$V_{INL} = 5\text{V}$, $I_{D(ls)} = 9.0\text{A}$, CS 从外部源获得 5mA 灌电流		2.55		V
EN、INL、INH 至 AGND ; GDH 至 SW						
V_{IT+}	正向输入阈值电压		1.7		2.45	V
V_{IT-}	负向输入阈值电压		0.7		1.3	V
	输入阈值电压迟滞			1		V
	下拉输入电阻	$0\text{V} \leq V_{PIN} \leq 3\text{V}$	200	400	600	k Ω
	下拉输入电流	$10\text{V} \leq V_{PIN} \leq 26\text{V}$; $V_{AUX} = 26\text{V}$		10		μA
过热保护						
	温度故障 - 正向阈值温度			165		$^{\circ}\text{C}$
	温度故障 - 负向阈值温度			145		$^{\circ}\text{C}$
	温度故障 - 阈值温度迟滞			20		$^{\circ}\text{C}$

5.5 电气特性 (续)

1) 符号定义: $V_{DS(is)}$ = SW 至 SL 电压; $I_{DS(is)}$ = SW 至 SL 电流; $V_{DS(hs)}$ = DH 至 SW 电压; $I_{D(hs)}$ = DH 至 SW 电流; I_{SW} = 流入器件的 SW 点电流; 2) 除非另有说明: 电压、电阻和电容以 AGND 为基准; $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$; $V_{DS(is)} = 520\text{V}$; $V_{DS(hs)} = 520\text{V}$; $10\text{V} \leq V_{AUX} \leq 26\text{V}$; $7.5\text{V} \leq V_{BST_SW} \leq 26\text{V}$; $V_{EN} = 5\text{V}$; $V_{INL} = 0\text{V}$; $V_{INH} = 0\text{V}$; $V_{GDH_SW} = 0\text{V}$; $R_{RDRVL} = 0\Omega$; $R_{RDRVH_SW} = 0\Omega$; $R_{CS} = 100\Omega$

参数		测试条件	最小值	典型值	最大值	单位
AUX						
$V_{AUX,T+}$ (UVLO)	UVLO - 正向阈值电压		8.9	9.3	9.7	V
	UVLO - 负向阈值电压		8.6	9.0	9.4	V
	UVLO - 阈值电压迟滞			250		mV
	待机静态电流	$V_{EN} = 0\text{V}$		50	110	μA
	静态电流			250	400	μA
		$V_{INL} = 5\text{V}$, $I_{D(is)} = 0\text{A}$		待定		
	工作电流	$V_{INL} = 0\text{V}$ 或 5V , $V_{DS(is)} = 0\text{V}$, $I_{D(is)} = 0\text{A}$, $f_{INL} = 500\text{kHz}$		待定		mA
		$V_{INL} = 0\text{V}$ 或 5V , $V_{DS(is)} = 400\text{V}$ 或 0V , $I_{SW} = 1\text{A}$, $f_{INL} = 500\text{kHz}$		待定		
BST						
$V_{BST_SW,T+}$ (UVLO)	使 FET 导通的 V_{BST_SW} UVLO - 正向阈值电压		6.7	7	7.3	V
	使 FET 保持开启的 V_{BST_SW} UVLO - 负向阈值电压		4.8	5.1	5.4	V
	静态电流			85	120	μA
		$V_{INH} = 5\text{V}$, $I_{D(hs)} = 0\text{A}$		待定		
		$V_{GDH_SW} = 5\text{V}$, $I_{D(hs)} = 0\text{A}$		待定		
	工作电流	$V_{INH} = 0\text{V}$ 或 5V , $V_{DS(hs)} = 0\text{V}$, $I_{DS(hs)} = 0\text{A}$; $f_{INH} = 500\text{kHz}$		待定		mA
		$V_{INH} = 0\text{V}$ 或 5V , $V_{DS(hs)} = 400\text{V}$ 或 0V , $I_{SW} = 1\text{A}$; $f_{INH} = 500\text{kHz}$		待定		
		$V_{GDH_SW} = 0\text{V}$ 或 5V , $V_{DS(hs)} = 0\text{V}$, $I_{DS(hs)} = 0\text{A}$; $f_{INH} = 500\text{kHz}$		待定		
		$V_{GDH_SW} = 0\text{V}$ 或 5V , $V_{DS(hs)} = 400\text{V}$ 或 0V , $I_{SW} = 1\text{A}$; $f_{GDH_SW} = 500\text{kHz}$		待定		

5.6 开关特性

1) 符号定义： $V_{DS(is)}$ = SW 至 SL 电压； $I_{DS(is)}$ = SW 至 SL 电流； $V_{DS(hs)}$ = DH 至 SW 电压； $I_{D(hs)}$ = DH 至 SW 电流； I_{SW} = 流入器件的 SW 点电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准； $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$ ； $V_{DS(is)} = 520\text{V}$ ； $V_{DS(hs)} = 520\text{V}$ ； $10\text{V} \leq V_{AUX} \leq 26\text{V}$ ； $7.5\text{V} \leq V_{BST_SW} \leq 26\text{V}$ ； $V_{EN} = 5\text{V}$ ； $V_{INL} = 0\text{V}$ ； $V_{INH} = 0\text{V}$ ； $R_{RDRVL} = 0\Omega$ ； $R_{RDRVH_SW} = 0\Omega$ ； $R_{CS} = 100\Omega$

参数		测试条件	最小值	典型值	最大值	单位
低侧 GaN 功率 FET						
$t_{d(on)}$ ($I_{drain}(is)$)	漏极电流导通延迟时间	从 $V_{INL} > V_{INL,IT+}$ 到 $I_{D(is)} > 50\text{mA}$ ， $V_{BUS} = 400\text{V}$ ， $I_{SW} = 2.65\text{A}$ ，采用以下低侧压摆率设置，请参阅 GaN 功率 FET 开关参数		待定		ns
		压摆率设置 0 (最慢)		待定		
		压摆率设置 1		待定		
		压摆率设置 2		待定		
$t_{d(on)(is)}$	导通延迟时间	从 $V_{INL} > V_{INL,IT+}$ 到 $V_{DS(is)} < 390\text{V}$ ， $V_{BUS} = 400\text{V}$ ， $I_{SW} = 2.65\text{A}$ ，采用以下低侧压摆率设置，请参阅 GaN 功率 FET 开关参数		待定		ns
		压摆率设置 0 (最慢)		待定		
		压摆率设置 1		待定		
		压摆率设置 2		待定		
$t_{r(on)(is)}$	导通上升时间	从 $V_{DS(is)} < 320\text{V}$ 到 $V_{DS(is)} < 80\text{V}$ ， $V_{BUS} = 400\text{V}$ ， $I_{SW} = 2.65\text{A}$ ，采用以下低侧压摆率设置，请参阅 GaN 功率 FET 开关参数		96		ns
		压摆率设置 0 (最慢)		26.7		
		压摆率设置 1		4.8		
		压摆率设置 2		3		
$t_{d(off)(is)}$	关断延迟时间	从 $V_{INL} < V_{INL,IT-}$ 到 $V_{DS(is)} > 80\text{V}$ ， $V_{BUS} = 400\text{V}$ ， $I_{SW} = 2.65\text{A}$ (与压摆率设置无关)，请参阅 GaN 功率 FET 开关参数		40		ns
$t_{f(off)(is)}$	关断下降时间	从 $V_{DS(is)} > 80\text{V}$ 到 $V_{DS(is)} > 320\text{V}$ ， $V_{BUS} = 400\text{V}$ ， $I_{SW} = 2.65\text{A}$ (与压摆率设置无关)，请参阅 GaN 功率 FET 开关参数		10		ns
	导通压摆率	从 $V_{DS(is)} < 320\text{V}$ 到 $V_{DS(is)} < 80\text{V}$ ， $T_J = 25^{\circ}\text{C}$ ， $V_{BUS} = 400\text{V}$ ， $I_{SW} = 2.65\text{A}$ ，采用以下低侧压摆率设置，请参阅 GaN 功率 FET 开关参数				V/ns
		压摆率设置 0 (最慢)		2.5		V/ns
		压摆率设置 1		9		
		压摆率设置 2		50		
压摆率设置 3 (最快)		80				

5.6 开关特性 (续)

1) 符号定义: $V_{DS(is)}$ = SW 至 SL 电压; $I_{DS(is)}$ = SW 至 SL 电流; $V_{DS(hs)}$ = DH 至 SW 电压; $I_{D(hs)}$ = DH 至 SW 电流; I_{SW} = 流入器件的 SW 点电流; 2) 除非另有说明: 电压、电阻和电容以 AGND 为基准; $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$; $V_{DS(is)} = 520\text{V}$; $V_{DS(hs)} = 520\text{V}$; $10\text{V} \leq V_{AUX} \leq 26\text{V}$; $7.5\text{V} \leq V_{BST_SW} \leq 26\text{V}$; $V_{EN} = 5\text{V}$; $V_{INL} = 0\text{V}$; $V_{INH} = 0\text{V}$; $R_{RDRVL} = 0\Omega$; $R_{RDRVH_SW} = 0\Omega$; $R_{CS} = 100\Omega$

参数		测试条件	最小值	典型值	最大值	单位
高侧 GaN 功率 FET						
$t_{d(on)}$ (I _{drain}) (hs,INH)	漏极电流导通延迟时间	从 $V_{INH} > V_{INH,IT+}$ 到 $I_{D(hs)} > 50\text{mA}$, $V_{BUS} = 400\text{V}$, $I_{SW} = -2.65\text{A}$, 采用以下高侧压摆率设置, 请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0 (最慢)		待定		ns
		压摆率设置 1		待定		
		压摆率设置 2		待定		
压摆率设置 3 (最快)		待定				
$t_{d(on)}$ (I _{drain}) (hs,GDH)	漏极电流导通延迟时间	从 $V_{GDH} > V_{GDH,IT+}$ 到 $I_{D(hs)} > 50\text{mA}$, $V_{BUS} = 400\text{V}$, $I_{SW} = -2.65\text{A}$, 采用以下高侧压摆率设置, 请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0 (最慢)		待定		ns
		压摆率设置 1		待定		
		压摆率设置 2		待定		
压摆率设置 3 (最快)		待定				
$t_{d(on)}$ (hs,INH)	导通延迟时间	从 $V_{INH} > V_{INH,IT+}$ 到 $V_{DS(hs)} < 390\text{V}$, $V_{BUS} = 400\text{V}$, $I_{SW} = -2.65\text{A}$, 采用以下高侧压摆率设置, 请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0 (最慢)		待定		ns
		压摆率设置 1		待定		
		压摆率设置 2		待定		
压摆率设置 3 (最快)		待定				
$t_{d(on)}$ (hs,GDH)	导通延迟时间	从 $V_{GDH} > V_{GDH,IT+}$ 到 $V_{DS(hs)} < 390\text{V}$, $V_{BUS} = 400\text{V}$, $I_{SW} = -2.65\text{A}$, 采用以下高侧压摆率设置, 请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0 (最慢)		待定		ns
		压摆率设置 1		待定		
		压摆率设置 2		待定		
压摆率设置 3 (最快)		待定				
$t_{r(on)(hs)}$	导通上升时间	从 $V_{DS(hs)} < 320\text{V}$ 到 $V_{DS(hs)} < 80\text{V}$, $V_{BUS} = 400\text{V}$, $I_{SW} = -2.65\text{A}$, 采用以下高侧压摆率设置, 请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0 (最慢)		96		ns
		压摆率设置 1		26.7		
		压摆率设置 2		4.8		
压摆率设置 3 (最快)		3				
$t_{d(off)}$ (hs,INH)	关断延迟时间	从 $V_{INH} < V_{INH,IT-}$ 到 $V_{DS(hs)} > 80\text{V}$, $V_{BUS} = 400\text{V}$, $I_{SW} = -2.65\text{A}$ (与压摆率设置无关), 请参阅 GaN 功率 FET 开关参数		60		ns

5.6 开关特性 (续)

1) 符号定义: $V_{DS(is)}$ = SW 至 SL 电压; $I_{DS(is)}$ = SW 至 SL 电流; $V_{DS(hs)}$ = DH 至 SW 电压; $I_{D(hs)}$ = DH 至 SW 电流; I_{SW} = 流入器件的 SW 点电流; 2) 除非另有说明: 电压、电阻和电容以 AGND 为基准; $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$; $V_{DS(is)} = 520\text{V}$; $V_{DS(hs)} = 520\text{V}$; $10\text{V} \leq V_{AUX} \leq 26\text{V}$; $7.5\text{V} \leq V_{BST_SW} \leq 26\text{V}$; $V_{EN} = 5\text{V}$; $V_{INL} = 0\text{V}$; $V_{INH} = 0\text{V}$; $R_{RDRVL} = 0\Omega$; $R_{RDRVH_SW} = 0\Omega$; $R_{CS} = 100\Omega$

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(off)}$ (hs, GDH)	关断延迟时间	从 $V_{GDH} < V_{GDH,IT-}$ 到 $V_{DS(hs)} > 80\text{V}$, $V_{BUS} = 400\text{V}$, $I_{SW} = -2.65\text{A}$ (与压摆率设置无关), 请参阅 GaN 功率 FET 开关参数		50		ns
$t_{f(off)}$ (hs)	关断下降时间	从 $V_{DS(hs)} > 80\text{V}$ 到 $V_{DS(hs)} > 320\text{V}$, $V_{BUS} = 400\text{V}$, $I_{SW} = -2.65\text{A}$ (与压摆率设置无关), 请参阅 GaN 功率 FET 开关参数		10		ns
	导通压摆率	从 $V_{DS(hs)} < 320\text{V}$ 到 $V_{DS(hs)} < 80\text{V}$, $T_J = 25^{\circ}\text{C}$, $V_{BUS} = 400\text{V}$, $I_{SW} = -2.65\text{A}$, 采用以下高侧压摆率设置, 请参阅 GaN 功率 FET 开关参数				V/ns
		压摆率设置 0 (最慢)		2.5		
		压摆率设置 1		9		
		压摆率设置 2		50		
		压摆率设置 3 (最快)		80		
CS						
t_r	上升时间	从 $I_{CS(src)} > 0.2 \times I_{CS(src)(final)}$ 到 $I_{CS(src)} > 0.9 \times I_{CS(src)(final)}$, $0\text{V} \leq V_{CS} \leq 2\text{V}$, 低侧启用为 2.65A 负载			30	ns
EN						
	EN 唤醒时间	从 $V_{EN} > V_{IT+}$ 到 $I_{D(is)} > 10\text{mA}$, $V_{INL} = 5\text{V}$		1.5		μs
BST						
	从深度 BST 到 SW 放电的启动时间	从 $V_{BST_SW} > V_{BST_SW,T+(UVLO)}$ 到高侧对 INH 或 GDH 高电平做出反应, V_{BST_SW} 在 $1\mu\text{s}$ 内从 0V 上升到 10V		5		μs
	从浅 BST 到 SW 放电的启动时间	从 $V_{BST_SW} > V_{BST_SW,T+(UVLO)}$ 到高侧对 INH 或 GDH 高电平做出反应, V_{BST_SW} 在 $0.5\mu\text{s}$ 内从 5V 上升到 10V		2.6		μs

6 参数测量信息

6.1 GaN 功率 FET 开关参数

图 6-1 展示了用于测量 GaN 功率 FET 开关参数的电路。该电路用作双脉冲测试仪。有关双脉冲测试仪的详细信息，请参阅外部基准。该电路置于升压配置中，用于测量低侧 GaN 开关参数。该电路置于降压配置中，用于测量高侧 GaN 开关参数。不在每个配置（升压中的高侧和降压中的低侧）中测量 GaN FET 充当双脉冲测试仪二极管，并在关断状态第三象限导通模式下实现电感器电流循环。表 6-1 展示了每个配置的详细信息。

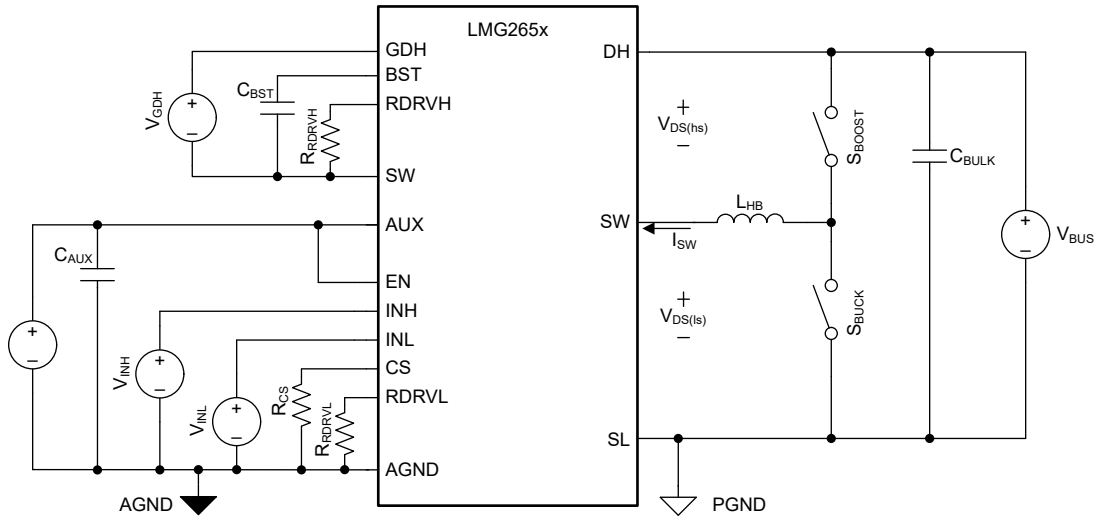


图 6-1. GaN 功率 FET 开关参数测试电路

表 6-1. GaN 功率 FET 开关参数测试电路配置详细信息

配置	待测试 GaN FET	充当二极管的 GaN FET	S _{BOOST}	S _{BUCK}	V _{INL}	V _{INH}	V _{GDH}
升压	低侧	高侧	闭合	开路	双脉冲波形	0V	0V
降压	高侧	低侧	开路	闭合	0V	双脉冲波形	0V
降压	高侧	低侧	开路	闭合	0V	0V	双脉冲波形

图 6-2 展示了 GaN 功率 FET 开关参数。

GaN 功率 FET 导通转换有三个时间分量：漏极电流导通延迟时间 $t_{d(on)(I_{drain})}$ 、导通延迟时间 $t_{d(on)}$ 和导通上升时间 $t_{r(on)}$ 。请注意，导通上升时间与 V_{DS} 80% 至 20% 下降时间相同。所有三个导通时间分量都是 RDRVx 引脚设置的函数。

GaN 功率 FET 关断转换具有两个时间分量：关断延迟时间 $t_{d(off)}$ 和关断下降时间 $t_{f(off)}$ 。请注意，关断下降时间与 V_{DS} 20% 至 80% 上升时间相同。关断时间分量与 RDRVx 引脚设置无关，但在很大程度上取决于 L_{HB} 电流。

导通压摆率是根据导通上升时间电压差 (240V) 测量，可获得对 EMI 设计很有用的压摆率。RDRVx 引脚用于设定压摆率。

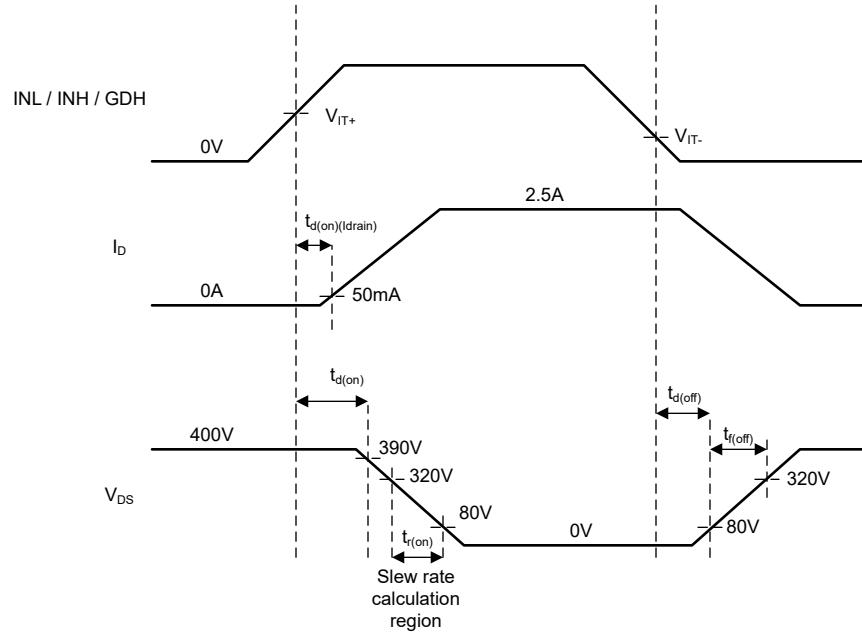


图 6-2. GaN 功率 FET 开关参数

ADVANCE INFORMATION

7 详细说明

7.1 概述

LMG2650 是一款高度集成的 650V 95mΩ GaN 功率 FET 半桥，适用于开关模式电源应用。LMG2650 在 6mm x 8mm QFN 封装中整合了半桥功率 FET、栅极驱动器、低侧电流检测仿真功能、高侧栅极驱动电平转换器和自举二极管功能。

额定电压为 650V 的 GaN FET 可提供离线电源开关应用所需的高电压。GaN FET 低输出电容电荷减少了电源转换器开关所需的时间和能量，这是设计小型高效电源转换器所需的关键特性。

LMG2650 内部栅极驱动器可调节 GaN FET 栅极电压，实现最佳的导通电阻。内部驱动器还可降低总栅极电感和 GaN FET 共源极电感，从而提高开关性能。低侧/高侧 GaN FET 导通压摆率可单独编程，有四种分立的设置可选，从而在功率损耗、开关振铃和 EMI 方面实现设计灵活性。

电流检测仿真功能可在 CS 引脚的输出端产生与低侧漏极电流成比例的电流。CS 引脚通过一个电阻器端接至 AGND，用于生成外部电源控制器的电流检测输入信号。该 CS 引脚电阻取代了与低侧 GaN FET 源极串联的传统电流检测电阻，显著节省了功耗和空间。此外，由于没有与 GaN 源极串联的电流检测电阻，因此可以将低侧 GaN FET 散热焊盘 (SL 引脚) 直接连接到 PCB 电源地，从而提高系统热性能。

高侧 GaN FET 由低侧参考 INH 引脚和高侧参考 GDH 引脚控制，因此 LMG2650 能够与采用高侧栅极驱动参考方案的控制器相连接。内部高侧栅极驱动电平转换器能够可靠地将 INH 信号传输到高侧，对器件静态电流的影响极小，对器件启动时间也没有影响。

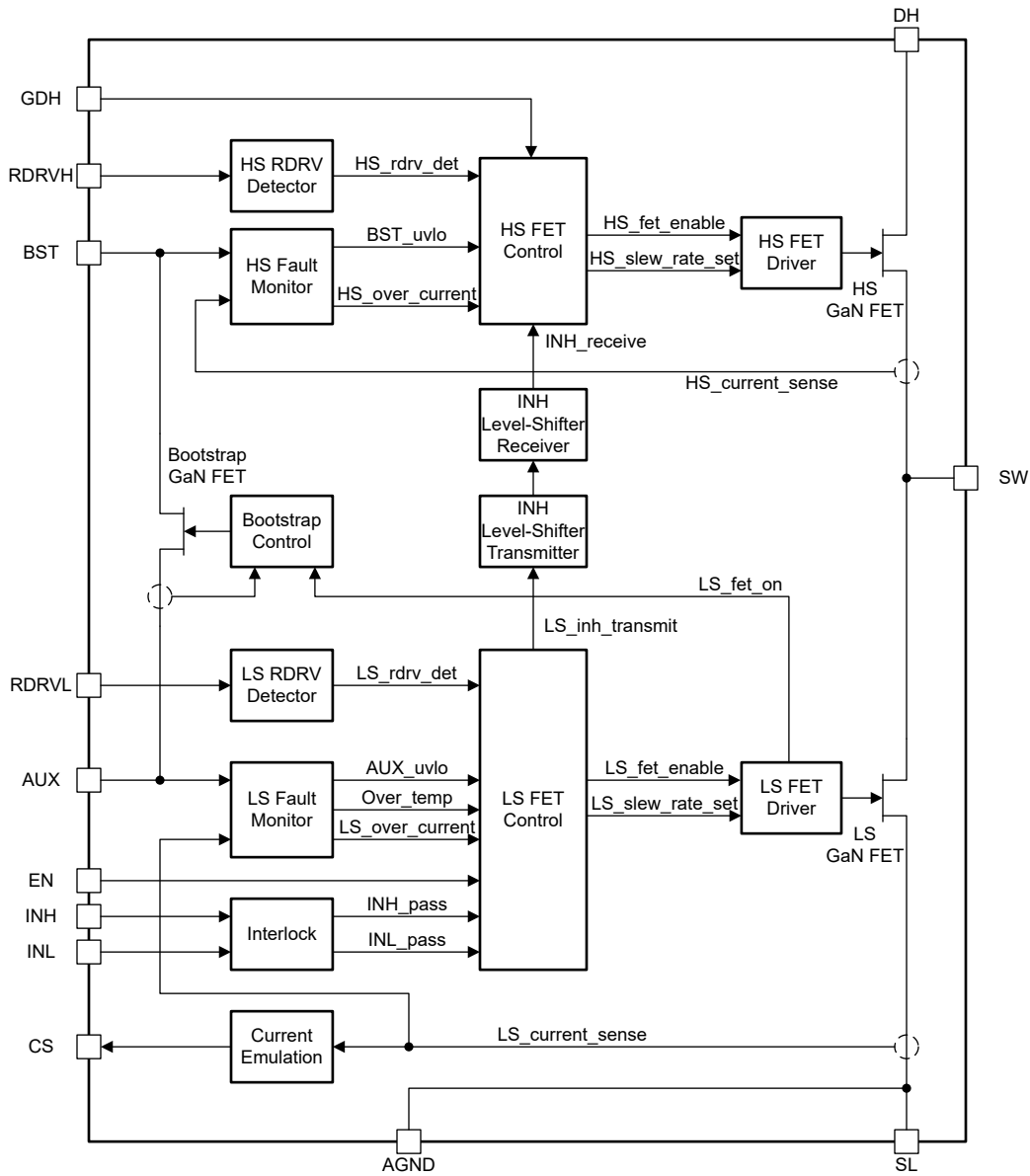
AUX 和 BST 之间的自举二极管功能通过智能开关 GaN 自举 FET 实现。由于导通状态 GaN 自举 FET 没有传统自举二极管的正向压降，因此开关 GaN 自举 FET 可提升对 BST 至 SW 之间电容器的充电程度。智能开关 GaN 自举 FET 还避免了传统自举二极管的问题，即 BST 至 SW 之间电容器由于低侧半桥 GaN 功率 FET 中的关断状态第三象限电流而过充。最后，与传统自举二极管相比，该自举二极管具有低电容，并且没有反向恢复电荷，因此可实现更高效的开关。

AUX 输入电源宽电压范围与由电源控制器创建的相应宽范围电源轨兼容。BST 输入电源电压范围具有更低的电压值，可补偿自举再充电周期之间的电容压降。AUX/BST 空闲时的低静态电流和快速 BST 启动时间支持转换器突发模式运行，这对于满足政府轻负载效率要求至关重要。通过使用 EN 引脚将器件置于待机模式，可以进一步降低 AUX 静态电流。

EN、INL、INH 和 GDH 控制引脚具有高输入阻抗、低输入阈值电压和等于本地电源引脚电压 (AUX 或 BST 至 SW) 的最大输入电压。因此，这些引脚可支持低电压和高电压输入信号，并由低功耗输出驱动。

LMG2650 保护功能包括低侧/高侧欠压锁定 (UVLO)、INL/INH 输入栅极驱动互锁、低侧/高侧逐周期电流限制和低侧/高侧过热关断。UVLO 特性还有助于实现转换器良好的运行状况。在开漏 $\overline{\text{FLT}}$ 输出上报告低侧过热关断。

7.2 功能方框图



ADVANCE INFORMATION

7.3 特性说明

7.3.1 GaN 功率 FET 开关能力

由于硅 FET 长期占据功率开关技术的主导地位，许多设计人员没有意识到铭牌漏源电压不能用作跨技术比较器件的等效点。硅 FET 的铭牌漏源电压由雪崩击穿电压决定。GaN FET 的铭牌漏源电压是根据对数据表规格的长期遵从性设定的。

超过硅 FET 的铭牌漏源电压可能会立即导致损坏或造成永久性损坏。同时，GaN FET 的击穿电压远高于铭牌漏源电压。例如，LMG2650 GaN 功率 FET 的击穿漏源电压超过 800V，这使得 LMG2650 能够在超过相同铭牌额定硅 FET 的条件下运行。

我们借助图 7-1 说明了 LMG2650 GaN 功率 FET 开关能力。该图显示了在开关应用中，LMG2650 GaN 功率 FET 在三个不同开关周期内的漏源电压随时间的变化情况。不对开关频率或占空比进行任何声明。LMG2650 GaN 功率 FET 可在连续导通模式 (CCM) 硬开关、零电压开关 (ZVS) 和不连续导通模式 (DCM) 开关条件下导通。

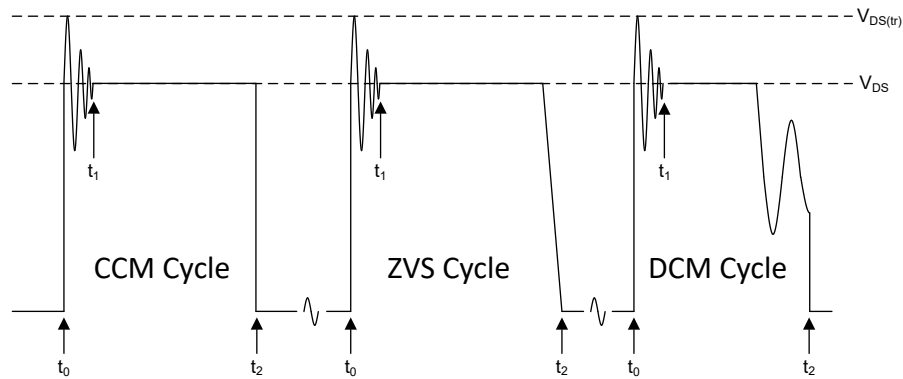


图 7-1. GaN 功率 FET 开关能力

FET 处于导通状态时，每个周期都在 t_0 之前开始。在 t_0 时，GaN FET 关断，寄生元件导致漏源电压以高频振铃。高频振铃已经减弱了 t_1 。在 t_1 和 t_2 之间，FET 漏源电压由开关应用的特性响应设置。特性以一条平坦的线（平坦区）显示，但可以有其他响应。在 t_2 时，GaN FET 导通。对于罕见的浪涌事件，瞬态环电压限制为 800V，平坦电压限制为 720V。

7.3.2 导通压摆率控制

低侧和高侧 GaN 功率 FET 的导通压摆率可单独编程，有四种分立的设置可选。低侧压摆率可通过 RDRVL 和 AGND 引脚之间的电阻进行编程。高侧压摆率可通过 RDRVH 和 SW 引脚之间的电阻进行编程。当 AUX 电压上升到高于 AUX 上电复位电压时，可在 AUX 上电期间确定低侧一次压摆率设置。当 BST 至 SW 电压上升到高于 BST 上电复位电压时，可在 BST 至 SW 上电期间确定一次高侧压摆率设置。压摆率设置确定时间未指定，但大约为 0.4 μ s。

表 7-1 展示了四个压摆率设置下的建议典型电阻设定值以及每个设置下的典型导通压摆率。如表中所示，对于设定压摆率设置 0，开路连接是可接受的；对于设定压摆率设置 3，短路连接（RDRVL 短接至 AGND 以实现低侧导通压摆率）（RDRVH 短接至 SW 以实现高侧导通压摆率）是可接受的。

表 7-1. 压摆率设置

导通压摆率设置	建议的典型设定电阻 (k Ω)	典型导通压摆率 (V/ns)	备注
0	120	2	可接受设定电阻的开路连接。
1	47	9	
2	22	50	
3	5.6	80	可接受通过短路连接来设定电阻（RDRVL 短接至 AGND 以实现低侧压摆率）（RDRVH 短接至 SW 以实现高侧压摆率）。

7.3.3 电流检测仿真

电流检测仿真功能可在 CS 引脚的输出端产生与 GaN 功率 FET 漏极正向电流成比例的电流。电流检测仿真增益 G_{CSE} 的定义是，每有 1A 电流流入低侧 GaN 功率 FET 的漏极，即 I_D ，CS 引脚输出 0.554mA 电流，即 I_{CS} 。

$$G_{CSE} = I_{CS} / I_D = 0.554\text{mA} / 1\text{A} = 0.000554 \quad (1)$$

CS 引脚通过一个电阻器 R_{CS} 端接至 AGND，用于生成外部电源控制器的电流检测电压输入信号。

通过求解传统电流检测设计电阻 $R_{CS(\text{trad})}$ 再乘以 G_{CSE} 的倒数来确定 R_{CS} 。传统的电流检测设计通过使 GaN 功率 FET 漏极电流 I_D 通过 $R_{CS(\text{trad})}$ 来产生电流检测电压 $V_{CS(\text{trad})}$ 。LMG2650 通过使 CS 引脚输出电流 I_{CS} 通过 R_{CS} 来创建电流检测电压 V_{CS} 。两种设计的电流检测电压必须相同。

$$V_{CS} = I_{CS} \times R_{CS} = V_{CS(\text{trad})} = I_D \times R_{CS(\text{trad})} \quad (2)$$

$$R_{CS} = I_D / I_{CS} \times R_{CS(\text{trad})} = 1 / G_{CSE} \times R_{CS(\text{trad})} \quad (3)$$

$$R_{CS} = 1,805 \times R_{CS(\text{trad})} \quad (4)$$

CS 引脚在内部钳位至典型值 2.5V。例如，如果 CS 引脚上的电流检测电阻断开连接，该钳位可保护易受影响的电源控制器电流检测输入引脚免受过压影响。

图 7-2 展示了电流检测仿真运行。在这两个周期中，CS 引脚电流模拟 GaN FET 启用时的 GaN 功率 FET 漏极电流。第一个周期显示了正常运行，其中当控制器电流检测输入阈值跳变时，控制器会关闭 GaN 功率 FET。第二个周期显示了一种故障情况，即 LMG2650 过流保护功能会在控制器电流检测输入阈值跳变之前关闭 GaN 功率 FET。在第二个周期中，LMG2610 生成快速斜升的人工电流检测仿真信号来使控制器电流检测输入阈值跳变，从而避免控制器 IN 脉冲挂起。人工信号一直持续到 IN 引脚变为逻辑低电平，这表示控制器重新控制开关运行。

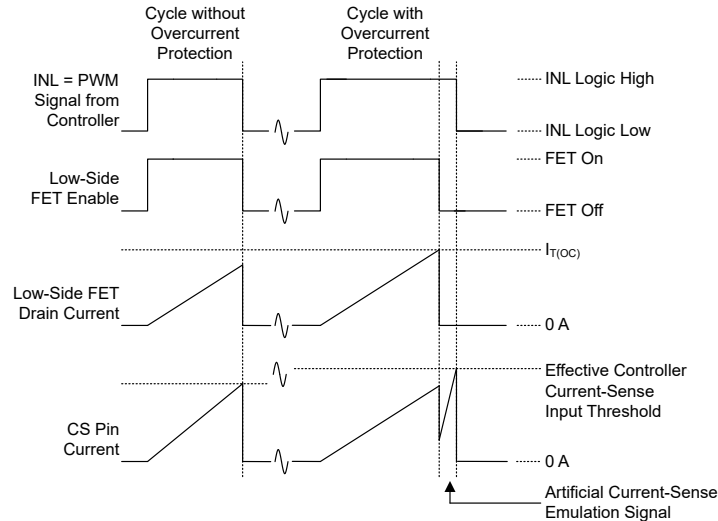


图 7-2. 电流检测仿真运行

7.3.4 自举二极管功能

内部自举二极管功能通过智能开关 GaN 自举 FET 实现。当 GaN 自举 FET 关断时，GaN 自举 FET 会在 AUX 和 BST 之间的两个方向上阻断电流。

自举二极管功能在低侧 GaN 功率 FET 导通时激活，在低侧 GaN 功率 FET 关断时停用。GaN 自举 FET 在自举二极管非活动阶段保持关断。GaN 自举 FET 在自举活动阶段开始时一次性导通，并被控制为理想二极管，二极管电流从 AUX 流向 BST 为 BST 至 SW 电容器充电。如果在 GaN 自举 FET 导通后检测到从 BST 至 AUX 的小反向电流，则在自举活动阶段的剩余时间内，GaN 自举 FET 将关断。

当 BST 至 SW 电容器在自举活动阶段开始时严重放电时，自举二极管功能会实现限流功能以保护 GaN 自举 FET。如果在 GaN 自举 FET 导通期间没有电流限制情况，或者自举功能在 BST 至 SW 电容器充电时超出电流限制，则在 GaN 自举 FET 导通时间的剩余时间内会禁用电流限制功能。电流限制功能被禁用以节省静态电流。

7.3.5 输入控制引脚 (EN、INL、INH、GDH)

EN 引脚以 AGND 为基准并用于在工作模式和待机模式之间切换器件，如 *器件功能模式* 部分所述。

INL 引脚以 AGND 为基准并用于导通和关断低侧 GaN 功率 FET。

INH 引脚以 AGND 为基准并用于导通和关断高侧 GaN 功率 FET。INH 引脚与使用低侧参考栅极驱动信号来控制高侧 GaN 功率 FET 的控制器兼容。

GDH 引脚以 SW 为基准并用于导通和关断高侧 GaN 功率 FET。GDH 引脚与使用高侧参考信号来控制高侧 GaN 功率 FET 的控制器兼容。

LMG2650 旨在与 INH 引脚或控制高侧 GaN 功率 FET 的 GDH 引脚配合使用。将未使用的引脚短接至其基准 (INH 至 AGND 或 GDH 至 SW)。

输入控制引脚具有用于实现抗噪性能的典型 1V 输入电压阈值迟滞。这些引脚还具有典型的 400k Ω 下拉电阻，可防止输入悬空。400k Ω 在高于 4V 的典型输入电压下达到饱和，以将最大输入下拉电流限制为 10 μ A 典型值。从 EN、INL 和 INH 引脚到 AUX 引脚之间存在单独的正向 ESD 二极管。请避免将 EN、INL 和 INH 电压驱动至高于 AUX 电压。GDH 引脚和 BST 引脚之间也有一个正向 ESD 二极管。请避免将 GDH 至 SW 电压驱动至高于 BST 至 SW 电压。

以下条件会阻止 INL 导通操作：

- 待机模式 (由上面的 EN 引脚设置)
- INH 控制 INL/INH 互锁
- AUX 欠压锁定 (UVLO)
- 低侧过热保护
- 低侧 GaN 功率 FET 过流保护

以下条件会阻止 INH 导通操作

- 待机模式 (由上面的 EN 引脚设置)
- INL 控制 INL/INH 互锁
- AUX UVLO
- 低侧过热保护
- BST UVLO
- 高侧过流保护

以下条件会阻止 GDH 导通操作

- BST UVLO
- 高侧过热保护
- 高侧过流保护

请注意，INH 引脚被低侧温度保护阻断，而 GDH 引脚被高侧温度保护阻断。

除 INL/INH 互锁和过流保护之外的所有阻断情况都与 INL、INH 或 GDH 逻辑状态无关。图 7-3 展示了这些控制输入独立阻断条件的运行情况。

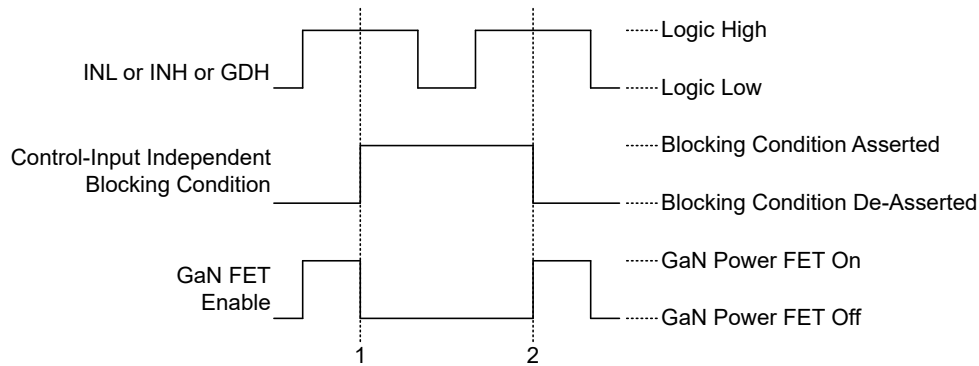


图 7-3. 控制输入独立阻断条件运行

INL/INH 互锁阻断操作在 *INL - INH 互锁* 一节中进行了介绍。同时，过流保护阻断操作仅在控制输入已开启其相应的 GaN 功率 FET 后才有效。有关详细信息，请参阅 *过流保护* 部分。

7.3.6 INL - INH 互锁

当 INL 和 INH 引脚都为逻辑高电平时，互锁功能可防止低侧和高侧 GaN 功率 FET 同时导通。如果任一引脚为逻辑高电平，另一个引脚为逻辑低电平，则 INL 或 INH 引脚会获得互锁的控制权。INL 或 INH 引脚获得对互锁的控制权后，只要保持逻辑高电平，它就会保持控制权。只有控制互锁的 INL 或 INH 引脚通过互锁传递逻辑高电平信号。

请注意，GDH 引脚没有互锁功能。这意味着，如果 INL 和 GDH 引脚都是逻辑高电平，可以同时导通低侧和高侧 GaN 功率 FET。

7.3.7 AUX 电源引脚

AUX 引脚作为低侧内部电路的输入电源，也是通过内部自举二极管功能为 BST 至 SW 电容器充电的电源。建议使用陶瓷电容作为 AUX 外部电容，该电容在工作条件下至少比 BST 至 SW 外部电容大三倍。

7.3.7.1 AUX 上电复位

如果 AUX 电压低于 AUX 上电复位电压，则 AUX 上电复位将禁用所有低侧功能（包括 INH 引脚功能）。AUX 上电复位电压未指定，但大约为 5V。当 AUX 电压高于 AUX 上电复位电压时，AUX 上电复位会一次性确定 RDRVL 引脚上设定的低侧压摆率设置。如果 AUX 电压高于 AUX 上电复位电压，则 AUX 上电复位将启用低侧过热保护功能。

7.3.7.2 AUX 欠压锁定 (UVLO)

AUX UVLO 可阻止 INL 引脚导通低侧 GaN 功率 FET，并在 AUX 电压低于 AUX UVLO 电压时阻止 INH 引脚导通高侧 GaN 功率 FET。图 7-3 展示了 AUX UVLO 阻止操作。AUX UVLO 电压设置为高于 BST UVLO 电压，因此高侧 GaN 功率 FET 可在低侧 GaN 功率 FET 工作时运行。AUX UVLO 电压与 BST UVLO 电压之间的电压间隔，是为了考虑 AUX 电源对 BST 至 SW 电容的自举充电不完整的工作条件。AUX UVLO 电压迟滞可防止 UVLO 电压跳闸点附近出现开关抖动。

7.3.8 BST 电源引脚

BST 引脚是高侧内部电路的输入电源。BST 引脚和相应的高侧电路以 SW 引脚为基准。BST 引脚通过内部自举二极管功能由低侧 AUX 电源引脚供电。当低侧 GaN FET 关断时，自举功能处于非活动状态，且 BST 引脚必须依赖外部连接 SW 的电容器作为 BST 电源。

设计 BST 至 SW 电容时需要在高侧充电时间和保持时间之间进行权衡。建议使用陶瓷电容作为 SW 至 SW 外部电容，该电容在工作条件下至少为 10nF。

7.3.8.1 BST 上电复位

BST 上电复位电压以 SW 引脚为基准。如果 BST 至 SW 电压低于 BST 上电复位电压，则 BST 上电复位将禁用所有高侧功能。BST 上电复位电压未指定，但大约为 5V。当 BST 至 SW 电压高于 BST 上电复位电压时，BST 上电复位会一次性确定 RDRVH 引脚上设定的高侧压摆率设置。

7.3.8.2 BST 欠压锁定 (UVLO)

BST UVLO 电压以 SW 引脚为基准。如果 BST 至 SW 电压低于适用的 BST UVLO 电压，BST UVLO 会阻止 INH 和 GDH 引脚导通高侧 GaN 功率 FET，如下所述。图 7-3 展示了 BST UVLO 阻止操作。BST UVLO 包含两个独立的 UVLO 功能，用于创建双电平 BST UVLO。上部 BST UVLO 称为 BST 导通 UVLO，仅控制是否允许高侧 GaN 功率 FET 导通。下部 BST UVLO 称为 BST 关断 UVLO，仅用于控制在高侧 GaN 功率 FET 已导通后高侧 GaN 功率 FET 是否关断。双电平 UVLO 的工作方式与具有迟滞功能的单个 UVLO 不同。

图 7-4 展示了双电平 BST UVLO 运行情况。如果 BST 至 SW 电压低于 BST 导通 UVLO 电压 (INH/GDH 脉冲 1、脉冲 2 的第一部分和脉冲 5)，BST 导通 UVLO 可防止高侧 GaN 功率 FET 在 INH 或 GDH 逻辑高电平下导通。在高侧 GaN 功率 FET 成功导通后，系统会忽略 BST 导通 UVLO，而 BST 关断 UVLO 输出将在 INH 或 GDH 逻辑高电平脉冲 (脉冲 2、脉冲 3、4 和 6 的 INH/GDH 第二部分) 的剩余时间内受到监视。如果 BST 至 SW 电压降至低于 BST 关断 UVLO 电压 (INH/GDH 脉冲 6)，则 BST 关断 UVLO 会在 INH/GDH 逻辑高电平脉冲的剩余时间内关断高侧 GaN 功率 FET。

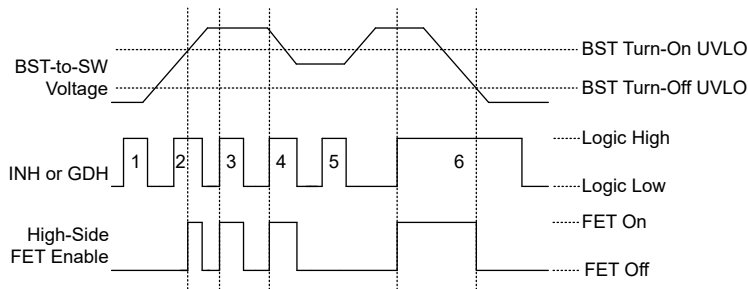


图 7-4. BST UVLO 运行

双电平 BST UVLO 的有效电压迟滞是上限和下限 BST UVLO 电压之间的差值。可以使用相同的迟滞来实现单级 BST UVLO，但允许后续高侧 GaN 功率 FET 在迟滞范围内的任何位置导通。单电平 BST UVLO 允许 INH/GDH 脉冲 5 导通高侧 GaN 电源。双电平 UVLO 设计可避免迟滞范围内的任何导通。

双电平 BST UVLO 支持宽迟滞，同时确保 BST 至 SW 电容器在每个 INH 或 GDH 脉冲开始时充分充电。宽迟滞允许使用较小的 BST 至 SW 电容器，这对于缩短高侧启动时间非常有用。INH 或 GDH 脉冲开始时有足够的电容电荷有助于确保高侧 GaN 功率 FET 不会在 INH 或 GDH 脉冲中过早关闭，以免导致转换器运行不稳定。

7.3.9 过流保护

LMG2650 可为半桥 GaN 功率 FET 实现逐周期过流保护。图 7-5 展示了逐周期过流操作。每个 INL、INH 或 GDH 逻辑高电平周期都会导通受控 GaN 功率 FET。如果 GaN 功率 FET 漏极电流超过过流阈值电流，过流保护会在 INL、INH 或 GDH 逻辑高电平的剩余时间内关断 GaN 功率 FET。

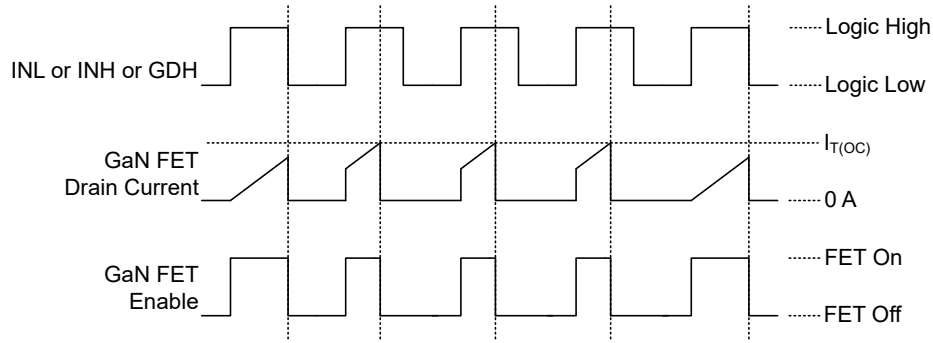


图 7-5. 逐周期过流保护操作

未在 $\overline{\text{FLT}}$ 引脚上报告过流保护事件。逐周期过流保护功能可更大限度地减少系统中断，因为不会报告该事件，并且保护功能允许 GaN 功率 FET 在每个 INL、INH 或 GDH 周期导通一次。

如 *电流检测仿真* 部分所述，在低侧 GaN 功率 FET 由低侧过流保护功能关断后，会产生人为 CS 引脚电流，以防止控制器进入挂起状态。

7.3.10 过热保护

LMG2650 为低侧和高侧器件电路实现了单独的过热保护。低侧过热保护功能可阻止 INL 引脚导通低侧 GaN 功率 FET，并在低侧温度高于过热保护温度时阻止 INH 引脚导通高侧 GaN 功率 FET。如果高侧温度高于过热保护温度，高侧过热保护会阻止 GDH 引脚导通高侧 GaN 功率 FET。图 7-3 展示了过热阻断操作。过热保护迟滞可避免不稳定的热循环。

当 AUX 电压高于 AUX 上电复位电压时，将启用低侧过热保护。当 AUX 电源轨在电源转换器冷却阶段下降时，低 AUX 上电复位电压有助于过热保护功能保持运行。当 BST 至 SW 电压高于 BST 上电复位电压时，将启用高侧过热保护。

低侧过热保护变为有效后， $\overline{\text{FLT}}$ 引脚上会报告低侧过热故障。这是 $\overline{\text{FLT}}$ 引脚上报告的唯一故障事件。

7.3.11 故障报告

LMG2650 仅报告低侧过热故障。低侧过热保护功能变为有效后， $\overline{\text{FLT}}$ 引脚上会报告低侧过热故障。 $\overline{\text{FLT}}$ 引脚是低电平有效的开漏输出，因此该引脚在出现低侧过热故障时拉至低电平。

7.4 器件功能模式

LMG2650 有两种由 EN 引脚控制的运行模式。当 EN 为逻辑高电平时，器件处于工作模式；当 EN 引脚为逻辑低电平时，器件处于待机模式。在工作模式下，半桥 GaN 功率 FET 由 INL、INH 和 GDH 引脚控制。在待机模式下，INL 和 INH 引脚会被忽略，低侧 GaN 功率 FET 和自举二极管会保持关断，INH 引脚会被阻止导通高侧 FET，而 AUX 静态电流会降低至 AUX 待机静态电流。请注意，在待机模式下，如果 BST 引脚由外部电源供电，则高侧 GaN 功率 FET 仍可由 GDH 引脚控制。

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

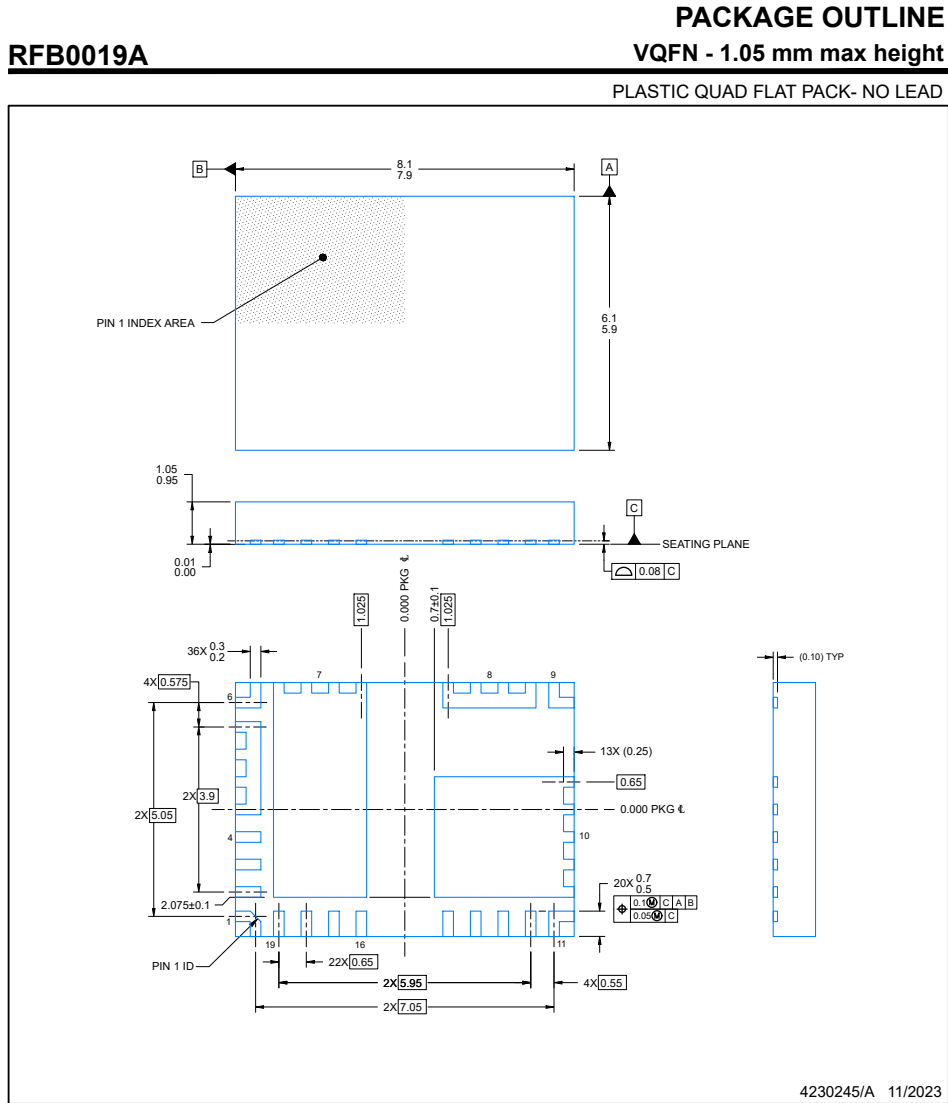
9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
May 2024	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。



NOTES:

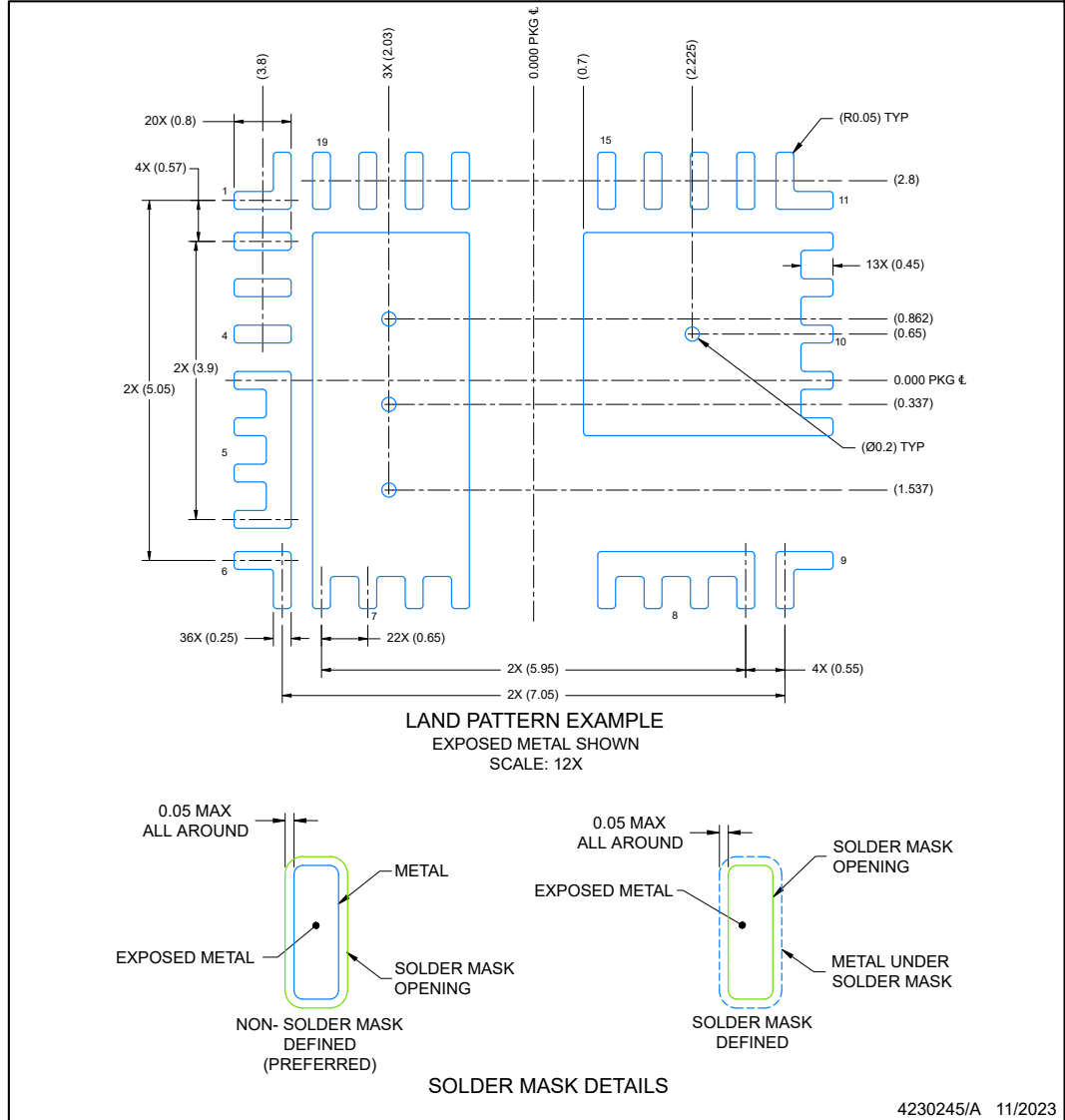
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RFB0019A

VQFN - 1.05 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



NOTES: (continued)

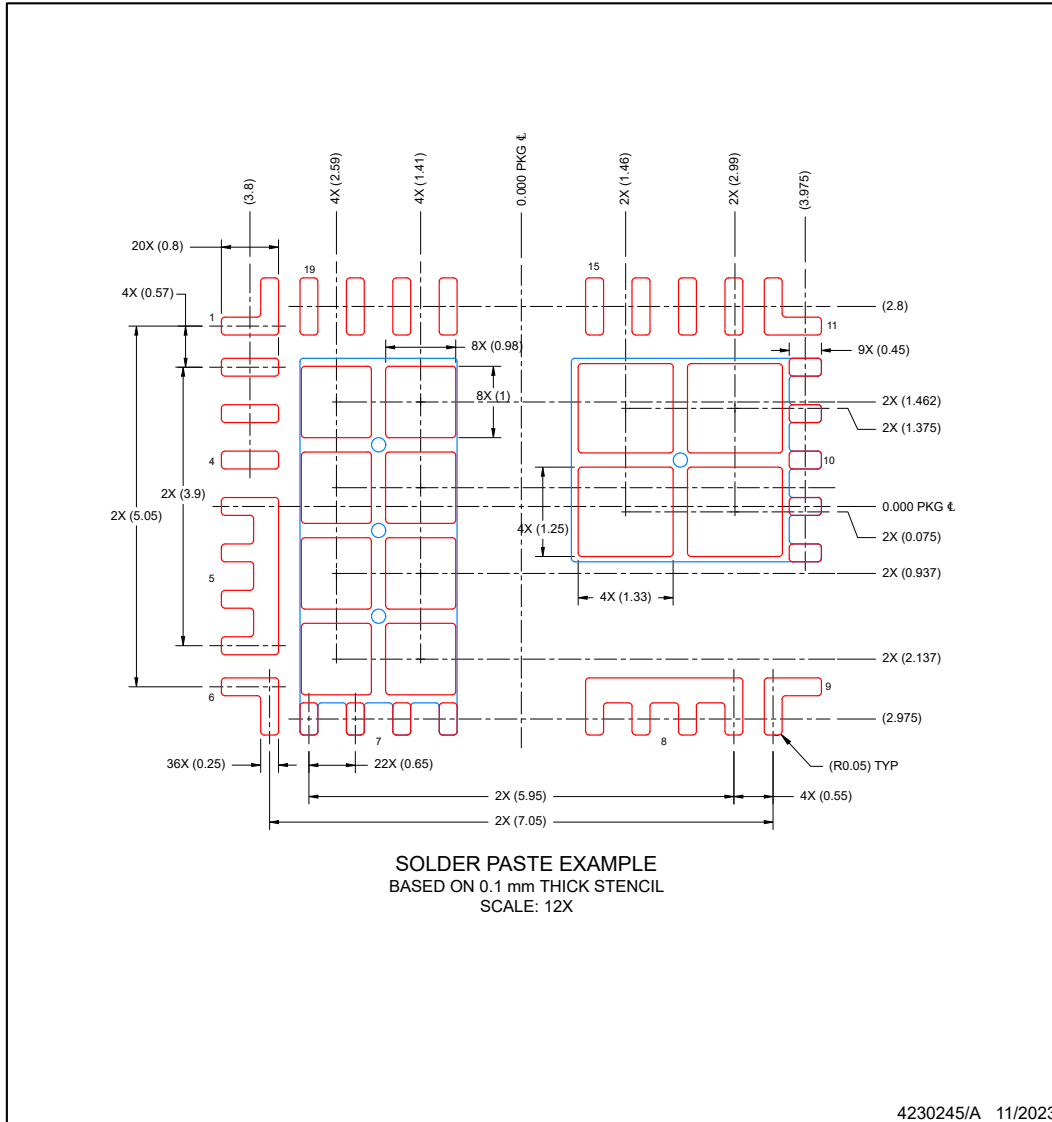
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RFB0019A

VQFN - 1.05 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
XLMG2650RFBR	ACTIVE	VQFN	RFB	19	2000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司