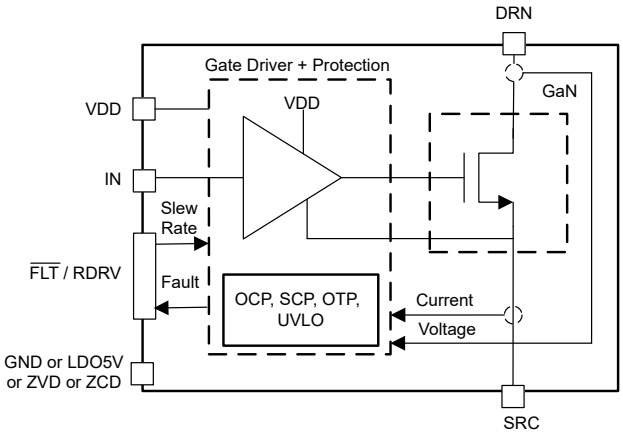
具有集成驱动器和保护功能的 LMG365xR035 650V 35mΩ GaN FET

1 特性

- 具有集成式栅极驱动器的 650V 35mΩ GaN 功率 FET
  - >200V/ns FET 释抑
  - 可调压摆率，用于优化开关性能和缓解 EMI
    - 10V/ns 至 80V/ns 导通压摆率
    - 10V/ns 至全速关断压摆率
  - 可在电源引脚和输入逻辑引脚电压范围为 9V 至 26V 的情况下运行
- 强大的保护
  - 响应时间 <300ns 的逐周期过流和锁存短路保护
  - 可承受 720V 浪涌
  - 针对内部过热和 UVLO 监控的自我保护
- 高级电源管理
  - LMG3656R035 包括零电压检测（ZVD）功能，便于转换器的软切换，
  - LMG3657R035 包括零电流检测（ZCD）功能，可促进转换器的软切换，
- 带有散热焊盘的 9.8mm × 11.6mm TOLL 封装

2 应用

- 开放式机架式服务器 PSU
- 商用通信电源整流器
- 通用冗余电源
- 不间断电源
- 光伏逆变器和工业电机驱动器



简化版方框图

3 说明

LMG365xR035 GaN FET 具有集成式驱动器和保护功能，适用于开关模式电源转换器，能够让设计人员实现更高水平的功率密度与效率。

可调栅极驱动器强度允许独立地控制导通和最大关断压摆率，这可用于主动控制 EMI 并优化开关性能。导通压摆率从 10V/ns 到 80V/ns 不等，而关断压摆率限制在 10V/ns 至最大值之间。保护特性包括欠压锁定 (UVLO)、逐周期过流限制，以及短路和过热保护。LMG3651R035 在 LDO5V 引脚上提供 5V LDO 输出，可用于为外部数字隔离器供电。LMG3656R035 包含零电压检测 (ZVD) 功能，可在实现零电压开关时提供来自 ZVD 引脚的脉冲输出。LMG3657R035 包含零电流检测 (ZCD) 功能，可在漏源电流为负时将 ZCD 引脚设置为高电平，并在检测到过零点时转换为低电平。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMG365xR035	KLA（TOLL，9）	9.8mm × 11.6mm

(1) 有关所有可用封装，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

器件信息

器件型号	LDO 5V 输出	零电压检测功能	零电流检测功能
LMG3650R035	—	—	—
LMG3651R035 (1)	是	—	—
LMG3656R035 (1)	—	是	—
LMG3657R035 (1)	—	—	是

(1) 产品预发布

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 电气特性.....5
5.6 开关特性.....6
5.7 典型特性.....8
6 参数测量信息.....10
6.1 开关参数.....10
7 详细说明.....13
7.1 概述.....13
7.2 功能方框图.....14
7.3 特性说明.....17
7.4 器件功能模式.....24
8 应用和实施.....25
8.1 应用信息.....25
8.2 典型应用.....26
8.3 电源相关建议.....32
8.4 布局.....33
9 器件和文档支持.....40
9.1 接收文档更新通知.....40
9.2 支持资源.....40
9.3 商标.....40
9.4 静电放电警告.....40
9.5 术语表.....40
10 修订历史记录.....40
11 机械、封装和可订购信息.....41
11.1 卷带包装信息.....43

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

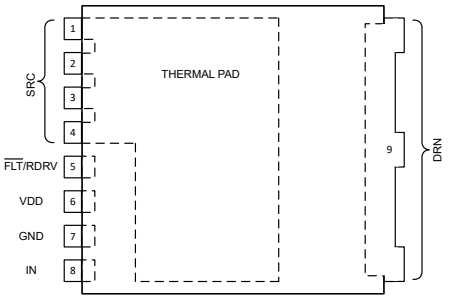


图 4-1. LMG3650R035，TOLL 封装（顶视图）

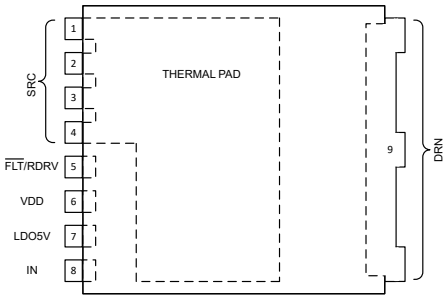


图 4-2. LMG3651R035，TOLL 封装（顶视图）

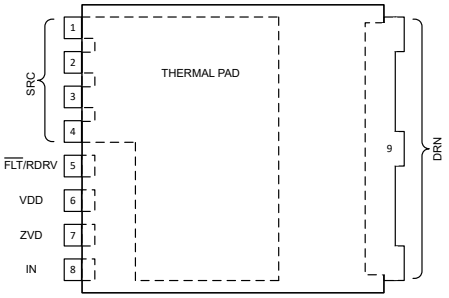


图 4-3. LMG3656R035，TOLL 封装（顶视图）

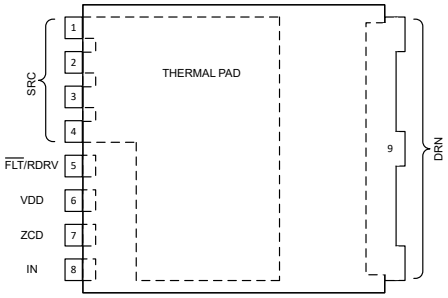


图 4-4. LMG3657R035，TOLL 封装（顶视图）

表 4-1. 引脚功能

引脚					类型[(1)]	说明
名称	LMG3650 R035	LMG3651 R035	LMG3656 R035	LMG3657 R035		
SRC	1 - 4	1 - 4	1 - 4	1 - 4	P	GaN FET 源极。
$\overline{\text{FLT}}$/RDRV	5	5	5	5	O、I	故障监控和驱动强度选择引脚。在此引脚和 GND 之间连接一个电阻器，以设置导通驱动强度。在此引脚和 GND 之间连接一个与电容器串联的电阻器，以设置关断驱动强度。上电时设置一次压摆率，然后将该引脚用于故障监控。
VDD	6	6	6	6	P	器件输入电源
GND	7	—	—	—	G	信号地。内部连接到 SRC 和散热焊盘。
LDO5V	—	7	—	—	P	用于外部数字隔离器的 5V LDO 输出。
ZVD	—	—	7	—	O	推挽式数字输出，提供零电压检测信号，以指示器件在电流开关周期中是否实现零电压开关。
ZCD	—	—	—	7	O	推挽数字输出，在漏源电流为负时将 ZCD 引脚设置为高电平，并在检测到过零点时转换为低电平。
IN	8	8	8	8	I	CMOS 兼容非反相输入，用于打开和关闭 FET
DRN	9	9	9	9	P	GaN FET 漏极
散热焊盘	—	—	—	—	—	散热焊盘。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

5 规格

5.1 绝对最大额定值

除非另有说明：电压以 GND/SRC 为基准[1]

			最小值	最大值	单位
V_{DS}	漏源电压，FET 关断			650	V
$V_{DS(surge)}$	漏源电压，浪涌条件，FET 关断			720	V
$V_{DS(tr)(surge)}$	漏源瞬态振铃峰值电压，浪涌条件，FET 关断			800	V
	引脚电压	VDD	-0.5	26	V
		IN	-5[2]	28	V
		$\overline{FLT}$/RDRV、ZVD (仅限 LMG3656)、ZCD (仅限 LMG3657)	-0.5	5.5	V
		LDO5V (仅限 LMG3651)		5.5	V
$I_{D(cnts)}$	漏极（DRN 至 SRC）连续电流，FET 导通。Tj = 25℃[3]		-40	40	A
$I_{D(cnts)}$	漏极（DRN 至 SRC）连续电流，FET 导通。Tj = 150℃[3]		-33	33	A
$I_{D(pulse)}$	脉冲漏极电流，FET 导通，t_p < 10μs。Tj = 25℃[3]		-45	45	A
$I_{S(cnts)}$	源极（SRC 至 DRN）连续电流，FET 关断。Tj = 25℃			40	A
$I_{S(cnts)}$	源极（SRC 至 DRN）连续电流，FET 关断。Tj = 150℃			33	A
T_J	工作结温[4]		-40	175	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 在稳态下，IN 引脚电压限制为 –0.5V 的最小值，瞬态容差为 –5V，持续时间小于 1μs。
(3) 绝对最大额定值受器件内部过流保护功能限制。但是，t_p < 10μs 时 FET 漏极固有正向脉冲电流的额定值会随结温的变化而变化；68A 典型值 为 150℃ 处。正向脉冲电流必须保持在过流阈值以下，以免 FET 自动关断。
(4) 参阅“电气与开关特性表”，了解结温测试条件。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[1]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[2]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

除非另有说明：电压以 GND/SRC 为基准

			最小值	标称值	最大值	单位
	电源电压	VDD	9		24	V
	输入电压	IN	0		26	V
$I_{D(cnts)}$	漏极（DRN 至 SRC）连续电流，FET 导通。Tj = 25℃		-34		34	A
$I_{D(cnts)}$	漏极（DRN 至 SRC）连续电流，FET 导通。Tj = 150℃		-26		26	A
	正极源电流	LDO5V (仅限 LMG3651)			25	mA
$RDRV_{on}$	来自 $\overline{FLT}$/RDRV 到 GND 之间的外部导通压摆率控制电阻器的电阻		29.4		开路	kΩ

Copyright © 2025 Texas Instruments Incorporated

除非另有说明：电压以 GND/SRC 为基准

		最小值	标称值	最大值	单位
$RDRV_{off}$	来自 $\overline{FLT}$/RDRV 到 GND 之间的外部关断压摆率控制串联电阻器和电容器配置的电阻和电容	2		开路	kΩ
$CDRV_{off}$		0		1800	pF

5.4 热性能信息

热指标[1]		KLA (TOLL) 引脚 9	单位
$R_{\theta JC(bot,avg)}$	结至外壳（底部）平均热阻	0.65	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

除非另有说明：电压、电阻、电容和电感以 GND/SRC 为准；–40℃ ≤ T_J ≤ 150℃；VDD = 12V；$\overline{FLT}$/RDRV 电阻 $RDRV_{on}$ 和 $RDRV_{off}$ 为开路

参数		测试条件	最小值	典型值	最大值	单位
GAN 功率 FET						
$R_{DS(on)}$	漏源导通电阻	T_J = 25°C，I_L = 16A		32	45	mΩ
		T_J = 150°C，I_L = 16A		65		mΩ
V_{SD}	源漏第三象限电压	T_J = 25°C，I_{SD} = 0.1A		1.1		V
		T_J = 150°C，I_{SD} = 0.1A		1.4		V
		T_J = 25°C，I_{SD} = 20A		2.1		V
		T_J = 150°C，I_{SD} = 20A		3.7		V
I_{DSS}	漏极漏电流	T_J = 25°C，V_{DS} = 650V		4		μA
		T_J = 150°C，V_{DS} = 650V		7		μA
C_{OSS}	输出电容	V_{DS} = 400V		200		pF
Q_{OSS}	输出电荷	V_{DS} = 0V 到 400V		100		nC
E_{OSS}	输出电容储存的能量			15		μJ
$C_{OSS(tr)}$	与时间相关的有效输出电容			255		pF
$C_{OSS(er)}$	与能量相关的有效输出电容			200		pF
Q_{RR}	反向恢复电荷			0		nC
过流和短路保护						
$I_{T(OC)}$	过流故障 - 阈值电流	T_J = -40℃	38	42	46	A
		T_J = 25℃	34	37	40	A
		T_J = 150℃	26	29	33	A
$V_{T(Idsat)}$	饱和电流检测 - 阈值电压		8.5	9	9.6	V
过热保护						
T_{T+}	温度故障 - 正向阈值温度			190		°C
$T_{T(hyst)}$	温度故障 - 阈值温度迟滞			20		°C
IN						
$V_{IN,IT+}$	正向输入阈值电压		1.6	2	2.45	V
$V_{IN,IT-}$	负向输入阈值电压		0.6	0.9	1.3	V
$V_{IN,IT(hyst)}$	输入阈值电压迟滞			1		V
R_{PDN}	下拉输入电阻		115	150	185	kΩ
$\overline{FLT}$/RDRV						
V_{OL}	低电平输出电压	输出灌电流 8mA		0.2	0.4	V

除非另有说明：电压、电阻、电容和电感以 GND/SRC 为准；–40℃ ≤ T_J ≤ 150℃；VDD = 12V；$\overline{FLT}$/RDRV 电阻 $RDRV_{on}$ 和 $RDRV_{off}$ 为开路

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	输出源 8mA	4.5	4.8		V
VDD						
$I_{VDD(ON)}$	FET 导通时的静态电流	IN=1		1.2	11.5	mA
$I_{VDD(OFF)}$	FET 关断时的静态电流	IN=0		0.7	1.1	mA
I_{CC_op}	140kHz 下的工作电流	f_{sw} = 140kHz，V_{bus} = 0V，软开关，50% 占空比。		3.2	4.8	mA
$V_{VDD, T+ (UVLO)}$	UVLO - 正向阈值电压		8.1	8.5	8.9	V
$V_{VDD, T- (UVLO)}$	UVLO - 负向阈值电压		7.6	8	8.4	V
$V_{VDD, T (hyst)}$	UVLO - 阈值电压迟滞			0.5		V

5.6 开关特性

除非另有说明：电压、电阻、电容和电感以 GND/SRC 为准；–40℃ ≤ T_J ≤ 150℃；V_{DD} = 12V；$\overline{FLT}$/RDRV 电阻 $RDRV_{on}$ 和 $RDRV_{off}$ 为开路

参数		测试条件	最小值	典型值	最大值	单位
开关时间						
$t_{d(on)}$	导通延迟时间	从 V_{IN} > $V_{IN,IT+}$ 到 V_{DS} < 320V，V_{BUS} = 400V，L_{HB} 电流 = 0A，80V/ns		50	60	ns
	导通电流上升时间 + 延迟时间	从 V_{IN} > $V_{IN,IT+}$ 到 V_{DS} < 320V，V_{BUS} = 400V，L_{HB} 电流 = 10A，80V/ns		50	60	ns
$t_{vf(on)}$	导通电压下降时间	从 V_{DS} < 320V 到 V_{DS} < 80V，V_{BUS} = 400V，L_{HB} 电流 = 10A，80V/ns	3.4	4.3	5.2	ns
	导通压摆率	dv/dt，当 V_{DS} = 200V、V_{BUS} = 400V、L_{HB} 电流 = 10A 时，80V/ns	50	80	95	V/ns
	脉宽失真度	80V/ns 下的压摆率设置，IDS = 21A；测量 IN 脉冲宽度与 VSW 脉冲宽度之间的差异		16	24	ns
	改变输出 L-H-L	压摆率设置 @ 80V/ns 以使 SW 超过 200V 的最小输入脉冲			40	ns
$t_{d(off)}$	全速下的关断延迟时间	从 V_{IN} < $V_{IN,IT-}$ 到 V_{DS} >= 80V。V_{BUS} = 400V，I_L = 24A，最快或完全关断速度。	18	37	55	ns
$t_{vr(off)}$	全速下的关断电压上升时间	从 V_{DS} >= 80V 到 V_{DS} >= 320V。V_{BUS} = 400V，I_L = 24A，最快或完全关断速度。	5	6	7	ns
启动时间						
T_{DRV_START}	驱动器启动延迟	从驱动器电源超过 UVLO 到 IN 为高电平时开关导通。		56	70	μs
故障时间						
$t_{off(OC)}$	过流故障 FET 关断时间，过流前 FET 导通	从 I_D >= $I_{T(OC)}$ 到 V_{ds}> 10V，di/dt = 100A/μs，采用最快关断速度		331	420	ns

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性（续）

除非另有说明：电压、电阻、电容和电感以 GND/SRC 为准；–40℃ ≤ T_J ≤ 150℃；V_{DD} = 12V；$\overline{FLT}$/RDRV 电阻 $RDRV_{on}$ 和 $RDRV_{off}$ 为开路

参数		测试条件	最小值	典型值	最大值	单位
$t_{off(OC_ON)}$	过流总导通时间，导通进过流。	从 V_{ds} <= 10V 到 V_{ds} >= 10V，在 110% OC 电平下导通，采用 80 V/ns 导通压摆率和最快关断速度。		405	500	ns
$t_{off_cur(SC_ON)}$	通过漏极电流测得的 SC 导通时间	LS V_{ds} > 10V，从 LS I_{ds} > 50A 到 I_{ds} < 50A，半桥配置中的导通压摆率为 80V/ns。	100	210	500	ns
$t_{off_cur(SC)}$	包含源电流测量的 SC 响应时间	从 LS Vds>9V 到 LS Ids<50A，半桥配置中的导通压摆率为 80 V/ns。。		155	300	ns
	锁存故障复位时间	将栅极驱动器输入保持为低电平以清除锁存故障所需的时间	300	380	450	μs
零电压检测与零电流检测时间						
	ZCD 延迟	电流过零（从低到高）到 ZCD 输出脉冲 di/dt = 0.03A/ns	22	38	53	ns
t_{DL_ZVD}	ZVD 延迟	IN 上升至 ZVD 输出脉冲。80V/ns 导通速度。	35	50	58	ns
t_{WD_ZVD}	ZVD 脉冲宽度	V_{bus} = 10V，I_L = 5A，测量 ZVD 脉冲宽度	90	120	170	ns
t_{3rd_zvd}	ZVD 脉冲开始出现时的第三象限导通时间	Vbus = 10V，IL = 5A，测量 ZVD 脉冲开始出现，FET 导通（80V/ns）时的第三象限导通时间。		16	30	ns

5.7 典型特性

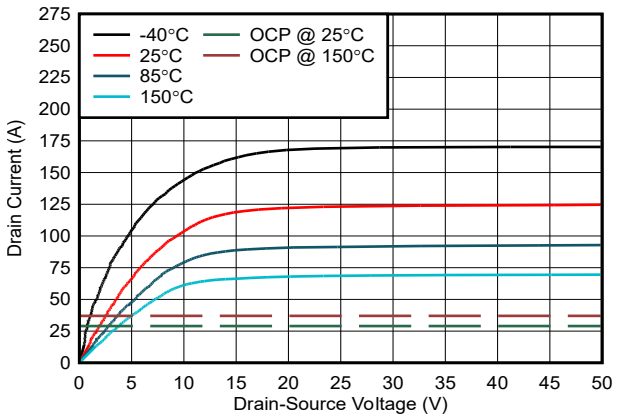


图 5-1. 漏极电流与漏源电压之间的关系

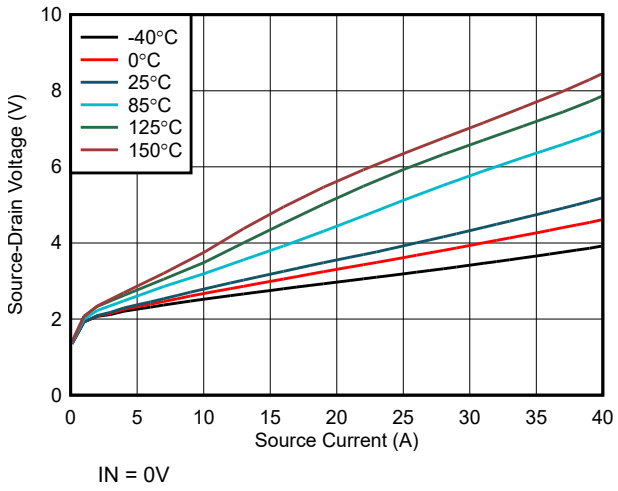


图 5-2. 关断状态下源漏电压与源极电流之间的关系

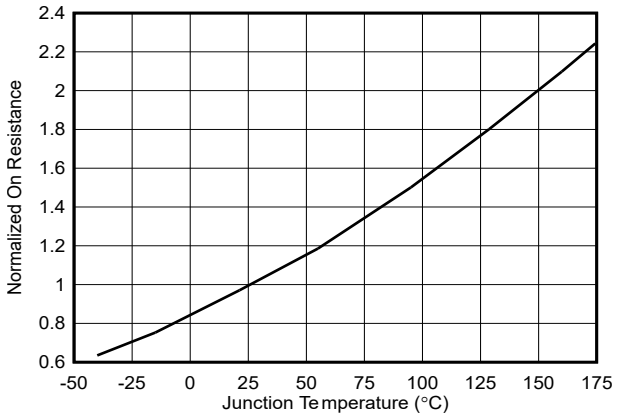


图 5-3. 标准化导通电阻与结温间的关系

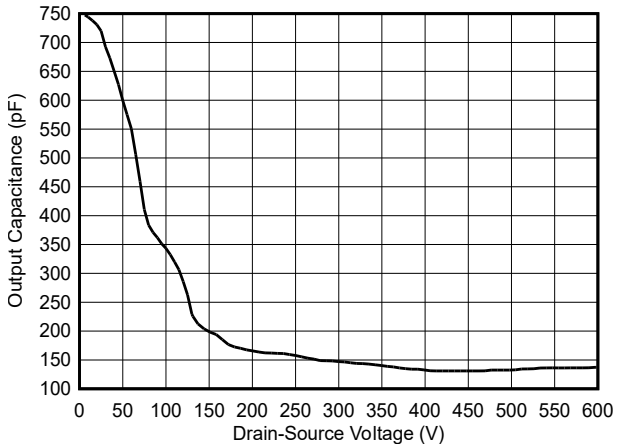


图 5-4. 输出电容与漏源电压之间的关系

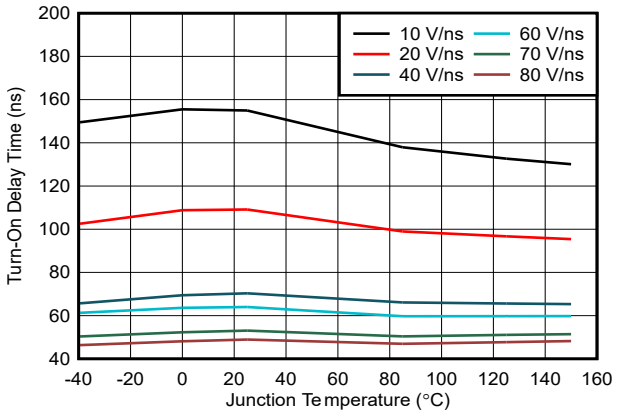


图 5-5. 导通延迟时间与结温间的关系

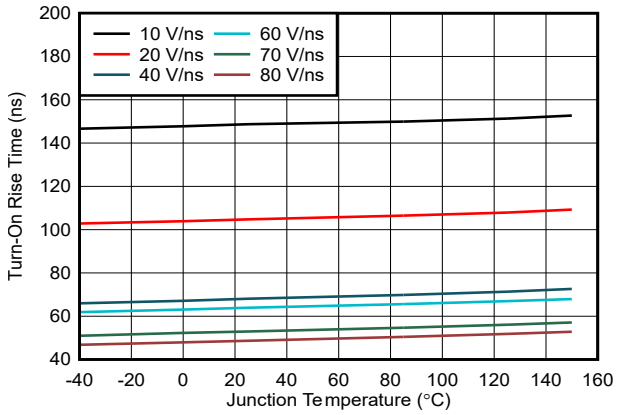


图 5-6. 导通上升时间与结温间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

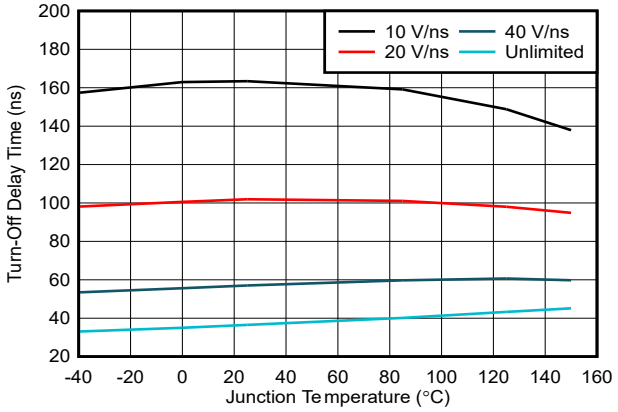


图 5-7. 关断延迟时间与结温间的关系

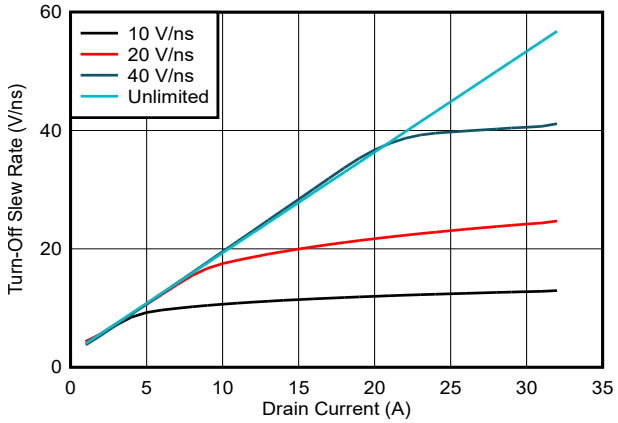
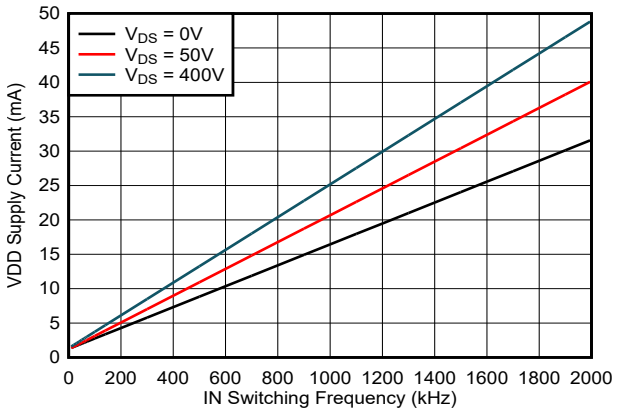
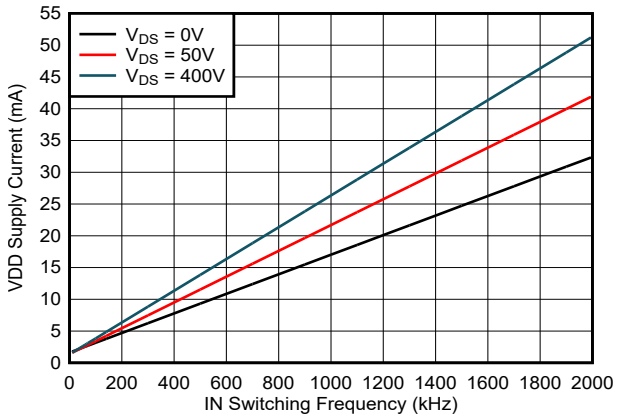


图 5-8. 关断压摆率与漏极电流间的关系



VDD = 12V　　T_J = 25°C

图 5-9. VDD 电源电流与输入开关频率之间的关系



VDD = 12V　　T_J = 150°C

图 5-10. VDD 电源电流与输入开关频率之间的关系

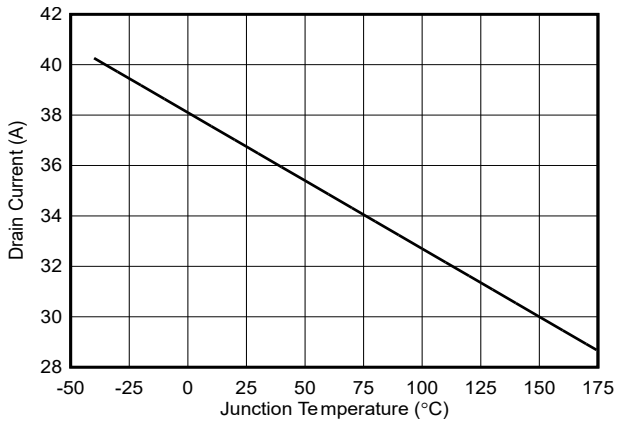


图 5-11. OCP 与结温间的关系

6 参数测量信息

6.1 开关参数

用于确定开关参数的电路示出了用于测量大多数开关参数的电路。该电路的顶部器件将电感器电流再循环，并且仅在第三象限模式下运行。底部器件是有源器件，导通后可将电感器电流增加到所需测试电流。然后，底部器件关断和导通，以在特定电感器电流下生成开关波形。测量漏极电流（在源极）和漏源电压。用于确定传播延迟和压摆率的测量结果展示了具体的时序测量结果。TI 建议使用半桥作为双脉冲测试仪。第三象限过度运行可能会使顶部器件过热。

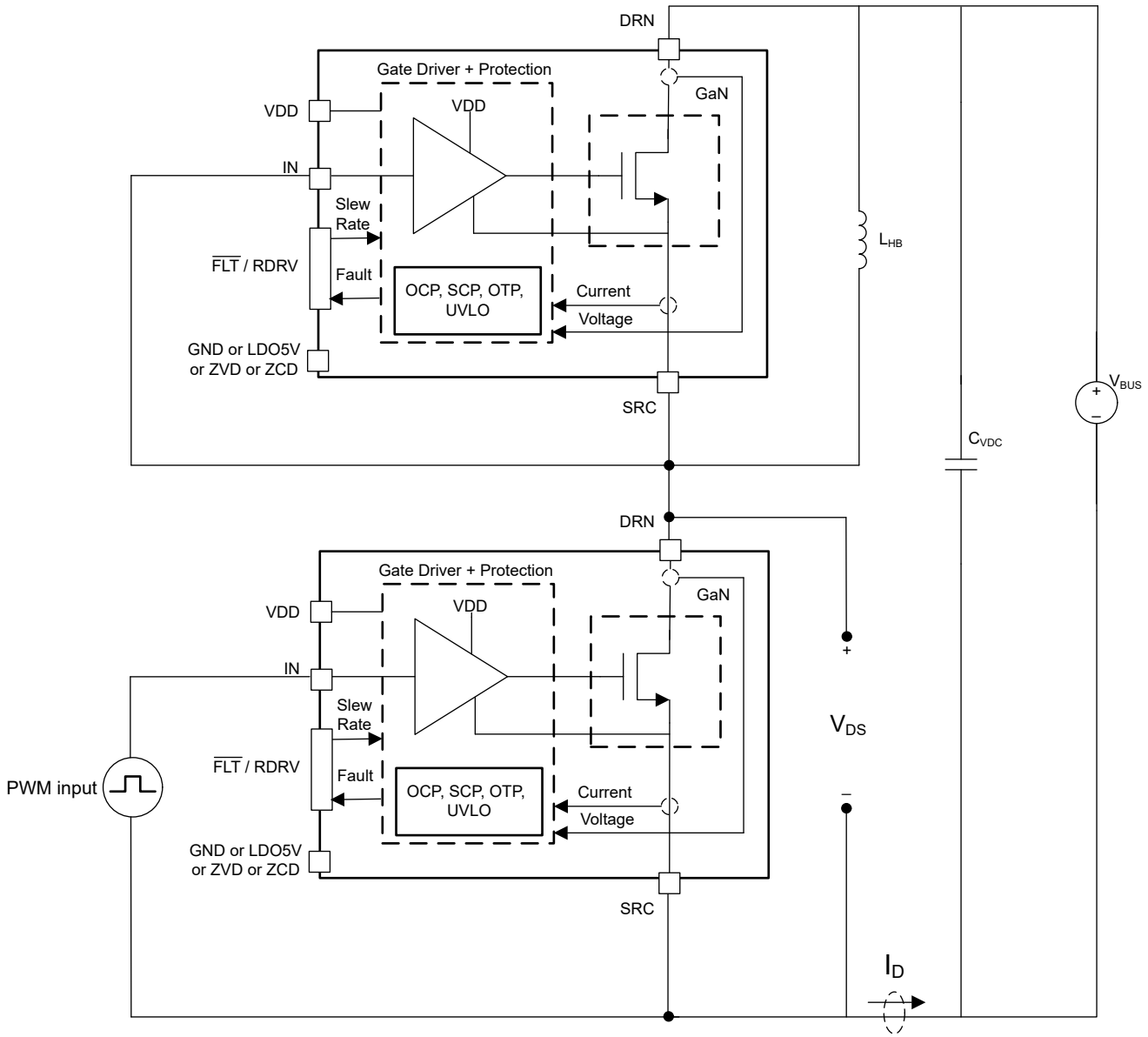


图 6-1. 用于确定开关参数的电路

Copyright © 2025 Texas Instruments Incorporated

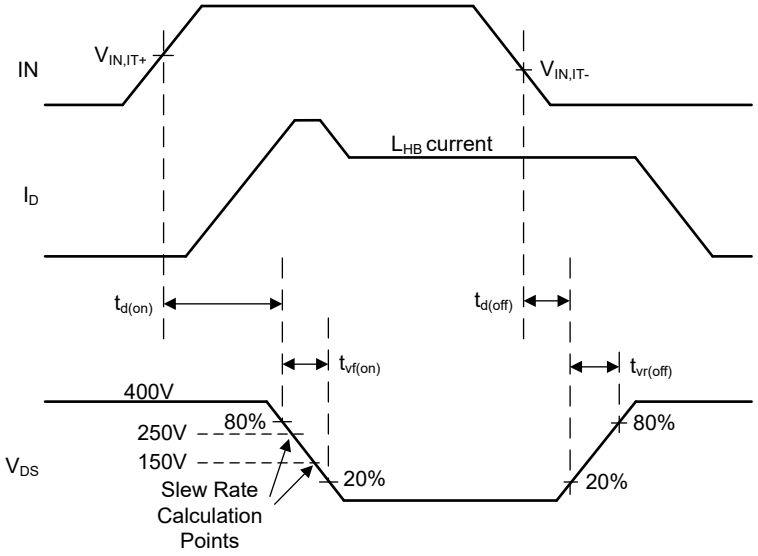


图 6-2. 用于确定传播延迟和压摆率的测量

6.1.1 导通时间

导通转换具有两个时序分量：导通延迟时间和导通电压下降时间。导致延迟时间是指从 IN 变为高电平到漏源电压下降到总线电压 20% 以下的时间。导通电压下降时间是指从漏源电压下降至低于总线电压 20% 到漏源电压下降至低于总线电压 80% 的时间。导通时序分量是连接到 $\overline{FLT}$/RDRV 引脚的导通驱动强度电阻 $RDRV_{on}$ 的函数。

6.1.2 关断时间

关断转换具有两个时序分量：关断延迟时间和关断电压上升时间。关断延迟时间是指从 IN 变为低电平到漏源电压上升到总线电压 20% 的时间。关断电压上升时间是指漏源电压从总线电压 20% 上升到漏源电压达到总线电压 80% 的时间。关断时序分量取决于 L_{HB} 负载电流，但 LMG365xR035 也能够限制关断驱动强度。当漏源电流足够高且关断驱动强度受限时，时序分量取决于编程电阻 $RDRV_{on}$、$RDRV_{off}$ 以及连接到 $\overline{FLT}$/RDRV 引脚的电容 $CDRV_{off}$。

6.1.3 漏源导通和关断压摆率

漏源导通和关断压摆率在总线电压中点附近的 V_{DS} 上测量，单位为伏/纳秒。电阻器 $RDRV_{on}$、$RDRV_{off}$ 和电容 $CDRV_{off}$ 连接到 $\overline{FLT}$/RDRV 引脚，对导通转换速率进行编程并限制关断转换速率。

6.1.4 零电压检测时间（仅限 LMG3656R035）

ZVD 时序规格定义了与零电压检测 (ZVD) 块相关的开关时序，并示出了器件的漏源电压、IN 引脚信号和 ZVD 输出信号。当器件实现零电压开关 (ZVS) 时，ZVD 引脚会输出宽度为 T_{WD_ZVD} 的脉冲信号，将 IN 引脚上升沿与 ZVD 脉冲上升沿之间的延迟时间定义为 T_{DL_ZVD}。为了让器件检测到零电压开关，需要一段特定的第三象限导通时间，由 T_{3rd_ZVD} 指示此时序。参阅零电压检测（ZVD）（仅限 LMG3656R070）部分，了解有关 ZVD 时序参数的更多信息。

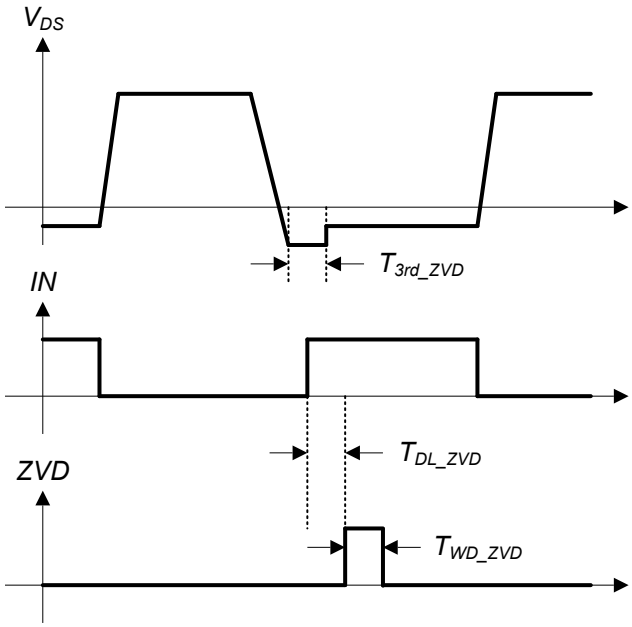


图 6-3. ZVD 时序规格

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

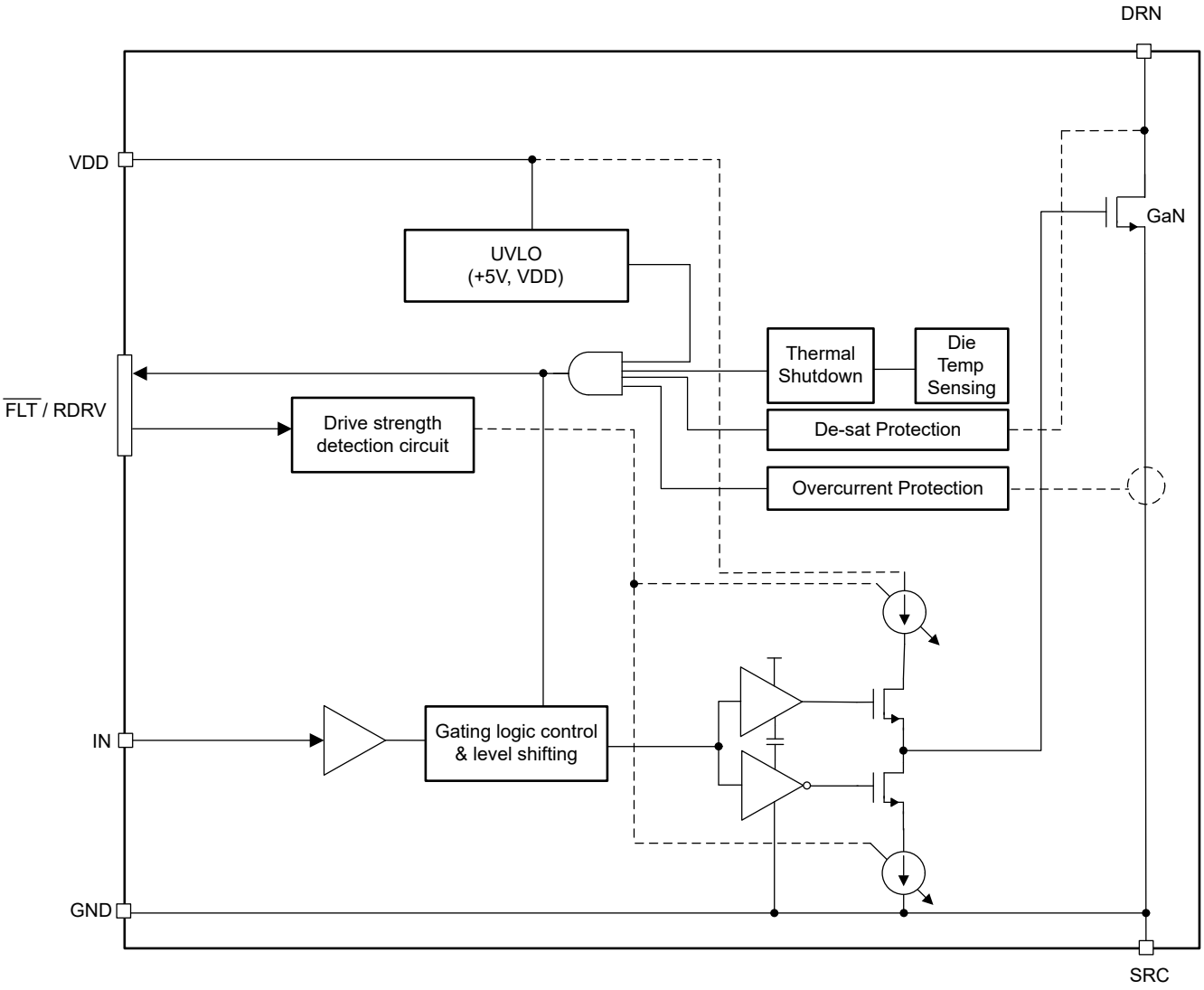
LMG365xR035 是一款具有集成栅极驱动器的高性能功率 GaN 器件。GaN 器件提供零反向恢复和超低输出电容，可在基于桥的拓扑中获得高效率。

集成驱动器可确保器件在漏极压摆率 时保持关断状态。集成驱动器保护 GaN 器件免受过电流、短路、过热和 VDD 欠压。 LMG3656R035 具有零电压检测 (ZVD) 功能，可在检测到零电压开关 (ZVS) 时在 ZVD 引脚输出脉冲信号。 LMG3657R035 包含零电流检测 (ZCD) 功能，可在漏源电流为负时将 ZCD 引脚设置为高电平，并在检测到过零点时转换为低电平。

与 Si MOSFET 不同，GaN 器件在源极到漏极之间没有 p-n 结，因此没有反向恢复电荷。然而，GaN 器件仍然会像 p-n 结体二极管一样从源极导通到漏极，但压降更高，导通损耗更高。因此，必须在 LMG365xR035 GaN FET 关断时尽可能缩短源漏导通时间。

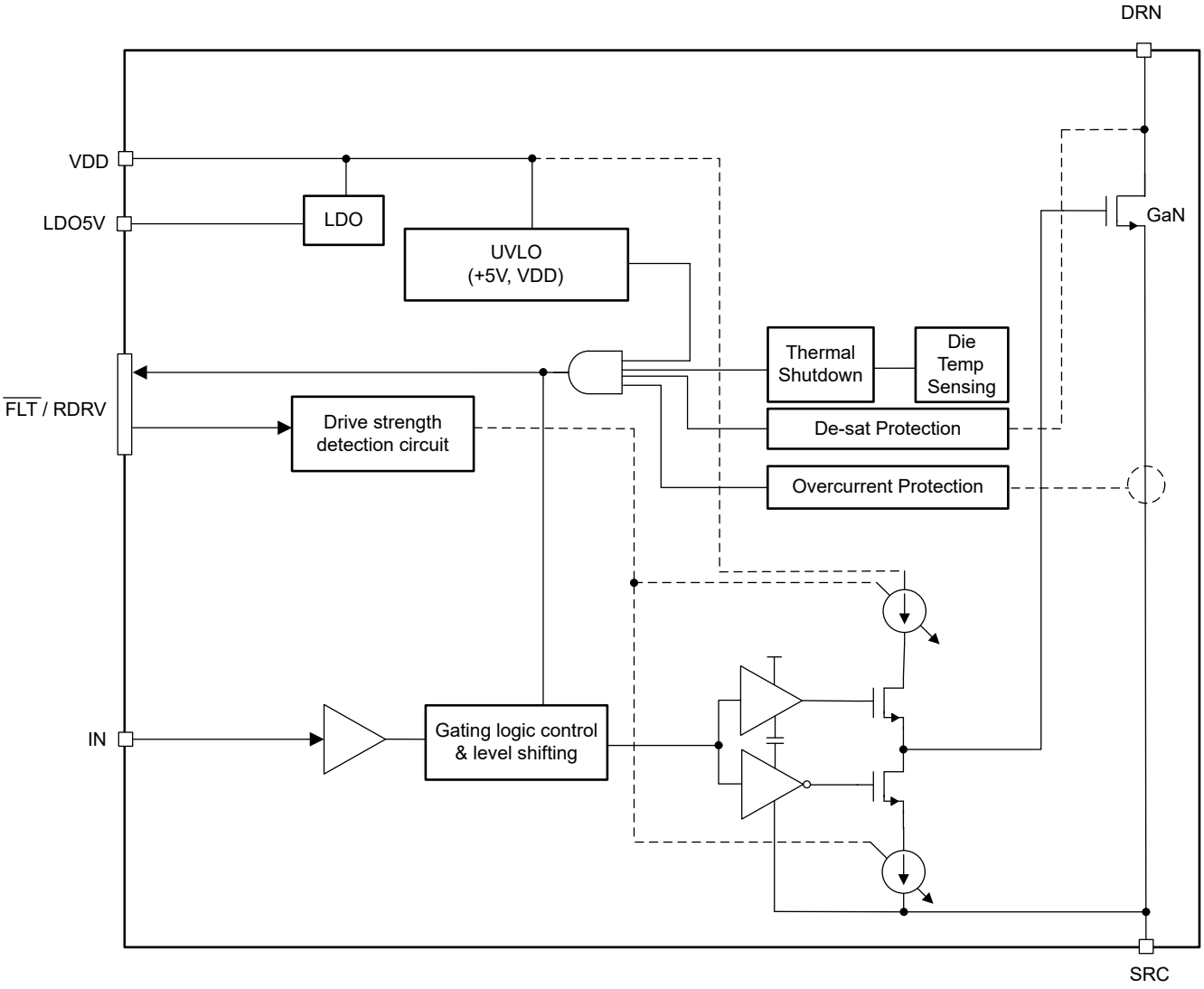
7.2 功能方框图

7.2.1 LMG3650R035 功能方框图

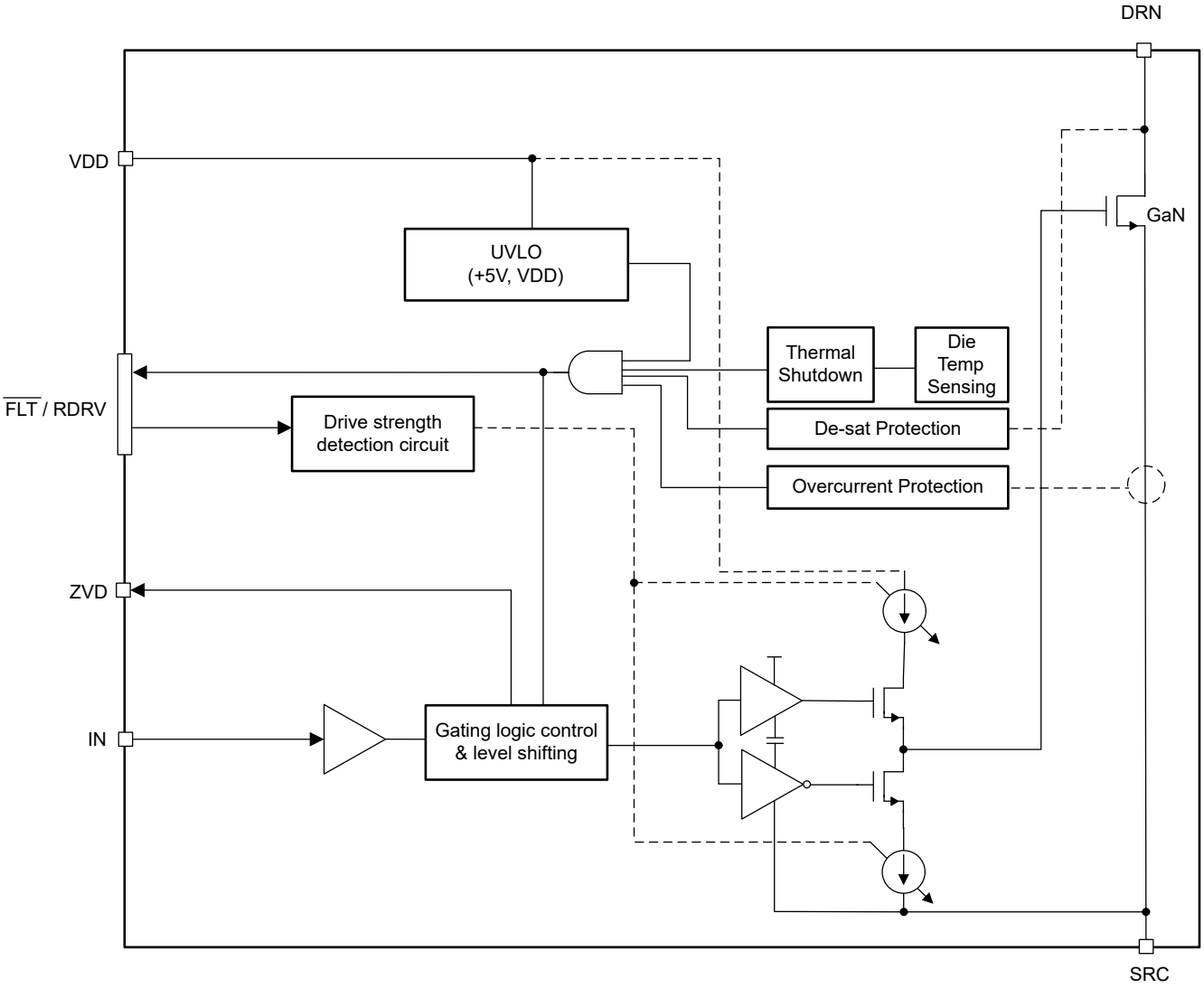


Copyright © 2025 Texas Instruments Incorporated

7.2.2 LMG3651R035 功能方框图

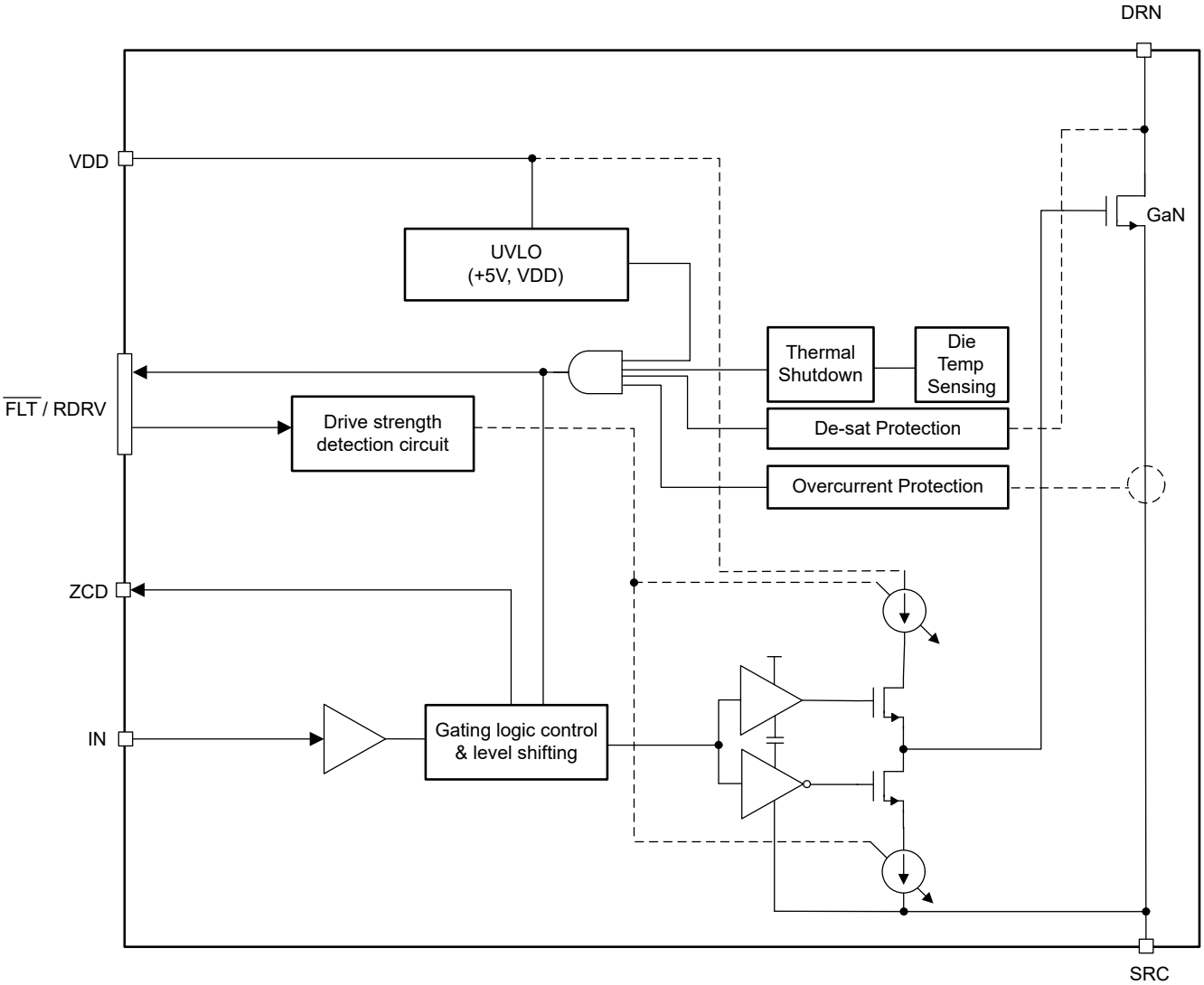


7.2.3 LMG3656R035 功能方框图



Copyright © 2025 Texas Instruments Incorporated

7.2.4 LMG3657R035 功能方框图



7.3 特性说明

7.3.1 驱动强度调整

LMG365xR035 允许调节器件的驱动强度，并获得所需的压摆率，从而在优化开关损耗和最小化 EMI 时获得灵活性。通过连接电阻器和电容器，可以独立控制导通压摆率的典型值和关断压摆率的最大值，如驱动强度调节电路所示。在上电时被检测一次 $\overline{\text{FLT}}$/RDRV 引脚上的电阻和电容。为此，该器件会在外部 $RDRV_{on}$-$RDRV_{off}$-$CDRV_{off}$ 网络上强制执行 0V 至 1.2V 的阶跃函数，并测量生成的电流波形。直流测量值 (I_{up}) 决定导通压摆率设置，该设置由电阻 $RDRV_{on}$ 编程。$RDRV_{on}$-$RDRV_{off}$-$CDRV_{off}$ 的交流测量值决定了关断压摆率设置，该设置取决于对输出电容充电的漏极至源极电流大小，但可限制为由电阻 $RDRV_{off}$ 和电容 $CDRV_{off}$（与 $RDRV_{on}$ 并联）编程的最大值。

$$I_{up} = \frac{1.2}{RDRV_{on}} A \quad (1)$$

导通压摆率控制表和关断压摆率控制表展示了每种压摆率设置下的建议典型电阻和电容编程值。表中列出的 $RDRV_{on}$ 值假设 $\overline{\text{FLT}}$/RDRV 引脚上没有寄生电阻。然而，在实际应用中，该引脚通常连接到隔离器输入端，以进行故障监控。隔离器的内部配置可能包括一个上拉电阻器或下拉电阻器，这会导致测量的压摆率和编程的压摆率

之间不匹配，因为故障监控和驱动强度调整共用同一个引脚 $\overline{FLT}$/RDRV。不建议使用内部上拉电阻，因为 $\overline{FLT}$/RDRV 引脚上的电压通过分压器与隔离器电源 Rpull-up 和 $RDRV_{on}$ 改变，从而减少对 I_{up} 的控制。建议使用带有内部下拉电阻器的隔离器，因为它与 $RDRV_{on}$ 形成并联路径，然后 I_{up} 由 (Rpull-down || $RDRV_{on}$) 确定。要匹配编程的导通压摆率设置，请调整 $RDRV_{on}$，使新的 I_{up} 保持与编程值一致。

$$I_{up} = \frac{1.2}{(Rpull-down \parallel RDRV_{on})} A \quad (2)$$

在上电时确定一次转换率设置，然后 $\overline{FLT}$/RDRV 引脚用作推挽式 5V 数字输出以进行故障监控，如 故障报告 中所述。如果不使用 $RDRV_{off}$ 和 $CDRV_{off}$，器件将全速关断，关断压摆率严格取决于 Coss 和负载电流。如果不使用 $RDRV_{on}$，器件的压摆率设置默认为 80V/ns。使用较慢的导通设置会导致更高的 Eon 损耗，而较慢的关断设置会导致更高的 Eoff 损耗。

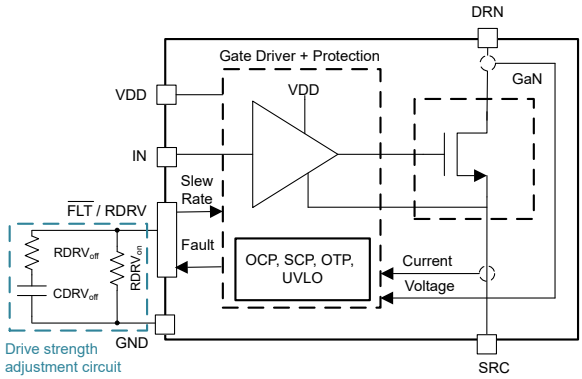


图 7-1. 驱动强度调节电路

表 7-1. 用于调整接通回转率的推荐典型编程电阻 (kΩ)

典型导通压摆率 (V/ns)	$RDRV_{on}$(kΩ)[(1)]
10	29.4
20	35.7
40	43.2
60	53.6
70	69.8
80	> 400[(2)]

(1) 完全取决于为输出电容充电的漏源电流的大小。
(2) 可接受编程电阻的开路连接。

表 7-2. 用于调节关断压摆率限值的建议典型编程电阻 (kΩ) 和电容 (pF)

最大关断压摆率 (V/ns)	$RDRV_{off}$(kΩ)[(1)]	$CDRV_{off}$(pF)[(2)]
10	2	1800
20	3.57	1000
40	7.68	470
无限[(1)]	高阻抗	高阻抗

(1) 电阻值容差为 ±1%。
(2) 电容值容差为 ±10%。

例如，设置 $RDRV_{on}$ = 53.6kΩ、$RDRV_{off}$ = 3.57kΩ 和 $CDRV_{off}$ = 1000pF 会导致 60V/ns 的导通压摆率，关断压摆率最大限制为 20V/ns。

Copyright © 2025 Texas Instruments Incorporated

备注

寄生电源环路电感可能会影响 V_{DS} 开关波形电压转换率读数。在电压下降阶段之前的电流上升阶段，电感会在 V_{DS} 产生一个压降，如果该压降超过 V_{DC} 的 20%，可能会影响电压转换率读数。参阅 节 8.4.1.2，了解电源环路设计指南以及寄生电源环路电感估计方法。

7.3.2 GaN 功率 FET 开关能力

由于硅 FET 长期占据功率开关技术的主导地位，许多设计人员没有意识到铭牌漏源电压不能用作跨技术比较器件的等效点。硅 FET 的铭牌漏源电压由雪崩击穿电压决定。GaN FET 的铭牌漏源电压是根据对数据表规格的长期遵从性设定的。

超过硅 FET 的铭牌漏源电压可能会立即导致损坏或造成永久性损坏。同时，GaN FET 的击穿电压远高于铭牌漏源电压。例如，LMG365xR035 GaN 功率 FET 的击穿漏源电压超过 800V，这使得 LMG365xR035 能够在超过相同铭牌额定硅 FET 的条件下运行。

LMG365xR035 GaN 功率 FET 开关功能借助 GaN 功率 FET 开关功能一文进行了说明。该图显示了在开关应用中，LMG365xR035 GaN 功率 FET 在四个不同开关周期内的漏源电压随时间的变化情况。不对开关频率或占空比进行任何声明。前两个周期显示正常运行，后两个周期显示在罕见的输入电压浪涌下运行。LMG365xR035 GaN 功率 FET 旨在在零电压开关 (ZVS) 或不连续导通模式 (DCM) 开关条件下开启。

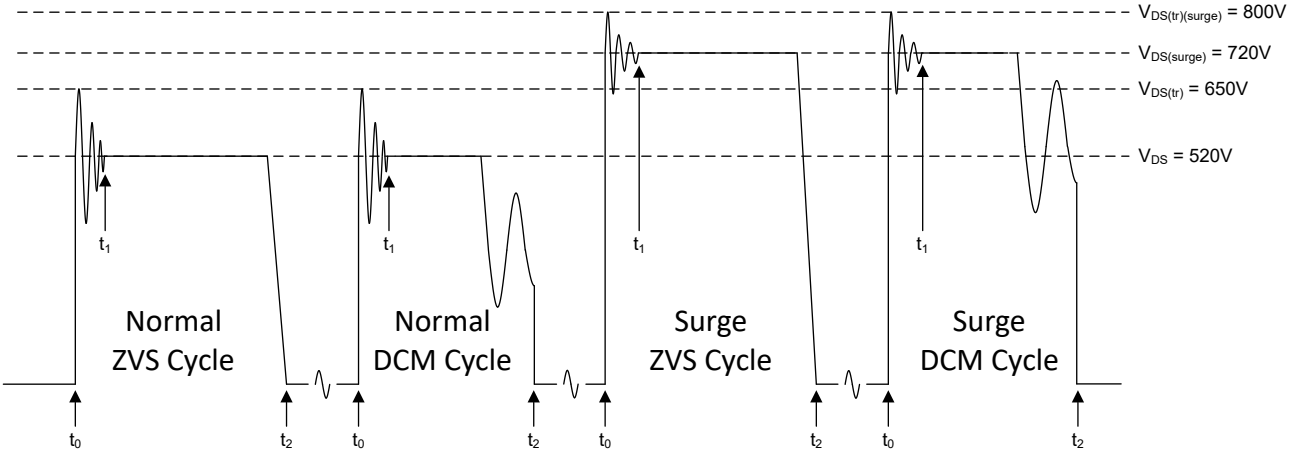


图 7-2. GaN 功率 FET 开关能力

FET 处于导通状态时，每个周期都在 t_0 之前开始。在 t_0 时，GaN FET 关断，寄生元件导致漏源电压以高频振铃。高频振铃已经减弱了 t_1。在 t_1 和 t_2 之间，FET 漏源电压由开关应用的特性响应设置。特性以一条平坦的线（平坦区）显示，但可以有其他响应。在 t_2 时，GaN FET 导通。正常运行时，瞬态振铃电压限制为 650V，平坦电压限制为 520V。对于罕见的浪涌事件，瞬态环电压限制为 800V，平坦电压限制为 720V。

7.3.3 VDD 电源

VDD 引脚是内部电路的输入电源。VDD 引脚支持 9V 至 24V 的宽电压范围。

7.3.4 过流和短路保护

驱动器可检测两种类型的电流故障：过流及短路。

过流保护 (OCP) 电路可监测漏极电流，并将该电流信号与内部设定的限值 $I_{T(OC)}$ 进行比较。检测到过流时，LMG365xR035 会执行逐周期保护，如逐周期过流保护操作所示。在此模式下，当漏极电流超过 $I_{T(OC)}$ 加上延迟 $t_{off(OC)}$ 时，GaN 器件关断，但过流信号在 IN 引脚信号变为低电平后清除。

在下一个周期中，GaN 器件正常导通。如果稳态运行电流低于 OCP 电平，但瞬态响应仍可以达到电流限制，而电路运行无法暂停，则可以使用逐周期功能。逐周期功能还可防止 GaN 器件因过流引起的导通损耗而过热。此

外，OCP 水平随结温动态调整，内部设定的限值 $I_{T(OC)}$ 在较低温度下较高，并随着温度的升高而降低，如规格中所述，基于方程式 3。动态调节允许客户用较高的电流在较低温度下运行器件。

$$\frac{I_{T(OC)150°C}}{I_{T(OC)25°C}} = 77\% \tag{3}$$

短路保护基于饱和度检测 (de-sat)，它监测漏源电压 V_{DS}，并将电压与内部设置的限值 $V_{T(Idsat)}$ 进行比较。饱和会损坏 GaN，如果继续在这种条件下运行，会导致故障。如果检测到饱和，GaN 器件会被锁闭。在高电流下关断器件会导致明显电压过冲。因此，当从饱和状态关闭时，设备会通过故意减速的驱动器关闭，以在关闭事件期间实现较低的过冲电压和振铃。即使在硬短路情况下，这种快速响应电路也有助于保护 GaN 器件。在这种保护中，GaN 器件会关闭并保持关断状态，直到通过将 IN 引脚保持在低电平一段时间（在 规格 中定义）或切断 VDD 的电源复位了故障。

出于安全考虑，OCP 允许逐周期运行，而去饱和会将器件锁存至复位。两种故障都会在 $\overline{FLT}$/RDRV 引脚上报告。

图 图 7-4 显示了 OC 和去饱和保护的行为。在前两个周期中，会在不触发去饱和的情况下触发 OC 限制，因此会进行逐周期保护。在第三个周期中会触发 OC 限制，但在 $t_{off(OC)}$ 内，当 V_{DS} 升至 $V_{T(Idsat)}$ 以上时，会触发去饱和保护。由于触发了去饱和保护，这会导致关断和锁存保护速度变慢。

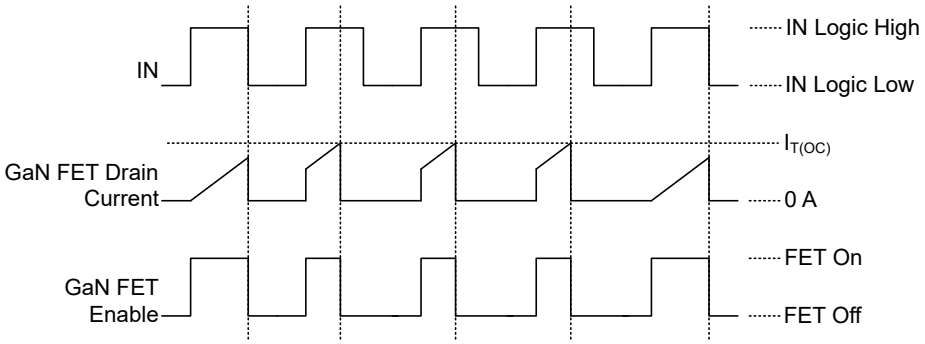


图 7-3. 逐周期过流保护操作

Copyright © 2025 Texas Instruments Incorporated

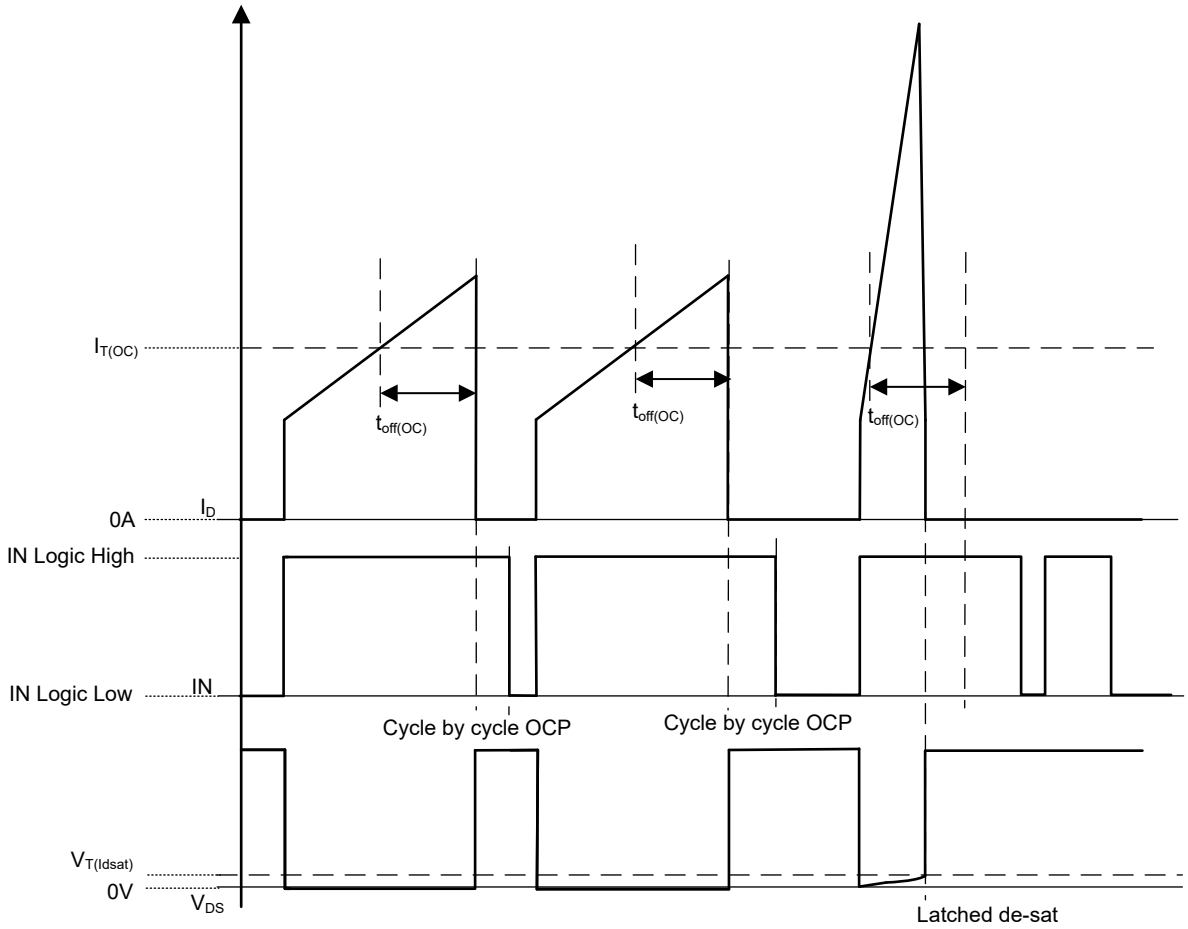


图 7-4. 过流检测与去饱和检测

7.3.5 过热保护

过热保护功能会监测 GaN FET 温度，并在温度上升到过热保护阈值以上时关断 GaN 器件。过热保护迟滞可避免不稳定的热循环。置位过热保护后，$\overline{\text{FLT}}$/RDRV 引脚上会报告过热故障。在器件温度降至负向跳闸点以下之后，$\overline{\text{FLT}}$/RDRV 会取消置位，器件自动恢复正常运行。

7.3.6 UVLO 保护

LMG365xR035 支持很大范围的 V_{DD} 电压。但是，当 V_{DD} 电压低于 V_{DD} UVLO 阈值时，GaN 器件会停止开关并保持关断。V_{DD} UVLO 电压迟滞可防止 UVLO 电压跳闸点附近出现开关抖动。如果 $\overline{\text{FLT}}$/RDRV 引脚被拉低，指示 UVLO。

7.3.7 故障报告

所有故障都在 $\overline{\text{FLT}}$/RDRV 引脚上报告，该引脚同时用作输入和输出引脚。

$\overline{\text{FLT}}$/RDRV 仅在上电时配置为输入，以调整驱动强度，如驱动强度调整中所述。

$\overline{\text{FLT}}$/RDRV 用作低电平有效数字输出，指示此后的故障状态。该引脚是一个推挽式 5V 数字输出，在所有故障清除后会变为高电平，这意味着当该引脚被强制为高电平时，会有额外的静态电流通过 R1。

根据连接到故障引脚的外部数字接收器的输入阈值电平，上电时在该引脚上强制施加的 1.2V 阶跃函数可内插为高电平或低电平。因此，TI 建议接收器具有更高的阈值（例如 CMOS 兼容输入的常见阈值），且不使用 TTL 兼容输入。如果连接到 FAULT 引脚的外部数字接收器的最小输入阈值为 1.2V 或更低，那么在 LMG365xR035 准备好开始切换之前，上电时的 1.2V 阶跃函数可解释为*高电平*。

7.3.8 辅助 LDO（仅限 LMG3651R035）

LMG365xR035 内部的 5V 稳压器用于为外部负载供电，例如用于高侧驱动信号的数字隔离器。LMG365xR035 的数字输出使用此 5V 电源轨作为电压电源。无需电容器即可实现稳定性，但如果不提供外部电容器，瞬态响应会较差。如果应用使用 LDO5V 引脚为外部电路供电，TI 建议使用至少 0.1 μF 的电容器以改善瞬态响应。使用更大电容器可进一步改善瞬态响应。验证去耦电容器是否是低 ESR 陶瓷型。由于 5V 电源轨存在斜升时间，高于 0.47 μF 的电容将减慢 LMG365xR035 的启动速度。

7.3.9 零电压检测 (ZVD)（仅限 LMG3656R035）

零电压开关 (ZVS) 转换器广泛用于提高电源转换器的效率。然而，在 LLC 和三角电流模式 (TCM) 图腾柱 PFC 等软开关拓扑中，根据负载条件、电感器、磁性参数和控制技术，器件可能会丢失 ZVS，因而影响系统效率。为了确保 ZVS，需要某些设计裕度或额外的电路，这会牺牲转换器性能并增加元件。

为了简化软开关转换器的系统设计，LMG3656R035 子件集成了一个零电压检测 (ZVD) 电路，该电路可提供数字反馈信号，以指示器件在电流开关周期中是否实现 ZVS。电路图如零电压检测电路的电路图方框图。当 IN 引脚信号变为高电平时，逻辑电路会检查器件 V_{DS} 是否已达到 -1V 以下，以便确定器件是否在该开关周期中实现了零电压开关。一旦识别了 ZVS，在 T_{DL_ZVD} 的延迟时间之后，将从 ZVD 引脚发出一个宽度为 T_{WD_ZVD} 的脉冲输出，如 ZVD 时序规格所示。请注意，为了让器件检测零电压开关，需要特定的第三象限导通时间，并且 T_{3rd_ZVD} 是栅极驱动器强度的函数， 所示。

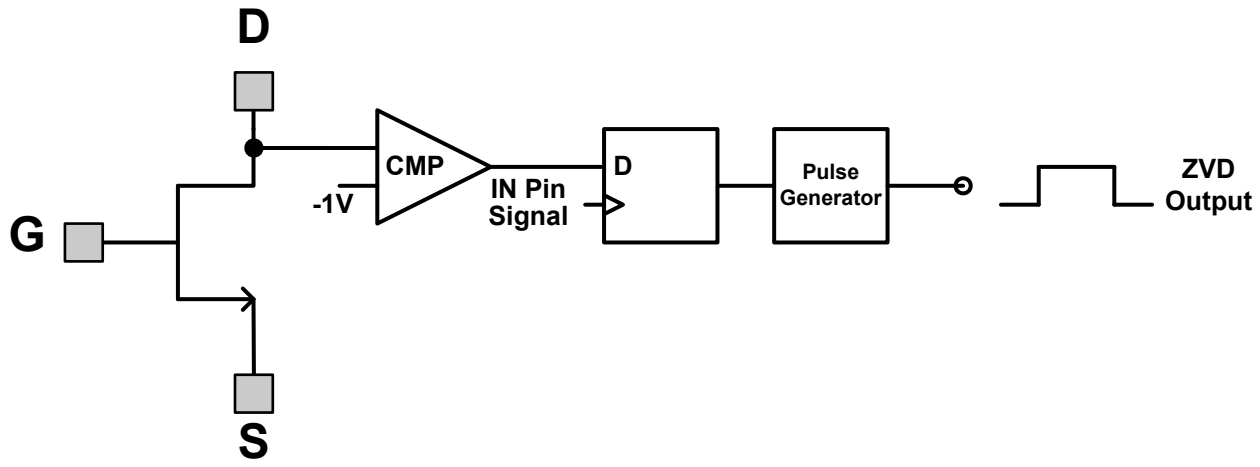


图 7-5. 零电压检测电路的电路图方框图

CCM 降压转换器中的 ZVD 功能显示了与连续导通模式降压转换器相对应的 ZVD 引脚波形。这些波形示出了 ZVD 功能在硬开关和软开关条件下的工作方式。对于 I_L，CCM 降压转换器中 ZVD 函数波形中从开关节点流出的负载电流为正。在 CCM 降压操作中，高侧器件是硬开关器件，而低侧器件可通过适当的死区时间设置实现零电压开关。在低侧器件 IN 引脚上升的第一个开关周期中，开关节点电压 V_{DS} 降至零以下，并且使保持第三象限导通的时间为 T_1。由于此第三象限导通时间 T_1 大于电气特性中指定的检测时间 T_{3rd_ZVD}，因此识别到零电压转换，ZVD 引脚输出脉冲信号。ZVD 脉冲的脉冲宽度在电气特性表中也被定义成 T_{WD}。在第二个开关周期中，器件提前导通，第三象限导通时间 T_2 小于 T_{3rd_ZVD}。由于 T_2 小于 T_{3rd_ZVD}，即使器件实现 ZVS，ZVD 信号也保持低电平。在第三个开关周期中，IN 引脚信号更加提前，器件处于部分硬开关状态。因此，当未实现 ZVS 转换时，ZVD 输出保持低电平。请注意，在这种 CCM 降压操作中，高侧 ZVD 输出保持较低水平，因为高侧器件总是硬开关导通。

Copyright © 2025 Texas Instruments Incorporated

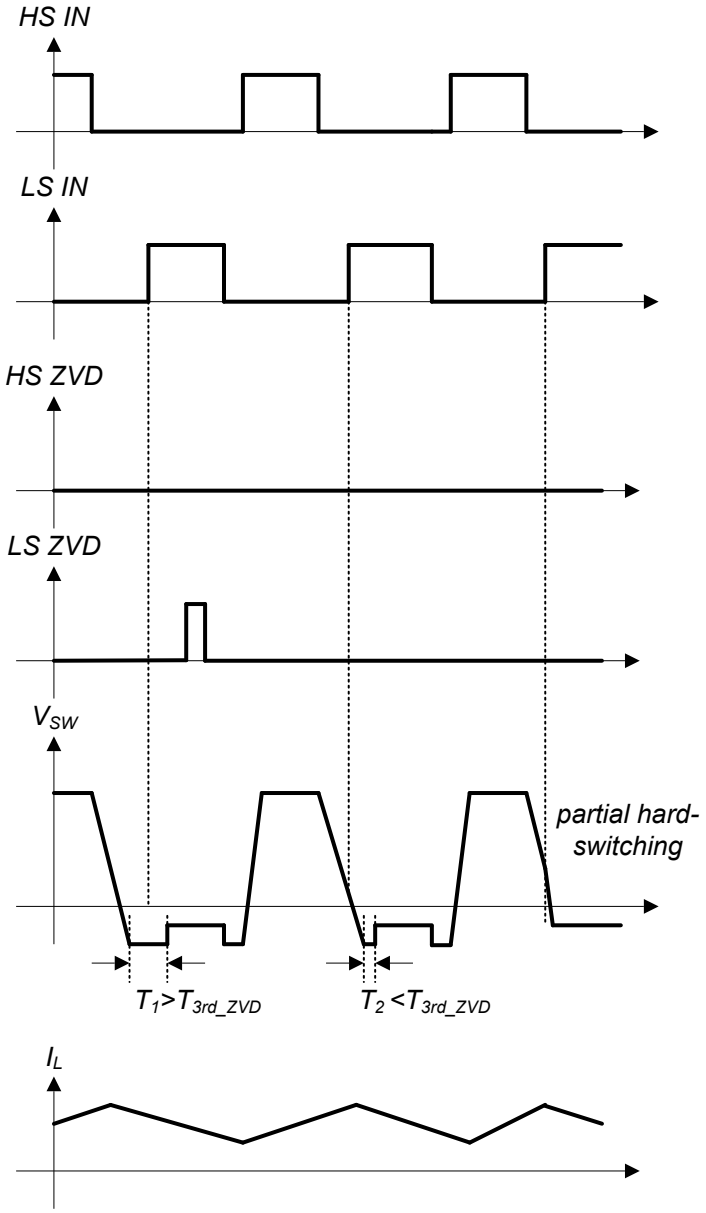


图 7-6. CCM 降压转换器中的 ZVD 功能

ZVD 功能有利于在软开关拓扑中进行控制。TCM TP PFC 转换器中的 ZVD 功能举例说明了 TCM 图腾柱 PFC 中 ZVD 波形的简化过程。此图示出了 V_{IN} 大于 V_{OUT} 一半的正半线路周期。对于 I_L，TCM TP PFC 转换器中 ZVD 函数波形中进入开关节点的负载电流定义为正。在第一个开关周期中，负载电流会产生足够的负电流，低侧器件会在超过 T_{3rd_DET} 的第三象限导通时间内实现 ZVS。因此，ZVD 引脚会输出脉冲信号。在接下来的两个开关周期中 ZVD 脉冲缺失，因为第二个周期中的第三象限导通时间缩短，并且器件在第三个周期中会丢失 ZVS。

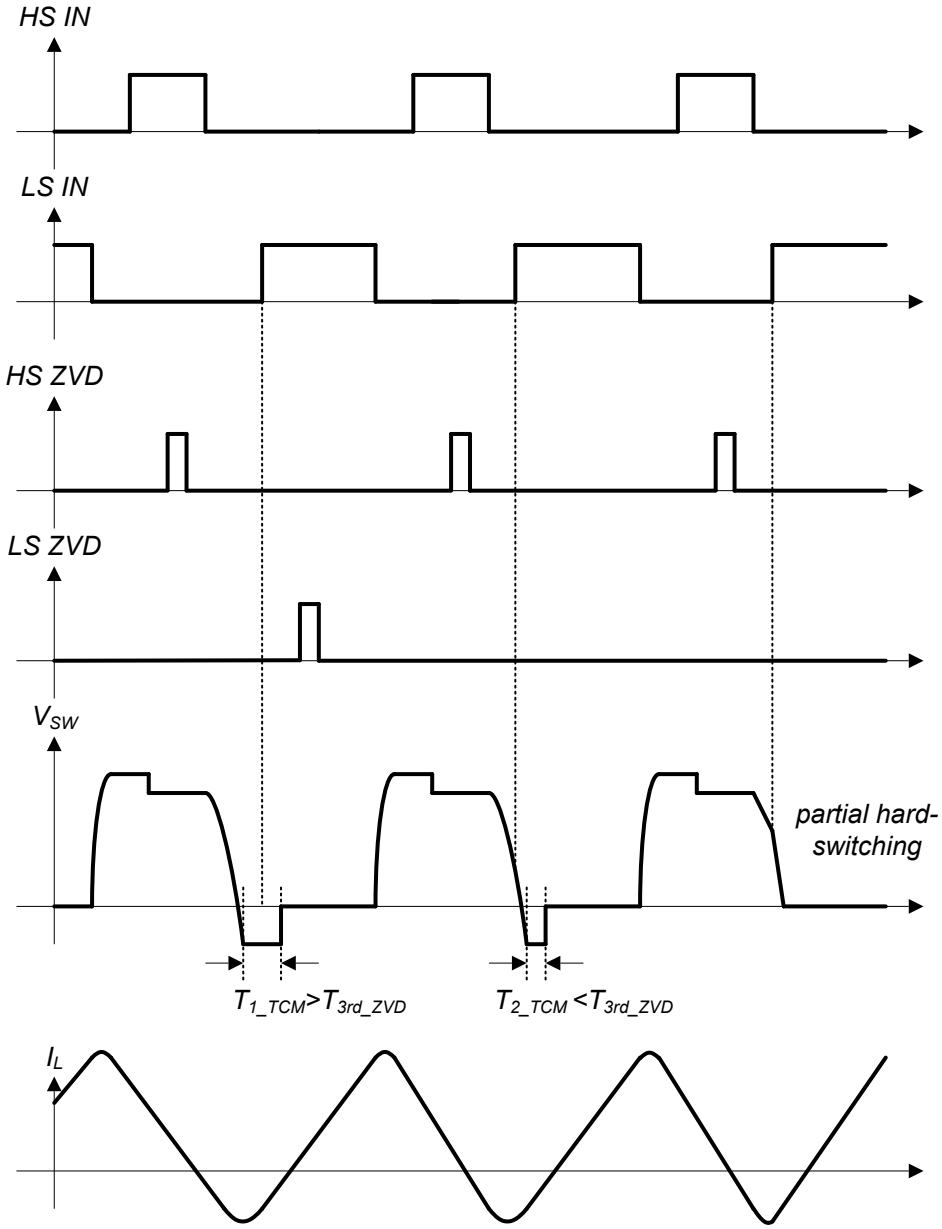


图 7-7. TCM TP PFC 转换器中的 ZVD 功能

7.4 器件功能模式

该器件有一种适用的运行模式，适用于在建议运行条件下运行的情况。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

LMG365xR035 是一款电源 IC，面向在高达 520V 总线电压下运行的软开关应用。GaN 器件提供零反向恢复电荷，。GaN 器件的低 Q_{OSS} 也有利于软开关转换器，例如 LLC 和相移全桥配置。由于半桥配置是上述两种应用和许多其他应用的基础，本节介绍了如何在半桥配置中使用 LMG365xR035。

8.2 典型应用

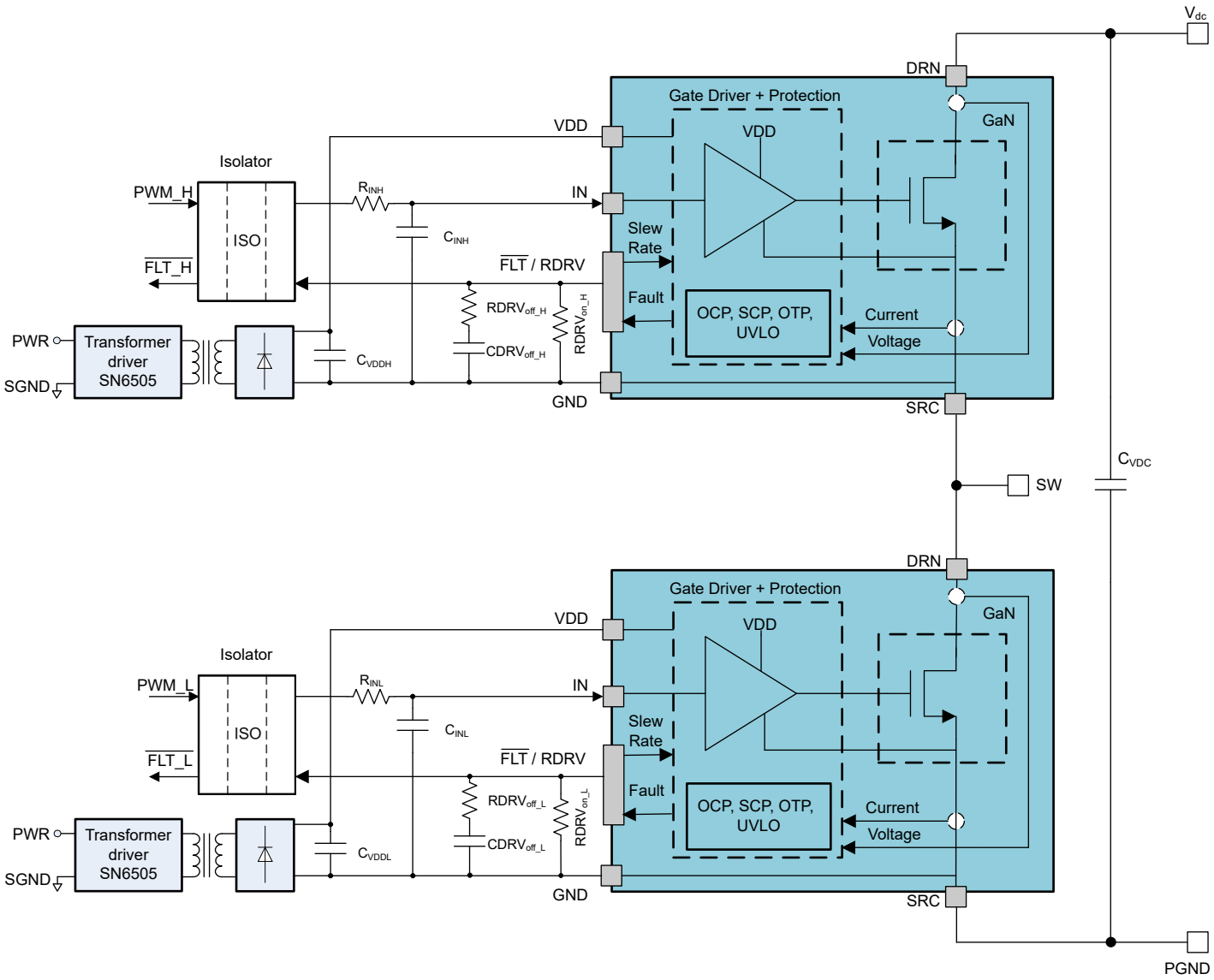


图 8-1. 采用隔离式电源的 LMG3650R035 典型半桥应用

Copyright © 2025 Texas Instruments Incorporated

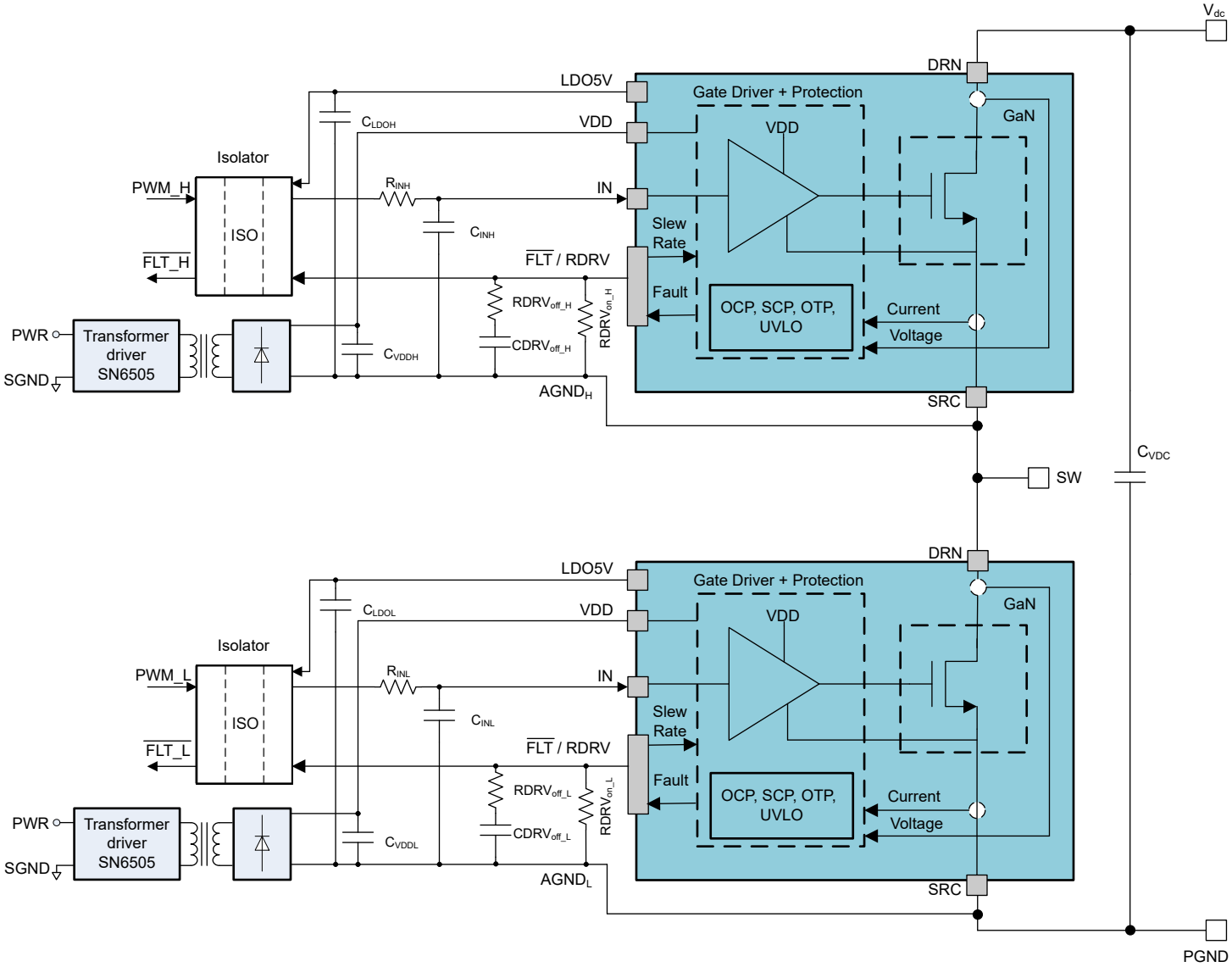


图 8-2. 采用隔离式电源的 LMG3651R035 典型半桥应用

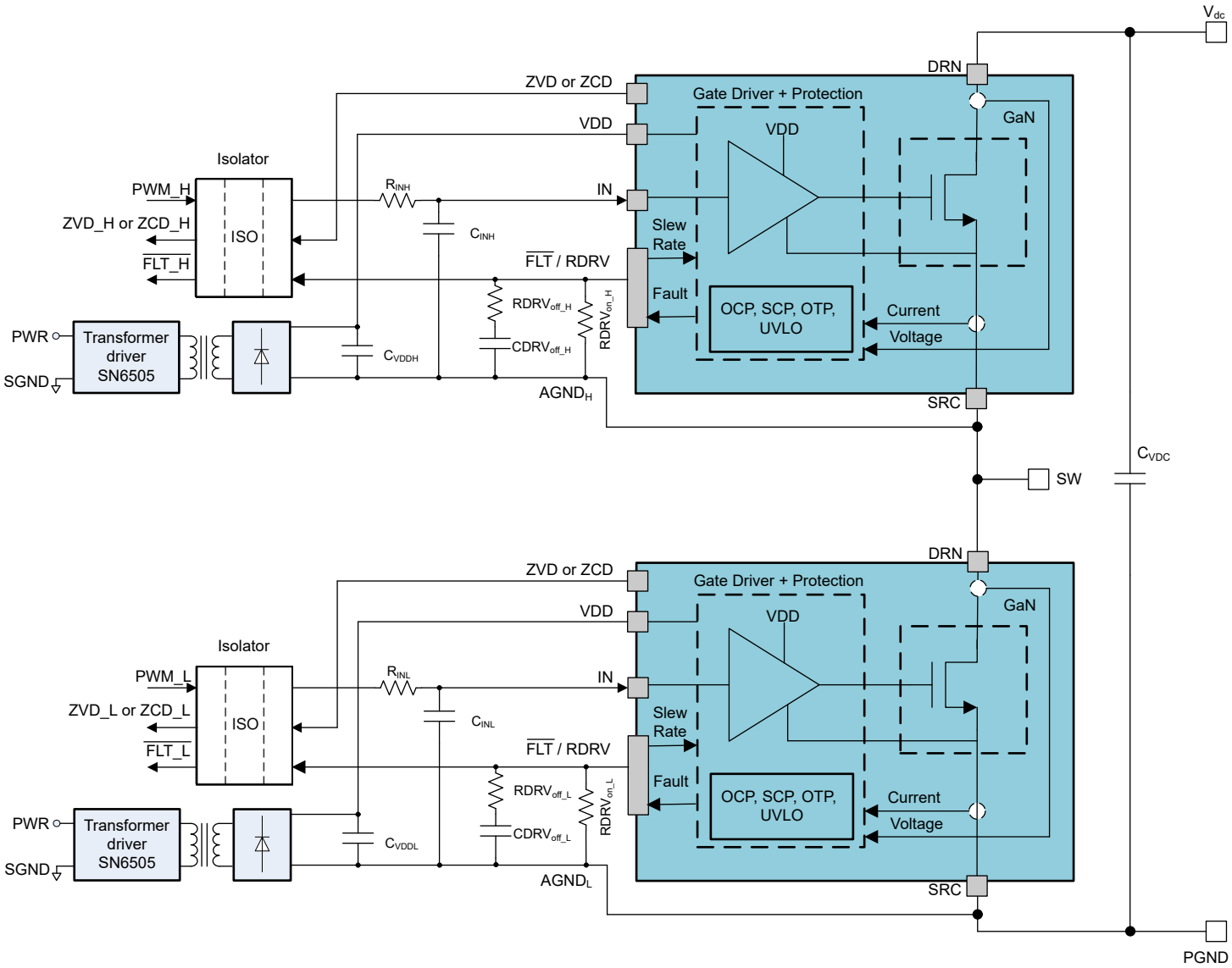


图 8-3. 采用隔离式电源的 LMG3656R035 或 LMG3657R035 典型半桥应用

Copyright © 2025 Texas Instruments Incorporated

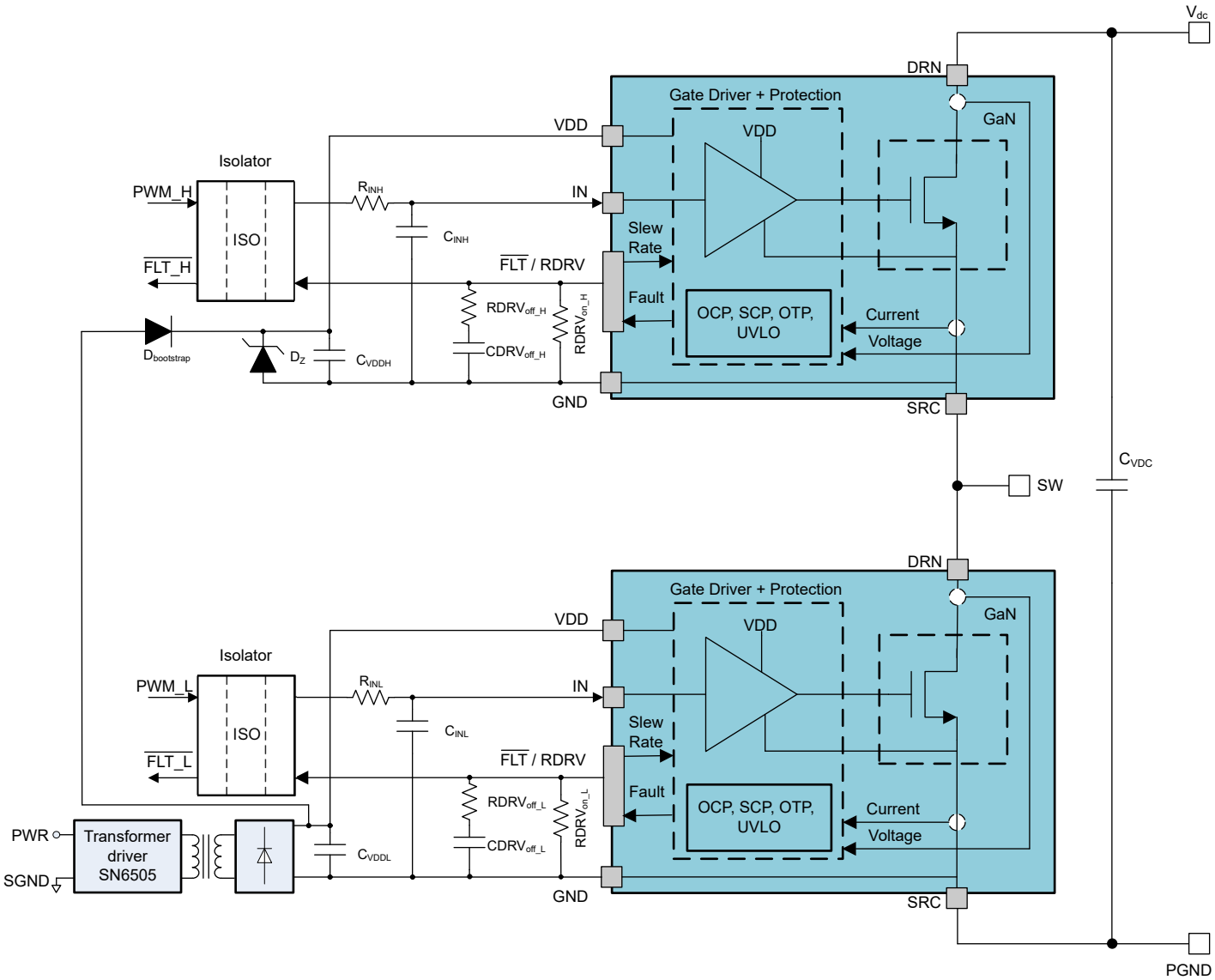


图 8-4. 具有自举功能的 LMG3650R035 典型半桥应用

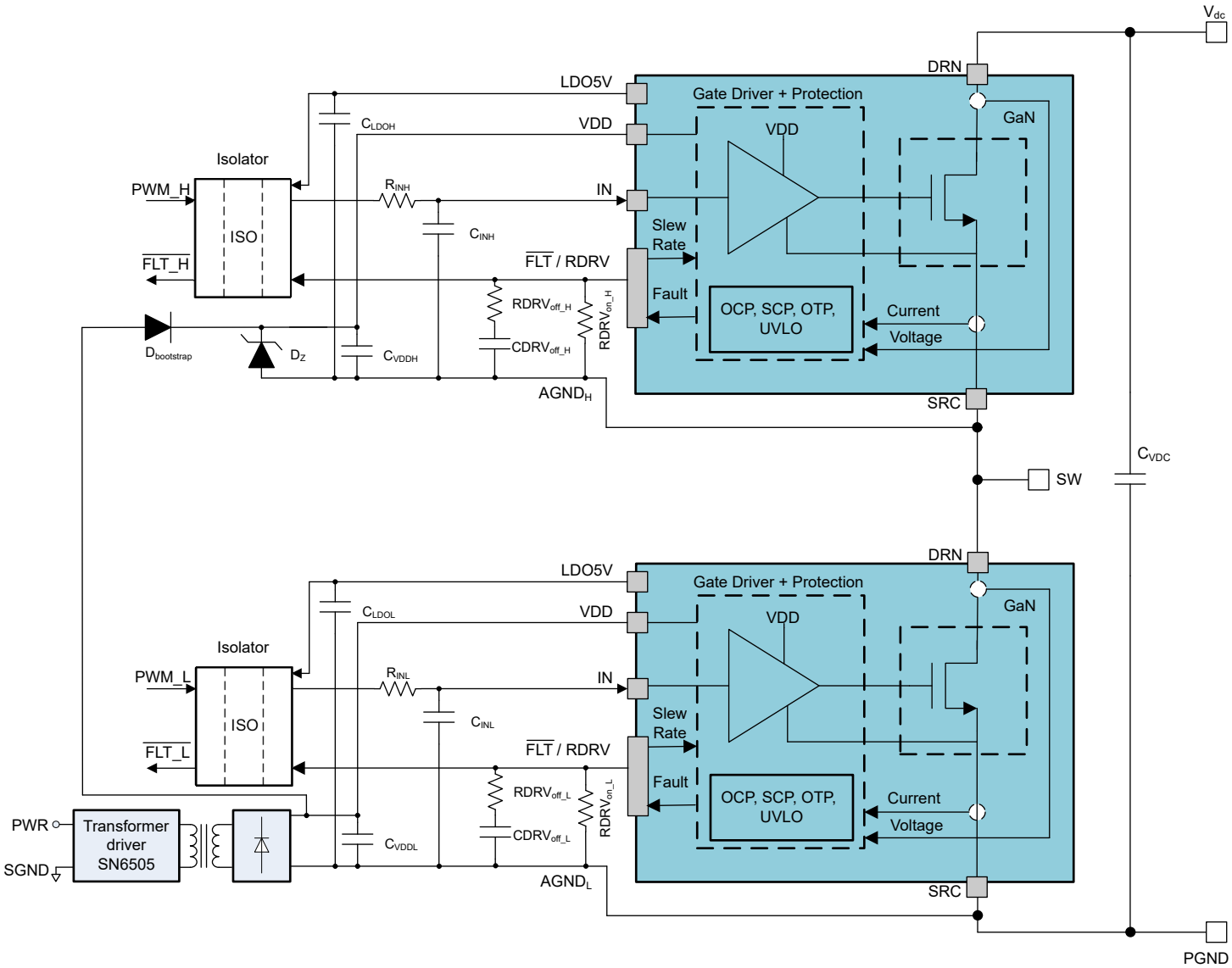


图 8-5. 具有自举功能的 LMG3651R035 典型半桥应用

Copyright © 2025 Texas Instruments Incorporated

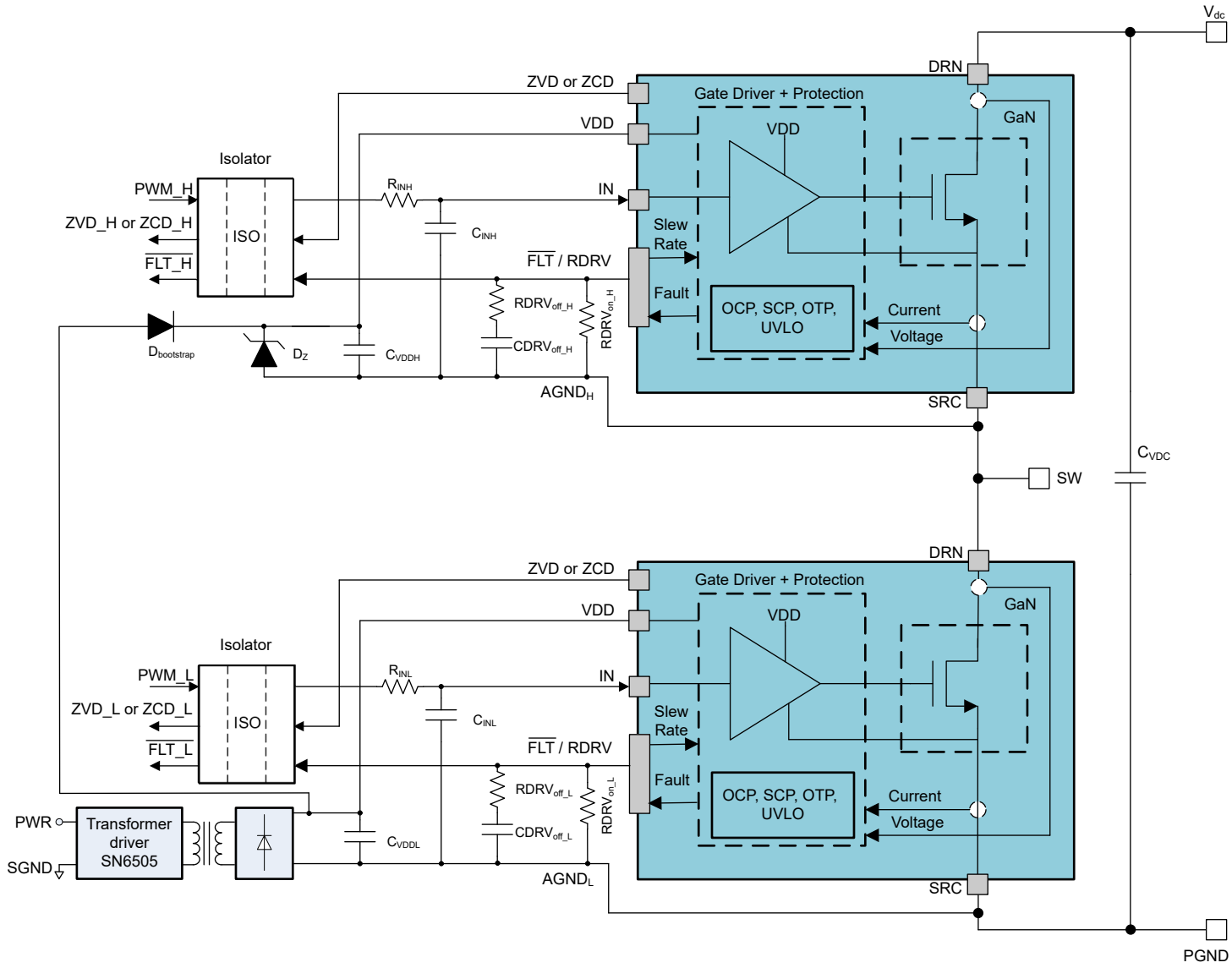


图 8-6. 具有自举功能的 LMG3656R035 或 LMG3657R035 典型半桥应用

8.2.1 详细设计过程

在高压电源转换器中，电路设计和 PCB 布局对于高性能电源转换器至关重要。本数据表介绍了使用 LMG365xR035 的半桥设计注意事项。

8.2.1.1 压摆率选择

将 LMG365xR035 的导通转换速率从大约 10V/ns 调整到 80V/ns，并将最大关断转换速率限制从 10V/ns 调整为无限（仅由 I_{ds} 控制）。有关详细信息，请参阅驱动强度调整。

压摆率从以下方面影响 GaN 器件的性能：

- 开关损耗
- 电压过冲
- 噪声耦合
- EMI 发射

通常，高压摆率可实现低开关损耗，但高压摆率也会产生较高的电压过冲、噪声耦合和 EMI 发射。遵循此数据表中的设计建议可缓解由高压摆率引发的挑战。LMG365xR035 让电路设计人员能够灵活地选择合适的压摆率，从而使应用实现卓越的性能。

8.2.1.2 信号电平转换

在半桥中，使用高压电平转换器或数字隔离器为高侧器件和控制电路之间的信号路径提供隔离。对于低侧器件，可以选择性地使用隔离器。但是，使用隔离器可均衡高侧和低侧信号路径之间的传播延迟，并能够为 GaN 器件和控制器使用不同的接地端。如果在低侧器件上未使用隔离器，则将控制接地和电源接地连接到器件，而不是连接到电路板上的任何其他位置。如需更多信息，请参阅布局指南。对于快速开关器件，共地电感在不使用隔离器的情况下很容易引起噪声问题。

为电平转换选择数字隔离器对于提高抗噪性非常重要。由于 GaN 器件可以轻松产生大于 50V/ns 的高 dv/dt，因此 TI 强烈建议使用具有高共模瞬态抗扰度 (CMTI) 和低势垒电容的隔离器。具有低 CMTI 的隔离器很容易产生错误信号，可能会导致击穿。势垒电容是信号接地与电源接地之间的隔离电容的一部分，与开关期间产生的共模电流和 EMI 发射成正比。此外，TI 强烈建议选择非边缘触发隔离器。在边沿触发隔离器中，高 dv/dt 事件可能会导致隔离器变为翻转状态，从而导致电路故障。

通常，首选默认输出较低的开/关键控隔离器。默认低电平状态可确保系统在启动或从故障事件中恢复时不会击穿。由于高 CMTI 事件导致极短（几纳秒）的假脉冲，因此 TI 建议在驱动器输入端放置一个低通滤波器（如 50Ω 和 150pF R-C），以便滤除这些假脉冲。

8.3 电源相关建议

LMG365xR035 仅需要 9V 至 24V 的非稳压 VDD 电源。从本地控制器电源获得低侧电源。验证高侧器件的电源是否来自隔离或自举电源。

8.3.1 使用隔离式电源

使用隔离电源为高侧器件供电的优势在于，无论持续的功率级开关周期或占空比如何，该器件都能正常工作。使用隔离式电源还可以在功率级开关操作开始之前为高侧器件供电，以实现平稳启动

通过推挽式转换器、反激式转换器、FlyBuck™ 转换器或隔离式电源模块获得隔离式电源。当使用非稳压电源时，确认 LMG365xR035 的输入不超过最大电源电压。使用 24V TVS 二极管钳制 LMG365xR035 的 VDD 电压，以获得额外的保护。

8.3.2 使用自举二极管

在半桥配置中，高侧器件需要使用浮动电源。为了获得 LMG365xR035 的最佳性能，TI 建议使用隔离式电源。可以按照使用自举二极管的建议使用自举电源。

Copyright © 2025 Texas Instruments Incorporated

8.3.2.1 二极管选型

LMG365xR035 提供零反向恢复电荷，以及非常有限的输出电荷。使用 LMG365xR035 的电路可表现出高压摆率。验证兼容的自举二极管是否不会引入高输出或反向恢复电荷。

使用碳化硅二极管，如 GB01SLT06-214，以避免反向恢复效应。SiC 二极管的输出电荷是 3nC。尽管其输出电荷会产生额外的损耗，但它并不能主导开关级的损耗。

8.3.2.2 管理自举电压

在同步降压加热器或低侧开关偶尔在第三象限运行的其他转换器中，自举电源通过一条路径充电，该路径包括死区时间内低侧 LMG365xR035 的第三象限压降，如自举二极管的充电路径中所示。此第三象限压降可能很大，在某些情况下可能会使自举电源过度充电。验证 LMG365xR035 的 V_{DD} 电源是否保持在 26V 以下。

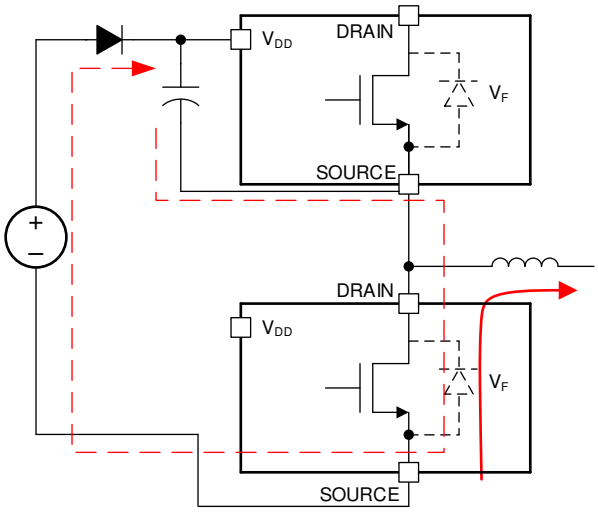


图 8-7. 自举二极管的充电路径

如建议的自举调节电路所示，推荐的自举电源包括一个自举二极管、一个串联电阻器，以及一个与 V_{DD} 旁路电容器并联的 24V TVS 或齐纳二极管。平行位置可防止损坏高侧 LMG365xR035。串联电阻器可限制启动时以及低侧器件以第三象限模式运行时的充电电流。选择的电阻器，以在所需的工作频率下充分为 LMG365xR035 供电。在 100kHz 运行中，TI 建议使用约 2Ω 的值。在较高频率下，减小或忽略电阻值，以建立足够的电源电流。

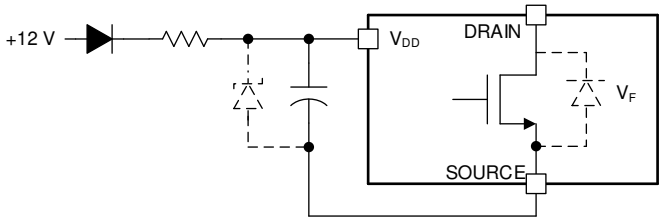


图 8-8. 建议的自举调节电路

8.4 布局

8.4.1 布局指南

LMG365xR035 的布局对于器件性能和功能来说至关重要。由于半桥配置通常与 GaN 器件配合使用，因此可考虑采用此配置的布局建议。推荐四层或层数更多的板，以减少布局的寄生电感。下图汇总了关键布局指南，后续部分中将会进一步阐述更多详细信息。

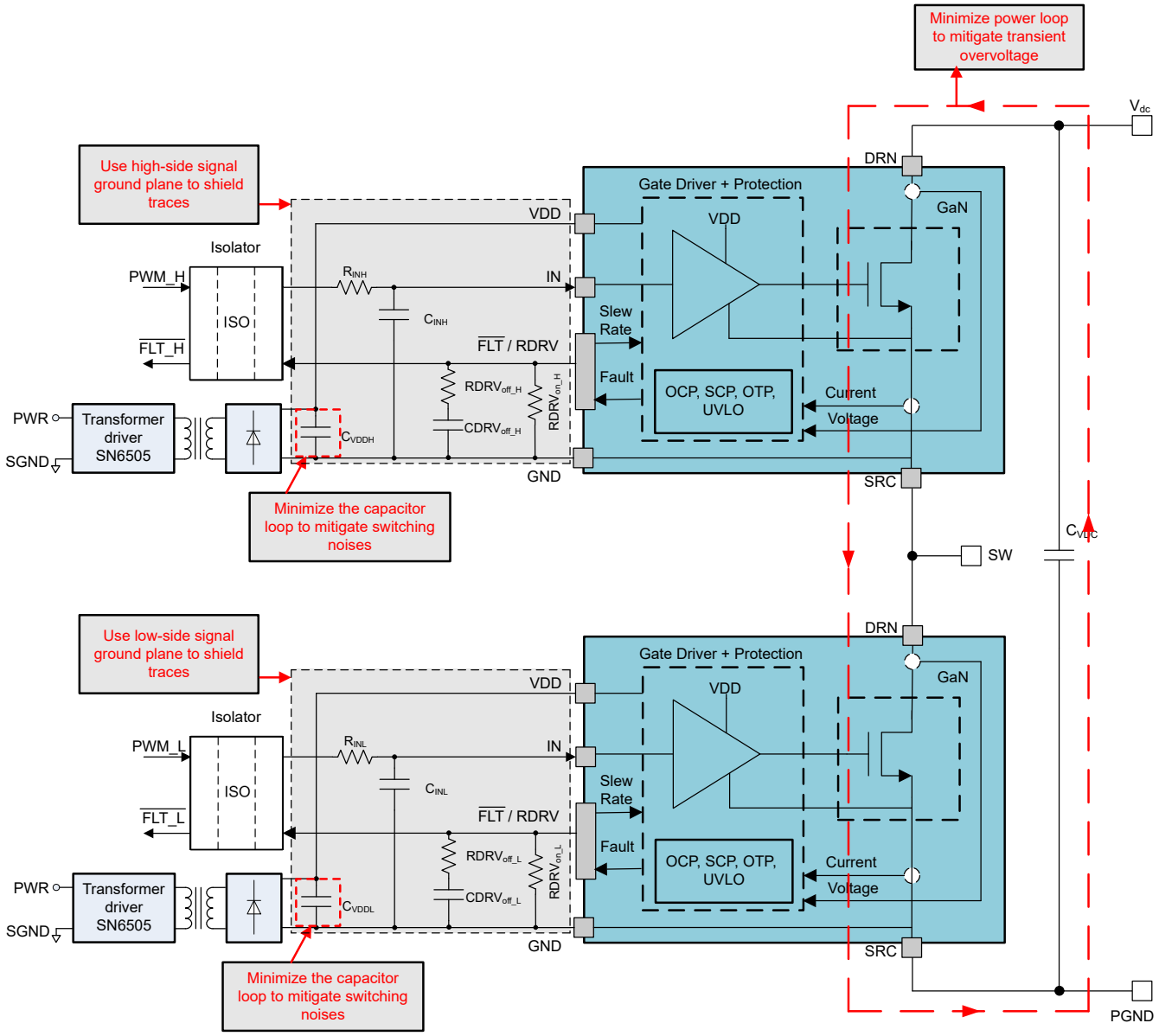


图 8-9. LMG3650R035 典型原理图及布局注意事项

Copyright © 2025 Texas Instruments Incorporated

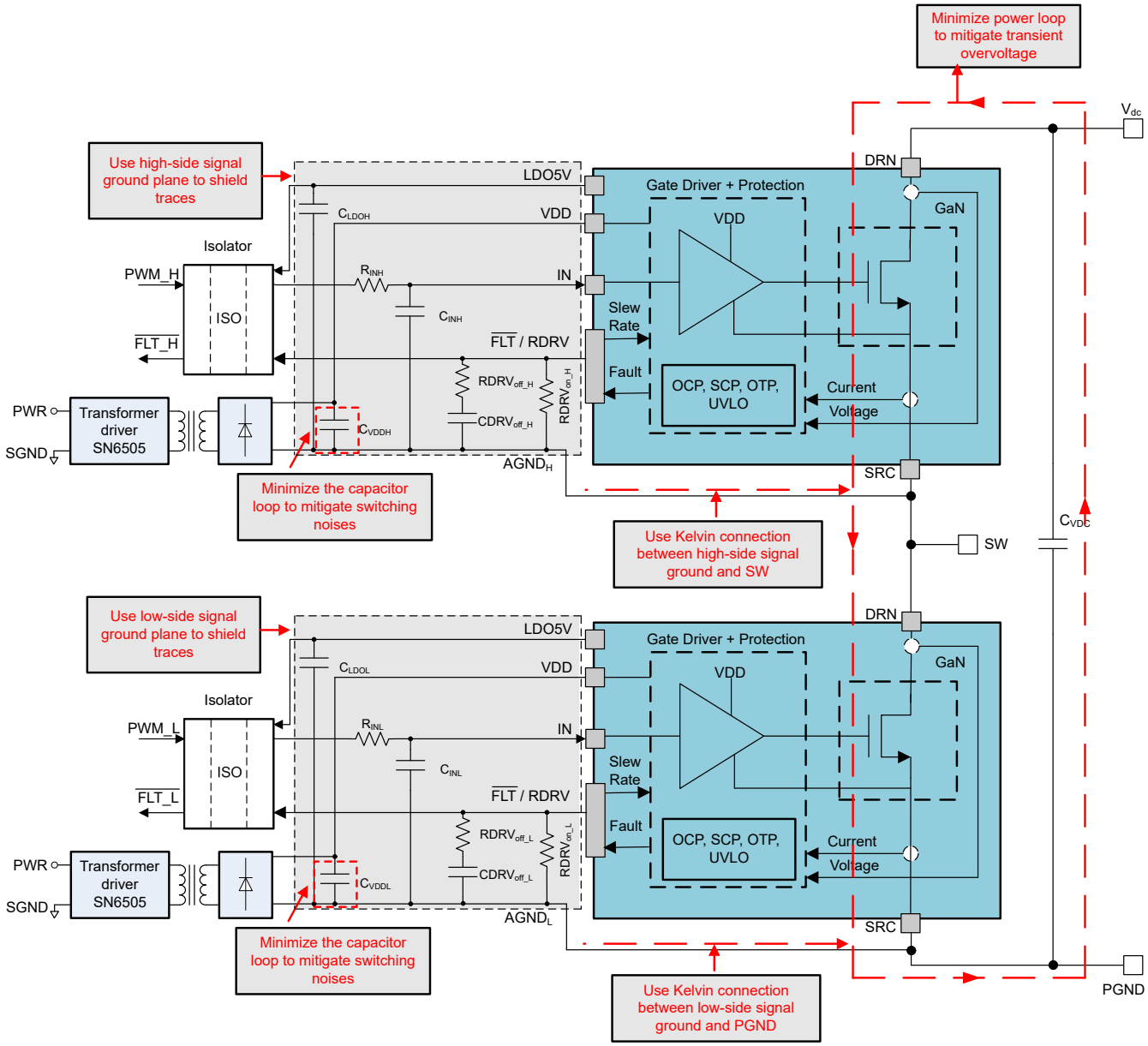


图 8-10. LMG3651R035 典型原理图及布局注意事项

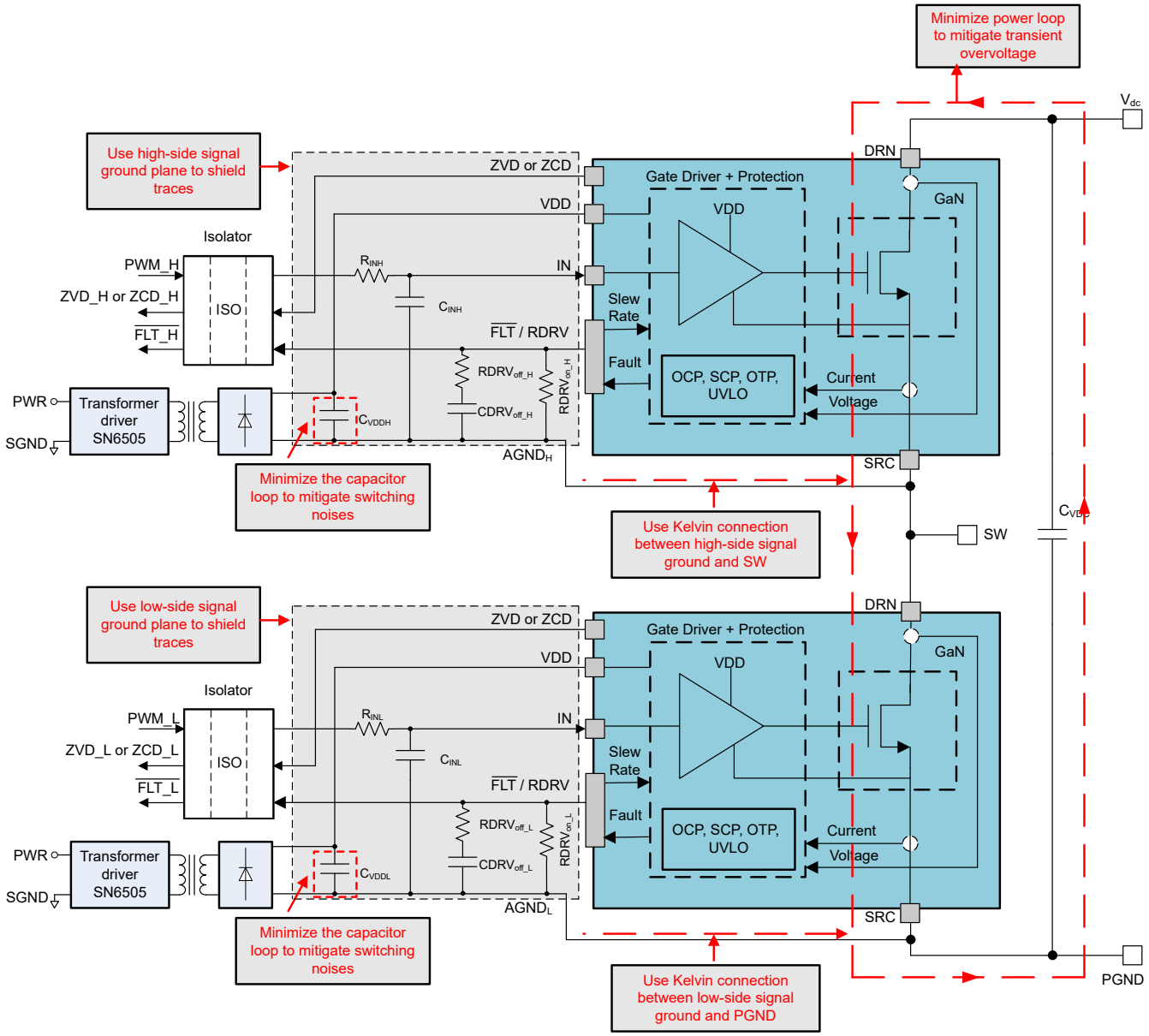


图 8-11. LMG3656R035 或 LMG3657R035 典型原理图及布局注意事项

8.4.1.1 焊点可靠性

由于高电流应用通常使用 TOLL 封装，因此请验证 SRC 和 DRN 焊盘是否采用阻焊层限定 (SMD)。在实际布局中，源极和漏极焊盘通常连接到铜平面，从而与 PCB 的接触面积尽可能大，进而更大限度地提高电导率。确保其他承载最小电流并主要用于信号连接的焊盘为非阻焊层限定 (NSMD) 焊盘，如机械、封装和可订购信息中的焊盘图案示例所示。最后，验证与 NSMD 焊盘连接的任何板迹线是否小于板迹线连接的焊盘侧焊盘宽度的 2/3。只要迹线未被阻焊层覆盖，迹线就必须保持 2/3 的宽度限值。将布线置于阻焊层下方后，对布线尺寸就没有限制了。布局示例中遵循了所有所述建议。

8.4.1.2 电源环路电感

电源环路由半桥中的两个器件与高压母线电容组成，能够在开关事件期间产生很高的 *di/dt*。通过最小化电源回路的电感，可以减少振铃和电磁干扰 (EMI)，以及降低设备上的电压应力。

Copyright © 2025 Texas Instruments Incorporated

将功率器件尽可能靠近放置，以便最大限度减小电源环路电感。将去耦电容器同两个器件一致放置，靠近任一器件。在节 8.4.2 中，去耦电容器与器件放置在同一层。返回路径（本例中为 PGND）位于靠近顶层的第二层。通过使用内层（而非底层），能够减小环路的垂直尺寸，进而更大限度降低电感。器件端子与总线电容附近存在大量过孔，能够在将高频开关电流传输至内层的同时，最大限度降低阻抗。

对于电源环路电感，可根据漏源电压开关波形的振铃频率 f_{ring}，利用以下公式估算：

$$L_{pl} = \frac{1}{4\pi^2 f_{ring}^2 C_{ring}} \tag{4}$$

在方程式 4 中，C_{ring} 等于总线电压下的 C_{OSS}（参阅输出电容与漏极-源极电压，了解典型值）加上来自电路板与负载电感器或变压器的漏源寄生电容。

由于负载元件的寄生电容很难表征，TI 建议捕捉不含负载元件的 V_{DS} 开关波形，用以估算电源环路电感。通常，节 8.4.2 的电源回路电感约为 2.5nH。

8.4.1.3 信号接地连接

LMG365xR035 的 SRC 引脚内部连接至功率 IC 的 GND 引脚（即：信号接地基准）。验证本地信号接地平面是否通过低阻抗星形连接方式而连接至 GND 引脚。此外，确认与驱动器相关的无源器件（旁路电容）的返回路径必须连接至 GND 引脚。在节 8.4.2 中，本地信号接地平面位于第二层，用作本地电路的返回路径。除了 GND 引脚处的星型连接以外，本地信号接地平面未连接高电流 SRC 引脚。

8.4.1.4 旁路电容器

将 VDD 引脚旁路电容器 C_{VDDL} 和 C_{VDDH} 放置在靠近 VDD 引脚的低阻抗连接处。

8.4.1.5 开关节点电容

GaN 器件具有极低的输出电容，能够在高 *dv/dt* 的情况下快速开关，因此具有非常低的开关损耗。为了保持低开关损耗，应尽量减少添加到输出节点的额外电容数量。请遵循以下指南来尽可能减小开关节点处 PCB 电容：

- 最大限度减少开关节点平面和其他电源与接地平面之间的重叠。
- 使高压侧器件下的 GND 返回路径更细，同时保持低电感路径。
- 选择具有低电容的高压侧隔离器集成电路与自举二极管。
- 将功率电感器尽可能靠近 GaN 器件。
- 使用单层绕组构建功率电感器，以更大限度地减小绕组内电容。
- 如果无法采用单层电感器，可考虑在初级电感器与 GaN 器件之间放置一个小型电感器，以便有效屏蔽 GaN 器件的额外电容。
- 如果采用背面散热器，则应尽可能减少底部铜层的开关节点铜覆盖面积，以便改善散热效果。

8.4.1.6 信号完整性

防止 LMG365xR035 的控制信号不受快速开关导致的高 *dv/dt* 影响。控制信号与漏极之间的耦合会导致电路不稳定与潜在损坏。将控制信号（IN、ZVD、 ZCD 和 $\overline{FLT}$/RDRV）连接至相邻层的接地平面上。例如，在节 8.4.2 中，所有信号都在靠近本地信号接地平面的层上布线。

高压侧器件与静态平面（例如：PGND 与 HVBUS）之间的电容耦合可能会导致共模电流与接地反弹。通过减少高压侧布线与静态平面之间重叠的方式减轻耦合。对于高侧电平移位器，确保输入侧或输出侧的覆铜不会延伸到隔离器下方。在隔离器下方延伸的覆铜可能影响器件的 CMTI。

8.4.1.7 高电压间距

使用 LMG365xR035 的电路涉及高达 650V 的高电压。利用 LMG365xR035 布置电路时，应了解应用的爬电距离与间隙要求以及应用到 GaN 器件的具体要求。在每个晶体管的源极与漏极之间以及在高压电源与接地之间，需要进行功能（或工作）隔离。在 LMG365xR035 输入电路与电源控制器之间，可能需要进行功能隔离或者可能的更强隔离（例如：增强型隔离）。选择能够满足用户的具体隔离要求的信号隔离器与 PCB 间距（爬电距离与间隙）。

如果利用散热器进行 LMG365xR035 散热情况管理，请确保散热器与 PCB 之间保持必要的电气隔离与机械间距。

8.4.1.8 热建议

LMG365xR035 是硅基板上生长的横向器件。热焊盘与设备源电连接和热连接。在高功耗应用中，仅利用 PCB 进行冷却可能不足以将器件保持在合理温度。为了提升器件散热性能，TI 建议在 PCB 背面连接能够吸收更多热量的散热器。利用电源平面、较厚的覆铜层与多个散热过孔，LMG365xR035 中散发的热量能够在 PCB 中扩散出去，有效地传递至 PCB 另一侧。通过将顶部铜层与底层连接，散热过孔可使热流绕过低热传导的 FR4 层。因此，PCB 的整体有效导热性有所提高。散热过孔通常通过机械钻孔形成。由于空气是较差的导热体，建议在过孔内表面镀铜层，以便将热量垂直传导到 PCB 中。为了获得更好的热性能，请使用更高的过孔镀层厚度。为了进一步改善散热过孔的影响，请使用高导热环氧树脂或铜填充空气间隙。还应该盖好位于器件封装中的过孔。如果没有封盖，焊盘上的焊料会泄漏到过孔中，从而导致器件下方出现焊料空洞。可利用热界面材料 (TIM)，在 PCB 背面安装一个散热器。从散热器下方的电路板背面移除阻焊层，实现更有效的散热效果。

8.4.2 布局示例

LMG365xR035 及周围元件的正确布局对于正确运行有着重要意义。此处所示布局反映了 图 8-1 中 GaN 器件原理图。图 8-1 中的布局展示了良好的效果，可用作指南。不过，通过替代布局方案获得可接受的性能是可能的。此外，可参阅节 11.2 中的焊盘图案示例，了解最新推荐的器件 PCB 封装尺寸。

图中显示了顶层布局与中层布局。布局放大了 LMG3650R035 U2 与 U4 元件的放置位置。中层布局包含了能够帮助用户对齐顶层与中间层布局的顶层元件轮廓。

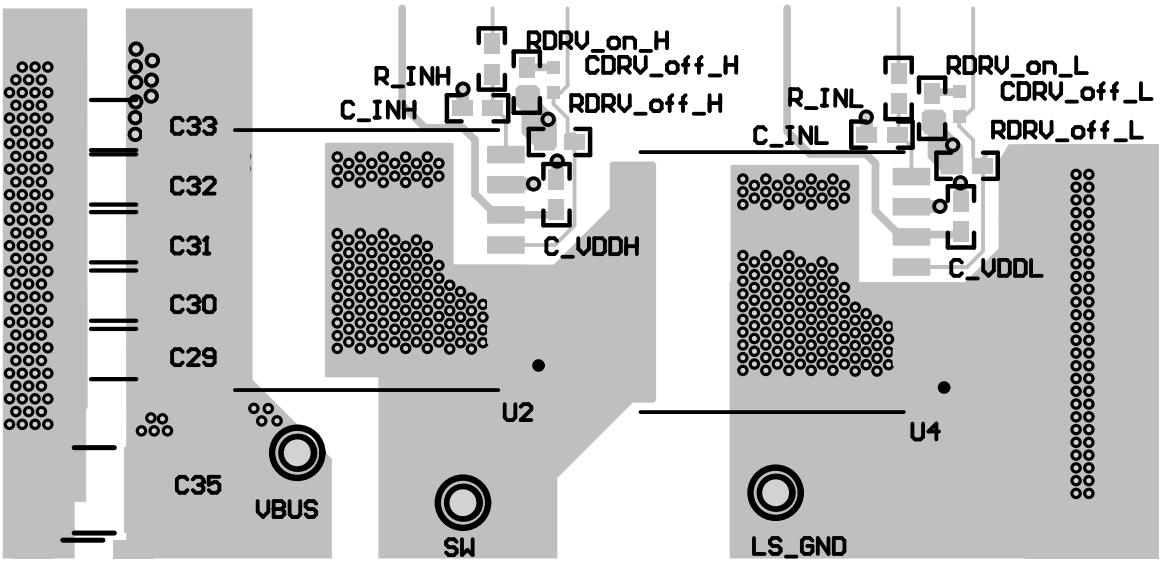


图 8-12. LMG3650R035 半桥顶层布局

Copyright © 2025 Texas Instruments Incorporated

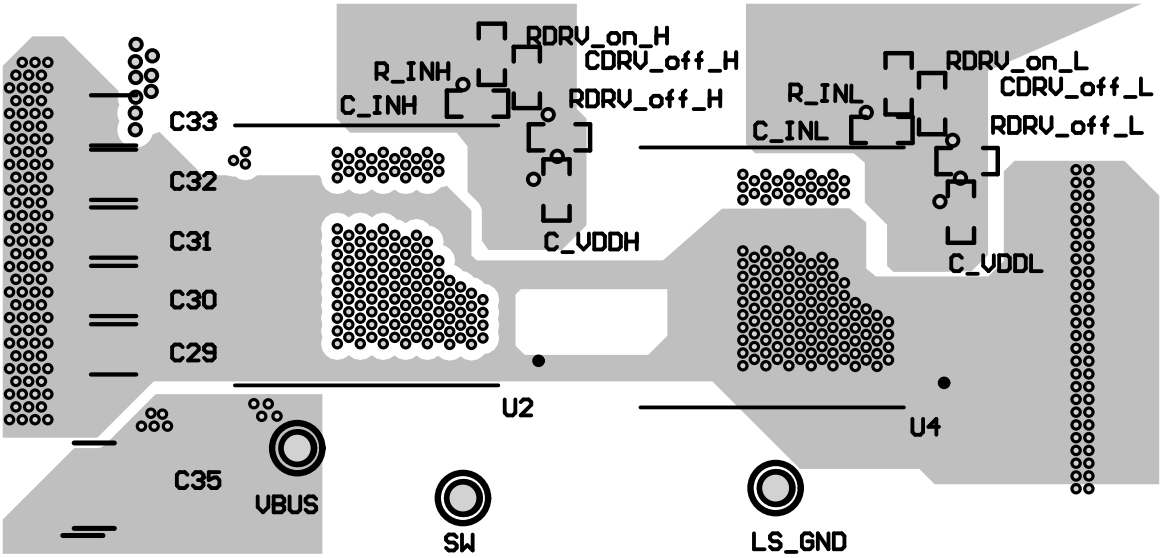


图 8-13. LMG3650R035 半桥中层布局

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

FlyBuck™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (January 2025) to Revision A (December 2025)	Page
• 从“预告信息”更新为“混合量产”	1

Copyright © 2025 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

封装选项附录

封装信息

可订购器件型号	状态 (1)	材料类型 (2)	封装 | 引脚	包装数量 | 包装	RoHS (3)	引脚镀层/焊球材料 (4)	MSL 等级/回流焊峰值温度 (5)	工作温度 (°C)	器件标识 (6)
LMG3650R035KLAR	有效	量产	KLA | 9	2000 | LARGE T&R	RoHS 豁免	Sn	Level-3-260C-168 HR	-40 至 175	LMG3650 R035

(1) **状态：**有关状态的详细信息，请参阅我们的 产品生命周期。
(2) **材料类型：**指定时，预量产器件是原型/试验器件，尚未获批或发布以进行全面生产。测试和最终工艺（包括但不限于质量保证、可靠性测试以及/或工艺鉴定）可能尚未完成，并且本器件可能会进一步更改，也可能中断研发。即使可供订购，所购器件仍将可能在结算时被取消，并且所购器件仅可用于早期内部评估。这些器件一经售出，概不提供任何保修。
(3) **RoHS 值：**是、否、RoHS 豁免。有关更多信息和值定义，请参阅“ TI RoHS 声明 ”。
(4) **引脚镀层/焊球材料：**器件可能有多种材料镀层选项。各镀层选项用垂直线隔开。如果铅镀层/焊球值超出最大列宽，则会折为两行。
(5) **MSL 等级/回流焊峰值温度：**湿敏等级等级和峰值焊接（回流焊）温度。如果器件具有多个湿敏等级，则仅显示符合 JEDEC 标准的最低等级。有关将器件安装到印刷电路板上时采用的实际回流焊温度，请参阅装运标签。
(6) **器件标识：**器件上可能还有与徽标、批次跟踪代码信息或环境分类相关的其他标识。
如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

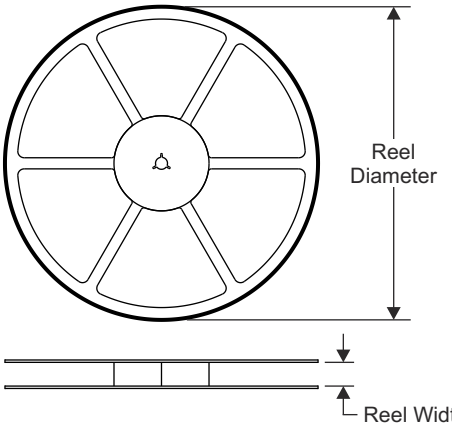
重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

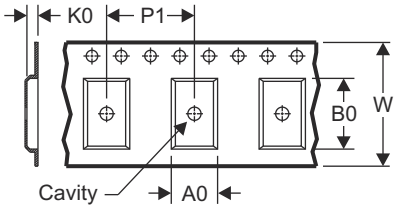
Copyright © 2025 Texas Instruments Incorporated

11.1 卷带包装信息

REEL DIMENSIONS

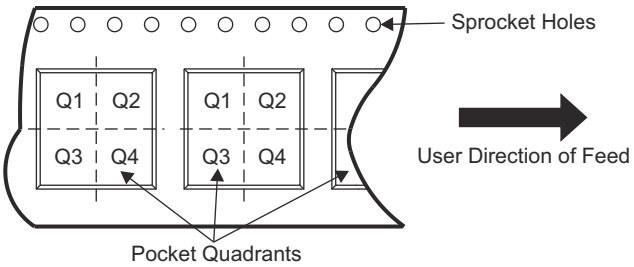


TAPE DIMENSIONS



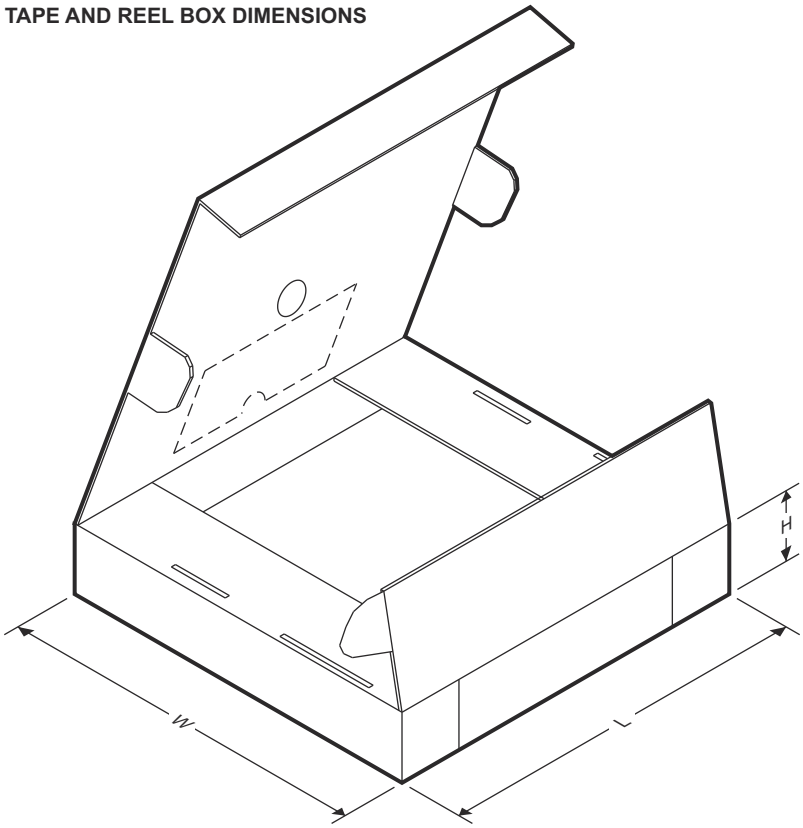
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



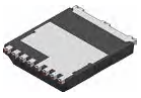
器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
LMG3650R035	至	KLA	9	2000	330.0	24.4	10.20	11.98	2.6	12.0	21.0	Q2

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
LMG3650R035	至	KLA	9	2000	356.0	356.0	45.0

Copyright © 2025 Texas Instruments Incorporated

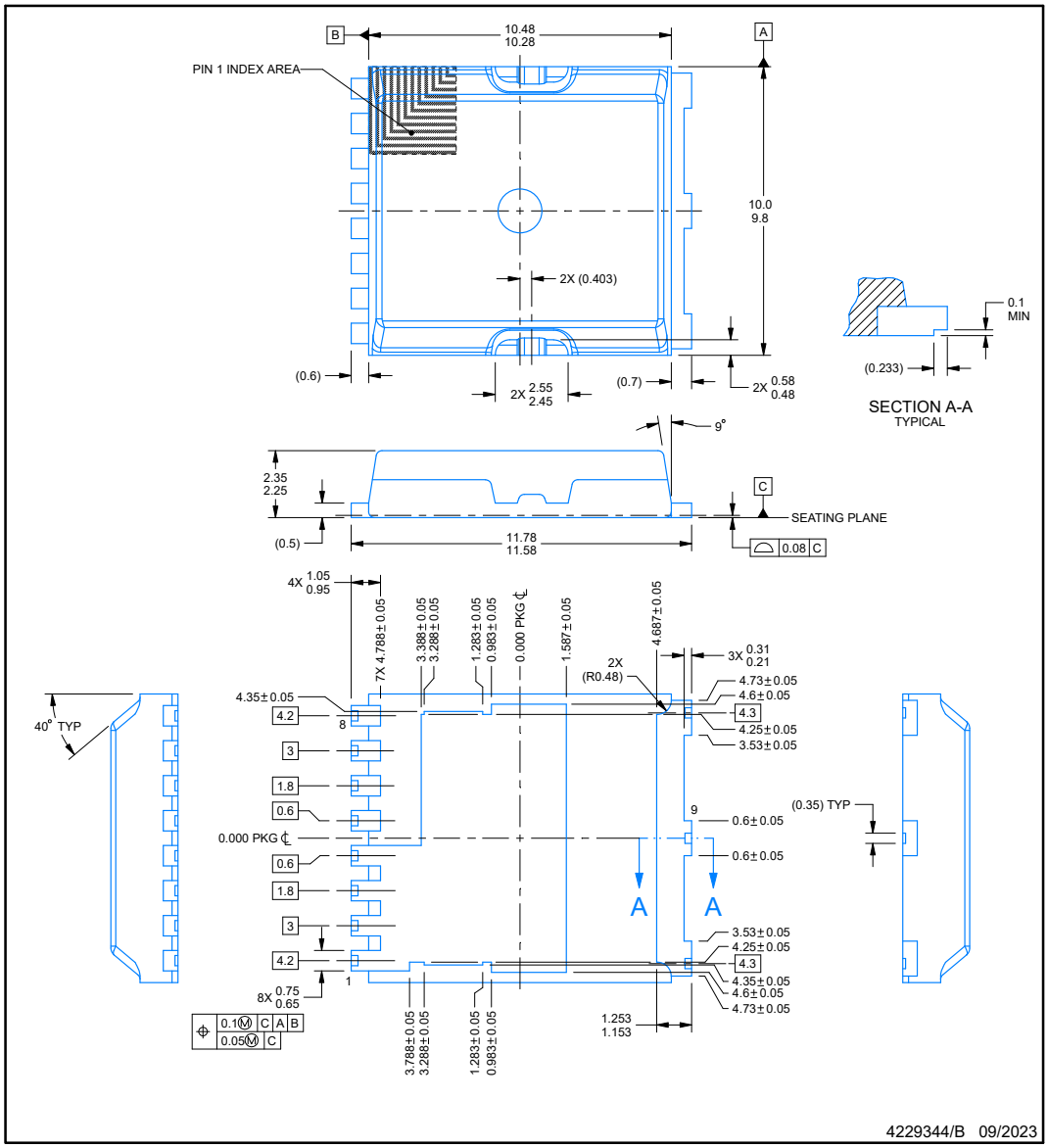


PACKAGE OUTLINE

KLA0009A

TOLL - 2.35 mm max height

TO LEADLESS



NOTES:

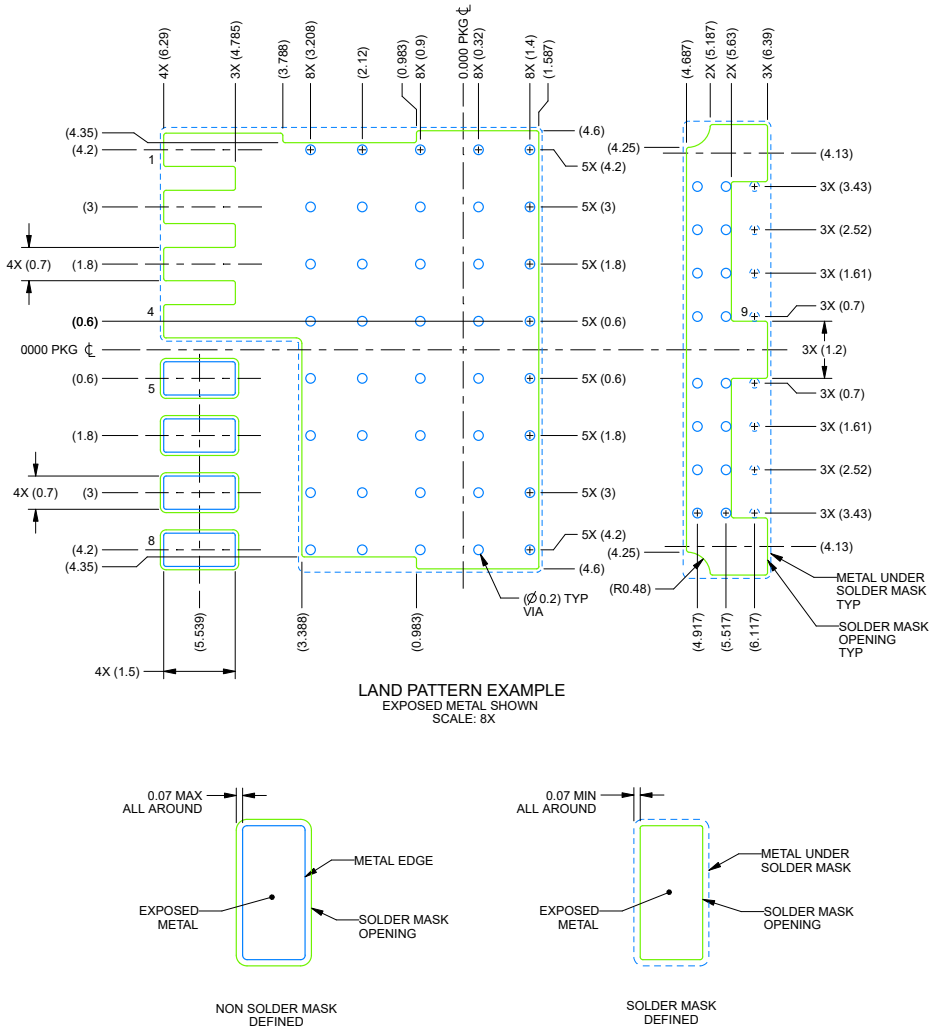
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

KLA0009A **TOLL - 2.35 mm max height**

TO LEADLESS



NOTES: (continued)

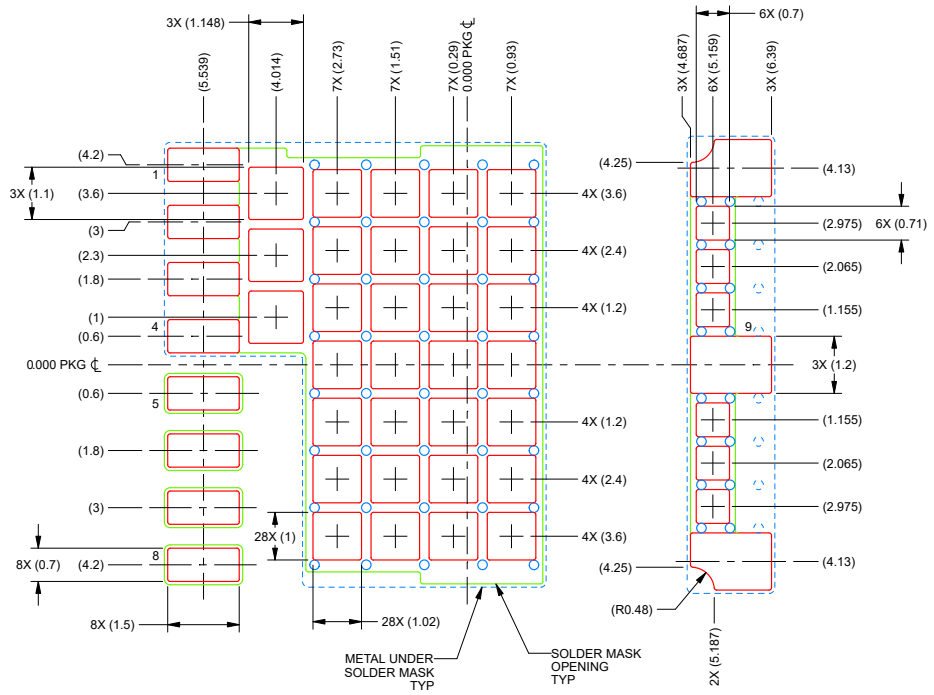
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

KLA0009A **TOLL - 2.35 mm max height**

TO LEADLESS



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG3650R035KLAR	Active	Production	TO (KLA) | 9	2000 | LARGE T&R	-	SN	Level-3-260C-168 HR	-40 to 150	LMG3650 R035
XLMG3650R035KLAT	Active	Preproduction	TO (KLA) | 9	250 | LARGE T&R	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

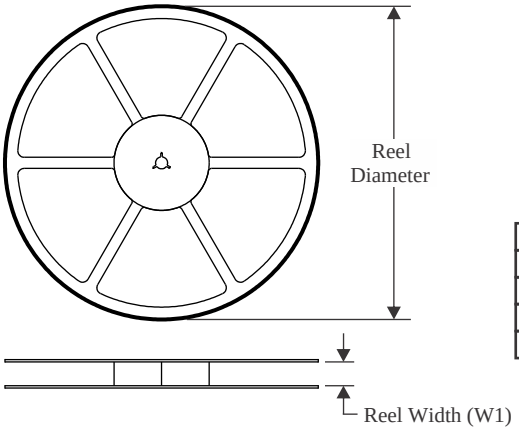
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

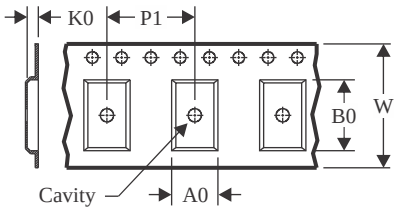
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

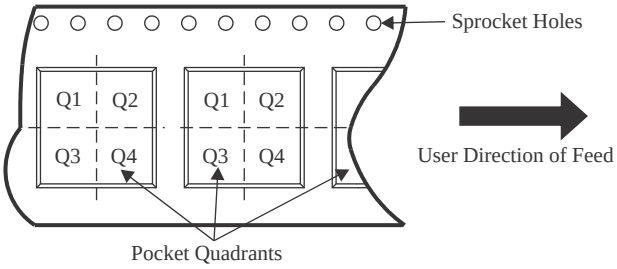


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

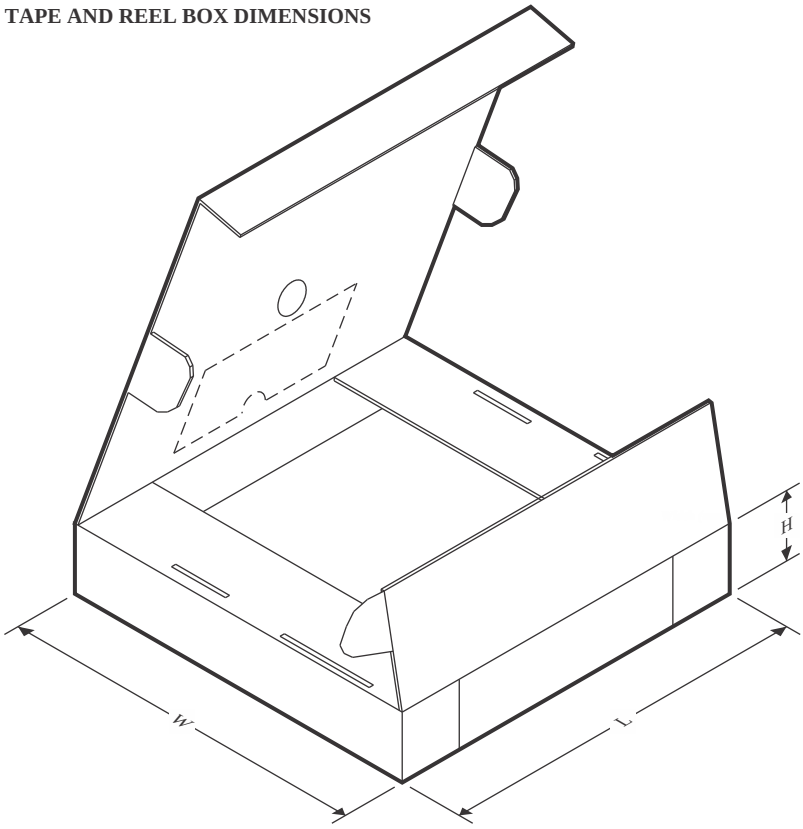
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMG3650R035KLAR	TO	KLA	9	2000	330.0	24.4	10.2	11.98	2.6	12.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMG3650R035KLAR	TO	KLA	9	2000	356.0	356.0	45.0

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月