

具有集成驱动器和保护功能的 LMG365xR035 650V 35mΩ GaN FET

1 特性

- 具有集成式栅极驱动器的 650V 35mΩ GaN 功率 FET
 - >200V/ns FET 释抑
 - 可调压摆率，用于优化开关性能和缓解 EMI
 - 10V/ns 至 100V/ns 导通压摆率
 - 10V/ns 至全速关断压摆率
 - 可在电源引脚和输入逻辑引脚电压范围为 9V 至 26V 的情况下运行
- 强大的保护
 - 响应时间 <300ns 的逐周期过流和锁存短路保护
 - 硬开关时可承受 720V 浪涌
 - 针对内部过温和 UVLO 监控的自我保护
- 带有散热焊盘的 9.8mm × 11.6mm TOLL 封装

2 应用

- 商用网络和服务器 PSU
- 商用通信电源整流器
- 光伏逆变器和工业电机驱动器
- 不间断电源

3 说明

LMG365xR035 GaN FET 具有集成式驱动器和保护功能，适用于开关模式电源转换器，可让设计人员实现更高水平的功率密度和效率。

可调栅极驱动器强度允许独立地控制导通和最大关断压摆率，这可用于主动控制 EMI 并优化开关性能。导通压摆率可以在 10V/ns 至 100V/ns 内变化，而关断压摆率可以根据负载电流的大小限制为 10V/ns 至最大值。保护特性包括欠压锁定 (UVLO)、逐周期过流限制、短路和过热保护。LMG3651R035 在 LDO5V 引脚上提供 5V LDO 输出，可用于为外部数字隔离器供电。LMG3656R035 包含零电压检测 (ZVD) 功能，可在实现零电压开关时提供来自 ZVD 引脚的脉冲输出。LMG3657R035 包含零电流检测 (ZCD) 功能，可在漏源电流为负时将 ZCD 引脚设置为高电平，并在检测到过零点时转换为低电平。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LMG365xR035	KLA (TOLL, 9)	9.8mm x 11.6mm

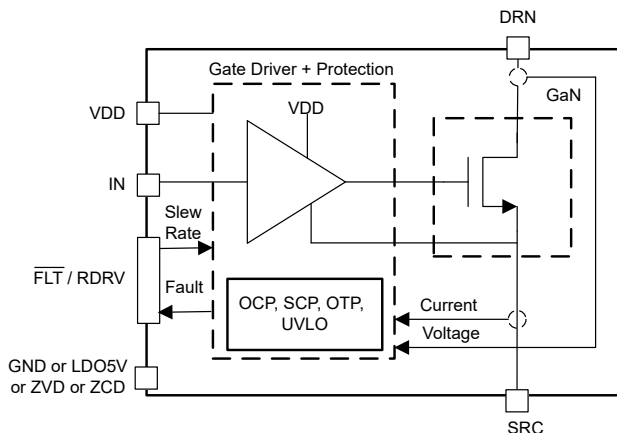
(1) 有关所有可用封装，请参阅节 12。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

器件信息

器件型号 ⁽¹⁾	引脚 7
LMG3650R035	GND
LMG3651R035	LDO5V
LMG3656R035	ZVD
LMG3657R035	ZCD

(1) 请参阅 [器件比较表](#)。



简化版方框图



内容

1 特性	1	8.3 特性说明	15
2 应用	1	8.4 器件功能模式	22
3 说明	1	9 应用和实施	23
4 器件比较	3	9.1 应用信息.....	23
5 引脚配置和功能	4	9.2 典型应用.....	24
6 规格	5	9.3 电源相关建议.....	30
6.1 绝对最大额定值.....	5	9.4 布局.....	32
6.2 ESD 等级.....	5	10 器件和文档支持	36
6.3 建议运行条件.....	5	10.1 接收文档更新通知.....	36
6.4 热性能信息.....	5	10.2 支持资源.....	36
6.5 电气特性.....	6	10.3 商标.....	36
6.6 开关特性.....	7	10.4 静电放电警告.....	36
7 参数测量信息	9	10.5 术语表.....	36
7.1 开关参数.....	9	11 修订历史记录	36
8 详细说明	12	12 机械、封装和可订购信息	36
8.1 概述.....	12	12.1 卷带包装信息.....	40
8.2 功能方框图.....	12		

4 器件比较

表 4-1. 器件比较

器件名称	$R_{DS(on)}$	引脚 7
LMG3650R025	25m Ω	GND
LMG3651R025		LDO5V
LMG3656R025		ZVD
LMG3657R025		ZCD
LMG3650R035	35m Ω	GND
LMG3651R035		LDO5V
LMG3656R035		ZVD
LMG3657R035		ZCD
LMG3650R070	70m Ω	GND
LMG3651R070		LDO5V
LMG3656R070		ZVD
LMG3657R070		ZCD

5 引脚配置和功能

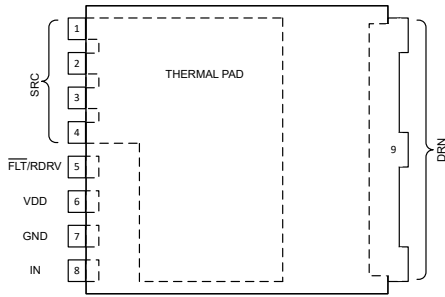


图 5-1. LMG3650R035, TOLL 封装 (顶视图)

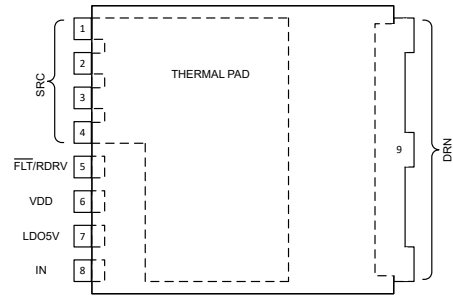


图 5-2. LMG3651R035, TOLL 封装 (顶视图)

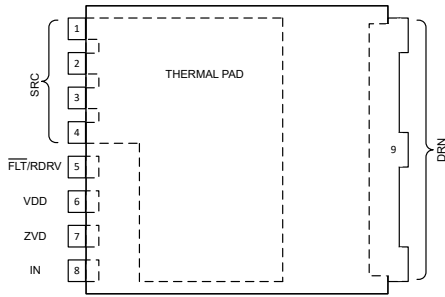


图 5-3. LMG3656R035, TOLL 封装 (顶视图)

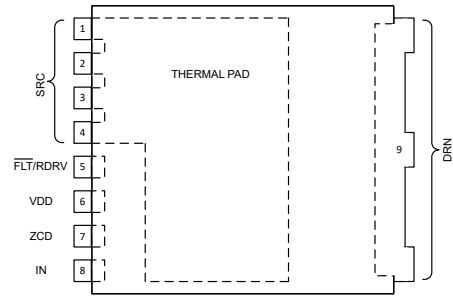


图 5-4. LMG3657R035, TOLL 封装 (顶视图)

表 5-1. 引脚功能

名称	引脚				类型 ⁽¹⁾	说明
	LMG3650 R035	LMG3651 R035	LMG3656 R035	LMG3657 R035		
SRC	1 - 4	1 - 4	1 - 4	1 - 4	P	GaN FET 源极。
FLT/RDRV	5	5	5	5	O、I	故障监控和驱动强度选择引脚。在此引脚和 GND 之间连接一个电阻器，以设置导通驱动强度。在此引脚和 GND 之间连接一个与电容器串联的电阻器，以设置关断驱动强度。上电时设置一次压摆率，然后将该引脚用于故障监控。
VDD	6	6	6	6	P	器件输入电源
GND	7	—	—	—	G	信号地。内部连接到 SRC 和散热焊盘。
LDO5V	—	7	—	—	P	用于外部数字隔离器的 5V LDO 输出。
ZVD	—	—	7	—	O	推挽式数字输出，提供零电压检测信号，以指示器件在电流开关周期中是否实现零电压开关。
ZCD	—	—	—	7	O	推挽数字输出，在漏源电流为负时将 ZCD 引脚设置为高电平，并在检测到过零点时转换为低电平。
IN	8	8	8	8	I	CMOS 兼容非反相输入，用于打开和关闭 FET
DRN	9	9	9	9	P	GaN FET 漏极
散热焊盘	—	—	—	—	—	散热焊盘。

(1) I = 输入, O = 输出, I/O = 输入或输出, G = 接地, P = 电源。

6 规格

6.1 绝对最大额定值

除非另有说明：电压以 GND/SRC 为基准⁽¹⁾

		最小值	最大值	单位
V _{DS}	漏源电压, FET 关断		650	V
V _{DS(surge)}	漏源电压, 浪涌条件, FET 关断		720	V
V _{DS(tr)(surge)}	漏源瞬态振铃峰值电压, 浪涌条件, FET 关断		800	V
引脚电压	VDD	-0.5	28	V
	IN	-0.5	28	V
	FLT/RDRV	-0.5	5.5	V
I _D	峰值漏极电流, FET 导通		待定	A
I _{D(pulse)}	脉冲漏极电流, FET 导通, t _p < 10μs。	-68	内部受限制	A
T _J	工作结温	-40	175	°C
T _{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/ JEDEC JS-002 标准 ⁽²⁾	±500	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

除非另有说明：电压以 GND/SRC 为基准

		最小值	标称值	最大值	单位
电源电压	VDD	9		26	V
输入电压	IN	0		26	V
I _D	漏极电流, FET 导通			20	A
R ₁	来自 FLT/RDRV 到 GND 之间的外部导通压摆率控制电阻器的电阻	29.4		开路	kΩ
R ₂	来自 FLT/RDRV 到 GND 之间的外部关断压摆率控制串联电阻器和电容器配置的电阻	2		开路	kΩ
C ₂	和电容	0		680	pF

6.4 热性能信息

热指标 ⁽¹⁾		KLA (TOLL)		单位
		9 引脚		
R _{θ JC(bot)}	结至外壳 (底部) 热阻	0.38		°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体](#)和[IC 封装热指标](#)应用报告。

6.5 电气特性

除非另有说明：电压、电阻、电容和电感以 GND/SRC 为基准； $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ ； $V_{DD} = 12\text{V}$ ； $\overline{\text{FLT}}/\text{RDRV}$ 电阻 R1 和 R2 为开路

参数		测试条件	最小值	典型值	最大值	单位
GAN 功率 FET						
$R_{DS(on)}$	漏源导通电阻	$T_J = 25^{\circ}\text{C}$, $I_L = 16\text{A}$		35	55	$\text{m}\Omega$
		$T_J = 150^{\circ}\text{C}$, $I_L = 16\text{A}$		80		$\text{m}\Omega$
V_{SD}	源漏第三象限电压	$T_J = 25^{\circ}\text{C}$, $I_{SD} = 0.1\text{A}$		1.8		V
		$T_J = 150^{\circ}\text{C}$, $I_{SD} = 0.1\text{A}$		1.8		V
		$T_J = 25^{\circ}\text{C}$, $I_{SD} = 20\text{A}$		2.9		V
		$T_J = 150^{\circ}\text{C}$, $I_{SD} = 20\text{A}$		3		V
I_{DSS}	漏极漏电流	$T_J = 25^{\circ}\text{C}$, $V_{DS} = 650\text{V}$		待定		μA
		$T_J = 150^{\circ}\text{C}$, $V_{DS} = 650\text{V}$		待定		μA
Q_{OSS}	输出电荷	$V_{DS} = 400\text{V}$		125		nC
C_{OSS}	输出电容	$V_{DS} = 400\text{V}$		173		pF
E_{OSS}	输出电容储存的能量	$V_{DS} = 400\text{V}$		15		μJ
$C_{OSS(tr)}$	与时间相关的有效输出电容	$V_{DS} = 400\text{V}$		255		pF
$C_{OSS(er)}$	与能量相关的有效输出电容	$V_{DS} = 400\text{V}$		200		pF
Q_{RR}	反向恢复电荷			0		nC
过流和短路保护						
$I_{T(OC)}$	过流保护阈值		26	29	32	A
$V_{T(Idsat)}$	饱和电流检测 - 阈值电压		8.7	9	9.6	V
过热保护						
T_{T+}	温度故障 - 正向阈值温度			190		$^{\circ}\text{C}$
T_{T-}	温度故障 - 负向阈值温度			175		$^{\circ}\text{C}$
$T_{T(hyst)}$	温度故障 - 阈值温度迟滞			20		$^{\circ}\text{C}$
IN						
$V_{IN,IT+}$	正向输入阈值电压		1.7	2	2.45	V
$V_{IN,IT-}$	负向输入阈值电压		0.7	1	1.3	V
$V_{IN,IT(hyst)}$	输入阈值电压迟滞			1		V
R_{PDN}	下拉输入电阻		115	150	185	$\text{k}\Omega$
FLT/RDRV						
V_{OL}	低电平输出电压	输出灌电流 8mA		0.2	0.4	V
V_{OH}	高电平输出电压	输出源 8mA	4.6	4.8		V
VDD						
$I_{VDD(ON)}$	FET 导通时的静态电流	$I_N=1$		1.9	11.5	mA
$I_{VDD(OFF)}$	FET 关断时的静态电流	$I_N=0$		0.7	1.1	mA
$I_{VDD(op)}$	140kHz 下的工作电流	$f_{sw} = 140\text{kHz}$, $V_{bus} = 400\text{V}$, 硬开关, 50% 占空比。		3.5	6.5	mA
$V_{VDD, T+ (UVLO)}$	UVLO - 正向阈值电压		8.1	8.5	8.9	V
$V_{VDD, T- (UVLO)}$	UVLO - 负向阈值电压		7.6	8	8.4	V
$V_{VDD, T (hyst)}$	UVLO - 阈值电压迟滞			0.5		V

6.6 开关特性

除非另有说明：电压、电阻、电容和电感以 GND/SRC 为基准； $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ ； $V_{DD} = 12\text{V}$ ； $\overline{\text{FLT}}/\text{RDRV}$ 电阻 R1 和 R2 为开路

参数		测试条件	最小值	典型值	最大值	单位
开关时间						
$t_{d(\text{on})}$	导通延迟时间	从 $V_{IN} > V_{IN,IT+}$ 到 $V_{DS} < 320\text{V}$, $V_{BUS} = 400\text{V}$, I_{LHB} 电流 = 0A , 100V/ns		30	45	ns
$t_{r(\text{on})}$	导通电流上升时间 + 延迟时间	从 $V_{IN} > V_{IN,IT+}$ 到 $V_{DS} < 320\text{V}$, $V_{BUS} = 400\text{V}$, I_{LHB} 电流 = 10A , 100V/ns		35	60	ns
$t_{vf(\text{on})}$	导通电压下降时间	从 $V_{DS} < 320\text{V}$ 到 $V_{DS} < 80\text{V}$, $V_{BUS} = 400\text{V}$, I_{LHB} 电流 = 10A , 100V/ns	1	2.3	3	ns
$t_{vf_peak(\text{on})}$	导通压摆率	dv/dt , 当 $V_{DS} = 200\text{V}$ 、 $V_{BUS} = 400\text{V}$ 、 I_{LHB} 电流 = 10A 时, 100V/ns	90	115	150	V/ns
	脉宽失真度	100V/ns 下的压摆率设置			20	ns
	改变输出 L-H-L	压摆率设置 @ 100V/ns 以使 SW 超过 200V 的最小输入脉冲			50	ns
$t_{d(\text{off})}$	全速下的关断延迟时间	从 $V_{IN} < 2.5\text{V}$ 到 $V_{DS} \geq 10\text{V}$ 。 $V_{BUS} = 400\text{V}$, $I_L = 34\text{A}$, 最快或完全关断速度。	12	17	35	ns
$t_{vr(\text{off})}$	全速下的关断电压上升时间	从 $V_{DS} \geq 20\text{V}$ 到 $V_{DS} \geq 380\text{V}$ 。 $V_{BUS} = 400\text{V}$, $I_L = 34\text{A}$, 最快或完全关断速度。	3	4.5	7	ns
启动时间						
T_{DRV_START}	驱动器启动延迟	从驱动器电源超过 UVLO 到 IN 为高电平时开关导通。		35	65	μs
故障时间						
$t_{\text{off}(\text{OC})}$	过流故障 FET 关断时间, 过流前 FET 导通	从 $I_D \geq I_{T(\text{OC})}$ 到 $V_{ds} > 10\text{V}$, $di/dt = 100\text{A}/\mu\text{s}$, 采用最快关断速度		370	480	ns
$t_{\text{off}(\text{OC_ON})}$	过流总导通时间, 导通进过流。	从 $V_{ds} \leq 10\text{V}$ 到 $V_{ds} \geq 10\text{V}$, 在 110% OC 电平下导通, 采用 100V/ns 导通压摆率和最快关断速度。		420	580	ns
$t_{\text{off_cur}(\text{SC_ON})}$	通过漏极电流测得的 SC 导通时间	从 $LS I_{ds} > 50\text{A}$ 到 $I_{ds} < 50\text{A}$, 半桥配置中的导通压摆率为 100V/ns 。	100		500	ns
$t_{\text{off_cur}(\text{SC})}$	包含源电流测量的 SC 响应时间	从 $LS V_{ds} > 9\text{V}$ 到 $LS I_{ds} < 50\text{A}$, 半桥配置中的导通压摆率为 100V/ns 。			300	ns
	锁存故障复位时间	将两个栅极驱动器输入保持为低电平以清除锁存故障所需的时间	300	380	450	μs
ZCD/ZVD						
	ZCD 延迟	电流过零 (从低到高) 到 ZCD 输出脉冲 $di/dt = 0.03\text{A/ns}$	12	25	40	ns
	ZVD 延迟	IN 上升至 ZVD 输出脉冲。 100V/ns 导通速度。	13	20	50	ns
t_{WD_ZVD}	ZVD 脉冲宽度	$V_{bus} = 10\text{V}$, $I_L = 5\text{A}$, 测量 ZVD 脉冲宽度	90	120	170	ns

6.6 开关特性 (续)

除非另有说明：电压、电阻、电容和电感以 GND/SRC 为基准； $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ ； $V_{DD} = 12\text{V}$ ； $\overline{\text{FLT}}/\text{RDRV}$ 电阻 R1 和 R2 为开路

参数		测试条件	最小值	典型值	最大值	单位
	ZVD 感测时间	FET 导通感测时间 (100V/ns)。 IL=2A		11	25	ns

7 参数测量信息

7.1 开关参数

图 7-1 展示了用于测量大多数开关参数的电路。该电路的顶部器件用于电感器电流再循环，并且仅在第三象限模式下运行。底部器件是有源器件，导通后可将电感器电流增加到所需测试电流。然后，底部器件将关断和导通，以在特定电感器电流下生成开关波形。测量漏极电流（在源极）和漏源电压。图 7-2 展示了具体的时序测量结果。TI 建议使用半桥作为双脉冲测试仪。第三象限过度运行可能会使顶部器件过热。

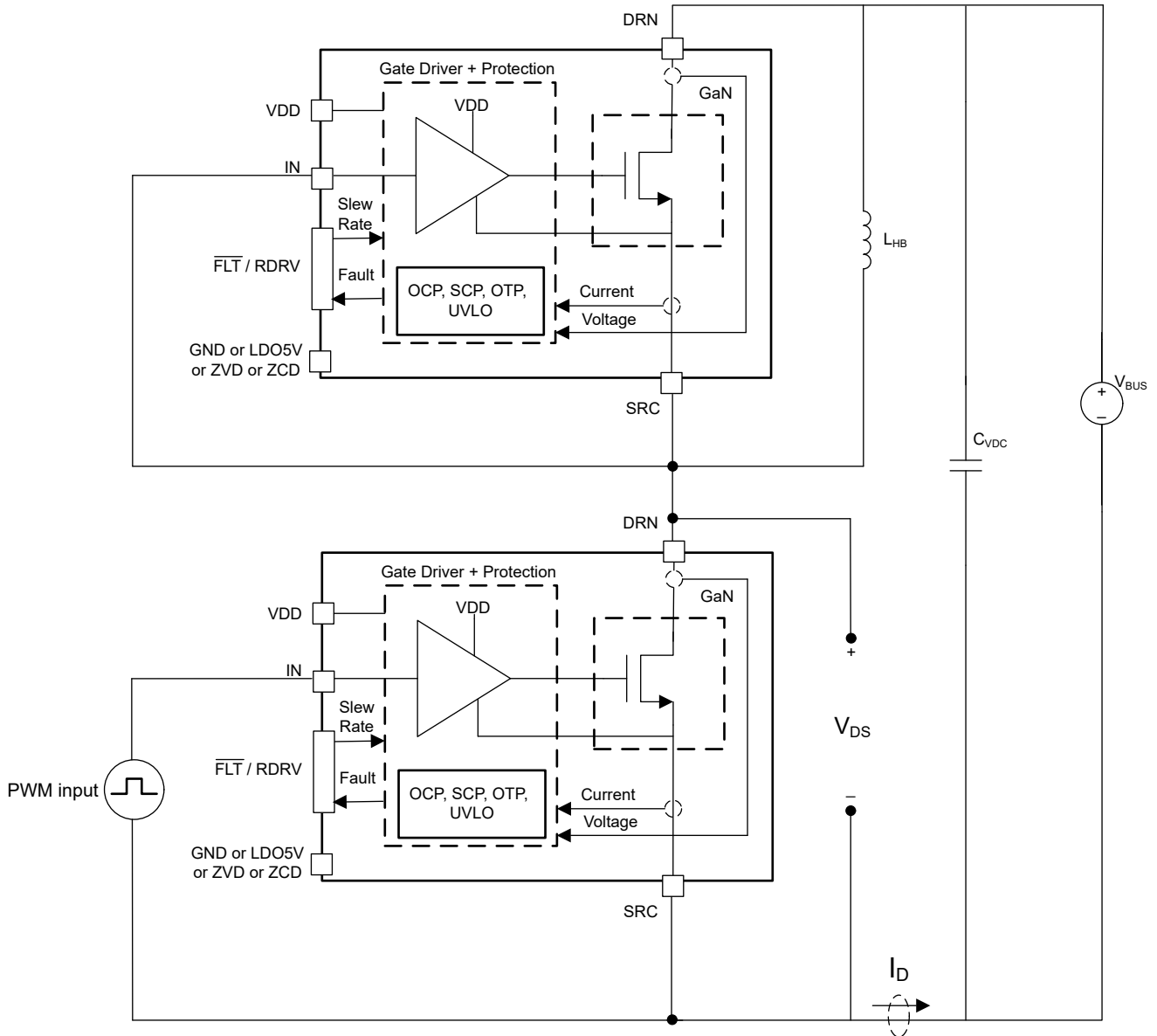


图 7-1. 用于确定开关参数的电路

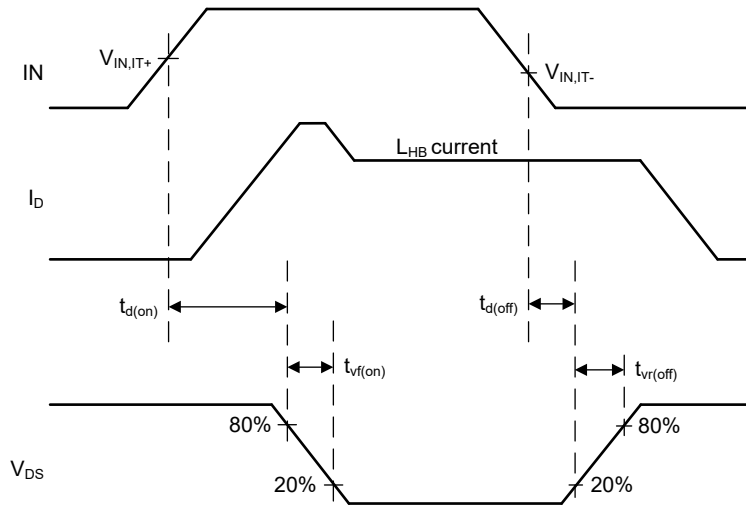


图 7-2. 用于确定传播延迟和压摆率的测量

7.1.1 导通时间

导通转换具有两个时序分量：导通延迟时间和导通电压下降时间。导通延迟时间是指从 IN 变为高电平到漏源电压下降到总线电压 20% 以下的时间。导通电压下降时间是指从漏源电压下降至低于总线电压 20% 到漏源电压下降至低于总线电压 80% 的时间。请注意，导通时序分量是连接到 $\overline{\text{FLT}}/\text{RDRV}$ 引脚的导通驱动强度电阻 RDRV_on 的函数。

7.1.2 关断时间

关断转换具有两个时序分量：关断延迟时间和关断电压上升时间。关断延迟时间是指从 IN 变为低电平到漏源电压上升到总线电压 20% 的时间。关断电压上升时间是指漏源电压从总线电压 20% 上升到漏源电压达到总线电压 80% 的时间。请注意，关断时序分量取决于 L_{HB} 负载电流，但 LMG365xR035 也能够限制关断驱动强度。当漏源电流足够高且关断驱动强度受限时，时序分量取决于编程电阻 RDRV_on、RDRV_off 以及连接到 $\overline{\text{FLT}}/\text{RDRV}$ 引脚的电容器 CDRV_off。

7.1.3 漏源导通和关断压摆率

漏源导通和关断压摆率在总线电压中点附近的 V_{DS} 上测量，单位为伏/纳秒。连接到 $\overline{\text{FLT}}/\text{RDRV}$ 引脚的电阻 RDRV_on、RDRV_off 和电容 CDRV_OFF 用于对导通压摆率进行编程，并限制关断压摆率。

7.1.4 零电压检测时间 (仅限 LMG3656R035)

图 7-3 定义了与零电压检测 (ZVD) 块相关的开关时序，并演示了器件的漏源电压、IN 引脚信号和 ZVD 输出信号。当器件实现零电压开关 (ZVS) 时，ZVD 引脚输出宽度为 $T_{\text{WD_ZVD}}$ 的脉冲信号，IN 引脚上升沿和 ZVD 脉冲上升沿之间的延迟时间定义为 $T_{\text{DL_ZVD}}$ 。为了让器件检测到零电压开关，需要一段特定的第三象限导通时间，由 $T_{\text{3rd_ZVD}}$ 指示此时序。有关 ZVD 时序参数的更多信息，请参阅节 8.3.8 一节。

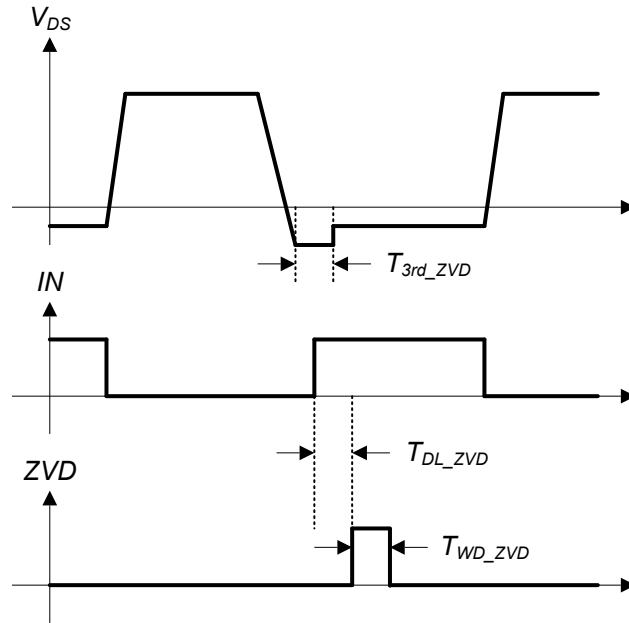


图 7-3. ZVD 时序规格

8 详细说明

8.1 概述

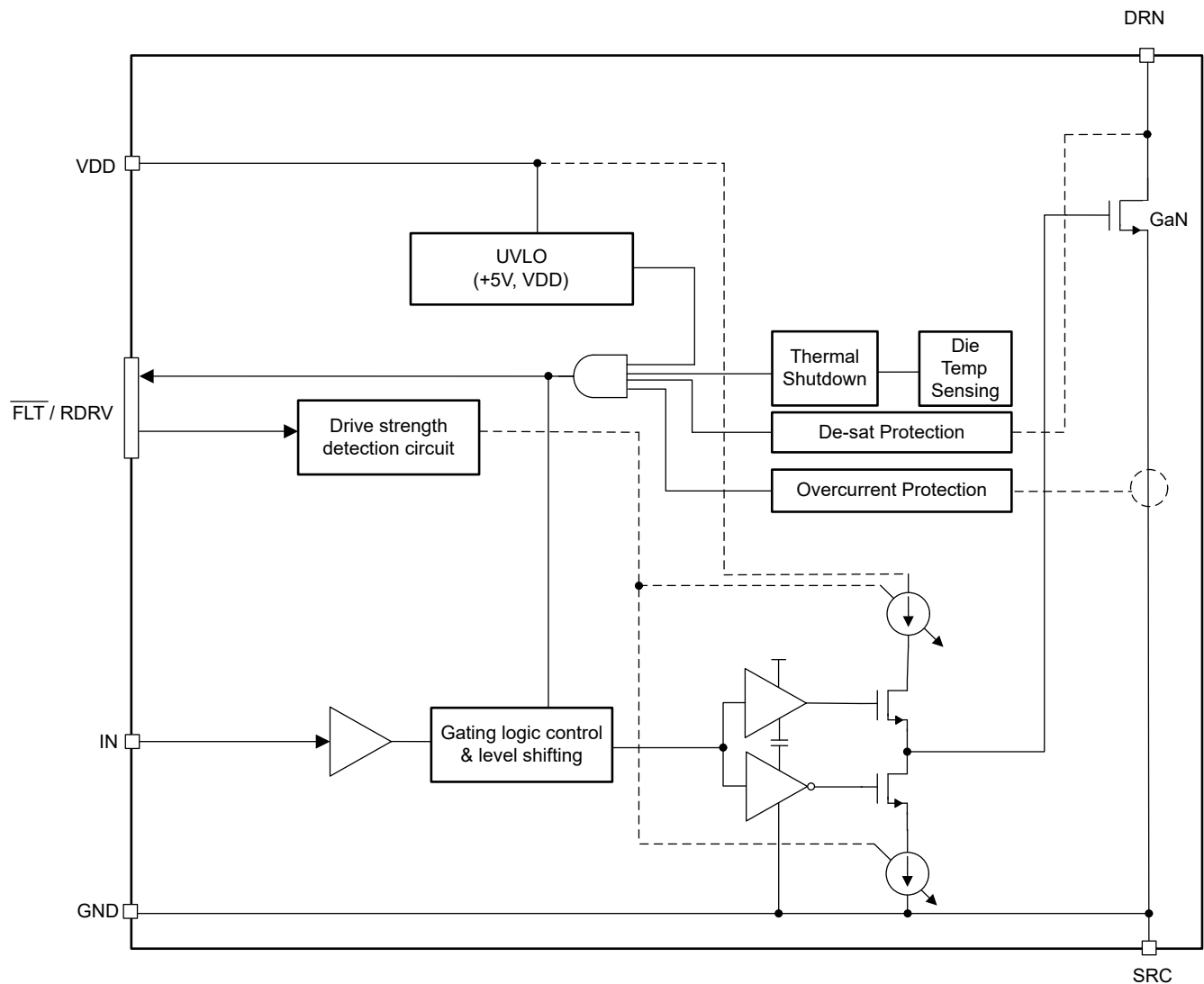
LMG365xR035 是一款具有集成栅极驱动器的高性能功率 GaN 器件。GaN 器件提供零反向恢复和超低输出电容，可在基于桥的拓扑中获得高效率。

集成驱动器可确保器件在漏极压摆率 时保持关断状态。集成驱动器可保护 GaN 器件免受过流、短路、过热、VDD 欠压和高阻抗 RDRV 引脚的影响。

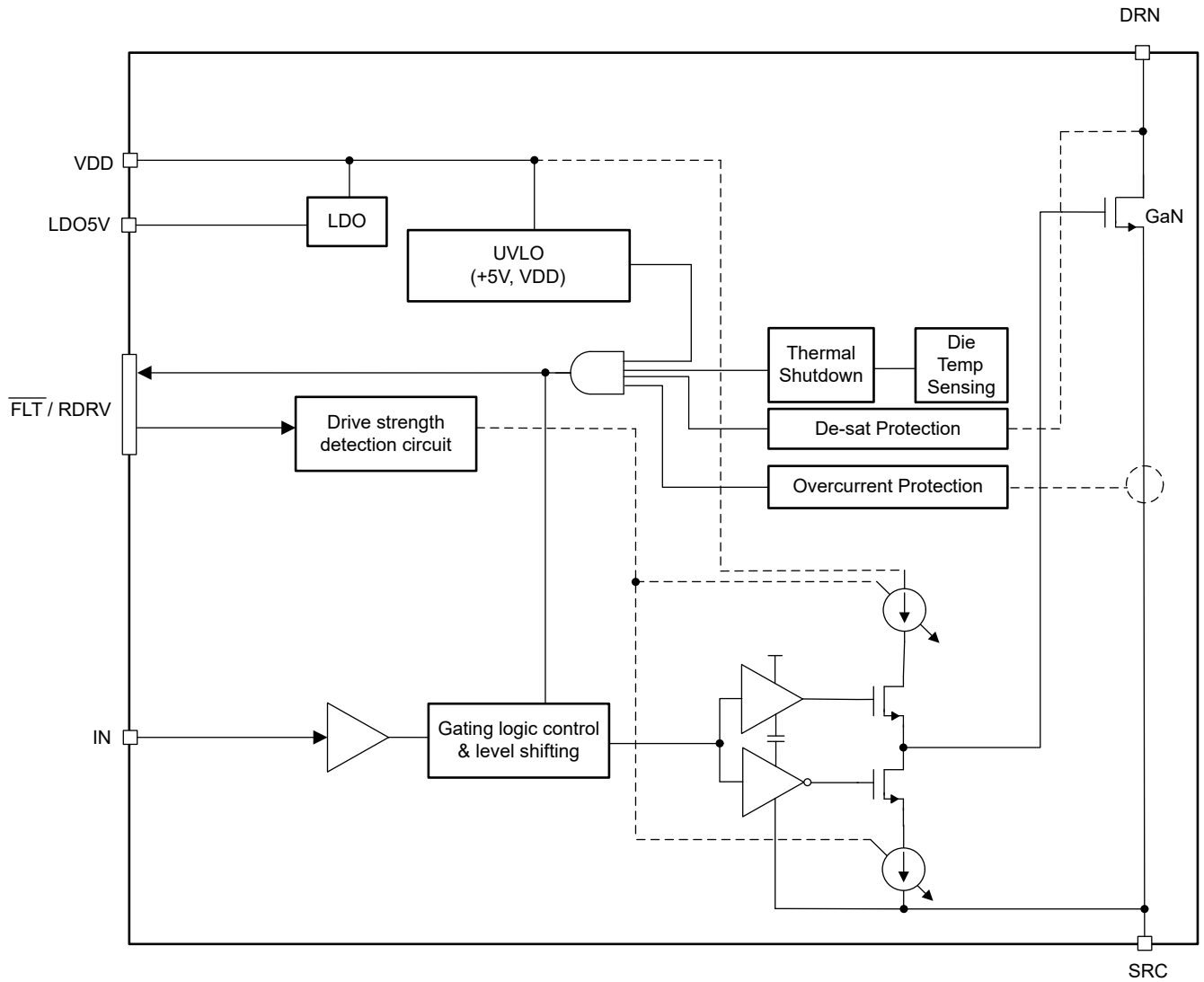
与 Si MOSFET 不同，GaN 器件在源极到漏极之间没有 p-n 结，因此没有反向恢复电荷。然而，GaN 器件仍然会像 p-n 结二极管一样从源极导通到漏极，但压降更高，导通损耗更高。因此，必须在 LMG365xR035 GaN FET 关断时尽可能缩短源漏导通时间。

8.2 功能方框图

8.2.1 LMG3650R035 功能方框图



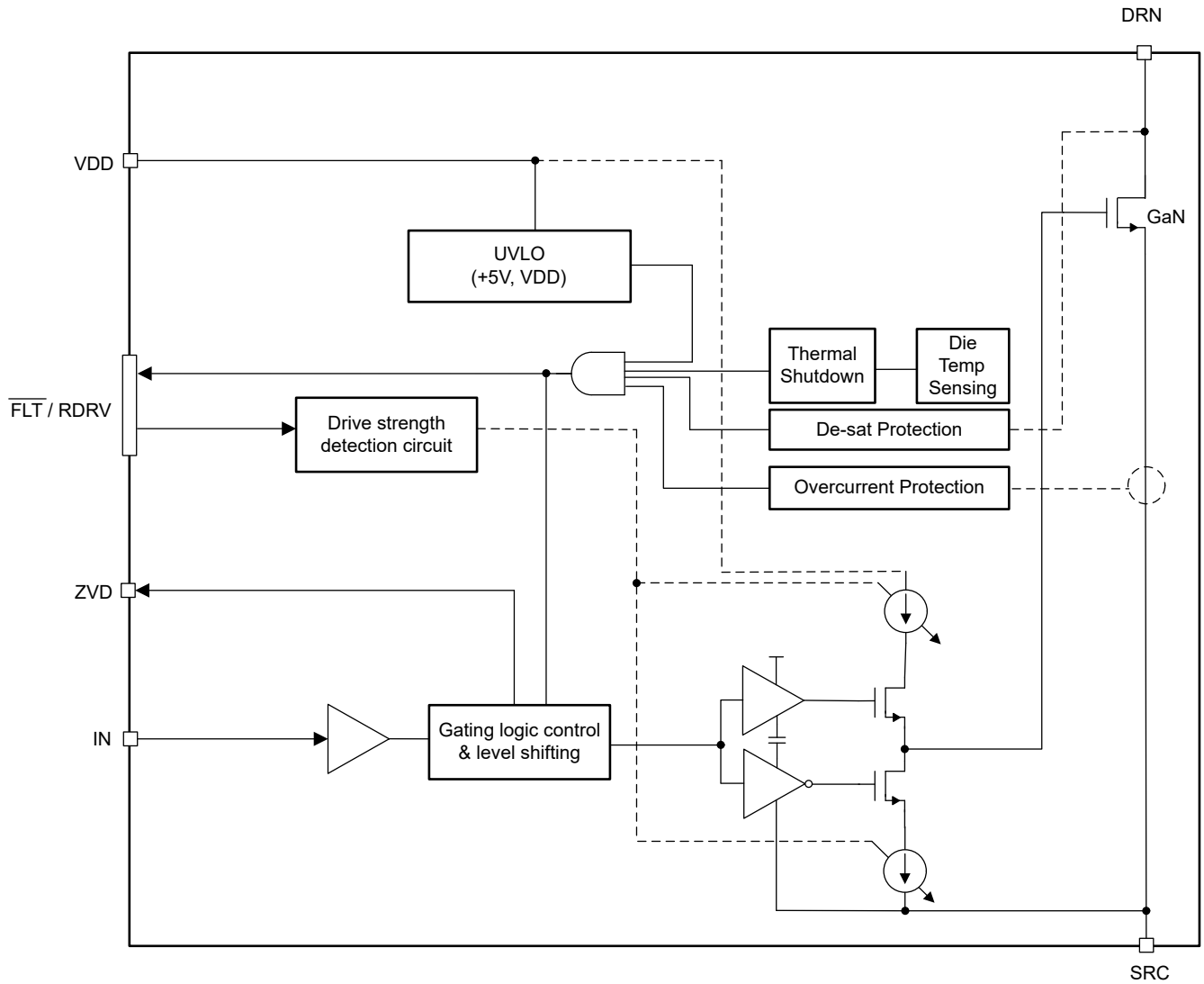
8.2.2 LMG3651R035 功能方框图



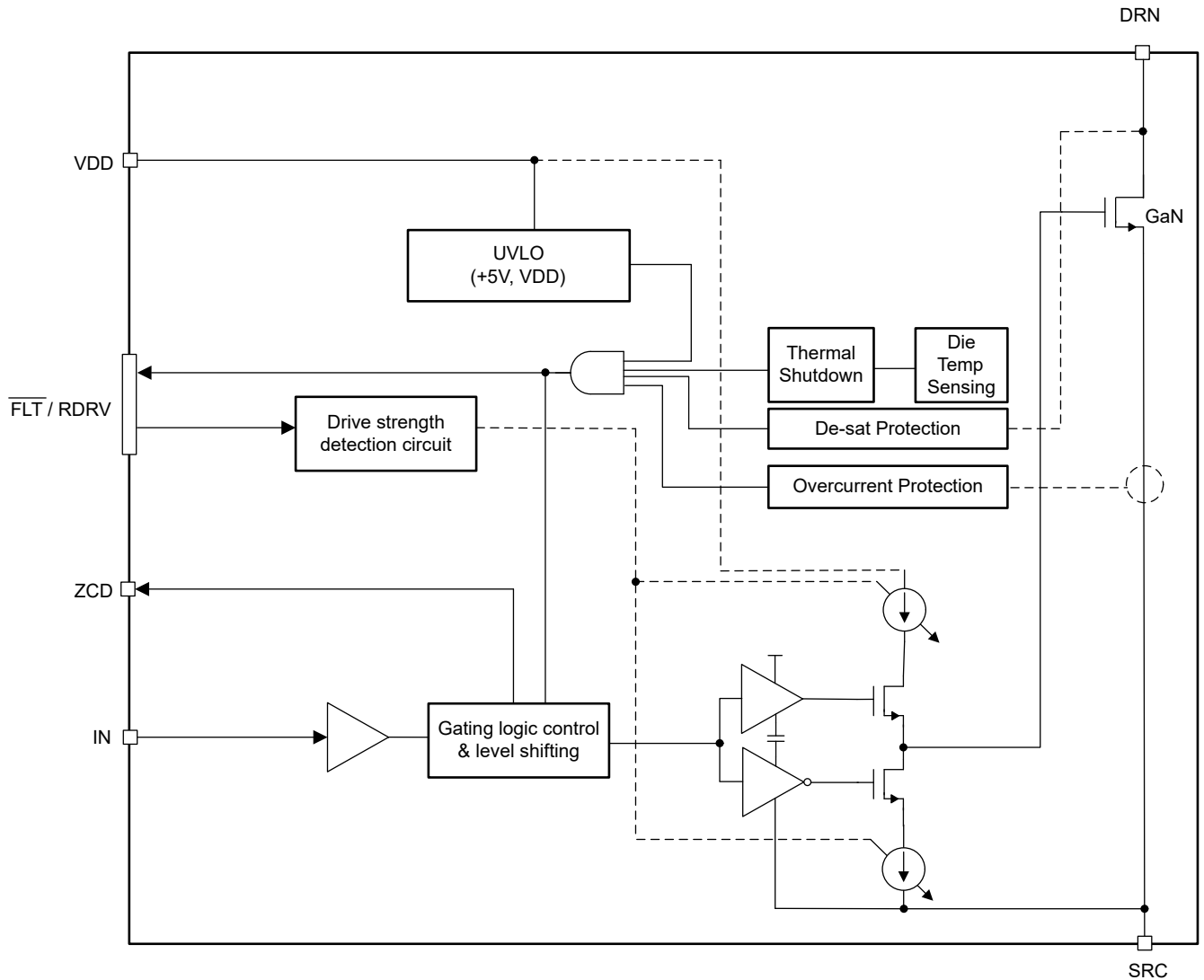
ADVANCE INFORMATION

8.2.3 LMG3656R035 功能方框图

ADVANCE INFORMATION



8.2.4 LMG3657R035 功能方框图



ADVANCE INFORMATION

8.3 特性说明

8.3.1 驱动强度调整

LMG365xR035 允许调节器件的驱动强度，并获得所需的压摆率，从而在优化开关损耗和最小化 EMI 时获得灵活性。通过连接电阻器和电容器，可以独立控制导通压摆率的典型值和关断压摆率的最大值，如 图 8-1 所示。在上电时被检测一次 $\overline{\text{FLT}}/\text{RDRV}$ 引脚上的电阻和电容。为此，该器件会在外部 R1-R2-C2 网络上强制执行 0V 至 1.2V 的阶跃函数，并测量生成的电流波形。直流测量值决定导通压摆率设置，该设置由电阻 R1 编程。取决于 R1-R2-C2 的交流测量值决定了关断压摆率设置，此设置取决于为输出电容充电的漏源电流的大小，但可限制为由电阻 R2 和电容 C2 (与 R1 并联) 编程的最大值。表 8-1 展示了每种压摆率设置下的建议典型电阻和电容编程值。

在上电时确定一次转换率设置，然后 $\overline{\text{FLT}}/\text{RDRV}$ 引脚用作推挽式 5V 数字输出以进行故障监控，如 故障报告 中所述。如果不使用 R2 和 C2，器件将全速关断，关断压摆率严格取决于 C_{oss} 和负载电流。如果不使用 R1，器件默认为 100V/ns 压摆率设置。使用较慢的导通设置会导致更高的 E_{on} 损耗，而较慢的关断设置会导致更高的 E_{off} 损耗。

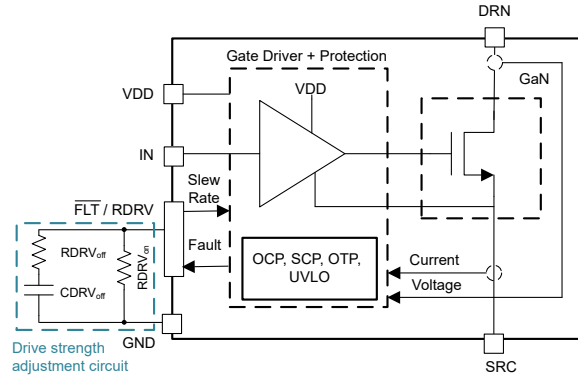


图 8-1. 驱动强度调节电路

表 8-1. 用于调节压摆率的建议典型编程电阻 (kΩ) 和电容 (pF)

典型导通压摆率 (V/ns)		最大关断压摆率 (V/ns)							
		10		20		40		无限制 ⁽¹⁾	
	R1	R2	C2	R2	C2	R2	C2	R2	C2
10	29.4	2	680	4.87	270	9.09	150	高阻抗 ⁽²⁾	
20	35.7	2	680	4.75	270	8.66	150		
40	43.2	2	680	4.64	270	8.25	150		
60	53.6	2	680	4.64	270	8.06	150		
80	69.8	2	680	4.53	270	7.68	150		
100	> 400 ⁽²⁾	2	680	4.22	270	6.98	180		

(1) 完全取决于为输出电容充电的漏源电流的大小

(2) 可接受编程电阻的开路连接

例如，设置 R1 = 53.6kΩ、R2 = 4.64kΩ 和 C2 = 270pF 会导致 60V/ns 的导通压摆率，关断压摆率限制为最大 20V/ns。

8.3.2 VDD 电源

VDD 引脚是内部电路的输入电源。VDD 引脚支持 9V 至 26V 的宽电压范围。

8.3.3 过流和短路保护

驱动器可检测的电流故障有两种类型：过流故障和短路故障。

过流保护 (OCP) 电路可监测漏极电流，并将该电流信号与内部设定的限值 $I_{T(OC)}$ 进行比较。检测到过流时，LMG365xR035 会执行逐周期保护，如图 8-2 所示。在此模式下，当漏极电流超过 $I_{T(OC)}$ 加上延迟 $t_{off(OC)}$ 时，GaN 器件关断，但过流信号在 IN 引脚信号变为低电平后清除。在下一个周期中，GaN 器件可以正常导通。如果稳态运行电流低于 OCP 电平，但瞬态响应仍可以达到电流限制，而电路运行无法暂停，则可以使用逐周期功能。逐周期功能还可防止 GaN 器件因过流引起的导通损耗而过热。

短路保护基于去饱和检测，它监测漏源电压 V_{DS} ，并将电压与内部设置的限值 $V_{T(Idsat)}$ 进行比较。如果 OC 发生在去饱和之前， V_{DS} 低于阈值，则会触发 OC，否则触发去饱和，如图 8-3 所示。饱和可能会妨碍 GaN 在这种情况下继续运行。因此，如果检测到去饱和，GaN 器件将通过有意变慢的驱动器关断，以便在关断事件期间可以实现较低的过冲电压和响铃。即使在硬短路情况下，这种快速响应电路也有助于保护 GaN 器件。在这种保护中，GaN 器件会关闭并保持关断状态，直到通过将 IN 引脚保持在低电平一段时间（在规格中定义）或切断 VDD 的电源复位了故障。

出于安全考虑，OCP 允许逐周期运行，而去饱和会将器件锁存至复位。两种故障都会在 $\overline{FLT/RDRV}$ 引脚上报告。

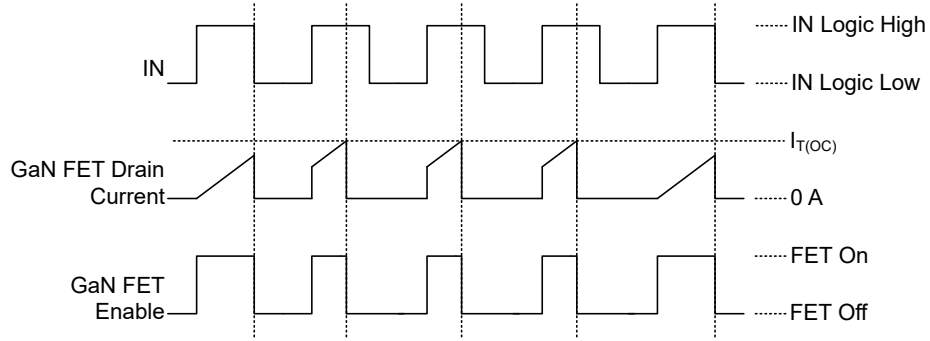


图 8-2. 逐周期过流保护操作

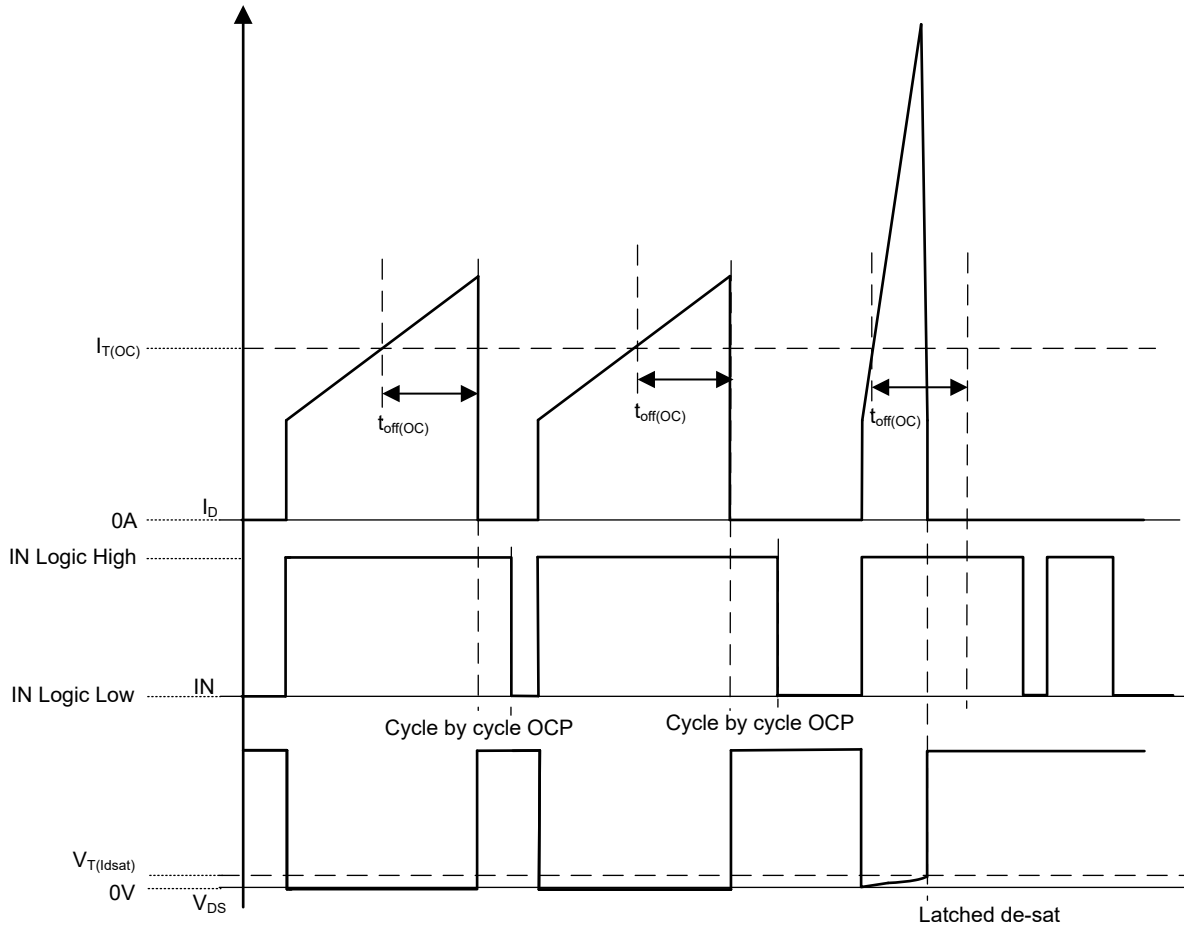


图 8-3. 过流检测与去饱和检测

8.3.4 过热保护

如果 LMG365xR035 温度高于过热保护阈值，过热保护会关断 GaN 功率 FET。过热保护迟滞可避免不稳定的热循环。置位过热保护后， $\overline{FLT}/RDRV$ 引脚上会报告过热故障。在器件温度降至负向跳闸点以下之后， $\overline{FLT}/RDRV$ 会取消置位，器件自动恢复正常运行。

8.3.5 UVLO 保护

LMG365xR035 支持很大范围的 V_{DD} 电压。但是，当 V_{DD} 电压低于 V_{DD} UVLO 阈值时，GaN 器件会停止开关并保持关断。 V_{DD} UVLO 电压迟滞可防止 UVLO 电压跳闸点附近出现开关抖动。如果 $\overline{FLT}/RDRV$ 引脚被拉低，指示 UVLO。

8.3.6 故障报告

所有故障都在 $\overline{FLT}/RDRV$ 引脚上报告，该引脚同时用作输入和输出引脚。

$\overline{FLT}/RDRV$ 仅在上电时配置为输入，以调整驱动强度，如 [驱动强度调整](#) 中所述。

然后， $\overline{FLT}/RDRV$ 用作低电平有效数字输出，指示此后的故障状态。该引脚是一个推挽式 5V 数字输出，在所有故障清除后会变为高电平，这意味着当该引脚被强制为高电平时，会有额外的静态电流通过 R1。

根据连接到故障引脚的外部数字接收器的输入阈值电平，上电时在该引脚上强制施加的 1.2V 电压可内插为高电平或低电平。因此，建议接收器具有更高的阈值（例如 CMOS 兼容输入的常见阈值），且不使用 TTL 兼容输入。如果输入阈值较低，那么上电时的 1.2V 会被解读为“高电平”，因而表明器件在仍然上电时没有出现故障。

8.3.7 辅助 LDO (仅限 LMG3651R035)

该子件内部有一个 5V 稳压器，用于为外部负载供电，例如用于高侧驱动信号的数字隔离器。子件的数字输出将该电源轨用作其电源。无需电容器即可实现稳定性，但如果不提供外部电容器，瞬态响应会较差。如果应用使用该电源轨为外部电路供电，TI 建议使用至少 0.1 μF 的电容器以改善瞬态响应。可以使用更大的电容器，以获得进一步的瞬态响应改善。此处使用的去耦电容器必须是低 ESR 陶瓷型。由于 5V 电源轨存在斜升时间，高于 0.47 μF 的电容器将会减慢 LMG365xR035 的启动速度。

8.3.8 零电压检测 (ZVD) (仅限 LMG3656R035)

零电压开关 (ZVS) 转换器广泛用于提高电源转换器的效率。然而，在 LLC 和三角电流模式 (TCM) 图腾柱 PFC 等软开关拓扑中，根据负载条件、电感器、磁性参数和控制技术，器件可能会丢失 ZVS，因而影响系统效率。为了确保 ZVS，需要某些设计裕度或额外的电路，这会牺牲转换器性能并增加元件。

为了简化软开关转换器的系统设计，LMG3656R035 子件集成了一个零电压检测 (ZVD) 电路，该电路可提供数字反馈信号，以指示器件在电流开关周期中是否实现 ZVS。电路图如 图 8-4 中所示。当 IN 引脚信号变为高电平时，逻辑电路会检查器件 V_{ds} 是否已达到 0V 以下，以确定器件在此开关周期中是否实现了零电压开关。一旦识别了 ZVS，在 T_{DL_ZVD} 的延迟时间之后，将从 ZVD 引脚发出一个宽度为 T_{WD_ZVD} 的脉冲输出，如 图 7-3 中所示。请注意，为了让器件检测零电压开关，需要特定的第三象限导通时间，而 T_{3rd_ZVD} 是栅极驱动器强度的函数，。

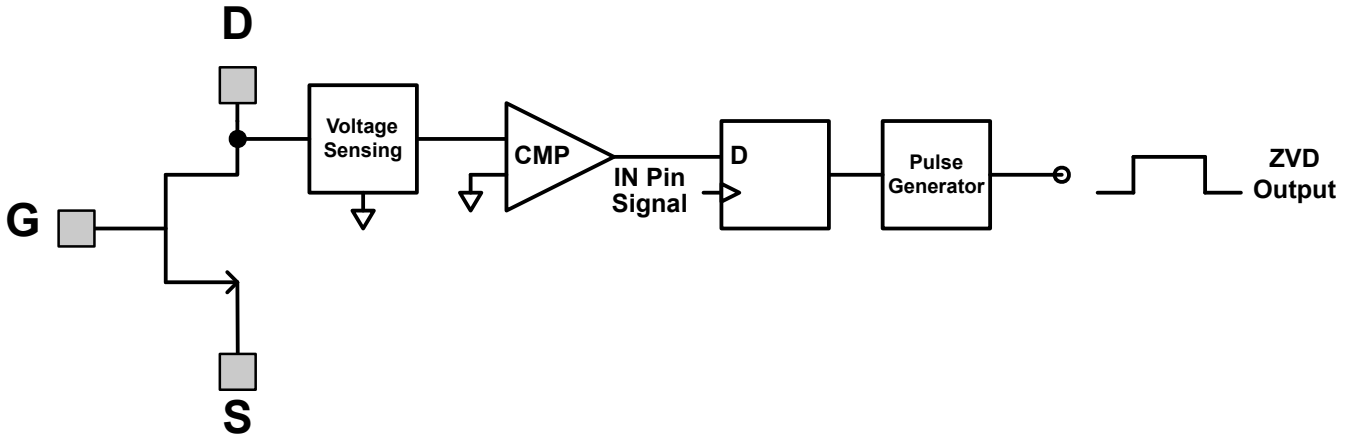


图 8-4. 零电压检测电路的电路图方框图

图 8-5 中显示了与连续导通模式降压转换器相对应的 ZVD 输出时序，目的是演示 ZVD 功能在硬开关和软开关条件下的工作方式。流出开关节点的负载电流定义为正。在 CCM 降压操作中，高侧是硬开关器件，而低侧器件可通过适当的死区时间设置实现零电压开关。在低侧 GaN IN 引脚上升的第一个开关周期中，开关节点电压 V_{DS} 已降至零以下，并且使保持第三象限导通的时间为 T_1 。由于此第三象限导通时间 T_1 大于电气特性表中指定的检测时间 T_{3rd_ZVD} ，因此识别到零电压开关，ZVD 引脚输出脉冲信号以指示这一点，ZVD 脉冲的脉冲宽度也在电气特性表中定义为 T_{WD} 。在第二个开关周期中，器件提前导通，第三象限导通时间 T_2 小于 T_{3rd_ZVD} 。在这种情况下，尽管器件实现了 ZVS，但 ZVD 信号仍保持低电平。在第三个开关周期中，IN 引脚信号更加提前，器件处于部分硬开关状态。因此，在这种情况下，ZVD 输出保持低电平。请注意，高侧 ZVD 输出在此 CCM 降压操作中保持低电平，因为它始终有硬开关功能。

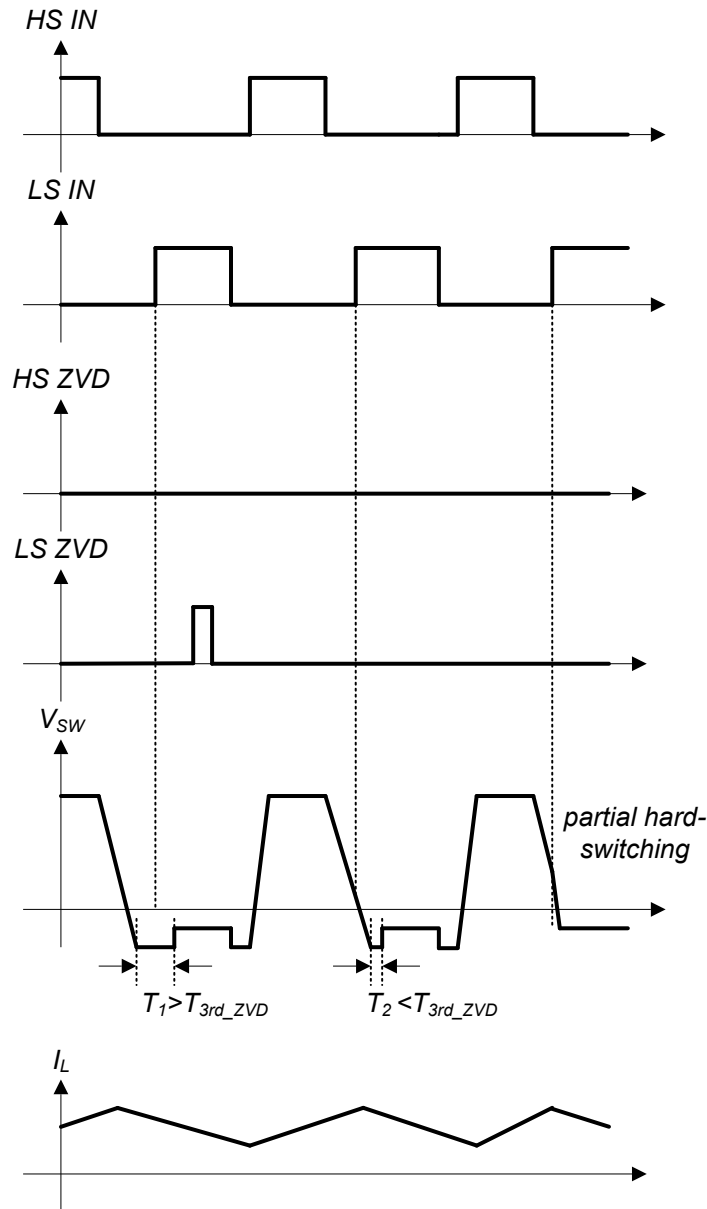


图 8-5. CCM 降压转换器中的 ZVD 功能

ZVD 功能可以简化软开关拓扑中的控制，举例来说，TCM 图腾柱 PFC 中的 ZVD 波形如 图 8-6 所示。在该图中，正周期可视为 $V_{IN} > 0.5 V_{OUT}$ ，流入开关节点的负载电流定义为正。在第一个开关周期中，负载电流会产生足够的负电流，低侧器件会在超过 T_{3rd_DET} 的第三象限导通时间内实现 ZVS。因此，ZVD 输出一个脉冲信号，并提供返回的 ZVS 信息。在接下来的两个开关周期中 ZVD 脉冲缺失，因为第二个周期中的第三象限导通时间变短，并且器件在第三个周期中实际上会丢失 ZVS。

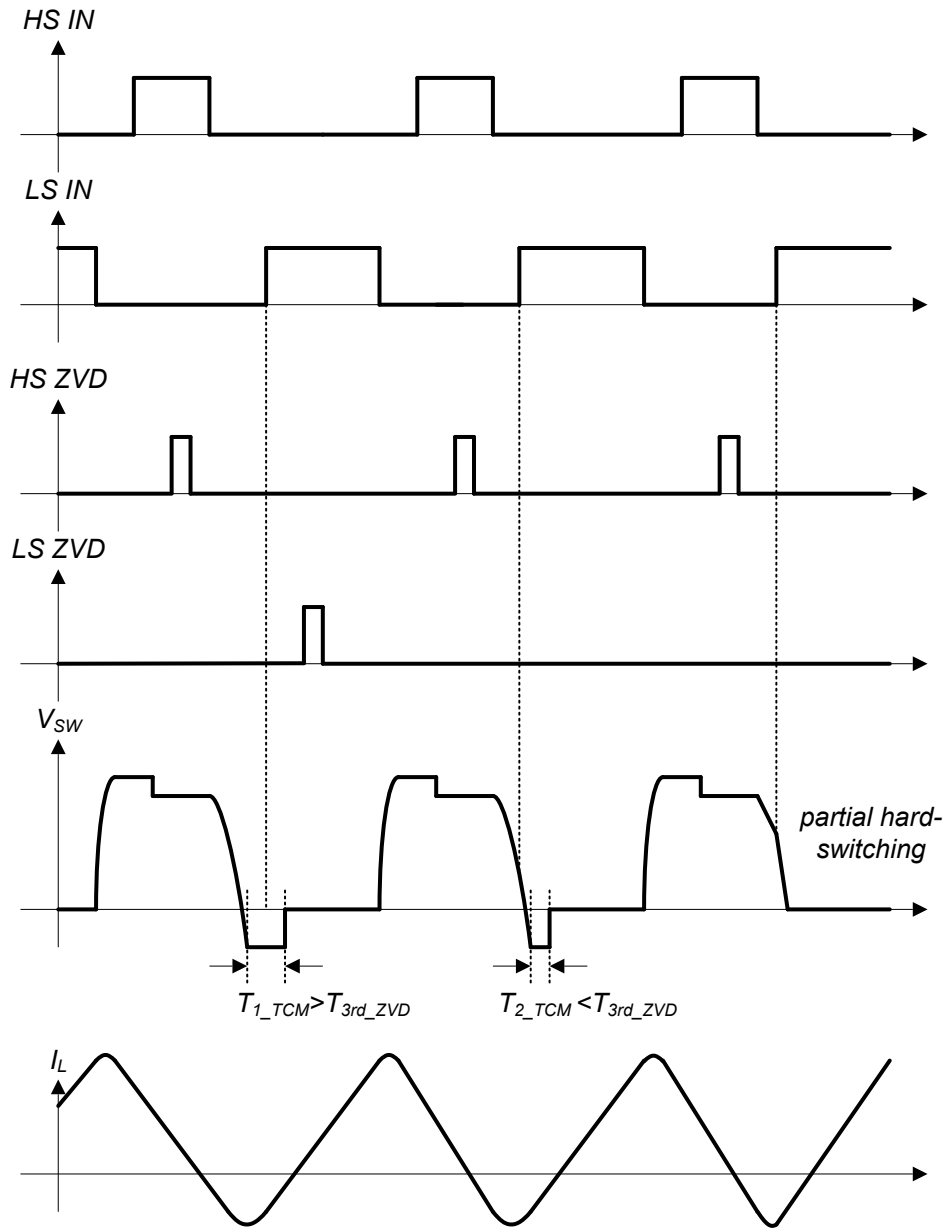


图 8-6. TCM TP PFC 转换器中的 ZVD 功能

8.3.9 零电流检测 (ZCD) (仅限 LMG3657R035)

GaN FET 通常用于高频软开关，需要检测 FET 电流过零来实现系统控制。LMG3657R035 集成了一个零电流检测 (ZCD) 电路，该电路提供数字反馈信号来指示漏源电流何时为正。当 IN 引脚信号变为高电平时，ZCD 电路包括消隐时间 t_{ZCD_Blank} ，以防止在导通瞬态期间出现麻烦的 ZCD 触发。在消隐期之后，ZCD 电路监测漏源电流。如果电流为负，则检测到过零点后，在 ZCD 引脚上设置一个宽度为 t_{WD_ZVD} 的脉冲输出，延迟时间为 t_{zc_Det} 。如果电流为正，则立即在 ZCD 引脚上设置脉冲输出，如下面的时序图所示。

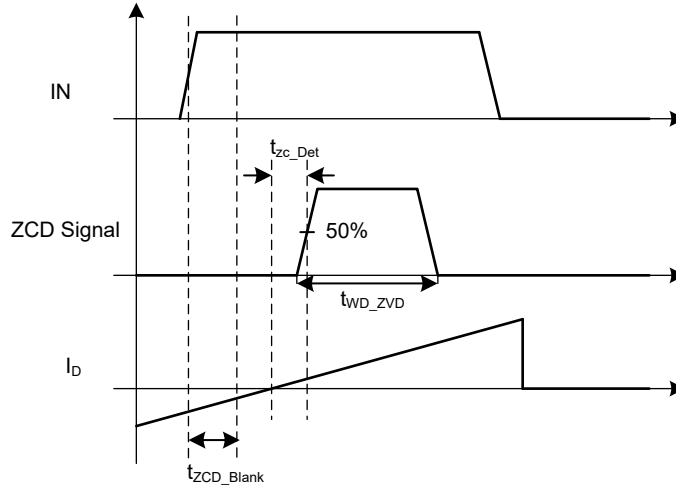


图 8-7. FET 导通为负电流时的 ZCD 时序图

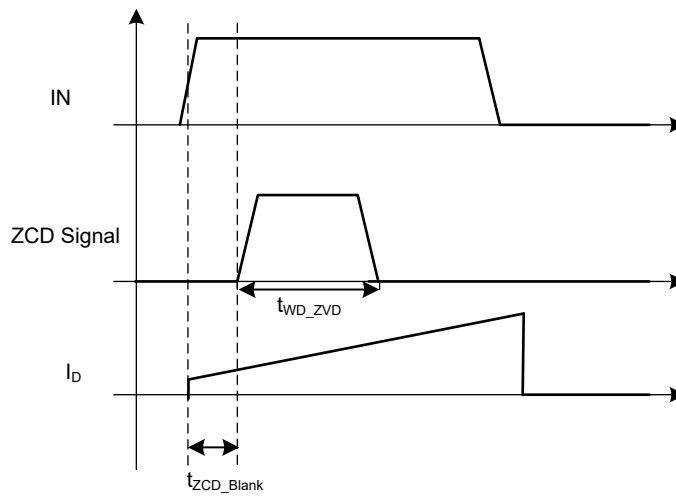


图 8-8. FET 导通为正电流时的 ZCD 时序图

8.4 器件功能模式

该器件有一种运行模式，适用于在建议运行条件下运行的情况。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

LMG365xR035 是一款电源 IC，面向在高达 480V 总线电压下运行的硬开关和软开关应用。GaN 器件提供零反向恢复电荷，可在图腾柱 PFC 等应用中实现高频硬开关。GaN 器件的低 Q_{OSS} 也有利于软开关转换器，例如 LLC 和相移全桥配置。由于半桥配置是上述两种应用和许多其他应用的基础，本节介绍了如何在半桥配置中使用 LMG365xR035。

(1)

9.2 典型应用

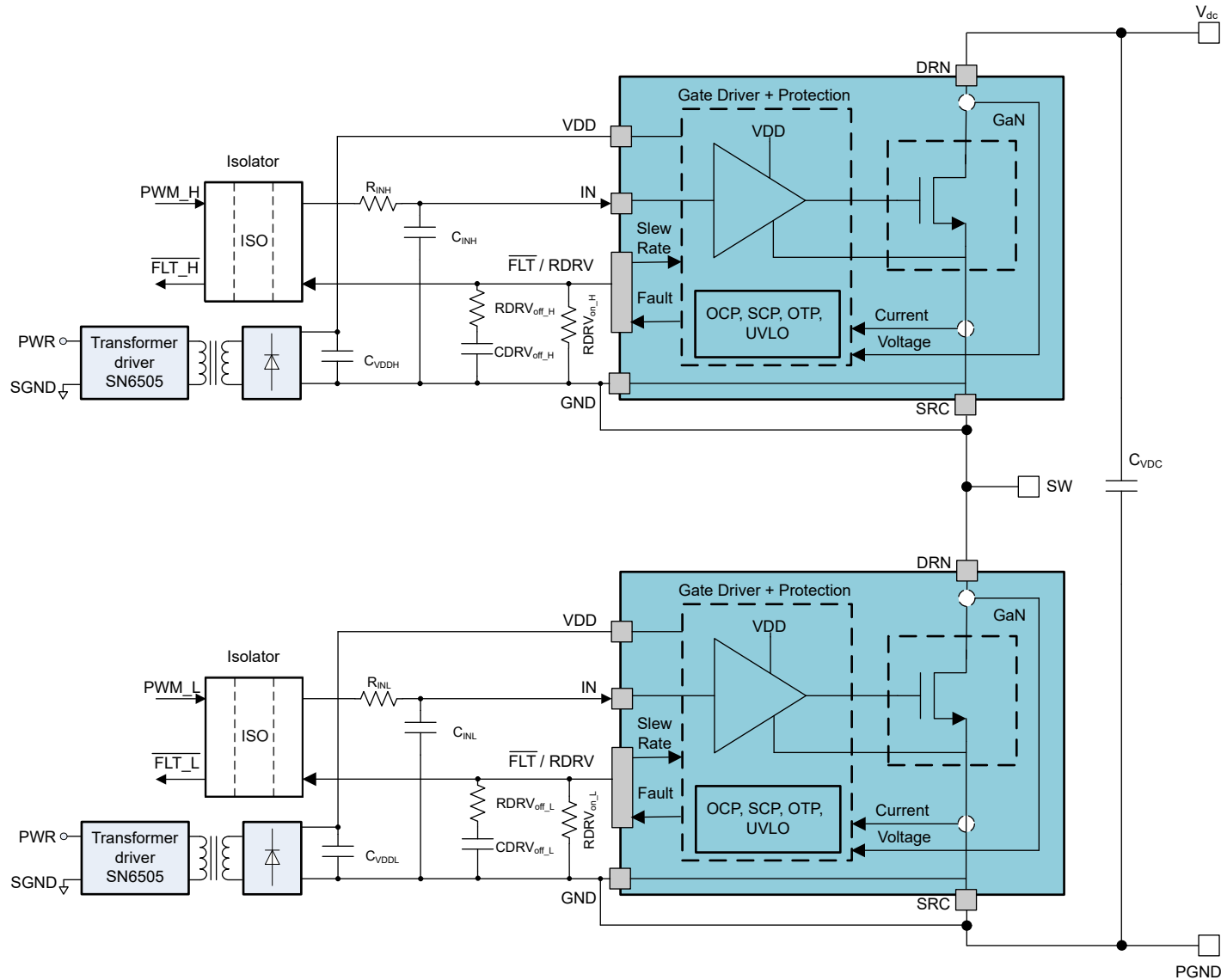


图 9-1. 采用隔离式电源的 LMG3650R035 典型半桥应用

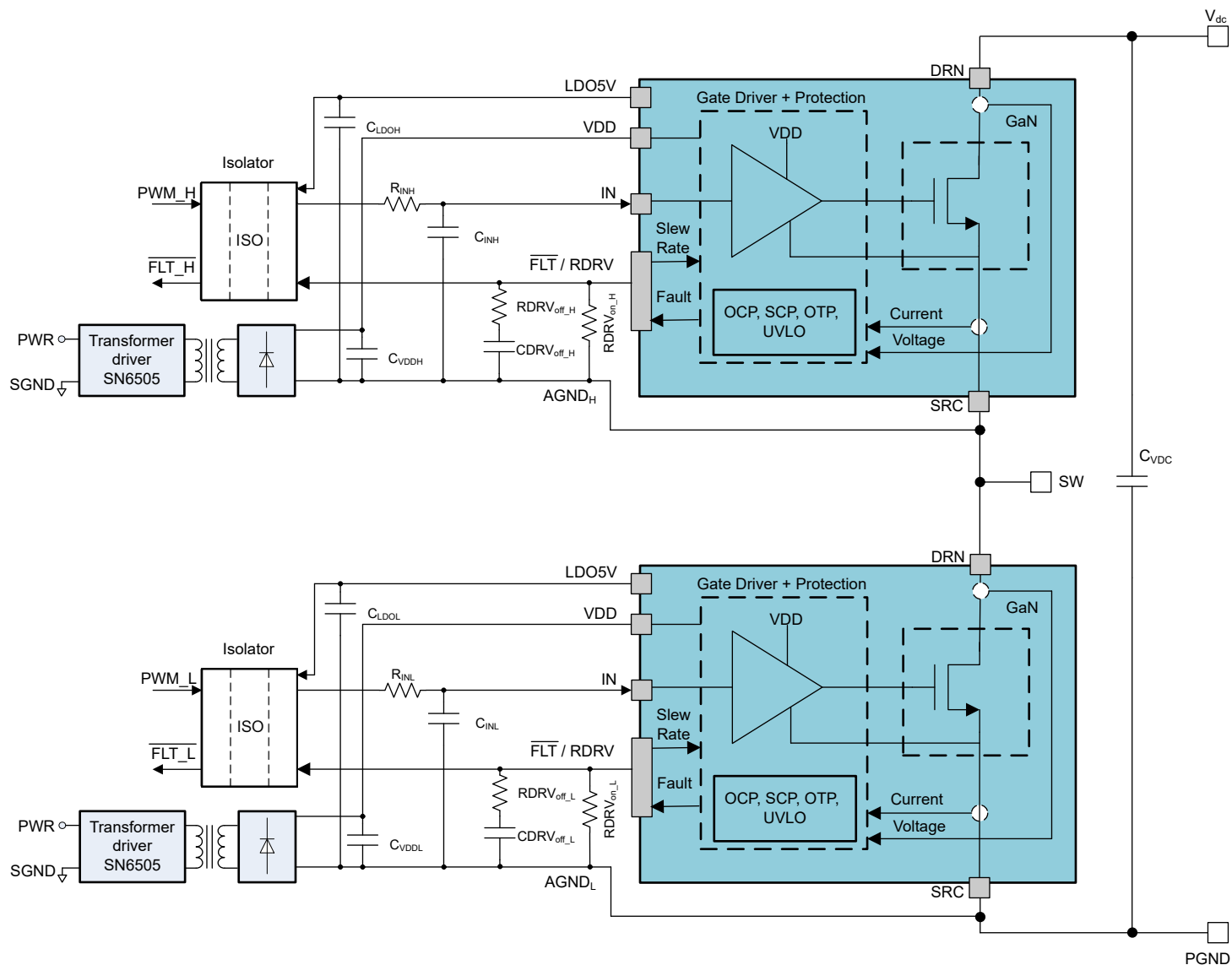


图 9-2. 采用隔离式电源的 LMG3651R035 典型半桥应用

ADVANCE INFORMATION

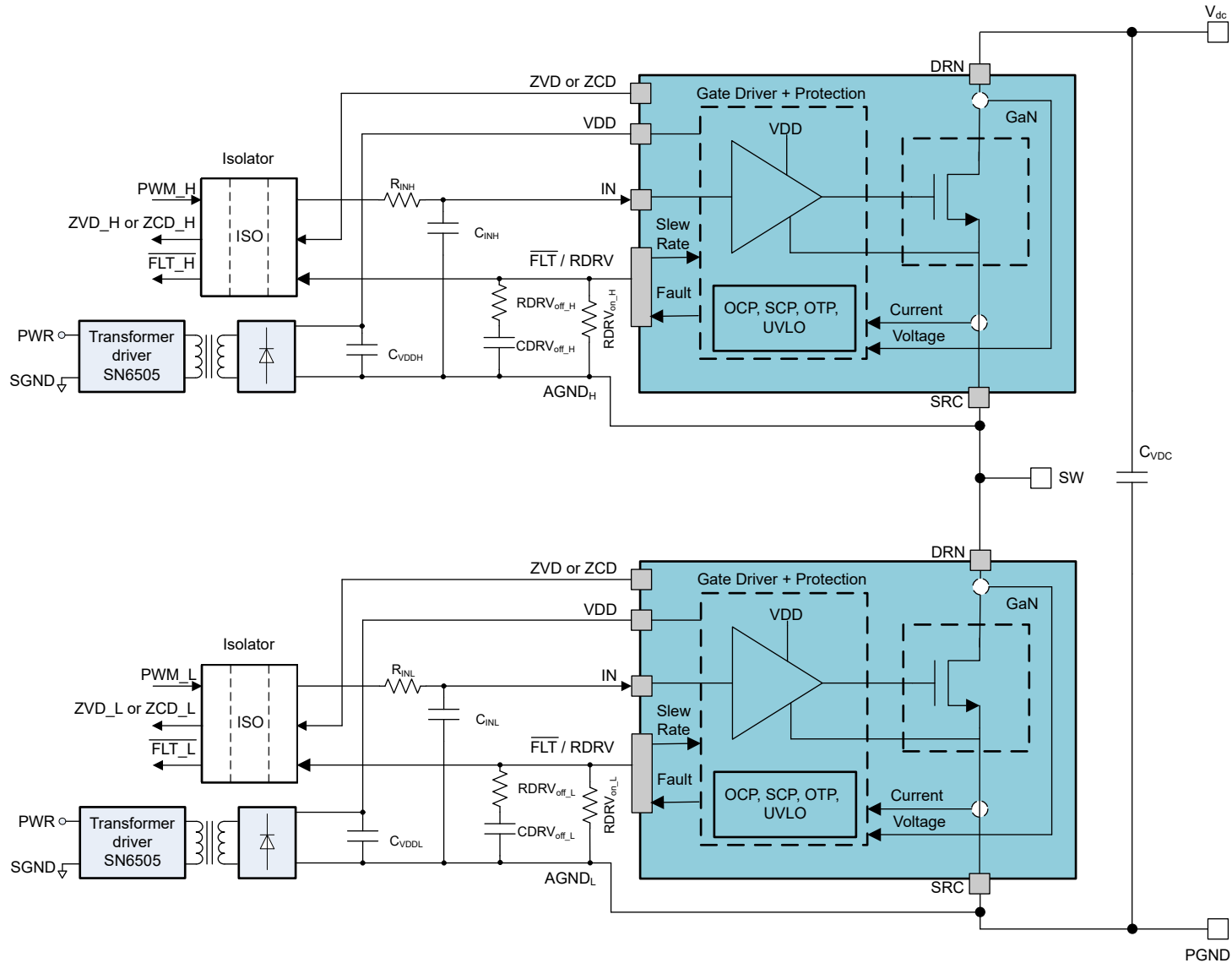


图 9-3. 采用隔离式电源的 LMG3656R035 或 LMG3657R035 典型半桥应用

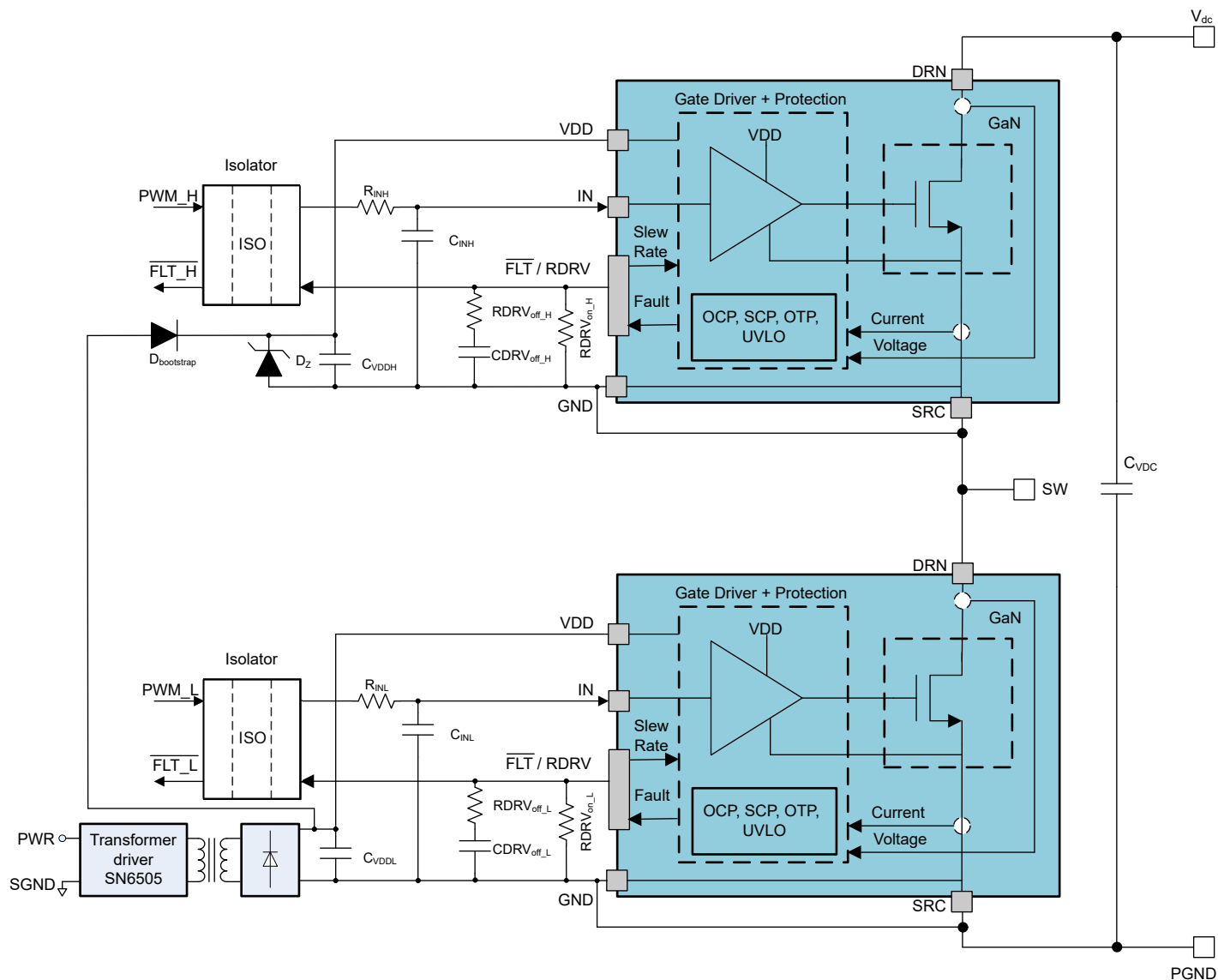


图 9-4. 具有自举功能的 LMG3650R035 典型半桥应用

ADVANCE INFORMATION

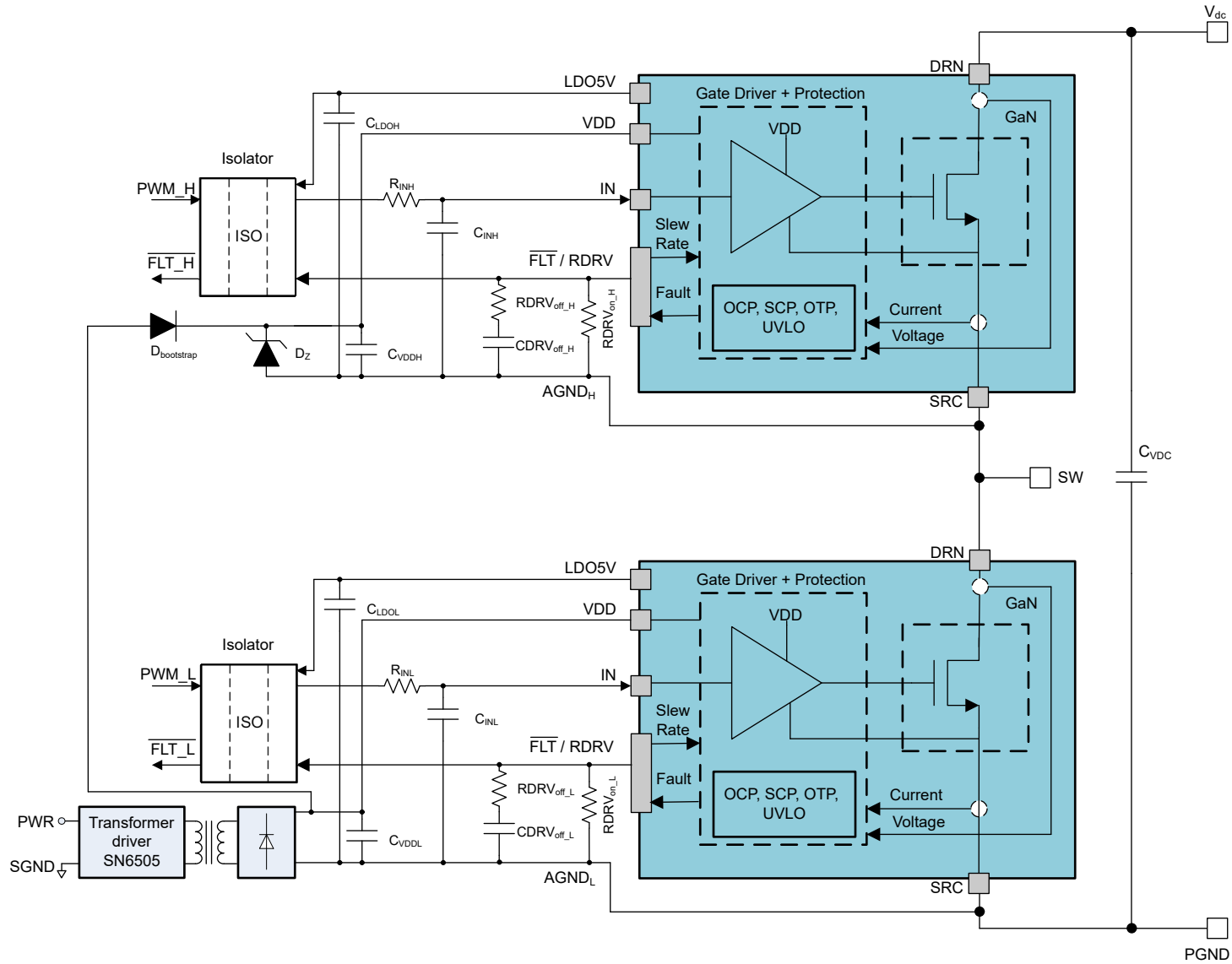


图 9-5. 具有自举功能的 LMG3651R035 典型半桥应用

ADVANCE INFORMATION

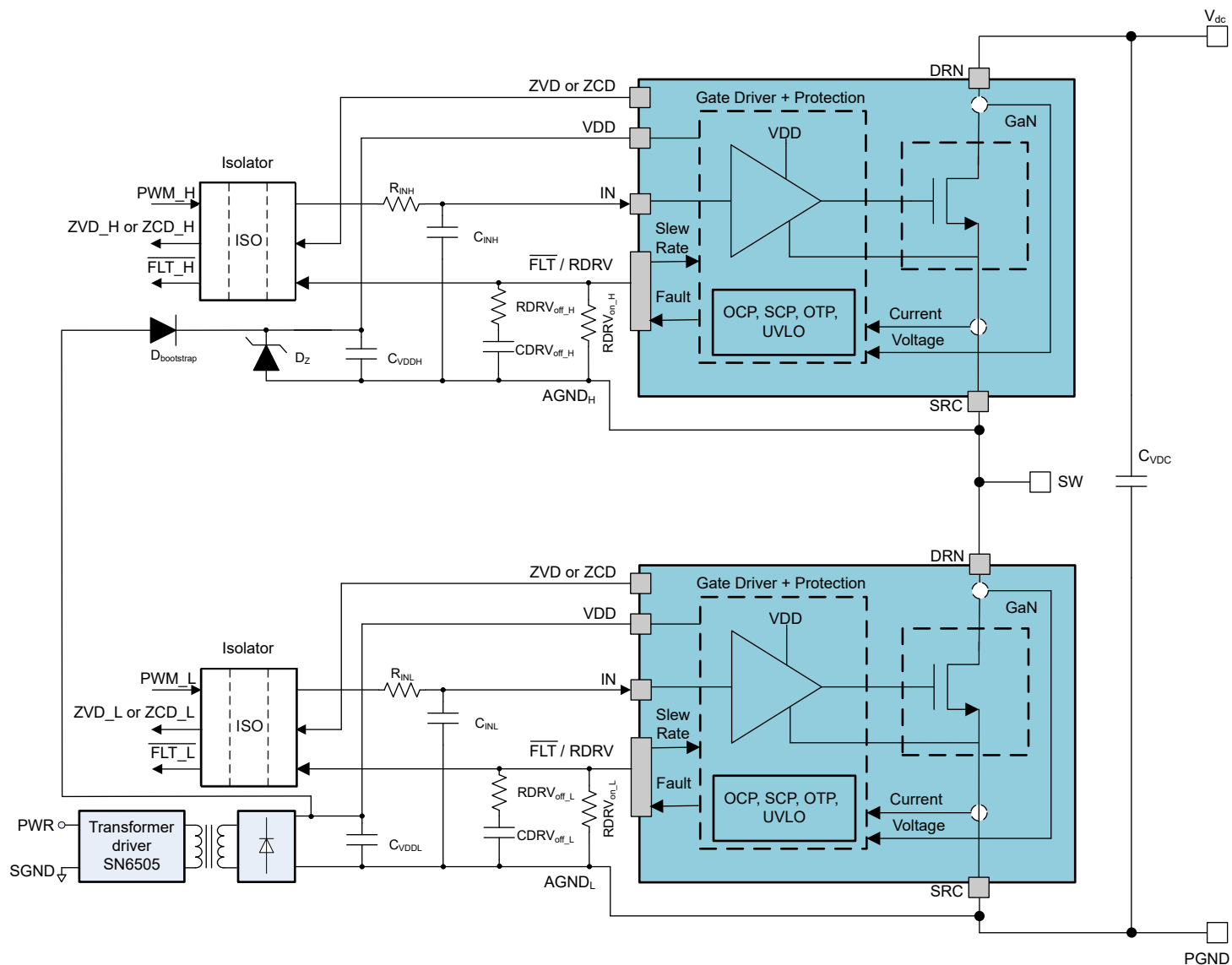


图 9-6. 具有自举功能的 LMG3656R035 或 LMG3657R035 典型半桥应用

ADVANCE INFORMATION

9.2.1 设计要求

此设计示例适用于代表 PFC 应用的硬开关升压转换器。设计参数显示了此设计的系统参数。

表 9-1. 设计参数

参数	值
输入电压	200VDC
输出电压	400VDC
输入 (电感器) 电流	20A
开关频率	100kHz

9.2.2 详细设计过程

在高压电源转换器中，电路设计和 PCB 布局对于高性能电源转换器至关重要。由于设计电源转换器不在本文档的讨论范围内，因此本数据表介绍如何使用 LMG365xR035 构建运行良好的半桥配置。

9.2.2.1 压摆率选择

LMG365xR035 的压摆率可以通过连接驱动强度调节电路在大约 10V/ns 和 100V/ns 之间调节。有关详细信息，请参阅 [驱动强度调整](#)。

压摆率从以下方面影响 GaN 器件的性能：

- 开关损耗
- 电压过冲
- 噪声耦合
- EMI 发射

通常，高压摆率可实现低开关损耗，但高压摆率也会产生较高的电压过冲、噪声耦合和 EMI 发射。遵循此数据表中的设计建议有助于缓解由高压摆率引发的挑战。LMG365xR035 让电路设计人员能够灵活地选择合适的压摆率，从而使其应用实现卓越的性能。

9.2.2.2 信号电平转换

在半桥中，必须使用高压电平转换器或数字隔离器为高侧器件和控制电路之间的信号路径提供隔离。对于低侧器件，可以选择性地使用隔离器。但是，使用隔离器可均衡高侧和低侧信号路径之间的传播延迟，并能够为 GaN 器件和控制器使用不同的接地端。如果在低侧器件上未使用隔离器，则必须将控制接地和电源接地连接到器件，而不是连接到电路板上的任何其他位置。如需更多信息，请参阅 [布局指南](#)。对于快速开关器件，共地电感在不使用隔离器的情况下很容易引起噪声问题。

为电平转换选择数字隔离器对于提高抗噪性非常重要。由于 GaN 器件可以在硬开关应用中轻松产生大于 50V/ns 的高 dv/dt，因此 TI 强烈建议使用具有高共模瞬态抗扰度 (CMTI) 和低势垒电容的隔离器。具有低 CMTI 的隔离器很容易产生错误信号，可能会导致击穿。势垒电容是信号接地与电源接地之间的隔离电容的一部分，与开关期间产生的共模电流和 EMI 发射成正比。此外，TI 强烈建议选择非边沿触发的隔离器。在边沿触发隔离器中，高 dv/dt 事件可能会导致隔离器变为翻转状态，从而导致电路故障。

通常，首选默认输出低电平的开/关键控隔离器。默认低电平状态可确保系统在启动或从故障事件中恢复时不会击穿。由于高 CMTI 事件只会导致极短（几纳秒）的假脉冲，因此 TI 建议在驱动器输入端放置一个低通滤波器，如 300 Ω 和 22pF R-C 滤波器，以便滤除这些假脉冲。

9.3 电源相关建议

LMG365xR035 仅需要 9V 至 26V 的非稳压 VDD 电源。低侧电源可以从本地控制器电源获得。高侧器件的电源必须来自隔离电源或自举电源。

9.3.1 使用隔离式电源

使用隔离电源为高侧器件供电的优势在于，无论持续的功率级开关周期或占空比如何，该器件都能正常工作。使用隔离式电源还可以在功率级开关操作开始之前为高侧器件供电，以实现平稳启动。

隔离式电源可通过推挽式转换器、反激式转换器、FlyBuck™ 转换器或隔离式电源模块获得。当使用非稳压电源时，LMG365xR035 的输入不得超过最大电源电压。可以使用 24V TVS 二极管钳制 LMG365xR035 的 V_{DD} 电压，以获得额外的保护。为了降低硬开关应用中的开关损耗，必须尽可能地降低隔离式电源或变压器的绕组间电容。此外，隔离式偏压电源上的电容会向 LMG365xR035 的信号接地注入高电流，并会导致接地反弹瞬态出现问题。共模扼流圈可以缓解其中的大多数问题。

9.3.2 使用自举二极管

在半桥配置中，高侧器件需要使用浮动电源。为了获得 LMG365xR035 的最佳性能，TI 强烈建议 [使用隔离式电源](#)。按照本节中的建议，可以使用自举电源。

9.3.2.1 二极管选型

LMG365xR035 提供零反向恢复电荷，以及非常有限的输出电荷。使用 LMG365xR035 的硬开关电路也表现出高压摆率。兼容的自举二极管不得引入高输出电荷和反向恢复电荷。

可以使用碳化硅二极管（如 GB01SLT06-214）来避免反向恢复效应。SiC 二极管的输出电荷为 3nC。尽管其输出电荷会产生额外的损耗，但它并不能主导开关级的损耗。

9.3.2.2 管理自举电压

在同步降压加热器或低侧开关偶尔在第三象限运行的其他转换器中，自举电源通过一条路径充电，该路径包括死区时间内低侧 LMG365xR035 的第三象限压降，如 [自举二极管的充电路径](#) 中所示。此第三象限压降可能很大，在某些情况下可能会使自举电源过度充电。LMG365xR035 的 V_{DD} 电源必须保持在 18V 以下。

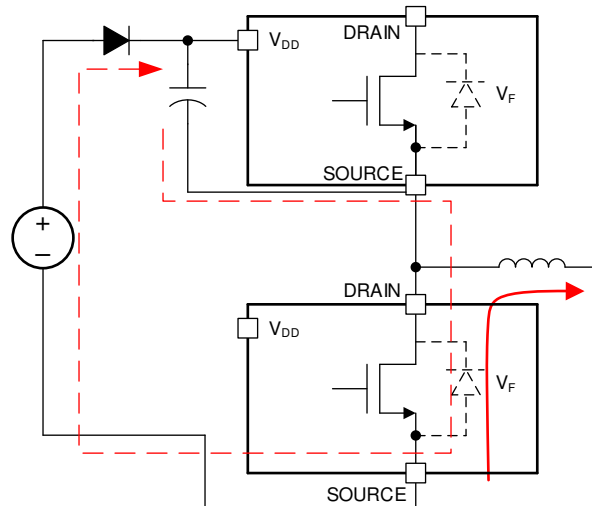


图 9-7. 自举二极管的充电路径

如 [建议的自举调节电路](#) 所示，推荐的自举电源包括一个自举二极管、一个串联电阻器，以及一个与 V_{DD} 旁路电容器并联的 16V TVS 或齐纳二极管，用于防止损坏高侧 LMG365xR035。串联电阻器可限制启动时以及低侧器件以第三象限模式运行时的充电电流。选择的电阻器必须能提供足够的电流，以在所需的工作频率下为 LMG365xR035 供电。在 100kHz 运行中，TI 建议使用约 2Ω 的值。在较高频率下，必须降低该电阻的值或完全省略电阻，以确保提供足够的电源电流。

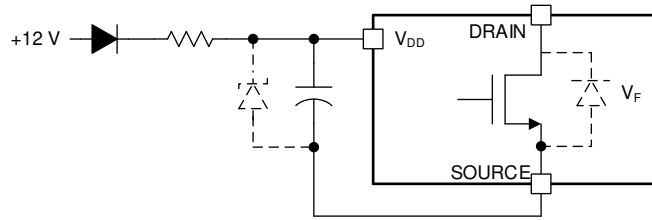


图 9-8. 建议的自举调节电路

9.4 布局

9.4.1 布局指南

LMG365xR035 的布局对于其性能和功能来说至关重要。由于半桥配置通常与这些 GaN 器件配合使用，因此可考虑采用此配置的布局建议。需要四层或层数更多的板，以减少布局的寄生电感，实现合适的性能。下面汇总了关键布局指南，后续章节将进一步详细介绍更多详细信息。

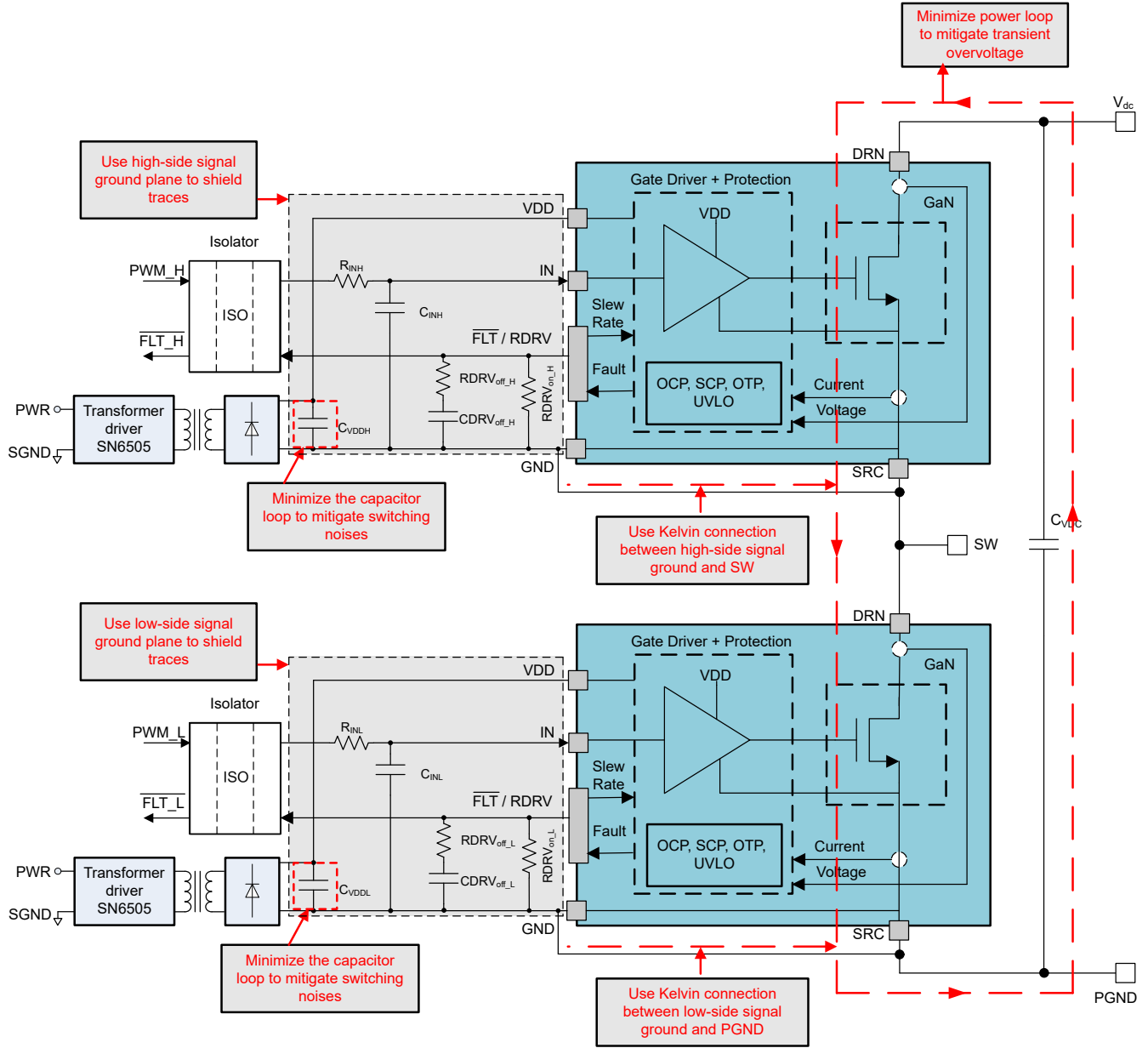


图 9-9. LMG3650R035 典型原理图及布局注意事项

ADVANCE INFORMATION

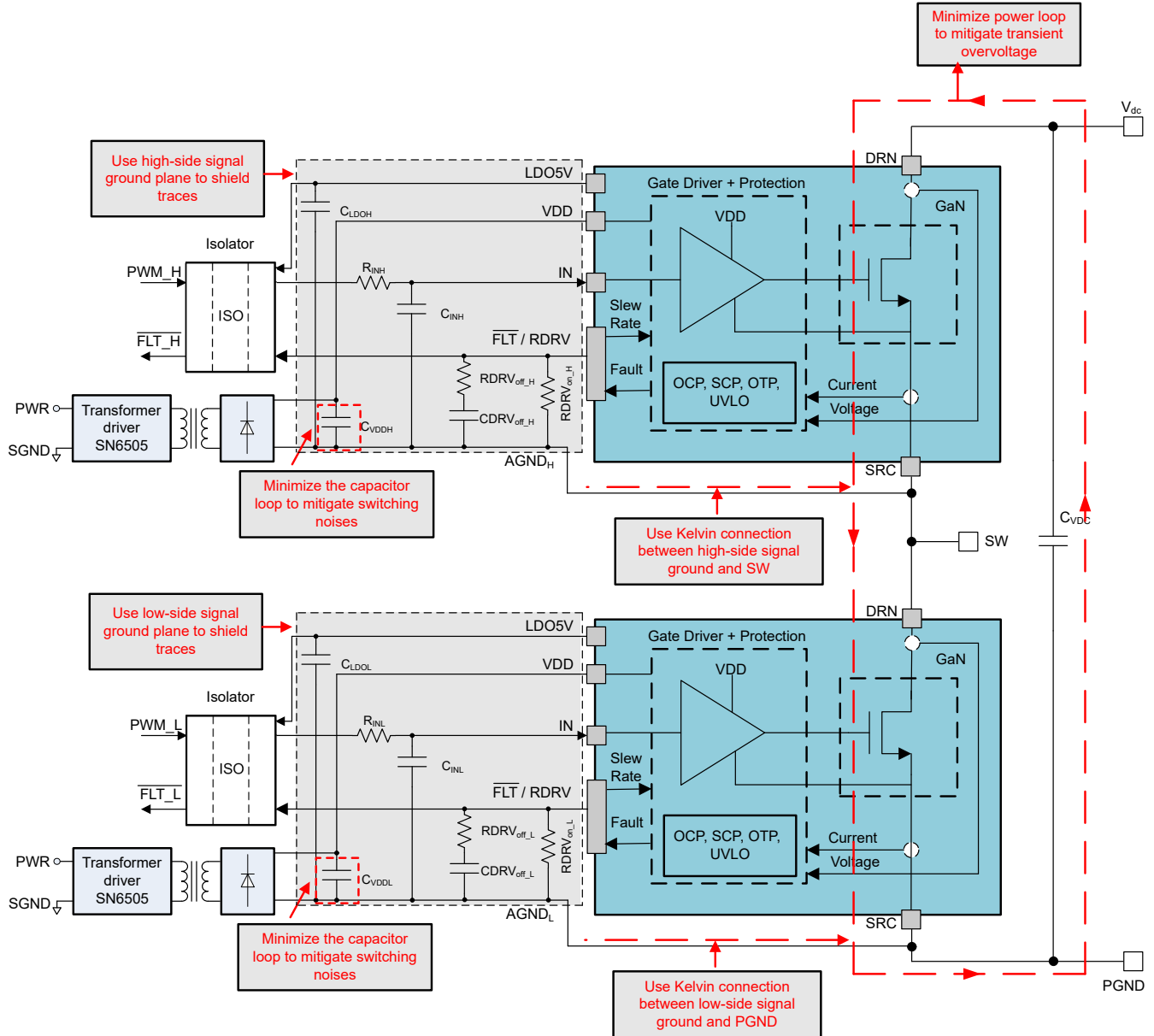


图 9-10. LMG3651R035 典型原理图及布局注意事项

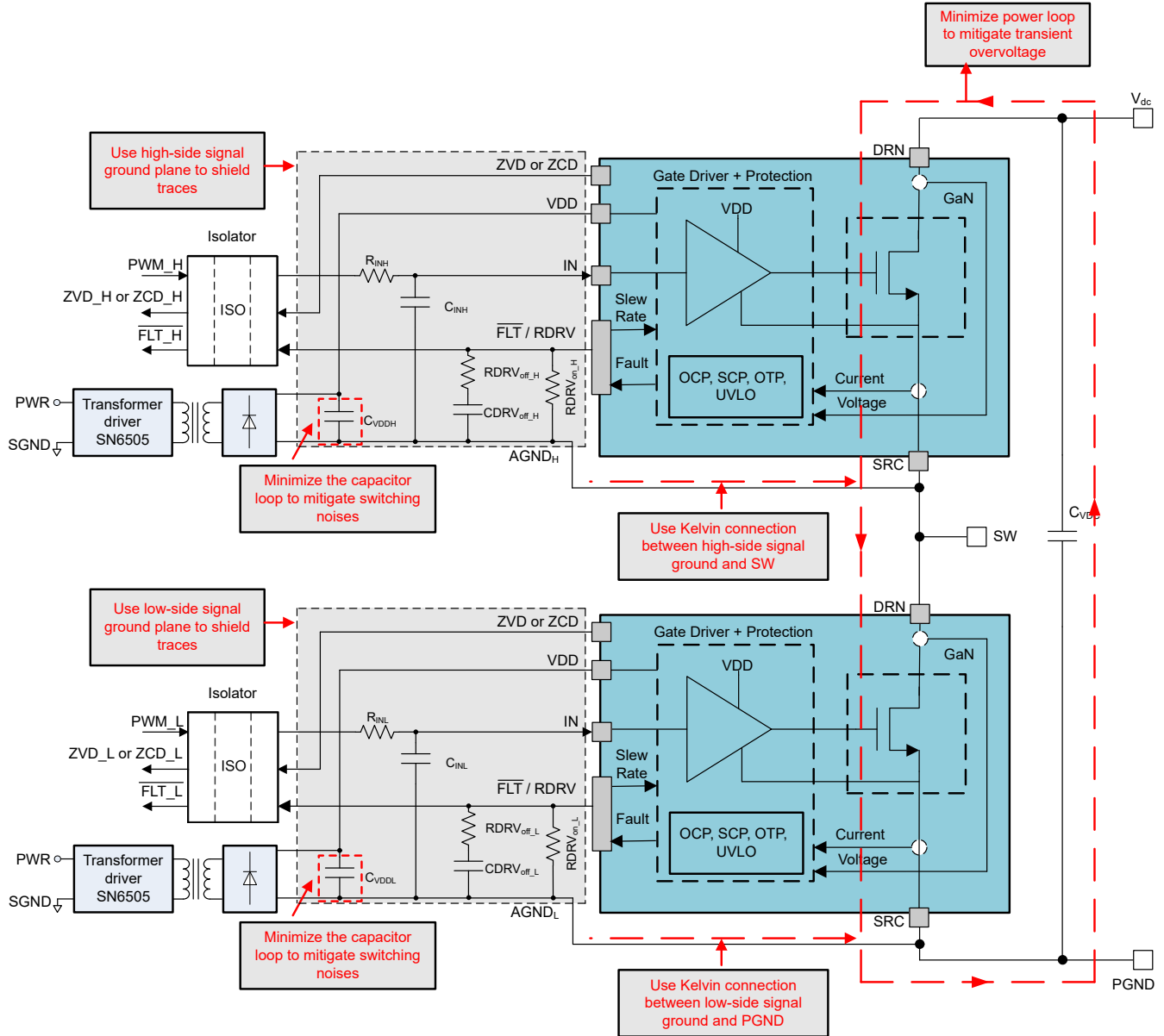


图 9-11. LMG3656R035 或 LMG3657R035 典型原理图及布局注意事项

ADVANCE INFORMATION

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.3 商标

FlyBuck™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

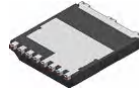
11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2024	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

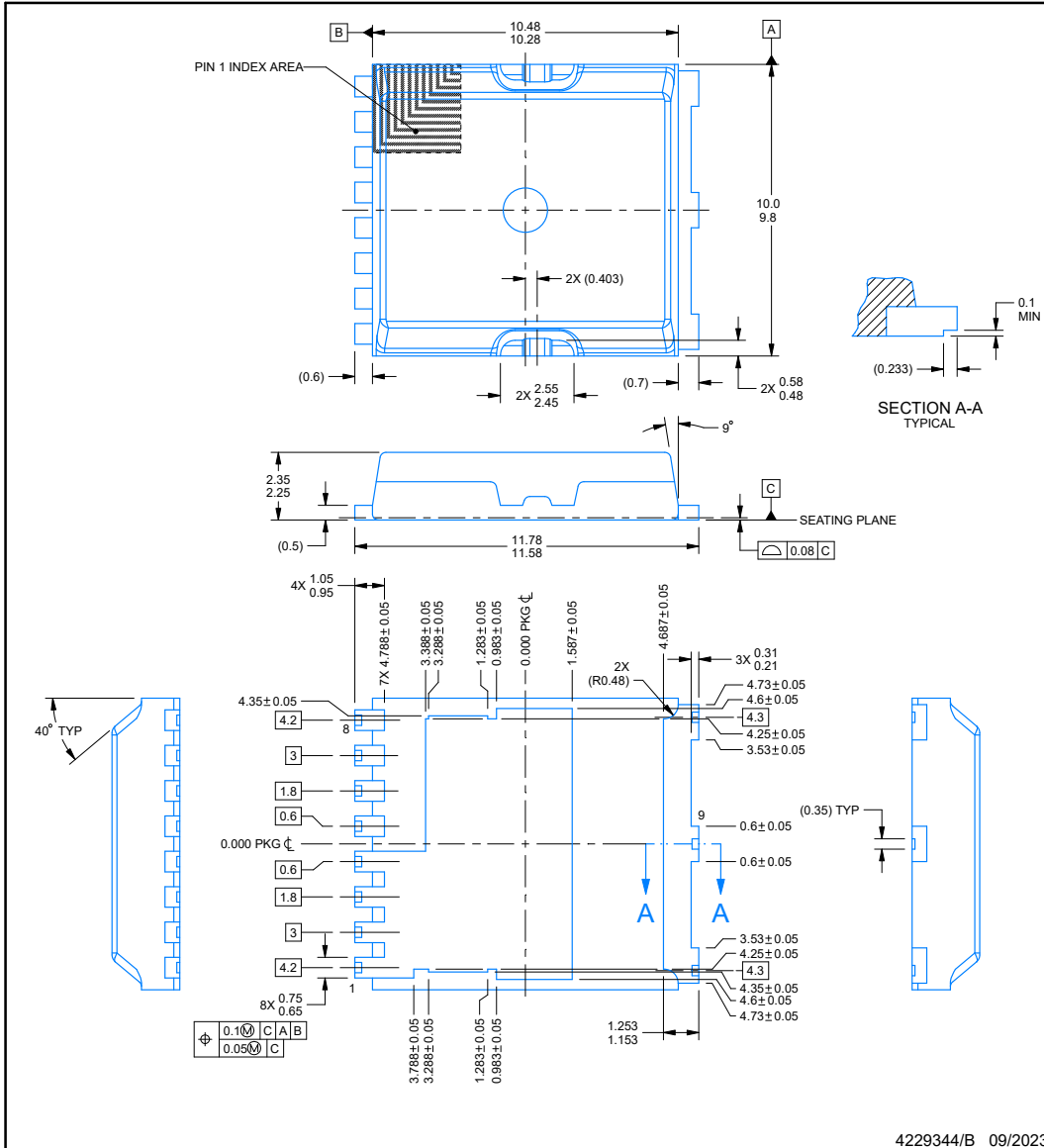


KLA0009A

PACKAGE OUTLINE

TOLL - 2.35 mm max height

TO LEADLESS



ADVANCE INFORMATION

NOTES:

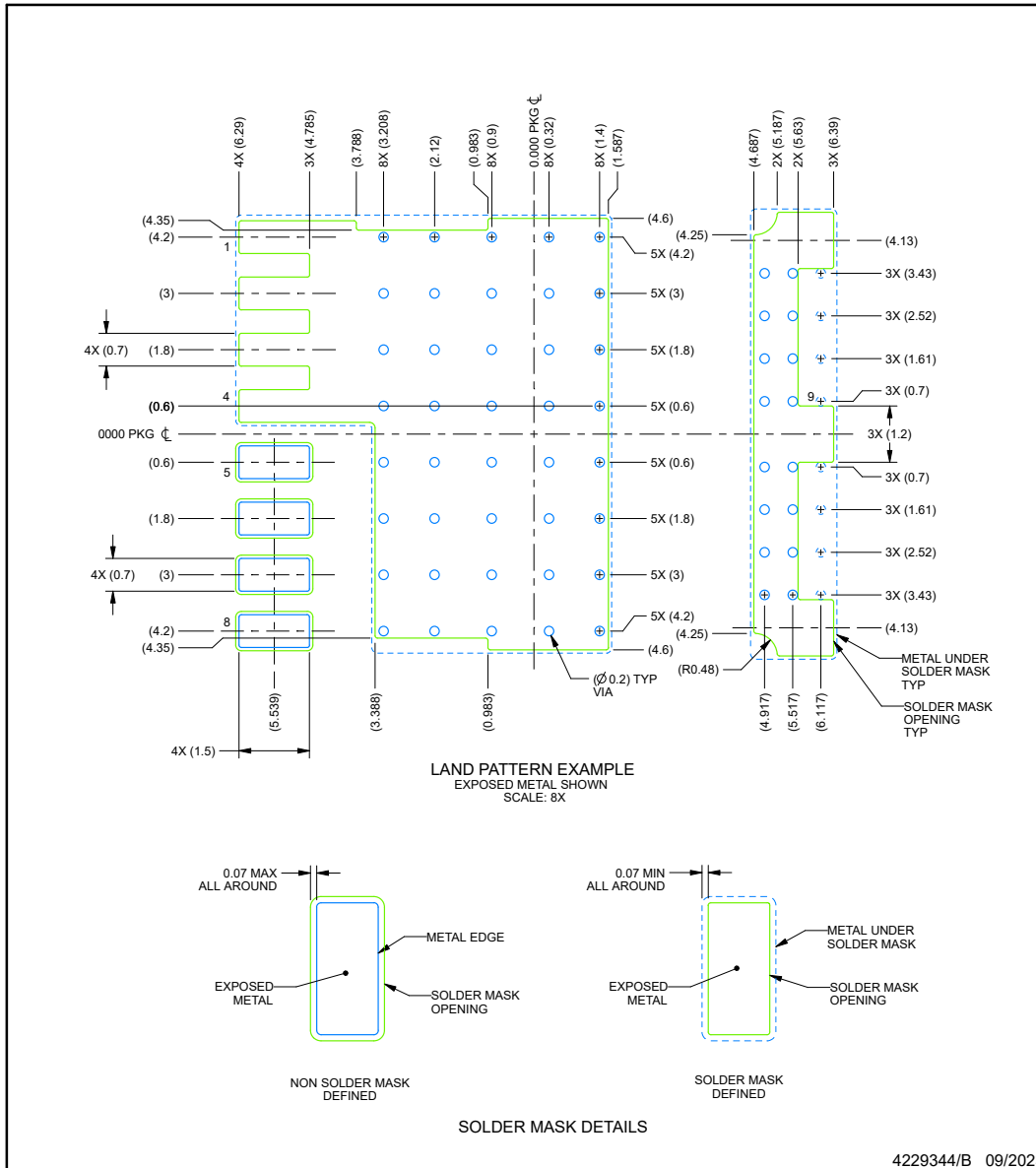
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

KLA0009A

TOLL - 2.35 mm max height

TO LEADLESS



NOTES: (continued)

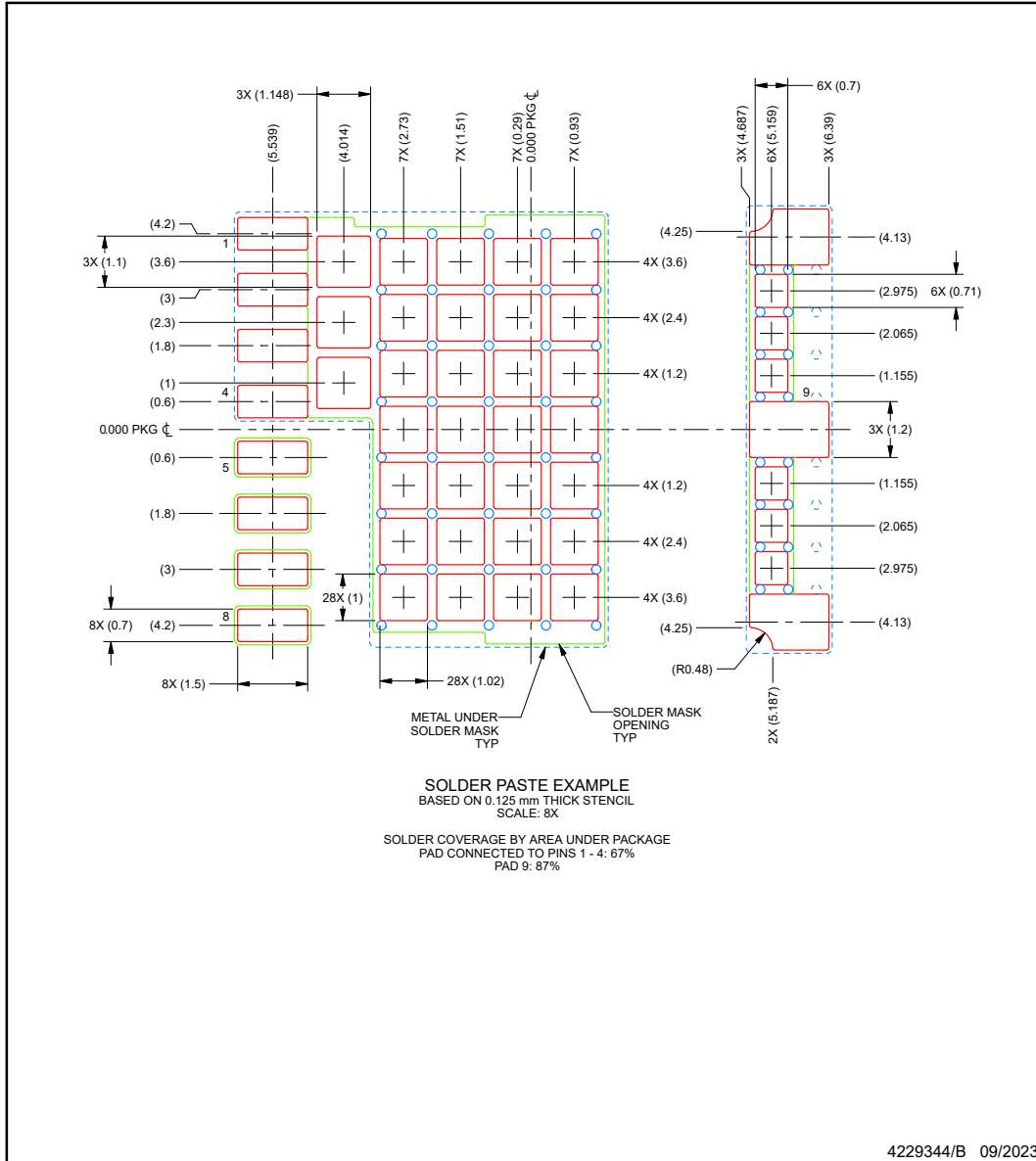
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

KLA0009A

TOLL - 2.35 mm max height

TO LEADLESS

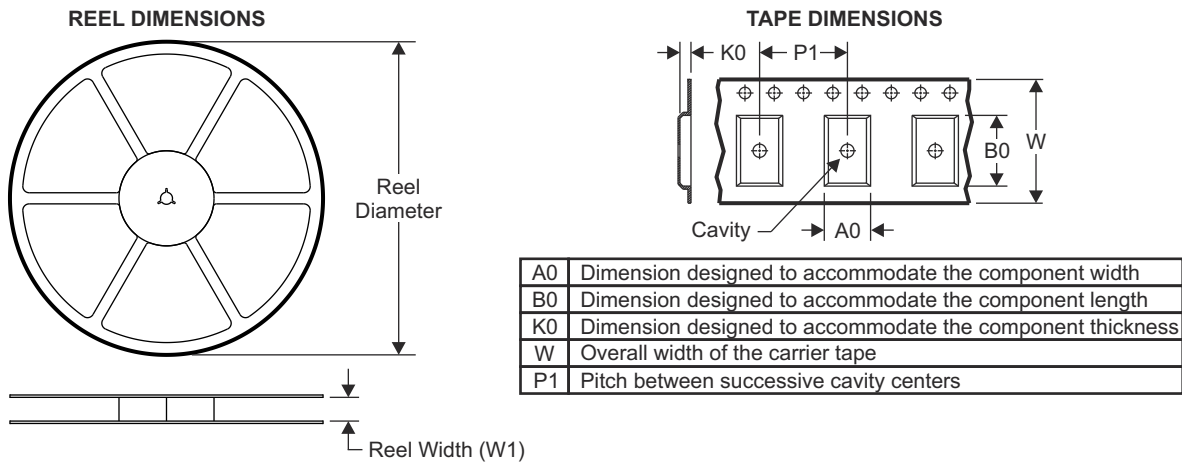


NOTES: (continued)

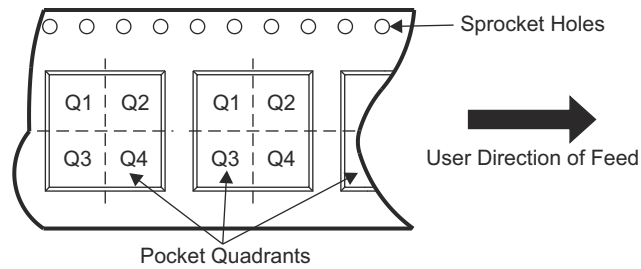
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION

12.1 卷带包装信息



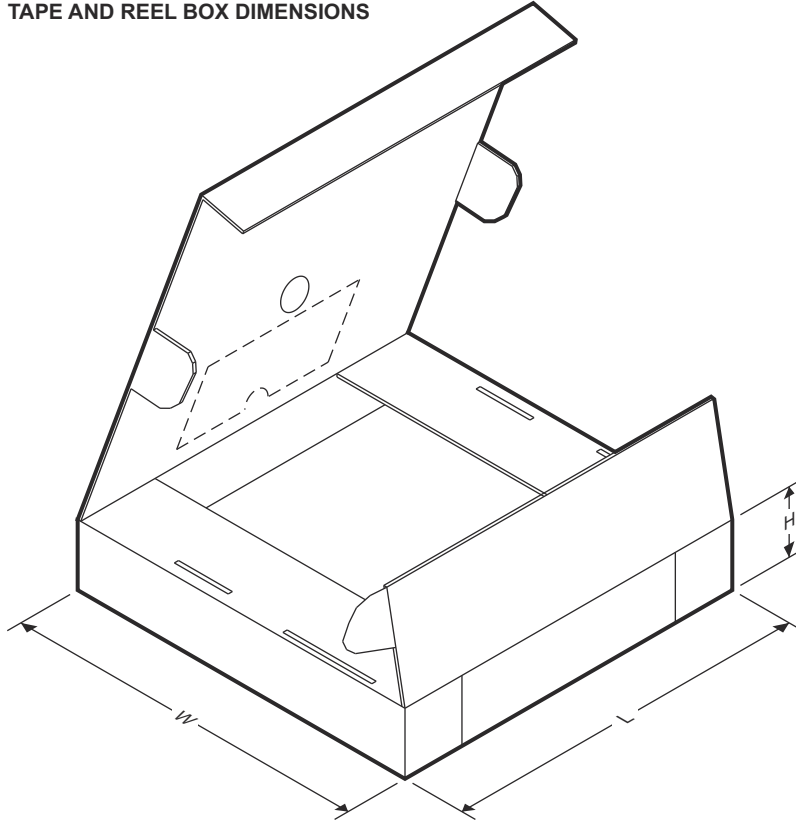
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
XLMG3650R035KLAT	至	KLA	9	2000	330.0	24.4	10.20	11.98	2.6	12.0	21.0	Q2

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
XLMG3650R035KLAT	至	KLA	9	2000	356.0	356.0	45.0

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
XLMG3650R035KLAT	ACTIVE	TO	KLA	9	250	TBD	Call TI	Call TI	-40 to 175		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司