

LMK3C0105-Q1 无基准 5 LVCMOS 输出可编程 BAW 时钟发生器

1 特性

- 符合面向汽车应用的 AEC-Q100 2 级标准
- 环境温度：-40°C 至 105°C
- 功能安全型：
 - 可提供用于功能安全系统设计的文档
- 集成 BAW 谐振器，无需外部基准
- 灵活的频率生成：
 - 支持的 1.8V/2.5V/3.3V LVCMOS 输出，最高可达 200MHz
 - 双通道分数输出分频器 (FOD)
 - 多达三个独特输出频率，范围为 2.5MHz 至 200MHz
 - 示例：OUTA/B/C/D/E = 25MHz
 - 示例：OUTA/B = 100MHz，OUTC/D = 50MHz，OUTE = 25MHz
 - 在 OUTA 至 OUTE 引脚上生成多达 5 个 LVCMOS 时钟
- 总输出频率稳定性：±25ppm
- 2 个运行模式：I2C 或预编程 OTP
- 混合 SSC 和非 SSC 输出支持
- 可编程 SSC 调制深度
 - 预编程：-0.1%、-0.25%、-0.3% 和 -0.5% 向下展频
 - 寄存器可编程：-0.1% 至 -3% 向下展频或 ±0.05% 至 ±1.5% 中心展频
- 1.8V 至 3.3V 的电源电压
- 启动时间：<5ms
- 输出偏斜：<50ps (来自同一 FOD 的输出)
- 失效防护输入和 VDD 引脚

2 应用

- 替代晶体 (最多 5 个单端时钟)
- ASIC、FPGA、MCU 参考时钟
- 高级驾驶辅助系统 (ADAS)
- 高性能计算
- 音响主机和数字驾驶舱
- 车辆仪表组

3 说明

LMK3C0105-Q1 是一款具有 SSC 支持的 5 输出无基准时钟发生器。该器件基于 TI 专有的体声波 (BAW) 技术，无需任何晶体或外部时钟基准即可提供 ±25ppm 时钟输出。该器件可以同时提供 5 个 SSC 时钟、5 个非 SSC 时钟、或者混合 SSC 和非 SSC 时钟。五个输出最多可生成三种不同的输出频率。每个输出通道都可以选择任一 FOD 作为频率源以生成四个 LVCMOS 时钟；REF_CTRL 引脚用作第五个 LVCMOS 时钟输出，可选择任一 FOD 作为源。

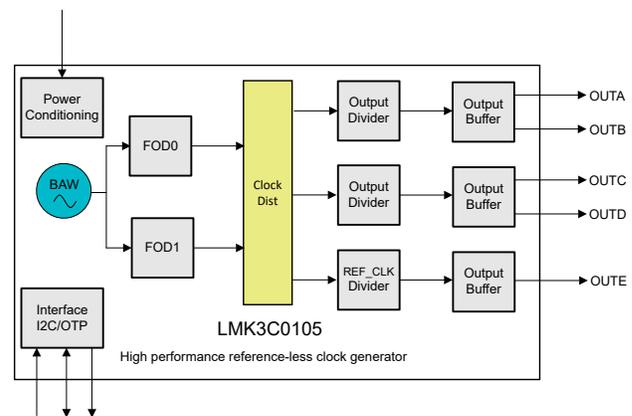
可通过引脚或 I²C 接口轻松配置该器件。可以使用一个外部直流/直流转换器为该器件供电。有关电源滤波和通过直流/直流电源供电的详细指南，请参阅 [电源相关建议](#)。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LMK3C0105-Q1	RGT (VQFN,16)	3.0mm × 3.0mm

(1) 有关更多信息，请参阅 [节 12](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版方框图



内容

1 特性	1	7.5 编程.....	20
2 应用	1	8 器件寄存器	23
3 说明	1	8.1 寄存器映射.....	23
4 引脚配置和功能	3	9 应用和实施	30
5 规格	5	9.1 应用信息.....	30
5.1 绝对最大额定值.....	5	9.2 典型应用.....	30
5.2 ESD 等级.....	5	9.3 电源相关建议.....	38
5.3 建议运行条件.....	5	9.4 布局.....	39
5.4 热性能信息.....	5	10 器件和文档支持	40
5.5 电气特性.....	6	10.1 文档支持.....	40
5.6 I ² C 接口规范.....	8	10.2 接收文档更新通知.....	40
6 参数测量信息	10	10.3 支持资源.....	40
6.1 输出格式配置.....	10	10.4 商标.....	40
7 详细说明	10	10.5 静电放电警告.....	40
7.1 概述.....	10	10.6 术语表.....	40
7.2 功能方框图.....	11	11 修订历史记录	40
7.3 特性说明.....	11	12 机械、封装和可订购信息	41
7.4 器件功能模式.....	16		

4 引脚配置和功能

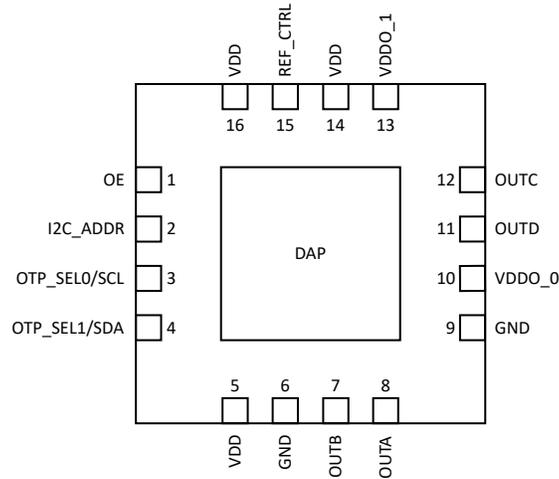


图 4-1. LMK3C0105-Q1 16 引脚 VQFN 顶视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
OUTA	8	O	LVCMOS 时钟输出。支持 1.8V/2.5V/3.3V LVCMOS。
OUTB	7		
OUTC	12		
OUTD	11		
REF_CTRL (OUTE)	15	I/O	多功能引脚。上电时，该引脚的状态被锁存以选择引脚 2、引脚 3 和引脚 4 的功能。在上电之前，拉至低电平以启用 I2C 模式，或者拉至高电平以启用 OTP 模式。上电后，该引脚可以编程为额外的 LVCMOS 输出 (OUTE)、高电平有效 CLK_READY 信号 (默认) 或禁用。有关更多详细信息，请参阅 REF_CTRL 运行 。 该引脚具有 880k Ω 内部下拉电阻器。
OE	1	I	全局输出启用。低电平有效。两态逻辑输入引脚。 该引脚具有 75k Ω 内部下拉电阻器。 有关更多详细信息，请参阅 输出启用 。 <ul style="list-style-type: none"> 低电平：启用输出 高电平：禁用输出
I2C_ADDR	2	I	该引脚处于 I2C 模式，可用于在上电时根据四个选项之一设置 I2C 地址。请参阅 I2C 模式 以了解更多详细信息。 该引脚具有 75k Ω 内部下拉电阻器。 <ul style="list-style-type: none"> I2C 模式：该引脚选择 I2C 地址。
OTP_SEL0/SCL	3	I, I/O	多功能引脚。功能由 REF_CTRL (引脚 15) 在上电时确定。有关详细信息，请参阅 OTP 模式 和 I2C 模式 。 <ul style="list-style-type: none"> I2C 模式：这些引脚是 I2C 时钟和数据接头。 OTP 模式：这些引脚选择 OTP 页面。
OTP_SEL1/SDA	4		
VDD	5、14、16	P	1.8V、2.5V 或 3.3V 器件电源。必须在尽可能靠近每个引脚的位置放置一个 0.1 μ F 电容器。
VDDO_0	10	P	1.8V、2.5V 或 3.3V OUTA 和 OUTB 电源。如果 VDD 为 1.8V 或 2.5V，则 VDDO 引脚的电压必须与 VDD 相同。必须在尽可能靠近每个引脚的位置放置一个 0.1 μ F 电容器。使用双电源时，请参阅 上电时序 了解正确的实现。

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
VDDO_1	13	P	1.8V、2.5V 或 3.3V OUTC 和 OUTD 电源。如果 VDD 为 1.8V 或 2.5V，则 VDDO 引脚的电压必须与 VDD 相同。必须在尽可能靠近每个引脚的位置放置一个 0.1 μ F 电容器。使用双电源时，请参阅 上电时序 了解正确的实现。
GND	6、9	G	接地。
DAP	17	G	热 GND。DAP 未连接到器件内部的电气 GND，仅可用于热 GND。通过多个过孔连接到内部 GND 层。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{DD}	器件电源电压	-0.3	3.9	V
V _{DDO}	输出电源电压	-0.3	3.9	V
V _{IN}	逻辑输入电压 (V _{DD} = V _{DDO} = -0.3V 至 3.465V)	-0.3	3.465	V
V _{OUT}	施加到 OUT _x _P 和 OUT _x _N 引脚的电压 (当输出为高电平或低电平时)	-0.3	V _{DDO_x} + 0.3	V
	施加到 OUT _x _P 和 OUT _x _N 引脚的电压 (当输出为 LVCMOS 三态时)	-0.3	1.89	V
T _J	结温		125	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 HBM ESD 分类等级 2 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 CDM ESD 分类等级 C4A ⁽¹⁾	±750	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5% , T_A = T_{A,min} 至 T_{A,max}

		最小值	标称值	最大值	单位
V _{DD}	器件电源电压	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
V _{DDO}	输出电源电压	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
T _A	环境温度	-40		105	°C
T _J	结温	-40		125	°C
t _{ramp}	电源斜坡时间。V _{DD} = 1.8V	0.05		5	ms
t _{ramp}	电源斜坡时间。V _{DD} = 2.5V 或 3.3V	0.05		5	ms

5.4 热性能信息

热指标 ⁽¹⁾		LMK3C0105		单位
		RGT (QFN)		
		16 引脚		
R _{θJA}	结至环境热阻	48.3		°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	56.3		°C/W
R _{θJB}	结至电路板热阻	23.1		°C/W

热指标 ⁽¹⁾		LMK3C0105	单位
		RGT (QFN)	
		16 引脚	
Ψ_{JT}	结至顶部特征参数	1.4	°C/W
Ψ_{JB}	结至电路板特征参数	23.0	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	9.3	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

$V_{DD} = V_{DDO} = 1.8V$ 、 $2.5V$ 或 $3.3V \pm 5\%$, $T_A = T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
频率稳定性						
Δf_{total}	总频率稳定性	包括所有因素: 温度变化、10 年老化、焊接漂移、迟滞和初始频率精度	-25		25	ppm
LVC MOS 时钟输出特性						
f_{out}	输出频率		2.5		200	MHz
dV/dt	输出压摆率	$V_{DDO} = 3.3V \pm 5\%$, 在 20% 至 80% 范围内测得, 4.7pF 负载	2.6		4.7	V/ns
		$V_{DDO} = 2.5V \pm 5\%$, 在 20% 至 80% 范围内测得, 4.7pF 负载	2.6		3.7	V/ns
		$V_{DDO} = 1.8V \pm 5\%$, 在 20% 至 80% 范围内测得, 4.7pF 负载	1.5		3.2	V/ns
V_{OH}	输出高电压	$I_{OH} = -15mA$ (3.3V)	$0.8 \times V_{DDO}$		V_{DDO}	V
		$I_{OH} = -12mA$ (2.5V)				
		$I_{OH} = -8mA$ (1.8V)				
V_{OL}	输出低电压	$I_{OL} = 15mA$ (3.3V)			0.4	V
		$I_{OL} = 12mA$ (2.5V)				
		$I_{OL} = 8mA$ (1.8V)				
I_{leak}	输出泄漏电流	输出三态。 $V_{DD} = V_{DDO} = 3.465V$	-5	0	5	μA
R_{out}	输出阻抗			17		Ω
ODC	输出占空比	$f_{out} \leq 156.25MHz$	45		55	%
		$f_{out} > 156.25MHz$	40		60	%
t_{skew}	输出到输出偏斜	相同的 FOD、LVC MOS 输出			50	ps
C_{load}	最大负载电容				15	pF
LVC MOS REFCLK 特性						
f_{out}	输出频率	请参阅 ⁽¹⁾	12.5 ⁽²⁾		200	MHz
dV/dt	输出压摆率	$V_{DDO} = 3.3V \pm 5\%$, 在 20% 至 80% 范围内测得, 4.7pF 负载 ⁽¹⁾	2.6		6.7	V/ns
		$V_{DDO} = 2.5V \pm 5\%$, 在 20% 至 80% 范围内测得, 4.7pF 负载 ^{(1) (4)}	1.8		4.5	V/ns
		$V_{DDO} = 1.8V \pm 5\%$, 在 20% 至 80% 范围内测得, 4.7pF 负载 ^{(1) (4)}	1		3.2	V/ns
I_{leak}	输出泄漏电流	输出三态。 $V_{DD} = V_{DDO} = 3.465V$ ^{(1) (4)}	-5		5	μA
R_{out}	输出阻抗			17		Ω
ODC	输出占空比	$f_{out} \leq 156.25MHz$ ⁽¹⁾	45		55	%
ODC	输出占空比	$f_{out} > 156.25MHz$ ⁽¹⁾	40		60	%

$V_{DD} = V_{DDO} = 1.8V、2.5V$ 或 $3.3V \pm 5%$, $T_A = T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
C_{load}	最大负载电容	请参阅 ⁽¹⁾			15	pF
RJ	随机抖动	在 50MHz 下具有 12kHz 至 20MHz 的集成抖动 ⁽¹⁾			0.5	ps
SSC 特性						
f_{out}	支持 SSC 的输出频率范围 (任何输出格式)		2.5		200	MHz
f_{SSC}	SSC 调制频率		30	31.5	33	kHz
$f_{SSC-deviation}$	SSC 偏差 (调制深度)	向下展频 (可编程)	-3		-0.1	%
		中心展频 (可编程)	± 0.05		± 1.5	%
$f_{SSC-deviation-accuracy}$	SSC 偏差精度	$f_{out} \leq 100MHz$, 向下展频	0		0.01	%
		$100MHz < f_{out} \leq 200MHz$, 向下展频	0		0.05	%
		$f_{out} \leq 100MHz$, 中心展频	0		0.01	%
		$100MHz < f_{out} \leq 200MHz$, 中心展频	0		0.05	%
df/dt	最大 SSC 频率转换率	$0 < f_{SSC-deviation} \leq -0.5\%$			1250	ppm/ μs
时序特性						
$t_{startup}$	启动时间	$V_{DD} = 2.5V$ 或 $3.3V$ 。所有 V_{DD} 引脚达到 2.1V 到出现第一个输出时钟上升沿所用的时间。输出时钟始终处于规格范围内			1	ms
		$V_{DD} = 1.8V$ 。所有 V_{DD} 引脚达到 1.6V 到出现第一个输出时钟上升沿所用的时间。输出时钟始终处于规格范围内			1.5	ms
t_{OE}	输出启用时间。	CLOCK_READY 状态为“1”后 OE 置为有效与出现第一个输出时钟上升沿之间经过的时间。禁用时输出不是三态。			7	输出时钟周期
t_{OD}	输出禁用时间。	OE 置为无效与出现最后一个输出时钟下降沿之间经过的时间。			7	输出时钟周期
功耗特性						
I_{DD}	内核电源电流, 不包括输出驱动器	启用一个 FOD, $100MHz \leq f_{FOD} \leq 200MHz$		57.5	79.9	mA
		启用一个 FOD, $200MHz < f_{FOD} \leq 400MHz$		67	90.7	mA
		启用两个 FOD, $100MHz \leq f_{FOD} \leq 200MHz$		81.1	105.8	mA
		启用两个 FOD, $200MHz < f_{FOD} \leq 400MHz$		97.8	125.8	mA
I_{DDO}	每个输出通道的输出电源电流	1.8V LVCMOS, $f_{out} = 50MHz$ ⁽³⁾		4.2	5	mA
		1.8V LVCMOS, $f_{out} = 200MHz$ ⁽³⁾		11.7	13.4	mA
		2.5V LVCMOS, $f_{out} = 50MHz$ ⁽³⁾		5.6	6.4	mA
		2.5V LVCMOS, $f_{out} = 200MHz$ ⁽³⁾		15.3	17.3	mA
		3.3V LVCMOS, $f_{out} = 50MHz$ ⁽³⁾		6.8	7.7	mA
		3.3V LVCMOS, $f_{out} = 200MHz$ ⁽³⁾		19.2	21.7	mA
I_{DDREF}	REFCLK 电源电流	1.8V LVCMOS, $f_{out} = 50MHz$ ⁽³⁾		3.4	3.9	mA
		1.8V LVCMOS, $f_{out} = 200MHz$ ⁽³⁾		9.5	11.7	mA
		2.5V LVCMOS, $f_{out} = 50MHz$ ⁽³⁾		4.7	5.3	mA
		2.5V LVCMOS, $f_{out} = 200MHz$ ⁽³⁾		12.8	15.8	mA
		3.3V LVCMOS, $f_{out} = 50MHz$ ⁽³⁾		5.9	6.6	mA
		3.3V LVCMOS, $f_{out} = 200MHz$ ⁽³⁾		16.6	20.2	mA

$V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V \pm 5\%$, $T_A = T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
PSNR 特性						
PSNR _{LVC} MOS	LVCMOS 输出的电源噪声抑制 ⁽⁴⁾	10kHz		-76.7	-58.1	dBc
		50kHz		-80.9	-57.9	dBc
		100kHz		-81.8	-57	dBc
		500kHz		-84.3	-61.7	dBc
		1MHz		-97.6	-78.1	dBc
		5MHz		-104.3	-79	dBc
		10MHz		-108.7	-89.5	dBc
两态逻辑输入特性						
V _{IH-Pin2}	引脚 2 的输入高电压		0.7 × V _{DD}		V _{DD} + 0.3	V
V _{IL-Pin2}	引脚 2 的输入低电压		GND - 0.3		0.3 × V _{DD}	V
V _{IH-Pin1}	引脚 1 的输入高电压		1.15		V _{DD} + 0.3	V
V _{IL-Pin1}	引脚 1 的输入低电压		-0.3		0.65	V
V _{IH-Pin3,4}	OTP_SEL[1:0] 的输入高电压		0.7 × V _{DD}		V _{DD} + 0.3	V
V _{IL-Pin3,4}	OTP_SEL[1:0] 的输入低电压		GND - 0.3		0.8	V
V _{IH-Pin15}	引脚 15 的输入高电压		0.65 × V _{DD}		V _{DD} + 0.3	V
V _{IL-Pin15}	引脚 15 的输入低电压		-0.3		0.4	V
R _{ext-up/down-Pin1,2}	引脚 1、2 的建议外部上拉或下拉电阻器		0	1	10	kΩ
R _{ext-up/down-Pin3,4,15}	引脚 3、4、15 的建议外部上拉或下拉电阻器		0	10	60	kΩ
t _R /t _F	OE 信号上升或下降时间				10	ns
C _{in}	输入电容				3	pF

- (1) 使用 10kΩ 外部上拉或下拉电阻器进行测试
- (2) REFCLK 可以是来自 FOD0 或 FOD1 的 /2、/4、/8。两个 FOD 均支持 100MHz 至 400MHz。
- (3) 4.7pF 电容负载，具有 5 英寸迹线
- (4) 所有电源引脚都连接在一起。将 0.1μF 电容器放置在靠近每个电源引脚的位置。应用 50mVpp 纹波并测量时钟输出的杂散水平

5.6 I²C 接口规范

所有时序要求均以 V_{IH-min} 和 V_{IL-max} 为基准。芯片 V_{DD} = I²C V_{DD}。

参数		测试条件	标准模式		快速模式		单位
			最小值	最大值	最小值	最大值	
V _{IL}	输入低电压		-0.3	0.3 × V _{DD}	-0.3	0.3 × V _{DD}	V
V _{IH}	输入高电压		0.7 × V _{DD}	V _{DD} + 0.3	0.7 × V _{DD}	V _{DD} + 0.3	V
V _{hys}	施密特触发输入迟滞				0.05 × V _{DD}		V
V _{OL1}	低电平输出电压 1	3mA 灌电流。V _{DD} > 2V	0	0.4	0	0.4	V
V _{OL2}	低电平输出电压 2	2mA 灌电流。V _{DD} ≤ 2V			0	0.2 × V _{DD}	V

所有时序要求均以 V_{IH-min} 和 V_{IL-max} 为基准。芯片 $V_{DD} = I^2C V_{DD}$ 。

参数		测试条件	标准模式		快速模式		单位
			最小值	最大值	最小值	最大值	
I_{OL}	低电平输出电流	$V_{OL} = 0.4V$	3		3		mA
		$V_{OL} = 0.6V$			6		mA
t_{OF}	从 V_{IHmin} 到 V_{ILmax} 的输出下降时间		250		$20 \times (V_{DD}/5.5V)$	250	ns
t_{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度				0	50	ns
I_i	每个 I/O 引脚的输入电流	$0.1 \times V_{DD} < V_{IN} < 0.9 \times V_{DDmax}$	-10	10	-10	10	μA
C_i	每个 I/O 引脚的电容		10		10		pF
f_{SCL}	SCL 时钟频率		0	100	0	400	kHz
t_{HD-STA}	(重复) START 条件后的保持时间	在这段时间后, 第一个时钟脉冲被生成。	4		0.6		μs
t_{low}	SCL 时钟的低电平周期		4.7		1.3		μs
t_{high}	SCL 时钟的高电平周期		4		0.6		μs
t_{SU-STA}	重复 START 条件的建立时间		4.7		0.6		μs
t_{HD-DAT}	数据保持时间	I ² C 总线器件	0		0		μs
t_{SU-DAT}	数据建立时间		0.25		0.1		μs
t_R	SDA 和 SCL 信号的上升时间 ⁽¹⁾		300		20	300	ns
t_F	SDA 和 SCL 信号的下降时间 ⁽¹⁾		300		$20 \times (V_{DD}/5.5V)$	300	ns
t_{SU-STO}	STOP 条件的建立时间		4		0.6		μs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间		4.7		1.3		μs
C_B	每个总线的容性负载		400		400		pF
t_{VD-DAT}	数据有效时间		3.45		0.9		μs
t_{VD-ACK}	数据有效确认时间		3.45		0.9		μs
V_{NL}	低电平的噪声容限	对于每个连接的器件, 包括迟滞	$0.1 \times V_{DD}$		$0.1 \times V_{DD}$		V
V_{NH}	高电平的噪声容限	对于每个连接的器件, 包括迟滞	$0.2 \times V_{DD}$		$0.2 \times V_{DD}$		V

6 参数测量信息

6.1 输出格式配置

本节介绍 LMK3C0105-Q1 的 LVCMOS 格式选项的表征测试设置。

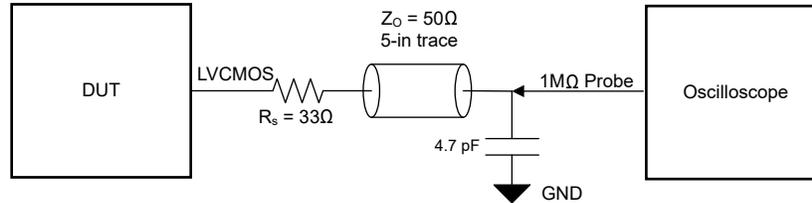


图 6-1. 器件测试期间的 LVCMOS 输出配置

7 详细说明

7.1 概述

LMK3C0105-Q1 是一款五通道时钟发生器，主要用于 LVCMOS 时钟生成，具有或不具有展频时钟 (SSC)。该器件具有集成体声波 (BAW) 谐振器，不需要任何外部晶体或时钟基准。该器件具有四个可选的存储器页面，称为 OTP 页面。存储器中这些页面的集合称为 EFUSE。

默认输出配置为四个 25MHz 同相 LVCMOS 时钟加上一个额外的 25MHz LVCMOS 时钟，均在启动时启用。LMK3C0105-Q1 支持高达 200MHz 的可编程输出频率。LMK3C0105-Q1V3 是电源电压为 3.3V 时默认配置的器件型号。LMK3C0105-Q1V1 是电源电压为 1.8V 时默认配置的器件型号。其他配置器件型号是 LMK3C0105-Q1Axxx，其中 xxx 表示配置编号。

LMK3C0105-Q1 支持两种由 REF_CTRL 引脚在上电时确定的功能模式：一次性编程 (OTP) 模式或 I²C 模式。

1. 在 OTP 模式下，四个 OTP 页面之一由引脚 OTP_SEL0 和 OTP_SEL1 进行选择。所有 OTP 页面的默认输出频率为 25MHz。
2. 在 I²C 模式下，可以通过修改有效寄存器来配置 LMK3C0105-Q1。如果需要默认操作以外的配置，则必须在每次启动时对寄存器进行写入。

有关器件引脚的详细说明，请参阅 [引脚配置和功能](#)。

LMK3C0105-Q1 具有灵活的 SSC 配置，包括：

1. 在所有输出上禁用 SSC
2. 在一些输出上启用 SSC
3. 在所有输出上启用 SSC

有关 SSC 和抖动性能详细信息，请参阅 [展频时钟](#)。

7.2 功能方框图

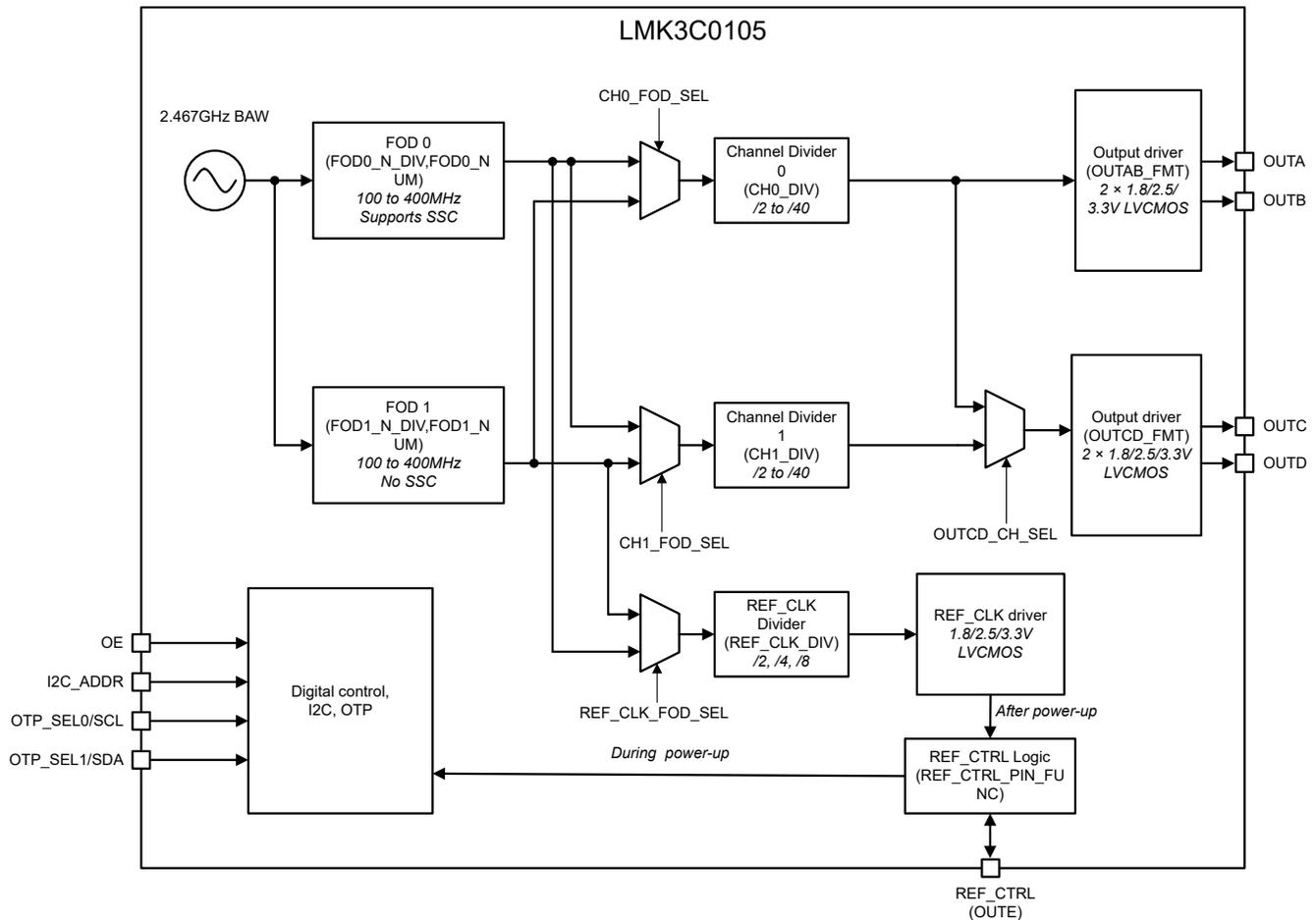


图 7-1. LMK3C0105-Q1 功能方框图

7.3 特性说明

7.3.1 器件块级描述

LMK3C0105-Q1 是一款具有集成 BAW 振荡器的无基准时钟发生器。BAW 频率标称 2467MHz，由两个分数输出分频器 (FOD) 向下分频，每个分频器都能够生成介于 100MHz 和 400MHz 之间的频率。每个 FOD 都可以路由到两个通道分频器之一，该通道分频器将 FOD 频率向下分频以生成 2.5MHz 至 200MHz 的频率。也可以选择 REF_CTRL 引脚上生成额外的 LVCMOS 时钟，其电压与 VDD、OUTE 相对应。默认情况下，该引脚被配置为额外的时钟。OUTA 和 OUTB 共享输出驱动器，且必须为相同频率。OUTC 和 OUTD 共享输出驱动器，且必须为相同频率。

7.3.2 器件配置控制

图 7-2 展示了器件状态、配置引脚、器件初始化和器件运行模式之间的关系。如果 REF_CTRL 引脚在启动时被拉至高电平，则进入 OTP 模式。如果 REF_CTRL 引脚在启动时被拉至低电平，则进入 I2C 模式。在 OTP 模式下，OTP_SEL0/SCL 和 OTP_SEL1/SDA 引脚的状态决定加载到有效寄存器中的 OTP 页面。可对该器件进行一次性编程，这意味着无法更改存储在内部 EFUSE 中的寄存器设置。通过更改 REF_CTRL 引脚的状态，然后将 VDD 拉至低电平再拉至高电平来触发器件下电上电，可以将器件从 OTP 模式转换为 I2C 模式，反之亦然。在 OTP 模式下，OTP_SEL0 或 OTP_SEL1 引脚电平的更改（然后将 REF_CTRL 引脚拉至高电平）会动态地更改有效 OTP 页面。第一次 OTP_SEL 引脚更改和将 REF_CTRL 拉至高电平之间的时间间隔必须小于 350μs，否则器件将进入 I2C 模式。

在 I²C 模式下，I2C_ADDR 引脚的状态决定器件的 I²C 地址，OTP_SEL0/SCL 和 OTP_SEL1/SDA 引脚分别重新用作 I²C 时钟和数据引脚。在 I²C 模式下，主机可以更新有效器件寄存器。如果使用与已编程配置不同的配置，则必须在每次下电上电后写入寄存器。

通过将 PDN 位 (R10[1]) 设置为“1”，可以将器件置于低功耗状态。清除 PDN 位会使器件退出低功耗状态。如果 DEV_IDLE_STATE_SEL 位 (R10[4]) 为“0”且输出被禁用，则器件进入低功耗状态。需要进入低功耗状态，才能更改通道 0 使用的 FOD 的频率，更改 SSC 配置以及更改输出格式。TI 建议在该低功耗状态下执行寄存器写入操作。将 OTP_AUTOLOAD_DIS (R10[2]) 位设置为“1”，以防止在将 PDN 设置为“0”之前自动加载 OTP 第 0 页。

有两个字段决定了器件退出低功耗状态时的状态。PIN_RESAMPLE_DIS (R10[3]) 控制在退出低功耗状态时是否对 I2C_ADDR、OTP_SEL0/SCL、OTP_SEL1/SDA 和 REF_CTRL 引脚进行重新采样。如果对引脚重新采样，并且 REF_CTRL 引脚被拉至高电平，则该器件可以转换到 OTP 模式。将该位设置为“1”可禁用此功能。OTP_AUTOLOAD_DIS 控制在退出低功耗状态时是否将 OTP 第 0 页的内容加载到器件寄存器中。如果 OTP_AUTOLOAD_DIS 位为“1”，且 PIN_RESAMPLE_DIS 位为“1”，则寄存器内容不会改变。如果 OTP_AUTOLOAD_DIS 位为“0”，而 PIN_RESAMPLE_DIS 位为“1”，则会将 OTP 第 0 页的内容加载到寄存器中。如果 PIN_RESAMPLE_DIS 位为“0”，且 REF_CTRL 被拉至高电平，则器件进入 OTP 模式。在这种情况下，OTP_SEL0/SCL 和 OTP_SEL1/SDA 控制加载到器件寄存器中的 OTP 页面。

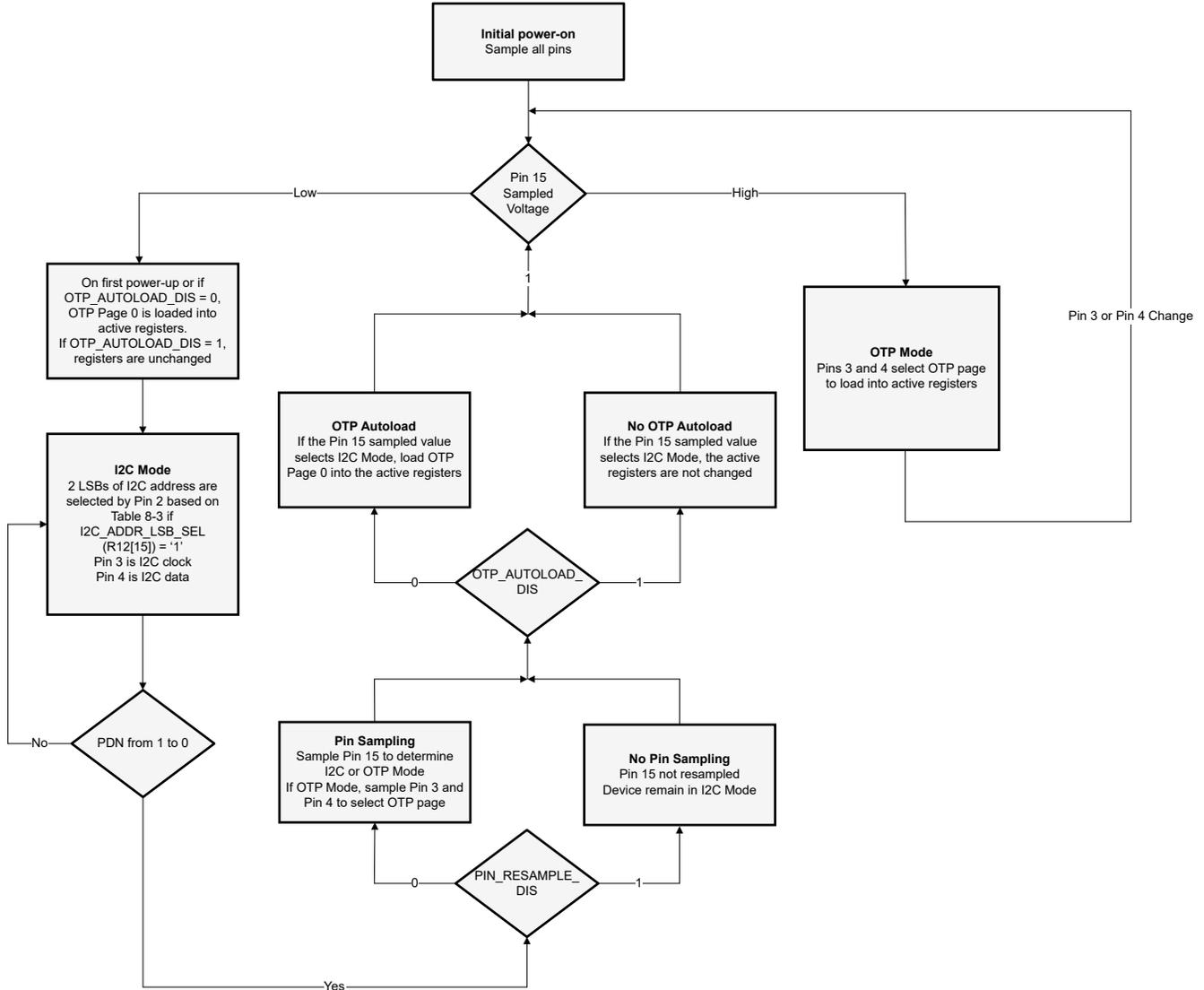


图 7-2. LMK3C0105-Q1 器件模式图

在 I²C 模式下，器件寄存器来自 OTP 第 0 页的内容。在 OTP 模式下，这些值来自四个 OTP 页面之一，可根据启动时 OTP_SELx 引脚的状态进行选择。图 7-3 展示了 LMK3C0105-Q1 内的接口和控制块，其中箭头表示来自不同嵌入式存储器的读写访问。

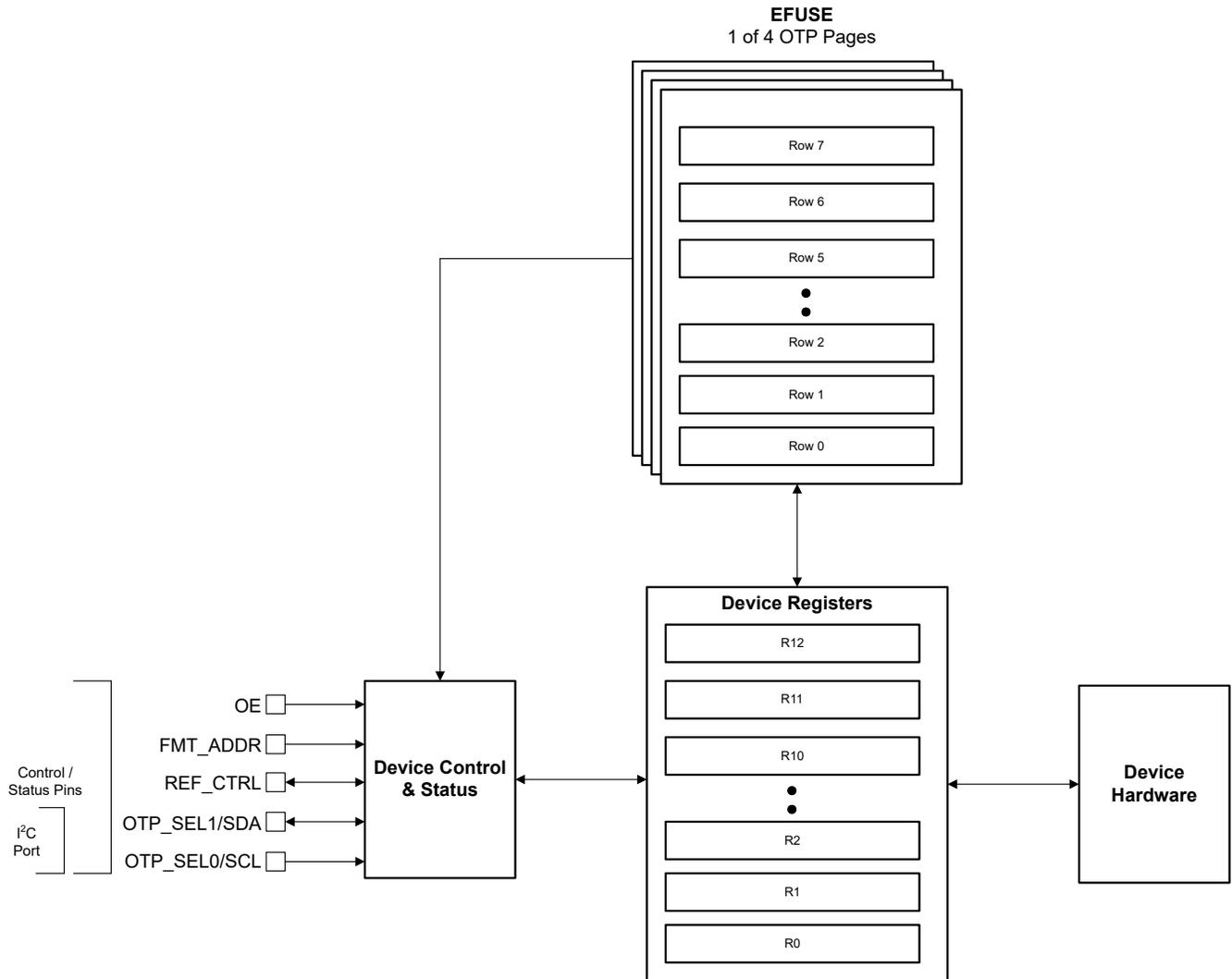


图 7-3. LMK3C0105-Q1 接口和控制块

7.3.3 OTP 模式

在该模式下，配置引脚允许选择四个一次性可编程 (OTP) 页面之一以及选择输出格式。I²C 在该模式下不启用，因为 I²C 引脚被重新用于 OTP 页面选择。表 7-1 展示了根据 OTP_SEL0 和 OTP_SEL1 引脚的状态选择的 OTP 页面。在 OTP 模式下，忽略 I2C_ADDR 引脚。

表 7-1. OTP 模式下的 OTP 页面选择

OTP_SEL1 引脚	OTP_SEL0 引脚	OTP 页面
低	低	0
低	高	1
高	低	2
高	高	3

器件的 EFUSE 被永久编程并且 OTP_BURNT(R0[0]) = 1。如果需要新的配置，则必须在每次启动时通过 I²C 加载该配置。如需创建自定义 OTP 配置，请联系 TI。

以下字段在四个 OTP 页面之间可以是唯一的。所有其他寄存器设置在 OTP 页面之间共享：

- SSC_EN：启用或禁用 SSC。
- OUTAB_EN：启用或禁用 OUTA 和 OUTB。
- OUTCD_EN：启用或禁用 OUTC 和 OUTD。
- OUTAB_FMT：OUTA 和 OUTB 输出配置，请参阅[输出格式选择](#)。
- OUTCD_FMT：OUTC 和 OUTD 输出配置，请参阅[输出格式选择](#)。
- SSC_SETTING：SSC 调制类型，请参阅[展频时钟](#)。

当 OTP_SEL1 或 OTP_SEL0 引脚状态发生变化时，器件会自动执行下电上电并重新加载新的 OTP 页面。从引脚 3 和 4 发生变化到实现新 OTP 中的稳定状态所经过的时间不超过 1.5ms。

7.3.4 I²C 模式

在该模式下，启用 I²C，SCA 和 SDL 引脚分别用作 I²C 时钟和 I²C 数据引脚。[表 7-2](#) 展示了可通过 I2C_ADDR 引脚选择的四个默认 I²C 地址。I²C 地址的 5 个 MSB 在 I2C_ADDR (R12[14:8]) 的上五个位中设置。

如果 I2C_ADDR_LSB_SEL (R12[15]) = 0，则 I2C_ADDR 引脚被忽略，并且 I²C 地址仅由 I2C_ADDR 决定。

表 7-2. I²C 地址选择

REF_CTRL 引脚 ⁽¹⁾	I2C_ADDR 引脚	I ² C 地址 ⁽²⁾
高	X	不适用 (禁用 I2C)
低	0	0x68/0xD0
低	1	0x69/0xD2
低	连接至 SDA	0x6A/0xD4
低	连接至 SCL	0x6B/0xD8

- (1) 这是上电时 REF_CTRL 引脚的状态，而不是实时引脚状态。
 (2) 0xD0、0xD2、0xD4 和 0xD8 地址包含的 R/W 位设置为“0”。

更改器件寄存器时，首先将 PDN 设置为“1”，对器件寄存器进行写入，然后将 PDN 设置为“0”。[图 7-4](#) 给出了该过程。

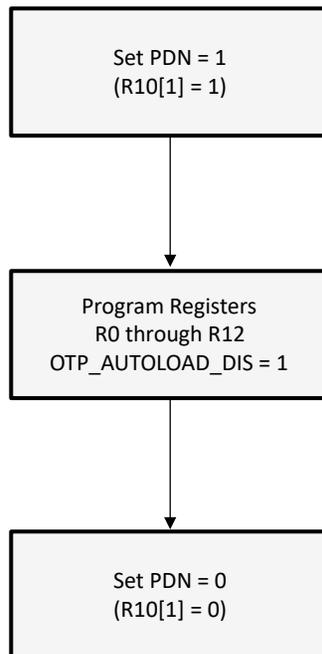


图 7-4. LMK3C0105-Q1 编程序列

7.4 器件功能模式

7.4.1 失效防护输入

LMK3C0105-Q1 数字输入引脚旨在支持失效防护输入操作，REF_CTRL 引脚除外。该特性允许用户在施加 VDD 之前驱动数字输入，而不会损坏器件。有关该器件支持的最大输入电压的更多信息，请参阅[绝对最大额定值](#)。

7.4.2 分数输出分频器

LMK3C0105-Q1 包含两个分数输出分频器。如果所有输出都能由单个 FOD 生成，TI 建议禁用 FOD1 以节省电力并提高性能。如果没有输出通道选择 FOD1，则 FOD1 被禁用。

7.4.2.1 FOD 运行

内部 BAW 谐振器由一个或两个分数输出分频器 (FOD) 向下分频。FOD0 具有一个 SSC 发生器，FOD1 不具有 SSC 发生器。如果所有输出都必须是 SSC 时钟，则时钟必须由 FOD0 提供。如果同时需要 SSC 时钟和 1 个非 SSC 时钟，则为 SSC 时钟启用 FOD0，为非 SSC 时钟启用 FOD1。如果没有输出时钟需要 SSC，则可使用任一 FOD。

备注

如果应用只需要一个 FOD，TI 建议使用 FOD0 作为默认 FOD。如果需要两个 FOD，则 TI 建议将 FOD0 与 OUTA/OUTB 结合使用，并将 FOD1 与 OUTC/OUTD 结合使用。

单个 FOD 在时钟输出处可以生成的最大频率为 200MHz。两个 FOD 可以独立配置，从而使 OUTA/OUTB 和 OUTC/OUTD 可具有不同的频率。TI 建议尽可能由单个 FOD 提供源，以确保 OUTA/OUTB 和 OUTC/OUTD 具有确定性的相位关系，从而最大限度减小功耗。

LMK3C0105-Q1 中的 FOD 可通过 I2C 编程进行配置，以适应各种输出频率，或者在没有编程的情况下采用一次性编程 (OTP) 设置。可以通过设置整数 (FODx_N_DIV) 和分数 (FODx_NUM) 分频值来配置 FOD。[表 7-3](#) 展示了每个 FOD 的这些字段的寄存器位置。

表 7-3. FOD 整数和分子分频位置

字段	寄存器
FOD0_N_DIV	R0[9:3]
FOD0_NUM[23:16]	R1[15:8]
FOD0_NUM[15:0]	R2[15:0]
FOD1_N_DIV	R3[15:9]
FOD1_NUM[23:16]	R6[12:5]
FOD1_NUM[15:0]	R8[15:0]

[方程式 1](#) 和 [方程式 2](#) 展示了一个有关如何设置整数和分子分频值的示例。

$$FODx_N_DIV = \text{floor}\left(\frac{F_{BAW}}{F_{FOD}}\right) \quad (1)$$

其中：

- FODx_N_DIV：FOD 分频值的整数部分 (7 位，6 至 24)
- F_{BAW} ：BAW 频率，2467MHz 加偏移，下文将对此进行进一步的详细介绍
- F_{FOD} ：所需的 FOD 频率 (100MHz 至 400MHz)

$$FODx_NUM = \text{int}\left(\left(\frac{F_{BAW}}{F_{FOD}}\right) - FODx_N_DIV\right) \times 2^{24} \quad (2)$$

其中 FODx_NUM 是 FOD 分频值的分数部分 (24 位，即 0 至 16777215)。

输出频率 (F_{out}) 与 FOD 频率相关, 如 [方程式 3](#) 所示。OUTDIV 可以是 2、4、6、8、10、20 或 40。

$$F_{OUT} = \frac{F_{FOD}}{OUTDIV} \quad (3)$$

可以使用 [方程式 4](#) 来计算器件 BAW 频率的实际值。用户可以通过读取 [R238](#) 找到 BAWFREQ_OFFSET_FIXEDLUT 的值, 这是一个有符号的 16 位值。

$$F_{BAW} = 2467\text{MHz} \times (1 + (\text{BAWFREQ_OFFSET_FIXEDLUT} \times 128\text{E} - 9)) \quad (4)$$

7.4.2.2 数字状态机

LMK3C0105-Q1 的数字状态机具有一个源自 FOD 之一的时钟。CH0_FOD_SEL ([R3\[4\]](#)) 选择的 FOD 将输入驱动至状态机时钟分频器。总分频值为 DIG_CLK_N_DIV ([R0\[9:3\]](#)) 字段加 2。设置 DIG_CLK_N_DIV, 使 FOD 频率除以总状态机时钟分频值后介于 40MHz 和 50MHz 之间。用于设置该时钟的分频器值等于以下位置中存储的值: 例如, 如果 FOD0 的频率为 200MHz, 且 CH0_FOD_SEL 为 “0”, 则 DIG_CLK_N_DIV 必须设置为 “2”, 因为 200MHz 除以 4 等于 50MHz。

7.4.2.3 展频时钟

FOD0 支持展频时钟 (SSC)。SSC 可用于通过调制输出频率来降低峰值辐射发射。SSC_EN ([R4\[0\]](#)) = 1 时, 源自 FOD0 的任何输出都具有 SSC。SSC_MOD_TYPE ([R4\[1\]](#)) 在向下展频调制 (SSC_MOD_TYPE = 0) 或中心展频调制 (SSC_MOD_TYPE = 1) 之间进行选择。LMK3C0105-Q1 具有四个内置向下展频 SSC 选项以及一个自定义 SSC 选项。SSC_CONFIG_SEL ([R9\[11:9\]](#)) 在自定义选项或预配置选项之间进行选择。预配置选项针对 FOD0 的 200MHz 输出进行了优化。[表 7-4](#) 详细介绍了预配置 SSC 选项的寄存器设置。

表 7-4. 预定义的 SSC 配置

SSC_CONFIG_SEL	向下展频 SSC 深度
0x0	自定义, 基于 SSC_STEPS 和 SSC_STEP_SIZE
0x1	-0.10%
0x2	-0.25%
0x3	-0.30%
0x4	-0.50%
所有其他值	保留

如果选择自定义 SSC, 则必须配置 SSC_STEPS ([R4\[14:2\]](#)) 和 SSC_STEP_SIZE ([R5](#)) 来设置调制深度。使用 [方程式 5](#) 和 [方程式 6](#) 来确定 SSC_STEPS ([R4\[14:2\]](#)) 寄存器设置, 使用 [方程式 7](#) 或 [方程式 8](#) 来确定 SSC_STEP_SIZE ([R5](#)) 设置。[方程式 7](#) 用于向下展频 SSC, [方程式 8](#) 用于中心展频 SSC。

$$\text{Down - spread: } \text{SSC_STEPS} = \text{int}\left(\left(\frac{F_{FOD0}}{F_{MOD}}\right) \div 2\right) \quad (5)$$

$$\text{Center - spread: } \text{SSC_STEPS} = \text{int}\left(\left(\frac{F_{FOD0}}{F_{MOD}}\right) \div 4\right) \quad (6)$$

其中:

- F_{FOD0} : FOD0 频率
- F_{MOD} : 调制频率, 通常使用 31.5kHz

$$\text{SSC_STEP_SIZE} = \text{floor}\left(\frac{\left(\left(\frac{F_{BAW}}{F_{FOD0}}\right) \times \left(\frac{1}{1 - \text{SSC_DEPTH}}\right) - 1\right)}{\text{SSC_STEPS} \times \text{DEN}}\right) \quad (7)$$

$$SSC_STEP_SIZE = \text{floor} \left(\frac{\left(\left(\frac{F_{BAW}}{F_{FOD}} \right) \times \left(\frac{1}{1 - SSC_DEPTH} \right) - \left(\frac{1}{1 + SSC_DEPTH} \right) \right)}{2 \times SSC_STEPS \times DEN} \right) \quad (8)$$

其中：

- **SSC_STEP_SIZE**：SSC 每阶跃的分子增量值
- **F_{BAW}**：BAW 频率，2467MHz。请注意，F_{BAW} 值因器件而异。
- **SSC_DEPTH**：调制深度，表示为正值。如果使用 -0.5% 深度，则该值为 0.005
- **SSC_STEPS**：对于向下展频，结果来自[方程式 5](#)，或者对于中心展频，结果来自[方程式 6](#)
- **DEN**：分数分母，2²⁴

如果在一个输出上混合使用 SSC，而在另一输出上不使用 SSC，则两个输出之间可能会出现串扰。仅在单个输出上配置 SSC 时，请联系 TI 以申请特定配置的测量数据。

修改 SSC 设置时，在配置其他 SSC 设置之前，请勿将 SSC_EN 设置为“1”。请按照以下步骤配置 SSC：

1. 将 PDN 设置为“1”。
2. 将 OTP_AUTOLOAD_DIS 设置为“1”。
3. 根据需要修改 SSC_MOD_TYPE、SSC_STEP_SIZE 和 SSC_STEPS。
4. 将 SSC_EN 设置为“1”。
5. 将 PDN 设置为“0”。

7.4.2.4 整数边界杂散

当 FOD 分频值的小数部分接近整数边界时，可能会发生整数边界杂散。通常，该“整数边界”在小数部分处于 0.9 和 1 之间或 0 和 0.1 之间时出现。例如，如果 BAW 频率为 2467MHz，输出为 61.44MHz，则 FOD 可以以 122.88MHz 运行。2467MHz 除以 122.88MHz 约为 20.076。分频值的小数部分为 0.076，介于 0 和 0.1 之间，因此意味着生成 61.44MHz 输出可能会导致输出时钟上在 12kHz 至 20MHz 区间出现杂散。在某些情况下，适当的频率规划可以通过增加 FOD 频率和通道分频器值来解决该问题。使用 368.64MHz 的 FOD 频率和通道分频器 6 也会产生 61.44MHz 的输出频率。这里的 FOD 分频值约为 6.692，不会产生整数边界杂散。如果对特定频率计划的整数边界杂散有任何疑问，请联系 TI。

7.4.3 输出行为

7.4.3.1 输出格式选择

该器件仅支持 LVCMOS 输出。对于 LVCMOS 输出，如果 VDD 为 3.3V，则 VDDO 可以为 1.8V、2.5V 或 3.3V。否则，VDDO 的电压必须与 VDD 相同。

表 7-5. 通过寄存器确定输出格式

OUTAB_FMT/OUTCD_FMT	说明
0x0	保留
0x1	保留
0x2	保留
0x3	保留
0x4	在 OUTA/OUTC 上启用 LVCMOS 在 OUTB/OUTD 上禁用 LVCMOS
0x5	在 OUTA/OUTC 上禁用 LVCMOS 在 OUTB/OUTD 上启用 LVCMOS
0x6	在 OUTA/OUTC 上启用 LVCMOS 在 OUTB/OUTD 上启用 LVCMOS OUTA/OUTC 和 OUTB/OUTD 具有 180 度的相位差 ⁽¹⁾

表 7-5. 通过寄存器确定输出格式 (续)

OUTAB_FMT/OUTCD_FMT	说明
0x7	在 OUTA/OUTC 上启用 LVCMOS 在 OUTB/OUTD 上启用 LVCMOS OUTA/OUTC 和 OUTB/OUTD 同相

- (1) 如果同时需要 OUTA 和 OUTB 或 OUTC 和 OUTD 时钟, 为了获得出色输出性能, TI 建议使用具有 180 度相位差的 LVCMOS。

7.4.3.2 REF_CTRL 运行

启动时, REF_CTRL 引脚在低电平时选择 I², 低电平时为 C 模式, 高电平时选择 OTP 模式。启动后, REF_CTRL 默认输出 LVCMOS REF_CLK, 该时钟源自 FOD0 或 FOD1, 后跟整数分频器 (/2、/4、/8)。或者, 可以禁用该引脚, 或用作“时钟就绪”信号。REF_CTRL_PIN_FUNC (R7[14:13]) 控制 REF_CTRL 引脚的功能。表 7-6 展示了这些选项。

表 7-6. 启动后的 REF_CTRL 功能

REF_CTRL_PIN_FUNC	REF_CTRL 功能
0x0	禁用, 强制低电平
0x1	禁用, 三态
0x2 (默认值)	REF_CLK LVCMOS 输出
0x3	CLK_READY 输出

7.4.4 输出使能

7.4.4.1 输出使能控制

该器件支持同步输出启用 (OE) 功能。同步 OE 意味着当 OE 信号被置为有效或无效时, 输出上不会出现干扰。

表 7-7 展示了通过引脚配置和 I²C 启用和禁用输出。请注意, OE 引脚必须为低电平并且 OE 位必须为“1”才能使输出默认有效。输出启用位为 OUTAB_EN (R7[1]) 和 OUTCD_EN (R7[8])。

表 7-7. OE 功能

OE 引脚	OE 引脚极性	软件输出启用 OUTx_EN	OUTx
高	低电平有效	0	关闭
高	低电平有效	1	关闭
低电平	低电平有效	0	关闭
低电平	低电平有效	1	打开
高	高电平有效	0	关闭
高	高电平有效	1	打开
低电平	高电平有效	0	关闭
低电平	高电平有效	1	关闭

7.4.4.2 输出使能极性

OE 引脚极性可编程, 默认为低电平有效。当 OE 引脚为低电平有效时, 内部下拉电阻器自动启用, 内部上拉电阻器被禁用。当 OE 引脚为高电平有效时, 内部上拉电阻器自动启用, 内部下拉电阻器被禁用。默认情况下, 当 OE 引脚悬空时, 时钟输出始终启用。OE 引脚极性由 OE_PIN_POLARITY (R7[0]) 设置, “1”表示低电平有效 (默认), “0”表示高电平有效。

7.4.4.3 独立输出启用

I2C_ADDR 引脚可重新配置为第二个输出启用引脚。设置 SEPARATE_OE_EN (R11[14]) 以启用该功能。该位可通过 OTP 进行编程。当 I2C_ADDR 用作输出启用引脚时，OE 引脚控制 OUTA 和 OUTB，I2C_ADDR 引脚控制 OUTC 和 OUTD。在这种情况下，OE_PIN_POLARITY (R7[0]) 位适用于 OE 和 I2C_ADDR 引脚。

7.4.4.4 输出禁用行为

当输出被禁用时，输出可以被强制设为低电平或三态条件，具体取决于 OUTAB_DISABLE_STATE (R3[5]) (对于 OUTA 和 OUTB) 和 OUTCD_DISABLE_STATE (R3[6]) (对于 OUTC 和 OUTD)。对于“0”，输出为低电平；对于“1”，置于三态条件下。

7.4.5 器件默认设置

表 7-8 总结了 LMK3C0105Q1TV3 和 LMK3C0105Q1TV1 启动时四个 OTP 页面的默认设置。在 I²C 模式下，会加载第 0 页设置。有关每个默认寄存器设置的完整列表，请参阅 [器件寄存器](#)。

表 7-8. LMK3C0105-Q1 启动设置

参数	OTP 第 0 页	OTP 第 1 页	OTP 第 2 页	OTP 第 3 页
VDD 电源电压	3.3V (LMK3C0105Q1TV3) 1.8V (LMK3C0105Q1TV1)			
OUTA/OUTB 频率	25MHz	25MHz	25MHz	25MHz
OUTA/OUTB 输出格式	LVC MOS, 同相	LVC MOS, 同相	LVC MOS, 同相	LVC MOS, 同相
OUTA/OUTB 启用	启用	启用	启用	启用
OUTA/OUTB 禁用行为	GND	GND	GND	GND
OUTC/OUTD 频率	25MHz	25MHz	25MHz	25MHz
OUTC/OUTD 输出格式	LVC MOS, 同相	LVC MOS, 同相	LVC MOS, 同相	LVC MOS, 同相
OUTC/OUTD 启用	启用	启用	启用	启用
OUTC/OUTD 禁用行为	GND	GND	GND	GND
REF_CTRL 行为	REF_CLK, 25MHz	REF_CLK, 25MHz	REF_CLK, 25MHz	REF_CLK, 25MHz
FOD0 频率	200MHz	200MHz	200MHz	200MHz
FOD1 频率	200MHz	200MHz	200MHz	200MHz
SSC 启用	禁用	启用	启用	启用
SSC 调制类型	向下展频	向下展频	向下展频	向下展频
SSC 调制深度	0%	-0.1%	-0.3%	-0.5%
引脚 2 功能	独立输出启用	独立输出启用	独立输出启用	独立输出启用

7.5 编程

主机 (DSP、微控制器、FPGA 等) 通过 I²C 端口配置和监控 LMK3C0105-Q1。主机读取和写入称为寄存器组的控制位集合。可以通过位于寄存器空间内的特定位组来控制 and 监视器件块。在没有主机的情况下，LMK3C0105-Q1 可配置为通过存储在内部 EFUSE 中的四个片上 OTP 页面之一在 OTP 模式下运行，具体取决于 REF_CTRL 和 OTP_SELx 引脚的状态。EFUSE 由 TI 一次性编程，不可重写。这意味着上电时自动从 EFUSE 加载的寄存器值无法自定义。然而，之后可以通过 I²C 寄存器接口更改寄存器值。在器件寄存器中，某些位具有读取/写入访问权限。其他位是只读的 (尝试对只读位进行写入不会更改该位的状态)。某些器件寄存器和位是保留的，这意味着不得从默认复位状态更改相应的字段。

7.5.1 I²C 串行接口

LMK3C0105-Q1 上的 I²C 端口用作外围器件，支持 100kHz 标准模式和 400kHz 快速模式运行。快速模式对控制信号提出了干扰容限要求。因此，输入接收器会忽略持续时间小于 50ns 的脉冲。[I²C 接口规范](#) 中提供了 I²C 时序要求。图 7-5 显示了时序图。

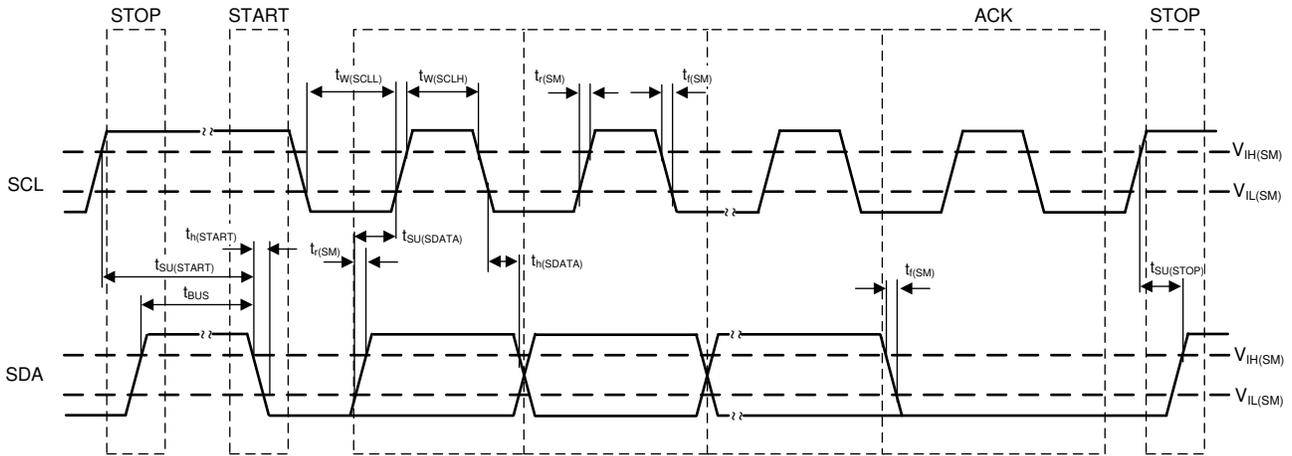


图 7-5. I²C 时序图

可以通过作为 I²C 数据包的一部分传输的 7 位外设地址来访问 LMK3C0105-Q1。只有具有匹配外设地址的器件才会响应后续的 I²C 命令。在 I²C 模式下，LMK3C0105-Q1 允许最多四个独特的外围器件根据 I2C_ADDR 的引脚搭接（连接到 VDD、GND、SDA 或 SCL）占用 I2C 总线。默认情况下，器件外设地址为 0b11010xx（两个 LSB 由 I2C_ADDR 引脚确定）。通过 I²C 可以配置完整地址。

在通过 I²C 接口传输数据期间，针对传输的每个数据位生成一个时钟脉冲。在时钟的高电平期间，SDA 线上的数据必须保持稳定。数据线的高电平或低电平状态只能在 SCL 线上的时钟信号为低电平时发生变化。启动数据传输条件的特征是当 SCL 为高电平时 SDA 线上发生从高电平到低电平的转换。停止数据传输条件的特征是当 SCL 为高电平时 SDA 线上发生从低电平到高电平的转换。启动和停止条件始终由控制器启动。SDA 线上每个字节的长度都必须为八位。每个字节后面必须跟有一个响应位，并且字节首先发送 MSB。LMK3C0105-Q1 具有一个 8 位寄存器地址，后跟一个 16 位数据字。

响应位 (A) 或否定响应位 (A') 是附加到任何 8 位数据字节的第 9 位，始终由接收器生成，用于向发送器通知已收到该字节（当 A = 0 时）或未收到该字节（当 A' = 0 时）。A = 0 是通过在第 9 个时钟脉冲期间将 SDA 线拉至低电平来实现的，A' = 0 是通过在第 9 个时钟脉冲期间将 SDA 线保持在高电平来实现的。

I²C 控制器通过将启动条件置为有效来启动数据传输，这会启动连接到串行总线的所有外围器件的响应。根据控制器通过 SDA 线发送的 8 位地址字节（由 7 位外设地址（MSB 在前）和一个 R/W' 位组成），地址与传输地址相对应的器件通过发送响应位进行响应。当选定的器件等待与控制器进行数据传输时，总线上的所有其他器件保持空闲。

数据传输发生后，停止条件建立。在写入模式下，控制器在来自外设的最后一个数据字节的响应位之后的第 10 个时钟脉冲期间将停止条件置为有效以结束数据传输。在读模式下，控制器从外设接收最后一个数据字节，但在第 9 个时钟脉冲期间不会将 SDA 拉至低电平。这称为否定响应位。通过接收否定响应位，外设知道数据传输已完成并进入空闲模式。然后，控制器在第 10 个时钟脉冲之前的低电平周期内将数据线设为低电平，并在第 10 个时钟脉冲期间将数据线设为高电平以将停止条件置为有效。图 7-6 和图 7-7 展示了使用 LMK3C0105-Q1 分别进行块写入和块读取的序列。

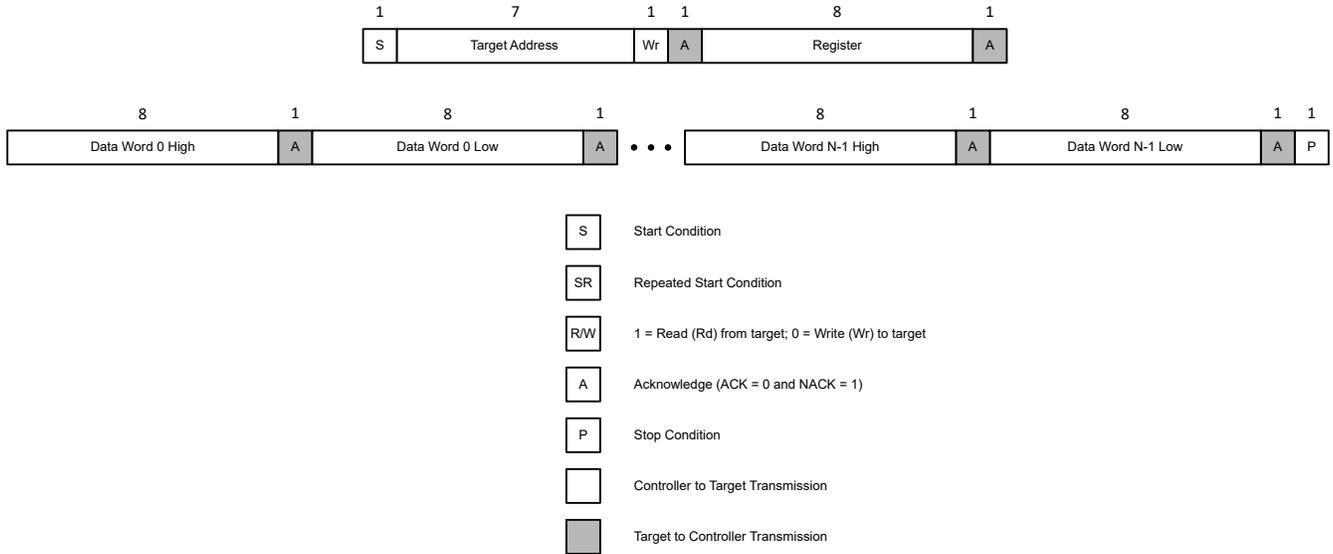


图 7-6. 一般块写入序列



图 7-7. 一般块读取序列

7.5.2 一次性编程序列

高位寄存器空间包括从 R13 开始的所有寄存器以及 I2C_ADDR (R12[15:8])。可以通过向 UNLOCK_PROTECTED_REG (R12[7:0]) 写入 0x5B (I2C_ADDR 保持不变) 来解锁高位寄存器空间。

有六个字段可以具有不同的值，具体取决于器件启动时加载的 EFUSE 页面。

- OUTA/OUTB 输出格式
- OUTA/OUTB 启用
- OUTC/OUTD 输出格式
- OUTC/OUTD 启用
- SSC 启用
- SSC 配置 (预配置或自定义)

所有其他字段在全部四个 EFUSE 页面中保留相同的值。如需生成自定义配置，请联系 TI。

8 器件寄存器

8.1 寄存器映射

表 8-1 列出了 LMK3C0105-Q1 器件寄存器。表 8-1 中未列出的所有寄存器偏移地址都可视为保留的位置。不得修改保留位置的寄存器内容。

表 8-1. LMK3C0105-Q1 寄存器

地址	首字母缩写词	部分
0x0	R0	R0
0x1	R1	R1
0x2	R2	R2
0x3	R3	R3
0x4	R4	R4
0x5	R5	R5
0x6	R6	R6
0x7	R7	R7
0x8	R8	R8
0x9	R9	R9
0xA	R10	R10
0xB	R11	R11
0xC	R12	R12
0xEE	R238	R238

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. LMK3C0105-Q1 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
WL	W L	写入 锁定，需要 UNLOCK_PROTECT ED_REG (R12[7:0]) = 0x5B 才能成功解锁和 写入

8.1.1 R0 寄存器 (地址 = 0x0) [复位 = 0x0861/0x0863]

表 8-3 展示了 R0。

返回到[汇总表](#)。

表 8-3. R0 寄存器字段说明

位	字段	类型	复位	说明
15:10	DIG_CLK_N_DIV	R/W	0x02	数字状态机时钟速率。源自 CH0_FOD_SEL 多路复用器提供的 FOD 频率。目标频率最大为 50MHz。实际分频值为 DIG_CLK_N_DIV 值加 2。该字段存储在 EFUSE 中。
9:3	FOD0_N_DIV	R/W	0x0C	BAW 频率与 FOD0 频率的整数比。该字段存储在 EFUSE 中。

表 8-3. R0 寄存器字段说明 (续)

位	字段	类型	复位	说明
2:1	SUP_LVL_SEL	R/W	0x0 (TV3) 0x1 (TV1)	内核电源 LDO 的工作电压。该字段为出厂编程, 不得使用与编程值不同的值覆盖。VDD 和 VDDO 引脚上的电源电压不得超过选定的电压值 + 10%。 0 : 3.3V 1 : 1.8V 2 : 2.5V
0	OTP_BURNT	R/WL	0x1	指示 EFUSE 已编程。如果该字段为“1”, 则 EFUSE 已编程。

8.1.2 R1 寄存器 (地址 = 0x1) [复位 = 0x5599]

表 8-4 展示了 R1。

返回到[汇总表](#)。

表 8-4. R1 寄存器字段说明

位	字段	类型	复位	说明
15:8	FOD0_NUM[23:16]	R/W	0x55	FOD0 分数分频值的高字节。该字段的值因器件而异。该字段存储在 EFUSE 中。
7:0	保留	R/W	0x99	保留, 仅向该字段写入 0x99。

8.1.3 R2 寄存器 (地址 = 0x2) [复位 = 0xC28F]

表 8-5 展示了 R2。

返回到[汇总表](#)。

表 8-5. R2 寄存器字段说明

位	字段	类型	复位	说明
15:0	FOD0_NUM[15:0]	R/W	0xC28F	FOD0 分数分频值的低两个字节。该字段的值因器件而异。该字段存储在 EFUSE 中。

8.1.4 R3 寄存器 (地址 = 0x3) [复位 = 0x1804]

表 8-6 展示了 R3。

返回到[汇总表](#)。

表 8-6. R3 寄存器字段说明

位	字段	类型	复位	说明
15:9	FOD1_N_DIV	R/W	0x0C	BAW 频率与 FOD1 频率的整数比。该字段存储在 EFUSE 中。
8	CH1_FOD_SEL	R/W	0x0	选择 FOD 用作通道分频器 1 的输入源。该字段存储在 EFUSE 中。 0h : FOD0。 1h : FOD1。
7	保留	R/W	0x0	保留, 仅向该位写入“0”。
6	OUTCD_DISABLE_STATE	R/W	0x0	当 OUTC 和 OUTD 被禁用时, 该位选择是否强制将 OUTC 和 OUTD 引脚设置为 GND 或置于三态条件下。该字段存储在 EFUSE 中。 0h : 禁用时强制设置为 GND。 1h : 禁用时置于三态条件下。
5	OUTAB_DISABLE_STATE	R/W	0x0	当 OUTA 和 OUTB 被禁用时, 该位选择是否强制将 OUTA 和 OUTB 引脚设置为 GND 或置于三态条件下。该字段存储在 EFUSE 中。 0h : 禁用时强制设置为 GND。 1h : 禁用时置于三态条件下。

表 8-6. R3 寄存器字段说明 (续)

位	字段	类型	复位	说明
4	CH0_FOD_SEL	R/W	0x0	选择 FOD 用作通道分频器 0 的输入源。该字段存储在 EFUSE 中。 0h : FOD0。 1h : FOD1。
3	保留	R/W	0x0	保留, 仅向该位写入“0”。
2:0	CH0_DIV	R/W	0x4	通道分频器 0 的分频器值。该字段存储在 EFUSE 中。 0h : 禁用通道分频器。 1h : FOD/2 2h : FOD/4 3h : FOD/6 4h : FOD/8 5h : FOD/10 6h : FOD/20 7h : FOD/40

8.1.5 R4 寄存器 (地址 = 0x4) [复位 = 0x0000]

表 8-7 展示了 R4。

返回到[汇总表](#)。

表 8-7. R4 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	不适用	保留, 请勿对该字段进行写入。
14:2	SSC_STEPS	R/W	0x0000	SSC 三角曲线每段的阶跃数。有关计算该值的说明, 请参阅 展频时钟 。该字段存储在 EFUSE 中。
1	SSC_MOD_TYPE	R/W	0x0	在自定义 SSC 配置的向下展频和中心展频调制之间进行选择。该字段存储在 EFUSE 中。 0h : 向下展频调制。 1h : 中心展频调制。
0	SSC_EN	R/W	0x0	启用 SSC。该字段存储在 EFUSE 中。 0h : 禁用 SSC。 1h : 启用 SSC。

8.1.6 R5 寄存器 (地址 = 0x5) [复位 = 0x0000]

表 8-8 展示了 R5。

返回到[汇总表](#)。

表 8-8. R5 寄存器字段说明

位	字段	类型	复位	说明
15:0	SSC_STEP_SIZE	R/W	0x0000	SSC 每阶跃的分子增量值。有关计算该值的说明, 请参阅 展频时钟 。该字段存储在 EFUSE 中。

8.1.7 R6 寄存器 (地址 = 0x6) [复位 = 0x0AA7]

表 8-9 展示了 R6。

返回到[汇总表](#)。

表 8-9. R6 寄存器字段说明

位	字段	类型	复位	说明
15:13	CH1_DIV	R/W	0x0	通道分频器 1 的分频器值。该字段存储在 EFUSE 中。 0h : 禁用通道分频器。 1h : FOD/2 2h : FOD/4 3h : FOD/6 4h : FOD/8 5h : FOD/10 6h : FOD/20 7h : FOD/40
12:5	FOD1_NUM[23:16]	R/W	0x55	FOD1 分数分频值的高字节。该字段的值因器件而异。该字段存储在 EFUSE 中。
4:3	保留	R/W	0x0	保留，仅向该位写入“0”。
2:0	OUTAB_FMT	R/W	0x7	选择 OUTA/OUTB 的输出格式。该字段存储在 EFUSE 中。 0h : 保留。 1h : 保留。 2h : 保留。 3h : 保留。 4h : LVCMOS，启用 OUTA，禁用 OUTB。 5h : LVCMOS，禁用 OUTA，启用 OUTB。 6h : LVCMOS，启用 OUTA，启用 OUTB，具有 180 度的相位差。 7h : LVCMOS，启用 OUTA，启用 OUTB，OUTA 和 OUTB 同相。

8.1.8 R7 寄存器 (地址 = 0x7) [复位 = 0x5D1F]

表 8-10 展示了 R7。

返回到[汇总表](#)。

表 8-10. R7 寄存器字段说明

位	字段	类型	复位	说明
15	保留	不适用	0x0	保留，请勿对该字段进行写入。
14:13	REF_CTRL_PIN_FUNC	R/W	0x2	设置 REF_CTRL 引脚的功能。该字段存储在 EFUSE 中。 0h : REF_CTRL 引脚被禁用，拉至 GND。 1h : REF_CTRL 引脚被禁用，置于三态状态条件下。 2h : REF_CTRL 引脚用作附加 LVCMOS REF_CLK 输出。 3h : REF_CTRL 引脚用作“时钟就绪”信号。
12:11	REF_CLK_DIV	R/W	0x3	当 REF_CTRL 用作 REF_CLK 时，REF_CLK 输出分频器值。该字段存储在 EFUSE 中。 0h : 禁用 REF_CLK。 1h : FOD/2。 2h : FOD/4。 3h : FOD/8。
10	保留	R/W	0x1	保留。请勿向该字段写入“1”以外的任何值。
9	REF_CLK_FOD_SEL	R/W	0x0	选择用于生成 REF_CLK 输出的 FOD。该字段存储在 EFUSE 中。 0h : FOD0。 1h : FOD1。
8	OUTCD_EN	R/W	0x1	OUTC 和 OUTD 的输出启用位。该字段存储在 EFUSE 中。 0h : 禁用 OUTC 和 OUTD。 1h : 启用 OUTC 和 OUTD。

表 8-10. R7 寄存器字段说明 (续)

位	字段	类型	复位	说明
7	OUTCD_CH_SEL	R/W	0x0	选择 OUTC/OUTD 的源。该字段存储在 EFUSE 中。 0h : OUTC 和 OUTD 源自通道分频器 0。 1h : OUTC 和 OUTD 源自通道分频器 1。
6:5	保留	R/W	0x0	保留, 仅向该位写入“0”。
4:2	OUTCD_FMT	R/W	0x7	选择 OUTC 和 OUTD 的输出格式。该字段存储在 EFUSE 中。 0h : 保留。 1h : 保留。 2h : 保留。 3h : 保留。 4h : LVCMOS, 启用 OUTC, 禁用 OUTD。 5h : LVCMOS, 禁用 OUTC, 启用 OUTD。 6h : LVCMOS, 启用 OUTC, 启用 OUTD, 具有 180 度的相位差。 7h : LVCMOS, 启用 OUTC, 启用 OUTD, OUTC 和 OUTD 同相。
1	OUTAB_EN	R/W	0x1	OUTA 和 OUTB 的输出启用位。该字段存储在 EFUSE 中。 0h : 禁用 OUTA 和 OUTB。 1h : 启用 OUTA 和 OUTB。
0	OE_PIN_POLARITY	R/W	0x1	OE 引脚极性选择。该位不影响 OUTx_EN 位的极性, 仅影响 OE 引脚。该字段存储在 EFUSE 中。 0h : OE 为高电平有效 (OE 连接至 VDD 启用输出)。 1h : OE 为低电平有效 (OE 连接至 GND 启用输出)。

8.1.9 R8 寄存器 (地址 = 0x8) [复位 = 0xC28F]

表 8-11 展示了 R8。

返回到[汇总表](#)。

表 8-11. R8 寄存器字段说明

位	字段	类型	复位	说明
15:0	FOD1_NUM[15:0]	R/W	0xC28F	FOD1 分数分频值的低两个字节。该字段的值因器件而异。该字段存储在 EFUSE 中。

8.1.10 R9 寄存器 (地址 = 0x9) [复位 = 0x3000/0x1000]

表 8-12 展示了 R9。

返回到[汇总表](#)。

表 8-12. R9 寄存器字段说明

位	字段	类型	复位	说明
15:12	OTP_ID	R/W	0x3 (TV3) 0x1 (V18) (TV1)	用于识别 OTP 配置的可配置字段。可在 I2C 模式下用作 4 位备用字段。该字段存储在 EFUSE 中。

表 8-12. R9 寄存器字段说明 (续)

位	字段	类型	复位	说明
11:9	SSC_CONFIG_SEL	R/W	0x0	SSC 调制配置。如果需要中心展频调制，则需要自定义 SSC 配置。还提供四种预配置的向下展频调制深度。任何其他调制深度都需要自定义 SSC 配置。该字段存储在 EFUSE 中。 预配置的 SSC 选项专门用于 100MHz 时钟输出。对于其他输出频率，TI 建议创建自定义 SSC 配置。 0h：自定义 SSC 配置 - 有关创建自定义配置的详细信息，请参阅 展频时钟 。 1h：- 0.10% 预配置向下展频。 2h：- 0.25% 预配置向下展频。 3h：- 0.30% 预配置向下展频。 4h：- 0.50% 预配置向下展频。 所有其他值：保留
8:0	保留	R/W	0x000	保留，仅向该位写入“0”。

8.1.11 R10 寄存器 (地址 = 0xA) [复位 = 0x0010]

表 8-13 展示了 R10。

返回到[汇总表](#)。

表 8-13. R10 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R/W	0x0	保留。仅向该位写入“0”。
14:11	PROD_REVID	R	不适用	产品修订版本标识符。
10	CLK_READY	R	不适用	CLK_READY 状态。当 REF_CTRL 引脚用作“时钟就绪”信号时，该引脚会镜像该状态信号。
9	保留	R	不适用	保留，请勿对该字段进行写入。
8	RB_PIN_15	R	不适用	REF_CTRL 引脚的读回。
7	RB_PIN_4	R	不适用	OTP_SEL1/SDA 引脚的读回。
6	RB_PIN_3	R	不适用	OTP_SEL0/SCL 引脚的读回。
5	RB_PIN_2	R	不适用	I2C_ADDR 引脚的读回。
4	DEV_IDLE_STATE_SEL	R/W	0x1	当两个输出都被禁用时，该位控制器件的行为。对于时间紧迫的应用，不建议将器件置于低功耗状态，因为重新启用时钟的时间会延长。该字段存储在 EFUSE 中。 0h：当两个输出均被禁用时，输出将被静音，器件被置于低功耗状态。 1h：当两个输出均被禁用时，输出被静音。器件不进入低功耗状态。
3	PIN_RESAMPLE_DIS	R/W	0x0	该位控制退出低功耗模式时器件引脚的重新采样。在低功耗模式下写入该位。除非明确需要该功能，否则 TI 建议保持该位为“1”。 0h：启用引脚重新采样。退出低功耗模式时，对 I2C_ADDR、OTP_SEL0/SCL、OTP_SEL1/SDA 和 I2C_ADDR 引脚重新采样。如果 I2C_ADDR 为高电平，则该器件进入 OTP 模式。 1h：禁用引脚重新采样。退出低功耗模式时，不对 I2C_ADDR、OTP_SEL0/SCL、OTP_SEL1/SDA 和 I2C_ADDR 引脚重新采样。器件保持在 I2C 模式。
2	OTP_AUTOLOAD_DIS	R/W	0x0	该位控制器件在退出低功耗模式时的行为。在低功耗模式下写入该位。除非明确需要该功能，否则 TI 建议保持该位为“1”。 0h：启用 OTP 自动加载。退出低功耗模式时，OTP 第 0 页的内容会写入器件寄存器。 1h：禁用 OTP 自动加载。退出低功耗模式时，OTP 第 0 页的内容不会写入器件寄存器。
1	PDN	R/W	0x0	向该位写入“1”会使器件进入低功耗状态。

表 8-13. R10 寄存器字段说明 (续)

位	字段	类型	复位	说明
0	保留	R/W	0x0	保留。仅向该位写入“0”。

8.1.12 R11 寄存器 (地址 = 0xB) [复位 = 0x4000]

表 8-14 显示了 R11。

返回到[汇总表](#)。

表 8-14. R11 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R/W	0x0	保留。仅向该位写入“0”。
14	SEPARATE_OE_EN	R/W	0x1	该位启用器件的独立输出使能功能。如果该位为“1”，则 I2C_ADDR_LSB_SEL 必须设置为“0”。该字段存储在 EFUSE 中。 0h：引脚 1 是用于 OUTA、OUTB、OUTC 和 OUTD 的输出启用。 1h：引脚 1 是用于 OUTA 和 OUTB 的输出启用，引脚 2 是用于 OUTC 和 OUTD 的输出启用。
13:0	保留	R/W	0x0000	保留，请勿对该字段进行写入。

8.1.13 R12 寄存器 (地址 = 0xC) [复位 = 0x6800]

表 8-14 显示了 R12。

返回到[汇总表](#)。

表 8-15. R12 寄存器字段说明

位	字段	类型	复位	说明
15	I2C_ADDR_LSB_SEL	R/WL	0x0	I2C 外设地址源。如果该位为“1”，则 SEPARATE_OE_EN 必须为“0”。该字段存储在 EFUSE 中。 0h：I2C 外设地址完全来自 I2C_ADDR 字段。 1h：I2C 外设地址的最低两位来自 FMT_ADDR 引脚，所有其他位来自 R12[14:10]。
14:8	I2C_ADDR	R/WL	0x68	I2C 外设地址。在对该字段进行写入后，器件响应新的 I2C 地址。该字段存储在 EFUSE 中。
7:0	UNLOCK_PROTECTED_REG	R/W	0x00	除 R12[15:8] 之外，该字段还锁定从 R13 开始的所有寄存器。寄存器 R13 及其后的寄存器主要是器件校准寄存器，不得修改内容。无论解锁状态如何，都可以正常读取这些寄存器。 5Bh：解锁 R12[15:8] 及以上的寄存器写入。 任何其他值：R12[15:8] 及以上忽略所有写入。

8.1.14 R238 寄存器 (地址 = 0xEE) [复位 = 0x0000]

表 8-16 展示了 R246。

返回到[汇总表](#)。

表 8-16. R246 寄存器字段说明

位	字段	类型	复位	说明
15:0	BAWFREQ_OFFSET_FIXEDLUT	R/WL	0x0000	BAW 频率相对于 2467MHz 的偏移值。有符号 16 位整数值。该字段存储在 EFUSE 中。 该字段的每一位对应 128ppm 的频率偏差。 该字段因器件而异。 该字段仅用于计算目的，器件不使用该寄存器进行任何内部计算。请勿对该字段进行写入。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

LMK3C0105-Q1 是一款基于 BAW 的无基准时钟发生器，可用于为各种应用提供基准时钟，包括晶体振荡器替代品和 1Gb/10Gb 以太网交换机。

9.2 典型应用

9.2.1 应用方框图示例

图 9-1 显示了在千兆以太网交换机应用中使用 LMK3C0105-Q1 替代晶体和晶体振荡器

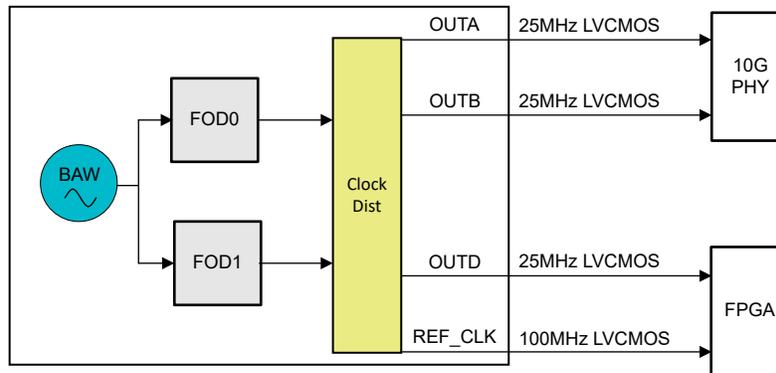


图 9-1. 晶体和振荡器替代示例

9.2.2 设计要求

考虑一个典型的千兆位以太网交换机应用。在这样的系统中，时钟预计可根据请求提供，而不需要任何额外的器件级编程。默认器件配置输出 5 个 25MHz LVCMOS 时钟，默认情况下全部启用。此应用中的典型输出时钟要求是两个 25MHz LVCMOS 时钟（对于 PHY），一个 25MHz 和一个 100MHz LVCMOS 时钟（对于 FPGA）。下面一节介绍了使用 LMK3C0105-Q1 为上述场景生成所需输出频率的详细设计过程。

9.2.3 详细设计过程

LMK3C0105-Q1 各方面的设计都很简单，并且提供了软件支持来协助进行频率规划和器件编程。该设计过程简单概述了这一过程。

1. 频率规划

- a. 设计 LMK3C0105-Q1 配置的第一步是确定生成所需输出频率所需的 FOD 频率。该过程如下：
 - i. 如果两个输出频率相同，并且具有相同的 SSC 设置（即均使用 SSC 或均不使用 SSC），则仅需要 1 个 FOD。
 - ii. 如果两个输出频率不同，但具有相同的 SSC 设置，则输出可以共享一个 FOD 以节省电流。如果两个频率都可以通过将单个有效 FOD 频率除以通道分频器选项来生成，则可以禁用第二个 FOD。否则，必须使用两个 FOD。如果两个输出都需要 SSC，则 LMK3C0105-Q1 器件无法支持该频率计划。
 - iii. 如果一个输出需要 SSC，而另一个输出不需要 SSC，则 SSC 输出必须使用 FOD0，非 SSC 输出必须使用 FOD1。
- b. 如果使用 SSC，请确定应用是否需要预配置的向下展频调制、自定义向下展频调制或中心展频调制。如果需要自定义配置，请按照 [展频时钟](#) 中概述的步骤进行操作。

- c. 设置数字时钟分频器，使数字时钟频率尽可能接近 50MHz。
 - d. 确定 REF_CTRL 引脚功能。如果将其用作附加 LVCMOS 基准时钟，请验证是否可以根据 FOD0 和 FOD1 频率生成所需频率，因为 REF_CLK 输出的分频器范围仅为 1/2、1/4 或 1/8。
 - i. 请记住，如果在 FOD0 上使用 SSC，并且 REF_CLK 源是 FOD0，则该输出现在也具有 SSC。
2. 设置输出格式
- a. 所需的输出格式基于系统中所需的时钟数。对于晶体替换，这通常是 24MHz、25MHz、27MHz 或 50MHz LVCMOS 时钟的集合。
 - b. OUTA 和 OUTB、或者 OUTC 和 OUTD 可以同相、反相或单独启用或禁用。OUTA 和 OUTC 始终同相。这允许一次生成最多五个 LVCMOS 时钟，其中最多四个可以同相。
 - i. 对于 LVCMOS 输出，如果 VDD 为 1.8V 或 2.5V，则 VDDO_x 电压必须与 VDD 电压相匹配。
3. 输出启用行为
- a. 输出启用引脚默认为低电平有效，并通过一个内部下拉电阻器连接至 GND。如果不需要此功能，则可以将 OE_PIN_POLARITY 设置为“0”，以将 OE 引脚的行为更改为高电平有效。如果执行了该操作，则内部下拉电阻器会被禁用，并使用一个连接至 VDD 的内部上拉电阻器。
 - b. 确定两个输出均被禁用是否意味着器件进入低功耗模式。虽然这能够节省电流，但对于时钟必须快速重新开启的任何应用（例如 CPU 时钟），不建议使用低功耗模式。

对于 10GB PHY，需要进行以下设置：

1. 一个 FOD 可用于生成所有输出。因此，FOD0 可设置为具有 200MHz 的输出频率，通道分频器 0 设置为 8 分频。通常，如果单个器件需要两个频率相同的时钟，则这些时钟需要同相。两个输出驱动器都选择通道分频器 0。输出驱动器 0 设置为 LVCMOS 同相，输出驱动器 1 仅设置为 LVCMOS OUTD。当仅配置为 OUTD 时，OUTD 与 OUTA 同相。
 - a. DIG_CLK_N_DIV 必须设置为 2 才能正确设置状态机时钟。状态机时钟必须尽可能接近 50MHz 而不超过该频率。在这种情况下，DIG_CLK_N_DIV 设置为 2，总分频为 4。方程式 9 展示了数字状态机频率、CH0_FOD_SEL 多路复用器选择的频率以及 DIG_CLK_N_DIV 字段之间的关系。仅当器件处于低功耗状态时，才写入 DIG_CLK_N_DIV 字段。
2. REF_CTRL 引脚用于生成 100MHz LVCMOS 时钟。将 REF_CLK_FOD_SEL 设置为 0 以选择 FOD0 作为 REF_CTRL 时钟源。REF_CLK_DIV 必须设置为 1 才能实现 FOD0 的 2 分频。将 REF_CTRL_PIN_FUNC 设置为 2，以将 REF_CTRL 引脚设置为输出时钟。

$$F_{\text{DIG}} = \frac{F_{\text{CH0_FOD_SEL}}}{2 + \text{DIG_CLK_N_DIV}} \quad (9)$$

其中， F_{DIG} 是数字状态机时钟频率，而 $F_{\text{CH0_FOD_SEL}}$ 是 CHO_FOD_SEL 多路复用器选择的频率

9.2.3.1 示例：更改输出频率

如果用户希望将 OUTA、OUTB 和 OUTD 上的输出从 25MHz LVCMOS 更改为所有输出上的 24MHz 差分 LVCMOS 时钟，以下示例详细说明了该过程。在该示例中，BAWFREQ_OFFSET_FIXEDLUT 字段的值为 0x3701。改变频率的步骤如下：

1. 确定器件的 BAW 频率。这对于以下所有计算至关重要。通过方程式 4 可知，如果 BAWFREQ_OFFSET_FIXEDLUT 为 0x3701，则该器件的 BAW 频率约为 2471.446441856MHz。
2. 确定通道分频器设置和所需的 FOD 频率。如果输出频率为 24MHz，并且 FOD 的范围为 100MHz 至 400MHz，则需要至少为 5 的通道分频器值才能生成该输出。由于没有 5 分频选项，并且 REF_CLK 也必须具有时钟（请参阅 CH0_DIV、CH1_DIV 和 REF_CLK_DIV），因此需要 8 分频。从此处，24MHz 乘以 8 得出 192MHz 的 FOD 输出频率。如果 OUTC/OUTD 是不一样的频率，并且无法通过从同一 FOD 频率向下分频来生成两个频率，则可能需要使用 FOD1。

3. 设置 FOD 分频值。使用 [方程式 1](#) 计算得出整数分频值 $FOD0_N_DIV = \text{floor}(2471.446441856/192) = 12$ 。根据 [方程式 2](#)，分子分频值 $FOD0_NUM = \text{int}(((2471.446441856/192) - 12) \times 2^{24}) = 14631693$
4. 将所需的设置写入器件寄存器。这包括上面列出的分频器设置以及输出驱动器设置。按照 [图 7-4](#) 中概述的过程进行操作：
 - a. 设置 $PDN = 1$ 。
 - b. 设置 $FOD0_N_DIV = 12$ 和 $FOD0_NUM = 14631693$ 。
 - c. 设置 $CH0_DIV$ 和 REF_CLK_DIV 以实现 8 分频 (默认情况下, $OUTCD_CH_SEL$ 被设置为选择通道分频器 0)。
 - d. 设置 $OUTAB_FMT$ 和 $OUTCD_FMT$ 以选择同相 LVCMOS 作为输出格式。
 - e. 设置 $REF_CTRL_PIN_FUNC$ 以输出 REF_CLK 。
 - f. 将 $OTP_AUTOLOAD_DIS$ 设置为 1 (禁用 OTP 第 0 页自动负载功能)。
 - g. 设置 $DIG_CLK_N_DIV = 2$ ，以便根据 [方程式 9](#) 将数字状态机时钟设置为 48MHz
 - h. 设置 $PDN = 0$

从发出 $PDN = 0$ 至输出时钟以所需频率启动，频率更改生效所需的时间通常约为 1ms。

9.2.3.2 串扰

当输出在不同频率下运行时，由于器件中的串扰，LMK3C0105-Q1 可能会出现性能下降。[表 9-1](#) 展示了在常见 LVCMOS 频率下 LMK3C0105-Q1 输出的性能。请联系 TI 测量其他组合，以了解串扰对输出性能的影响。

表 9-1. LMK3C0105-Q1 LVCMOS 输出串扰

FOD0 频率 (MHz)	FOD1 频率 (MHz)	OUTA 频率 (MHz) ⁽²⁾	OUTC 频率 (MHz) ⁽²⁾	典型 OUTA RMS 抖动 (fs) ^{(1) (3)}	典型 OUTC RMS 抖动 (fs) ^{(1) (3)}
240	250	24	25	852	716
240	270	24	27	457	371
240	200	24	50	832	779
250	240	25	24	784	717
250	270	25	27	757	787
250	200	25	50	215	516
270	240	27	24	429	367
270	250	27	25	913	641
270	200	27	50	865	930
200	240	50	24	806	548
200	250	50	25	559	287
200	270	50	27	913	704

(1) 在 25°C 至 105°C 温度范围内使用差分 LVCMOS 输出格式测得 (使用 $VDD = VDDO_x = 3.3V$ ，无 SSC)。

(2) OUTA 和 OUTC 分别使用 FOD0 和 FOD1 生成。

(3) RMS 抖动在 12kHz 至 5MHz 积分带宽范围内测得。

9.2.3.3 应用曲线

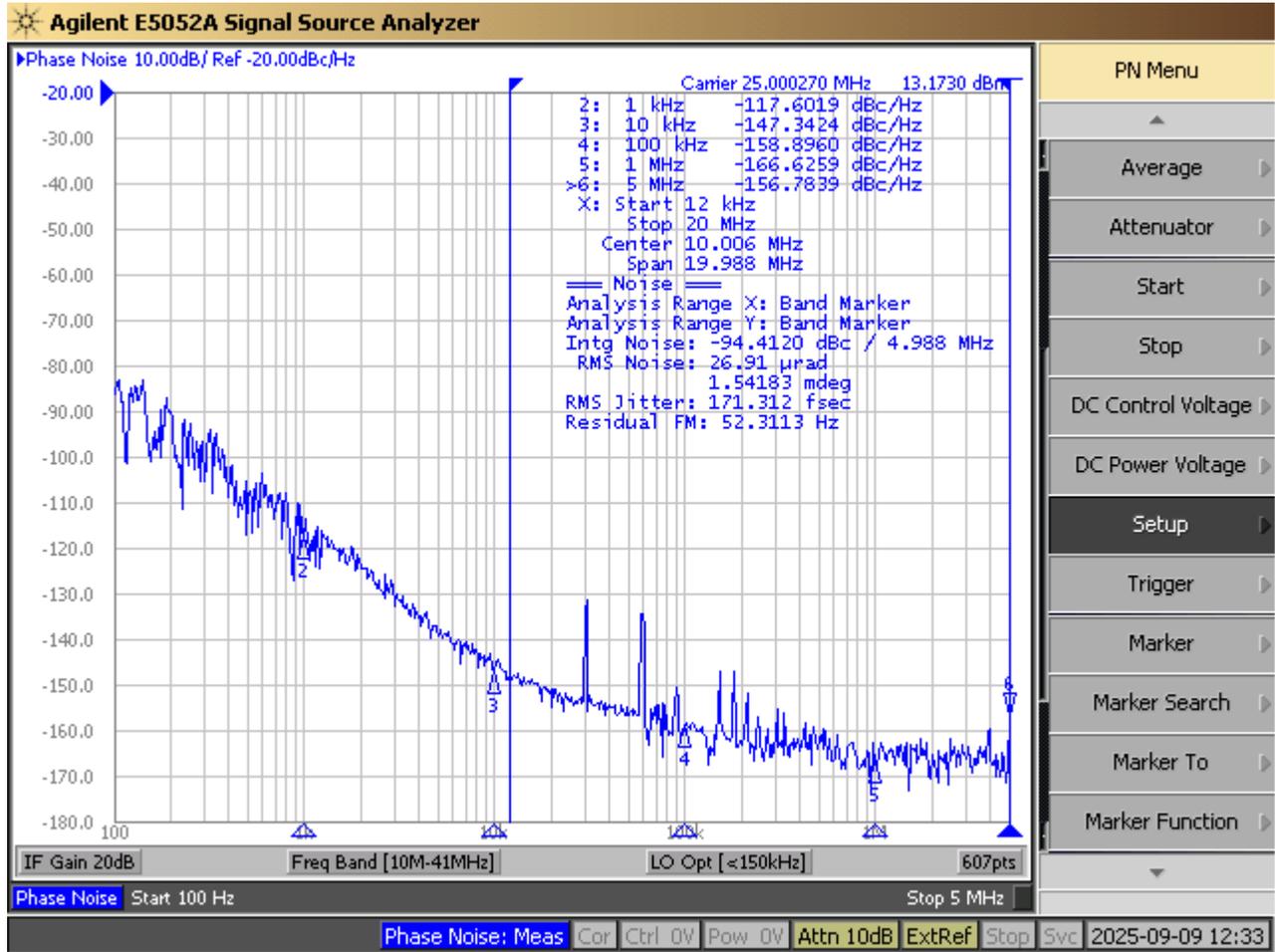


图 9-2. 25MHz LVC MOS 输出，在 OUTA 上测得

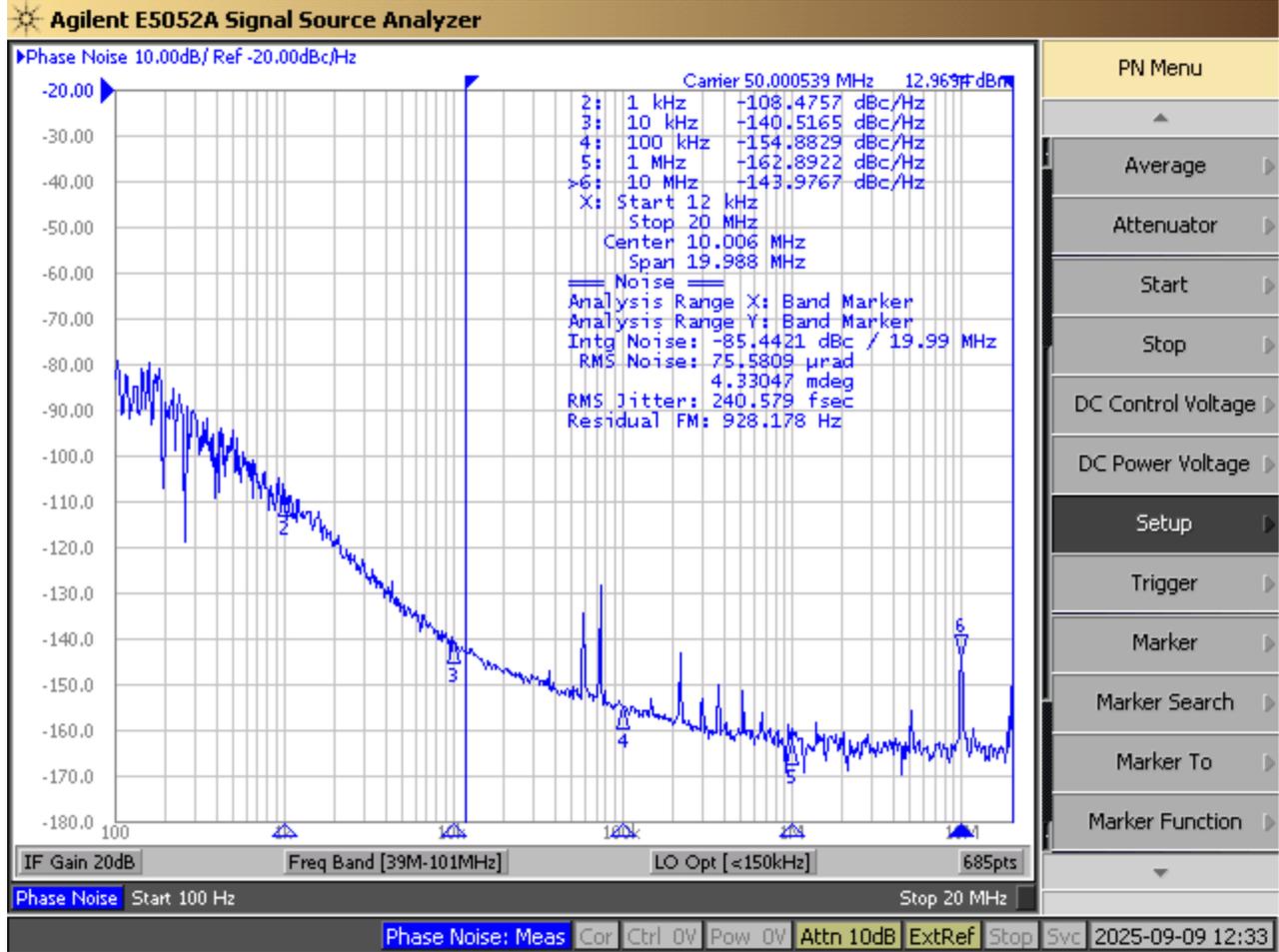


图 9-3. 50MHz LVC MOS 输出，在 OUTA 上测得

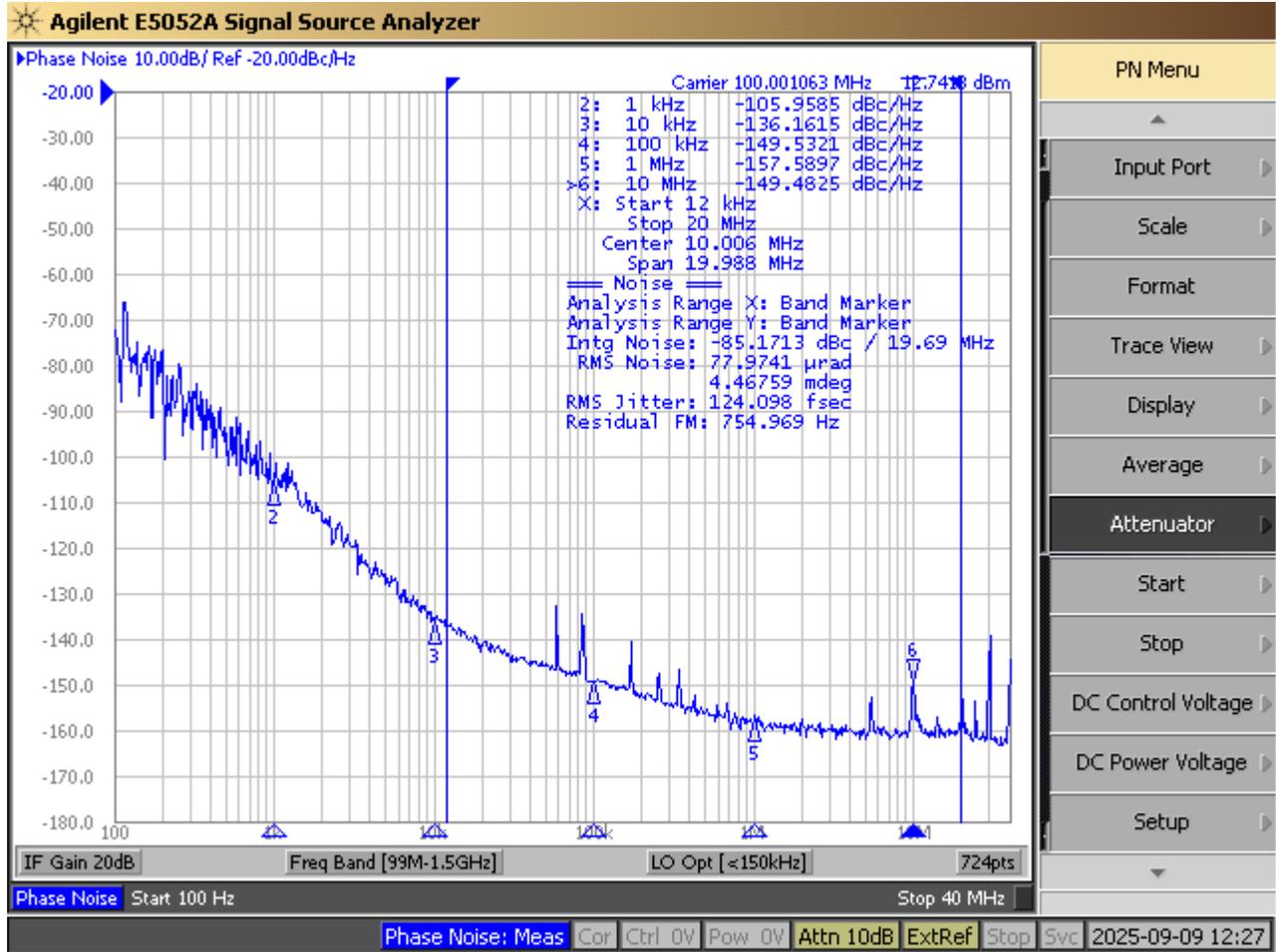


图 9-4. 100MHz LVCMOS 输出，在 OUTA 上测得

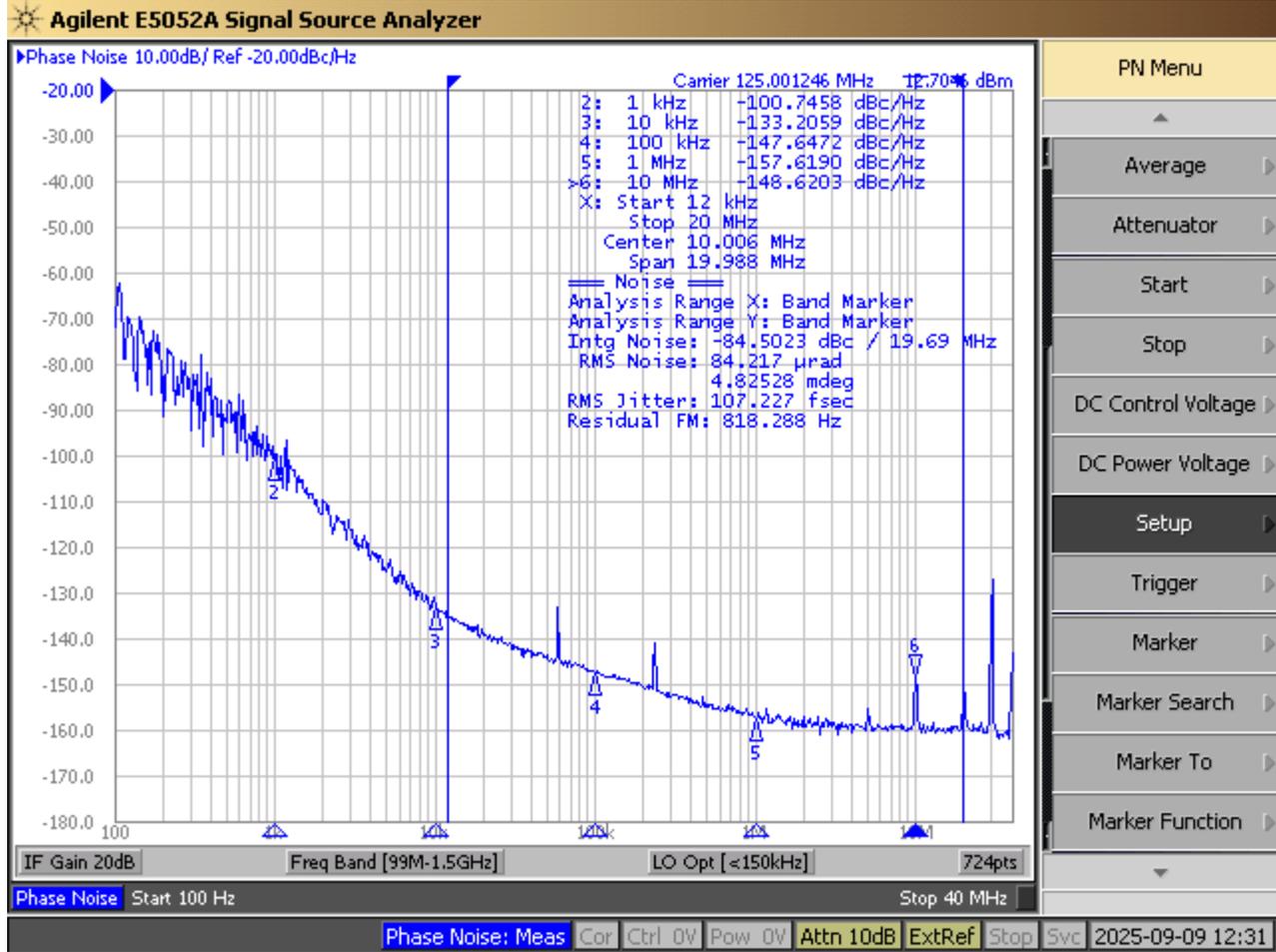


图 9-5. 125MHz LVCMOS 输出，在 OUTA 上测得

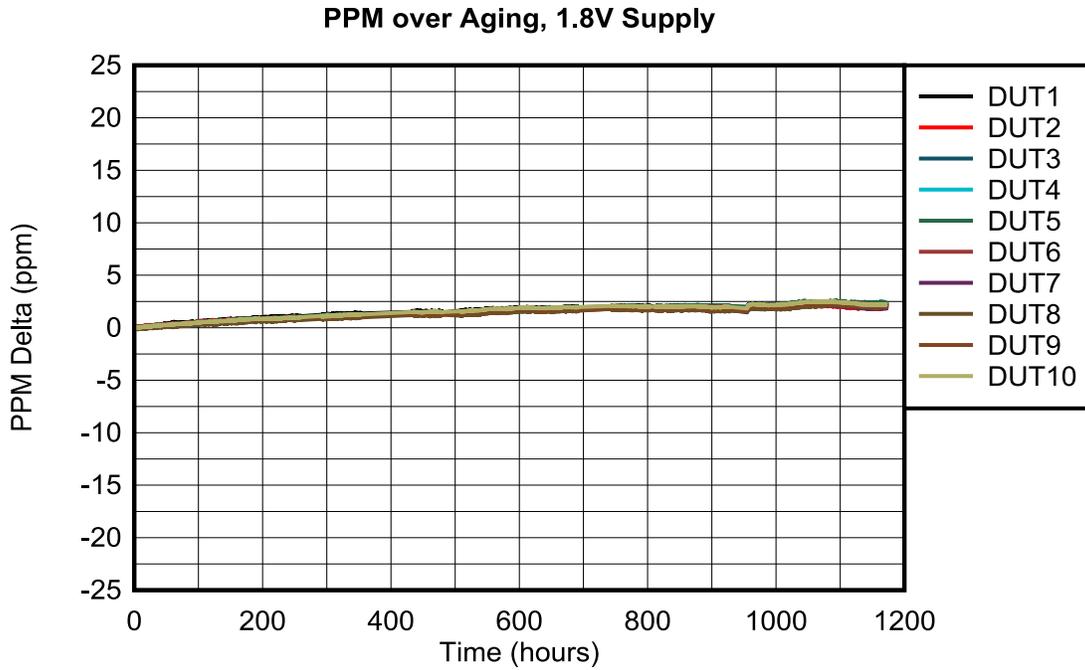


图 9-6. 频率随时间变化的稳定性 - 1.8V 电源电压

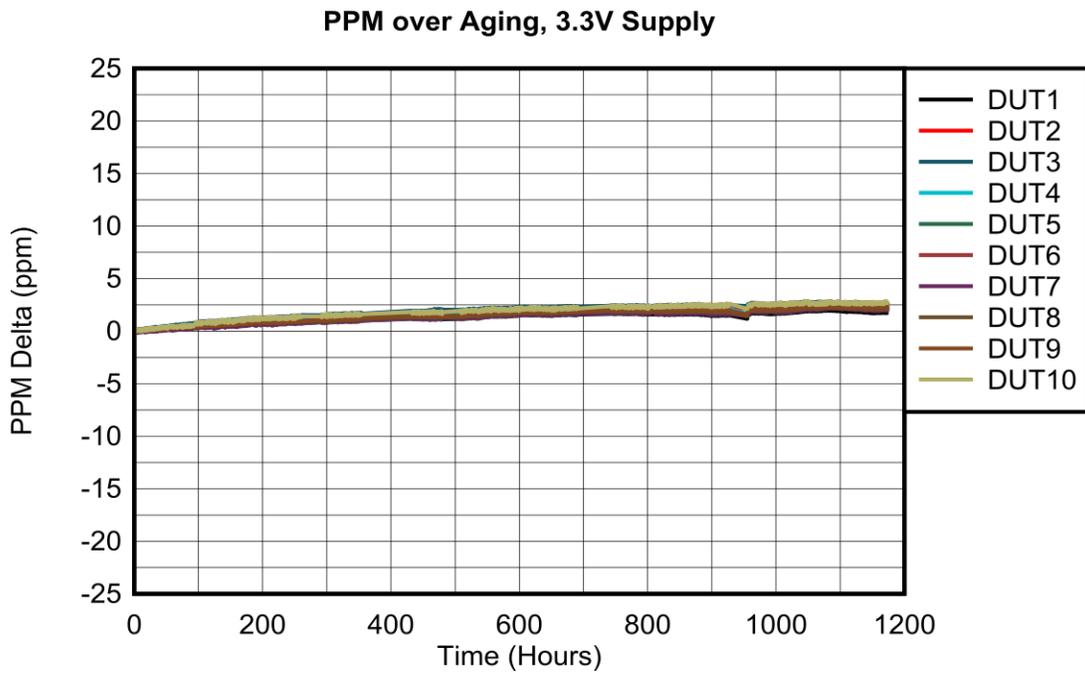


图 9-7. 频率随时间变化的稳定性 - 3.3V 电源电压

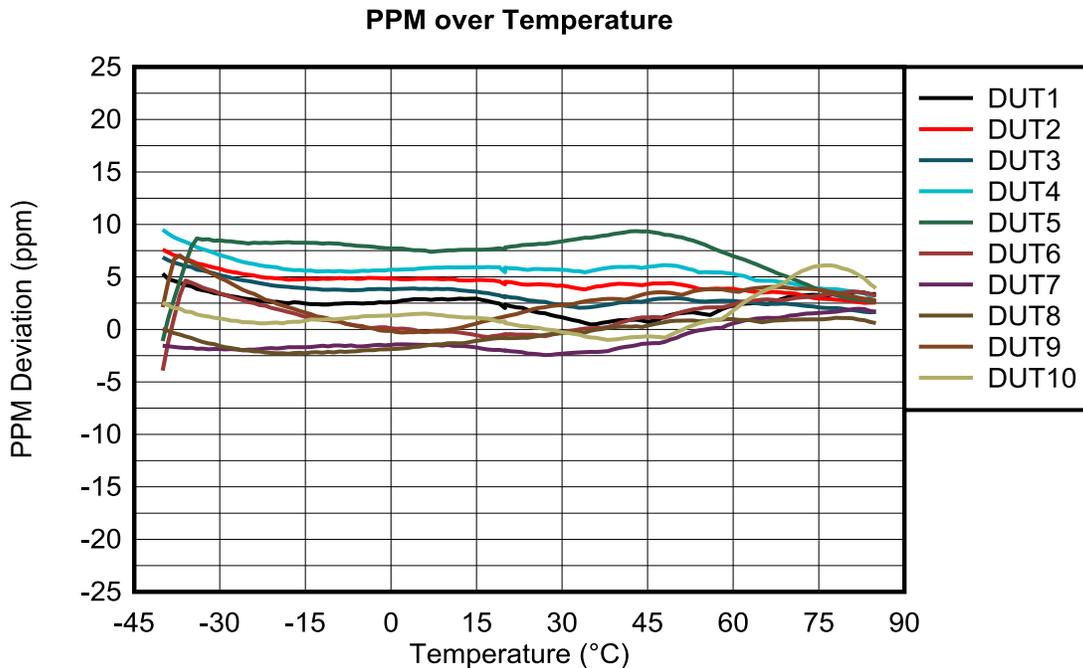


图 9-8. 温度范围内的频率稳定性

9.3 电源相关建议

9.3.1 上电时序

LMK3C0105-Q1 提供多个电源引脚。每个电源支持 1.8V、2.5V 或 3.3V。内部低压降稳压器 (LDO) 为内部块供电，并允许为每个引脚提供单独的电源电压。VDD 引脚为控制引脚、串行接口和 REF_CTRL 引脚供电。因此，任何上拉电阻器都必须连接到与 VDD 相同的域。

如果不使用输出，请将相应的 VDDO_x 电源轨连接到 VDD。如果 VDD 和 VDDO_x 电源轨的电压相同，TI 建议将它们直接连接在一起。如果 VDD 和 VDDO_x 电源轨不同，则 VDD 必须首先斜升，不超过 5ms 后轮到 VDDO_x 斜升。

当使用 2.5V 或 1.8V VDD 时，VDDO_x 必须与 VDD 匹配。对于 LVCMOS 输出，不建议使用与 VDD 不同的 VDDO_x。如果 LVCMOS 输出的 VDD 和 VDDO_x 不同，驱动器的输出阻抗可能大于 17Ω。对于单端 LVCMOS 和差分 LVCMOS，请使用 20Ω 或 25Ω 串联电阻器代替 33Ω 串联电阻器，以保持 50Ω 阻抗匹配。如果 VDDO_x 与 VDD 不匹配，请勿使用同相 LVCMOS。

9.3.2 去耦电源输入

请勿将 VDD 和 VDDO 引脚接地。使用单独的铁氧体磁珠来隔离 VDD 和 VDDO 电源。如果 OUTA/OUTB 和 OUTC/OUTD 频率不同，则每个 VDDO 电源必须使用单独的铁氧体磁珠。对于每个电源电压引脚，必须将 0.1μF 或 1μF 电容器放置在非常靠近引脚的位置。

9.4 布局

9.4.1 布局指南

对于本示例，请遵循以下准则：

- 使用 **GND** 屏蔽隔离输出。将所有输出布线为差分对。
- 生成多个频率时将输出与相邻输出相隔离。
- 尽可能避免扇入和扇出区域的阻抗跳跃。
- 使用五个过孔将散热焊盘连接到一个实心 **GND** 平面。最好使用全通过孔。
- 将具有小电容值的去耦电容器放置在非常靠近电源引脚的位置。将去耦电容器放置在同一层或器件正下方的底层上。值越大，可以放置得越远。建议使用铁氧体磁珠来隔离不同的输出电源和 **VDD** 电源。
- 使用多个过孔将宽电源引线连接到相应的电源平面。

9.4.2 布局示例

以下是印刷电路板 (PCB) 布局布线示例，其中展示了热设计实践的应用以及器件 DAP 和 PCB 之间的低电感接地连接。

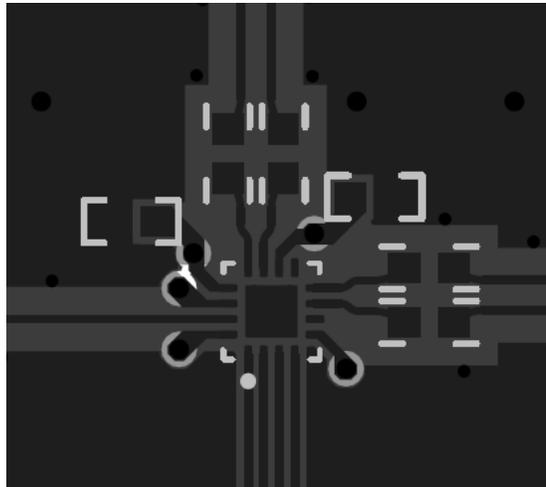


图 9-9. LMK3C0105-Q1 的 PCB 布局示例，顶层

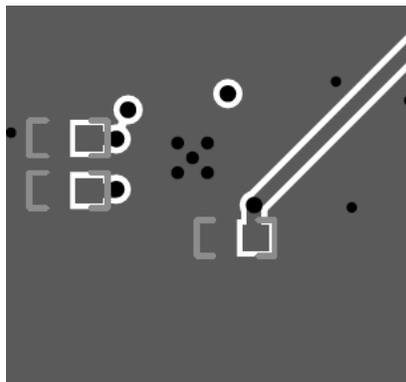


图 9-10. LMK3C0105-Q1 的 PCB 布局示例，底层

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 文档支持

10.1.1 相关文档

- 德州仪器 (TI), [LMK3C0105-Q1 功能安全时基故障率、FMD 和引脚 FMA](#)

10.2 接收文档更新通知

要接收文档更新通知, 请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注: 以前版本的页码可能与当前版本的页码不同

Changes from Revision A (May 2025) to Revision B (October 2025)	Page
• 更新了 特性 中的电源电压措辞.....	1
• 更新 引脚配置和功能 中双电压电源的 VDDO_x 引脚说明.....	3
• 向 应用曲线 添加了典型性能特性.....	33
• 更新了双电压电源的 上电时序	38
• 为 相关文档 添加了支持文档.....	40
• 机械、封装和可订购信息 部分更新了机械制图.....	41

Changes from Revision * (April 2025) to Revision A (May 2025)	Page
• 更新了 特性 部分中的措辞以保持一致性, 并修正了功能安全相关的链接.....	1
• 在 说明 部分中更改了 SSC 时钟生成的说明、阐明了引脚行为, 并阐明了直流/直流可用作电源.....	1
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	3
• 通过阐明 DAP 行为, 更新了 引脚配置和功能 部分.....	3

• 添加了表注来说明 LVCMOS 输出的电源电流负载条件。.....	5
• 更新了方框图以指定 REF_CTRL 为 OUTE.....	11
• 机械、封装和可订购信息 部分添加了临时机械制图.....	41

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

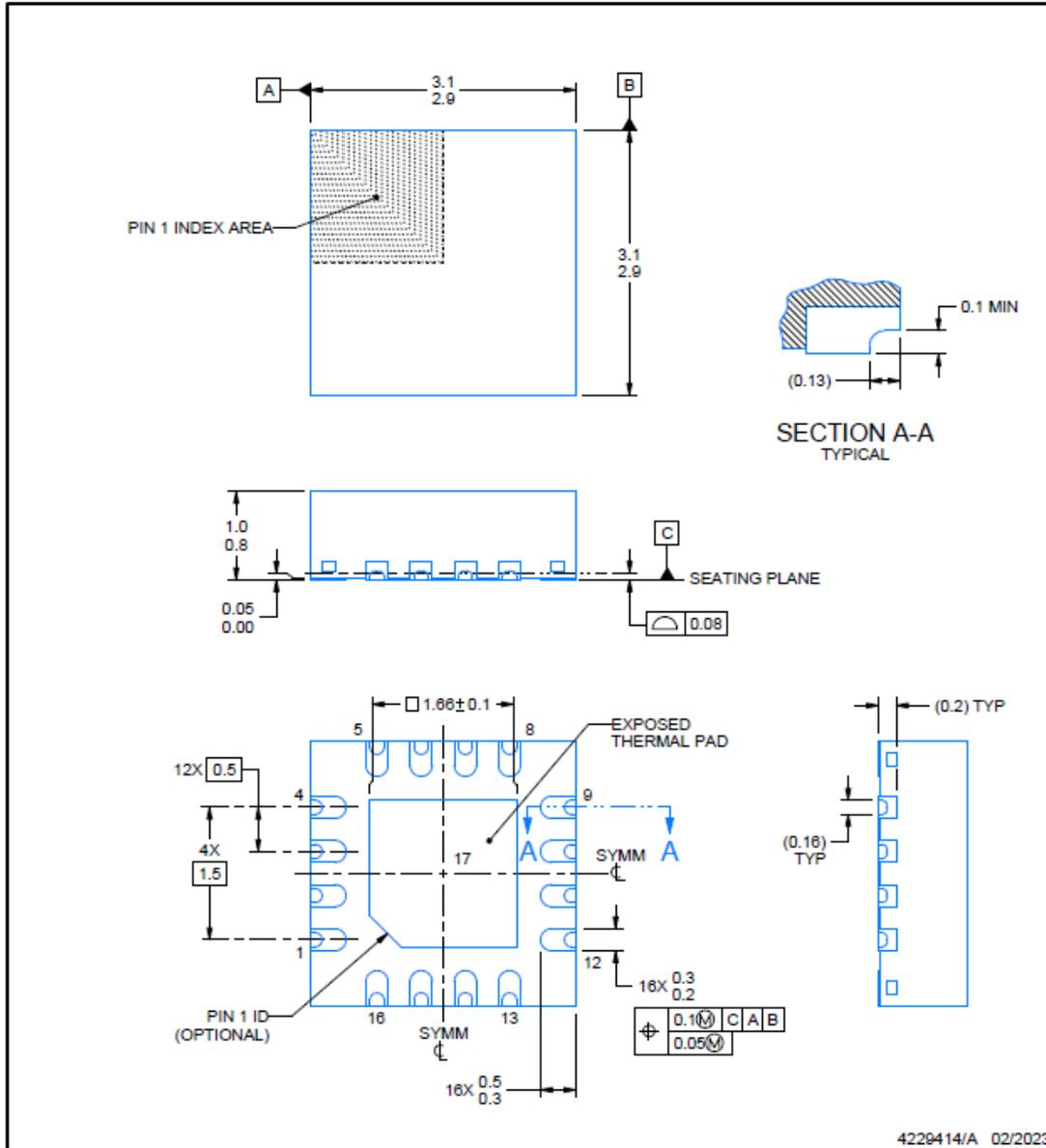


RGT0016K

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

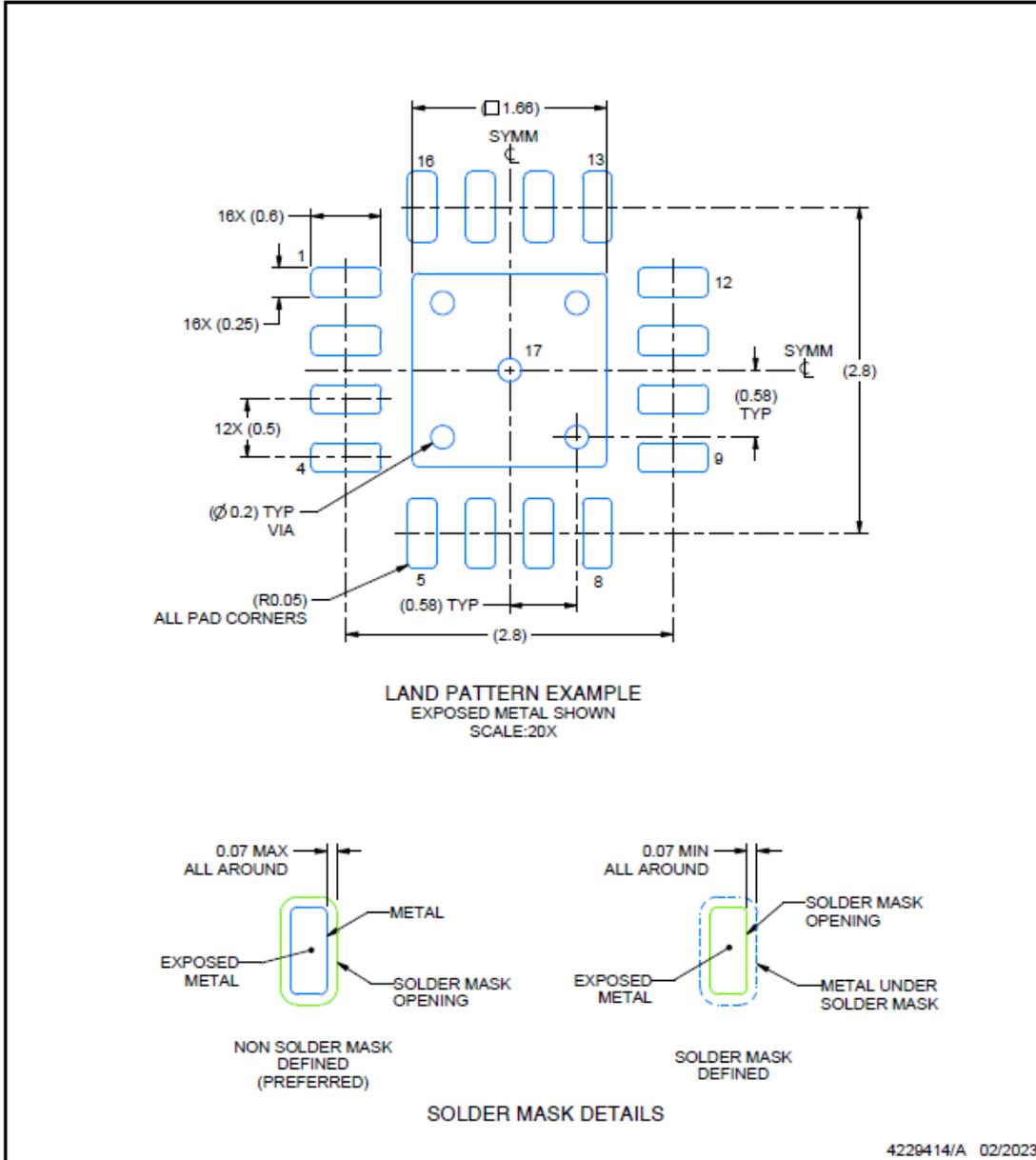
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGT0016K

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

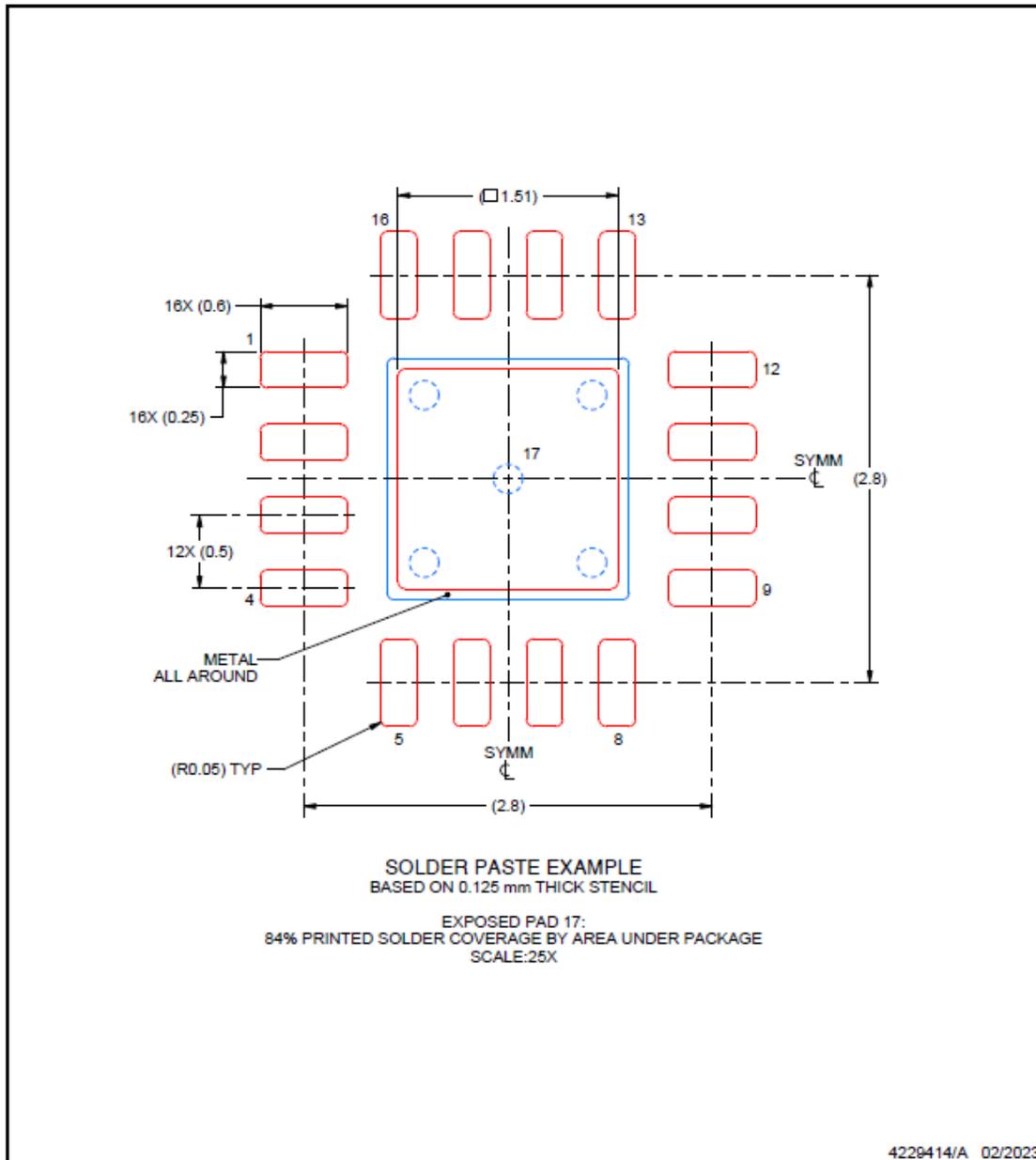
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGT0016K

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK3C0105TV1RGTRQ1	Active	Production	VQFN (RGT) 16	5000 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3CV18Q
LMK3C0105TV1RGTRQ1.A	Active	Production	VQFN (RGT) 16	5000 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3CV18Q
LMK3C0105TV3RGTRQ1	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3CV33Q
LMK3C0105TV3RGTRQ1.A	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3CV33Q
PK3C0105TV1RGTTQ1	Active	Preproduction	VQFN (RGT) 16	250 SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3C0105TV1RGTTQ1.A	Active	Preproduction	VQFN (RGT) 16	250 SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3C0105TV3RGTTQ1	Active	Preproduction	VQFN (RGT) 16	250 SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3C0105TV3RGTTQ1.A	Active	Preproduction	VQFN (RGT) 16	250 SMALL T&R	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

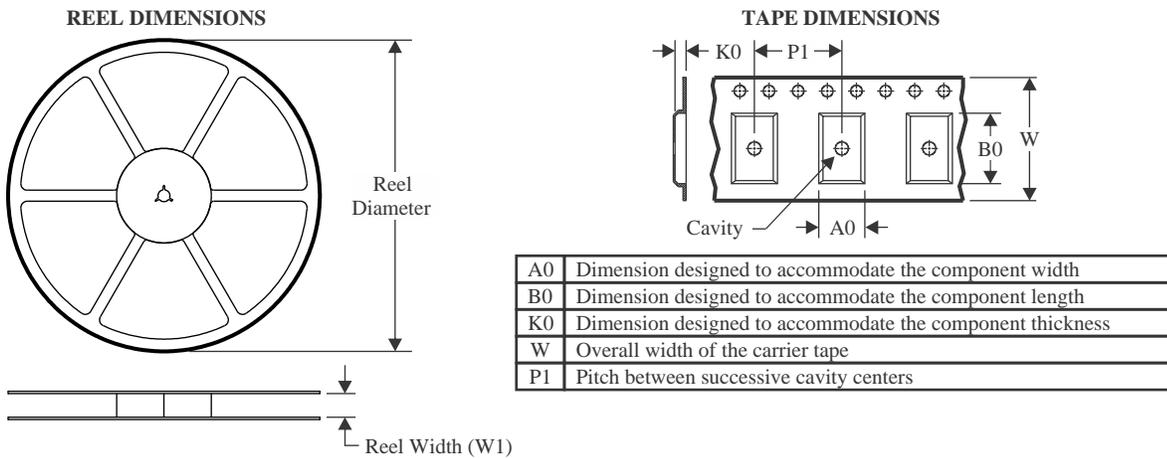
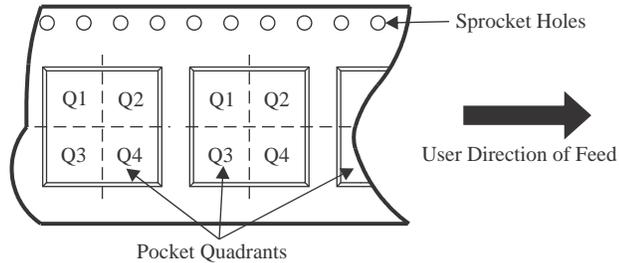
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMK3C0105-Q1 :

- Catalog : [LMK3C0105](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK3C0105TV1RGTRQ1	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3C0105TV3RGTRQ1	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

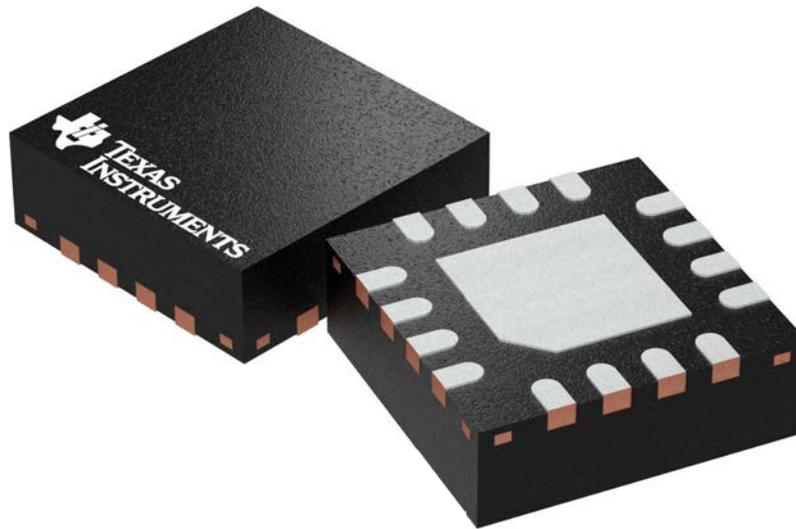
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK3C0105TV1RGTRQ1	VQFN	RGT	16	5000	346.0	346.0	33.0
LMK3C0105TV3RGTRQ1	VQFN	RGT	16	3000	346.0	346.0	33.0

RGT 16

GENERIC PACKAGE VIEW

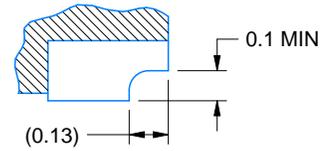
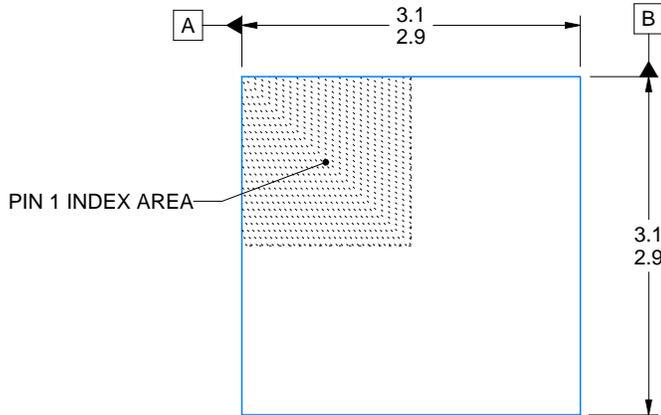
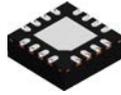
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

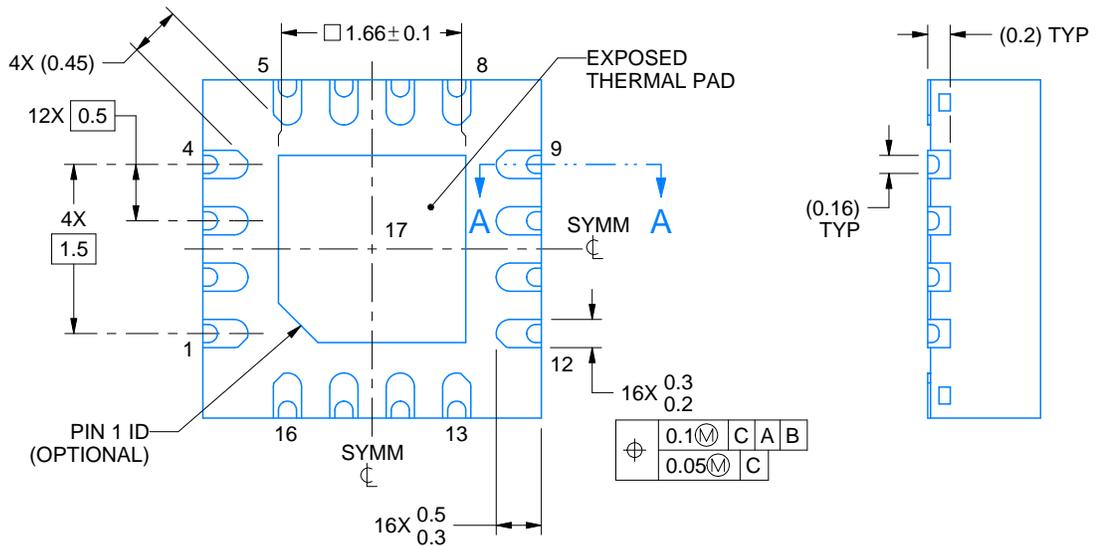
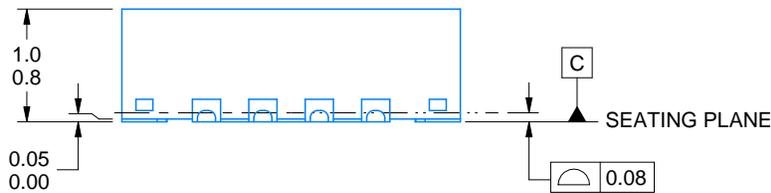


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/1



SECTION A-A
TYPICAL



4229414/B 07/2025

NOTES:

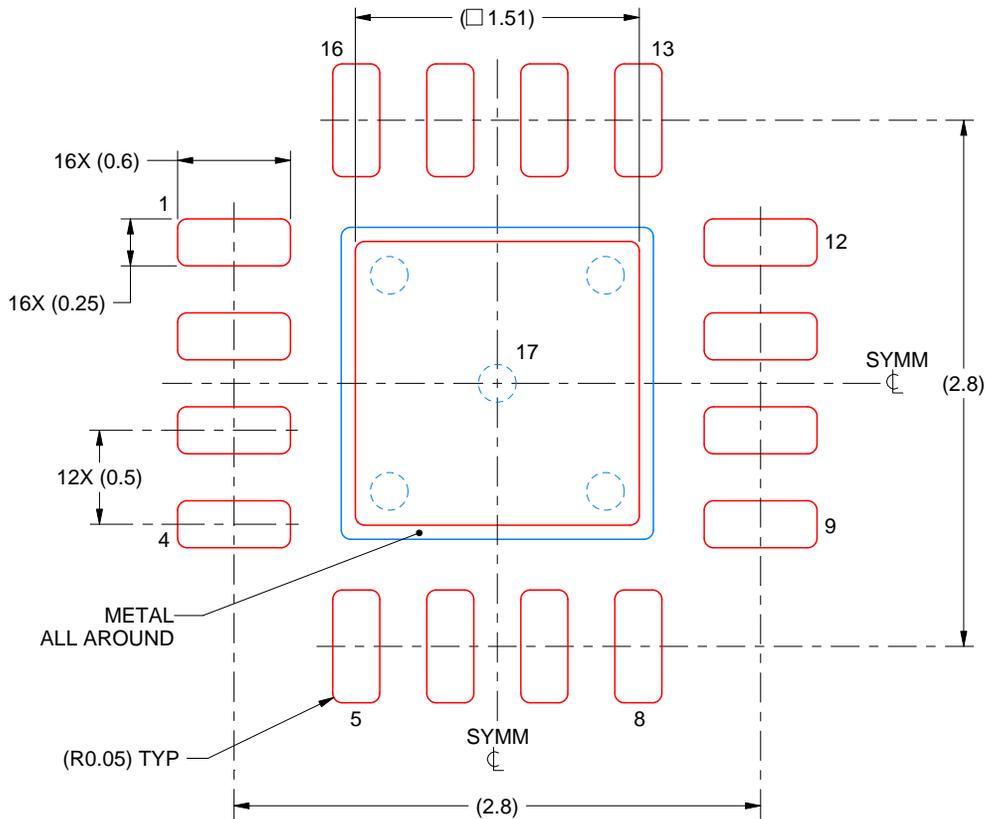
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE STENCIL DESIGN

RGT0016K

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
 84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:25X

4229414/B 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月