

LMK5C33414AS1 适用于无线通信且具有 JED204B/JED204C 和 BAW VCO 的网络同步器

1 特性

- 基于 BAW VCO 的超低抖动无线时钟
 - 频率为 491.52MHz 时 RMS 抖动典型值为 42fs/最大值为 60fs
 - 频率为 245.76MHz 时 RMS 抖动典型值为 47fs/最大值为 65fs
- 三个高性能数字锁相环 (DPLL) 与模拟锁相环 (APLL) 配对
 - 可编程 DPLL 环路带宽范围为 1mHz 至 4kHz
 - DCO 频率调节步长 < 1ppt
- 四个差分或单端 DPLL 输入
 - 1Hz (1PPS) 至 800MHz 输入频率
 - 数字**保持和无中断切换**
- 14 个采用可编程 HSDS/LVPECL、LVDS 和 HSCL 输出格式的差分输出
 - 当在 OUT0_P/N、OUT1_P/N、GPIO1 和 GPIO2 上配置 6 个 LVCMOS 频率输出以及 12 个差分输出时，最多总共 18 个频率输出
 - 支持可编程摆幅和共模的 1Hz (1PPS) 至 1250MHz 输出频率
 - 符合 PCIe 第 1 代到第 6 代标准
- I²C 三线制 SPI 接口或四线制 SPI 接口
- 环境工作温度：-40°C 至 85°C

2 应用

- 4G 和 5G 无线网络
 - **有源天线系统 (AAS)**，**mMIMO**
 - **宏远程无线电单元 (RRU)**
 - CPRI/eCPRI **基带**单元、集中式单元、分布式单元 (BBU、CU、DU)
 - **小型蜂窝基站**
- SyncE (G.8262)、SONET/SDH (Stratum 3/3E、G.813、GR-1244、GR-253)、IEEE 1588 PTP 辅助时钟
- 56G/112G PAM-4 串行器/解串器的抖动消除、漂移衰减和基准时钟生成
- 光传输网络 (OTN G.709)
- **宽带固定线路接入**
- **工业**
 - **测试和测量**

3 说明

LMK5C33414AS1 是一款高性能网络同步器和抖动清除器，旨在满足无线通信和基础设施应用的严格要求。

LMK5C33414AS1 是一款捆绑有软件支持的器件，可实现与主基准时钟源的 IEEE-1588 PTP 同步。如需更多信息，请联系 TI。

该网络同步器集成了三个 DPLL，可通过可编程环路带宽提供无中断切换和抖动衰减功能，无需外部环路滤波器，更大限度地提升了灵活性和易用性。每个 DPLL 相位将配对的 APLL 锁定到基准输入。

APLL3 具有采用 TI 专有体声波 (BAW) 技术的超高性能 PLL，可在 491.52MHz 频率下生成具有 42fs (典型值) /60fs (最大值) RMS 抖动的输出时钟，而不受 DPLL 基准输入的频率和抖动特性的影响。APLL2 和 APLL1 提供用于第二或第三频率域和/或同步域的选项。

基准验证电路可监控 DPLL 参考时钟，并在检测到切换事件时在时钟间执行无中断切换。可以启用**零延迟模式 (ZDM)** 和相位抵消，控制从输入到输出的相位关系。

该器件可通过 I²C 或 SPI 接口进行全面编程。板载 **EEPROM** 可用于自定义系统启动时钟。该器件还具有出厂默认的 **ROM 配置文件** 作为备用选项。

封装信息

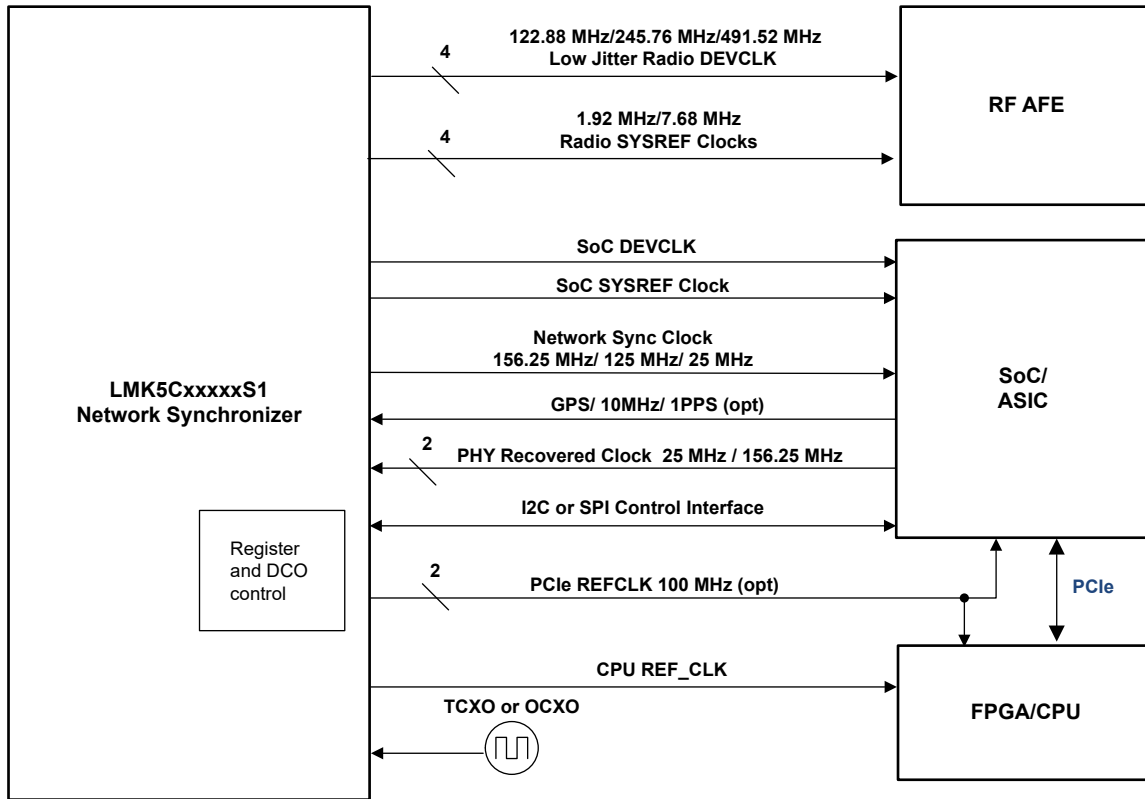
器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LMK5C33414AS1	RGC (VQFN , 64)	9.00mm x 9.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



LMK5C33414AS1 典型系统方框图



内容

1 特性	1	7.4 器件功能模式.....	62
2 应用	1	7.5 编程.....	71
3 说明	1	8 应用和实施	75
4 引脚配置和功能	4	8.1 应用信息.....	75
5 规格	7	8.2 典型应用.....	78
5.1 绝对最大额定值.....	7	8.3 优秀设计实践.....	83
5.2 ESD 等级.....	7	8.4 电源相关建议.....	83
5.3 建议工作条件.....	7	8.5 布局.....	84
5.4 热性能信息.....	8	9 器件和文档支持	87
5.5 电气特性.....	8	9.1 器件支持.....	87
5.6 时序图.....	17	9.2 文档支持.....	87
5.7 典型特性.....	20	9.3 接收文档更新通知.....	87
6 参数测量信息	23	9.4 支持资源.....	87
6.1 差分电压测量术语.....	23	9.5 商标.....	87
6.2 输出时钟测试配置.....	24	9.6 术语表.....	87
7 详细说明	26	9.7 静电放电警告.....	87
7.1 概述.....	26	10 修订历史记录	88
7.2 功能方框图.....	27	11 机械、封装和可订购信息	88
7.3 特性说明.....	38		

4 引脚配置和功能

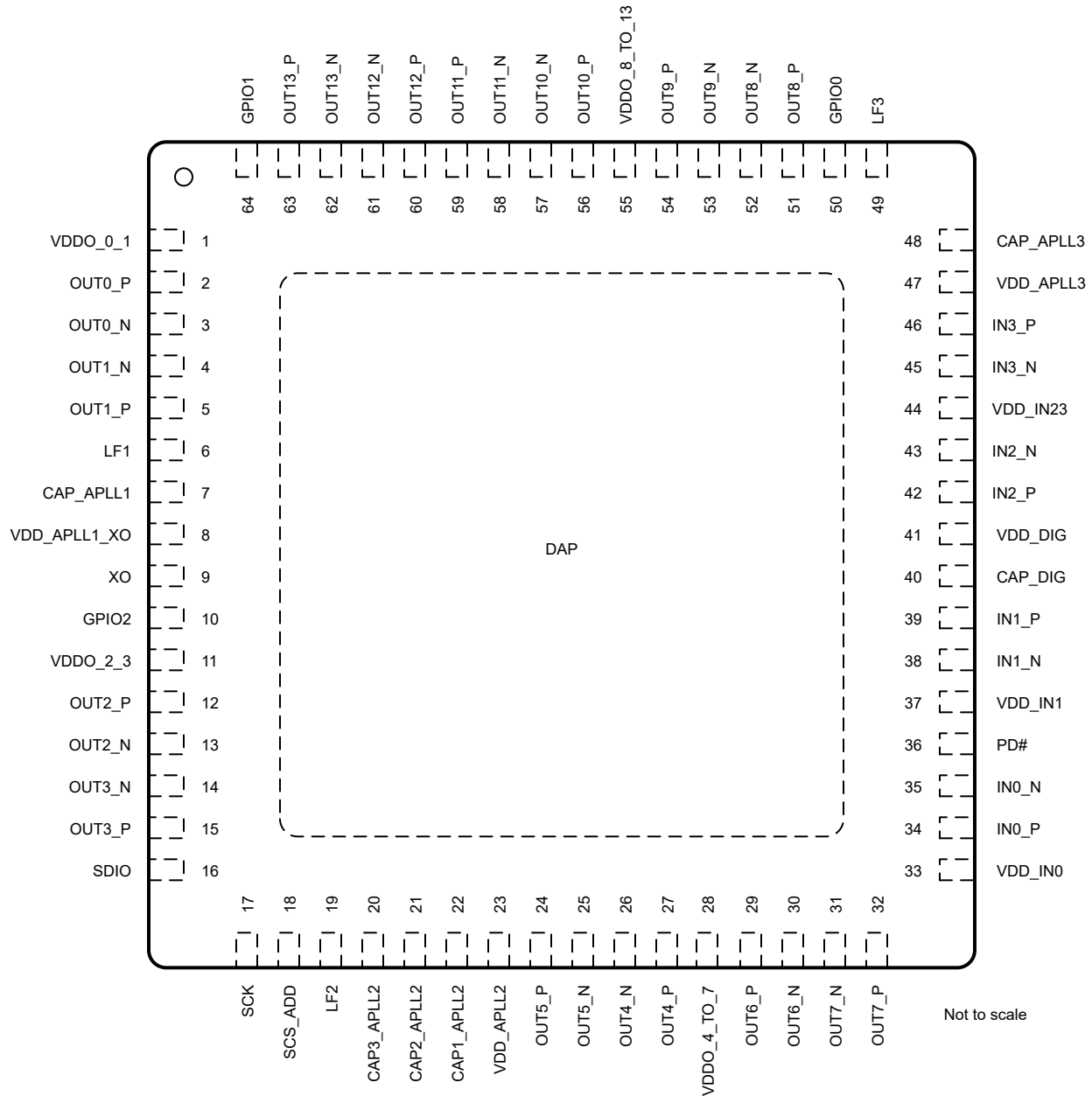


图 4-1. LMK5C33414AS1 RGC 封装 64 引脚 VQFN 顶视图

表 4-1. LMK5C33414AS1 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
POWER			
VDDO_0_1	1	P	OUT0 和 OUT1 的电源
VDD_APLL1_XO	8	P	XO 和 APLL1 的电源
VDDO_2_3	11	P	OUT2 和 OUT3 的电源
VDD_APLL2	23	P	APLL2 的电源
VDDO_4_TO_7	28	P	OUT4 至 OUT7 的电源

表 4-1. LMK5C33414AS1 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
VDD_IN0	33	P	IN0 DPLL 基准输入的电源
VDD_IN1	37	P	IN1 DPLL 基准输入的电源
VDD_DIG	41	P	数字的电源
VDD_IN23	44	P	IN2 和 IN3 DPLL 基准输入的电源
VDD_APLL3	47	P	APLL3 的电源
VDDO_8_TO_13	55	P	OUT8 至 OUT13 的电源
DAP	不适用	G	地
核心块⁽²⁾			
LF1	6	A	APLL1 的外部环路滤波器电容 (100nF)。如需更多详细信息, 请参阅 APLL 环路滤波器 (LF1、LF2、LF3) 。
CAP_APLL1	7	A	APLL1 VCO 的 LDO 旁路电容器 (10μF)
LF2	19	A	APLL2 的外部环路滤波器电容 (100nF)。如需更多详细信息, 请参阅 APLL 环路滤波器 (LF1、LF2、LF3) 。
CAP3_APLL2	20	A	APLL2 VCO 的内部辅助电源旁路电容器 (10μF)
CAP2_APLL2	21	A	APLL2 VCO 的内部辅助电源旁路电容器 (10μF)
CAP1_APLL2	22	A	APLL2 VCO 的 LDO 旁路电容器 (10μF)
CAP_DIG	40	A	数字内核逻辑的 LDO 旁路电容器 (100nF)
CAP_APLL3	48	A	APLL3 的内部辅助电源旁路电容器 (10μF)
LF3	49	A	APLL3 的外部环路滤波器电容 (470nF)。如需更多详细信息, 请参阅 APLL 环路滤波器 (LF1、LF2、LF3) 。
输入块			
XO	9	I	XO/TCXO/OCXO 输入引脚。请参阅 振荡器输入 (XO) 来配置内部 XO 输入终端。
IN0_P	34	I	以 DPLLx 为基准或缓冲至 OUT0 或 OUT1 的第一个输入。请参阅 基准输入 来配置内部基准输入终端。
IN0_N	35	I	
IN1_N	38	I	以 DPLLx 为基准或缓冲至 OUT0 或 OUT1 的第二个输入。请参阅 基准输入 来配置内部基准输入终端。
IN1_P	39	I	
IN2_P	42	I	以 DPLLx 为基准或缓冲至 OUT0 或 OUT1 的第三个输入。请参阅 基准输入 来配置内部基准输入终端。
IN2_N	43	I	
IN3_N	45	I	以 DPLLx 为基准或缓冲至 OUT0 或 OUT1 的第四个输入。请参阅 基准输入 来配置内部基准输入终端。
IN3_P	46	I	
输出块			
OUT0_P	2	O	时钟输出 0。来自所有 DPLL 基准、XO、所有 VCO 后分频器。支持 SYSREF/1PPS 输出。可编程格式: AC-LVPECL、HSDS、LVDS、HCSL、1.8V LVCMOS 或 2.65V LVCMOS。如需有关配置和端接输出的详细信息, 请参阅 时钟输出 (OUTx_P/N) 。
OUT0_N	3	O	
OUT1_N	4	O	时钟输出 1。来自所有 DPLL 基准、XO、所有 VCO 后分频器。支持 SYSREF/1PPS 输出。可编程格式: AC-LVPECL、HSDS、LVDS、HCSL、1.8V LVCMOS 或 2.65V LVCMOS。如需有关配置和端接输出的详细信息, 请参阅 时钟输出 (OUTx_P/N) 。
OUT1_P	5	O	
OUT2_P	12	O	时钟输出 2。来自 APLL1、APLL2 和 APLL3。可编程格式: AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息, 请参阅 时钟输出 (OUTx_P/N) 。
OUT2_N	13	O	
OUT3_N	14	O	时钟输出 3。来自与 APLL1、APLL2 或 APLL3 的 OUT2 相同的输出多路复用器。可编程格式: AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息, 请参阅 时钟输出 (OUTx_P/N) 。
OUT3_P	15	O	
OUT5_P	24	O	时钟输出 5。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式: AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息, 请参阅 时钟输出 (OUTx_P/N) 。
OUT5_N	25	O	

表 4-1. LMK5C33414AS1 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
OUT4_N	26	O	时钟输出 4。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息，请参阅 时钟输出 (OUTx_P/N) 。
OUT4_P	27	O	
OUT6_P	29	O	时钟输出 6。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息，请参阅 时钟输出 (OUTx_P/N) 。
OUT6_N	30	O	
OUT7_N	31	O	时钟输出 7。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息，请参阅 时钟输出 (OUTx_P/N) 。
OUT7_P	32	O	
OUT8_P	51	O	时钟输出 8。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、HSDS、HCSL。如需有关配置和端接输出的详细信息，请参阅 时钟输出 (OUTx_P/N) 。
OUT8_N	52	O	
OUT9_N	53	O	时钟输出 9。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息，请参阅 时钟输出 (OUTx_P/N) 。
OUT9_P	54	O	
OUT10_P	56	O	时钟输出 10。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息，请参阅 时钟输出 (OUTx_P/N) 。
OUT10_N	57	O	
OUT11_N	58	O	时钟输出 11。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息，请参阅 时钟输出 (OUTx_P/N) 。
OUT11_P	59	O	
OUT12_P	60	O	时钟输出 12。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息，请参阅 时钟输出 (OUTx_P/N) 。
OUT12_N	61	O	
OUT13_N	62	O	时钟输出 13。来自 APLL2 和 APLL3。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息，请参阅 时钟输出 (OUTx_P/N) 。
OUT13_P	63	O	
逻辑控制/状态			
GPIO2 ⁽³⁾	10	I/O、S	POR： ROM 页选择 正常运行：GPIO 输入或输出 (请参阅说明)
SDIO ⁽⁴⁾	16	I/O	SPI 输入或 I ² C 数据 (SDA)
SCK ⁽⁴⁾	17	I	SPI 或 I ² C 时钟 (SCL)
SCS_ADD ⁽³⁾	18	I、S	SPI 片选 (两态) 或 POR： I²C 地址选择 ，LSB (三态)
PD#	36	I	器件断电 (低电平有效)，内部 200kΩ 上拉电阻连接至 V _{CC}
GPIO0 ⁽³⁾	50	I/O、S	POR： ROM 页选择 正常运行：GPIO 输入或输出
GPIO1 ⁽³⁾	64	I/O、S	POR： I²C 或 SPI 选择 正常运行：GPIO 输入或输出

- (1) P = 电源，G = 接地，I = 输入、O = 输出，I/O = 输入或输出，A = 模拟，S = 配置。
- (2) 不要对内核引脚应用外部激励。这些对性能有严格要求的引脚并非设计用于满足正常门锁测试合规性水平。为了获得出色的滤波性能，电容器应靠近 IC 放置。
- (3) 当电源斜坡期间或 PD# 为低电平时启用 3 电平模式时：555kΩ 内部分压器连接至 V_{CC}，201kΩ 内部分压器连接至 GND。当启用 2 电平输入模式时：内部 408kΩ 下拉电阻连接至 GND。
- (4) 670kΩ 上拉电阻连接至内部 2.6V LDO。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
VDD ⁽²⁾	内核电源电压	-0.3	3.6	V
VDDO ⁽³⁾	输出电源电压	-0.3	3.6	V
V _{IN}	时钟和逻辑输入的输入电压范围	-0.3	VDD+0.3	V
V _{OUT_LOGIC}	逻辑输出的输出电压范围	-0.3	VDD+0.3	V
V _{OUT}	时钟输出的输出电压范围	-0.3	VDDO+0.3	V
T _J	结温		150	°C
T _{stg}	贮存温度范围	-65	150	°C

- 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- VDD 指所有内核电源引脚或电压。所有 VDD 内核电源均应在 PD# 被拉至高电平以触发内部上电复位 (POR) 之前上电。
- VDDO 指所有输出电源引脚或电压。VDDO_x 指特定输出通道的输出电源，其中 x 表示通道索引。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚 ⁽²⁾	±750	

- JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
- JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议工作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDD ⁽¹⁾	内核电源电压	3.135	3.3	3.465	V
VDDO _x ⁽²⁾	输出电源电压 ⁽³⁾	3.135	3.3	3.465	V
VDD _{OD}	开漏输出的输出电压范围	1.71		3.465	V
T _A	工作环境温度范围	-40		85	°C
T _J	结温			135	°C
T _{CONT-LOCK}	连续锁定过热温度 - 无需 VCO 重新校准			125	°C
t _{VDD}	电源斜坡时间 ⁽⁴⁾	0.01		100	ms

- VDD 指所有内核电源引脚或电压。所有 VDD 内核电源都应在内部上电复位 (POR) 之前上电。
- VDDO 指所有输出电源引脚或电压。VDDO_x 指特定输出通道的输出电源，其中 x 表示通道索引。
- CMOS 输出电压电平由 CMOS 输出 LDO 的内部编程确定，旨在支持 1.8V 或 2.65V 电压。
- VDD 单调斜升至 2.7V 以上以实现正确内部上电复位的时间。如果 VDD 斜升较慢或非单调，请将 PD# 保持为低电平，直到 VDD 电压有效为止。

5.4 热性能信息

热指标 ^{(1) (2) (3)}		LMK5C33414AS1	
		RGC (VQFN)	
		64 引脚	
			单位
R _{θJA}	结至环境热阻	21.8	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	11.1	°C/W
R _{θJB}	结至电路板热阻	6.5	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	0.8	°C/W
Ψ _{JT}	结至顶部特征参数	0.3	°C/W
Ψ _{JB}	结至电路板特征参数	6.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告，[SPRA953](#)。

(2) 热性能信息基于具有 49 个散热过孔 (7 x 7 分布, 0.3mm 孔) 的 10 层 200mm x 250mm 电路板。

(3) 借助 Ψ_{JB}，系统设计人员能够用一个精密热电偶来测量电路板温度 (T_{PCB})，并反过来计算器件结温 T_J = T_{PCB} + (Ψ_{JB} x Power)。Ψ_{JB} 的测量由 JESD51-6 定义。

5.5 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电流消耗特性						
I _{DD_TOT}	指定配置下的总电流消耗	OUT0 至 OUT13 为 245.76MHz，LVDS/HSDS 400mV，APLL3 后分频器 = 5，通道分频器 = 2，禁用 DPLL1/2 和 APLL1/2		850	940	mA
		OUT0 至 OUT13 为 245.76MHz，HSDS 800mV，APLL3 后分频器 = 5，通道分频器 = 2，禁用 DPLL1/2 和 APLL1/2		965	1075	mA
		OUT0 至 OUT3 (APLL1) 为 100MHz，OUT4 至 OUT7 (APLL2) 为 312.5MHz，OUT8 至 OUT13 (APLL3) 为 491.52MHz，HSDS 800mV，禁用 DPLL1/2/3		1085	1195	mA
I _{DD-XO}	XO 输入电流消耗	XO		3.5		mA
I _{DD-XO2X}	每个 XO 倍频器的电流消耗	XO 倍频器 ⁽¹⁾		0.3		mA
I _{DD-INX}	每个 DPLL 基准输入块的内核电流消耗	IN0		3.6		mA
		IN1		3.1		mA
		IN2 和 IN3		5		mA
I _{DD-DPLL}	每个 DPLL 的电流消耗	DPLL ⁽²⁾		55		mA
I _{DD-APLL1}	APLL1 电流消耗	APLL1		90		mA
I _{DD-APLL2}	APLL2 电流消耗	APLL2		160		mA
I _{DD-APLL3}	APLL3 电流消耗	APLL3		120		mA
I _{DD-ANA}	模拟偏置电流消耗	VDD_APLL1_XO 电源引脚的模拟电路。器件启用时始终开启。		42		mA
I _{DD-DIG}	数字控制电流消耗	VDD_DIG 电源引脚的数字控制电路。器件启用时始终开启。		34		mA
I _{DDO-CHDIV}	每个通道分频器块的电流消耗	12 位通道分频器		20		mA
I _{DDO-1PPSDIV}	每个 1PPS/SYSREF 分频器块的电流消耗	20 位 1PPS/SYSREF 分频器		12		mA
I _{DDO-DELAY}	每个 1PPS/SYSREF 模拟延迟块的电流消耗	启用模拟延迟功能		10		mA

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
I _{DDO-HSDS}	每个输出驱动器的 HSDS 电流消耗	HSDS 缓冲器 (V _{CM} 电平 = s1 , I _{out} = 4mA , 100Ω 终端)		19	mA
		HSDS 缓冲器 (V _{CM} 电平 = s1 , I _{out} = 7mA , 100Ω 终端)		22	mA
		HSDS 缓冲器 (V _{CM} 电平 = s1 , I _{out} = 10mA , 100Ω 终端)		25	mA
I _{DDO-HCSL}	每个输出驱动器的 HCSL 电流消耗	HCSL 输出 (每侧 50Ω 终端)		30.5	mA
I _{DD_PD}	断电电流消耗	器件断电, PD# = 低电平		90 110	mA
基准输入特性 (INx)					
f _{IN}	INx 频率范围	单端输入	0.5E-6	200	MHz
		差分输入	5	800	
V _{IH}	单端输入高电压	直流耦合输入模式 (3)	1.2	VDD + 0.3	V
V _{IL}	单端输入低电平		0.5	V	
V _{IN-SE-PP}	单端输入电压摆幅	交流耦合输入模式 (4)	0.4	2	V _{pp}
V _{IN-DIFF-PP}	差分输入电压摆幅	交流或直流耦合输入 (5)	0.4	2	V _{pp}
V _{ICM}	输入共模	直流耦合差分输入 (6)	0.1	2	V
dV/dt	输入压摆率	单端输入	0.2	0.5	V/ns
		差分输入	0.2	0.5	V/ns
IDC	输入时钟占空比	非 1PPS 信号	40	60	%
t _{PULSE-1PPS}	输入的 1PPS 脉冲宽度	1PPS 或脉冲信号	100		ns
I _{IN-DC}	直流输入漏电流	单引脚 INx_P 或 INx_N, 禁用 50Ω 和 100Ω 内部终端, 启用或禁用交流耦合模式	-350	350	μA
C _{IN}	输入电容	单端, 每个引脚	2		pF
XO/TCXO 输入特性 (XO)					
f _{CLK}	XO 输入频率范围 (7)		10	156.25	MHz
V _{IH}	LVC MOS 输入高电压	直流耦合输入模式 (8)	1.4	VDD + 0.3	V
V _{IL}	LVC MOS 输入低电压		0.8	V	
V _{IN-SE}	单端输入电压摆幅	交流耦合输入模式 (9)	0.4	VDD + 0.3	V _{pp}
dV/dt	输入压摆率		0.2	0.5	V/ns
IDC	输入占空比		40	60	%
I _{IN-DC}	直流输入漏电流	单引脚 XO_P, 禁用 50Ω 和 100Ω 内部终端	-350	350	μA
C _{IN}	每个引脚上的输入电容		1		pF
C _{EXT}	外部交流耦合电容		10		nF
APLL/VCO 特性					
f _{PFD}	PFD 频率范围	APLL3 分数反馈分频器		110	MHz
		APLL1、APLL2 分数反馈分频器		125	MHz
f _{VCO1}	VCO1 频率范围		4800	5350	MHz
f _{VCO2}	VCO2 频率范围		5595	5950	MHz
f _{VCO3}	VCO3 频率范围		2433	2457.6 2482.2	MHz
t _{APLL1-LOCK}	APLL1 锁定时间	软/硬复位与稳定 APLL1 输出之间的时间。	20	35	ms
t _{APLL2-LOCK}	APLL2 锁定时间	软/硬复位与稳定 APLL2 输出之间的时间。	350	460	ms
t _{APLL3-LOCK}	APLL3 锁定时间	软或硬复位与稳定 APLL3 输出之间的时间。	12.5	13	ms

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
HSDS 输出特性 (OUTx)						
f_{OUT}	输出频率范围		1E-6		1250	MHz
$V_{OUT-DIFF}$	差分输出摆幅			$2 \times V_{OD-HSDS}$		mVpp
$V_{OD-HSDS}$	HSDS 输出电压摆幅	$f_{out} < 100\text{MHz}$, $I_{out} = 4\text{mA}$	350	400	440	mV
		$f_{out} < 100\text{MHz}$, $I_{out} = 7\text{mA}$	625	700	750	mV
		$f_{out} < 100\text{MHz}$, $I_{out} = 10\text{mA}$	900	975	1050	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$, $I_{out} = 4\text{mA}$	335	400	445	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$, $I_{out} = 5\text{mA}$	425	500	575	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$, $I_{out} = 6\text{mA}$	510	600	690	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$, $I_{out} = 7\text{mA}$	595	700	805	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$, $I_{out} = 8\text{mA}$	680	800	920	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$, $I_{out} = 9\text{mA}$	765	900	1035	mV
		$100\text{MHz} \leq f_{out} \leq 325\text{MHz}$, $I_{out} = 10\text{mA}$	850	1000	1150	mV
		$325\text{MHz} < f_{out} \leq 800\text{MHz}$, $I_{out} = 4\text{mA}$	300	350	400	mV
		$325\text{MHz} < f_{out} \leq 800\text{MHz}$, $I_{out} = 7\text{mA}$	580	640	700	mV
		$325\text{MHz} < f_{out} \leq 800\text{MHz}$, $I_{out} = 10\text{mA}$	800	865	940	mV
		$800\text{MHz} < f_{out} \leq 1250\text{MHz}$, $I_{out} = 4\text{mA}$	235	320	400	mV
$800\text{MHz} < f_{out} \leq 1250\text{MHz}$, $I_{out} = 7\text{mA}$	480	625	740	mV		
$800\text{MHz} < f_{out} \leq 1250\text{MHz}$, $I_{out} = 10\text{mA}$	600	800	1000	mV		
V_{OH}	输出电压高电平		$V_{OL} + V_{OD}$			mVpp
V_{OL}	输出电压低电平	VCM 电平 = s1	50	150	250	mV
		VCM 电平 = s2+3	300	470	720	mV
V_{CM}	输出共模电压	VCM 电平 = s1 或 s2+3	$V_{OL} + V_{OD}/2$			V
		VCM 电平 = s2, $I_{out} = 4\text{mA}$	0.6	0.7	0.8	V
		VCM 电平 = s3, $I_{out} = 4\text{mA}$	1.125	1.25	1.375	V
t_{SKEW}	输出偏斜 ⁽¹²⁾	相同的 APLL, 相同的后分频器和通道分频器值, 相同的组			50	ps
		相同的 APLL, 相同的后分频器和通道分频器值, 组之间			80	ps
t_R/t_F	上升/下降时间	$f_{OUT} < 100\text{MHz}$, 20% 至 80%, $OUT_X_CAP_EN = 0$, $C_L = 2\text{pF}$	200	250	350	ps
		$100\text{MHz} \leq f_{OUT} \leq 325\text{MHz}$, 20% 至 80%, $I_{out} \geq 8\text{mA}$, $OUT_X_CAP_EN = 0$, $C_L = 2\text{pF}$	165	225	260	ps
		$100\text{MHz} \leq f_{OUT} \leq 325\text{MHz}$, 20% 至 80%, $OUT_X_CAP_EN = 0$, $C_L = 2\text{pF}$	175	230	300	ps
		$325\text{MHz} < f_{OUT} \leq 800\text{MHz}$, 20% 至 80%, $OUT_X_CAP_EN = 0$, $C_L = 2\text{pF}$	150	215	285	ps
		$800\text{MHz} < f_{OUT} \leq 1250\text{MHz}$, 20% 至 80%, $OUT_X_CAP_EN = 0$, $C_L = 2\text{pF}$	120	205	250	ps
ODC	输出占空比		48		52	%
HCSL 输出特性 (OUTx)						
f_{OUT}	输出频率范围	HCSL 输出模式	25	100	650	MHz
V_{OL}	输出电压低电平		-150	0	150	mV
V_{OH}	输出电压高电平		600	750	900	mV
VMIN	输出电压最小值	包括下冲	-300	0	150	mV

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V _{MAX}	输出电压最大值	包括过冲	600	750	1150	mV
dV/dt	差分输出电压摆率	中心点附近 ±150mV， OUT_x_CAP_EN = 1，C _L = 2pF	2		4	V/ns
dV/dt	差分输出电压摆率	中心点附近 ±150mV， OUT_x_CAP_EN = 0，C _L = 2pF	3		5	V/ns
t _{SK}	输出偏斜 ⁽¹²⁾	相同的 APLL，相同的后分频器和通道分频器值，相同的组			50	ps
		相同的 APLL，相同的后分频器和通道分频器值，组之间			80	ps
V _{CROSS}	绝对电压交叉点	f _{OUT} = 100 MHz	300		500	mV
ΔV _{CROSS}	电压交叉点变化	f _{OUT} = 100 MHz			75	mV
ODC	输出占空比		45		55	%
1.8V LVCMOS 输出特性 (OUT0/1)						
f _{OUT}	输出频率范围		1E-6		200	MHz
V _{OH}	输出高电压	I _{OH} = -2mA	1.5			V
V _{OL}	输出低电压	I _{OL} = 2mA			0.2	V
t _R /t _F	输出上升/下降时间	20%至 80%		150		ps
t _{SK}	输出到输出偏斜	OUT0_P、OUT0_N、OUT1_P、 OUT1_N 具有相同的极性，相同的 APLL 后分频器和输出分频器值。相同 的极性和输出类型 (LVCMOS)			60	ps
		相同的 APLL，相同的后分频器和输出分频器值。LVCMOS 和差分输出之间的偏斜	0.7	1	1.3	ns
ODC	输出占空比		45		55	%
R _{输出}	输出阻抗		54	64	75	Ω
2.65V LVCMOS 输出特性 (OUT0/1)						
f _{OUT}	输出频率范围		1E-6		200	MHz
V _{OH}	输出高电压	I _{OH} = -2mA	2.3			V
V _{OL}	输出低电压	I _{OL} = 2mA			0.2	V
t _R /t _F	输出上升/下降时间	20%至 80%		150		ps
t _{SK}	输出到输出偏斜	OUT_P、OUT0_N、OUT1_P、 OUT1_N 具有相同的极性，相同的 APLL 后分频器和输出分频器值。相同 的极性和输出类型 (LVCMOS)			60	ps
		相同的 APLL，相同的后分频器和输出分频器值。LVCMOS 和差分输出之间的偏斜	0.7	1.0	1.3	ns
PN _{FLOOR}	输出相位噪底 (f _{OFFSET} > 10MHz)	25MHz		-155		dBc/Hz
ODC	输出占空比		45		55	%
R _{输出}	输出阻抗		40	50	65	Ω
3.3V LVCMOS GPIO 时钟输出特性 (GPIO0/1/2)						
f _{OUT}	最大输出频率	GPIO1、GPIO2			25	MHz
V _{OH}	输出高电压	I _{OH} = 2 mA	2.4			V
V _{OL}	输出低电压	I _{OL} = 2mA			0.4	V
I _{IH}	输入高电流	V _{IN} = V _{DD}			100	μA
I _{IL}	输出低电平电流	V _{IN} = 0V	-100			μA
t _R /t _F	输出上升/下降时间	20% 至 80%，1kΩ 至 GND	0.5	1.3	2.6	ns

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t_{sk}	输出到输出偏斜	相对于 OUT0_P、OUT0_N、OUT1_P、OUT1_N CMOS 输出的 GPIO1、GPIO2 输出偏斜。 GPIOx_SEL = 115 f _{out} = 100kHz		7.5	11	ns
ODC	输出占空比		45		55	%
R _{输出}	输出阻抗		35	42	50	Ω
PLL 输出时钟噪声特性						
RJ _{APLL3}	APLL3 输出的 12kHz 至 20MHz 积分 RMS 抖动	XO = 48MHz, f _{out} = 1222.8MHz, 后分频器 P1 _{APLL3} = 2, HSDS 输出 VOD ≥ 800mV			45	fs
		XO = 48MHz, f _{out} = 614.4MHz, 后分频器 P1 _{APLL3} = 4, HSDS 输出 VOD ≥ 800mV		35	50	fs
		XO = 48MHz, f _{out} = 491.52MHz, 后分频器 P1 _{APLL3} = 5, HSDS 输出 VOD ≥ 800mV		40	57	fs
		XO = 48MHz, f _{out} = 245.76MHz, 后分频器 P1 _{APLL3} = 10, HSDS 输出 VOD ≥ 800mV		45	64	fs
		XO = 48MHz, f _{out} = 245.76MHz, 旁路掉后分频器 P1 _{APLL3} = 1, HSDS 输出 VOD ≥ 800mV ⁽¹⁰⁾		50	62	fs
		XO = 48MHz, f _{out} = 122.88MHz, 旁路掉后分频器 P1 _{APLL3} = 1, HSDS 输出 VOD ≥ 800mV ⁽¹⁰⁾		55	86	fs
		XO = 48MHz, f _{out} = 245.76MHz, HSDS 输出, 所有 VOD 电平		50	80	fs
		XO = 48MHz, f _{out} = 122.88MHz, HSDS 输出, 所有 VOD 电平		60	90	fs
RJ _{APLL2}	APLL2 输出的 12kHz 至 20MHz 积分 RMS 抖动	XO = 48MHz, APLL2 的 f _{out} = 153.6MHz (VCO2 = 5836.8MHz)、155.52MHz (VCO2 = 5598.72MHz)、174.703084MHz (VCO2 = 5765.2MHz) 或 184.32MHz (VCO2 = 5898.24MHz)。HSDS 输出, OUT4、OUT5、OUT6 和 OUT7 或 OUT2 和 OUT3 的 VOD ≥ 800mV。在所有其他输出组中, APLL3 输出为 156.25MHz。		110	150	fs
		XO = 48MHz, f _{out} = 161.1328125MHz 或 322.265625MHz (VCO2 = 5800.78125MHz), 或 APLL2 的 212.5MHz (VCO2 = 5950MHz)。HSDS 输出, OUT4、OUT5、OUT6 和 OUT7 的 VOD ≥ 800mV。在所有其他输出组中, APLL3 输出为 156.25MHz。		110	150	fs
		XO = 48MHz, f _{out} = 156.25MHz 或 125MHz (VCO2 = 5625MHz), 或 APLL2 的 100MHz (VCO2 = 5600MHz)。HSDS 输出, OUT4、OUT5、OUT6 和 OUT7 或 OUT2 和 OUT3 的 VOD ≥ 800mV。在所有其他输出组中, APLL3 输出为 156.25MHz。		110	150	fs
RJ _{APLL1}	APLL1 输出的 12kHz 至 20MHz 积分 RMS 抖动	XO = 48MHz, f _{out} ≥ 100MHz, HSDS 输出缓冲器 VOD ≥ 800mV		200	300	fs

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
PSNR _{VDDO_0_1}	电源噪声抑制 VDD_0_1	V _{CC} = 3.3V, V _N = 50mVpp, HSDS、LVDS 或 LVPECL 输出。(12)		-105		dBc
PSNR _{VDDO_2_3}	电源噪声抑制 VDD_2_3	V _{CC} = 3.3V, V _N = 50mVpp, HSDS、LVDS 或 LVPECL 输出。(12)		-105		dBc
PSNR _{VDDO_4_7}	电源噪声抑制 VDDO_4_7	V _{CC} = 3.3V, V _N = 50mVpp, HSDS、LVDS 或 LVPECL 输出。(12)		-110		dBc
PSNR _{VDDO_8_13}	电源噪声抑制 VDDO_8_13	V _{CC} = 3.3V, V _N = 50mVpp, HSDS、LVDS 或 LVPECL 输出。(12)		-110		dBc
PSNR _{VDD_APLL1_XO}	电源噪声抑制 VDD_APLL1_XO	V _{CC} = 3.3V, V _N = 50mVpp, HSDS、LVDS 或 LVPECL 输出。(12)		-100		dBc
PSNR _{VDD_APLL2}	电源噪声抑制 VDD_APLL2	V _{CC} = 3.3V, V _N = 50mVpp, HSDS、LVDS 或 LVPECL 输出。(12)		-105		dBc
PSNR _{VDD_APLL3}	电源噪声抑制 VDD_APLL3	V _{CC} = 3.3V, V _N = 50mVpp, HSDS、LVDS 或 LVPECL 输出。(12)		-105		dBc
PSNR _{VDD_DIG}	电源噪声抑制 VDD_DIG	V _{CC} = 3.3V, V _N = 50mVpp, HSDS、LVDS 或 LVPECL 输出。(12)		-120		dBc
PCIe 抖动特性						
J _{PCIe-Gen1-CC}	PCIe 第 1 代 (2.5GT/s) 通用时钟抖动	APLL3、APLL2 或 APLL1 输出, 3 倍噪声折叠		0.8	5	ps p-p
J _{PCIe-Gen2-CC}	PCIe 第 2 代 (5.0GT/s) 通用时钟抖动	APLL3、APLL2 或 APLL1 输出, 3 倍噪声折叠		85	250	fs RMS
J _{PCIe-Gen3-CC}	PCIe 第 3 代 (8GT/s) 通用时钟抖动	APLL3、APLL2 或 APLL1 输出, 3 倍噪声折叠		25	100	fs RMS
J _{PCIe-Gen4-CC}	PCIe 第 4 代 (16GT/s) 通用时钟抖动	APLL3、APLL2 或 APLL1 输出, 3 倍噪声折叠		25	100	fs RMS
J _{PCIe-Gen5-CC}	PCIe 第 5 代 (64GT/s) 通用时钟抖动	APLL3、APLL2 或 APLL1 输出, 3 倍噪声折叠		9	50	fs RMS
J _{PCIe-Gen6-CC}	PCIe 第 6 代 (32GT/s) 通用时钟抖动	APLL3、APLL2 或 APLL1 输出, 3 倍噪声折叠		6	40	fs RMS
DPLL 特性						
f _{TDC}	DPLL3/DPLL2/DPLL1 的 TDC 速率范围		1E-6		26	MHz
dφ/dt	切换期间的相位转换	可编程范围		695		ns/s
DPLL-BW	DPLL 环路带宽	可编程环路带宽(16)	1E-3		4000	Hz
J _{PK}	DPLL 闭环抖动峰值			0.1		dB
J _{TOL}	抖动容差	符合 G.8262 选项 1 和 2 标准。抖动调制 = 10Hz, 25.78152Gbps 线路速率		6455		UI p-p
DCO 特性						
f _{DCO-DPLL}	DPLL DCO 频率调谐范围	DPLL3、DPLL2、DPLL1	-200		200	ppm
f _{DCO-APLL}	DCO 频率调谐范围	APLL3 处于保持状态或仅 APLL 运行状态。	-200		200	ppm
		APLL2、APLL1 处于保持状态或仅 APLL 运行状态。	-1000		1000	ppm
零延迟模式 (ZDM) 特性						
f _{OUT-ZDM}	启用 ZDM 时的输出频率范围	DPLL3 : OUT0 或 OUT10	1E-6		1250	MHz
		DPLL2 : OUT0 或 OUT4	1E-6		700	MHz
		DPLL1 : OUT0	1E-6		1250	MHz
t _{DLY-ZDM}	启用 ZDM 时的输入至输出传播延迟	OUT0, f _{IN} ≤ f _{TDC_MAX} , f _{OUT} ≤ f _{TDC_MAX} , DPLLX_PH_OFFSET = 172500		150		ps

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
$t_{DLY-VAR-ZDM}$	启用 ZDM 时的输入至输出传播延迟变化 OUT0, $f_{IN} \leq f_{TDC_MAX}$, $f_{OUT} \leq f_{TDC_MAX}$, $DPLLX_PH_OFFSET = 0$			65	±ps
1PPS 基准特性					
t_{DPLL_FL}	采用 1PPS 基准时的 DPLL 频锁时间 XO = 48MHz, 初始误差 = ±25ppb, $-180^\circ \leq \Theta \leq 180^\circ$. DPLL LBW = 10mHz, 频锁 $\Delta f_{out} \leq \pm 4.6ppm$		5	6	s
t_{DPLL_PL}	采用 1PPS 基准时的 DPLL 相锁时间 XO = 48MHz, 初始误差 = ±25ppb, $-180^\circ \leq \Theta \leq 180^\circ$. DPLL LBW = 10mHz, DPLL LBW = 10mHz, 相锁 $\leq \pm 100ns$		34	38	s
无中断切换特性					
t_{HIT}	切换期间的相位瞬变	INx = 1Hz, INy = 1Hz, 已锁频。INx 和 INy 相对相位偏移 $-180^\circ \leq \Theta \leq 180^\circ$. DPLL LBW = 10mHz。	4		±ps
		INx = 8kHz, INy = 8kHz, 已锁频。INx 和 INy 相对相位偏移 $-180^\circ \leq \Theta \leq 180^\circ$. DPLL LBW = 1Hz	19		±ps
		Nx = 25MHz, INy = 25MHz, 已锁频。INx 和 INy 相对相位偏移 $-180^\circ \leq \Theta \leq 180^\circ$. DPLL LBW = 1Hz	1.8		±ps
f_{HIT}	切换期间的频率瞬变	INx = 1Hz, INy = 1Hz, 已锁频。INx 和 INy 相对相位偏移 $-180^\circ \leq \Theta \leq 180^\circ$. DPLL LBW = 10mHz	0.85		±ppb
		INx = 8kHz, INy = 8kHz, 已锁频。INx 和 INy 相对相位偏移 $-180^\circ \leq \Theta \leq 180^\circ$. DPLL LBW = 1Hz	0.45		±ppb
		INx = 25MHz, INy = 25MHz, 已锁频。INx 和 INy 相对相位偏移 $-180^\circ \leq \Theta \leq 180^\circ$. DPLL LBW = 1Hz	0.63		±ppb
可编程输出延迟特性					
$t_{ANA-DLY}$	模拟延迟步长 ⁽¹³⁾	APLL3 = 2457.6MHz, VCO 后分频器 = 2, 0.5 倍范围标度, $1Hz \leq OUTx \leq 122.88MHz$, ANA_DELAY_LINEARITY_CODE = 2	13.13		ps
		APLL3 = 2457.6MHz, VCO 后分频器 = 1, 2 倍范围标度, $1Hz \leq OUTx \leq 122.88MHz$, ANA_DELAY_LINEARITY_CODE = 5	26.25		ps
		APLL2 = 5625.0MHz, VCO 后分频器 = 3, 1 倍范围标度, $1Hz \leq OUTx \leq 156.25MHz$, ANA_DELAY_LINEARITY_CODE = 3	17.2		ps
		APLL2 = 5625.0MHz, VCO 后分频器 = 4, 1 倍范围标度, $1Hz \leq OUTx \leq 156.25MHz$, ANA_DELAY_LINEARITY_CODE = 4	22.9		ps

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位	
t _{ANA-DLY-ERR}	模拟延迟步长误差	APLL3 = 2457.6MHz, VCO 后 分频器 = 2, 0.5 倍范围标度, 1Hz ≤ OUTx ≤ 122.88MHz, ANA_DELAY_LINEARITY_CODE = 2	-6.56		6.56	ps
		APLL3 = 2457.6MHz, VCO 后 分频器 = 1, 2 倍范围标度, 1Hz ≤ OUTx ≤ 122.88MHz, ANA_DELAY_LINEARITY_CODE = 5	-13.13		13.13	ps
		APLL2 = 5625.0MHz, VCO 后 分频器 = 3, 1 倍范围标度, 1Hz ≤ OUTx ≤ 156.25MHz, ANA_DELAY_LINEARITY_CODE = 3	-8.6		8.6	ps
		APLL2 = 5625.0MHz, VCO 后 分频器 = 4, 1 倍范围标度, 1Hz ≤ OUTx ≤ 156.25MHz, ANA_DELAY_LINEARITY_CODE = 4	-11.45		11.45	ps
t _{ANA-DLY-RANGE}	模拟延迟范围		31 × t _{ANA-DLY}		ps	
t _{ANA-DLY-ACC}	模拟延迟精度	在模拟延迟范围内任何设置 N = 0 至 31 的模拟延迟绝对精度。 ANA_DELAY_LINEARITY_CODE = 3、4、5 时, 实际值相对于预期值 N × t _{ANA-DLY-STEP} 的最坏情况误差	-25		25	ps
t _{ANA-DLY-LIN}	模拟延迟线性度 (14)	ANA_DELAY_LINEARITY_CODE = 2	333		450	ps
		ANA_DELAY_LINEARITY_CODE = 3	450		600	ps
		ANA_DELAY_LINEARITY_CODE = 4	600		750	ps
		ANA_DELAY_LINEARITY_CODE = 5	750		1050	ps
t _{DIG-DLY}	数字延迟步长	VCO 后分频器频率输出 = 2457.6MHz, 半步设置		196.6		ps
		VCO 后分频器频率输出 = 2457.6MHz, 全步设置		786.4		ps

3 电平逻辑输入特性 (GPIO0、GPIO1、GPIO2、SCS_ADD)

V _{IH}	输入高电压		1.4			V
V _{IM}	输入中电压		0.6		0.95	V
V _{IM}	输入中电压自偏置	输入悬空、使用内部辅助电源且 PD# 下 拉至低电平	0.7		0.9	V
R _{IM-PD}	用于中电平自偏置的内部下拉电阻 (15)		145	163	180	kΩ
R _{IM-PU}	用于中电平自偏置的内部上拉电阻 (15)		470	526	580	kΩ
V _{IL}	输入低电压				0.4	V
I _{IH}	输入高电流	V _{IH} = VDD	-40		40	μA
I _{IL}	输入低电流	V _{IL} = GND	-40		40	μA
C _{IN}	输入电容			2		pF

2 电平逻辑输入特性 (PD#、SCK、SDIO、SCS_ADD ; 上电后的 GPIO0、GPIO1 和 GPIO2)

V _{IH}	输入高电压		1.2			V
V _{IL}	输入低电压				0.4	V
I _{IH}	输入高电流	V _{IH} = VDD, PD# 除外	-40		40	μA
I _{IL}	输入低电流	V _{IL} = GND, PD# 除外	-40		40	μA
I _{IH}	输入高电流	V _{IH} = VDD, PD# 带内部 200kΩ 上拉电 阻	-57		24	μA

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{IL}	输入低电流	$V_{IL} = GND$ ，PD# 带内部 200k Ω 上拉电阻	-57		24	μA
t_{WIDTH}	用于 GPIO SYNC、SYSREF 请求、TEC 触发器、DPLL 输入选择、FDEV 触发器和 FDEV_dir 的输入脉冲宽度	单调边沿	200			ns
C_{IN}	输入电容			2		pF
逻辑输出特性 (GPIO0、GPIO1、GPIO2、SDIO)						
V_{OH}	输出高电压	$I_{OH} = 1mA$	2.4			V
V_{OL}	输出低电压	$I_{OL} = 1mA$			0.4	V
t_R/t_F	输出上升/下降时间	20% 至 80%，LVCMOS 模式，1k Ω 至 GND		500		ps
开漏输出 (GPIO0、GPIO1、GPIO2、SDA)						
V_{OL}	输出低电平	$I_{OL} = 3mA$			0.3	V
		$I_{OL} = 6mA$			0.6	V
I_{OH}	输出泄漏电流		-15		15	μA
SPI 时序要求 (SDIO、SCK、SCS_ADD)						
f_{SCK}	SPI 时钟频率				20	MHz
	SPI 时钟速率；在 SRAM 读取和写入操作期间			5	10	MHz
t_1	SCS 至 SCK 设置时间（开始通信周期）		10			ns
t_2	SDI 至 SCK 设置时间		10			ns
t_3	SDI 至 SCK 保持时间		10			ns
t_4	SCK 高电平时间		25			ns
t_5	SCK 低电平时间		25			ns
t_6	SCK 至 SDO 有效读回数据				20	ns
t_7	SCS 脉冲宽度		20			ns
t_8	SCK 至 SCS 设置时间（结束通信周期）		10			ns
I²C 时序要求 (SDA、SCL)						
V_{IH}	输入高电压		1.2			V
V_{IL}	输入低电压				0.5	V
I_{IH}	输入泄漏		-15		15	μA
C_{IN}	输入电容			2		pF
V_{OL}	输出低电压	$I_{OL} = 3mA$			0.3	V
V_{OL}	输出低电压	$I_{OL} = 6mA$			0.6	V
f_{SCL}	I ² C 时钟速率	标准			100	kHz
		快速模式			400	
$t_{SU}(START)$	启动条件设置时间	在 SDA 为低电平之前 SCL 为高电平	0.6			μs
$t_{H}(START)$	启动条件保持时间	在 SDA 为低电平之后 SCL 为低电平	0.6			μs
$t_{W}(SCLH)$	SCL 脉冲宽度高电平		0.6			μs
$t_{W}(SCLL)$	SCL 脉冲宽度低电平		1.3			μs
$t_{SU}(SDA)$	SDA 设置时间		100			ns
$t_{H}(SDA)$	SDA 保持时间	在 SCL 为低电平之后 SDA 有效	0		0.9	μs
$t_{R}(IN)$	SDA/SCL 输入上升时间				300	ns
$t_{F}(IN)$	SDA/SCL 输入下降时间				300	ns

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$t_{F(OUT)}$	SDA 输出下降时间			300	ns
$t_{SU(STOP)}$	停止条件设置时间	0.6			μ s
t_{BUS}	STOP 和 START 之间的总线空闲时间	1.3			μ s
t_{VD-DAT}	数据有效时间			0.9	μ s
t_{VD-ACK}	数据有效确认时间			0.9	μ s
EEPROM 特性					
n_{EE-CYC}	EEPROM 编程周期			100	周期
$t_{SRAM-R/W}$	EEPROM SRAM 字节间读取/写入延时时间	0			ms

- (1) 这是一个 XO 倍频器的电流消耗。三个 XO 倍频器中的每一个具有相同的电流消耗。
- (2) 这是一个 DPLL 的电流消耗。三个 DPLL 中的每一个具有相同的电流消耗。
- (3) REF_X_ITYPE = 8 或 12。
- (4) REF_X_ITYPE = 1、3 或 5，非驱动输入直接连接到 GND、电容器连接到 GND 或 50 Ω 连接到 GND。
- (5) REF_X_ITYPE = 1、3 或 5。
- (6) 共模电压和直流耦合不同输入电压的组合不得超过绝对最大额定值。
- (7) 当 XO 输入频率大于 APLL 相位检测器支持的最大比较频率时，APLL R 分频器必须设置为 2 分频最小值。
- (8) 寄存器 XO_ITYPE = 8 或 12。
- (9) 寄存器 XO_ITYPE = 1、3 或 5
- (10) 通过设置 P1_{APLL3} = 1 将 APLL3 后分频器旁路掉。OUT0 至 OUT13 源自通道分频器。
- (11) PSNR 是在幅度为 V_N 且频率介于 100kHz 和 10MHz 之间的正弦噪声以 1.0 μ F 去耦电容注入 VDD 和 VDDO 引脚时测得的单边带杂散电平 (以 dBc 为单位)。
- (12) 输出分频器同步。通过上电或 SYNC_SW 实现 SYNC 状态。
- (13) 典型的模拟延迟步长基于 APLL 后分频器输出周期除以 31、乘以模拟延迟范围标度值 0.5、1 或 2。
- (14) 通常根据模拟延迟范围周期 $t_{ANA-DLY-RANGE}$ 来选择模拟延迟线性度。
- (15) 内部上拉电阻的变化将跟随下拉电阻的变化以保持一致的中压自偏置比。
- (16) DPLL 环路带宽必须小于 TDC 频率的 1/100 且小于 APLL 环路带宽的 1/10。

5.6 时序图

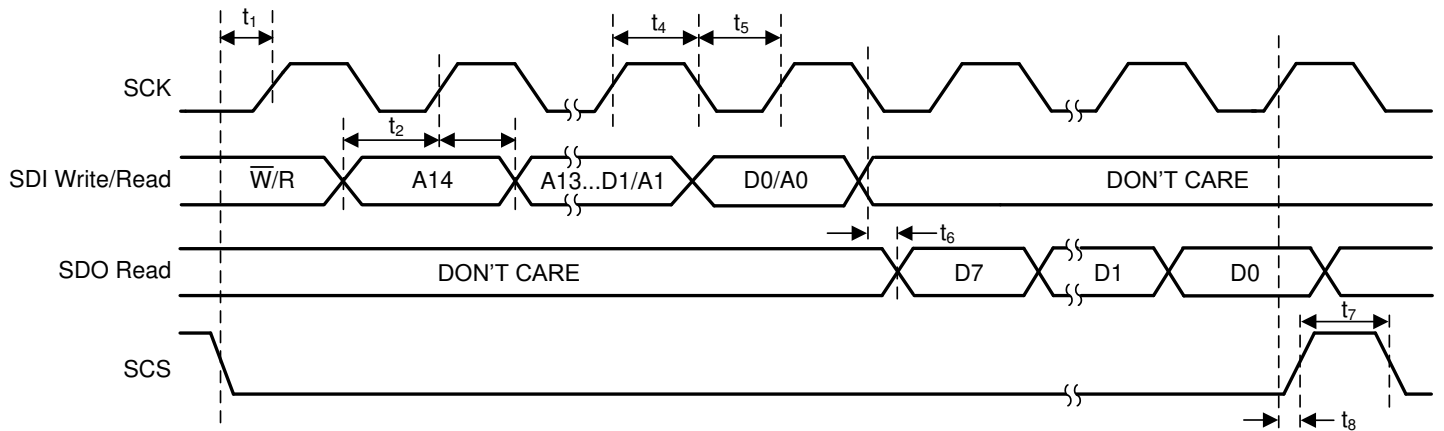


图 5-1. SPI 写入时序图

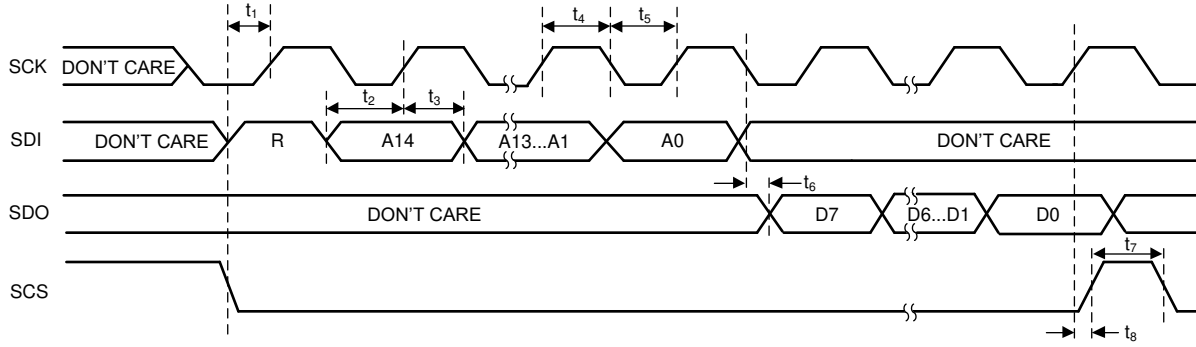


图 5-2. SPI 四线制读取时序图

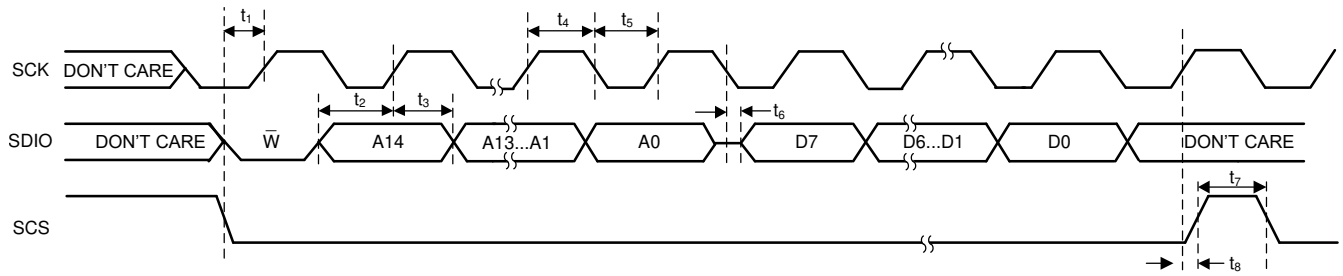


图 5-3. SPI 三线制读取时序图

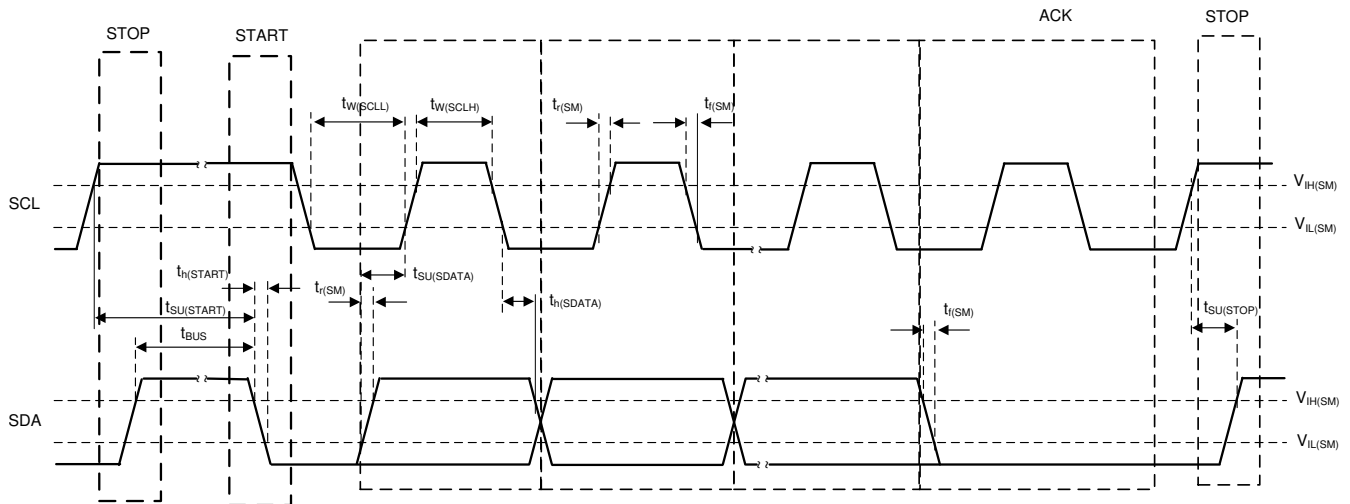


图 5-4. I²C 时序图

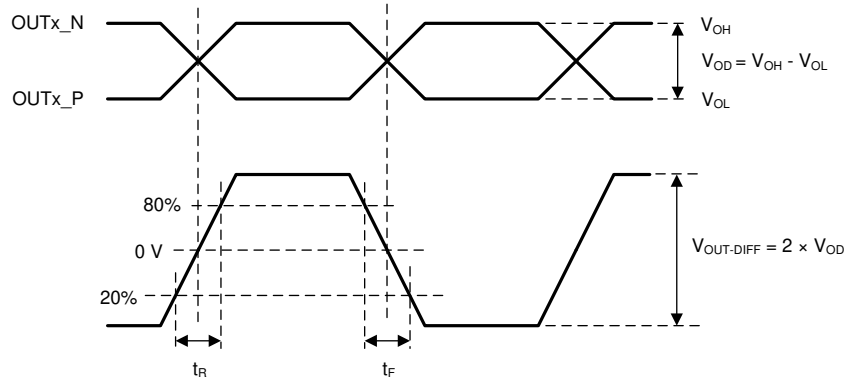


图 5-5. 差分输出电压和上升/下降时间

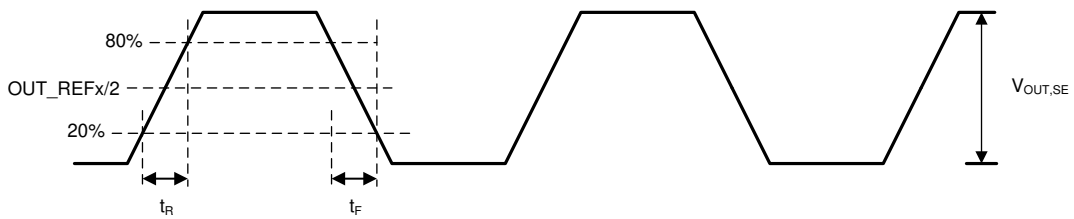


图 5-6. 单端输出电压和上升/下降时间

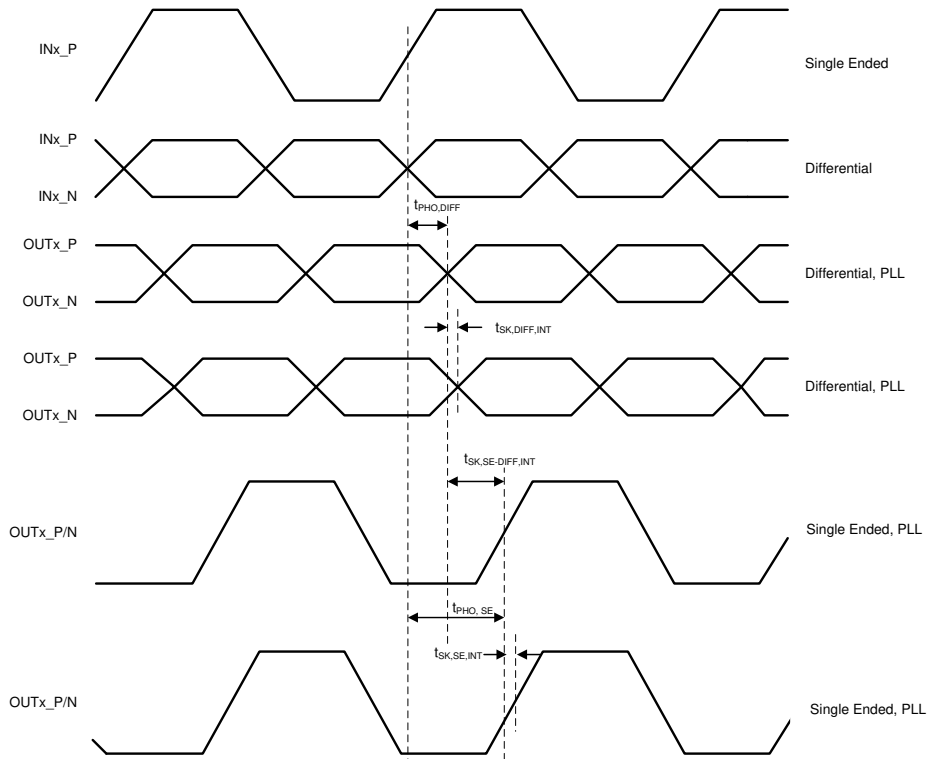
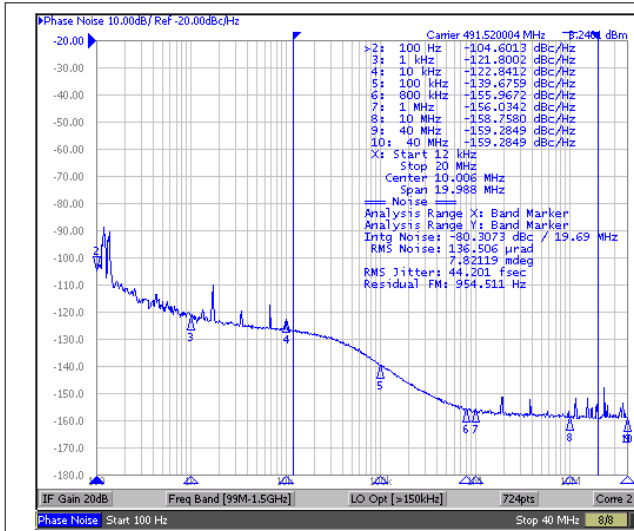


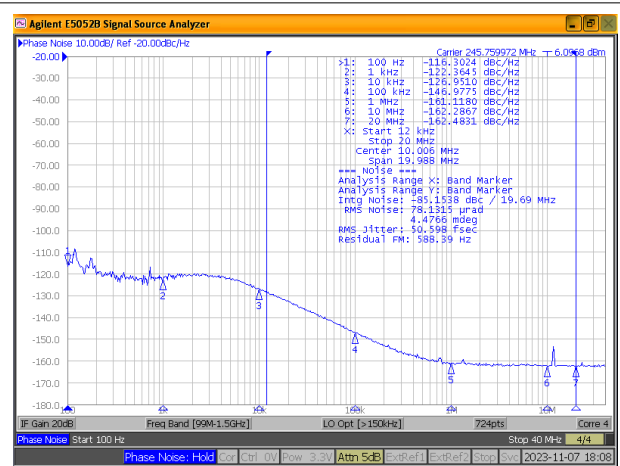
图 5-7. 差分 and 单端输出偏斜和相位偏移

5.7 典型特性



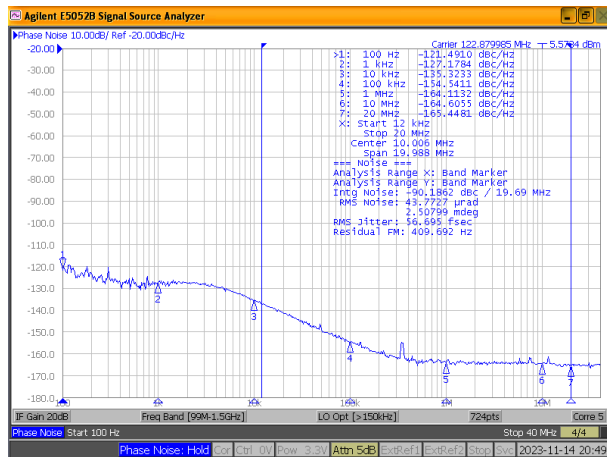
抖动 = 44fs RMS (12kHz 至 20MHz)
 $f_{APLL3} = 2457.6\text{MHz}$

图 5-8. APLL3 BAW 的 491.52MHz HSDS 输出



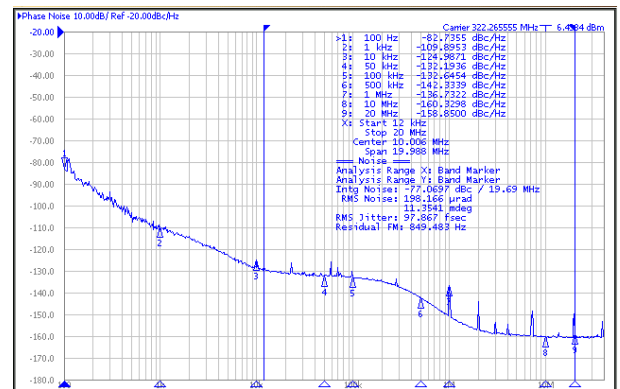
抖动 = 51fs RMS (12kHz 至 20MHz)
 $f_{APLL3} = 2457.6\text{MHz}$

图 5-9. APLL3 BAW 的 245.76MHz HSDS 输出



抖动 = 57fs RMS (12kHz 至 20MHz)
 $f_{APLL3} = 2457.6\text{MHz}$

图 5-10. APLL3 BAW 的 122.88MHz HSDS 输出



抖动 = 98fs RMS (12kHz 至 20MHz)
 $f_{APLL2} = 5800.78125\text{MHz}$

图 5-11. APLL2 的 322.265625MHz HSDS 输出

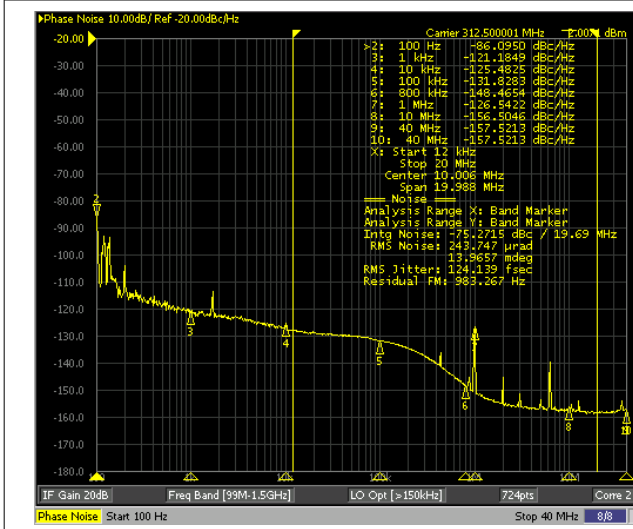
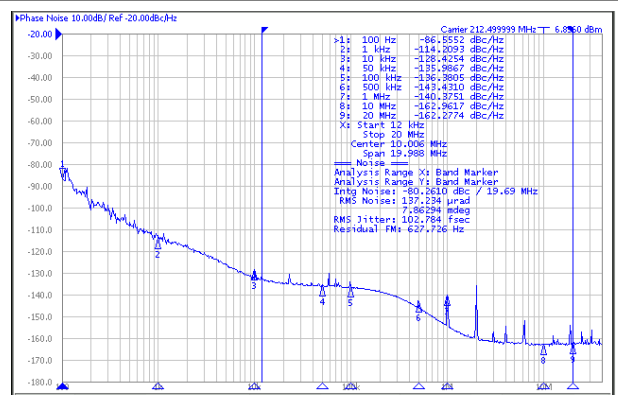
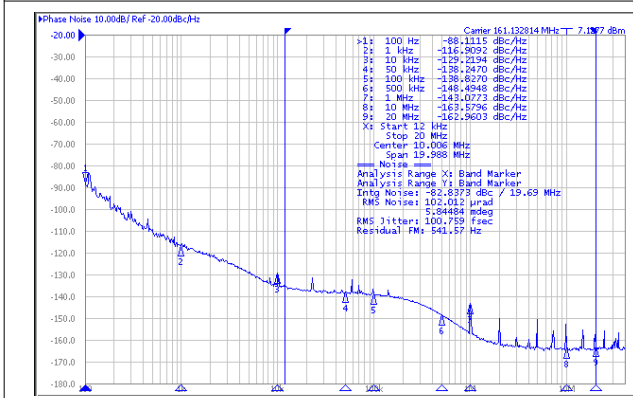


图 5-12. APLL2 的 312.5MHz HSDS 输出



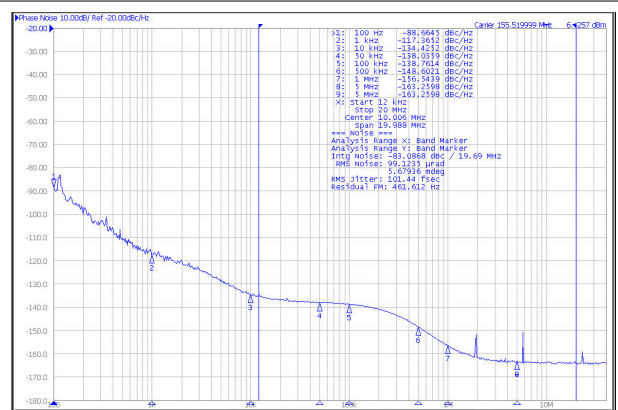
抖动 = 103fs RMS (12kHz 至 20MHz)
 $f_{APLL2} = 5950\text{MHz}$

图 5-13. APLL2 的 212.5MHz HSDS 输出



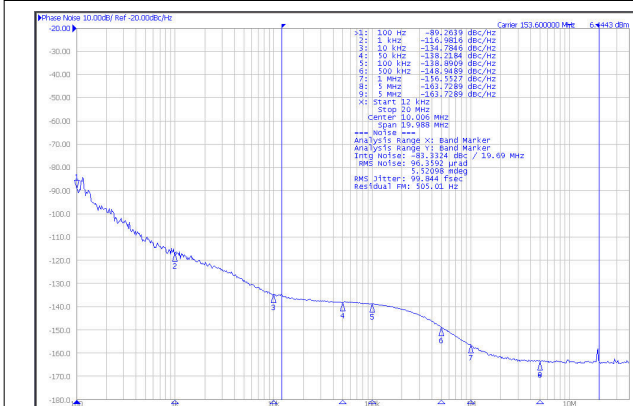
抖动 = 101fs RMS (12kHz 至 20MHz)
 $f_{APLL2} = 5800.78125\text{MHz}$

图 5-14. APLL2 的 161.1328125MHz HSDS 输出



抖动 = 101fs RMS (12kHz 至 20MHz)
 $f_{APLL2} = 5598.72\text{MHz}$

图 5-15. APLL2 的 155.52MHz HSDS 输出



抖动 = 100fs RMS (12kHz 至 20MHz)
 $f_{APLL2} = 5836.8\text{MHz}$

图 5-16. APLL2 的 153.6MHz HSDS 输出

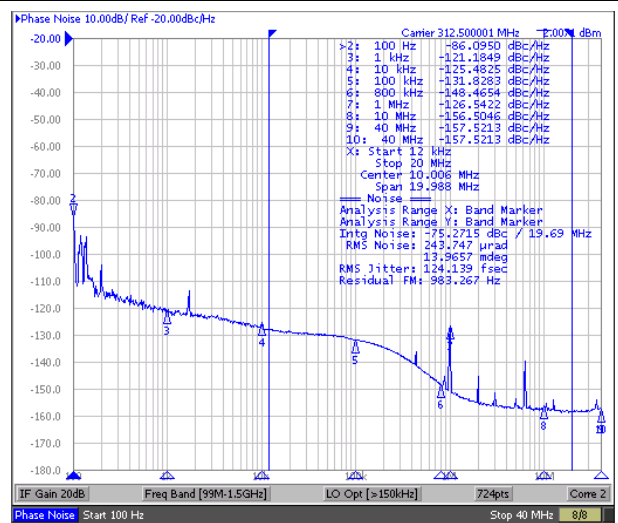
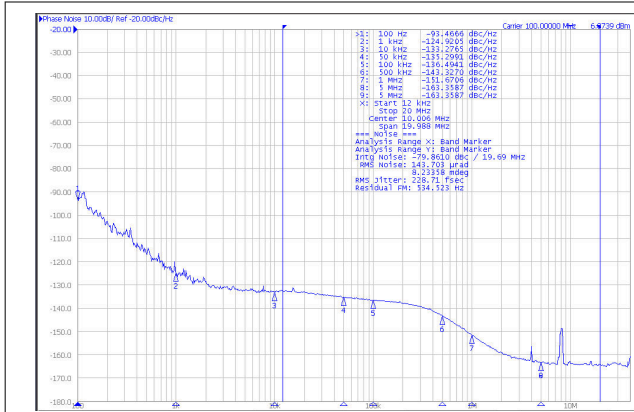
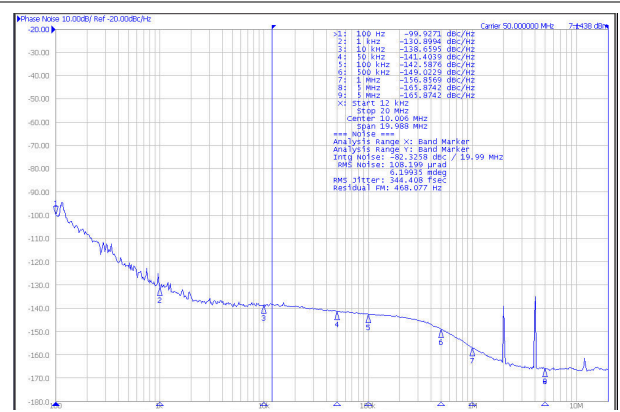


图 5-17. APLL1 的 312.5MHz HSDS 输出



抖动 = 230fs RMS (12kHz 至 20MHz)
f_{APLL1} = 5200MHz

图 5-18. APLL1 的 100MHz HSDS 输出



抖动 = 345fs RMS (12kHz 至 20MHz)
f_{APLL1} = 5200MHz

图 5-19. APLL1 的 50MHz HSDS 输出

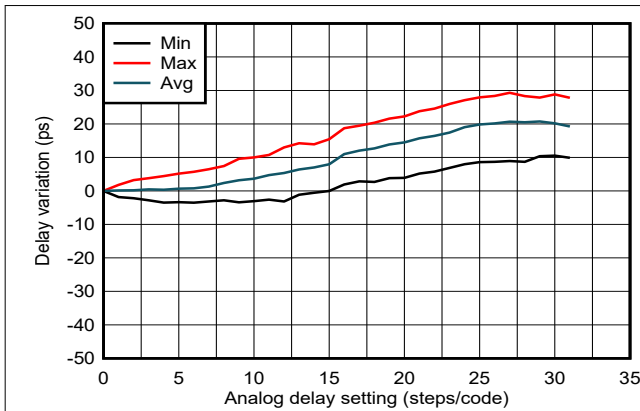


图 5-20. SYSREF/1PPS 延迟线性度与模拟延迟代码 2

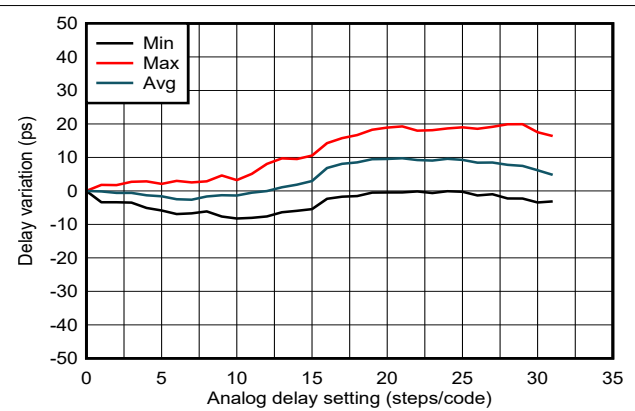


图 5-21. SYSREF/1PPS 延迟线性度与模拟延迟代码 3

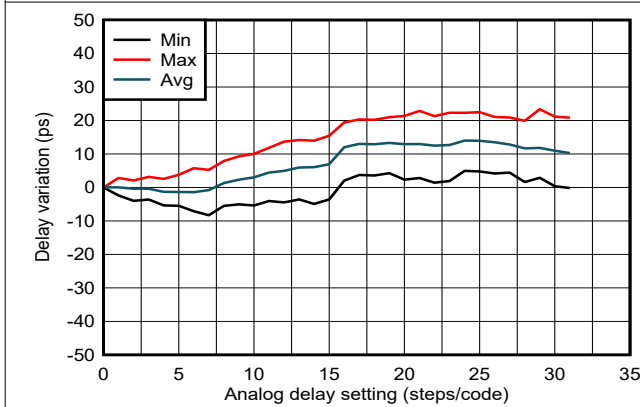


图 5-22. SYSREF/1PPS 延迟线性度与模拟延迟代码 4

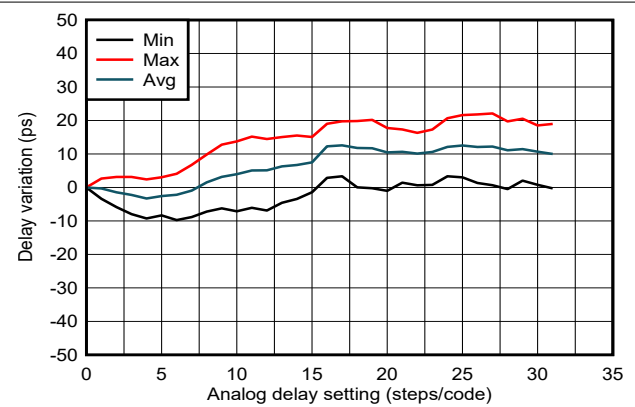


图 5-23. SYSREF/1PPS 延迟线性度与模拟延迟代码 5

6 参数测量信息

6.1 差分电压测量术语

差分信号的差分电压可以用两种不同的定义来描述，这会导致用户在阅读数据表或与其他工程师交流时产生混淆。本节将讨论差分信号的测量和描述，以便读者在使用差分信号时能够理解和区分这两种不同的定义。

差分信号的第一种定义是反相和同相信号之间电势差的绝对值。这种测量的符号通常为 V_{ID} 或 V_{OD} ，具体取决于说明对象是输入电压还是输出电压。

差分信号的第二种定义测量的是同相信号相对于反相信号的电势。这种测量的符号为 V_{SS} ，该参数通过计算得出。在集成电路 (IC) 中，该信号相对于接地是不存在的，它仅相对于其差分对存在。可以用具有浮动基准的示波器来直接测量 V_{SS} ，否则可以将该值计算为第一种描述中所述的 V_{OD} 值的两倍。

图 6-1 并排显示了针对输入的两种不同定义，而图 6-2 并排显示了针对输出的两种不同定义。 V_{ID} 和 V_{OD} 定义中给出了 V_{IH} 和 V_{IL} 两个直流电平，同相信号和反相信号均在这两种电平之间切换（相对于接地）。在 V_{SS} 输入和输出定义中，如果将反相信号视为基准电势，则此时同相信号的电势将超出以接地为基准时的同相电势范围。因此，可以测量差分信号的峰峰值电压。

V_{ID} 和 V_{OD} 通常定义为电压 (V)， V_{SS} 通常定义为电压峰峰值 (V_{PP})。

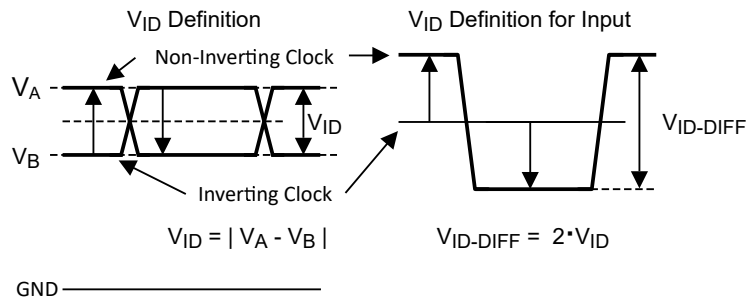


图 6-1. 差分输入信号的两种不同定义

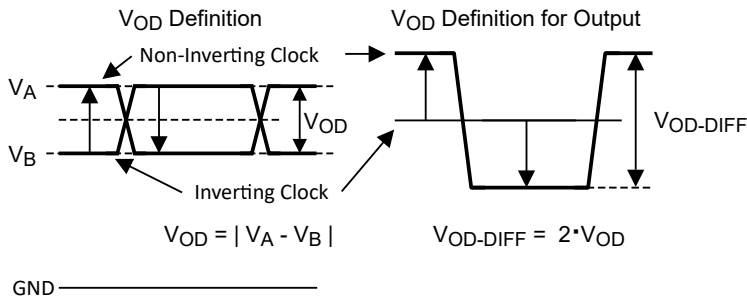


图 6-2. 差分输出信号的两种不同定义

6.2 输出时钟测试配置

本节介绍不同输出格式的表征测试设置。

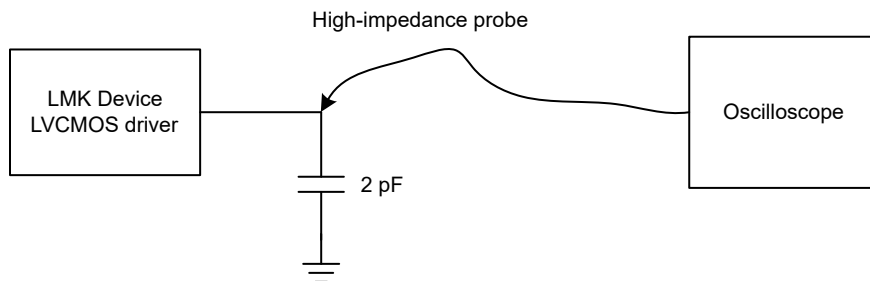


图 6-3. LVC MOS 输出时域测试配置

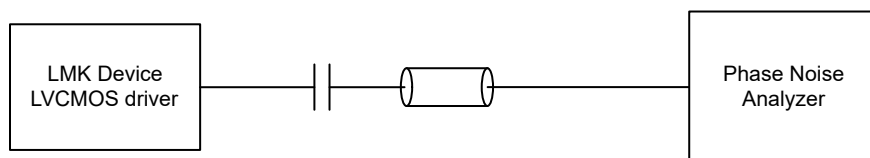


图 6-4. LVC MOS 输出相域测试配置

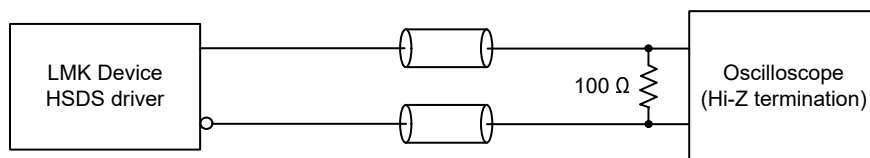


图 6-5. HSDS 输出时域测试配置

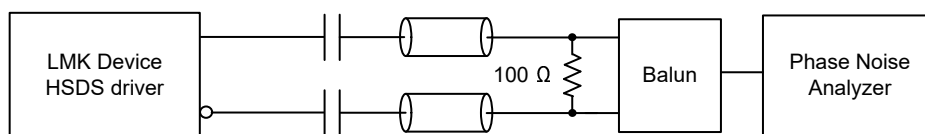


图 6-6. HSDS 输出相域测试配置

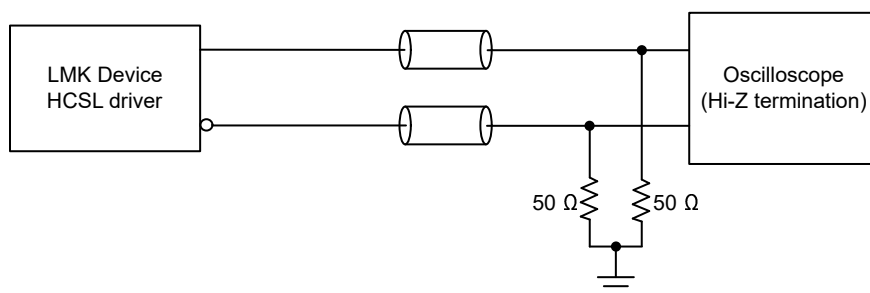


图 6-7. HCSL 输出时域测试配置

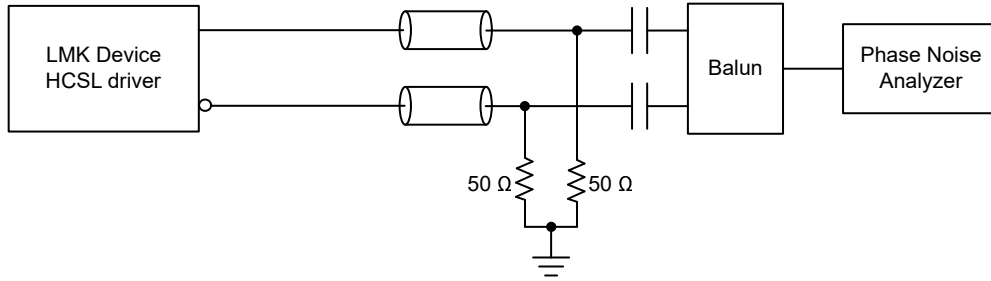
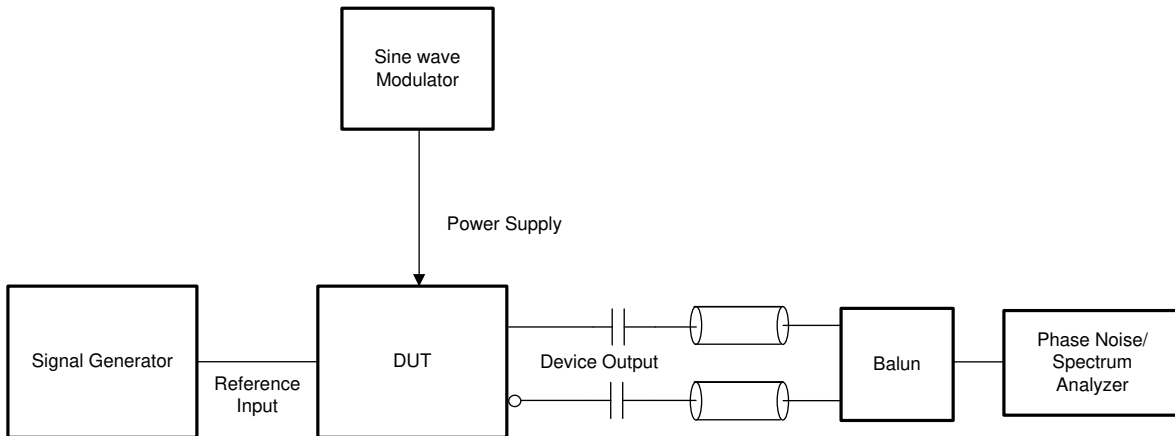


图 6-8. HCSL 输出时域测试配置



在将已知噪声幅度和频率注入到器件电源中的情况下测量单侧频带杂散电平（以 dBc 为单位）。

图 6-9. 电源噪声抑制 (PSNR) 测试配置

7 详细说明

7.1 概述

LMK5C33414AS1 具有四个基准输入、三个数字 PLL (DPLL)、三个集成了 VCO 的模拟 PLL (APLL) 和 14 个输出时钟。APLL3 使用具有极高品质因数的超高性能 BAW VCO (VCBO)，因此更大程度减少了对外部振荡器 (XO) 输入时钟的相位噪声或频率的依赖性。TI 的 VCBO 技术可降低整体解决方案成本，以满足自由运行和保持频率稳定性的要求。TI 根据系统保持稳定性的要求推荐使用 XO、TCXO 或 OCXO。每个 APLL 都可以由相应的 DPLL 控制，从而允许 APLL 域锁定到 DPLL 基准输入以生成同步时钟。每个 APLL 都可以从 XO 端口或另一个 APLL 分频时钟选择基准。每个 DPLL 都可以从基准输入 INx 中选择同步输入基准，或者通过选择来自级联分频器之一的反馈来对齐到另一个 APLL 域。

DPLL 基准输入多路复用器支持基于优先级和基准信号监控标准的自动输入选择。也可以通过软件或引脚控制来手动选择输入。该器件提供基准源之间的**无中断切换**，具有专有相位抵消和相位转换控制功能，可实现出色的相位扩展和瞬态性能。**基准时钟输入监控**块可监控时钟输入，并会在检测到基准缺失 (LOR) 时执行无中断切换或保持。一旦违反为输入监控器 (其中包括频率、漏脉冲和早期脉冲、矮脉冲和 1PPS (每秒脉冲) 检测器) 设置的阈值限制，就会检测到 LOR 条件。可以依据基准时钟输入来设置和启用每个输入检测器的阈值限制。**调优字历史记录**监控器功能根据锁定时的历史平均频率确定进入保持状态时的初始输出频率精度，从而更大程度减少 LOR 条件期间的频率和相位干扰。

LMK5C33414AS1 具有 14 个带可编程输出驱动器类型的输出，最多允许 14 个差分时钟或差分时钟与单端时钟的组合。最多四个单端 1.8V 或 2.65V LVCMOS 时钟 (每个时钟来自 OUT0 和 OUT1 的 _P 和 _N 输出)。每个输出时钟通过输出多路复用器从三个 APLL/VCO 域之一获得。输出 0 (OUT0) 和输出 1 (OUT1) 最为灵活，可以从 XO、基准输入或任何 APLL 域中选择其源。输出 0 (OUT0) 和输出 1 (OUT1) 以及 SYSREF/1PPS 分频器提供的任何其他差分输出均支持 SYSREF 或 1PPS 输出。输出分频器具有同步 (SYNC) 功能，允许多个输出的相位对齐。**ZDM** 还可以在提供给 OUT0 的任何 DPLL 时钟与所选基准输入之间实现确定性相位对齐。对于 DPLL3，OUT10 上也提供 ZDM 反馈路径，对于 DPLL2，则是在 OUT4 上提供此路径。

为了支持 IEEE 1588 PTP 辅助时钟或其他时钟控制应用，DPLL 支持频率分辨率低于 1ppt (万亿分之一) 的 DCO 模式，可通过软件或引脚控制实现精确的频率和相位调整。

该器件可通过 I²C 或 SPI 实现完全编程，支持通过出厂预编程的内部 **ROM 页** 进行启动频率配置。可编程的 **EEPROM 覆盖层** 允许对与 APLL 和输出配置相关的寄存器进行 POR 配置，提供灵活的上电输出时钟。内部 LDO 稳压器提供出色的 PSNR 功能，可降低供电网络的成本和复杂性。通过 GPIO 状态引脚和中断寄存器回读可以查看时钟输入和 PLL 监控状态，从而支持全面的诊断功能。

7.2 功能方框图

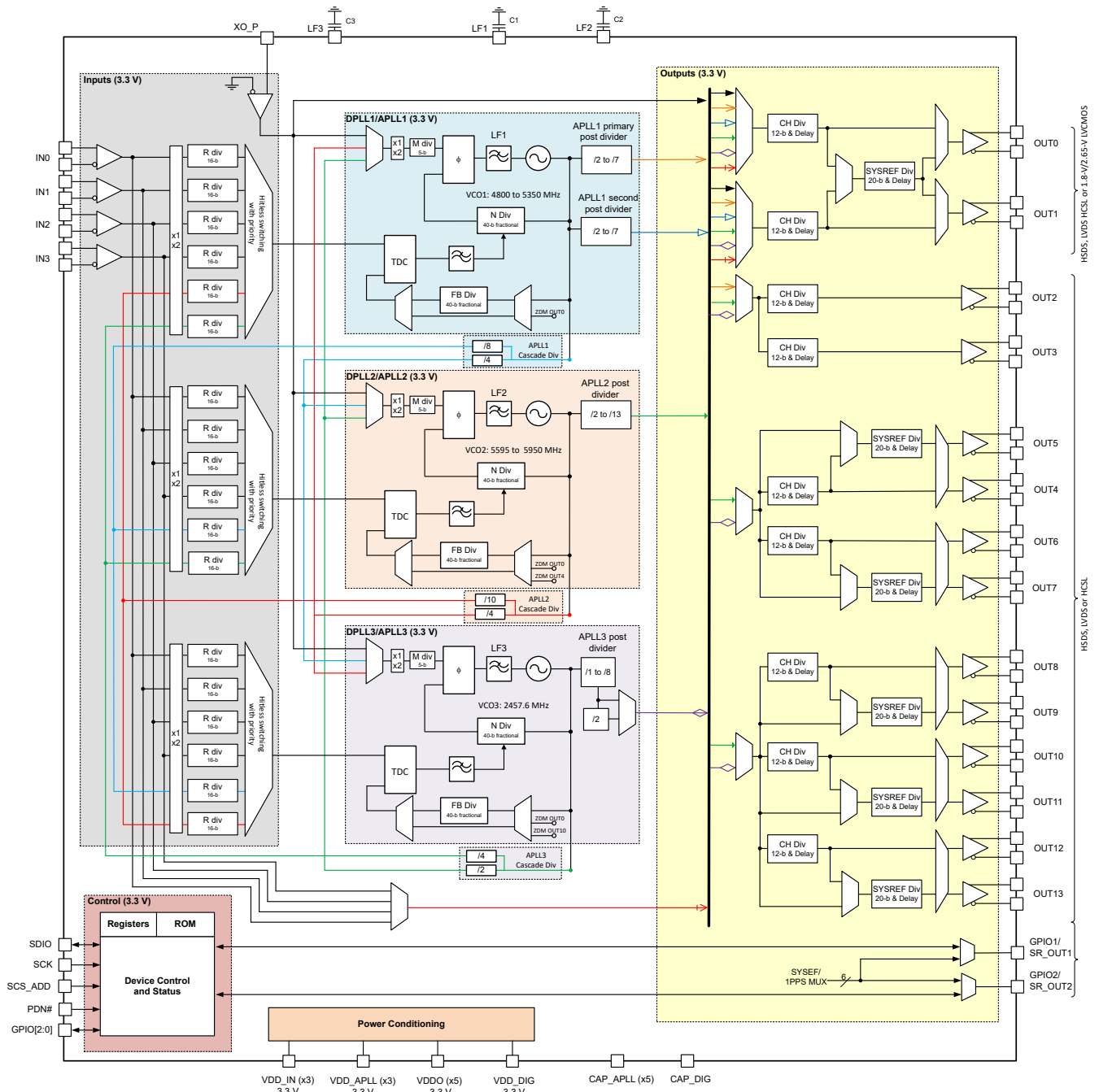


图 7-1. 简要方框图

7.2.1 PLL 架构概述

图 7-2 展示了 LMK5C33414AS1 中实现的 PLL 架构。超低抖动通道包括数字 PLL (DPLL3) 和具有集成 BAW VCBO (VCO3) 的模拟 PLL (APLL3)。具有集成 LC VCO (VCO2) 的 APLL2 可生成另一个低抖动时钟域。APLL2 反馈 N 分频器分子可由 DPLL2 控制。具有集成 LC VCO (VCO1) 的 APLL1 可用作时钟生成域。APLL1 的反馈 N 分频器分子可由 DPLL1 控制。

DPLL 包括时间数字转换器 (TDC)、数字环路滤波器 (DLF) 和具有 Σ - Δ 调制器 (SDM) 的可编程 40 位分数反馈 (FB) 分频器。APLL 包括基准 (R) 分频器、相位频率检测器 (PFD)、环路滤波器 (LF)、具有 SDM 的分数反馈 (N) 分频器和 VCO。

每个 DPLL 都有一个基准选择多路复用器，允许 DPLL 锁定到任何基准输入或来自另一个 APLL 的级联分频器输出。TI 的级联架构为跨多个时钟域的频率和相位控制混合同步提供了独特的灵活性。

每个 APLL 都有一个基准选择多路复用器，允许 APLL 锁定到 XO 输入或另一个 APLL 的级联分频器输出。

当锁定到输入基准时，每个 APLL 都有一个可由 DPLL 控制的固定 40 位分母。当一个或多个 APLL 在仅 APLL 模式下运行但在没有 DPLL 控制时，还可以选择一个可编程的 24 位分母来合成精确的频率比。在实现频域之间的混合同步或级联时，TI 建议使用可编程的 24 位分母，以便在没有 DPLL 控制的情况下保持 0ppm 频率误差。

不要将一个 VCO 输出级联到同一个 DPLL/APLL 对的 DPLL 基准和 APLL 基准。

应禁用 (断电) 任何未使用的 DPLL 或 APLL 以实现省电。每个 APLL VCO 通过各自的 VCO 后分频器驱动时钟分配块。如果 VCO3 的后分频器设置为 1，则会旁路掉后分频器，由 VCO3 直接向输出时钟分配块进行馈电。

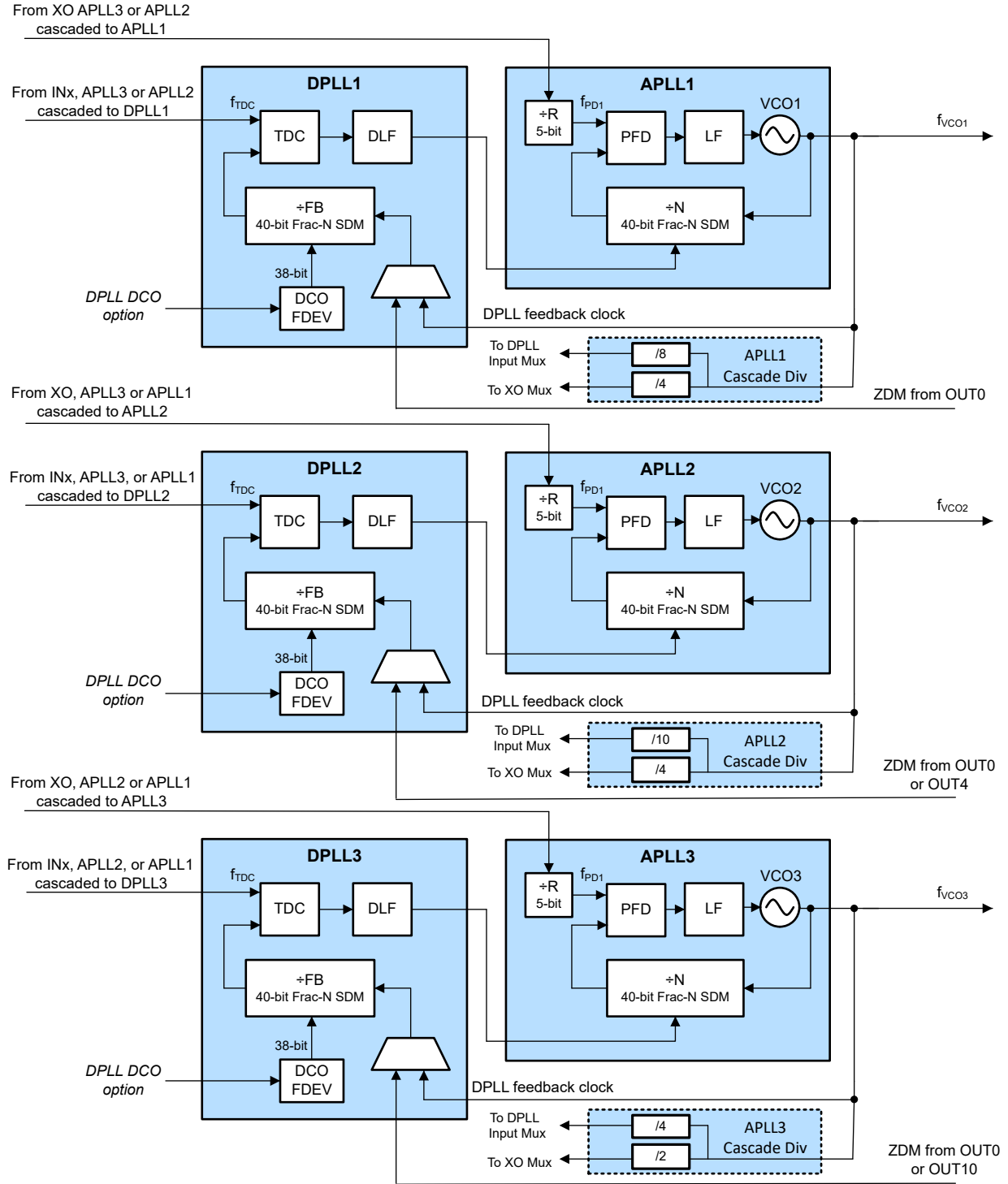


图 7-2. PLL 架构

以下各节介绍了 DPLL 和 APLL 的基本工作原理。更多包括保持模式在内的 PLL 工作模式的详细信息，请参阅 [DPLL 运行状态](#)。

7.2.2 DPLL

启用 DPLL 运行模式后，XO 引脚上的时钟源决定了输出时钟的自由运行和保持频率稳定性和精度。VCBO 决定了 12kHz 至 20MHz 积分频带内的 APLL3 输出时钟相位噪声和抖动性能，不受 XO 引脚输入的频率和抖动影响。

这种增强的防止基准噪声性能下降的能力，使得 APLL3 能够使用具有成本效益的低频 TCXO 或 OCXO 作为外部 XO 输入，同时仍保持 SyncE 和 PTP 同步应用所需的符合标准的频率稳定性和低环路带宽 ($\leq 10\text{Hz}$)。通过使用宽环路带宽以及纯净基准和高相位检测器频率，可以对采用标准 LC 型 VCO 的 APLL1 和 APLL2 进行优化，从而在直流至 100kHz 积分频带内实现出色抖动性能。当遇到由 XO 频率或相位噪声引起的系统性能限制时，可以使用独特的级联选项为 APLL1 和 APLL2 提供纯净的高频基准。LMK5C33414AS1 允许用户选择 VCBO 的分频输出 (APLL3 级联)，因此可以显著降低 APLL1 和 APLL2 输出 RMS 抖动。

如果在 DPLL 上启用了 DCO 模式，则可以对频率偏差步长值 (FDEV) 进行编程并用于调整 (递增或递减) DPLL 的 FB 分频器分子。DCO 频率调整可以有效地通过 APLL 域传播到输出时钟和任何级联的 DPLL/APLL 域。

编程的 DPLL 环路带宽 (BW_{DPLL}) 应低于以下所有值：

1. DPLL TDC 速率的 1/100。
2. APLL 环路带宽的 1/10。
3. 最大 DPLL 带宽设置 (4kHz)。

7.2.2.1 独立 DPLL 运行模式

在独立模式下，每个 DPLL 都可以根据需要选择基准。DPLL 可以共享同一个基准，或者各自选择不同的基准。启动时，每个 APLL 将在初始化后锁定到 XO 输入并在自由运行模式下运行。当检测到有效的 DPLL 基准输入时，每个 DPLL 都根据独立基准优先级开始获取锁定。每个 DPLL 的 TDC 将所选基准输入时钟的相位与来自相应 VCO 的 FB 分频器时钟进行比较，并生成一个与相位误差对应的数字校正字。此校正字由数字环路滤波器 (DLF) 进行滤波，而 DLF 输出会调整 APLL N 分频器分子以将 VCO 频率锁定到基准输入。

由于每个 DPLL 可以在此模式下独立工作，DPLL 可以锁定或解锁，不会影响其他通道。

选择 XO 频率时，TI 建议避免比率接近整数或半整数边界以更大限度减少杂散噪声。理想情况下，最好选择一个 XO 频率，使 APLL 分数 N 分频比 (NUM/DEN) 介于 0.125 至 0.45 之间和 0.55 至 0.875 之间。选择频率更高的 XO 可以获得更好的抖动性能，尤其是对于 APLL1 和 APLL2 输出而言。如果 XO 频率或相位噪声性能与 APLL1 或 APLL2 输出所需的性能有差距，则可以选择采用级联模式，并以 APLL3 作为 APLL1 或 APLL2 的基准。

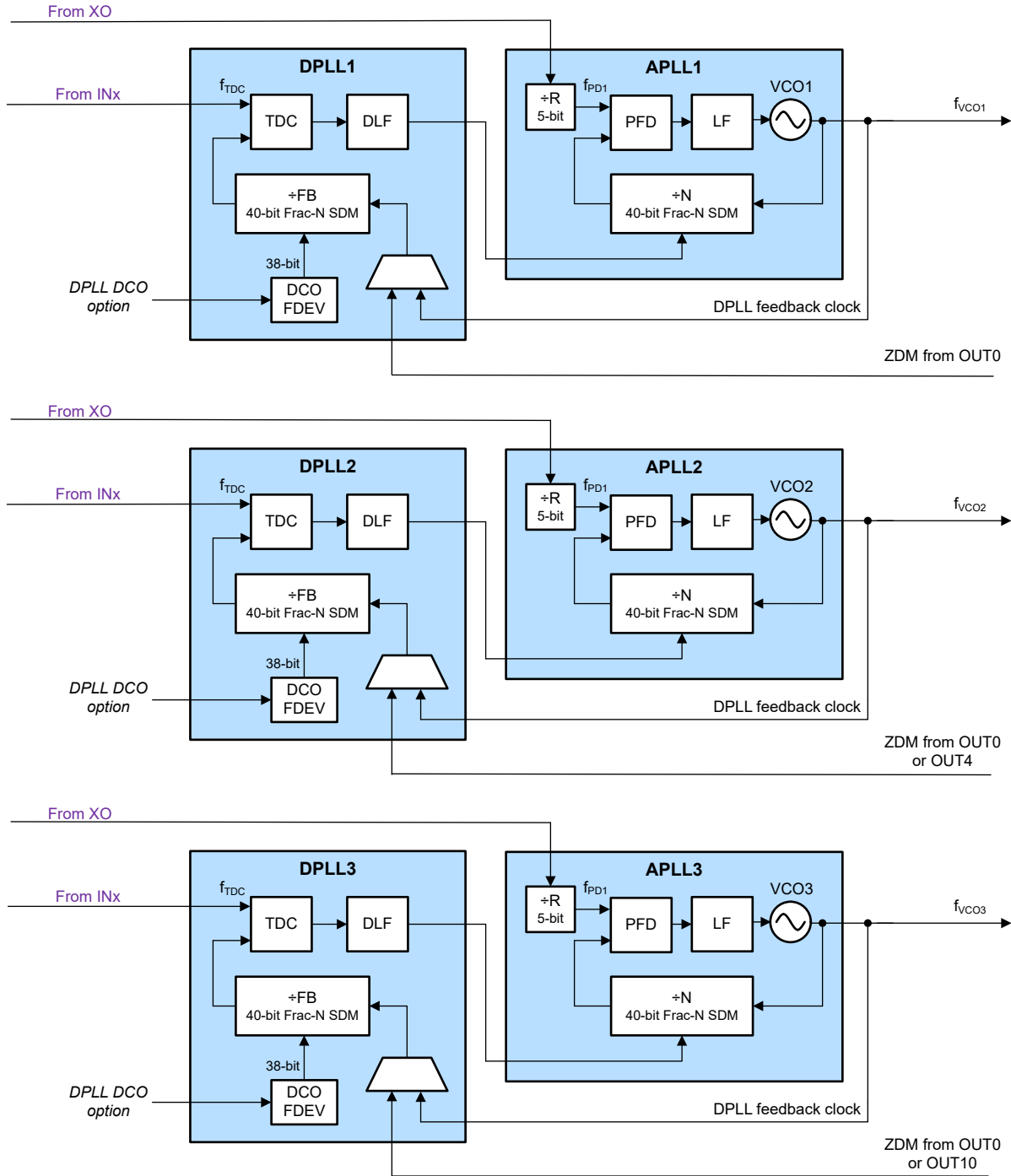


图 7-3. DPLL 独立模式

7.2.2.2 级联 DPLL 运行模式

图 7-4 展示了从 DPLL3/APLL3 级联到 DPLL1 和 DPLL2 的示例。在此示例中，DPLL3 是主同步 DPLL，而 DPLL1 和 DPLL2 是级联的 DPLL。

DPLL 的级联可提供与 DPLL3 同步的低抖动纯净输出时钟。当所有启用的 DPLL 和 APLL 都被锁定时，所有启用的输出都将同步到主同步 DPLL 选择的基准。

当不存在有效的基准输入时，APLL1、APLL2 和 APLL3 会将 VCO 频率锁定到外部 XO 输入，并在自由运行模式下运行。

当检测到有效的 DPLL 基准输入时，主同步 DPLL3 开始获取锁定。DPLL3 TDC 将所选基准输入时钟的相位与来自相应 VCO3 的 FB 分频器时钟进行比较，并生成一个与相位误差对应的数字校正字。此校正字由 DLF 进行滤波，而 DLF 输出会调整 APLL N 分频器分子以将 VCO 频率锁定到基准输入。

DPLL3 锁定状态不一定会影响 DPLL1 和 DPLL2 锁定状态。如果 APLL3 处于自由运行模式或保持模式，并且 VCBO 频率偏移 ppm 值仍在 DPLL1 和 DPLL2 的有效基准条件内，则级联的 DPLL1、APLL1、DPLL2 和 APLL2 能够在跟随与 APLL3 相同的频率偏移的同时保持锁定状态。请注意，在级联 DPLL 模式下，DPLL3 锁定后将实现出色抖动性能和频率稳定性。

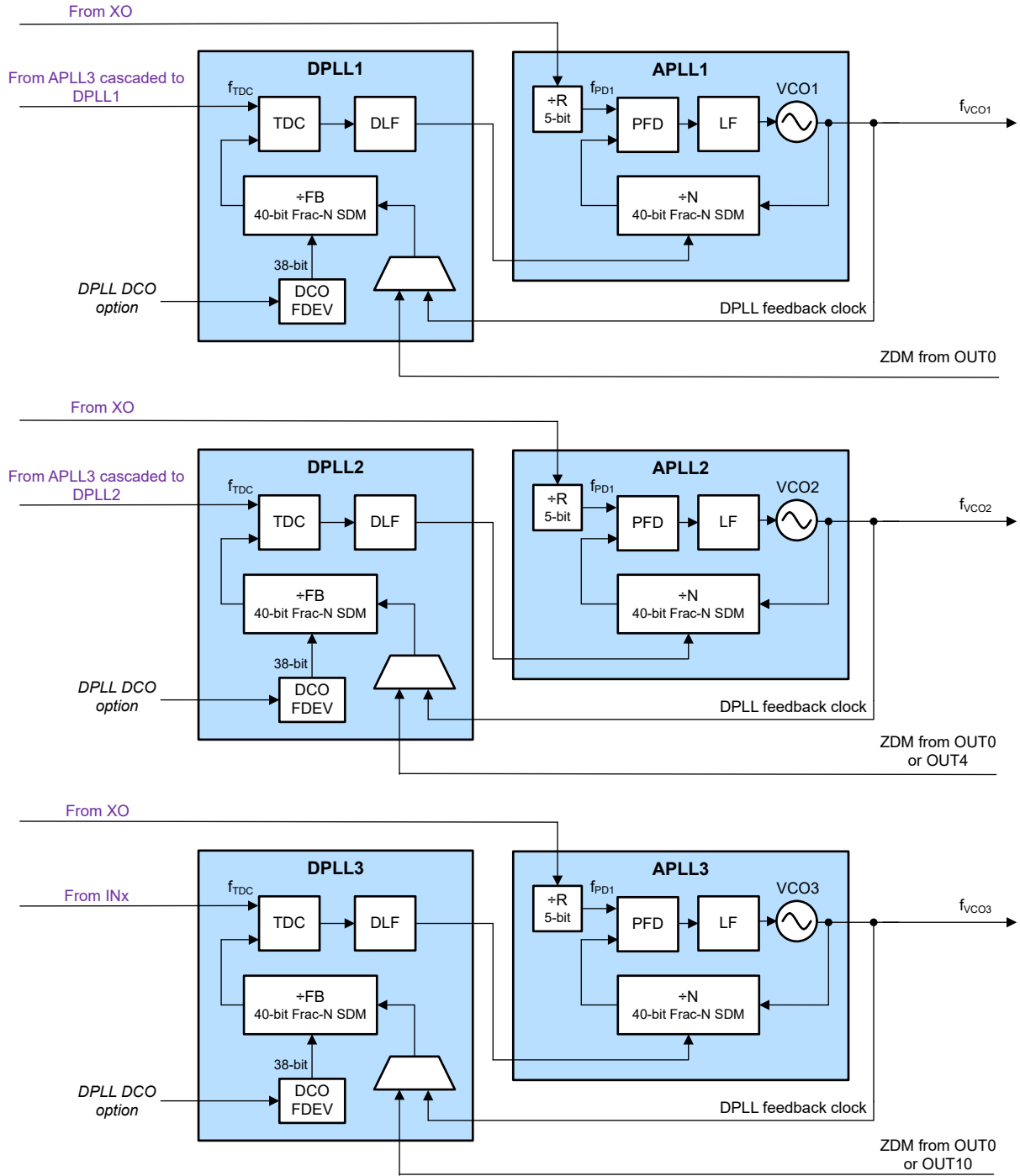


图 7-4. DPLL 级联模式

7.2.2.3 APLL 与 DPLL 级联

从 APLL3 级联到 APLL1 和 APLL2 时，VCO3 保持在其标称中心频率 2457.6MHz 附近，同时 APLL1 和 APLL2 锁定。然后，APLL3 将 VCO3 频率锁定到外部 XO 输入，并在自由运行模式下运行。级联的 PLL 锁定到源 VCO 的分频频率。如果检测到有效 DPLL 基准输入的时间超过最短有效时间，DPLL 开始获取锁定。每个 DPLL TDC 将所选基准输入时钟的相位与来自相应 VCO 的 FB 分频器时钟进行比较，并生成一个与相位误差对应的数字校正字。开始时，DPLL TDC 直接使用无滤波校正字来消除相位误差。然后，后续的校正字由 DLF 进行滤波，而 DLF 输出将控制 APLL N 分频器 SDM 以使 VCO 频率锁定到基准输入。

使用 VCBO 作为 APLL1 或 APLL2 的级联源可为 APLL 提供高频、超低抖动的基准时钟。如果 XO/TCXO/OCXO 频率较低或相位噪声性能较差，这种独特的级联功能可以提供改进的近端相位噪声性能。请注意，在级联 DPLL 运行模式下，DPLL3 锁定后将实现出色抖动性能和频率稳定性。

DPLL3 锁定状态将影响 DPLL1 和 DPLL2 锁定状态。如果 APLL3 处于自由运行模式或保持模式，即使 DPLL1 和 DPLL2 可以保持在锁定状态，VCBO 频率偏移 ppm 值也可能在 APLL1 和 APLL2 输出端引入类似的频率偏移。在此配置示例中，TI 建议监控 PLL3 以及 PLL2 或 PLL1 的锁定状态。或者在启动时，确保首先锁定 DPLL3 和 APLL3，然后切换 PLL1 或 PLL2 使能周期 (APLLx_EN 位 = 0 → 1) 以校准 VCO1 或 VCO2，然后仔细检查 PLL1 或 PLL2 锁定状态。

在上面的示例中，APLL3 是上游 PLL，而 APLL1 和 APLL2 是下游 PLL。如果有系统启动时钟时序要求，APLL1 或 APLL2 也可以配置为上游 PLL。

当级联 PLL 时，下游 APLL 可以使用 DPLL 或者旁路掉并关断 DPLL (根据性能要求而定)。如果在上述 APLL 级联模式下禁用了 DPLL1 和 DPLL2，则可以使用仅 DPLL3 级联模式。在这种情况下，VCO1 或 VCO2 可以在 DPLL3 锁定获取期间和锁定模式中跟随 VCO3 域，从而允许用户将 APLL1 或 APLL2 的时钟域同步到 DPLL3 基准输入。

禁用 DPLL 后，TI 建议使用 24 位分子和可编程的 24 位分母 (而不是固定的 40 位分母)，从而消除从 APLL 基准到输出的频率误差。

不要将一个 VCO 输出级联到同一个 DPLL/APLL 对的 DPLL 基准和 APLL 基准。

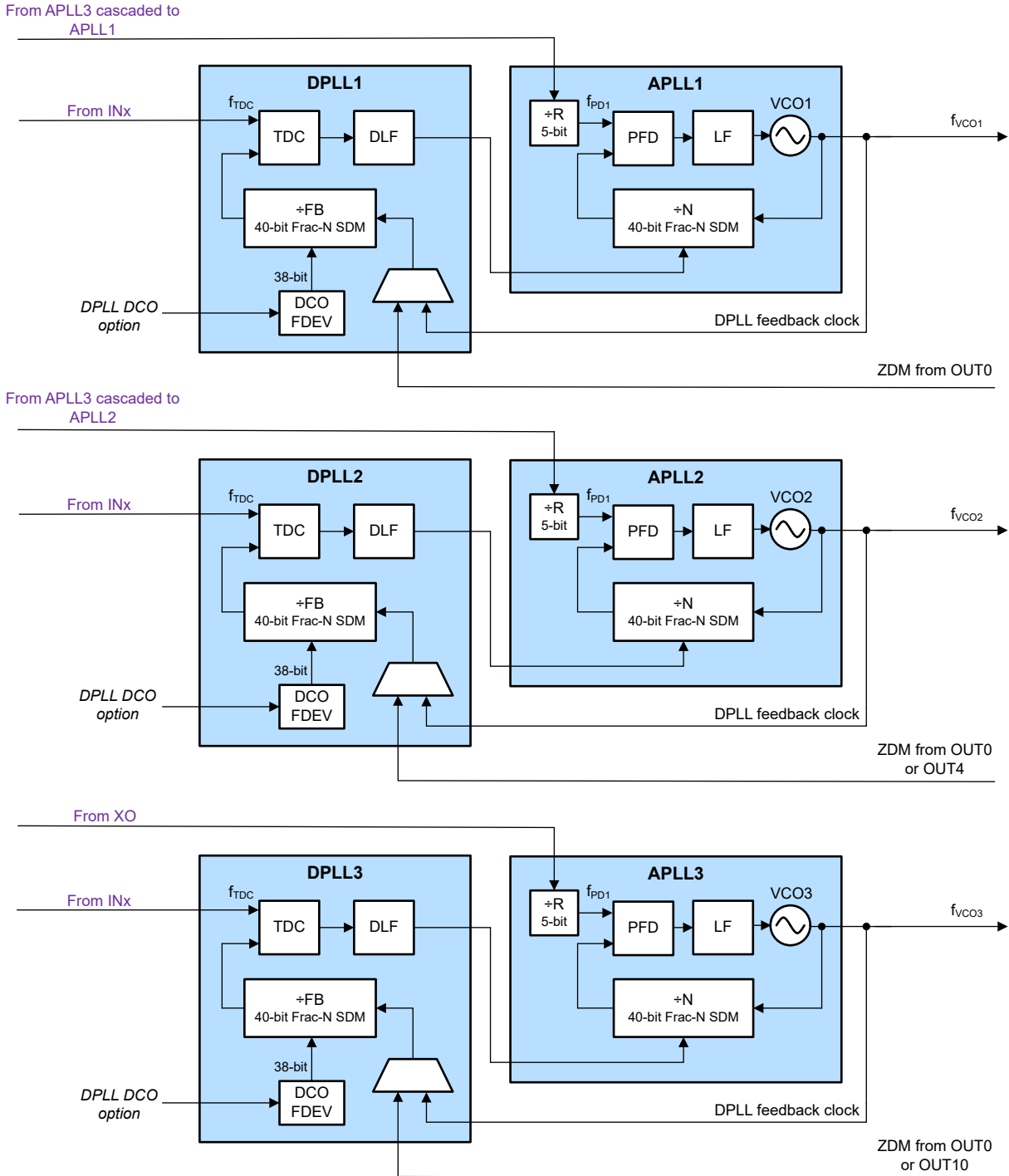


图 7-5. 启用 DPLL 的 APLL 级联示例

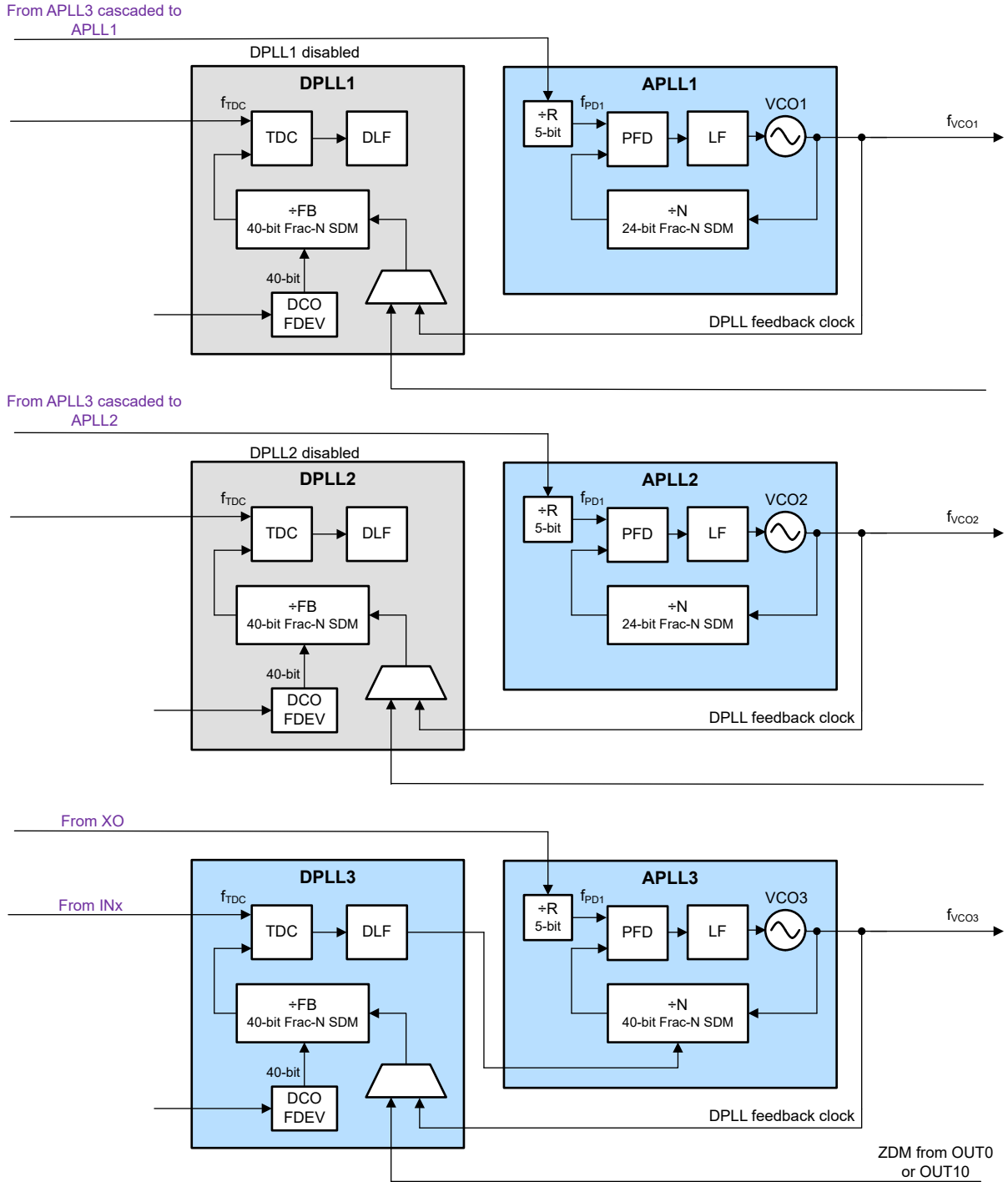


图 7-6. 禁用 DPLL 的 APLL 级联示例

7.2.3 仅 APLL 模式

在仅 APLL 模式下，外部 XO 输入源决定了输出时钟的自由运行频率稳定性和精度。DPLL 块未使用，不会影响 APLL。APLL 仍然可以在级联模式或非级联模式下运行，并支持通过控制寄存器写入来选择 DCO 选项。

上电复位和初始化后，仅 APLL 模式的工作原理如下。如果 APLL1 或 APLL2 如图 7-6 所示处于级联模式（DPLL3 也未使用），VCO1 或 VCO2 将跟随 VCO3 域。APLL 使用位按照以下 APLL 优先级顺序锁定：APLLx_STRT_PRTY。从 VCO3 级联 APLL1 或 APLL2 可提供高频、超低抖动基准时钟，从而更大程度减轻可能由性能较低的 XO/TCXO/OCXO 导致的带内相位噪声/抖动降级。

如果 APLL1 或 APLL2 未级联（如图 7-7 所示），VCO1 或 VCO2 将在初始化后按照 APLLx_STRT_PRTY 顺序锁定到 XO 输入，并独立于 APLL3 域运行。

在没有 DPLL 控制的仅 APLL 模式下运行时，TI 建议选择可编程的 24 位分母 (PLLx_MODE = 0) 而非固定的 40 位分母 (PLLx_MODE = 1) 来合成精确的频率比并保持 0ppm 频率误差。

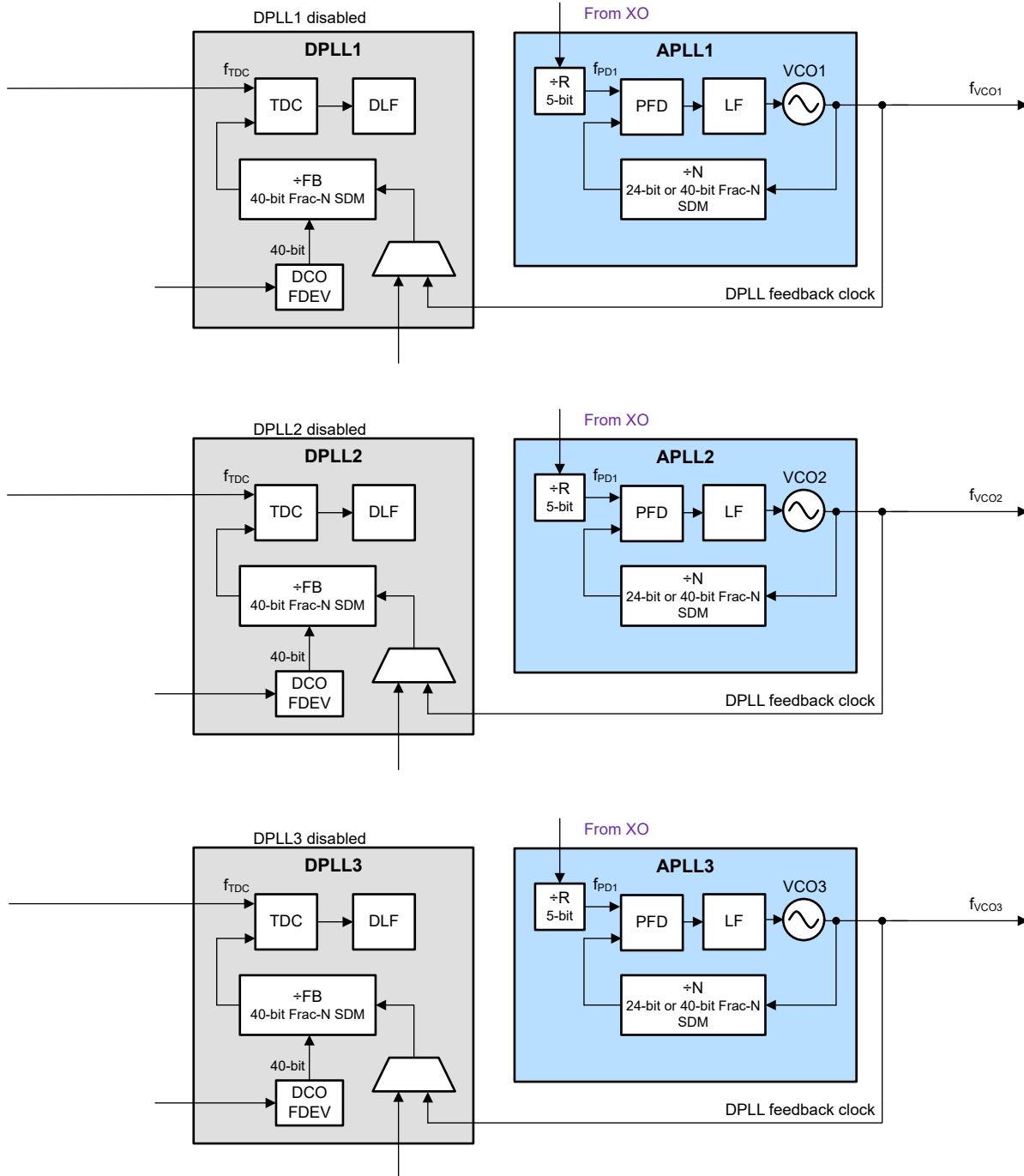


图 7-7. 仅 APLL 独立模式

7.3 特性说明

以下各节将介绍 LMK5C33414AS1 的特性和功能块。

7.3.1 振荡器输入 (XO)

当 APLL 未在级联模式下使用时，XO 输入是分数 N APLL 的基准时钟。XO 输入决定了自由运行或保持模式下输出频率的精度和稳定性。

为了实现 DPLL 正确运行，XO 频率必须与 VCO 频率具有**非整数关系**，因此相应的 APLL N 分频器具有分数分频比。对于仅 APLL 模式，XO 频率与 VCO 频率可以具有整数或分数关系。

对于需要 DPLL 功能的应用（例如用于 eCPRI 的 SyncE 和 PTP/IEEE-1588），XO 输入可由 TCXO、OCXO 或外部可追溯时钟驱动，该时钟符合适用同步标准的频率精度和保持稳定性要求。13MHz、14.4MHz、19.2MHz、19.44MHz、24MHz、25MHz、27MHz、38.88MHz、48MHz、49.152MHz 和 54MHz 的 TCXO 和 OCXO 频率是常用且具有成本效益的选项，使 APLL3 能够在 VCBO 频率为 MHz 时以分数模式运行。

具有低频或高相位抖动/噪底的 XO/TCXO/OCXO 源不会影响 APLL3 输出抖动性能，因为 VCBO 决定了 12kHz 至 20MHz 积分带宽范围内的抖动和相位噪声。为了进一步优化近端相位噪声性能，可以为每个 APLL 启用用于增加 PFD 频率的 XO 倍频器。

XO 输入缓冲器具有可编程输入片上终端和交流耦合输入偏置配置，如图 7-8 所示。缓冲的 XO 路径还会驱动输入监控块。

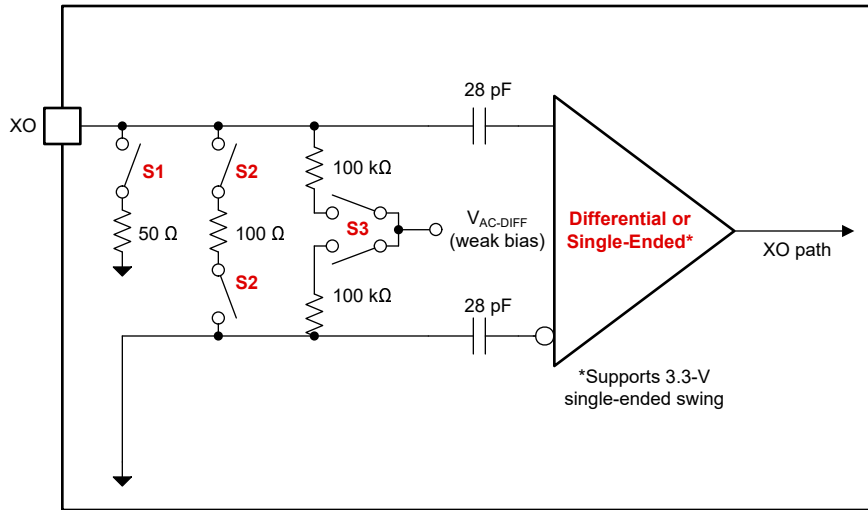


图 7-8. XO 输入缓冲器

表 7-1 列出了常见时钟接口类型的典型 XO 输入缓冲器配置。

表 7-1. XO 输入缓冲器模式

XO_TYPE	输入类型	内部开关设置	
		内部终端 (S1、S2) ⁽¹⁾	内部辅助电源 (S3) ⁽²⁾
0x00	直流 (外部终端)	关闭	关闭
0x01	交流 (外部终端)	关闭	打开 (1.3V)
0x03	交流 (内部 100Ω 至 GND)	100Ω	打开 (1.3V)
0x04	直流 (内部 50Ω 至 GND)	50Ω	关闭
0x05	交流 (内部 50Ω 至 GND)	50Ω	打开 (1.3V)
0x08	LVC MOS	关闭	关闭
0x0C	LVC MOS (内部 50Ω 至 GND)	50Ω	关闭

(1) S1、S2：关闭 = 假定采用外部终端。

(2) S3：关闭 = 假定采用外部输入辅助电源或直流耦合。

7.3.2 基准输入

基准输入 (IN0、IN1、IN2 和 IN3) 可以接受差分时钟或单端时钟。每个输入都具有可编程的输入类型、终端和直流耦合或交流耦合输入偏置配置，如图 7-9 所示。每个输入缓冲器会驱动 DPLL 块的基准输入多路复用器。DPLL 输入多路复用器可以从任何基准输入中进行选择。DPLL 可以在不同频率的输入之间切换，前提是这些输入可以通过 DPLL R 分频器分频为一个公共频率。基准输入路径还会驱动各种检测器块以进行基准输入监控和验证。直流路径开关能够旁路掉内部交流耦合电容器，以使低频输入可靠运行。

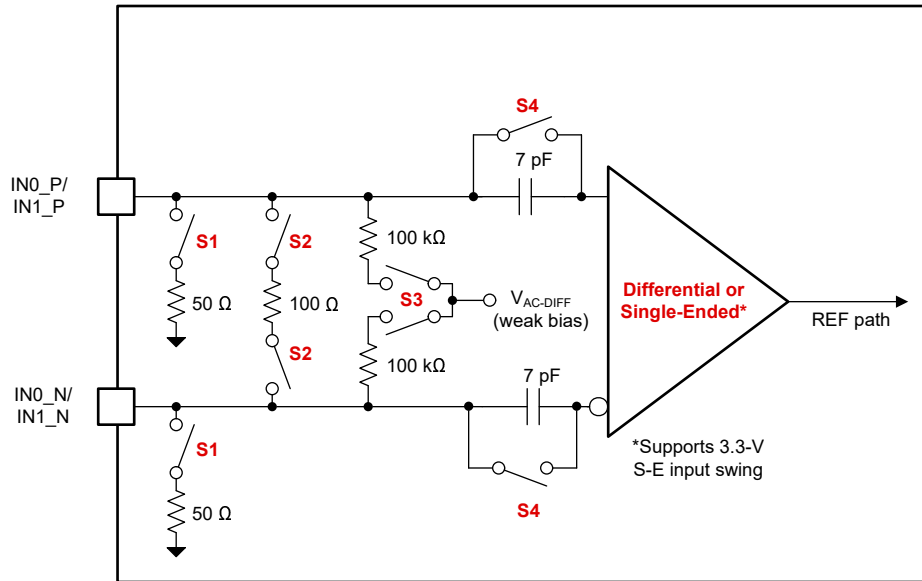


图 7-9. 基准输入缓冲器

表 7-2 列出了常见时钟接口类型的基准输入缓冲器配置。

表 7-2. 基准输入缓冲器模式

REFx_DC_COUPLE D_EN、REFx_TYPE	输入类型	内部开关设置			
		内部单端终端(S1) ⁽²⁾	内部差分终端(S2) ⁽²⁾	内部辅助电源(S3) ⁽³⁾	LVCMOS/差分内部交流电容器旁路模式(S4) ⁽¹⁾
0x00、0x00	直流差分 (外部终端)	关闭	关闭	关闭	关闭
0x00、0x01	交流差分 (外部终端)	关闭	关闭	打开 (1.3V)	关闭
0x00、0x02	直流差分 (内部终端)	关闭	100Ω	关闭	关闭
0x00、0x03	LVDS/HSDS, 交流差分 (内部终端)	关闭	100Ω	打开 (1.3V)	关闭
0x00、0x04	HCSL, 直流差分 (内部终端 50Ω)	50Ω	关闭	关闭	关闭
0x00、0x05	LVPECL, 交流差分 (内部终端 50Ω)	50Ω	关闭	打开 (1.3V)	关闭
0x00、0x08	LVCMOS (外部直流耦合、内部交流耦合)	关闭	关闭	关闭	关闭
0x01、0x08	LVCMOS (外部直流耦合、内部直流耦合)	关闭	关闭	关闭	打开

表 7-2. 基准输入缓冲器模式 (续)

REFx_DC_COUPLE D_EN、REFx_TYPE	输入类型	内部开关设置			
		内部单端终端(S1) ⁽²⁾	内部差分终端(S2) ⁽²⁾	内部辅助电源(S3) ⁽³⁾	LVC MOS/差分内部交流电容器旁路模式(S4) ⁽¹⁾
0x01、0x0C	LVC MOS (外部直流耦合、内部直流耦合、内部终端 50Ω)	50Ω	关闭	关闭	打开

- (1) S4 : 关闭 = 差分输入幅度检测器用于除 LVC MOS 或单端输入类型之外的所有输入类型。
 (2) S1、S2 : 关闭 = 假定采用外部终端。
 (3) S3 : 关闭 = 假定采用外部输入辅助电源或直流耦合。

7.3.3 时钟输入连接和端接

图 7-10 至图 7-13 展示了建议的输入连接和端接电路。未使用的时钟输入可以保持悬空或下拉。

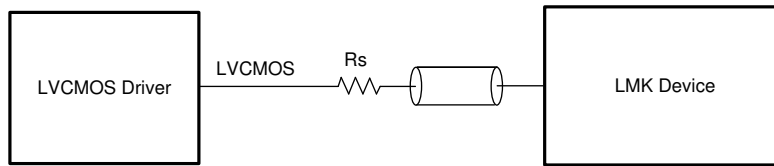


图 7-10. 单端 LVC MOS (1.8V、2.5V、3.3V) 至基准 (INx_P) 或 XO 输入 (XO)

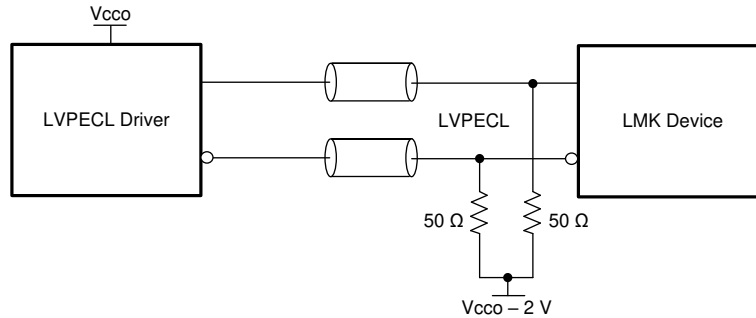


图 7-11. 直流耦合 LVPECL 至基准 (INx)

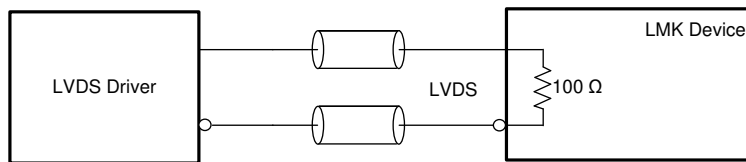


图 7-12. 直流耦合 HSDS/LVDS 至基准 (INx)

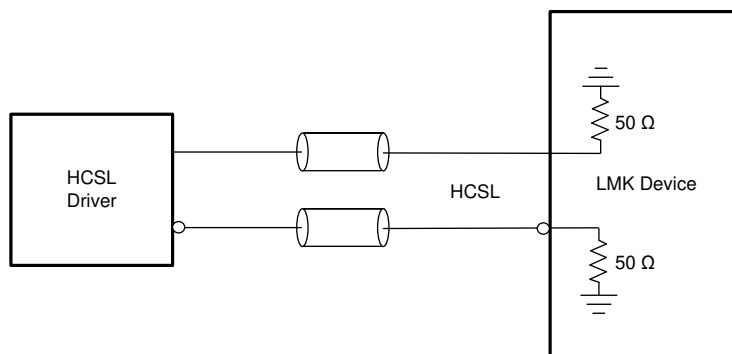


图 7-13. HCSL (负载端接) 至基准 (INx)

7.3.4 基准输入多路复用器选择

对于 DPLL 块，可以使用内部状态机并借助可配置的输入优先级方案来自动完成基准输入多路复用器的选择，也可以通过软件寄存器控制或硬件引脚控制来手动完成。输入多路复用器可以为 LMK5C33414AS1 选择 IN0、IN1、IN2 或 IN3。所有输入的优先级均可通过寄存器分配。优先级的范围为 0 到 7，其中 0 = 忽略（从不选择），1 = 第一优先级，2 = 第二优先级，7 = 第七优先级。当输入配置为相同的优先级设置时，较低的枚举 INx 将获得第一优先级 (IN0 → IN3)。可以通过状态引脚或寄存器来监控所选的输入。

7.3.4.1 自动输入选择

有两种可通过寄存器设置的自动输入选择模式：自动还原和自动非还原。

- **自动还原**：在此模式下，DPLL 自动选择配置的优先级最高的有效输入。如果具有更高优先级的时钟变为有效状态，DPLL 将立即自动切换到该时钟。
- **自动非还原**：在此模式下，DPLL 自动选择有效的最高优先级输入。如果更高优先级的输入变为有效状态，则除非当前选择的输入变为无效状态，否则 DPLL 不会切换。

7.3.4.2 手动输入选择

有两种可通过寄存器设置的手动输入选择模式：带自动回退功能的手动模式和带自动保持功能的手动模式。在两种手动模式下，输入选择都可以通过寄存器控制（寄存器 DPLLx_MAN_REF_SEL）或硬件引脚控制（GPIO）。

- **带自动回退功能的手动模式**在此模式中，手动选择的基准一直作为有效的基准，直至其失效。如果基准失效，DPLL 将自动回退到有效或合格的最高优先级输入。如果没有有效的优先输入，DPLL 将进入保持模式（如果调优字历史记录有效）或自由运行模式。当所选输入变为有效时，DPLL 将退出保持模式。
- **带自动保持功能的手动模式**：在此模式中，手动选择的基准一直作为有效的基准，直至其失效。如果基准失效，DPLL 将自动进入保持模式（如果调优字历史记录有效）或自由运行模式。当所选输入变为有效时，DPLL 将退出保持模式。

基准输入选择流程图如图 7-14 所示。

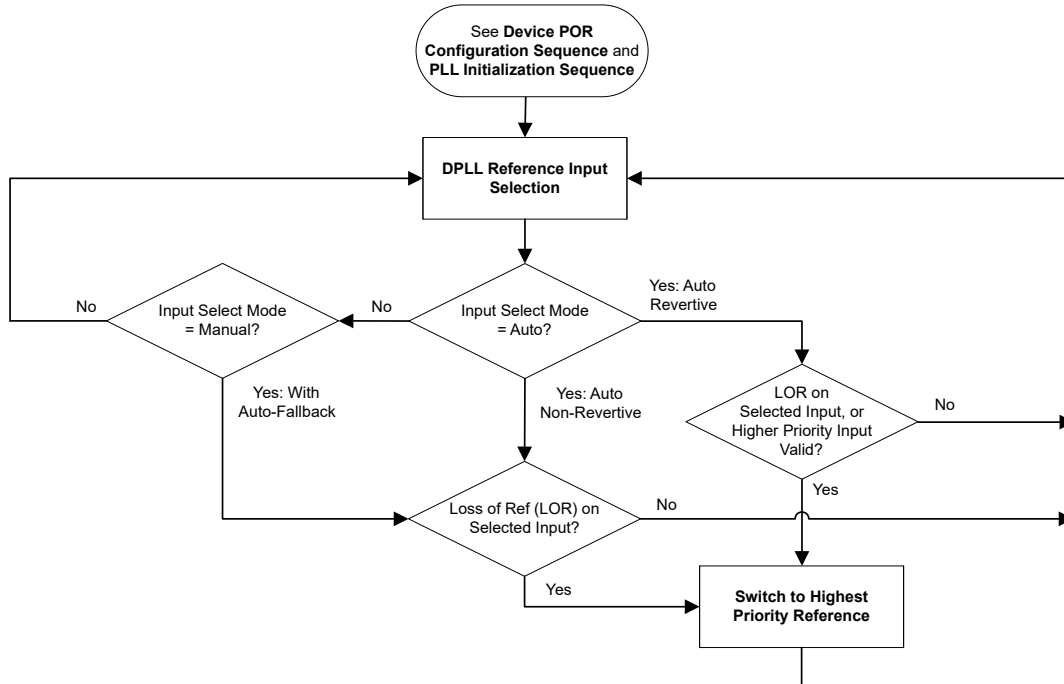


图 7-14. DPLL 基准输入选择流程图

另请参阅图 7-36、图 7-37 和图 7-38。

7.3.5 无中断切换

DPLL 通过 TI 的专有相位抵消方案和可选的相位转换控制方案支持无中断切换。禁用无中断切换后，等于两个输入之间相位偏移的相位中断将以 DPLL 带宽滤波决定的速率传播到输出。

7.3.5.1 涉及相位抵消的无中断切换

通常，在无中断切换期间会启用相位抵消功能，以防止相位瞬变（相位中断）在具有固定相位偏移的两个锁频基准输入之间切换时立即传播到输出。在未启用相位转换的用例中，相位抵消通常可以无限期持续存在，这种情况通常称为相位扩展。当输入具有相同的精确频率（0ppm 偏移），或者具有与整数相关的频率且每个频率都可以被整数除以公共频率时，输入就会被锁频。无中断切换规格（ t_{HITLESS} 和 f_{HITLESS} ）对无漂移的基准输入有效。如果两个输入进行了切换但未锁频，则输出会平滑过渡到新频率并减少瞬变。

7.3.5.2 涉及相位转换控制的无中断切换

启用相位转换控制将限制无中断切换和保持模式退出期间的输出相位瞬变或相位中断。用户可以选择 `DPLLx_PHS1_EN` 来启用相位转换控制，以遵循 `DPLLx_PHS1_THRESH` 和 `DPLLx_PHS1_TIMER` 中设置的步长限制。当在无中断切换期间需要缓慢过渡到跟随新的输入相位时，启用相位转换控制将根据编程的计时器值和步长限制来禁用相位抵消或相位扩展。同样，当 DPLL 从仅 APLL 模式或保持模式切换到 DPLL 锁定获取模式时，或者执行两个输入未锁频的无中断切换时，将应用相位转换限制。当相位抵消功能和相位转换控制功能都被禁用时，等于 XO 与所选输入之间或切换时两个输入之间相位偏移的相位中断将以 DPLL 环路带宽确定的速率传播到输出。在两个输入进行切换但未锁频的情况下，相位转换控制功能可以确保输出按照步长限制定义的速率平滑过渡到新频率。

7.3.5.3 涉及 1PPS 输入的无中断切换

禁用 ZDM 同步后，支持在 1PPS 输入之间进行无中断切换，但切换事件应仅在 DPLL 获取锁定后发生。如果在 DPLL 最初锁定之前发生切换，则不是无中断切换，并且 DPLL 所需的锁定时间将是不确定的。在这种情况下，请对 DPLL 进行软复位以锁定到所选输入。在应用中，系统主机可以通过 STATUS 引脚或位来监控 DPLL 锁定状态，从而确定在允许 1PPS 输入之间的切换之前是否已锁定 DPLL。DPLL 锁定时间由 DPLL 带宽 (1PPS 输入时通常为 10mHz) 决定。

启用 ZDM 同步后，不支持 1PPS 输入之间的无中断切换。

7.3.6 基准输入上的间隙时钟支持

DPLL 支持锁定到缺少周期的输入时钟 (称为间隙时钟)。间隙会严重增加时钟的抖动，因此 DPLL 提供生成低抖动周期性输出时钟所需的高输入抖动容差和低环路带宽。产生的输出将是一个周期性的无间隙时钟，具有输入的平均频率及其缺失的周期。间隙时钟宽度不能超过 R 分频器 (R_{INx} / f_{INx}) 之后的基准时钟周期。为了实现并保持锁定，应该对基准输入监控器进行配置以避免由于最坏情况下的时钟间隙情况而引起的任何标志。如果两个间隙时钟输入之间的基准切换发生在任一输入时钟的间隙期间，则可能违反无中断切换规格。

7.3.7 输入时钟和 PLL 监控、状态和中断

以下部分介绍输入时钟和 PLL 监控、状态和中断特性。不能在单个输入端同时使用基准输入频率检测器和相位有效检测器。

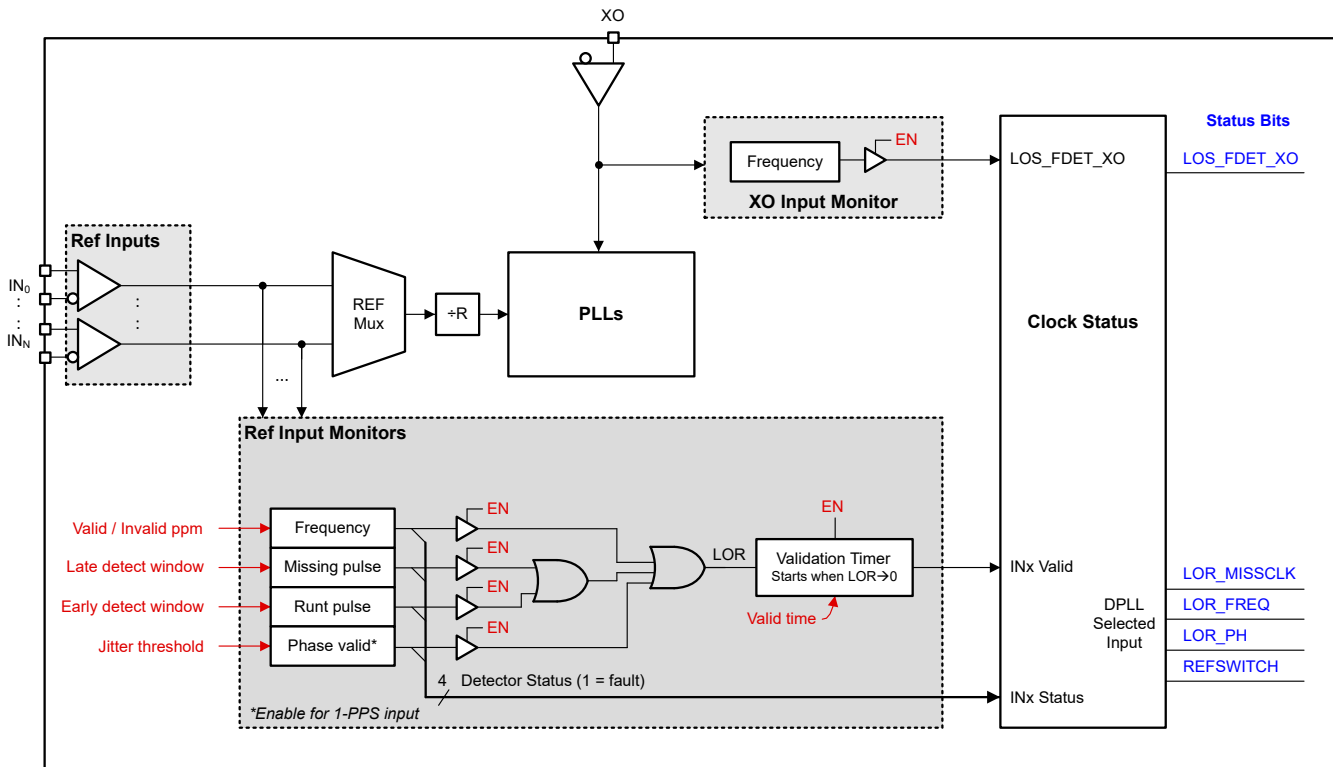


图 7-15. 适用于基准和 XO 输入的时钟监控器

7.3.7.1 XO 输入监控

XO 输入有一个粗略频率监控器可在将输入用于锁定 APLL 之前对输入进行验证。

当检测到输入频率在 9MHz 至 160MHz 范围内时 (这是支持的 XO 输入频率范围)，XO 频率检测器会清除 LOS_FDET_XO 标志。XO 频率检测器使用基于 RC 的检测器，因此无法精确确定 XO 输入时钟是否具有足够的频率稳定性。稳定的 XO 输入将确保在 PLL 启动期间 APLL2 或 APLL1 的 VCO 校准成功。当外部 XO 时钟具有缓慢或延迟的启动行为时，TI 建议在 XO 输入稳定后，在 APLL2 和 APLL1 上强制进行校准。如需更多信息，请参阅 [XO 启动缓慢或延迟](#)。

如需旁路掉 XO 频率检测器，可以设置 XO_FDET_BYP 位（在图 7-15 中显示为 \overline{EN} ），使 PLL 控制状态机始终认为 XO 输入有效。用户可以通过状态引脚和状态位观察 LOS_FDET_XO 状态标志。设置 XO_FDET_BYP 位将忽略检测，但不会反映对 LOS_FDET_XO 状态标志的任何更改。

7.3.7.2 基准输入监控

在时钟被验证合格并可供 DPLL 选择之前，每个 DPLL 基准时钟输入都会被独立监控以进行输入验证。基准监控块包括频率监控器、漏脉冲监控器和矮脉冲监控器。对于 1PPS 输入，支持相位有效监控器，但不支持频率监控器、漏脉冲监控器和矮脉冲监控器，因此必须禁用它们。验证计时器可设置所有启用的基准监控器在输入被验证合格之前清除标志的最短时间。

每个输入都可以对所有基准监控器和验证计时器的启用和有效阈值进行编程。是否启用基准监控器和验证计时器是可选设置，但它们对于在保持或切换事件期间实现可靠的 DPLL 锁定和出色瞬态性能至关重要，而且还可用于避免选择不可靠或间歇性的时钟输入。如果未启用给定的检测器，则该检测器不会设置标志并将被忽略。可以通过任何基准输入（已选择或未选择）的状态引脚来观察任何已启用的检测器的状态标志。还可以通过 DPLL 选定输入的状态位来读取已启用的检测器的状态标志。

7.3.7.2.1 基准验证计时器

验证计时器可设置每个基准在被验证合格并可供选择之前清除所有已启用的输入监控器的标志所需的时间量。验证计时器和使能设置是可编程的。

7.3.7.2.2 频率监控

精密频率检测器测量所有输入时钟相对于 XO 输入频率（该频率被视为用于频率比较的 0ppm 基准时钟）的频率偏移或误差（以 ppm 为单位）。有效和无效 ppm 频率阈值可通过寄存器进行配置。当相对输入频率误差小于有效 ppm 阈值时，监控器将清除 REFx_FDET_STATUS 标志。否则，当相对输入频率误差大于无效 ppm 阈值时，监控器将设置 REFx_FDET_STATUS 标志。有效和无效阈值之间的 ppm 增量可提供迟滞来防止 REFx_FDET_STATUS 标志在输入频率偏移超过这些阈值时切换。

在计算频率检测器寄存器设置时会使用测量精度 (ppm) 和平均因子。较高的测量精度（较小的 ppm）或较高的平均因子将增加设置或清除标志的测量延迟，从而为输入频率提供更多的时间来稳定，并且还可以为具有高漂移的输入提供更好的测量分辨率。请注意，较高的平均值会降低可配置的最大频率 ppm 阈值。

7.3.7.2.3 漏脉冲监控器（后期检测）

漏脉冲监控器使用窗口检测器来验证在标称时钟周期加上可编程延迟窗口阈值 (T_{LATE}) 内到达的输入时钟脉冲。当输入脉冲在 T_{LATE} 之前到达时，该脉冲被视为有效，并会清除漏脉冲标志（如果已设置）。当输入脉冲未在 T_{LATE} 之前到达（由于脉冲缺失或延迟）时，则会设置漏脉冲标志以认定输入不合格。

通常， T_{LATE} 的设置应大于输入的最长时钟周期（包括周期间抖动），或者大于间隙时钟的间隙宽度。漏脉冲监控器可以充当粗略频率检测器，其检测速度比 ppm 频率检测器更快。漏脉冲监控器支持 2kHz 和 $f_{VCO}/12$ 之间的输入频率，超出此频率范围时应予以禁用。

对于每个基准输入，漏脉冲监控器和矮脉冲监控器通过相同的窗口检测器块运行。这两个监控器的状态标志通过逻辑“或”门组合在一起，并可通过状态引脚进行观察。也可以通过相应的 REFx_MISSCLK_STATUS 位观察基准的窗口检测器标志。

7.3.7.2.4 矮脉冲监控器（早期检测）

矮脉冲监控器使用窗口检测器来验证在标称时钟周期减去可编程早期窗口阈值 (T_{EARLY}) 内到达的输入时钟脉冲。当输入脉冲在 T_{EARLY} 之后到达时，该脉冲被视为有效，并会清除矮脉冲标志。当早期或矮脉冲输入脉冲在 T_{EARLY} 之前到达时，该监控器将立即设置标志以认定输入不合格。

通常， T_{EARLY} 的设置应小于输入的最短时钟周期（包括周期间抖动）。早期脉冲监控器可以充当粗略频率检测器，其检测速度比 ppm 频率检测器更快。早期脉冲监控器支持 2kHz 和 $f_{VCO}/12$ 之间的输入频率，超出此频率范围时应予以禁用。

用户必须启用时钟缺失检测才能使用早期时钟检测。早期时钟检测无法单独启用。

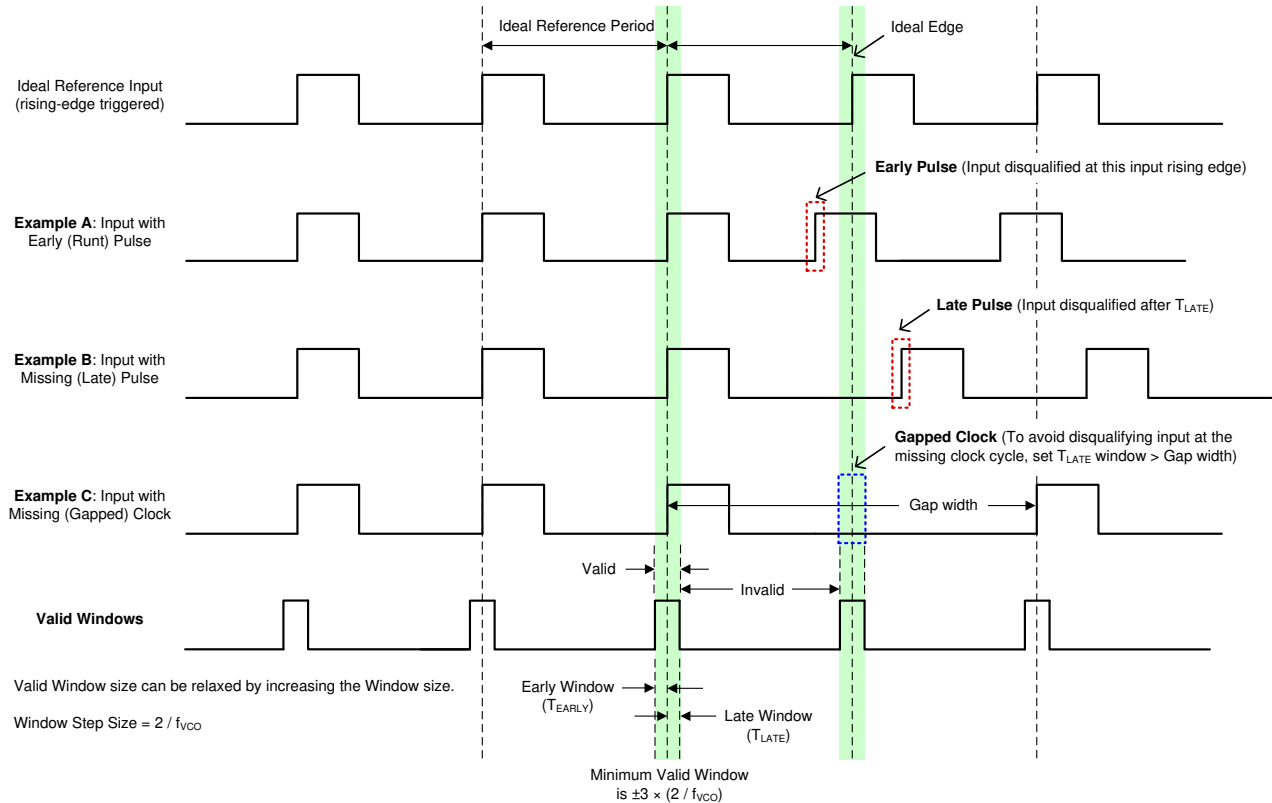


图 7-16. 早期和晚期窗口检测器示例

7.3.7.2.5 1PPS 输入的相位有效监控器

相位有效监控器专为 1PPS 输入验证而设计，因为频率和窗口检测器不支持这种低频。相位有效监控器使用窗口检测器来验证在标称时钟周期 (T_{IN}) 加上可编程抖动阈值 (T_{JIT}) 内到达的 1PPS 输入脉冲。当输入脉冲在计数器窗口 (T_V) 内到达时，脉冲被视为有效，并会清除相位有效标志。当输入脉冲未在 T_V 之前到达（由于脉冲缺失或延迟）时，则会立即设置标志以认定输入不合格。 T_{JIT} 的设置应大于最坏情况下的输入周期期间抖动。

相位有效寄存器设置对于 1PPS ppm 误差阈值检测也有效。请注意， T_{JIT} 还会影响最坏情况下允许的 ppm 误差。例如： $High_Jitter_Freq = 1/(T_{IN} - T_{JIT})$ ，则最大输入允许的 ppm 误差 = $(High_Jitter_Freq - Expected_Freq) / Expected_Freq \times 1e6$ 。

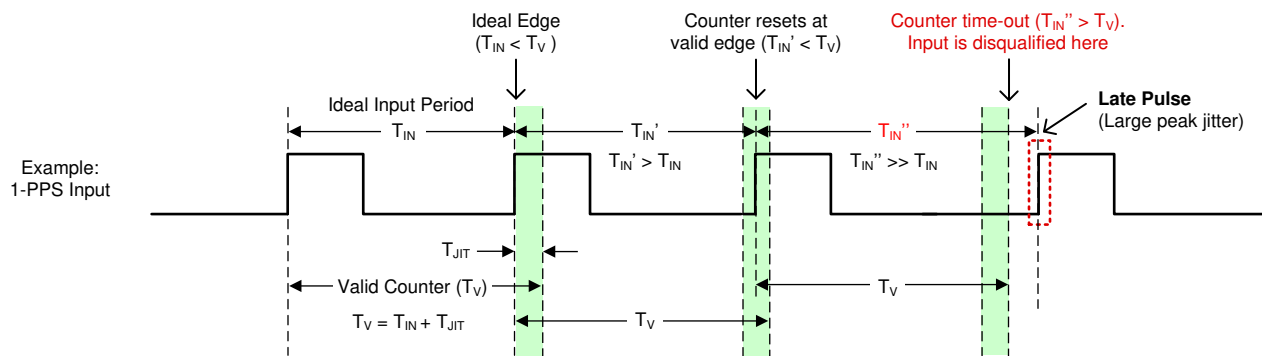


图 7-17. 1PPS 输入窗口检测器示例

7.3.7.3 PLL 锁定检测器

APLL1、APLL2、APLL3、DPLL1、DPLL2 和 DPLL3 可能出现失锁 (LOL) 状态。对于这些 APLL，只会监控其频锁丢失情况。对于 DPLL，则可以监控其频锁丢失 (LOFL) 和相锁丢失 (LOPL) 情况。对于 LOPL 和 LOFL 检测器，DPLL 锁定阈值和失锁阈值都是可编程的。在选择 APLL3 频锁丢失的情况下，只会监控 DPLL3 的 LOPL。必须启用 DPLL3 才能对 APLL3 VCBO 锁定检测进行数字监控。

当 DPLL 相对于所选基准输入的频率误差小于锁定 ppm 阈值时，DPLL 频锁检测器将清除其 LOFL 标志。否则，当 DPLL 的频率误差大于解锁 ppm 阈值时，锁定检测器将设置 LOFL 标志。锁定阈值和解锁阈值之间的 ppm 增量可提供迟滞来防止 LOFL 标志在 DPLL 频率误差超过这些阈值时切换。

当 APLL3 相对于 XO 基准输入的 VCBO 频率误差小于锁定 ppm 阈值时，APLL3 频率数字锁定检测器将清除其 LOFL 标志。否则，当 VCBO 的频率误差大于解锁 ppm 阈值时，锁定检测器将设置 LOFL 标志。在设置 VCBO 频率锁定阈值和解锁阈值时，请务必考虑 XO 输入基准的 ppm 频率容差。锁定阈值和解锁阈值之间的 ppm 增量可提供迟滞来防止 LOFL 标志在 VCBO 频率误差超过这些阈值时切换。

在计算频锁检测器寄存器设置时会使用测量精度 (ppm) 和平均因子。较高的测量精度 (较小的 ppm) 或较高的平均因子将增加测量延迟以设置或清除 LOFL 标志。当锁定到具有高漂移的输入或当 PLL 配置了窄环路带宽时，较高的平均值可能会很有用。请注意，较高的平均值会降低可配置的最大频率 ppm 阈值。

当 DPLL 的相位误差小于相锁阈值时，DPLL 相锁检测器将清除其 LOPL 标志。否则，当相位误差大于相位解锁阈值时，锁定检测器将设置 LOPL 标志。

用户可以通过状态引脚和状态位观察 APLL 和 DPLL 锁定检测器标志。

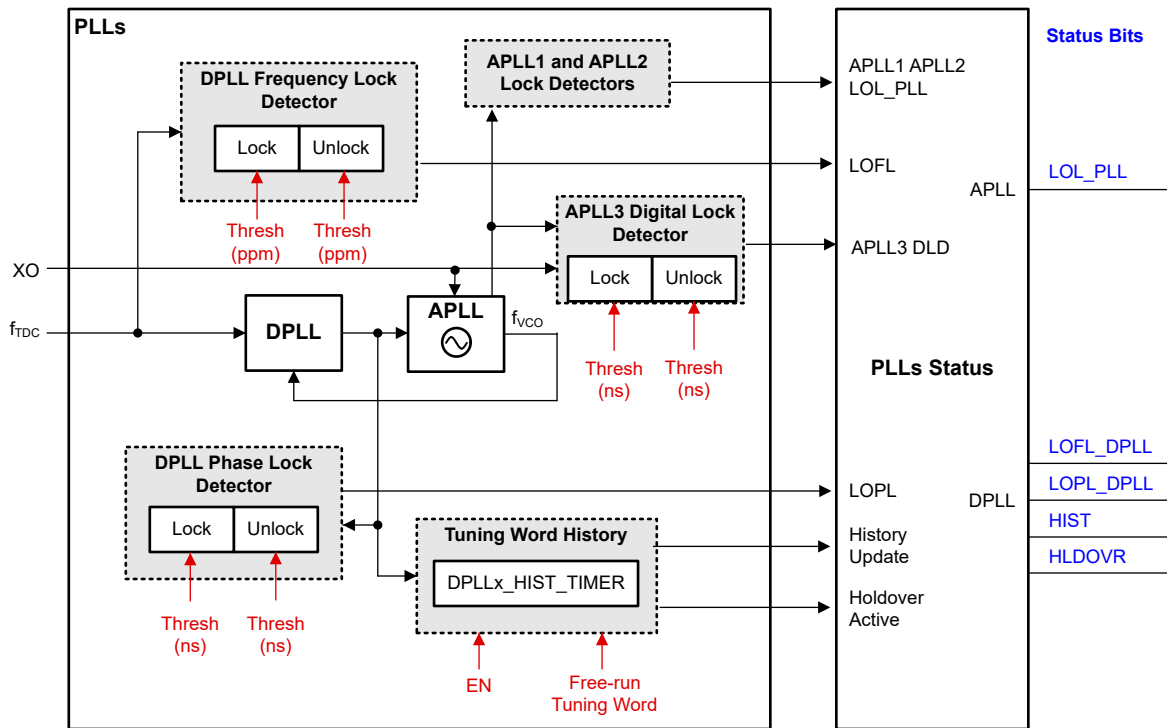


图 7-18. PLL 锁定检测器和历史记录监控器

7.3.7.4 调优字历史记录

DPLL 域有一个调优字历史记录监控块用于确定进入保持模式时的初始输出频率精度。在保持模式下，基准时钟的稳定性（在 XO 输入端）决定了输出频率的长期稳定性和精度。根据 DPLL 工作模式，可以使用三个源之一来更新调优字：

1. 锁定模式：锁定时使用数字环路滤波器的输出进行更新
2. 保持模式：使用历史记录监控器的最终输出进行更新
3. 自由运行模式：使用自由运行调优字寄存器（用户定义）进行更新

当历史记录监控器已启用且 DPLL 已锁定时，该器件计算基准输入频率的平均值的方法是：在 DPLLx_HIST_TIMER 确定的可编程平均时间 (T_{AVG}) 内，使用数字环路滤波器的输出来累积历史记录。当有效基准输入变得无效时，会存储最终的调优字值以确定初始保持频率精度。通常，较长的 T_{AVG} 时间将产生更准确的初始保持频率。

如果输入基准时钟发生故障并变为无效，但调优字在其中一个基准输入验证监控器指示故障状态之前继续更新，则可能损坏历史记录数据。为了避免这种情况，所有正在进行的累积都会被忽略，最近的历史记录数据也会被忽略。最近收集的平均数据将被丢弃，使得实际使用的历史记录大于 T_{AVG} 但小于 $2 \times T_{AVG}$ 。

在器件硬复位或软复位后会立即清除调优字历史记录。DPLL 锁定到新基准后，历史记录监控器会等待第一个 T_{AVG} 计时器到期，然后存储第一个调优字值，并开始累积历史记录。历史记录监控器在基准切换或保持模式退出期间不会清除先前的历史记录值。如果需要，可以通过切换历史记录使能位 (DPLLx_HIST_EN = 1 → 0 → 1) 来手动清除或复位历史记录。

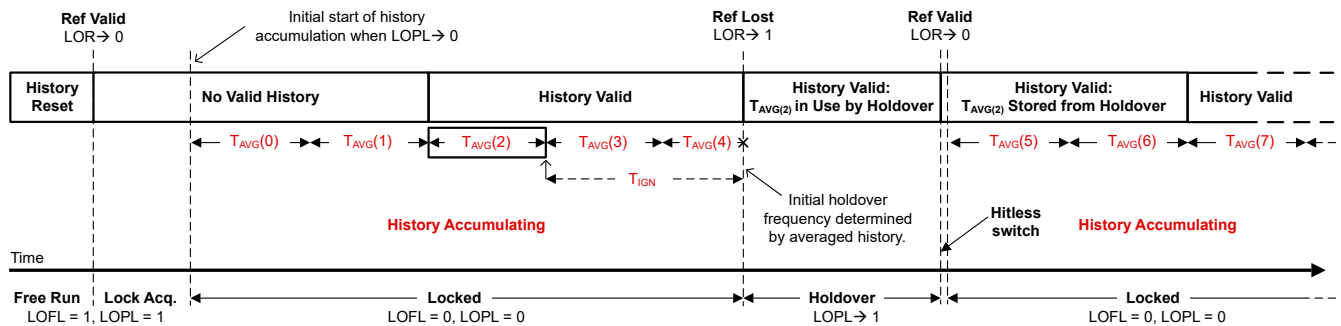


图 7-19. 调优字历史记录窗口

当不存在调优字历史记录时，将使用自由运行调优字值 (DPLLx_FREE_RUN)，并确定初始保持输出频率精度。

7.3.7.5 状态输出

GPIO 引脚可配置为输出各种状态信号和中断标志以用于器件诊断和调试。状态信号、输出驱动器类型和输出极性设置都是可编程的。

7.3.7.6 中断

任何 GPIO 引脚都可以配置为器件中断输出引脚。中断逻辑配置通过寄存器进行设置。当启用中断逻辑后，可以通过中断状态指示器（包括 XO 的 LOS、所选 DPLL 输入的 LOR、APLL1、APLL2 和 DPLL 的 LOL 以及 DPLL 的保持和切换事件）的任意组合来触发中断输出。当中断极性设置为高电平时，实时状态位的上升沿会将其中断标志（粘滞位）置为有效。否则，当该极性设置为低电平时，实时状态位的下降沿会将其中断标志置为有效。可以屏蔽任何单独的中断标志，使该标志不会触发中断输出。未屏蔽的中断标志由与/或门组合在一起来生成中断输出，可以在任一状态引脚上选择该中断输出。

当系统主机检测到来自器件的中断时，主机可以读取中断标志或粘滞寄存器来识别哪些位已置为有效来解决系统中的故障状况。解决系统故障后，主机可以通过向自行清除的 INT_CLR 字段写入 1 来清除中断输出。

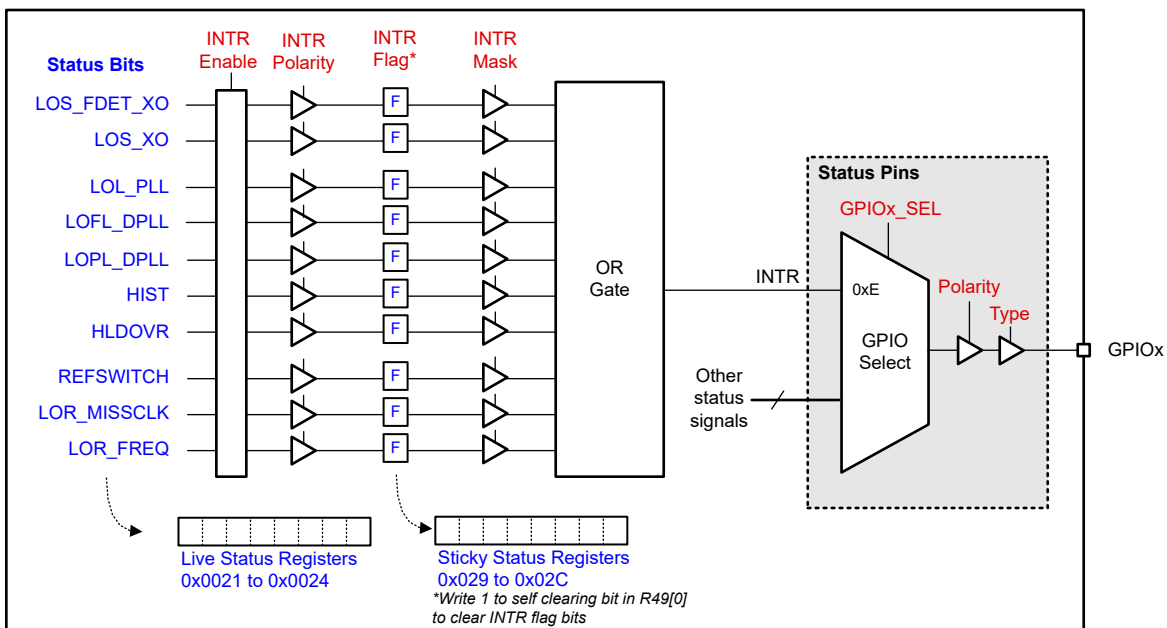


图 7-20. 状态和中断

7.3.8 PLL 关系

图 7-21 展示了 LMK5C33414AS1 中实现的 PLL 架构。PLL 可以配置为 [PLL 架构概述](#) 中所述的不同 PLL 模式。当 DPLL 在反馈环路中与 APLL 结合时，APLL 必须使用固定的 40 位分母。当 APLL 在独立环路中工作时（如图 7-6 中的 APLL1 和 APLL3 或图 7-7 中的 APLL），TI 建议选择可编程的 24 位分母。

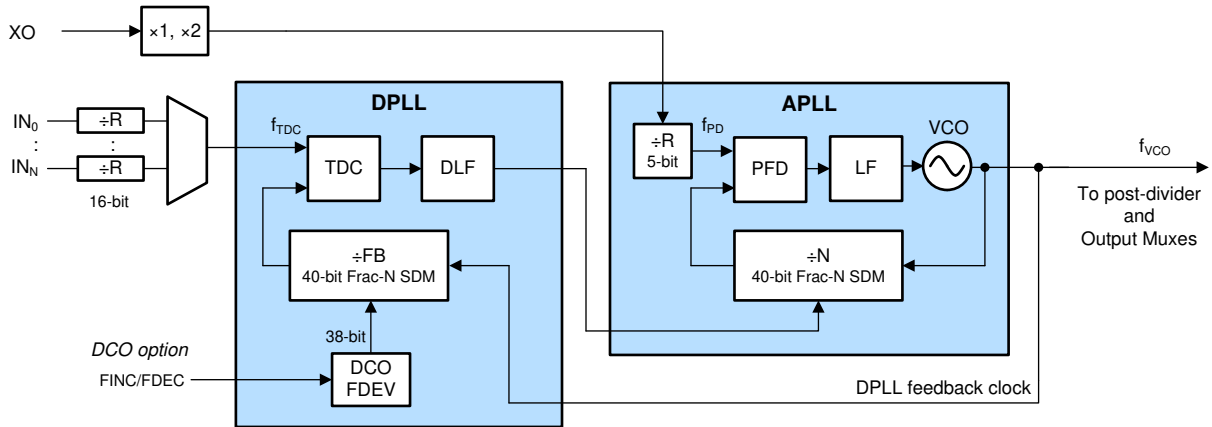


图 7-21. PLL 架构

7.3.8.1 PLL 频率关系

以下公式提供了实现闭环运行所需的 APLL 和 DLL 频率关系。TICS Pro 编程软件可用于根据所需的频率计划生成有效的分频器设置。

请注意，以下公式中的任何分频器均指实际分频值（或范围），而不是可编程寄存器值。

当启用 DPLL 工作模式后，计算得出的 DPLL 频率和 APLL 频率的标称值必须相同。对配对的 APLL N 分频器 40 位固定分母进行的 DPLL 调整将跟随所选的输入基准源，以合成实际时钟输出所需的频率和相位。

当 APLL 独立于其配对的 DPLL 运行时，TI 建议使用可编程 24 位分母进行频域之间的混合同步或级联，以便在没有 DPLL 控制的情况下保持 0ppm 的频率误差。在这种情况下，APLL 跟随来自另一个 APLL 输出的级联反馈分频器基准。

当对 PLL 使用 ZDM 时，必须在 VCO 频率计算中考虑时钟输出分频器。

7.3.8.1.1 APLL 相位检测器频率

方程式 1 计算出的相位检测器频率将在方程式 2 的 APLL VCO 频率计算中用于求解 VCO 频率。

$$f_{PD} = f_{XO} \times D_{XO} / R_{XO} \quad (1)$$

其中

- f_{PD} : APLL 相位检测器频率
- f_{XO} : APLL 基准是 XO 频率或来自另一个 APLL 的级联基准频率。
- D_{XO} : XO 输入倍频器 (1 = 禁用, 2 = 启用)
- R_{XO} : APLL XO 输入 R 分频器值 (1 至 32)

7.3.8.1.2 APLL VCO 频率

APLL 相位使用应用的 APLL 分子将 APLL VCO 锁定到 APLL 基准。利用方程式 2 可计算 VCO 频率。

$$f_{VCO} = f_{PD} \times (INT_{APLL} + NUM_{APLL} / DEN_{APLL}) \quad (2)$$

- f_{VCO} : VCO 频率
- f_{PD} = APLL 相位检测器频率
- INT_{APLL} : APLL N 分频器整数值 (12 位, 1 至 $2^{12} - 1$)
- NUM_{APLL} : APLL N 分频器分子值 (40 位, 0 至 $2^{40} - 1$, 或 24 位, 0 至 $2^{24} - 1$)
- DEN_{APLL} : APLL N 分频器分母值 (固定 2^{40} 或可编程 1 至 2^{24})
 - 通过使 NUM/DEN 比率远离整数值来避免整数边界杂散。
 - $0.125 < NUM_{APLL} / DEN_{APLL} < 0.875$ (在 DPLL 模式下, 避免使用 0.5)

7.3.8.1.3 DPLL TDC 频率

方程式 3 计算出的 TDC 频率将在方程式 5 的 DPLL VCO 频率计算中用于求解 VCO 频率。每个 DPLL 可以有两个不同的 TDC 频率以便支持在非整数的相关频率之间切换, 同时保持高 TDC 速率。

$$f_{TDC} = f_{INx} \times D_{INx} / R_{INx} \quad (3)$$

$$f_{TDC} = f_{INy} \times D_{INy} / R_{INy} \quad (4)$$

其中

- f_{TDC} : DPLL TDC 输入频率 (请参阅方程式 3)
- f_{INx} 或 f_{INy} : INx 或 INy 输入频率或来自另一个 APLL 的级联基准频率。
- R_{INx} 或 R_{INy} : INx 或 INy R 分频器值 (16 位, 1 至 $2^{16} - 1$)
- D_{INx} 或 D_{INy} : INx 或 INy 输入倍频器 (2 = 禁用, 1 = 启用)

7.3.8.1.4 DPLL VCO 频率

DPLL 相位通过更新实际的 APLL 分子值来将 APLL VCO 锁定到 DPLL VCO 频率。利用方程式 5 可计算 VCO 频率。每个 DPLL 可以有两个不同的 DPLL N 值, 从而可以使用两个不同的 TDC 频率锁定到相同的 VCO 频率。DPLLX_REF#_FB_SEL 寄存器会选择使用哪个 DPLL N 值。

$$f_{VCO} = f_{TDC} \times (INT_{DPLL} + NUM_{DPLL} / DEN_{DPLL}) \quad (5)$$

其中

- INT_{DPLL} : DPLL FB 分频器整数值 (33 位, 1 至 $2^{33} - 1$)
- NUM_{DPLL} : DPLL FB 分频器分子值 (40 位, 0 至 $2^{40} - 1$)
- DEN_{DPLL} : DPLL FB 分频器分母值 (40 位, 1 至 2^{40})
- N : $INT_{DPLL} + NUM_{DPLL} / DEN_{DPLL}$

7.3.8.1.5 时钟输出频率

每个 APLL 都有一个后分频器可提供在 [方程式 6](#)、[方程式 7](#) 或 [方程式 8](#) 中计算的 VCO 后分频器频率。最终输出频率由 VCO 后分频器频率除以输出分频计算得出（请参阅 [方程式 9](#)）。对于每个输出，输出频率取决于所选的 APLL 时钟源和输出分频器值。

$$\text{APLL1 selected: } f_{\text{POST_DIV}} = f_{\text{VCO1}} / P_{n\text{APLL1}} \quad (6)$$

$$\text{APLL2 selected: } f_{\text{POST_DIV}} = f_{\text{VCO2}} / P_{1\text{APLL2}} \quad (7)$$

$$\text{APLL3 selected: } f_{\text{POST_DIV}} = f_{\text{VCO3}} / P_{1\text{APLL3}} \quad (8)$$

$$\text{OUT}[0:15]: f_{\text{OUTx}} = f_{\text{POST_DIV}} / \text{OD}_{\text{OUTx}} \quad (9)$$

其中

- $f_{\text{POST_DIV}}$: 输出多路复用器源频率 (APLL1、APLL2 或 APLL3 后分频器时钟)
- $P_{n\text{APLL1}}$: APLL1 主 P1 或辅助 P2 后分频值 (2 至 7)
- $P_{1\text{APLL2}}$: APLL2 主 P1 后分频值 (2 至 13)
- $P_{1\text{APLL3}}$: APLL3 后分频值 = div8 (2 至 8)、div8 乘以 2 (10、12、14、16) 或旁路 (1)
- f_{OUTx} : 输出时钟频率 (x = 0 至 15)
- OD_{OUTx} : OUTx 输出旁路或分频器值。所有输出都具有值为 1 至 $(2^{12} - 1)$ 的 12 位分频器。除 OUT2 和 OUT3 之外的所有输出都可以选择在 12 位分频器之后添加一个 20 位 SYSREF 分频器，当 SYSREF 输出设置为连续输出时，这个 SYSREF 分频器可用于产生 1PPS 或其他低于 1Hz 的频率。

7.3.8.2 模拟 PLL (APLL1、APLL2、APLL3)

每个 APLL 都有一个 40 位分数 N 分频器，支持高分辨率频率合成以及超低相位噪声和抖动。每个 APLL 还能够通过 DPLL 模式下的 Σ - Δ 调制器 (SDM) 控制功能来调整其 VCO 频率。在级联模式下，每个 APLL 都能够将其 VCO 频率锁定到另一个 VCO 频率。

在自由运行模式下，APLL3 使用 XO 输入作为其 VCO3 的初始基准时钟。APLL3 的 PFD 将分数 N 分频时钟与其基准时钟进行比较并生成控制信号。控制信号经 APLL3 环路滤波器滤波后产生控制电压来设置 VCO3 输出频率。SDM 会调制 N 分频比来获得 PFD 输入与 VCO3 输出之间所需的分数比。APLL1 或 APLL2 的工作方式与 APLL3 类似。用户可以选择 VCO3 时钟或 XO 时钟作为基准时钟。

在 DPLL 模式下，APLL 分数 SDM 由 DPLL 环路进行控制以使 VCO 频率锁定到 DPLL 基准输入。例如，[图 7-6](#) 展示了 APLL1 或 APLL2 在各自的 DPLL1 或 DPLL2 被禁用时如何从 VCO3 获取基准。然后，VCO1 或 VCO2 将有效锁定到 DPLL3 基准输入（假定 APLL1 或 APLL2 的分数 N 分频比不会引入合成误差）。

7.3.8.3 APLL 参考路径

7.3.8.3.1 APLL XO 倍频器

启用 APLL XO 倍频器可以将 APLL 基准的 PFD 频率加倍。启用 XO 倍频器会增加极小的噪声，有助于提高 PFD 频率以优化相位噪声、抖动和分数杂散。当 PFD 频率增加时，APLL 相位噪声的平坦部分可以得到改善。

7.3.8.3.2 APLL XO 基准 (R) 分频器

每个 APLL 都有一个 5 位 XO 基准 (R) 分频器可用于满足最大 APLL PFD 频率规格要求，还可用于确保 APLL 分数 N 分频比 (NUM/DEN) 介于 0.125 至 0.875 之间（避免使用 0.5），建议支持 DPLL 频率调谐范围。否则，可以旁路掉 R 分频器（1 分频）。

7.3.8.4 APLL 相位频率检测器 (PFD) 和电荷泵

APLL1 具有 1.6mA、3.2mA、4.8mA 或 6.4mA 的可编程电荷泵设置。APLL2 或 APLL3 具有 0mA 至 5.8mA 且步长为 0.4mA 的可编程电荷泵设置。使用 0.8mA 或更高的电荷泵电流可实现 APLL3 的出色性能。

7.3.8.5 APLL 反馈分频器路径

每个 APLL 的 VCO 输出通过分数反馈 (N) 分频器反馈到其 PFD 块。在 DPLL 模式下，VCO 输出也会反馈到 DPLL 反馈路径。对于混合同步或级联频域架构，每个 VCO 输出还可以提供给 DPLL 输入基准选择多路复用器，或作为其他 APLL 的 XO 输入，或通过固定反馈分压器。

7.3.8.5.1 具有 SDM 的 APLL N 分频器

APLL 分数 N 分频器包括 12 位整数部分 (INT)、40 位分子部分 (NUM)、固定 40 位或可编程 24 位分母部分 (DEN) 以及 Σ - Δ 调制器。INT 和 NUM 是可编程的。当 APLL 与 DPLL 在环路中一起工作时，APLL 使用固定的 40 位分母在 VCO 时钟上实现非常高的频率分辨率。当 APLL 在独立环路中工作时（如图 7-6 中的 APLL1 和 APLL2 或图 7-7 中的 APLL），TI 建议使用可编程的 24 位分母。APLL N 分频器总值为： $N = INT + NUM / 2^{40}$ 或 $INT + NUM / 2^{24}$ 。

在 APLL 自由运行模式下，APLL 的 PFD 频率和 N 分频器总值将确定 VCO 频率（根据方程式 2 使用 24 位分母计算得出）。

7.3.8.6 APLL 环路滤波器 (LF1、LF2、LF3)

APLL3 支持 100Hz 至 10kHz（典型范围）的可编程环路带宽，而 APLL1 或 APLL2 支持 100kHz 至 1MHz（典型范围）的可编程环路带宽。可以对环路滤波器元件进行编程，从而根据基准输入频率和相位噪声来优化 APLL 带宽。LF1、LF2 和 LF3 引脚都需要一个接地的外部 C2 电容器。请参阅 [引脚配置和功能](#) 中对于 LF1、LF2 和 LF3 电容器的建议容值。

图 7-22 展示了 PFD/电荷泵输出和 VCO 控制输入之间的 APLL 环路滤波器结构。

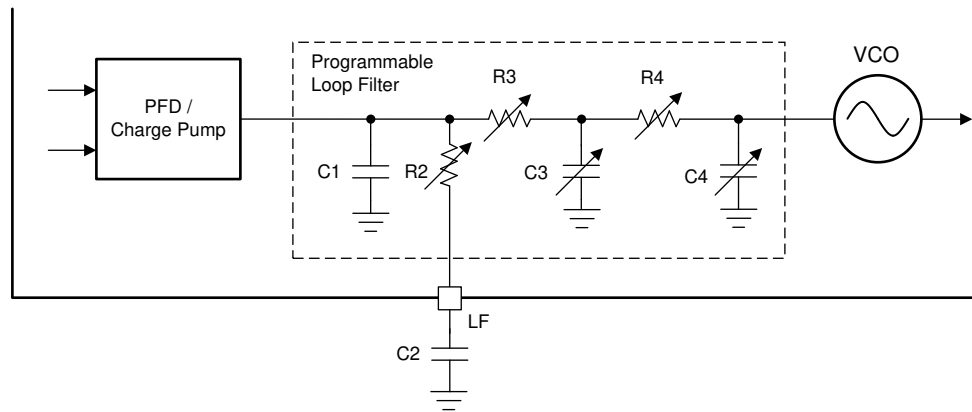


图 7-22. 每个 APLL 的环路滤波器结构

7.3.8.7 APLL 压控振荡器 (VCO1、VCO2、VCO3)

每个 APLL 都有一个完全集成的 VCO 从其环路滤波器获取电压并转换为频率。VCO1 采用标准性能 LC VCO，其具有 4800MHz 至 5350MHz 的宽调谐范围。VCO2 采用高性能 LC VCO，其具有 5595MHz 至 5950MHz 的宽调谐范围，旨在覆盖其他额外的不相关时钟频率（如果需要）。VCO3 采用具有极高品质因数的专有 BAW 谐振器技术来提供最低的相位抖动，并具有 $2457.6\text{MHz} \pm 50\text{ppm}$ 的调谐范围。

7.3.8.7.1 VCO 校准

必须对每个 APLL VCO 进行校准，从而确保 PLL 可以实现锁定并提供出色的相位噪声性能。VCO 校准可在 VCO 调谐范围内建立理想工作点。在器件上电、硬复位或软复位之后的初始 PLL 启动期间，当输入监控器检测到 XO 输入时，会自动执行 VCO 校准。为了确保成功校准和 APLL 锁定，在校准开始之前，XO 时钟的幅度和频率保持稳定至关重要；否则，校准可能会失败并阻止 PLL 锁定和输出时钟启动。在 VCO 校准和 APLL 锁定之前，输出驱动器通常保持在静音状态（可针对每个输出进行配置）以防止杂散输出时钟。

通过主机编程切换 PLL 使能周期（APLLx_EN 位 = 0 → 1），可以为单个 APLL 手动触发 VCO 校准。通过编程动态更改 APLL N 分频器值（VCO 频率）后，可能需要这样做。

7.3.8.8 APLL VCO 时钟分配路径

每个 APLL VCO 后分频器都支持一个可独立编程的分频器。

APLL3 有一个 VCO 后分频器。VCO3 后分频器时钟（+2 至 +8）分配给 LMK5C33414AS1 中的所有输出组。

APLL2 有一个 VCO 后分频器时钟 (P1 : ÷2 至 ÷13) 可分配给所有输出。

APLL1 有两个 VCO 后分频器。主 VCO 后分频器时钟 (P1 : ÷2 至 ÷7) 分配给 LMK5C33414AS1 中的 OUT0、OUT1、OUT2 和 OUT3。辅助 APLL1 VCO 后分频器时钟 (P2 : ÷2 至 ÷7) 分配给 LMK5C33414AS1 中的 OUT0 和 OUT1。

APLL3 有一个 VCO 后分频器和一个配对的可选 2 分频器。VCO3 后分频器由一个可编程的 8 分频器和一个可选的 2 分频器组成。APLL3 后分频器时钟 div8 (÷2 至 ÷8) 或 div8 和 div2 (÷10、÷12、÷14、÷16) 可以分配给 LMK5C33414AS1 中的所有四个输出组。如果系统用例需要从 APLL3 提供多个频率，而单个后分频器值无法支持这些频率，则可以通过设置 VCO3 后分频器 = 1 来旁路掉 VCO3 后分频器，并对各个通道分频器进行编程以获得所需的输出频率。

7.3.8.9 DPLL 基准 (R) 分频器路径

每个基准输入时钟都有自己的 16 位基准分频器连接到 DPLL TDC 块。所选基准的 R 分频器输出决定了 TDC 输入频率。为了支持在不同频率的输入之间进行无中断切换，可以使用 R 分频器将时钟分频为 DPLL TDC 输入的一个公共频率。

7.3.8.10 DPLL 时间数字转换器 (TDC)

TDC 输入将比较所选基准输入的 R 分频器时钟与来自 VCO 的 DPLL 反馈分频器时钟的相位。TDC 输出会生成一个与相位误差相对应的数字校正字，该相位误差由 DPLL 环路滤波器进行处理。

7.3.8.11 DPLL 环路滤波器 (DLF)

DPLL 支持 10mHz 至 4kHz 的可编程环路带宽，并且可实现低于 0.1dB (典型值) 的抖动峰值。DPLL 的低通抖动传输特性可在环路带宽以上使其基准输入噪声衰减，滚降速率高达 60dB/十倍频程。

DPLL 环路滤波器输出可控制 APLL 的分数分子，使 VCO 频率锁定到选定的 DPLL 基准输入。

7.3.8.12 DPLL 反馈 (FB) 分频器路径

DPLL 反馈路径有一个可编程预分频器 (33 位，1 至 $2^{33} - 1$) 和一个分数反馈 (FB) 分频器。可编程 DPLL FB 分频器包括 33 位整数部分 (INT)、40 位分子部分 (NUM) 和 40 位分母部分 (DEN)。DPLL FB 分频器总值为： $FB_{DPLL} = INT + NUM / DEN$ 。

在 DPLL 模式下，TDC 频率和总 DPLL 反馈分频器和预分频器决定了 VCO 频率。利用 [方程式 5](#) 可计算 VCO 频率。

7.3.9 输出时钟分配

在 LMK5C33414AS1 中，输出时钟分配块包括 6 个输出多路复用器、11 个输出分频器和 14 个可编程差分输出驱动器。输出分频器支持输出同步 (SYNC) 以实现两个或更多输出通道之间的相位同步。此外，通道 OUT0、OUT4 或 OUT10 具有可选的内部 ZDM 同步功能，可支持具有可编程偏移的确定性输入到输出相位对齐 (通常适用于 1PPS 时钟) 。

7.3.10 输出通道多路复用器

LMK5C33414AS1 采用六个输出多路复用器将频率源分配到相应的输出组。OUT0 和 OUT1 每个都有一个单独的 6:1 多路复用器来单独选择频率源。OUT2 和 OUT3 输出通道共享一个 3:1 多路复用器。输出组 OUT4 至 OUT7 共享一个 2:1 多路复用器，而输出组 OUT8 至 OUT13 共享另一个 2:1 多路复用器。

OUT0 和 OUT1 上的 6:1 多路复用器最为灵活，可在 APLL3 后分频器、APLL2 后分频器、APLL1 主后分频器、APLL 辅助后分频器、缓冲 XO 或基准输入之间选择作为频率源。为 OUT2 和 OUT3 提供信号的 3:1 多路复用器可以在 APLL3 后分频器、APLL2 后分频器或 APLL1 主后分频器之间选择频率源。OUT4 至 OUT7 组或 OUT8 至 OUT13 组均可从 APLL3 后分频器或 APLL2 后分频器中选择频率源。

7.3.11 输出分频器 (OD)

每个输出多路复用器之后有一个或多个输出分频器。OUT[0:1] 中的每个通道都有一个单独的 12 位通道分频器与可选的 20 位 SYSREF 分频器级联。OUT[2:3] 中的每个通道都有一个单独的 12 位输出分频器。OUT[4:5]、OUT[6:7]、OUT[8:9]、OUT[10:11] 和 OUT[12:13] 通道均具有一个 12 位输出分频器与可选的 SYSREF 分频器级联。输出分频器用于从输出多路复用器选择的源生成最终时钟输出频率。

OUT0 或 OUT1 通道结合了 12 位输出通道分频器 (CD) 和 20 位 SYSREF 分频器，支持 1Hz (1PPS) 至 1250MHz 的输出频率。从 VCO 到输出，总分频值是 PLL 后分频器 (P)、输出通道分频器 (CD) 和 SYSREF 分频器 (SD) 值的乘积 ($P \times CD \times SD$)。

例如，在旁路掉 APLL3 后分频器的情况下，每个 12 位通道分频器 (CD) 支持 100kHz 至 1250MHz 的输出频率（或不超过所配置的输出驱动器类型支持的最大频率）。然后，可以级联 SYSREF 分频器 (SD) 来实现低至 1Hz (1PPS) 的更低时钟频率。

每个输出分频器均由用于时钟输出驱动器的同一 VDDO_x 电源供电。如果不使用输出分频器，可将其断电以实现省电。对于 OUT[2:3]、OUT[4:5]、OUT[6:7]、OUT[8:9]、OUT[10:11] 或 OUT[12:13] 中的每个输出组，当两个输出驱动器都被禁用时，输出分频器自动断电。对于 OUT0 或 OUT1 通道，当输出驱动器被禁用时，输出分频器自动断电。

7.3.12 SYSREF/1PPS

LMK5C33414AS1 可支持 1PPS 至 25MHz 的系统基准时钟，包括 JEDEC JESD204B 或 JESD204C SYSREF 时钟。除 OUT2 或 OUT3 之外的任何 12 位输出通道分频器都可以与单独的 20 位 SYSREF 分频器级联。应设置灵活的 SYSREF 分频器值，以便根据应用要求在多个输出上生成相同的 1PPS/SYSREF 频率，或生成 1PPS/SYSREF 的不同频率倍数。对齐多个 SYSREF 输出时，TI 建议设置 SYSREF_REQ_MODE 0x1A[5:4] = 11 以对 SYSREF 请求进行重采样。如果需要额外的单端输出，还可以在 GPIO1 或 GPIO2 上复制 1PPS/SYSREF。SYSREF 请求样本源 SYSREF_REQ_SEL 0x1A[3:2] 必须设置为与 SYSREF/1PPS 输出复制所需的源相同的源。更多信息，请参阅 [SYSREF/1PPS 输出复制](#)。

7.3.13 输出延迟

LMK5C33414AS1 能够通过延迟功能调整输出时钟相位。每个通道分频器路径中都有一个可编程静态偏移数字延迟。选择 SYSREF 分频器后，输出时钟可以具有额外的可编程静态偏移数字延迟、SYSREF 数字延迟和模拟延迟。

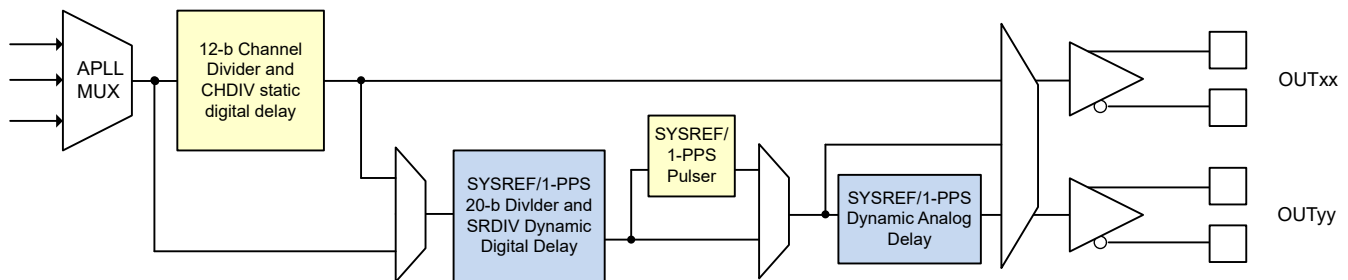


图 7-23. 可编程静态和动态输出延迟

7.3.14 时钟输出 (OUTx_P/N)

每个时钟输出可被单独配置为一个差分驱动器 (AC-LVPECL/HSDS/LVDS/HCSL)。HSDS 驱动器能够对输出电压摆幅和共模电压进行编程。可以禁用未使用的时钟输出以降低功耗。

每个输出通道都有自己的内部 LDO 稳压器，可提供出色的 PSNR 性能并更大限度减少由电源噪声引起的抖动和杂散。对于差分模式，由于通道的内部 LDO 稳压器，输出时钟规格（例如输出摆幅、相位噪声和抖动）对 VDDO_x 电压不敏感。

OUT0 和 OUT1 通道（多路复用器、分频器和驱动器）通过单个输出电源引脚 (VDDO_0_1) 供电，OUT2 和 OUT3 通道也类似 (VDDO_2_3)。输出组 OUT4 至 OUT7 和 OUT8 至 OUT13 分别具有自己的输出电源引脚 (VDDO_4_TO_7) 和 (VDDO_8_TO_13)。每个输出电源引脚应由 3.3V 电源供电，即使不使用该引脚，也应始终与电源相连。

OUT0 或 OUT1 还支持每个输出对有两个 1.8V 或 2.65V LVCMOS 驱动器。CMOS 输出电压电平由 CMOS 输出 LDO 的内部编程确定，旨在支持 1.8V 或 2.65V LVCMOS。

为了获得额外的低频单端时钟输出，可以配置 GPIO1 和 GPIO2 来复制另一个差分输出对的任何 1PPS/SYSREF 分频器输出。

7.3.14.1 差分输出

差分 HSDS 驱动器可通过编程来实现与 LVDS、CML、LVPECL 和其他差分接收器兼容的 V_{OD} 摆幅（单端峰峰值幅度）。 V_{OD} 范围为 0.4V 至 1V，阶跃大小约为 100mV。HSDS 驱动器可以是直流耦合或交流耦合。 V_{OD} 设置各有两个共模选项。有关更多信息，请参阅 [电气特性](#) 表格。

传统的 HCSL 输出驱动器符合 PCIe 标准，需要 50Ω 外部终端。TI 建议将终端放置在靠近接收器侧的位置。

7.3.14.2 LVCMOS 输出

对于 OUT0 和 OUT1 上可供选择的 LVCMOS 驱动器，每个 P 和 N 对具有两个输出。P 和 N 上的每个输出均可配置为正常极性、反极性，或禁用为高阻抗或静态低电平。LVCMOS 输出高电平 (V_{OH}) 由轨至轨 LVCMOS 输出电压摆幅的内部可编程 LDO 稳压器电压 1.8V 或 2.65V 决定。LVCMOS 模式仅在通道输出 0 和 1 上受支持，主要是为了支持没有严格相位噪声或抖动要求的 ASIC 或处理器时钟。

LVCMOS 输出时钟是具有大电压摆幅的非平衡信号，因此它可能是强大的干扰源，并将噪声耦合到其他抖动敏感型差分输出时钟上。如果需要来自某个输出对的 LVCMOS 时钟，请将这个输出对配置为两个输出均已启用但极性相反 (+/- 或 -/+)，并将未使用的输出悬空而不连接任何布线。

7.3.14.3 SYSREF/1PPS 输出复制

可以根据需要在 GPIO1 或 GPIO2 上复制 SYSREF 分频器输出信号，在启动后提供额外的单端 3.3V CMOS 时钟。要配置 SYSREF/1PPS 输出复制，请启用 GPIO 作为输出 (GPIOx_OUTEN = 1)，并确保 GPIO 复制源的其中一个 SYSREF 输出有效。SYSREF 复制源来自 OUT0/1、OUT4/5、OUT6/7、OUT/9、OUT10/11 或 OUT12/13 中正在使用的任何一个 SYSREF 分频器，通过寄存器编程设置 (OUT_x_y_SR_GPIO_EN = 1)。GPIOx 复制的 SYSREF 输出位于静态数字延迟之后，但在模拟和数字延迟和脉冲发生器之前。由于 GPIOx 副本不支持脉冲 SYSREF 模式，输出将是连续频率。

正常 SYSREF 和 GPIO 复制的 SYSREF 之间会有一些较小的固定延迟偏斜。LVCMOS 输出时钟是具有大电压摆幅的非平衡信号，因此它可能是强大的干扰源，并将噪声耦合到其他抖动敏感型差分输出时钟上。

7.3.14.4 LOL 期间输出自动静音

当所选输出多路复用器时钟源无效时，每个输出驱动器可以自动将其时钟静音（根据其 MUTE 使能字段的配置）。根据每个 PLL 的 LOL 状态，通过配置 APLL 和 DPLL 静音控制位 (MUTE_APLLx_LOCK、MUTE_DPLLx_LOCK、MUTE_DPLLx_PHLOCK)，时钟源可能无效。自动静音被禁用或旁路掉 (OUT_x_y_MUTE_EN = 0) 时，输出时钟在 VCO 校准之前和期间可能具有不正确的频率或不稳定。

7.3.15 无毛刺输出时钟启动

启用 APLL 自动静音后，如果在发生以下任一事件后实现了 APLL 锁定，输出将以同步方式启动而不会出现时钟干扰：器件上电、退出硬复位或将输出 SYNC 置为无效。

7.3.16 时钟输出连接和端接

本节显示了建议的输出端接。未使用的时钟输出可以保持悬空并通过编程进行断电。

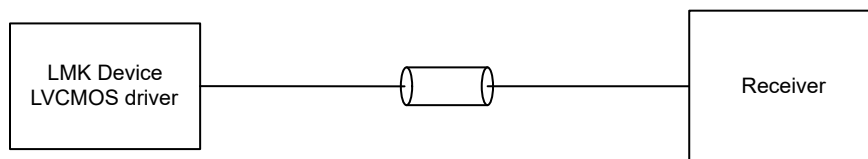


图 7-24. LVCMOS 输出端接

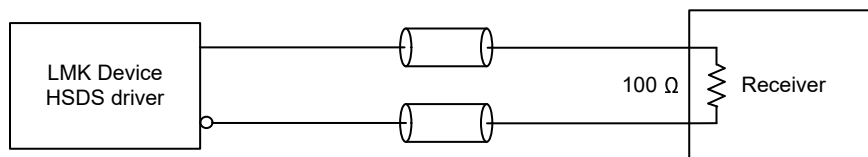


图 7-25. 直流耦合 HSDS 输出端接

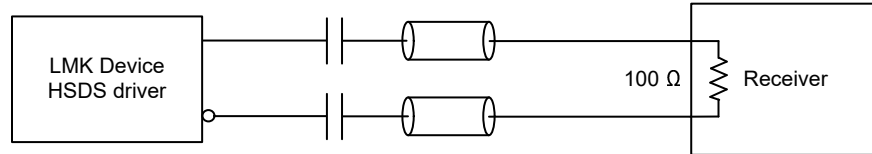


图 7-26. 交流耦合 HSDS 输出端接方法 1

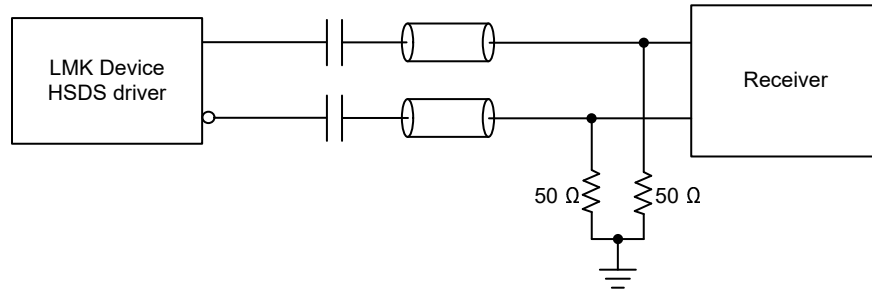


图 7-27. 交流耦合 HSDS 输出端接方法 2

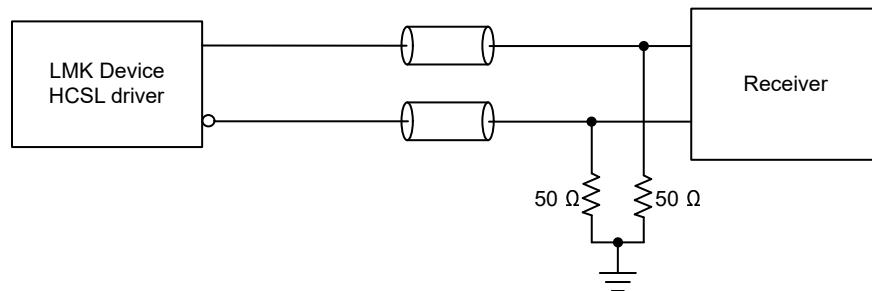


图 7-28. 直流耦合 HCSL 输出端接

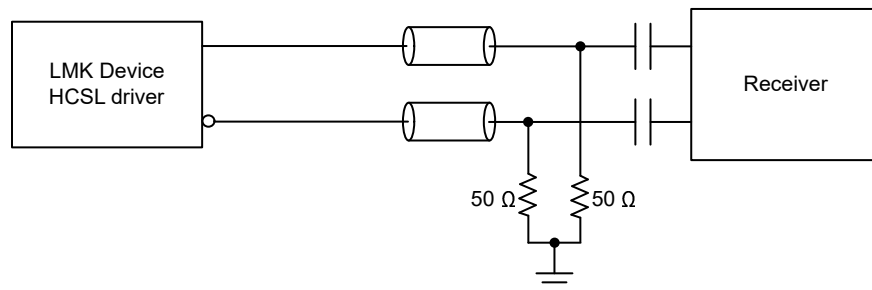


图 7-29. 交流耦合 HCSL 输出端接

7.3.17 输出同步 (SYNC)

通过允许输出分频器在同一 PLL 输出时钟周期退出复位，输出 SYNC 可用于使两个或更多个输出时钟与公共上升沿进行相位对齐。通过硬件引脚或软件位触发 SYNC 事件，所有选择相同 PLL 输出的输出分频器都可以作为 SYNC 组一起同步。

若要为两个或更多个输出通道建立 SYNC 组，必须满足以下要求：

- 输出分频器设置其各自的同步使能位 ($OUT_x_y_DIV_SYNC_EN = 1$)
- SYSREF 分频器各自设置额外的同步使能位 ($OUT_x_y_SR_DIV_SYNC_EN = 1$)，可与上述设置 ($OUT_x_y_DIV_SYNC_EN = 1$) 搭配使用
- 输出分频器的输出多路复用器选择相同的 PLL 输出
- PLL (后分频器) 输出设置其同步使能位 (例如， $PLL1_PRI_DIV_SYNC_EN = 1$)

- SYNC_EN = 1

SYNC 事件可由设置为 SYNC 输入的 GPIOx 引脚 (GPIOx_MODE = 31) 或 SYNC_SW 寄存器位 (高电平有效) 置为有效。当 SYNC 置为有效后, 启用 SYNC 的分频器将保持在复位状态, 并且时钟输出为低电平。当 SYNC 置为无效后, 通用 PLL 的输出将在开始时具有同步或对齐的初始时钟相位。SYNC 还可用于在任何启用了 SYNC 的输出上设置低电平状态以防止输出时钟分配到下游器件, 直到接收器输入配置完毕并准备好接收传入的时钟。

禁用了同步 (OUT_x_y_DIV_SYNC_EN = 0) 的输出通道将不会受到 SYNC 事件的影响, 并将按照配置继续正常输出操作。必须启用 VCO 后分频器时钟来进行同步, 以确保它们驱动的分频器准确同步。然而, 在 SYNC 期间, 从复位 VCO 后分频器产生时钟的任何输出都将无效, 即使未选择用于 SYNC 的通道分频器也是如此。未选择用于同步的 VCO 后分频器在 SYNC 期间不会停止运行, 因此它们可以继续提供不需要同步的输出通道。具有 1 分频功能的输出分频器 (分频器旁路模式) 在 SYNC 事件期间不会被选通。

表 7-3. 输出同步

GPIOx 作为 SYNC 引脚 GPIOx_MODE = 31		SYNC_SW R21[6]	输出分频器和驱动器状态
GPIOx_POL = 0	GPIOx_POL = 1		
1	0	1	输出驱动器静音且输出分频器复位
1→0	0→1	1→0	同步的输出将通过同步的相位释放
0	1	0	按照配置正常运行输出驱动器/分频器

7.3.18 零延迟模式 (ZDM)

DPLL 支持内部 ZDM 同步选项, 可以根据配置和为 ZDM 选择的 DPLL, 在选定的 DPLL 基准输入和 OUT0、OUT4 或 OUT10 时钟之间实现已知的确定性相位关系。

借助 ZDM, 用户可以在选定的 DPLL 基准输入时钟和选定的零延迟反馈时钟之间实现零相位延迟。图 7-30 展示了 OUT0 时钟如何作为零延迟输出时钟在内部反馈到 DPLL。ZDM 主要用于在输入和所选输出之间 (例如 1PPS 输入到 1PPS 输出或 156.25MHz 输入到 156.25MHz 输出之间) 实现确定性的相位关系。

由于来自 OUT0 的零延迟反馈时钟在内部路由到器件, 因此无需将外部时钟信号从输出路由到输入。作为 OUT0 的替代, OUT4 可用于 DPLL2 内部 ZDM 反馈, OUT10 可用于 DPLL3 内部 ZDM 反馈。

通过相位转换控制和 ZDM 可以重新建立 1PPS 相位对齐。对于 1PPS 和 ZDM, 必须启用无中断切换以防止 DPLL 变为解锁状态。执行无中断切换后, 相位转换控制可以在受控的速率下将相位扩展降回 0。要使用 ZDM 模式锁定到 1PPS 信号, 必须对输出静态延迟或 DPLLx_PH_OFFSET 进行编程, 以将 1PPS 输入和 1PPS 反馈时钟之间的相位误差清零。

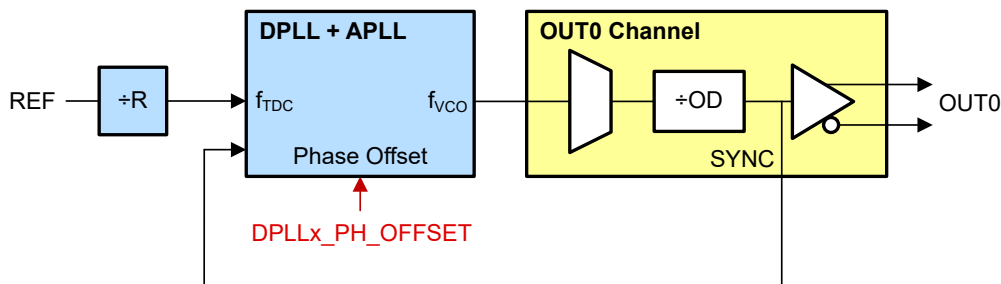


图 7-30. 基准输入和 OUT0 之间的 DPLL ZDM 同步

7.3.19 历时计数器 (TEC)

历时计数器 (TEC) 让用户能够在两个 (或更多) 事件之间进行精确的时间测量。这些事件可能是 GPIO 引脚的上升沿或下降沿, 也可能是 SPI SCS 引脚的下降沿。任何 GPIO 引脚都可以编程为 TEC 输入。可以使用 GPIO 极性反转寄存器来选择上升或下降极性。在每个 TEC 事件之后, 都会捕获计数器值, 应用程序可能读回一个 40 位值。历时值是根据读回值的差异计算得出的。测量精度优于 7.5ns, 总测量时间超过 59 分钟, 具体取决于确切配置。为了重启 TEC 计数器捕获, 有必要至少读回 TEC_CNTR 的 LSB。

TEC 计数器的时钟频率是根据 PLL3 VCO 频率 ÷ 8 或 PLL2 VCO 频率 ÷ 20 设定的。进行时间测量的步骤如下。

1. 复位 TEC 计数器值。为了降低计数器在 TEC 捕获事件之间出现翻转的可能性，建议执行此步骤，但这是可选步骤。如果不进行复位，用户需要检测计数器寄存器翻转，这会使得用于计算历时的 [方程式 10](#) 变得复杂。
2. 触发 TEC 捕获事件并读回存储了计数器值的 TEC 寄存器。
3. 再次触发 TEC 捕获事件并读回存储了计数器值的 TEC 寄存器。
4. 根据 [方程式 10](#) 计算历时。最坏情况下的误差是 TEC 计数器时钟周期的两倍。表 7-4 列出了一些常见的 TEC 时钟频率/周期和翻转时间。

$$\text{Elapsed Time} = (2\text{nd captured TEC value} - 1\text{st captured TEC value}) / \text{TEC Clock Rate} \quad (10)$$

TEC_CNTR 寄存器分为五个寄存器。

表 7-4. 常见 TEC 时钟频率和翻转时间

PLL 源	VCO 频率	TEC 时钟频率	TEC 时钟周期 (t)	翻转时间
PLL3	2457.6MHz	307.2MHz	大约 3.225ns	大约 59.6 分钟
PLL2	5950MHz	297.5MHz	大约 3.361ns	大约 61.6 分钟
PLL2	5898.24MHz	294.912MHz	大约 3.391ns	大约 62.1 分钟
PLL2	5625MHz	281.25MHz	大约 3.556ns	大约 65.1 分钟
PLL2	5600MHz	280MHz	大约 3.571ns	大约 65.4 分钟

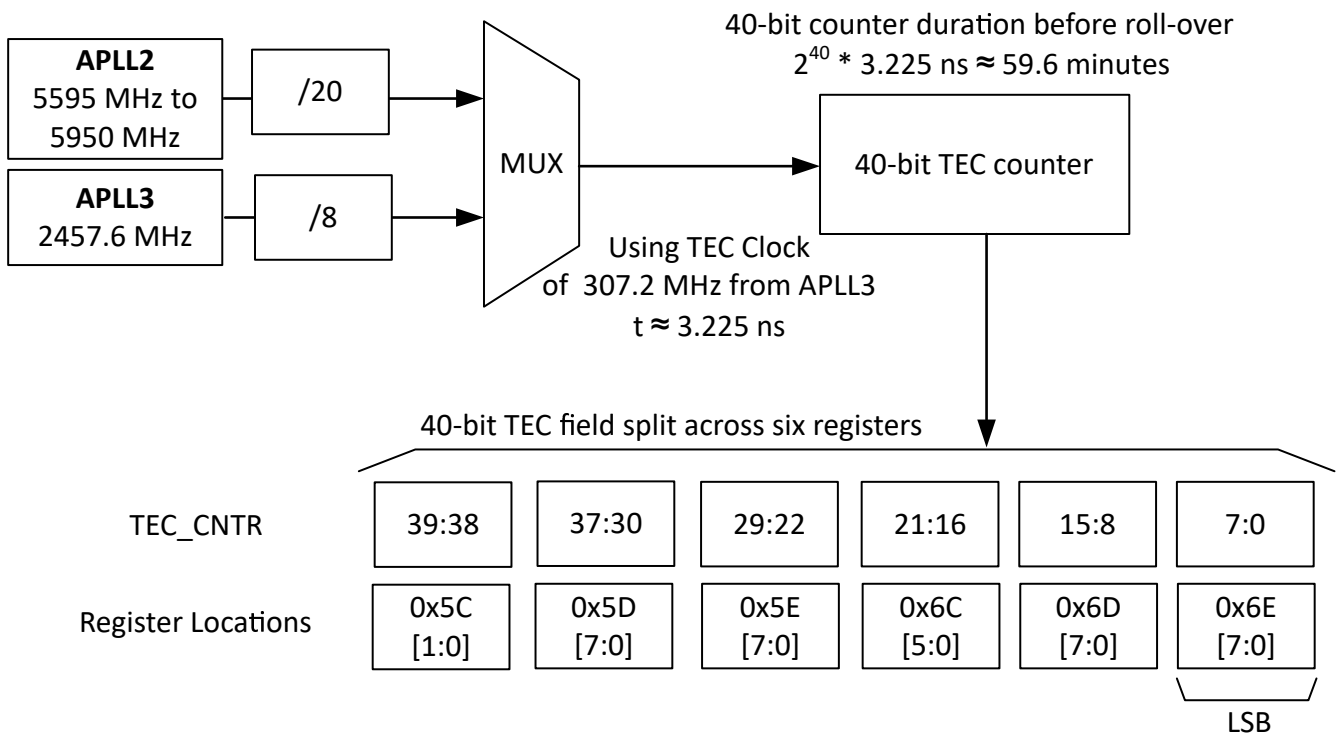


图 7-31. TEC 时钟和计数器

图 7-32 展示了历时计数器函数的状态。

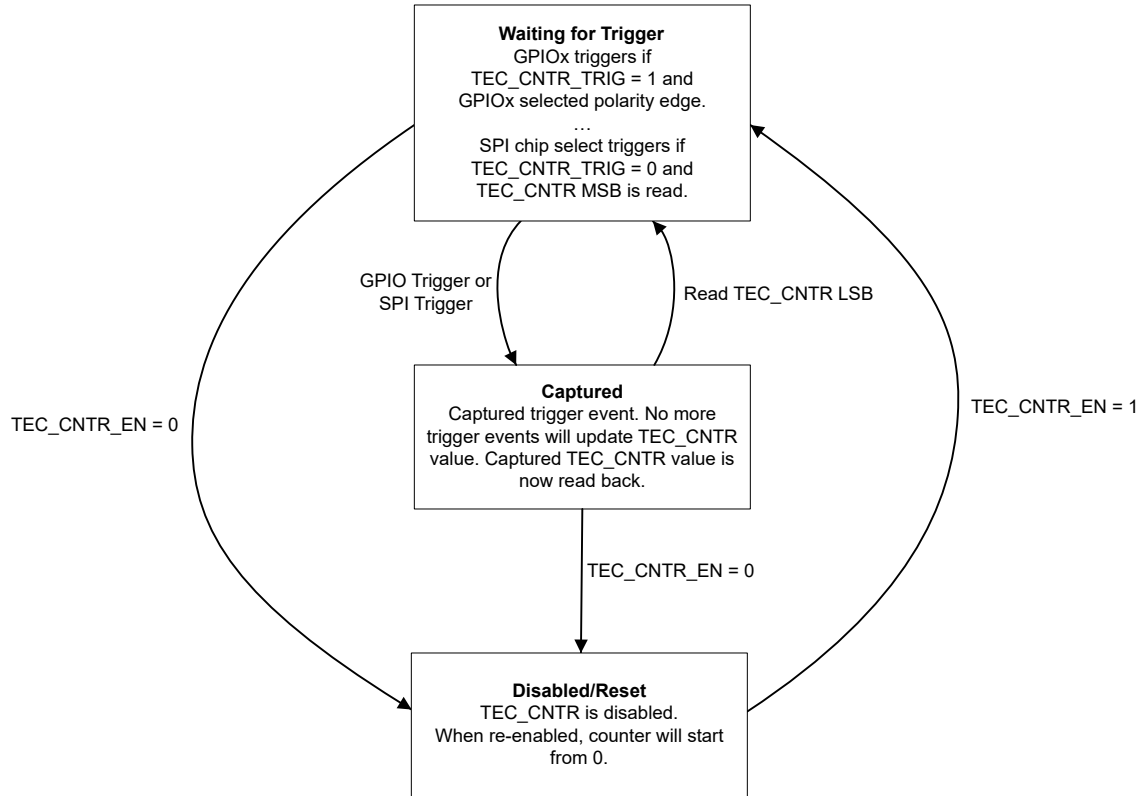


图 7-32. TEC 的状态图

7.3.19.1 配置 TEC 功能

- 选择 PLL 来驱动历时计数器 (TEC)。由于 TEC 时钟频率最高，PLL3 将提供最高精度的时间测量，但是 PLL2 提供稍长的翻转时间。
 - 通过将 `REF0_MISSCLK_VCOSEL` 设置为 0 来选择 PLL3 源。
 - 通过将 `REF0_MISSCLK_VCOSEL` 设置为 1 来选择 PLL2 源。
- 选择 GPIO 或 SPI 片选作为触发器以将 TEC 计数器值捕获到 `TEC_CNTR` 字段。使用 GPIO 不需要 SPI SCS 引脚有任何特殊时序。可以将 GPIO 引脚用于其他用途，然后在需要时启用 TEC 功能。
 - 通过将 `TEC_CNTR_TRIG` 设置为 1 来选择 GPIO 触发器。
 - 通过将 `TEC_CNTR_TRIG` 设置为 0 来选择 SPI 片选触发器。
- 通过将 `TEC_CNTR_EN` 设置为 1 来启用 TEC 计数器。

7.3.19.2 SPI 作为触发源

当 `TEC_CNTR_EN = 1` 时，TEC 计数器在每个 SCS 下降沿都会被捕获到 `TEC_CNTR` 字段。在执行读取 `TEC_CNTR` 字段 MSB 的 SPI 事务之后，SCS 的任何下降沿都不会将 TEC 计数器捕获到 `TEC_CNTR` 字段，直到读取 `TEC_CNTR` 字段的 LSB。

图 7-33 展示了在单寄存器读取期间锁存 TEC 的时间，而图 7-34 展示了多字节读取的情况。

图 7-33 显示，在读取 `TEC_CNTR` MSB 之前，每个 SCS 下降沿都会捕获 TEC 计数器。

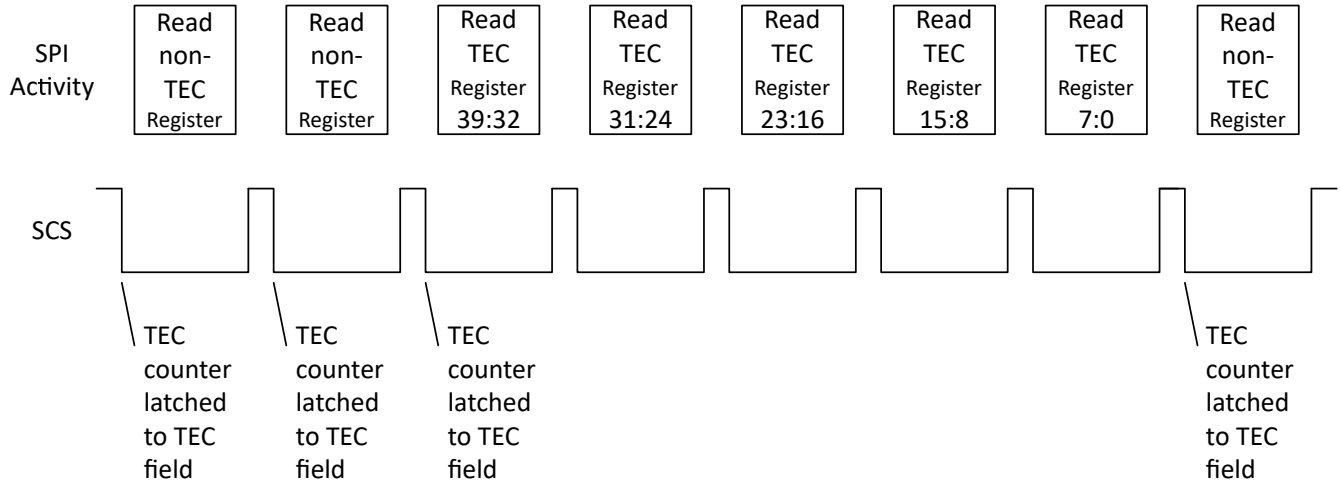


图 7-33. TEC 单字节读取

图 7-34 显示，即使第一次读取的寄存器不是 TEC_CNTR 寄存器，也可以在单次多字节读取期间捕获 TEC 计数器值以及重启捕获。

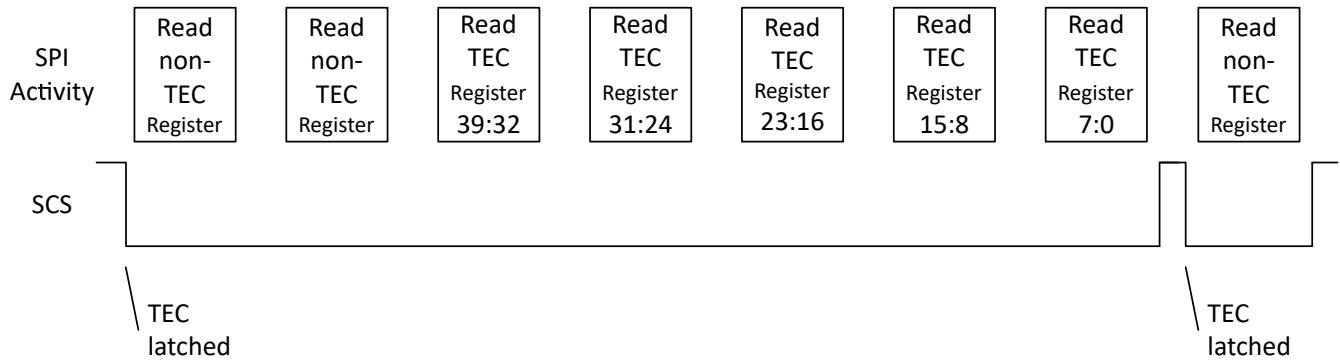


图 7-34. TEC 多字节读取

7.3.19.3 GPIO 引脚作为 TEC 触发源

在 GPIOx_MODE = 0x27 (TEC_TRIG_SEL) 时为 TEC 功能选择 GPIO 引脚的上升沿将在所选极性 (GPIOx_POL) 的边沿上将 TEC 值捕获到 TEC_CNTR 字段。在读取 TEC_CNTR 字段的 LSB 之前，后续 GPIOx 引脚边沿不会对 TEC_CNTR 字段进行进一步更新。图 7-35 展示了使用 GPIO 捕获 TEC 值的时序。

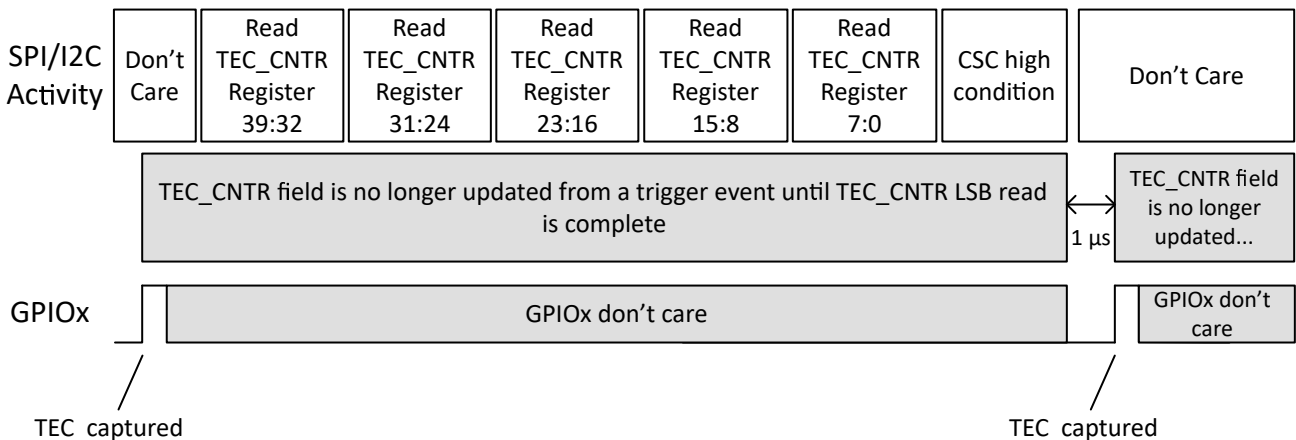


图 7-35. 使用 GPIO 捕获的 TEC

7.3.19.3.1 示例：使用 TEC 和 GPIO1 作为触发器进行历时测量

1. 根据需要配置 TEC 寄存器。在本例中：
 - REF0_MISSCLK_VCOSEL 为 0，使 VCO3 频率 / 8 用于 TEC 时钟速率
 - TEC_CNTR_TRIG = 1 用于 GPIO1 触发器
 - TEC_CNTR_CLR = 0 用于正常运行
2. 设置 GPIO1_MODE = 0x27 (TEC_TRIG_SEL) 并根据需要设置 GPIO1_POL (在本示例中设置为 0 以表示高电平有效输入)。
3. 在 GPIO1 上提供上升沿以将当前 TEC 计数器值捕获到 TEC_CNTR 字段中。
4. 首次读取并存储 TEC_CNTR 字段。
 - 示例：1st_captured_TEC_value = 204 354。
5. 在 GPIO1 上提供上升沿。
6. 第二次读取并存储 TEC_CNTR 字段。
 - 示例：2nd_captured_TEC_value = 76 516 568
7. 使用公式 1 和 307.2MHz 的 TEC 时钟速率计算时间增量。
 - $248.412\ 155\text{ms} = (76\ 516\ 568 - 204\ 354) / 307.2\text{MHz}$
 - 由于 TEC 时钟速率为 307.2MHz，因此测量精度为 $\pm 3.26\text{ns}$ 。

7.3.19.4 TEC 时序

当 TEC_CNTR_TRIG 为 1 (GPIO 引脚) 时：

- 1 个 TEC 周期 + 2ns 的时序精度要求 20% 至 80% 的上升时间小于或等于 1ns。
- GPIOx 上升沿不应出现在 SCS 上升的 10ns 内，此期间会将 TEC_CNTR_EN 从 0 设置为 1。
- GPIOx 应保持高电平 10ns。
- 读取 TEC_CNTR 的 LSB 后，新的 GPIOx 触发器不应在 SPI SCS 上升沿的 1 μ s 内到达。

当 TEC_CNTR_TRIG 为 0 (SPI) 时：

- 1 个 TEC 周期 + 2ns 的时序精度要求 80% 至 20% 的下降时间小于或等于 1ns。
- TEC 计数器在 SPI SCS 的下降沿被捕获到 TEC_CNTR 寄存器。无需额外的时间来读回或预锁存寄存器。

7.3.19.5 其他 TEC 行为

TEC 计数器持续计数并定期从 $2^{40} - 1$ 翻转到 0。

- 用户软件必须确定该计数器在 TEC 读取之间是否已翻转。TI 建议在预期启动触发事件 (如果已知) 之前通过切换 TEC_CNTR_EN 位来相应地复位 TEC 计数器。

REF0_MISSCLK_VCOSEL 字段还选择所有输入使用哪个 VCO 来进行早期和缺失基准时钟验证，因此如果 REF0_MISSCLK_VCOSEL 发生更改，可能需要重新计算早期和缺失输入验证寄存器。如果在运行期间更改 REF0_MISSCLK_VCOSEL 或验证计算，可能会导致使用漏脉冲检测器的基准或同时使用漏脉冲检测器和矮脉冲检测器的基准被暂时认定不合格，并将 DPLL 置于保持状态。

当 TEC_CNTR_EN = 0 时，TEC 计数器保持复位状态，即计数器值为 0。从 TEC_CNTR_EN 由 0 转换为 1 那一刻起到未来触发事件期间，可以进行绝对时间测量。但是，此测量的精度低于执行由两个 GPIO 或两个 SPI CSC 触发器引起的相对测量。

7.4 器件功能模式

7.4.1 器件启动

该器件可在启动时选择 I²C 或 SPI 作为控制接口，具体取决于上电复位 (POR) 期间在 GPIO1 引脚上采样的 2 电平输入电平。POR 之后的内部寄存器默认设置取决于 EEPROM 中存储的 ROM_PLUS_EE 字段值。

- **GPIO1 = 0**：选择 I²C 通信接口
- **GPIO1 = 1**：选择 SPI 通信接口

启动后会启用 I²C 或 SPI 接口以访问寄存器，从而监控器件状态并在需要时控制 (或重新配置) 器件。I²C 和 SPI 的寄存器映射配置相同。

POR 期间的 GPIO1 状态可确定：

- 用于访问寄存器的串行接口 (I²C 还是 SPI) 。
- SCS_ADD 引脚的器件控制和状态功能。

EEPROM 字段 EE_ROM_PAGE_SEL 的状态以及 GPIO0 和 GPIO2 引脚可选择启动时要使用的 ROM 页。如果字段 ROM_PLUS_EE 为 0，则仅使用 ROM 设置来启动器件。如果字段 ROM_PLUS_EE 为 1，则会加载 EEPROM 覆盖层，并会从 EEPROM 加载大量控制 APLL 和输出时钟配置的字段。因此，用户能够灵活选择启动时钟频率和输出格式。

图 7-36 展示了器件上电复位配置序列。

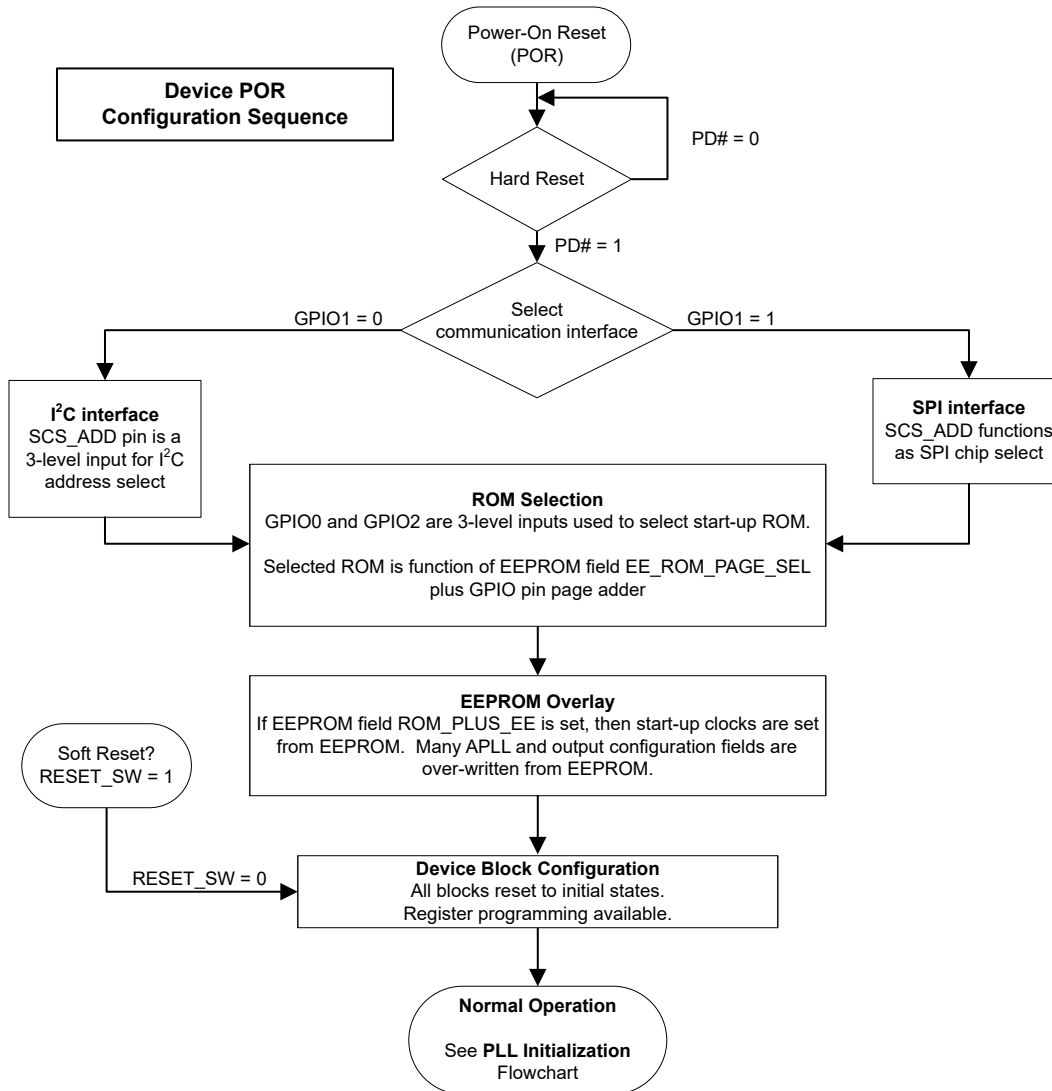


图 7-36. 器件 POR 配置序列

另请参阅图 7-14、图 7-37 和图 7-38。

7.4.1.1 ROM 选择

在 POR 时，GPIO0 和 GPIO2 引脚状态结合 EEPROM 存储字段 EE_ROM_PAGE_SEL 选择一个 ROM 页。默认 EEPROM 设置为 EE_ROM_PAGE_SEL = 0。ROM 映像中的所有寄存器页都在出厂时设置在硬件 (掩膜 ROM) 中，不能通过软件编程。更多有关器件配置的详细信息，请参阅 [LMK5B33216 编程人员指南](#)。

表 7-5. ROM 页选择

POR 时的 GPIO2	POR 时的 GPIO0	EE_ROM_PAGE_SEL = 0 时的 ROM 页
低电平	低电平	ROM 第 0 页。XO = 48MHz, REFCLK = 156.25MHz 和 10MHz, 输出 = 100MHz、122.88MHz、245.76MHz、312.5MHz、491.52MHz。
低电平	高电平	ROM 第 1 页。XO = 48MHz, REFCLK = 10MHz, 输出 = 100MHz、312.5MHz、491.52MHz。
H	L	ROM 第 2 页。XO = 48MHz, REFCLK = 10MHz, 输出 = 100MHz、125MHz、312.5MHz、491.52MHz。
H	H	ROM 第 3 页。低功耗模式。所有 PLL 关闭, 所有输出关闭。
L	M	ROM 第 4 页。XO = 54MHz, REFCLK = 30.72MHz, 输出 = 30.72MHz、125MHz、161.1328125MHz、122.88MHz、245.76MHz、491.52MHz。
M	L	ROM 第 5 页。XO = 20MHz, REFCLK = 156.25MHz, 输出 = 100MHz、125MHz、156.25MHz、245.76MHz、491.52MHz
M	M	ROM 第 6 页。XO = 48MHz, REFCLK = 156.25MHz, 输出 = 1Hz (1PPS)、25MHz、100MHz、122.88MHz、125MHz、156.25MHz、245.76MHz、491.52MHz
M	高电平	ROM 第 7 页。XO = 48MHz, REFCLK = 156.25MHz, 输出 = 1Hz (1PPS)、20.48MHz、25MHz、100MHz、122.88MHz、125MHz、156.25MHz、245.76MHz、491.52MHz
H	M	ROM 第 8 页。XO = 48MHz, REFCLK = 491.52MHz 和 156.25MHz, 输出 = 25MHz、122.88MHz、125MHz、156.25MHz、491.52MHz

7.4.1.2 EEPROM 覆盖层

当 ROM 页无法满足启动时钟要求时, 集成的 EEPROM 支持用户自定义的输出时钟。

在 POR 时, 如果 EEPROM 字段 ROM_PLUS_EE = 1, 加载 ROM 设置后, EEPROM 将覆盖 APLL 和时钟输出寄存器, 从而提供用户编程的 EEPROM 启动时钟。如果基于 ROM 的 DPLL 配置无效, 则 APLL 将只是锁定到 XO 基准频率, 直到 DPLL 配置完毕, 此时 DPLL 将验证 DPLL 基准输入并继续处理锁定。

EEPROM 字段 ROM_PLUS_EE 的出厂默认设置 = 0。

7.4.2 DPLL 运行状态

以下各节介绍了图 7-37 所示的 DPLL 运行状态。

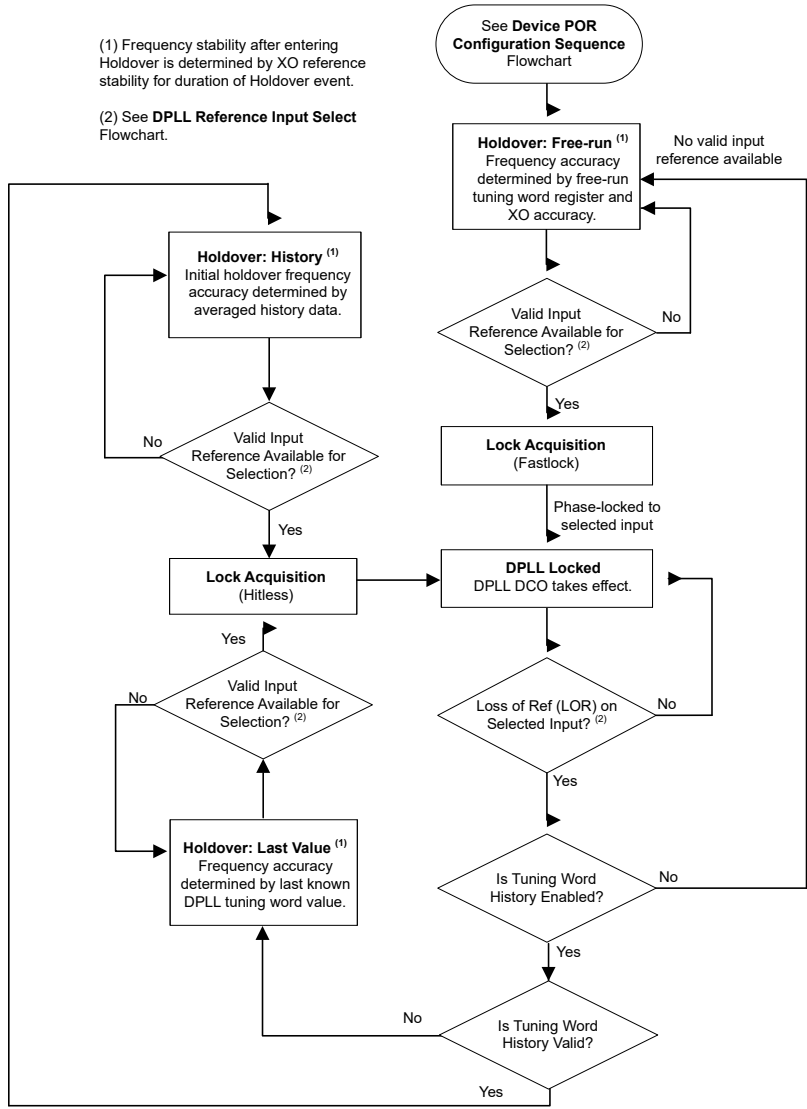


图 7-37. DPLL 运行状态

此图假设已启用保持。另请参阅图 7-14、图 7-36 和图 7-38。

7.4.2.1 自由运行

器件 POR 配置和初始化后，当 XO 输入信号有效时，APLL 将自动锁定到 XO 时钟。自由运行模式下的输出时钟频率精度和稳定性跟随 XO 输入的频率精度和稳定性。在自由运行模式期间，基准输入保持无效（不合格）。如果 DPLL 已锁定但尚未累积有效的历史字且基准丢失，则会进入自由运行模式。

7.4.2.2 锁定获取

DPLL 持续监控基准输入以获取有效的输入时钟。当检测到至少一个有效的输入时钟时，PLL 通道将退出自由运行模式或保持模式，并通过 DPLL 开始获取锁定。LMK5C33414AS1 支持 Fastlock 功能，其中 DPLL 会临时启用更宽的环路带宽以减少锁定时间。当获取锁定完成后，环路带宽将设置为其正常配置的环路带宽设置 (BW_{DPLL})。

7.4.2.3 DPLL 被锁定

DPLL 锁定后，APLL 输出时钟的频率和相位锁定到选定的 DPLL 基准输入时钟。DPLL 锁定后，APLL 输出时钟将不受 XO 输入频率漂移的影响。DPLL 具有可编程频锁检测器和相锁检测器来指示频锁丢失 (LOFL) 和相锁丢失 (LOPL) 状态标志，这些状态标志可通过状态引脚或状态位进行观察。检测到频锁 (LOFL \rightarrow 0) 后，调优字历史记录监控器（如果启用）将开始累积历史平均值计算数据以用于确定进入保持模式时的初始输出频率精度。

7.4.2.4 保持

当检测到基准丢失 (LOR) 情况且没有可用的有效输入时，DPLL 进入保持模式。

如果禁用历史记录 ($DPLLx_HIST_EN = 0$)，DPLL 将使用二进制补码 $DPLLx_FREE_RUN[39:0]$ 字段，该字段会设置相对于 DPLL 分子的保持频率。短期频率精度基于 $DPLLx_FREE_RUN$ 字段的精度。

如果启用历史记录 ($DPLLx_HIST_EN = 1$) 但调优历史记录尚未生效，则会使用 $DPLLx_FREE_RUN$ 字段，如同禁用了 $DPLLx_HIST_EN$ 一样。如果调优历史记录有效，则 DPLL 将使用历史数据进入保持模式，从而更大限度减少保持频率误差。请参阅 [调优字历史记录](#)。一般来说，假设 0ppm 基准时钟 (XO 输入) 无漂移，则历史平均时间越长，初始保持频率就越准确。XO 基准时钟的稳定性决定了保持输出频率的长期稳定性和精度。

在进入保持模式时，LOPL 标志将置为有效 (LOPL \rightarrow 1)。LOFL 标志报告 DPLL 频率与基准频率的关系是否在容差范围内。在保持模式下，LOFL 将保持不变，也不会更新，直到再次选择有效基准。

当有效输入可供选择时，DPLL 将退出保持模式并使用新输入时钟自动锁相，而不会出现任何输出干扰。

7.4.3 PLL 启动序列

图 7-38 展示了器件配置后的一般 PLL 启动序列。此序列也适用于器件软复位或单个 PLL 软复位之后。为确保正确的 VCO 校准，在 VCO 校准开始之前，外部 XO 时钟的幅度和频率保持稳定至关重要，否则 VCO 校准可能会失败并阻止 PLL 及其输出时钟启动。

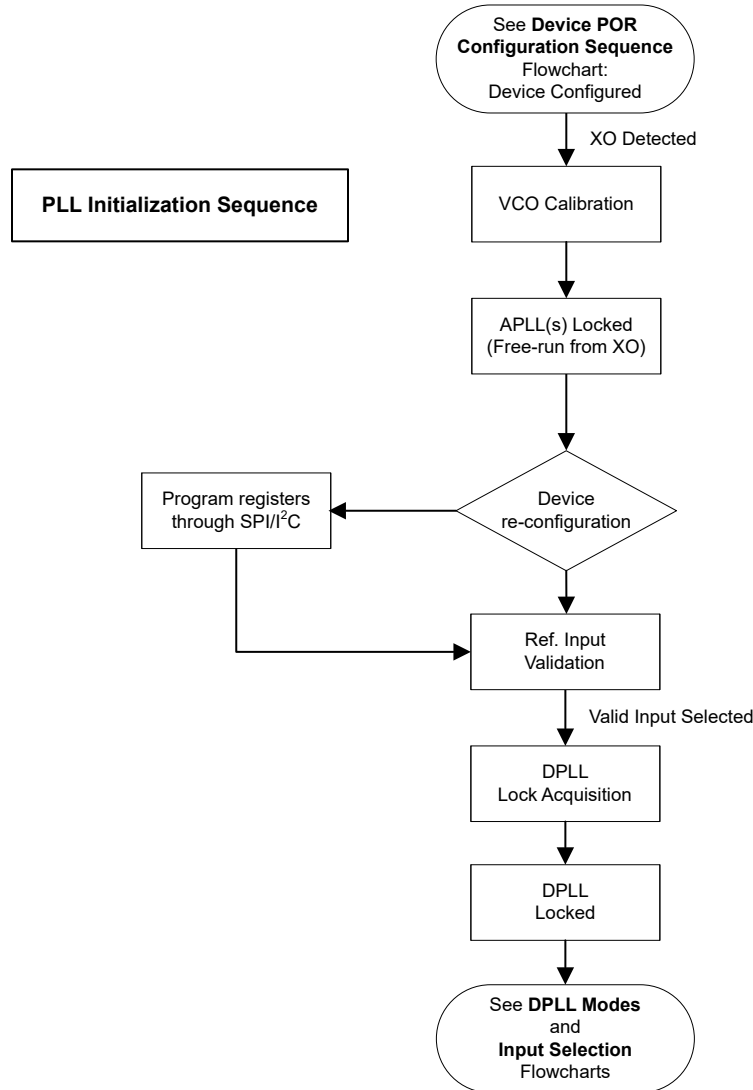


图 7-38. PLL 初始化序列

另请参阅图 7-14、图 7-36 和图 7-37。

7.4.4 数控振荡器 (DCO) 频率和相位调整

为了支持 IEEE 1588 和其他时钟控制应用，DPLL 支持 DCO 模式以实现小于 0.001ppb/步的精确输出时钟频率调整。DCO 可以使用 DPLL DCO 控制或 APLL DCO 控制来实现。当 DPLL 在闭环模式下运行时，DPLL DCO 会修改有效 DPLL 分子。当 DPLL 处于保持状态或未使用时，APLL DCO 会调整有效 APLL 分子。

7.4.4.1 DPLL DCO 控制

当 DPLL 锁定时，可以启用 DCO 模式 (DPLLx_FB_FDEV_EN = 1)。

使用 DPLL DCO 时可采用三种方法来控制频率。

- 寄存器相对调整
 - 在 DPLL_FDEV 中预设偏差量
 - 写入 8 位寄存器来启用偏差量递增/递减
- GPIO 相对调整
 - 步进/方向 GPIOx 触发器
 - 通过对引脚设定方向每一步的偏差量进行编程来调整 DPLLx_FB_NUM。
- 寄存器绝对调整
 - 根据频率控制字 (FCW) 写入 DPLLx_FB_NUM [39:0]

可以通过一个 38 位频率偏差字寄存器 (DPLL_FDEV 位) 对 DCO 频率步长进行编程。DPLL_FDEV 值是在 DPLL 分数反馈分频器的当前分子值上加上或减去的偏移，用于确定 VCO 输出端的 DCO 频率偏移。

可以通过软件控制 (DPLLx_FB_FDEV_UPDATE) 或用户可选的引脚控制 (GPIOx) 来控制 DCO 频率递增 (FINC) 或频率递减 (FDEC) 更新。始终可以通过 I²C 或 SPI 写入 DPLLx_FB_FDEV_UPDATE 寄存器位来实现通过软件控制进行的 DCO 更新。写入 0 将使 DCO 频率按编程的步长递增，而写入 1 将使 DCO 频率按步长递减。SPI 可以实现比 I²C 更快的 DCO 更新速率，因为 SPI 的写入速度更快。

选择 DPLL 引脚控制 (GPIO 上的 FDEV_TRIG_DPLLx 和 FDEV_DIR_DPLLx) 时，FDEV_TRIG_DPLLx 中定义的 GPIO 引脚的上升沿将对 DPLL 应用相应的 DCO 更新，FDEV_DIR_DPLLx 中定义的另一个 GPIO 将决定 FDEV 触发器的方向。FDEV_DIR_DPLLx = 0 表示正，FDEV_DIR_DPLLx = 1 表示负。这样，GPIO 引脚将用作 FINC 或 FDEC 输入。应用到触发器引脚的最小正脉冲宽度应大于 100ns 才能由内部采样时钟捕获到。使用引脚控制时，DCO 更新速率应限制在 5MHz 以下。

当 DCO 控制被禁用 (DPLLx_FB_FDEV_EN = 0) 时，DCO 频率偏移将被清除，VCO 输出频率将由 DPLL 分数反馈分频器的原始分子值确定。

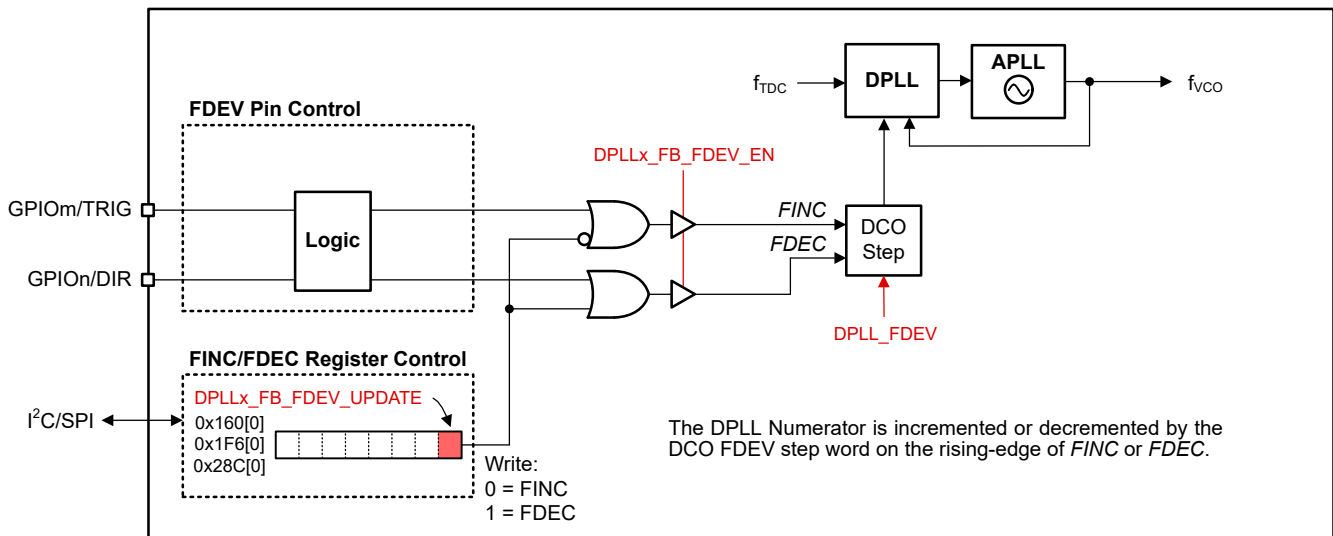


图 7-39. DCO 模式控制选项

7.4.4.1.1 DPLL DCO 相对调整频率步长

在为 DPLL 启用 DCO 模式后，可使用 [方程式 11](#) 计算满足 DCO 频率步长规格 (以 ppb (十亿分之一) 为单位) 所需的 DPLLx_FB_FDEV 寄存器值。

$$DPLLx_FB_FDEV = (Reqd_ppb / 10^9) \times DPLL_{DEN} \times f_{VCOx} / f_{TDCx} \quad (11)$$

其中

- DPLLx_FB_FDEV : 频率偏差值 (0 至 $2^{38} - 1$)
- Reqd_ppb : 所需的 DCO 频率步长 (以 ppb 为单位)
- DPLL_{DEN} : DPLL FB 分频器分母值 (1 至 2^{40} , 寄存器值 $0 = 2^{40}$)
- f_{VCOx} : VCOx 频率
- f_{TDCx} : TDCx 频率

7.4.4.1.2 APLL DCO 频率步长

用户必须写入 DPLLx_FREE_RUN 寄存器字段来调整 APLL DCO。当 DPLLx_HIST_EN = 1 时，将执行相对调整。当 DPLLx_HIST_EN = 0 时，DPLLx_FREE_RUN 值用于 APLLx DCO 分子。可以从 APLLx_NUM_STAT 读回有效 APLLx 分子。

在启用相对 APLL DCO 模式后，可使用 [方程式 12](#) 计算满足 DCO 频率步长规格 (以 ppb (十亿分之一) 为单位) 所需的 DPLLx_FREE_RUN 字段值。DPLLx_FREE_RUN 是一个有符号值，负数的实际编程值可计算为二进制补码。

$$DPLLx_FREE_RUN = (Reqd_ppb / 10^9) \times APLLx_{DEN} \times f_{VCOx} / f_{PDFx} \quad (12)$$

其中

- DPLLx_FREE_RUN : 频率偏差值 (-2^{39} 至 $2^{39} - 1$)
- Reqd_ppb : 所需的 DCO 频率步长 (以 ppb 为单位)
- APLL_{DEN} : APLL FB 分频器分母值 (2^{40})
- f_{VCOx} : VCOx 频率
- f_{PDFx} : PLLx 相位检测器频率

7.4.5 APLL 频率控制

当 DPLL 处于保持状态或未使用时，该器件还可以通过写入 40 位寄存器 DPLLx_FREE_RUN[39:0] 来支持 APLL 频率和相位控制。如果基准时钟处于自由运行模式或被禁用，DPLL 将与 APLL 断开，但用户仍可以调整频率和相位精度。

要启用 APLL DCO 控制，请为 40 位分数分母设置 DPLLx_LOOP_EN = 1 和 PLLx_MODE = 1。DPLLx_EN 可以设置为 = 0。

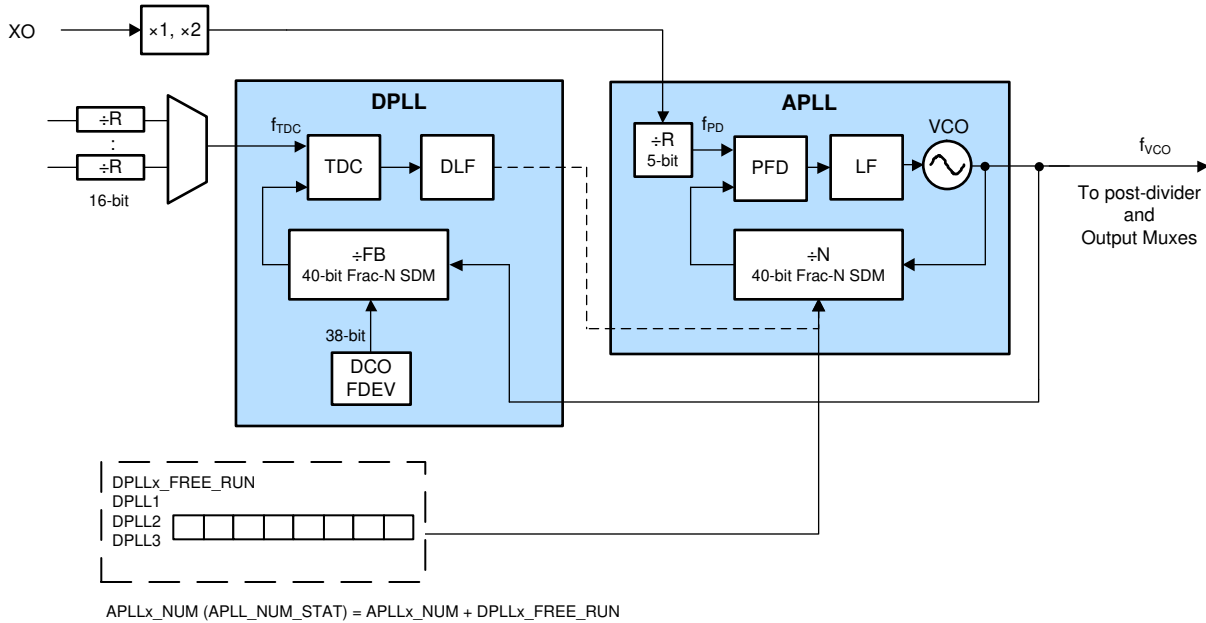


图 7-40. APLL DCO 模式

有两种调整 APLL DCO 的备选方法。

- 绝对频率调整
 - 设置 DPLLx_HIST_EN = 0
 - 有效 APLLx_NUM (APLLx_NUM_STAT) = APLLx_NUM + DPLLx_FREE_RUN
 - APLLx_NUM_STAT 是只读寄存器，支持读回。
 - DPLL 环路滤波器块将根据 DPLLx_FREE_RUN 值修改 APLLx_NUM_STAT。
 - DPLLx_FREE_RUN 是 40 位的二进制补码数
- 相对频率调整
 - 设置 DPLLx_HIST_EN = 1
 - DPLLx_FREE_RUN 值以步长寄存器和步长周期寄存器定义的受控速率馈入到 APLLx_NUM 中。
 - 如果在 LMK 完成最后一次调整之前发生另一次 DPLLx_FREE_RUN 写入，则所有剩余的步骤都将略过，新值开始馈送 APLL 分子。
 - DPLLx_FREE_RUN 字完全馈入到有效 APLLx_NUM (APLL_NUM_STAT) 中之后会设置一个标志。

7.4.6 DPLL 可编程相位延迟

用户可以写入 DPLLx_PH_OFFSET[44:0] 寄存器字段来调整 DPLL 相位偏移。相位偏移是一个有符号的二进制补码值，默认设置为 0，可以偏移反馈时钟与 TDC 基准时钟的相位关系。相位调整适用于从 DPLLx 同步域派生的所有输出。

根据方程式 13 可以计算用于在精细调整步骤中改变输出相位的 DPLLx_PH_OFFSET 字段值。DPLLx_PH_OFFSET 与 APLLx VCO 周期以及用于抽取和数字增益的比例因子相关。

$$DPLLx_PH_OFFSET = (\text{Desired_Phase_Offset} \times f_{VCOx} \times 2 \times SCALING_{DEC}) \quad (13)$$

其中

- DPLLx_PH_OFFSET : 用于调整 DPLL 输出相位的可编程寄存器值
- Desired_Phase_Offset : 所需的 DPLL 相位调整步长 (以秒为单位)
- f_{VCOx} : VCOx 频率
- SCALING_{DEC} : 考虑了抽取和数字增益分量 $(2 + 1) \times 958 = 2874$ 的比例因子

例如, 如果用户想要在 DPLL3/APLL3 同步域中引入 38.5ps 的相位偏移

- Desired_Phase_Offset = 38.5ps
- $f_{VCOx} = 2500\text{MHz}$
- SCALING_{DEC} = 2874
- $\text{DPLL_PH_OFFSET} = 38.5\text{e-}12 \times 2500\text{e}6 \times 2 \times 2874 = 558$

7.5 编程

7.5.1 接口和控制

系统主器件 (MCU 或 FPGA) 可以使用 I²C 或 SPI 来访问寄存器。I²C 和 SPI 的寄存器配置相同。在正常运行期间 (当 PD# 置为无效时), 可以通过访问寄存器对器件进行初始化、控制和监控。也可以通过外部逻辑控制和状态引脚来控制 and 监控某些器件特性。需要使用一个 2 字节地址和 1 字节数据接口。

7.5.2 I²C 串行接口

当 (GPIO1 = 0) 时, 该器件作为 I²C 客户端运行, 支持 100kHz (标准模式) 和 400kHz (快速模式) 的总线速率。只要满足其他 I²C 规格, 便可以使用较低的总线速率。当使用 I²C 通信接口运行时, SCS_ADD 引脚会为 I²C 器件地址选择三个 LSB 之一。GPIO0 和 GPIO2 输入状态决定了要从 ROM 加载的器件设置。

当使用 I²C 通信时, LMK5C33414AS1 最多可支持三个不同的 I²C 地址 (取决于上电时 SCS_ADD 引脚的状态), 如果用户对 EEPROM 重新编程, 则可支持任何 I²C 地址。在 7 位 I²C 地址中, 五个 MSB 从 EEPROM 进行初始化, 两个 LSB 由 SCS_ADD 引脚状态进行定义。表 7-6 展示了 I²C 地址中的默认 EEPROM 结果。

表 7-6. I²C 地址

SCS_ADD 引脚状态	I ² C 地址 LSB	I ² C 地址
低	0	0x64
Vmid	2	0x66
高	1	0x65

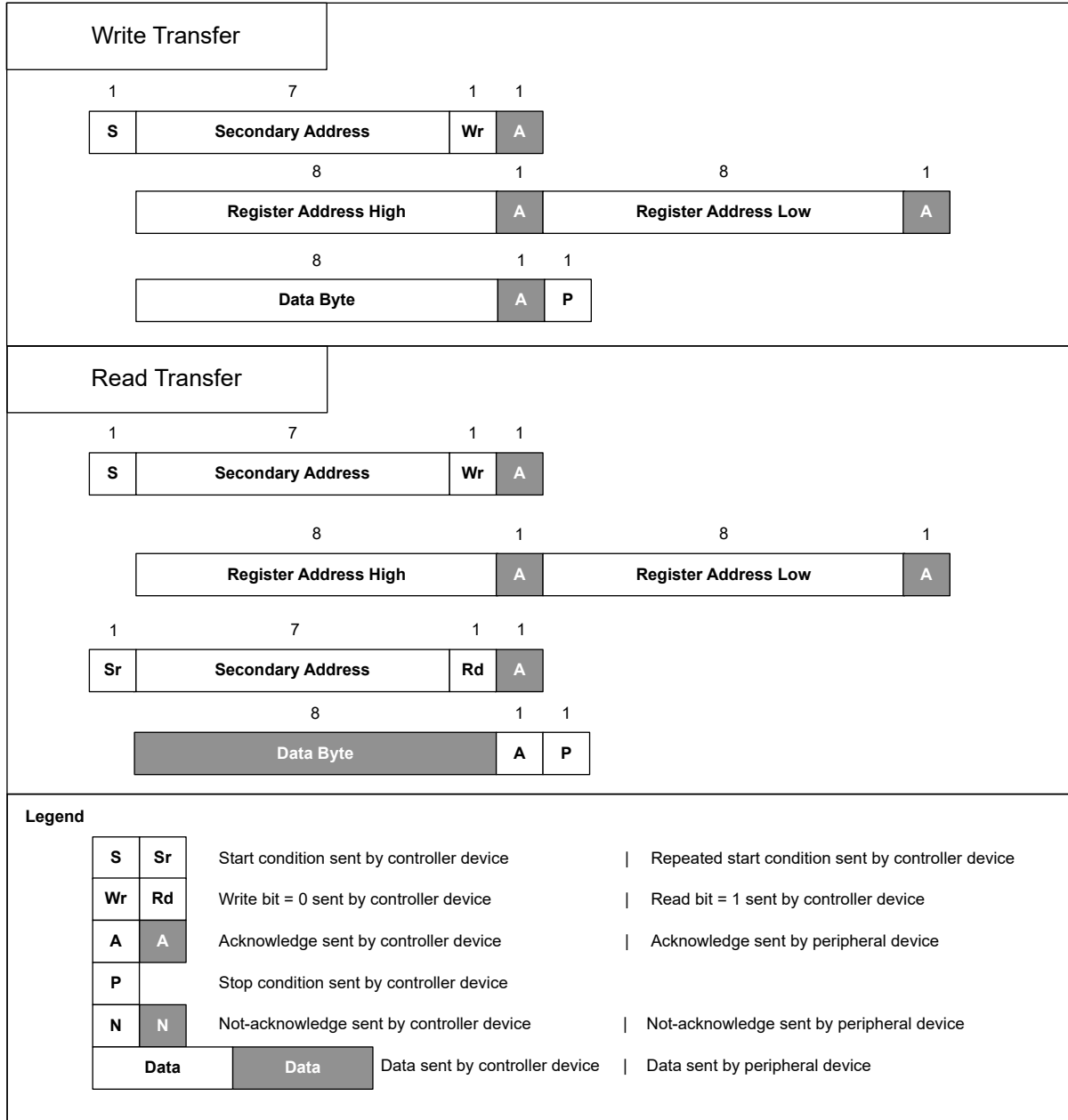


图 7-41. I²C 字节写入和读取传输

7.5.2.1 I²C 块寄存器传输

图 7-42 展示了该器件支持 I²C 块写入和块读取寄存器传输。

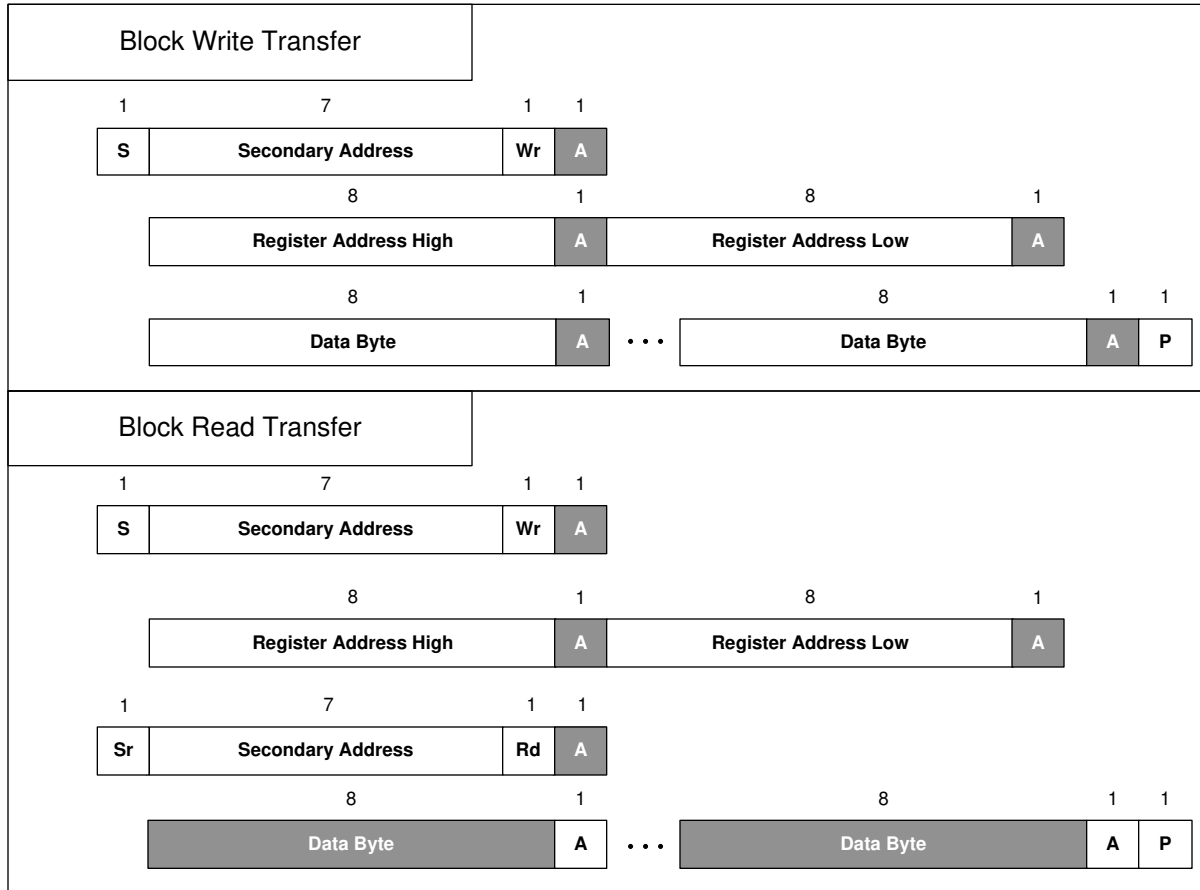


图 7-42. I²C 块寄存器传输

7.5.3 SPI 串行接口

选择 SPI 控制接口后，该器件使用带有 SDIO、SCK 和 SCS 信号的三线制 SPI 接口 (SPI_3WIRE_DIS = 0)。使用 SPI 接口时，SCS_ADD 也可用作历时计数器 (TEC) 触发器。当设置 SPI_3WIRE_DIS = 1 时，任何 GPIO 都可以选为 SDO 以支持四线制 SPI 回读。

SPI 和 GPIO I/O 以 3.3V 电源为基准，且输出驱动器与 3.3V LVCMOS 兼容。输入与 1.8V、2.5V 或 3.3V LVCMOS 兼容。当 SPI 主机为 3.3V I/O 时，无需进行任何电压转换即可使用三线或四线制。当 SPI 主机不符合 3.3V I/O 要求时，应对 LMK5C33414AS1 器件的 SDO 信号进行分频，使其与 SPI 主机电压电平兼容。也可以将 SDO 引脚配置为开漏，以便上拉电阻根据需要设置回读电压。

主机器件必须首先向器件 MSB 提供数据。消息中包括传输方向位 (\bar{W}/R)、15 位地址字段 (A14 至 A0) 和 8 位数据字段 (D7 至 D0)，如图 7-43 所示。对于 SPI 写入， \bar{W}/R 位为 0，对于 SPI 读取，该位为 1。

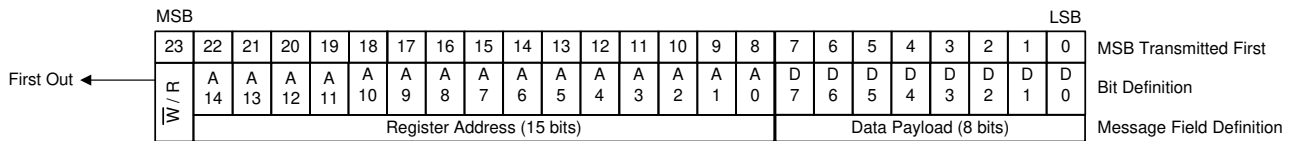


图 7-43. SPI 消息格式

将 SCS 置为低电平可启动一个消息帧。当 SCS 取消置位为高电平时，该帧结束。第一个传输的位是 \bar{W}/R 位。接下来的 15 位是寄存器地址，其余 8 位是数据。在写入传输时，由于最后一个数据位 (D0) 在 SCK 的上升沿随时钟输入，数据以字节为单位进行提交。如果写入访问不是八个时钟的偶数倍，则不会提交尾随数据位。在读取传输时，数据位在 SCK 下降沿从 SDO 引脚随时钟输出。

7.5.3.1 SPI 块寄存器传输

LMK5C33414AS1 支持 SPI 块写入和块读取传输。SPI 块传输的长度正好是 (2 + N) 个字节，其中 N 是要写入或读取的数据字节数。主机器件 (SPI 主机) 只需要指定要访问的地址序列中的最低地址。在主机完成初始 24 位传输序列后，如果 SCS 引脚保持低电平，则该器件将自动递增内部寄存器地址指针。每次传输 8 位 (数据有效载荷宽度) 都会使器件自动递增地址指针 (前提是 SCS 引脚对于所有序列都保持低电平有效)。

7.5.4 寄存器映射生成

用于 EVM 编程的 TICS Pro 软件工具包含一个分步设计流程，可输入用户选择的时钟设计参数、计算频率计划并为所需配置生成器件寄存器设置。可以导出寄存器映射数据 (文本格式的寄存器十六进制转储)，以便在启动时启用器件的主机编程。

7.5.5 通用寄存器编程序列

对于使用系统主机在上电后对初始配置进行编程的应用，可以根据从 TICS Pro 生成和导出的寄存器映射数据执行以下通用过程：

1. 给器件加电以在 I²C 或 SPI 模式下启动。
2. 写入从 TICS Pro 导出的寄存器设置，同时应用以下寄存器掩码 (请勿修改掩码位 = 1)：
 - 掩码 R23 = 0xFF (器件复位/控制寄存器)
3. 向 R21[6] 写入 1 以将 SYNC 置为有效。不应同步的时钟应禁用其分频器路径中的 SYNC 功能。
4. 向 R21[6] 写入 0 以将 SYNC 置为无效并释放所有时钟来同步启动。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

8.1.1 器件启动序列

图 7-36 和图 7-38 展示了器件启动序列。

8.1.2 断电 (PD#) 引脚

PD# 引脚（低电平有效）可用于器件断电和初始化 PD 序列。当 PD# 被拉至低电平时，整个器件将断电且串行接口将被禁用。当 POR# 被拉至高电平时，便会触发器件 POR 序列以开始执行器件启动序列和正常运行过程，如图 7-36 所示。如果切换 PD# 引脚来发出瞬时硬复位信号，则施加到 PD# 引脚的负脉冲应大于 200ns，才能被内部数字系统时钟捕获。

表 8-1. PD# 控制

PD# 引脚状态	器件运行
0	器件被禁用
1	正常运行

8.1.3 通过自举引脚进行启动

启动时，GPIO 上的电压电平决定了器件的运行模式。GPIO1 选择 SPI 或 I²C 模式。GPIO2 和 GPIO0 选择 ROM 页。

8.1.4 引脚状态

表 8-2 展示了该器件的不同引脚状态。

表 8-2. 不同阶段的引脚状态

引脚名称	断电	状态	POR (SPI)	状态	POR (I ² C)	状态	正常运行	状态	软复位	状态
PD#	低	2 电平输入	PD# 从低电平转换为高电平		PD# 从低电平转换为高电平		高电平	2 电平输入	高电平	2 电平输入
GPIO0	已准备好进行 POR	3 电平输入	EEPROM/ ROM 选择	3 电平输入	EEPROM/ ROM 选择	3 电平输入	请参阅表	GPIO	不可用	
GPIO1	已准备好进行 POR	2 电平输入	VDD	2 电平输入	GND	2 电平输入	请参阅表	GPIO	不可用	
GPIO2	已准备好进行 POR	3 电平输入	EEPROM/ ROM 选择	3 电平输入	EEPROM/ ROM 选择	3 电平输入	请参阅表	GPIO	不可用	
SCS_A DD	已准备好进行 POR	3 电平输入	SCS	2 电平输入	I ² C 地址选择	3 电平输入	基于 POR 的 2 电平或 3 电平输入	不适用		
SDIO	不适用		SDIO	数据 I/O	SDA	数据 I/O	基于 POR 的 SDIO 或 SDA 控制接口串行数据输入/输出			
SCK	不适用		SCK	时钟输入	SCL	时钟输入	基于 POR 的 SCK 或 SCL 控制接口串行时钟输入			

8.1.5 ROM 和 EEPROM

某些应用需要启动时钟才能在上电时运行整个系统。其他应用可能只需要逻辑器件（CPU、ASIC 或 FPGA）在上电时的有效时钟，如果默认 ROM 配置不符合应用要求，则可以使用自定义设置对 LMK5C33414AS1 进行编程。LMK5C33414AS1 提供了 ROM 页以在启动时支持默认输出时钟，并提供了 EEPROM 以在 ROM 页不满足应用要求时允许自定义启动时钟。请参阅 [ROM 选择](#) 和 [EEPROM 覆盖层](#) 了解更多信息。

8.1.6 电源轨时序、电源斜升速率和混合电源域

8.1.6.1 上电复位 (POR) 电路

LMK5C33414AS1 集成了一个内置上电复位 (POR) 电路，该电路在满足以下所有条件之前将器件保持在复位状态：

- 所有 V_{DD} 内核电源均已斜升至 2.72V 以上
- PD# 引脚已斜升至 1.2V (最小 V_{IH}) 以上

8.1.6.2 从单电源轨上电

只要所有 VDD 和 VDDO 电源均由以单调方式从 0V 斜升至 3.135V 的同一 3.3V 电源轨驱动，并且决策点 2 与电源电压实现稳定之间的时间小于 1ms，则无需在 PD# 引脚上添加电容器即可从外部延迟器件的上电序列。图 8-1 展示了 PD# 引脚可以悬空或由系统主机驱动，以满足系统中的时钟时序要求。

如果决策点 2 与电源电压实现稳定之间的时间大于 1ms，则必须延迟 PD# 引脚。请参阅[从双电源轨上电](#)。

如 [XO 启动缓慢或延迟](#) 所述，在 PD# 决策点 1 之后，XO 基准必须有效以确保 VCO1 和 VCO2 校准成功。

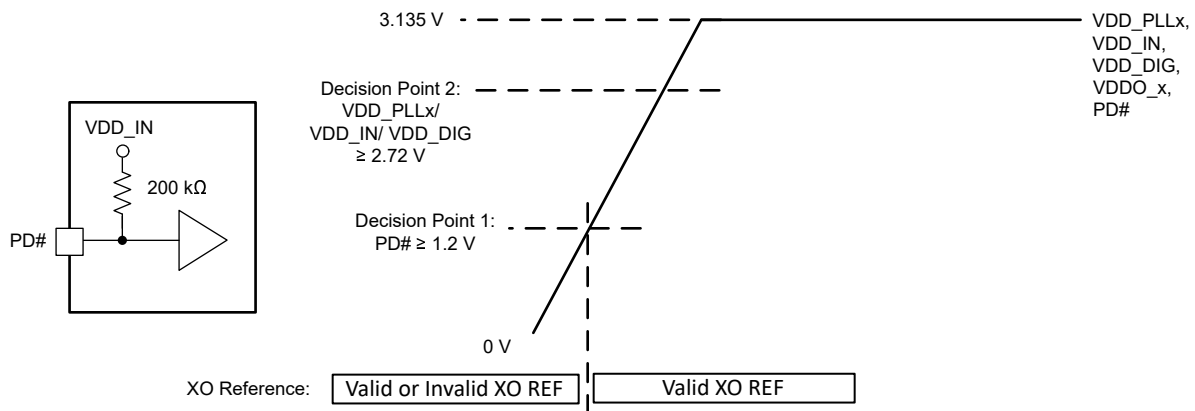


图 8-1. 从单电源轨上电的建议

8.1.6.3 从双电源轨上电

如果 VDD 或 VDDO 电源由不同的电源驱动，TI 建议在所有电源电压都升至 3.135V 以上后再开始 PLL 校准。为了实现这一点，可以延迟 PD# 从低电平到高电平的转换。PD# 输入包含一个连接到 VDD_IN 的 200kΩ 电阻，如图 8-2 所示。PD# 引脚到 GND 之间的一个电容器可用于与内部上拉电阻一起形成一个 RC 时间常数。这个 RC 时间常量可用于延迟 PD# 从低电平到高电平的转换，直到所有内核电源电压上升到 3.135V 以上。TI 建议在 VDD 电源引脚之前斜升 VDD 电源引脚。

或者，可由系统主机或电源管理器件将 PD# 引脚驱动为高电平，以延迟器件上电序列，直到所有电源都已斜升。

如 [XO 启动缓慢或延迟](#) 所述，在 PD# 决策点 2 之后，XO 基准必须有效以确保 APLL1/VCO1 和 APLL2/VCO2 校准成功，或 DPLL3 基准有效。

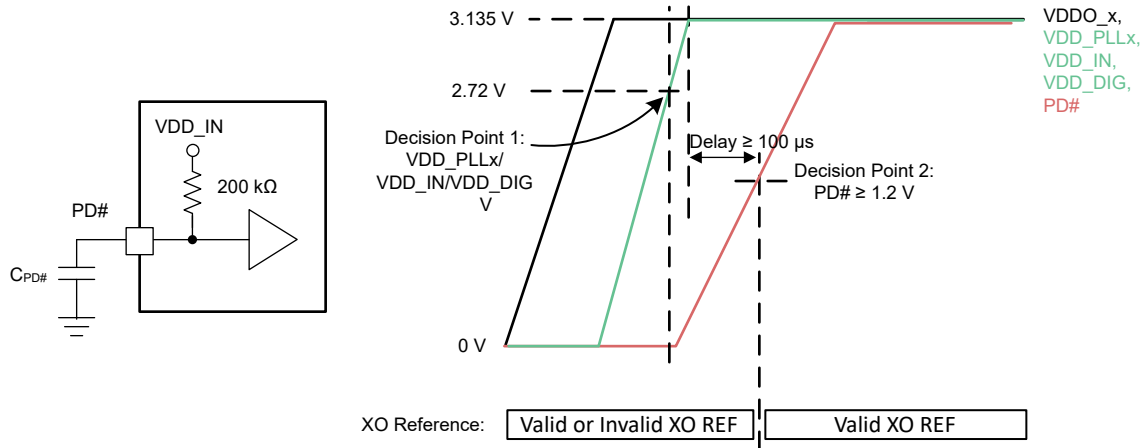


图 8-2. 从双电源轨上电的建议

8.1.6.4 非单调或缓慢上电电源斜坡

如果 VDD 内核电源以非单调方式或在 0V 至 3.135V 的缓慢斜坡时间内持续超过 100ms，TI 建议延迟 VCO 校准，直到所有内核电源电压上升到 3.135V 以上再进行。为了实现此目的，可以使用[从双电源轨上电](#)中描述的方法之一来延迟 PD# 从低电平到高电平的转换。

如果任何内核电源在 PD# 从低电平到高电平转换前不能斜升到 3.135V 以上，那么在所有内核电源斜升后，可以发出器件软复位来手动触发 VCO 校准和 PLL 启动序列。

8.1.7 XO 启动缓慢或延迟

由于外部 XO 时钟输入用作 APLL1/VCO1 和 APLL2/VCO2 校准的基准输入，因此在 VCO 校准开始之前，XO 输入幅度和频率必须保持稳定，才能确保 PLL 锁定和输出启动成功。如果 XO 时钟在 VCO 校准之前不稳定，VCO 校准可能会失败，并会阻止 PLL 锁定和输出时钟启动。

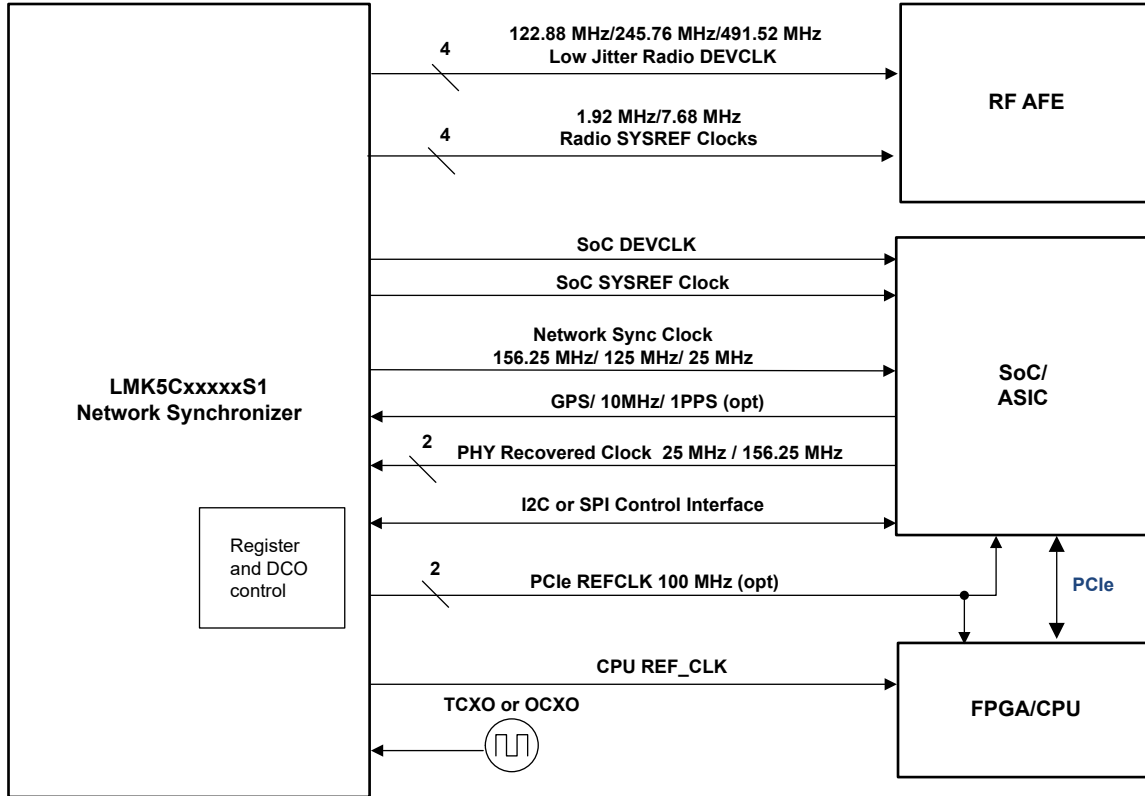
如果 XO 时钟启动时间较慢或上电时出现干扰（例如，由于电源斜升缓慢或非单调性），TI 建议将 VCO 校准的开始时间延迟到 XO 稳定后。为了实现此目的，可以使用[从双电源轨上电](#)中描述的方法之一，将 PD# 从低电平到高电平的转换延迟到 XO 时钟稳定后。还可以在 XO 时钟稳定后发出器件软复位来手动触发 VCO 校准和 PLL 启动序列。

APLL3/VCO3 经过工厂校准，对无效的 XO 基准启动不敏感。在遇到有效的 XO 基准时，APLL3/VCO3 将能够获取锁定。当 APLL3/VCO3 与 DPLL3 结合使用时，在验证 DPLL3 基准之前，XO 必须有效。

8.2 典型应用

图 8-3 显示了有助于实施 LMK5C33414A (filter5) 和 LMK5C33414A-S1 及其外围电路的参考原理图。为内核电源引脚和独立输出电源引脚提供了电源滤波示例。为时钟输入和输出引脚显示了单端 LVCMOS、LVDS、HSDS、LVPECL 和 HCSL 时钟接口示例。例如，外部 CMOS 振荡器驱动交流耦合分压器网络来连接 3.3V LVCMOS 输出，从而满足 XO 输入指定的输入电压摆幅。LMK5C33414AS1 的 XO 引脚可以接受 3.3V LVCMOS 输入。所需的外部电容器放置在靠近 LMK5C33414A (filter5) 和 LMK5C33414A-S1 的位置，并显示了建议值。逻辑 I/O 引脚上的外部上拉电阻和下拉电阻选项将设置默认输入状态。I²C 或 SPI 引脚和其他逻辑 I/O 引脚可以连接到主机器件（未显示），以便对 LMK5C33414A (filter5) 和 LMK5C33414A-S1 进行编程和控制并监控其状态。

图 8-3. 典型应用示例



8.2.1 设计要求

在典型应用中，请考虑以下设计要求或参数来实现整体时钟解决方案：

- 器件初始配置。该器件应配置为主机编程（MCU 或 FPGA）或工厂预编程。
- 器件接口，根据需要可将 GPIO1 设置为 I²C 或 SPI 通信接口
- XO 频率、信号类型以及频率精度和稳定性。如果需要满足以下任何条件，请考虑为 XO 输入使用高稳定性 TCXO 或 OCXO：
 - 频率稳定性符合标准（例如 SyncE、SONET/SDH、IEEE 1588）
 - 偏移 ≤ 100Hz 时具有尽可能低的近端相位噪声
 - 窄 DPLL 带宽 ≤ 10Hz
- 对于每个 DPLL/APLL 域，确定以下各项：
 - 输入时钟：频率、缓冲模式、优先级和输入选择模式
 - APLL 基准：另一个具有级联模式的 VCO，或用于非级联模式的 XO
 - 输出时钟：频率、缓冲模式
 - DPLL 环路带宽和最大 TDC 频率
 - 是否需要 DCO 模式或 ZDM
- 输入时钟和 PLL 监控选项
- 状态输出和中断标志
- 电源轨

8.2.2 详细设计过程

在典型应用中，TI 建议执行以下步骤：

1. 使用 TICS Pro 编程软件中的器件 GUI 执行分步设计流程，输入设计参数，计算每个 PLL 域的频率计划，并为所需配置生成寄存器设置。可导出寄存器设置（txt 格式的寄存器十六进制转储）以启用主机编程。
 - 主机器件可在上电后通过串行接口对寄存器设置进行编程，并发出软复位（通过 SWRST 位）以启动器件。在 SWRST 之前设置 SW_SYNC，并在 SWRST 之后清除 SW_SYNC。
2. 将 GPIO1 引脚接地以选择 I²C 通信接口，或通过外部电阻将 GPIO1 拉高至 VDD_DIG 以选择 SPI 通信接口。确定用于控制和状态功能的逻辑 I/O 引脚分配。请参阅图 7-36
 - 使用适当的 I/O 方向和电压电平将 I²C/SPI 和逻辑 I/O 引脚（1.8V 兼容电平）连接到主机器件引脚。
3. 按照 [振荡器输入 \(XO\)](#) 的说明选择 XO 频率。
 - 选择具有目标相位抖动性能的 XO，确保满足自由运行或保持期间输出时钟所需的频率稳定性和精度要求。
 - LMK5C33414AS1 可在 XO 引脚上直接接受 3.3V LVCMOS 输入。
 - 通过低噪声 LDO 稳压器为 XO 供电，或优化其电源滤波以避免电源噪声引起的 XO 时钟抖动。
 - **TICS Pro**：配置 XO 频率以匹配 XO 输入。

4. 为原理图中的每个 APLL 域连接时钟 I/O，并使用 TICS Pro 按如下方式配置器件设置：
 - **TICS Pro**：对于 DPLL 模式，配置 DPLL 输入选择模式和输入优先级。请参阅 [基准输入多路复用器选择](#)。
 - **TICS Pro**：配置来自其他 VCO 域（级联模式）或 XO 时钟（非级联模式）的每个 APLL 基准。
 - **TICS Pro**：为每个输出配置所需的时钟频率和 APLL 域。TICS Pro 可以计算 APLL 和输出的 VCO 频率和分频器设置。为更大限度减少串扰和杂散，请考虑以下输出时钟分配指南：
 - OUT[0:1] 组可以选择任何 APLL 时钟、XO 和基准。
 - 对于 APLL1 或 APLL2 时钟，优先选择 OUT[2:3] 组。
 - 对于 APLL2 或 APLL3 时钟，优先选择 OUT[4:7] 组。
 - 对于 APLL3 或 APLL2 时钟，优先选择 OUT[8:13] 组。
 - 当两个频率之差 $|f_{OUTx} - f_{OUTy}|$ 处于抖动积分带宽范围（例如，12kHz 至 20MHz）内时，应分离时钟输出。为尽可能减少潜在耦合，作为潜在干扰源的任何输出都应至少由四个静态引脚（电源引脚、逻辑引脚或禁用输出引脚）进行分离。如有可能，请将这些时钟放置在相对的输出组上来分离这些时钟，这些输出组位于芯片的对侧以实现最佳隔离。
 - 避免任何 LVCMOS 输出（强干扰源），或将其与其他抖动敏感型差分输出时钟进行隔离。如果需要 LVCMOS 输出，请使用双通道互补 LVCMOS 模式（+/- 或 -/+），并将未使用的 LVCMOS 输出保持悬空且无任何布线。
 - 如果应用中未使用所有的输出对，请考虑将未使用的输出连接到一对射频同轴测试结构以进行测试（例如 SMA、SMP 端口）。
 - **TICS Pro**：配置输出驱动器。
 - 配置输出驱动器模式以匹配接收器时钟输入接口要求。请参阅 [时钟输出 \(OUTx_P/N\)](#)。
 - 配置需要同步输出相位的任何输出 SYNC 组。请参阅 [输出同步 \(SYNC\)](#)。
 - 配置输出自动静音模式以及 APLL 和 DPLL 静音选项。请参阅 [LOL 期间输出自动静音](#)。
 - **TICS Pro**：配置 DPLL 环路带宽。
 - 在环路带宽以下，基准噪声会添加到 TDC 本底噪声和 XO/TCXO/OCXO 噪声。在环路带宽以上，基准噪声将以高达 60dB/十倍频程的滚降幅度衰减。最佳带宽取决于基准输入和 XO 之间的相对相位噪声。APLL 的环路带宽可配置为使基准输入、TDC 和 XO 相位噪声在 APLL 带宽以上时产生额外衰减。
 - **TICS Pro**：配置最大 TDC 频率以根据所需的用例优化 DPLL TDC 噪声贡献。
 - **有线**：通常指定 400kHz 的最大 TDC 速率。这种情况下可以使用窄环路带宽 ($\leq 10\text{Hz}$) 和 TCXO/OCXO/XO 来设置频率稳定性和漂移性能，从而支持 SyncE 和其他用例。
 - **无线**：通常指定 26MHz 的最大 TDC 速率以实现最低的带内 TDC 噪声贡献。这种情况下支持无线用例以及近端相位噪声至关重要的其他用例。
 - **TICS Pro**：如果需要时钟控制（例如 IEEE 1588 PTP），请为 DPLL 环路启用 DCO 模式并输入频率步长（以 ppb 为单位）。FDEV 步长寄存器将根据 [APLL DCO 频率步长](#) 进行计算。如果需要，在 GPIO 引脚上启用 FDEV_TRIG 和 FDEV_DIR 引脚控制。
 - **TICS Pro**：如果需要确定性输入到输出时钟相位，请根据需要在 OUT0、OUT4 或 OUT10 上启用 ZDM。请参阅 [节 7.3.18](#)。
5. **TICS Pro**：为每个基准输入配置基准输入监控选项。当不需要监控器或输入操作超出监控器支持的频率范围时，请禁用监控器。请参阅 [基准输入监控](#)。
 - **频率监控器**：设置有效和无效阈值（以 ppm 为单位）。
 - **漏脉冲监控器**：设置延迟窗口阈值 (T_{LATE}) 以允许最长的预期输入时钟周期，包括最坏情况下的周期间抖动。对于间隙时钟输入，根据允许的漏时钟脉冲数设置 T_{LATE} 。
 - **矮脉冲监控器**：设置早期窗口阈值 (T_{EARLY}) 以允许最短的预期输入时钟周期，包括最坏情况下的周期间抖动。
 - **1PPS 相位验证监控器**：设置相位验证抖动阈值，包括最坏情况下的输入周期间抖动。
 - **验证计时器**：设置在输入对于选择而言有效之前必须由所有已启用的输入监控器对基准输入进行验证的时长。
6. **TICS Pro**：为每个通道配置 DPLL 锁定检测和调优字历史记录监控选项。请参阅 [PLL 锁定检测器](#) 和 [调优字历史记录](#)。
 - **DPLL 频锁和相锁检测器**：设置每个检测器的锁定阈值和解锁阈值。
7. **TICS Pro**：根据需要配置每个状态输出引脚和中断标志。请参阅 [状态输出](#) 和 [中断](#)。
 - 选择所需的状态信号选项、状态极性和驱动器模式（3.3V LVCMOS 或开漏）。开漏需要外部上拉电阻。
 - 如果中断已启用并被选为状态输出，请根据需要配置任何中断源的标志极性和屏蔽位以及组合“或”门。
8. 请在设计电源时参考以下指南：

- 具有相同频率或整数相关（谐波）频率的输出可以共享公共的滤波电源。
 - 示例：OUT[4:5] 和 OUT[6:7] 上的 156.25MHz 和 312.5MHz 输出可以共享经过滤波的 VDDO 电源，而 OUT[0:1] 和 OUT[2:3] 上的 100MHz、50MHz 和 25MHz 输出可以共享单独的 VDDO 电源。
- 请参阅 [电源轨时序](#)、[电源斜升速率和混合电源域](#)。

8.2.3 应用曲线

请参阅**典型特性**部分，了解**表 8-3**所示的相位噪声图。

表 8-3. 图形表

输出频率 [MHz]	图形链接
APLL3 BAW 的 491.52MHz HSDS 输出	查找
APLL3 BAW 的 245.76MHz HSDS 输出	查找
APLL3 BAW 的 122.88MHz HSDS 输出	查找
APLL2 的 312.5MHz HSDS 输出	查找
APLL2 的 322.265625MHz HSDS 输出	查找
APLL2 的 212.5MHz HSDS 输出	查找
APLL2 的 161.1328125MHz HSDS 输出	查找
APLL2 的 155.52MHz HSDS 输出	查找
APLL2 的 153.6MHz HSDS 输出	查找
APLL1 的 312.5MHz HSDS 输出	查找
APLL1 的 100MHz HSDS 输出	查找
APLL1 的 50MHz HSDS 输出	查找

8.3 优秀设计实践

- 通过寄存器关断未使用的块以更大限度降低功耗。
- 使用适当的源终端或负载终端来匹配任何进出器件的有源信号的输入和输出时钟布线阻抗。
- 将未使用的时钟输出保持悬空状态并通过寄存器控制使其断电。
- 将未使用的时钟输入保持悬空。
- 如有需要，可以在每个 GPIO 引脚上连接外部偏置电阻（连接至 3.3V 的 10kΩ 上拉电阻，或 10kΩ 下拉电阻），以便在 POR 期间选择器件工作模式。
- 考虑将每个 GPIO 引脚连接至主机器件的测试点或高阻抗输入端来监控器件状态输出。
- 考虑使用 LDO 稳压器为外部 XO/TCXO/OCXO 源供电。
 - 振荡器时钟上的高抖动和杂散通常是由其电源上的高频谱噪声和纹波引起的。
- 提供用于访问器件 I²C 或 SPI 接口的专用接头或测试点以及接地连接。
 - 这样可以使用 TI USB2ANY 接口和 TICS Pro 软件工具对器件启动、原型设计和诊断进行非板载编程。

8.4 电源相关建议

8.4.1 电源旁路

图 8-4 展示了电源旁路电容器在 PCB 背面或元件侧的两种常见放置方式。如果电容器安装在背面，则可以采用 0402 元件。如果安装在元件侧，请使用 0201 封装尺寸的电容器以方便信号布线。元件侧和背面的放置方式可以组合使用。使旁路电容器与器件电源之间的连接尽可能短。使用与接地平面的低阻抗连接使电容器的另一侧接地。

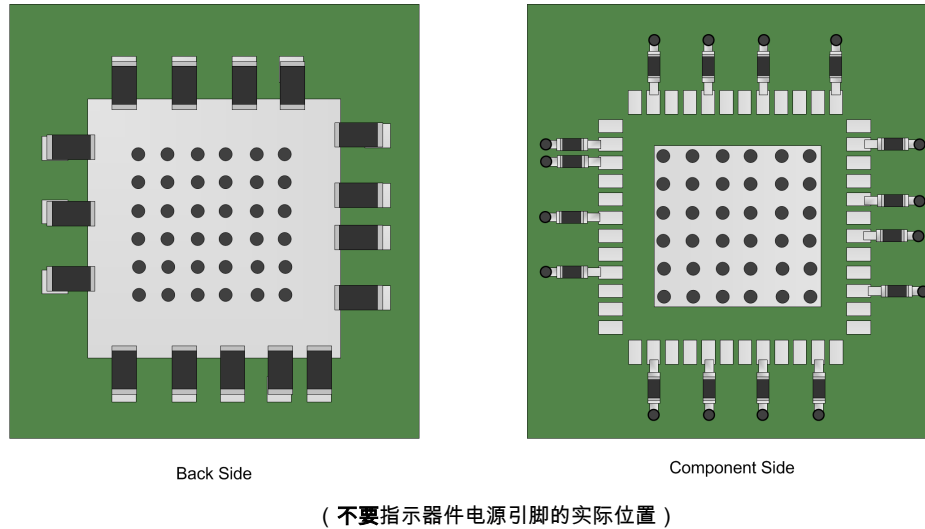


图 8-4. 电源旁路电容器的一般放置方式

8.5 布局

8.5.1 布局指南

- 将输入、XO/OCXO/TCXO 和输出时钟与具有不同频率的相邻时钟和其他附近的动态信号进行隔离。
- 根据附近电路（例如、电源、FPGA、ASIC）的电源/接地噪声和热梯度以及系统级振动和冲击来考虑 XO/OCXO/TCXO 的放置和布局。这些因素会影响振荡器的频率稳定性/精度和瞬态性能。
- 避免时钟和动态逻辑信号的受控阻抗 50Ω 单端（或 100Ω 差分）布线上的阻抗不连续。
- 将旁路电容器放置在靠近 IC 同一侧的 VDD 和 VDDO 引脚处，或者直接放置在 PCB 另一侧的 IC 引脚下方。容值较大的去耦电容器可以放置在更远的位置。
- 将外部电容器靠近 CAP_x 和 LFX 引脚放置。
- 如有可能，使用多个过孔将宽电源引线连接到相应的电源岛或电源平面。
- 使用至少 6×6 的穿孔方式将 IC 接地/散热焊盘连接到 PCB 接地平面。
- 请参阅 [机械、封装和可订购信息](#) 中的焊盘图案示例、阻焊层详细信息和焊锡膏示例。

8.5.2 布局示例

以下是印刷电路板 (PCB) 布局布线示例，其中展示了热设计实践的应用以及器件 DAP 和 PCB 之间的低电感接地连接。

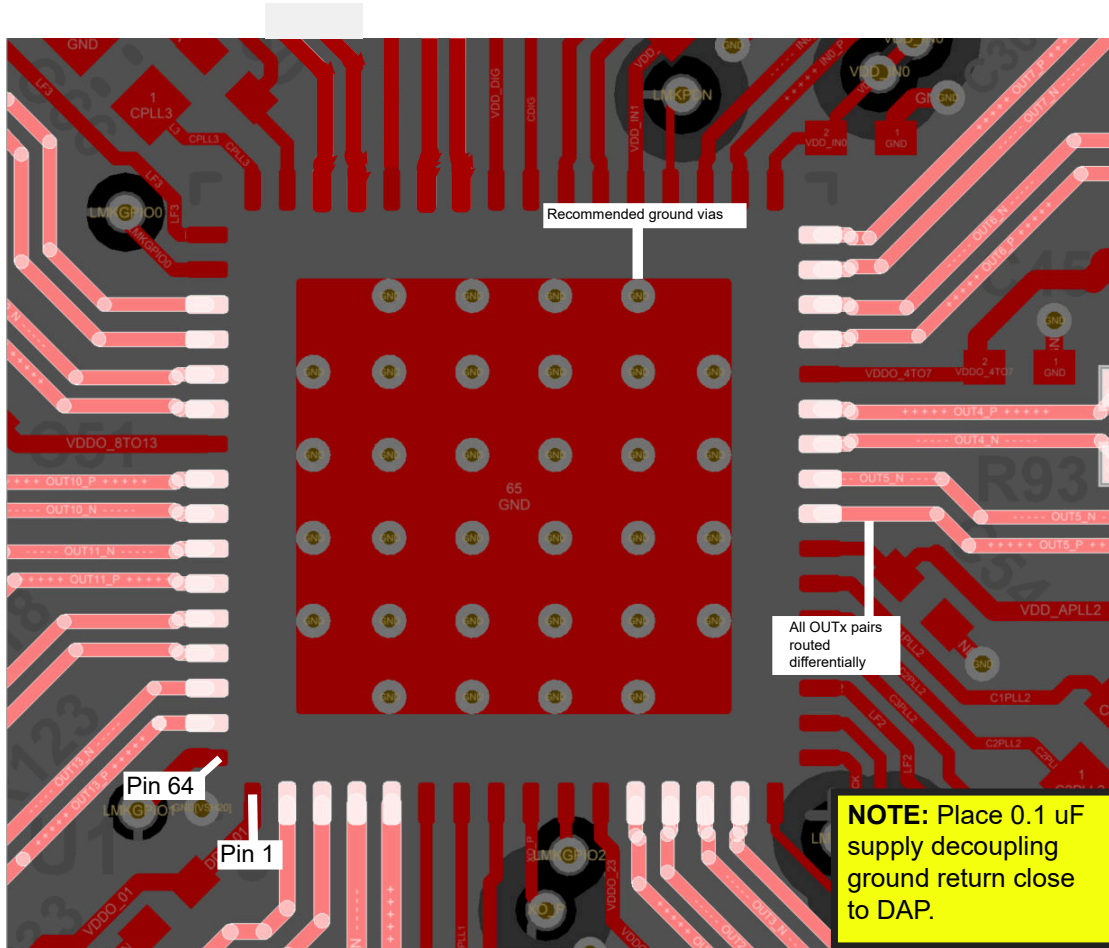


图 8-5. LMK5C33414AS1 的 PCB 布局示例，顶层

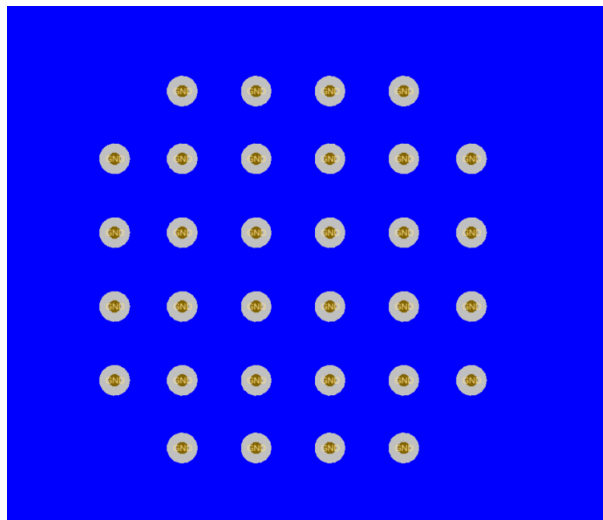


图 8-6. LMK5C33414AS1 的 PCB 布局示例，底层

8.5.3 热可靠性

LMK5C33414AS1 是一款高性能器件。为了确保获得良好的电气性能和热性能，TI 建议在 IC 接地端或散热焊盘与 PCB 接地端之间设计一个热增强型接口，使用至少 6×6 的穿孔方式连接到多个 PCB 接地层（请参阅图 8-7）。

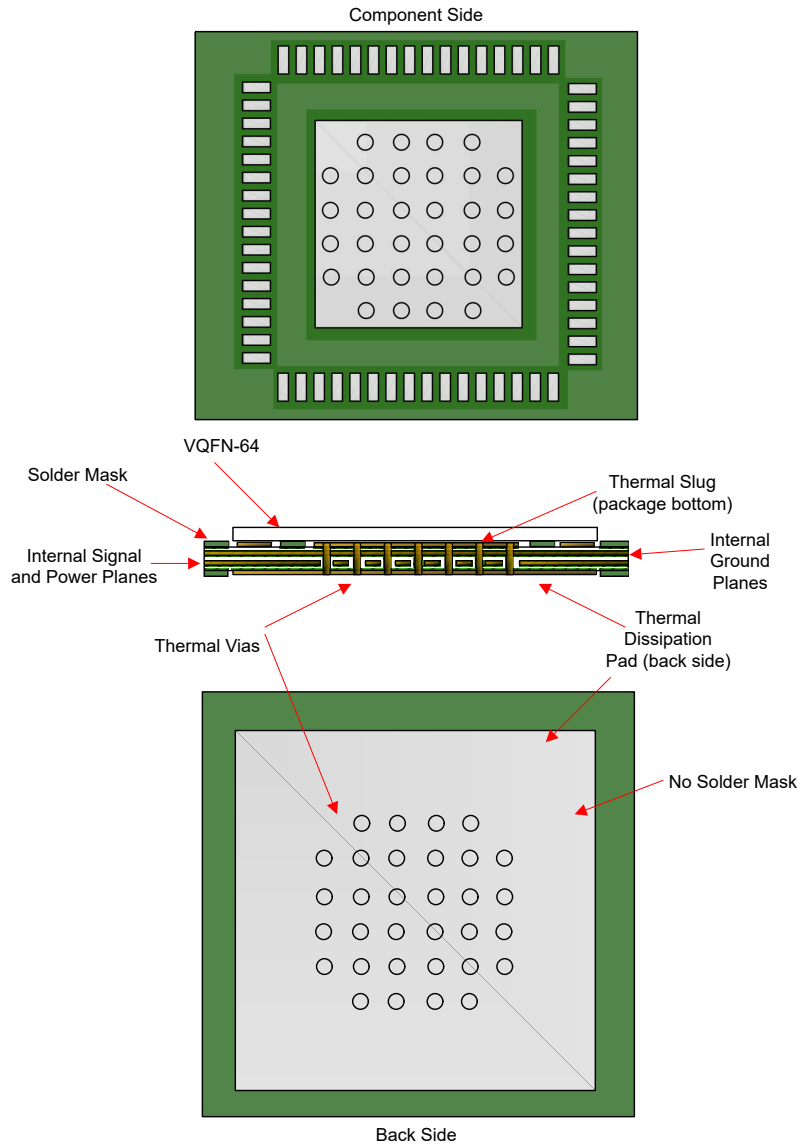


图 8-7. 可实现热可靠性的通用 PCB 接地布局 (建议 8 层以上)

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

9.1.1.1 时钟树架构编程软件

时钟树架构是一款时钟树综合工具，可根据您的系统要求生成时钟树解决方案，从而帮助您简化设计流程。该工具从庞大的时钟产品数据库中提取数据，然后生成系统级多芯片时钟解决方案。

9.1.1.2 德州仪器 (TI) 时钟和合成器 (TICS) Pro 软件

德州仪器 (TI) 时钟和合成器 (TICS) 专业软件用于对具有以下前缀的产品编号的评估模块 (EVM) 进行编程：CDC、LMK 和 LMX。这些产品包括锁相环和电压控制振荡器 (PLL+VCO)、合成器和时钟器件。

9.1.1.3 PLLatinum™ 仿真工具

PLLATINUMSIM-SW PLLatinum™ 仿真工具允许用户创建我们 PLLatinum™ 集成电路的详细设计和仿真，其中包括 LMK 和 LMX 系列锁相环 (PLL) 和合成器。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[LMK5C33414AEVM 用户指南](#)
- 德州仪器 (TI)，[LMK5B33216 编程人员指南](#)

9.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 **通知** 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.5 商标

PLLatinum™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
December 2023	*	初始发行版

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMK5C33414ARGCRS1	ACTIVE	VQFN	RGC	64	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 105	LK5C33414A-S1	Samples
LMK5C33414ARGCTS1	ACTIVE	VQFN	RGC	64	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 105	LK5C33414A-S1	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
LMK5C33414ARGCRS1	RGC	VQFN	64	2500	26 x 10	150	315	135.9	7620	11.8	10	10.35
LMK5C33414ARGCTS1	RGC	VQFN	64	250	26 x 10	150	315	135.9	7620	11.8	10	10.35

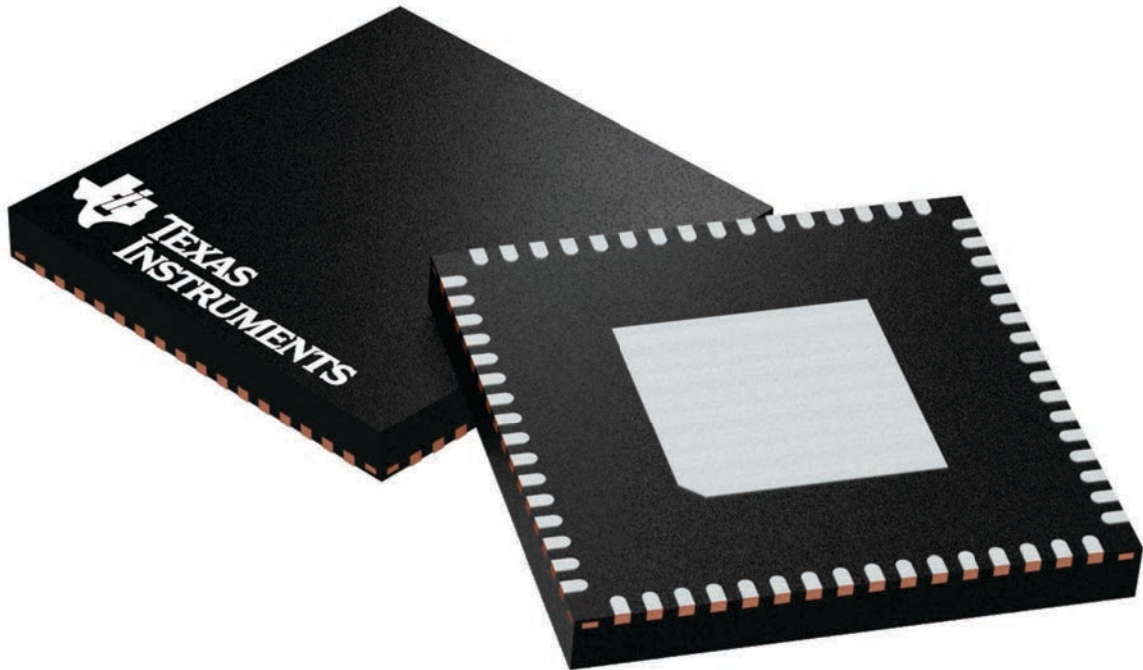
GENERIC PACKAGE VIEW

RGC 64

VQFN - 1 mm max height

9 x 9, 0.5 mm pitch

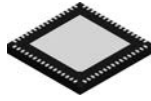
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224597/A

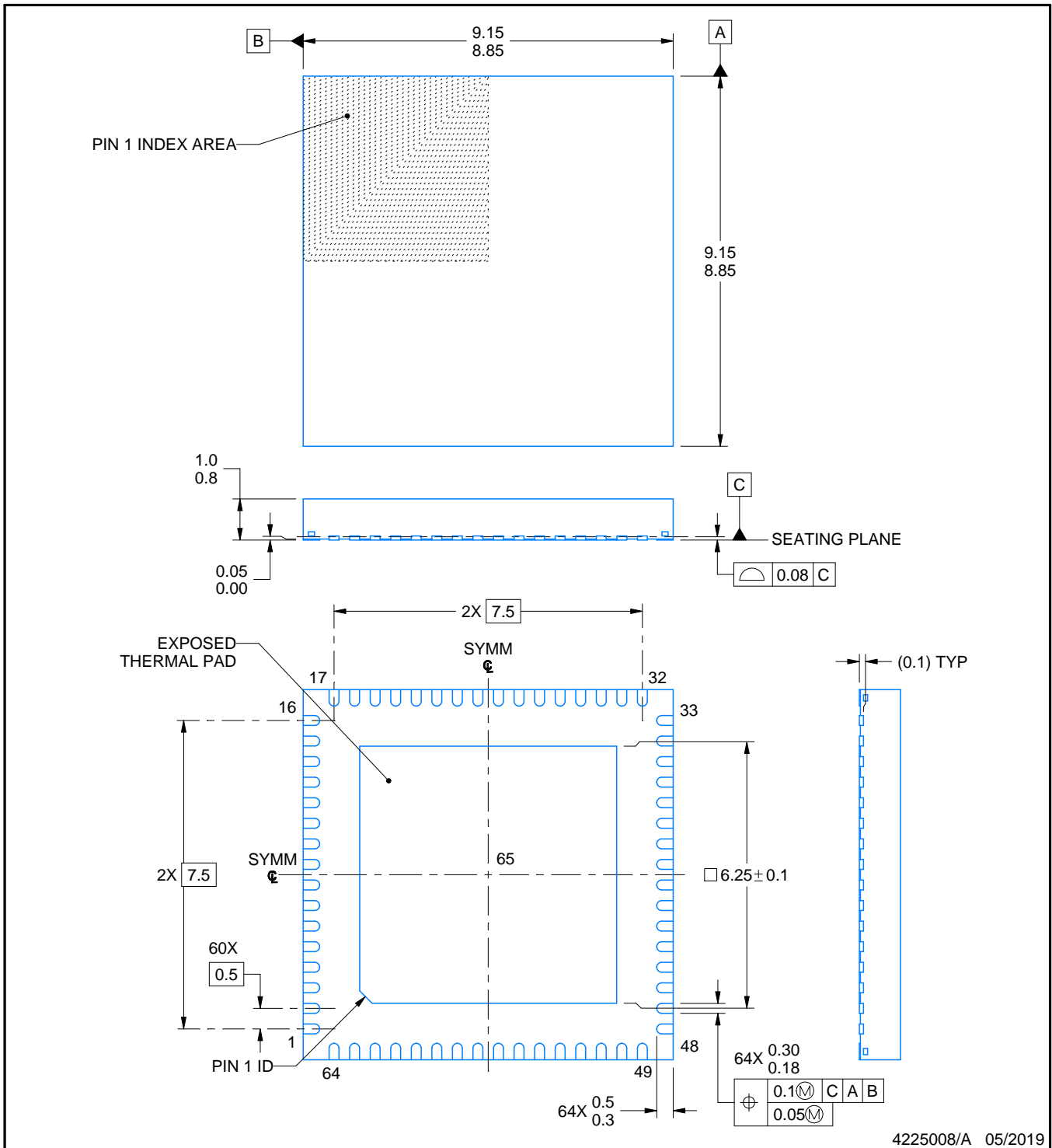
RGC0064E



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

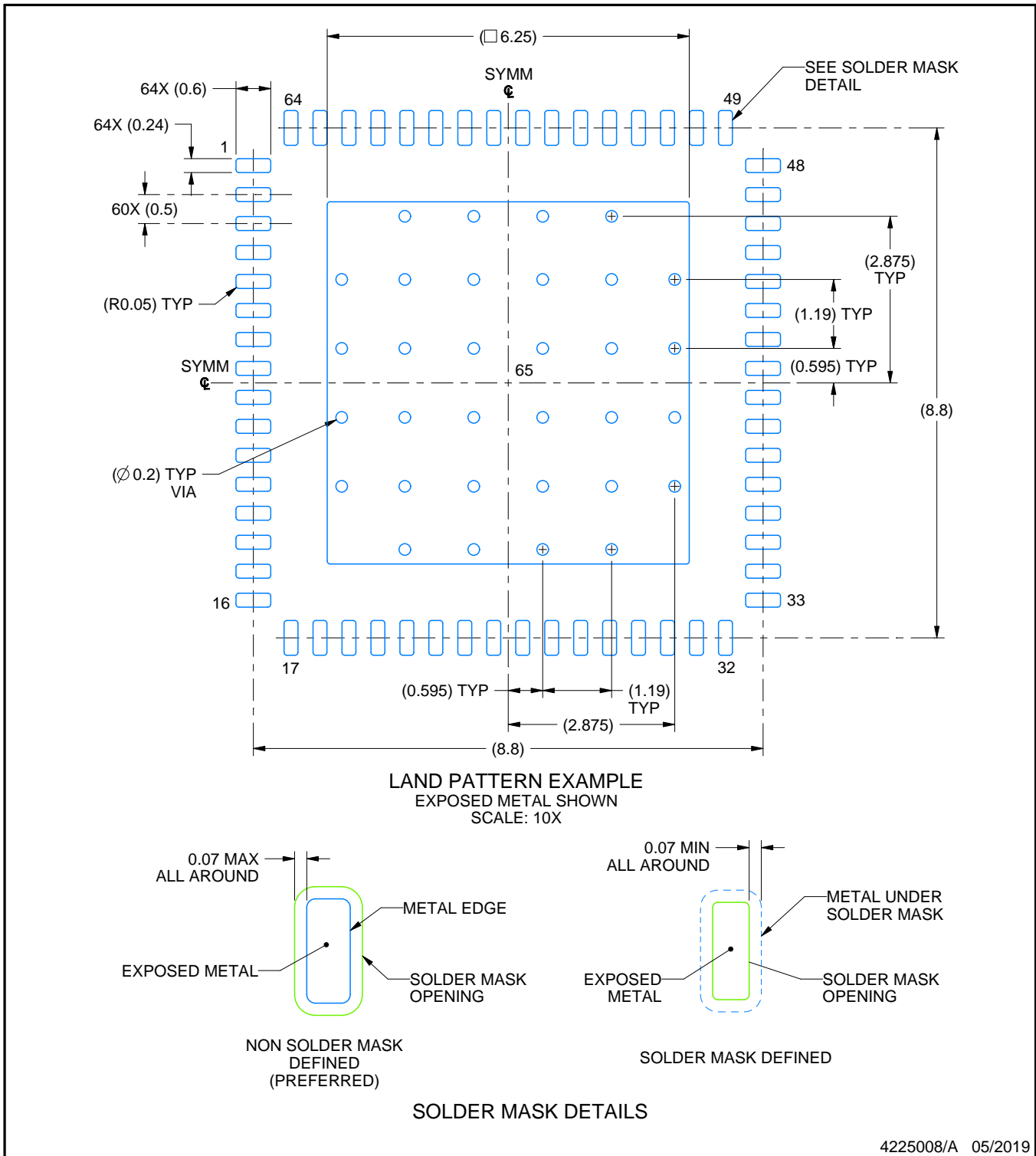
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGC0064E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

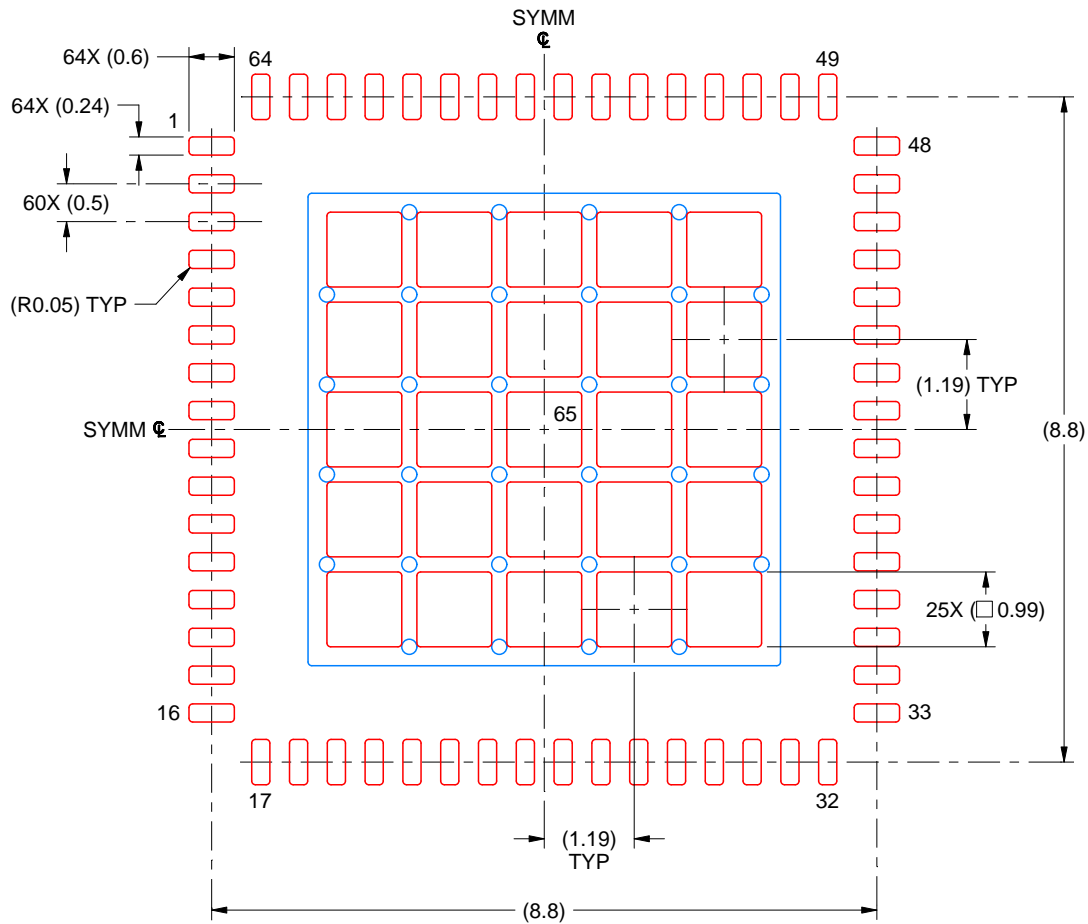
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGC0064E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 MM THICK STENCIL
 SCALE: 10X

EXPOSED PAD 65
 63% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225008/A 05/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司