

LMK6L-Q1 超低抖动、高性能差分汽车 BAW 振荡器

1 特性

- AEC Q-200 认证特性：
 - 器件温度等级 2：-40°C 至 +105°C
- 输出频率：
 - 初始可提供的频率：50、100、125、156.25、312.5、625、1,250MHz
 - 可根据要求提供其他固定频率
- 输出格式：
 - LP-HCSL：50MHz 至 625MHz
 - V_{OH} 选项为 750mV 或 850mV
 - LVDS、HS-LVDS、AC-LVPECL：50MHz 至 1250MHz
 - 输出摆幅：3.3V 时为 700mVppd 至 2Vppd，2.5V 时为 700mVppd 至 1.6Vppd，步长为 100mVppd
 - V_{CM} LVDS, HS-LVDS = 1.2V 且 V_{CM} AC-LVPECL = $V_{DD}/2$
- 超低抖动：
 - 53fs 典型 RMS 抖动 (156.25MHz LP-HCSL 输出)
 - 41fs 典型 RMS 抖动 (312.5MHz LP-HCSL 输出)
 - 45fs 典型 RMS 抖动 (312.5MHz HS-LVDS (1.2Vppd) 输出)
- 支持第 1 代至第 7 代 PCIe
- 156.25MHz LP-HCSL PSRR 性能的杂散低于 -78dBc (纹波频率大于 10kHz, 50mV 电源纹波, 0.1 μ F 去耦电容器)
- ± 25 ppm 频率精度 (包含所有因素, 25°C 板温下老化 10 年)
- 3.3V 和 156.25MHz LP-HCSL 时典型电流消耗为 50mA (V_{OH} = 750mV)
- 2.5V/3.3V 电源 (2.375V 至 3.465V)
- 业界通用的 6 引脚可湿性侧翼封装：
 - 3.2mm $\times$ 2.5mm (DLE)
 - 预发布型号, 请联系 TI：2.0mm $\times$ 1.6mm (DLR)

2 应用

- SoC REFCLK
- 高性能计算
 - 车载以太网交换机
- Bluetooth/Wi-Fi 模块

3 说明

德州仪器 (TI) 的高精度体声波 (BAW) 微谐振器技术直接集成于封装中, 可实现低抖动时钟电路。与其他硅基制造工艺一样, BAW 完全由 TI 工厂设计和制造。

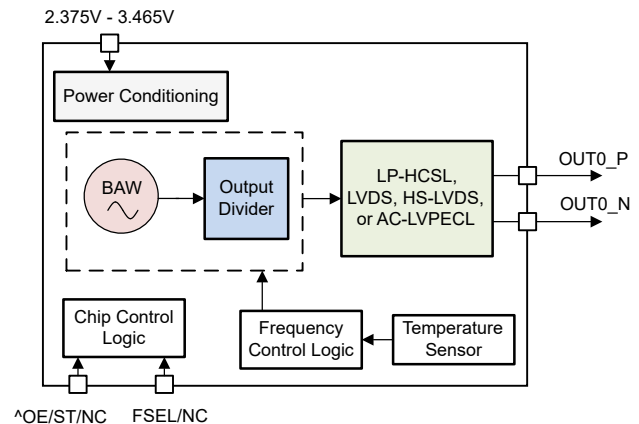
LMK6L-Q1 器件是一款超低抖动、固定频率振荡器。该器件采用 BAW 作为谐振源。器件在出厂时已根据特定的工作模式进行编程, 包括频率、输出类型、功能引脚和频率稳定性。

该器件的高性能时钟、机械稳定性、灵活性、超低抖动和小型封装选项专为高速串行器/解串器 (SerDes) 或 SoC 汽车应用中的基准时钟和内核时钟而设计。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LMK6L-Q1	DLE (VSON, 6, 可湿性侧翼)	3.2mm $\times$ 2.5mm
	DLR (VSON, 6, 可湿性侧翼) ⁽³⁾	2mm $\times$ 1.6mm

- (1) 有关所有可用封装, 请参阅节 12。
- (2) 封装尺寸 (长 $\times$ 宽) 为标称值, 并包括引脚 (如适用)。
- (3) 预发布信息, 请联系 TI。



LMK6L-Q1 简化方框图



内容

1 特性	1	8.2 功能方框图	19
2 应用	1	8.3 特性说明	19
3 说明	1	8.4 器件功能模式	24
4 器件比较	3	9 应用和实施	25
5 引脚配置和功能	4	9.1 应用信息.....	25
6 规格	5	9.2 典型应用.....	25
6.1 绝对最大额定值.....	5	9.3 电源相关建议.....	28
6.2 ESD 等级.....	5	9.4 布局.....	28
6.3 环境合规性.....	5	10 器件和文档支持	32
6.4 建议运行条件.....	5	10.1 文档支持.....	32
6.5 热性能信息.....	6	10.2 接收文档更新通知.....	32
6.6 电气特性.....	6	10.3 支持资源.....	32
6.7 时序图.....	15	10.4 商标.....	32
6.8 典型特性.....	17	10.5 静电放电警告.....	32
7 参数测量信息	18	10.6 术语表.....	32
7.1 器件输出配置.....	18	11 修订历史记录	32
8 详细说明	19	12 机械、封装和可订购信息	33
8.1 概述.....	19	12.1 机械数据.....	34

4 器件比较

使用图 4-1 了解 LMK6L-Q1 可订购选项的器件命名规则。

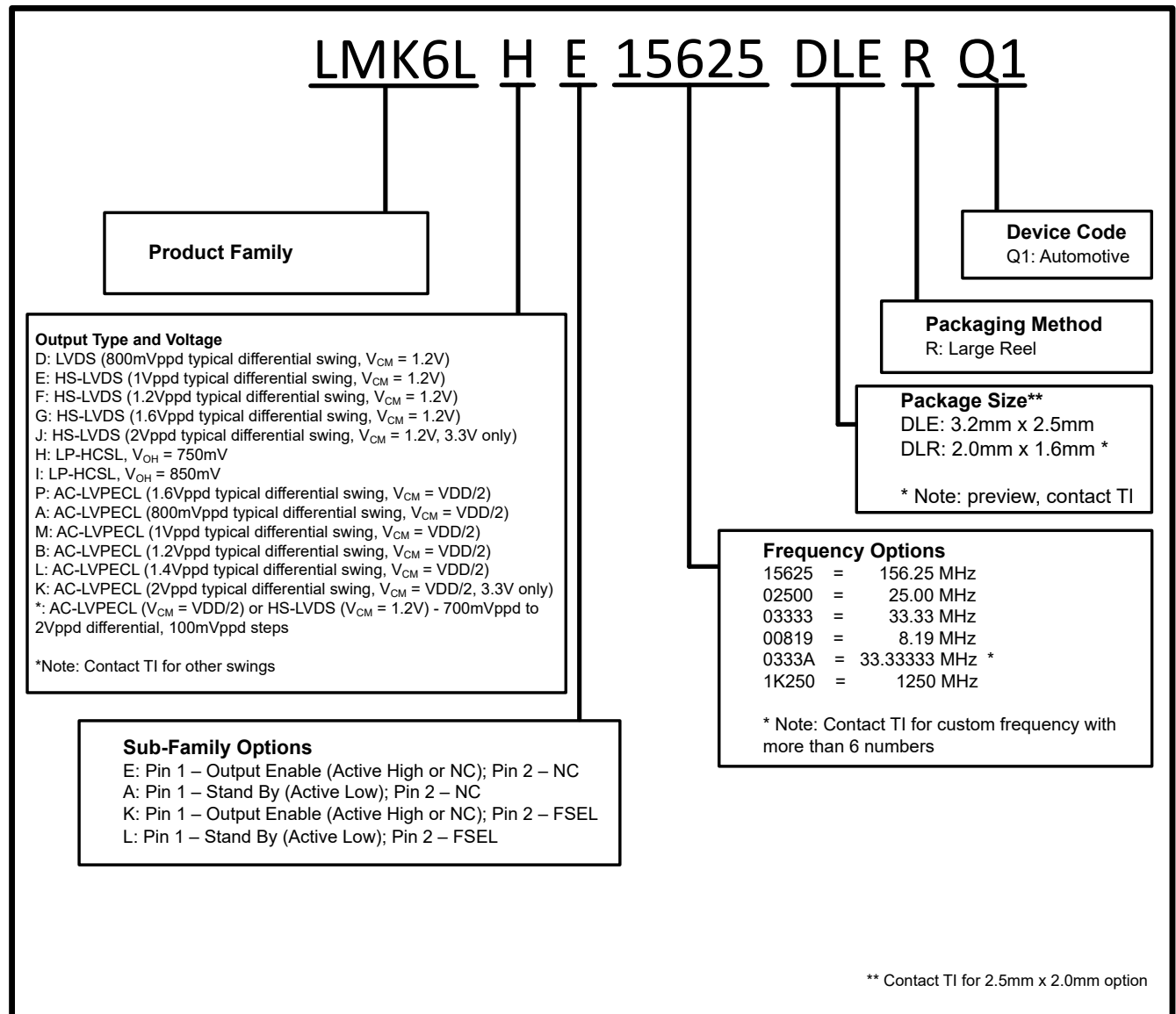


图 4-1. 器件型号指南 : LMK6L-Q1

5 引脚配置和功能

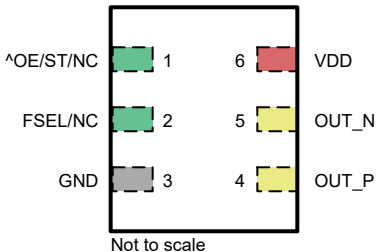


图 5-1. LMK6L-Q1 DLE 和 DLR 6 引脚 (顶视图)

图例	
输入	电源
接地	输出

表 5-1. LMK6L-Q1 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
[^] OE/ST/NC ⁽²⁾	1	I/NC	输出使能 (OE)、待机 (ST) 或无连接 (NC)。对于 OE 和 ST 功能： - 低电平：输出无效 - 高电平/悬空：输出有效 150k Ω 的内部上拉。有关更多详细信息，请参阅节 8.3.3。
[^] vFSEL/NC ^{(2) (3)}	2	I/NC	输出频率选择 (FSEL) 引脚，或无连接 (NC)。对于 FSEL 功能： - 低电平：F_{OUT}/4 - 悬空：F_{OUT} - 高电平：F_{OUT}/2 F _{OUT} 是由 OPN 设定的输出频率。有关更多详细信息，请参阅节 4。内部包含 200k Ω 上拉电阻器和 200k Ω 下拉电阻器。有关更多详细信息，请参阅节 8.3.3。
GND	3	G	器件接地。
OUT_P	4	O	正差分输出时钟。
OUT_N	5	O	负差分输出时钟。
VDD	6	P	器件电源。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

(2) 前缀为 “^” 的引脚有一个内部上拉电阻器。

(3) 前缀为 “v” 的引脚有一个内部下拉电阻器。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
VDD	器件电源电压 ⁽²⁾	-0.3	3.7	V
EN	逻辑输入电压	-0.3	VDD + 0.3	V
OUTP、OUTN	时钟输出电压 ⁽³⁾	-0.3	VDD + 0.3	V
T _J	结温		140	°C
T _{STG}	存储温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但又在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能会影响器件的可靠性、功能和性能，并缩短器件的寿命。
- (2) 适用于所有建议工作电压为 2.5V ± 5% 和 3.3V ± 5% 的器件
- (3) 适用于所有差分输出类型。

6.2 ESD 等级

		值	单位
V _(ESD)	静电放电	±2000	V
	人体放电模型 (HBM), 符合 AEC Q200 标准, 所有引脚 ⁽¹⁾	±2000	V

- (1) AEC Q200-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 环境合规性

		值	单位
抗机械冲击	MIL-STD-883F, 方法 2002, 条件 A	1500	g
抗机械振动	MIL-STD-883F, 方法 2026, 条件 C	10	g
	MIL-STD-883F, 方法 2007, 条件 A	20	g
湿敏等级 (MSL)		MSL1	

6.4 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
	器件电源电压 ⁽¹⁾	2.375	2.5、3.3	3.465	V
T _A	环境温度	-40		105	°C
T _{PCB}	PCB 温度 (在封装下方测量)	-40		105	°C
T _J	结温	-40		125	°C
t _{RAMP}	VDD 上电斜坡时间 ^{(1) (2)}	0.1		100	ms

- (1) 适用于所有建议工作电压为 2.5V ± 5% 和 3.3V +5% 至 -10% 的器件
- (2) VDD 上电斜坡时间指电源电压超过标称 VDD 的 95% 所需的最短时间。假定电源斜坡是单调的。如果电源斜坡不稳定或非单调，建议通过控制 OE 和 EN 引脚来使能输出级。

6.5 热性能信息

封装	引脚	热指标 ⁽¹⁾						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DLR (VSON)	6	待定	待定	待定	待定	待定	待定	°C/W
DLE (VSON)	6	待定	待定	待定	待定	待定	待定	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

6.6 电气特性

除非另有说明： $V_{DD} = 3.3V +5\%/-10\%$ ， $2.5V \pm 5\%$ 。典型值均在 $V_{DD} = 3.3V$ ， $T_{PCB} = 25^{\circ}C$ 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
频率容差						
F_T	总频率稳定性 (OPN 第 14 位字符：选项 F)	包括：焊接漂移、初始容差、 $-40^{\circ}C$ 到 $105^{\circ}C$ 温度范围内的变化、额定电源电压范围内的变化以及 $25^{\circ}C$ 条件下的 10 年老化。	-25		25	ppm
F_{AGE_1yr}	由于 1 年老化导致的频率稳定性	$25^{\circ}C$ 下 1 年老化 ($\pm 25ppm$)	待定		待定	ppm
F_{AGE_10yr}	老化引起的频率稳定性变化 (已包含在总频率稳定性中)	$25^{\circ}C$ 下 10 年老化 ($\pm 25ppm$)	待定		待定	ppm
F_{TEMP}	温度引起的频率稳定性 (已包含在总频率稳定性中)	在建议运行条件下测得， $dT/dt < 10^{\circ}K/分钟$	待定		待定	ppm
F_{HYS}	迟滞引起的频率稳定性 (已包含在总频率稳定性中)		待定		待定	ppm
电流消耗特性						
I_{DD}	器件功耗 (LVDS，不含负载电流)	50MHz，2.5V		49		mA
		50MHz，3.3V		51		mA
		100MHz，2.5V		52		mA
		100MHz，3.3V		54		mA
		125MHz，2.5V		49		mA
		125MHz，3.3V		51		mA
		156.25MHz，2.5V		50		mA
		156.25MHz，3.3V		51		mA
		312.5MHz，2.5V		51		mA
		312.5MHz，3.3V		53		mA
		625MHz，2.5V		49		mA
		625MHz，3.3V		51		mA
		1250MHz，2.5V		50		mA
		1250MHz，3.3V		52		mA

除非另有说明： $V_{DD} = 3.3V \pm 5\%/-10\%$ ， $2.5V \pm 5\%$ 。典型值均在 $V_{DD} = 3.3V$ ， $T_{PCB} = 25^{\circ}C$ 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
I _{DD}	器件功耗 (HS-LVDS 1.2Vppd 和 AC-LVPECL 1.2Vppd , 不含负载电流)	50MHz , 2.5V		49		mA
		50MHz , 3.3V		51		mA
		100MHz , 2.5V		53		mA
		100MHz , 3.3V		54		mA
		125MHz , 2.5V		50		mA
		125MHz , 3.3V		52		mA
		156.25MHz , 2.5V		50		mA
		156.25MHz , 3.3V		52		mA
		312.5MHz , 2.5V		52		mA
		312.5MHz , 3.3V		53		mA
		625MHz , 2.5V		50		mA
		625MHz , 3.3V		52		mA
		1250MHz , 2.5V		51		mA
		1250MHz , 3.3V		53		mA
I _{DD}	器件功耗 (LP-HCSL , V _{OH} = 750mV , 不含负载电流)	50MHz , 2.5V		48		mA
		50MHz , 3.3V		49		mA
		100MHz , 2.5V		52		mA
		100MHz , 3.3V		53		mA
		125MHz , 2.5V		49		mA
		125MHz , 3.3V		50		mA
		156.25MHz , 2.5V		50		mA
		156.25MHz , 3.3V		51		mA
		312.5MHz , 2.5V		53		mA
		312.5MHz , 3.3V		54		mA
		625MHz , 2.5V		54		mA
		625MHz , 3.3V		56		mA
I _{DD-STBY}	器件待机电流	ST (待机) = GND , 2.5V		2		mA
		ST (待机) = GND , 3.3V		2		mA
I _{DD-PD}	输出禁用时的器件电流 (156.25MHz)	OE = GND , LP-HCSL 模式 , V _{OH} = 750mV , VDD = 2.5V		44		mA
		OE = GND , LP-HCSL 模式 , V _{OH} = 750mV , VDD = 3.3V		46		mA
LVDS 输出特性						
F _{out}	输出频率		50		1250	MHz
V _{OD}	输出电压摆幅 (V _{OH} - V _{OL})	交流耦合 , VDD = 3.3V , 156.25MHz	350	400		mV
		交流耦合 , VDD = 2.5V , 156.25MHz	350	400		mV
V _{OD}	输出电压摆幅 (V _{OH} - V _{OL})	交流耦合 , VDD = 3.3V , 312.5MHz	350	400		mV
		交流耦合 , VDD = 2.5V , 312.5MHz	350	400		mV
V _{OD}	输出电压摆幅 (V _{OH} - V _{OL})	交流耦合 , VDD = 3.3V , 625MHz	350	400		mV
		交流耦合 , VDD = 2.5V , 625MHz	350	400		mV
V _{OD}	输出电压摆幅 (V _{OH} - V _{OL})	交流耦合 , VDD = 3.3V , 1250MHz	350	400		mV
		交流耦合 , VDD = 2.5V , 1250MHz	350	400		mV
V _{OD,DIFF}	差分输出峰峰值摆幅 ⁽²⁾		2× V _{OD}			mVppd

LMK6L-Q1

ZHDS303 – JUNE 2026

除非另有说明： $V_{DD} = 3.3V \pm 5\%/-10\%$ ， $2.5V \pm 5\%$ 。典型值均在 $V_{DD} = 3.3V$ ， $T_{PCB} = 25^{\circ}C$ 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
V_{OS}	输出共模电压	$V_{DD} = 3.3V$		1.2		V
		$V_{DD} = 2.5V$		1.2		V
t_R/t_F	输出上升/下降时间	$V_{OD,DIFF}$ 的 20% 至 80%、 $V_{DD} = 2.5V/3.3V$		226		ps
ODC	输出占空比	$V_{DD} = 2.5V/3.3V$ 、在波形上 50% 的点之间测量	45	50	55	%
V_{CM-IM}	共模不平衡	在共模节点上， $C_L = 100pF$ 时测得	-150		150	mV
HS-LVDS 输出特性						
F_{out}	输出频率		50		1250	MHz
$V_{OD,range}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 范围	交流耦合， $V_{DD} = 3.3V$ ，156.25MHz	350		1000	mV
		交流耦合， $V_{DD} = 2.5V$ ，156.25MHz	350		800	mV
$V_{OD,range}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 范围	交流耦合， $V_{DD} = 3.3V$ ，312.5MHz	350		1000	mV
		交流耦合， $V_{DD} = 2.5V$ ，312.5MHz	350		800	mV
$V_{OD,range}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 范围	交流耦合， $V_{DD} = 3.3V$ ，625MHz	350		1000	mV
		交流耦合， $V_{DD} = 2.5V$ ，625MHz	350		800	mV
$V_{OD,range}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 范围	交流耦合， $V_{DD} = 3.3V$ ，1250MHz	350		750	mV
		交流耦合， $V_{DD} = 2.5V$ ，1250MHz	350		750	mV
$V_{OD,step}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 步长	交流耦合，1250MHz		50		mV
$V_{OD,DIFF}$	差分输出峰峰值摆幅 ⁽²⁾			$2 \times V_{OD} $		mVppd
V_{OS}	输出共模电压	$V_{DD} = 3.3V$		1.2		V
V_{OS}	输出共模电压	$V_{DD} = 2.5V$		1.2		V
t_R/t_F	输出上升/下降时间	$V_{OD,DIFF}$ 的 20% 至 80%、 $V_{DD} = 2.5V/3.3V$		230		ps
ODC	输出占空比	$V_{DD} = 2.5V/3.3V$ 、在波形上 50% 的点之间测量	45	50	55	%
V_{CM-IM}	共模不平衡	在共模节点上， $C_L = 100pF$ 时测得	-150		150	mV
AC-LVPECL 输出特性						
F_{out}	输出频率		50		1250	MHz
$V_{OD,range}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 范围	交流耦合， $V_{DD} = 3.3V$ ，156.25MHz	350		1000	mV
		交流耦合， $V_{DD} = 2.5V$ ，156.25MHz	350		750	mV
$V_{OD,range}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 范围	交流耦合， $V_{DD} = 3.3V$ ，312.5MHz	350		1000	mV
		交流耦合， $V_{DD} = 2.5V$ ，312.5MHz	350		750	mV
$V_{OD,range}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 范围	交流耦合， $V_{DD} = 3.3V$ ，625MHz	350		1000	mV
		交流耦合， $V_{DD} = 2.5V$ ，625MHz	350		750	mV
$V_{OD,range}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 范围	交流耦合， $V_{DD} = 3.3V$ ，1250MHz	350		750	mV
		交流耦合， $V_{DD} = 2.5V$ ，1250MHz	350		750	mV
$V_{OD,step}$	输出电压摆幅 ($V_{OH} - V_{OL}$) 步长	交流耦合，1250MHz		50		mV
$V_{OD,DIFF}$	差分输出峰峰值摆幅 ⁽²⁾			$2 \times V_{OD} $		mVppd
V_{OS}	输出共模电压	$V_{DD} = 3.3V$		$V_{DD}/2$		V
		$V_{DD} = 2.5V$		$V_{DD}/2$		V
t_R/t_F	输出上升/下降时间	$V_{OD,DIFF}$ 的 20% 至 80%、 $V_{DD} = 2.5V/3.3V$		222		ps
ODC	输出占空比	$V_{DD} = 2.5V/3.3V$ 、在波形上 50% 的点之间测量	45	50	55	%
V_{CM-IM}	共模不平衡	在共模节点上， $C_L = 100pF$ 时测得	-150		150	mV
LP-HCSL 输出特性						
F_{out}	输出频率		50		625	MHz

除非另有说明：V_{DD} = 3.3V +5%/-10%，2.5V ±5%。典型值均在 V_{DD} = 3.3V，T_{PCB} = 25°C 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
V _{OH}	输出高电平电压 (OPN 第 6 位字符：选项 H)	直流耦合，2pF 负载，VDD = 2.5V/3.3V	650	750	850	mV
	输出高电平电压 (OPN 第 6 位字符：选项 I)	直流耦合，2pF 负载，VDD = 2.5V/3.3V	750	850	950	mV
V _{OL}	输出低电压	直流耦合，2pF 负载，VDD = 2.5V/3.3V	-150	0	150	mV
V _{overshoot}	过冲电压	V _{max} - V _{OH}			150	mV
V _{OD,DIFF}	差分输出峰峰值摆幅 ⁽²⁾		2× V _{OH} - V _{OL}			mVppd
V _{cross}	绝对交叉点电压 ⁽³⁾	VDD = 3.3V/2.5V，f _{out} = 100MHz，PCIe 测试负载，4GHz 处损耗 15dB，f _{out} = 100MHz，Z _{diff} = 100 Ω	0.28	0.35	0.48	V
V _{cross-delta}	绝对交叉点电压差	VDD = 3.3V/2.5V，f _{out} = 100MHz，PCIe 测试负载，4GHz 处损耗 15dB，f _{out} = 100MHz，Z _{diff} = 100 Ω			待定	mV
dV/dt	输出压摆率	50 Ω 接地；直流耦合负载；从中心点 ±150mV 范围内测量压摆率，可编程。 ⁽¹⁾	2		12	V/ns
Δ dV/dt	输出压摆率变化				20	%
ODC	输出占空比		45	50	55	%
V _{RB}	回铃电压绝对值	PCIe 测试负载，15dB 损耗 (4GHz)，f _{out} = 100MHz，Z _{diff} = 100 Ω	100			mV
t _{stable}	允许 V _{RB} 之前的时间	PCIe 测试负载，15dB 损耗 (4GHz)，f _{out} = 100MHz，Z _{diff} = 100 Ω	500			ps
t _R /t _F	输出上升/下降时间	V _{OD,DIFF} 的 20% 至 80%		250		ps
Z _{DIFF}	差分输出直流阻抗	V _{DD} = 3.3V		100		Ω
Z _{SE}	单端输出直流阻抗	V _{DD} = 3.3V		50		Ω
引脚 1 输入特性 (OE/ST)						
V _{IL}	输入低电压				0.6	V
V _{IH}	输入高电压		1.3			V
I _{IL}	输入低电流	OE = GND	-40			μA
I _{IH}	输入高电流	OE = VDD			40	μA
C _{IN}	输入电容			2		pF
引脚 2 输入特性 (FSEL)						
V _{IL}	输入低电平电压，FSEL			0.2×VDD		V
V _{MID}	输入中电平电压，FSEL			0.4×VDD - 0.6×VDD		V
V _{IH}	输入高电平电压，FSEL		0.8×VDD			V
I _{IL}	输入低电流	OE = GND	-40			μA
I _{IH}	输入高电流	OE = VDD			40	μA
C _{IN}	输入电容			2		pF
FSEL _{VDD}	引脚频率控制下的最小 F _{out}	FSEL = VDD	100			MHz
FSEL _{GND}		FSEL = GND	200			MHz
PSRR 特性						

除非另有说明： $V_{DD} = 3.3V +5\%-10\%$ ， $2.5V \pm 5\%$ 。典型值均在 $V_{DD} = 3.3V$ ， $T_{PCB} = 25^{\circ}C$ 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
PSRR _{50mV} , 0.1 μF	50mV 电源纹波在 156.25MHz LP-HCSL 输出上引起的杂散，使用 0.1 μF 去耦电容	10kHz 处的正弦波		-78		dBc
		100kHz 处的正弦波		-89		dBc
		200kHz 处的正弦波		-93		dBc
		500kHz 处的正弦波		-94		dBc
		1MHz 处的正弦波		-93		dBc
		2MHz 处的正弦波		-93		dBc
		5MHz 处的正弦波		-94		dBc
		10MHz 处的正弦波		-96		dBc
PSRR _{50mV}	50mV 电源纹波在 156.25MHz LP-HCSL 输出上引起的杂散，无电源去耦电容	10kHz 处的正弦波		待定		dBc
		100kHz 处的正弦波		-80		dBc
		200kHz 处的正弦波		-78		dBc
		500kHz 处的正弦波		-72		dBc
		1MHz 处的正弦波		-66		dBc
		2MHz 处的正弦波		-61		dBc
		5MHz 处的正弦波		-57		dBc
		10MHz 处的正弦波		-58		dBc
PSRR _{50mV} , 0.1 μF	50mV 电源纹波在 312.5MHz AC-LVPECL 1.2Vppd 输出上引起的杂散信号，使用 0.1 μF 去耦电容器	10kHz 处的正弦波		-68		dBc
		100kHz 处的正弦波		-67		dBc
		200kHz 处的正弦波		-72		dBc
		500kHz 处的正弦波		-80		dBc
		1MHz 处的正弦波		-86		dBc
		2MHz 处的正弦波		-93		dBc
		5MHz 处的正弦波		-106		dBc
PSRR _{50mV}	50mV 电源纹波在 312.5MHz AC-LVPECL 1.2Vppd 输出上引起的杂散信号，无电源去耦电容器	10kHz 处的正弦波		待定		dBc
		100kHz 处的正弦波		-57		dBc
		200kHz 处的正弦波		-64		dBc
		500kHz 处的正弦波		-75		dBc
		1MHz 处的正弦波		-78		dBc
		2MHz 处的正弦波		-69		dBc
		5MHz 处的正弦波		-66		dBc
		10MHz 处的正弦波		-67		dBc
PSRR _{JITTE R}	抖动对电源纹波的灵敏度	100kHz 正弦波纹波、3.3V 电源、LP-HCSL		待定		fs/mV
上电特性						
t _{START_UP}	启动时间	从 0.95 x V _{DD} 开始计时，直至输出使能且输出符合规格；在 V _{DD} 电源斜坡时间约为 200 μs 的条件下测试			2	ms
t _{ST-EN}	芯片启用时间	从待机 (ST = V _{IH}) 到输出启用并达到规格的时间			2	ms
t _{ST-DIS}	芯片禁用时间	从待机 (ST = V _{IL}) 到芯片处于待机模式的时间			270	ns
t _{OE-EN}	输出使能时间	从 OE = V _{IH} 到输出启用并达到规格的时间。			25	μs
t _{OE-DIS}	输出禁用时间	从 OE = V _{IL} 到输出禁用的时间			1	μs
LVDS - 时钟输出抖动						

除非另有说明： $V_{DD} = 3.3V \pm 5\%/-10\%$ ， $2.5V \pm 5\%$ 。典型值均在 $V_{DD} = 3.3V$ ， $T_{PCB} = 25^{\circ}C$ 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
R_J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	$F_{out} = 156.25MHz$, 800mVppd		61		fs
PN_{100}	100Hz 偏移时的相位噪声			待定		dBc/Hz
PN_{1k}	1kHz 偏移时的相位噪声			-109		dBc/Hz
PN_{10k}	10kHz 偏移时的相位噪声			-133		dBc/Hz
PN_{100k}	100kHz 偏移时的相位噪声			-155		dBc/Hz
PN_{1M}	1MHz 偏移时的相位噪声			-161		dBc/Hz
PN_{10M}	10MHz 偏移时的相位噪声			-162		dBc/Hz
R_J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	$F_{out} = 312.5MHz$, 800mVppd		47		fs
PN_{100}	100Hz 偏移时的相位噪声			待定		dBc/Hz
PN_{1k}	1kHz 偏移时的相位噪声			-103		dBc/Hz
PN_{10k}	10kHz 偏移时的相位噪声			-127		dBc/Hz
PN_{100k}	100kHz 偏移时的相位噪声			-147		dBc/Hz
PN_{1M}	1MHz 偏移时的相位噪声			-155		dBc/Hz
PN_{10M}	10MHz 偏移时的相位噪声			-160		dBc/Hz
PN_{100M}	100MHz 偏移时的相位噪声			-164		dBc/Hz
R_J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	$F_{out} = 625MHz$, 800mVppd		32		fs
PN_{100}	100Hz 偏移时的相位噪声			待定		dBc/Hz
PN_{1k}	1kHz 偏移时的相位噪声			-97		dBc/Hz
PN_{10k}	10kHz 偏移时的相位噪声			-121		dBc/Hz
PN_{100k}	100kHz 偏移时的相位噪声			-143		dBc/Hz
PN_{1M}	1MHz 偏移时的相位噪声			-155		dBc/Hz
PN_{10M}	10MHz 偏移时的相位噪声			-160		dBc/Hz
PN_{100M}	100MHz 偏移时的相位噪声			-161		dBc/Hz
R_J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	$F_{out} = 1250MHz$, 800mVppd		27		fs
PN_{100}	100Hz 偏移时的相位噪声			待定		dBc/Hz
PN_{1k}	1kHz 偏移时的相位噪声			-91		dBc/Hz
PN_{10k}	10kHz 偏移时的相位噪声			-116		dBc/Hz
PN_{100k}	100kHz 偏移时的相位噪声			-138		dBc/Hz
PN_{1M}	1MHz 偏移时的相位噪声			-153		dBc/Hz
PN_{10M}	10MHz 偏移时的相位噪声			-159		dBc/Hz
PN_{100M}	100MHz 偏移时的相位噪声			-160		dBc/Hz
R_J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	$F_{out} = 100MHz$, 800mVppd		157		fs
R_J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	$F_{out} = 125MHz$, 800mVppd		79		fs
HS-LVDS - 时钟输出抖动						

LMK6L-Q1

ZHDS303 - JUNE 2026

除非另有说明： $V_{DD} = 3.3V \pm 5\%/-10\%$ ， $2.5V \pm 5\%$ 。典型值均在 $V_{DD} = 3.3V$ ， $T_{PCB} = 25^{\circ}C$ 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 156.25MHz , 1.2Vppd	56		fs	
PN ₁₀₀	100Hz 偏移时的相位噪声		待定		dBc/Hz	
PN _{1k}	1kHz 偏移时的相位噪声		-109		dBc/Hz	
PN _{10k}	10kHz 偏移时的相位噪声		-133		dBc/Hz	
PN _{100k}	100kHz 偏移时的相位噪声		-155		dBc/Hz	
PN _{1M}	1MHz 偏移时的相位噪声		-162		dBc/Hz	
PN _{10M}	10MHz 偏移时的相位噪声		-163		dBc/Hz	
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 312.5MHz , 1.2Vppd	44		fs	
PN ₁₀₀	100Hz 偏移时的相位噪声		待定		dBc/Hz	
PN _{1k}	1kHz 偏移时的相位噪声		-103		dBc/Hz	
PN _{10k}	10kHz 偏移时的相位噪声		-127		dBc/Hz	
PN _{100k}	100kHz 偏移时的相位噪声		-147		dBc/Hz	
PN _{1M}	1MHz 偏移时的相位噪声		-155		dBc/Hz	
PN _{10M}	10MHz 时的相位噪声		-161		dBc/Hz	
PN _{100M}	100MHz 偏移时的相位噪声		-164		dBc/Hz	
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 625MHz , 1.2Vppd	32		fs	
PN ₁₀₀	100Hz 偏移时的相位噪声		待定		dBc/Hz	
PN _{1k}	1kHz 偏移时的相位噪声		-97		dBc/Hz	
PN _{10k}	10kHz 偏移时的相位噪声		-121		dBc/Hz	
PN _{100k}	100kHz 偏移时的相位噪声		-143		dBc/Hz	
PN _{1M}	1MHz 偏移时的相位噪声		-155		dBc/Hz	
PN _{10M}	10MHz 偏移时的相位噪声		-161		dBc/Hz	
PN _{100M}	100MHz 偏移时的相位噪声		-162		dBc/Hz	
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 1250MHz , 1.2Vppd	27		fs	
PN ₁₀₀	100Hz 偏移时的相位噪声		待定		dBc/Hz	
PN _{1k}	1kHz 偏移时的相位噪声		-91		dBc/Hz	
PN _{10k}	10kHz 偏移时的相位噪声		-116		dBc/Hz	
PN _{100k}	100kHz 偏移时的相位噪声		-138		dBc/Hz	
PN _{1M}	1MHz 偏移时的相位噪声		-154		dBc/Hz	
PN _{10M}	10MHz 偏移时的相位噪声		-159		dBc/Hz	
PN _{100M}	100MHz 偏移时的相位噪声		待定		dBc/Hz	
AC-LVPECL - 时钟输出抖动						
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 156.25MHz , 1.2Vppd	57		fs	
PN ₁₀₀	100Hz 偏移时的相位噪声		待定		dBc/Hz	
PN _{1k}	1kHz 偏移时的相位噪声		-110		dBc/Hz	
PN _{10k}	10kHz 偏移时的相位噪声		-133		dBc/Hz	
PN _{100k}	100kHz 偏移时的相位噪声		-155		dBc/Hz	
PN _{1M}	1MHz 偏移时的相位噪声		-162		dBc/Hz	
PN _{10M}	10MHz 偏移时的相位噪声		-163		dBc/Hz	

除非另有说明：V_{DD} = 3.3V +5%/-10%，2.5V ±5%。典型值均在 V_{DD} = 3.3V，T_{PCB} = 25°C 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 312.5MHz , 1.2Vppd		45		fs
PN ₁₀₀	100Hz 偏移时的相位噪声			待定		dBc/Hz
PN _{1k}	1kHz 偏移时的相位噪声			-104		dBc/Hz
PN _{10k}	10kHz 偏移时的相位噪声			-128		dBc/Hz
PN _{100k}	100kHz 偏移时的相位噪声			-147		dBc/Hz
PN _{1M}	1MHz 偏移时的相位噪声			-155		dBc/Hz
PN _{10M}	10MHz 偏移时的相位噪声			-161		dBc/Hz
PN _{100M}	100MHz 偏移时的相位噪声			待定		dBc/Hz
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 625MHz , 1.2Vppd		33		fs
PN ₁₀₀	100Hz 偏移时的相位噪声			待定		dBc/Hz
PN _{1k}	1kHz 偏移时的相位噪声			-97		dBc/Hz
PN _{10k}	10kHz 偏移时的相位噪声			-121		dBc/Hz
PN _{100k}	100kHz 偏移时的相位噪声			-143		dBc/Hz
PN _{1M}	1MHz 偏移时的相位噪声			-155		dBc/Hz
PN _{10M}	10MHz 偏移时的相位噪声			-160		dBc/Hz
PN _{100M}	100MHz 偏移时的相位噪声			待定		dBc/Hz
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 1250MHz , 1.2Vppd		28		fs
PN ₁₀₀	100Hz 偏移时的相位噪声			待定		dBc/Hz
PN _{1k}	1kHz 偏移时的相位噪声			-90		dBc/Hz
PN _{10k}	10kHz 偏移时的相位噪声			-115		dBc/Hz
PN _{100k}	100kHz 偏移时的相位噪声			-138		dBc/Hz
PN _{1M}	1MHz 偏移时的相位噪声			-154		dBc/Hz
PN _{10M}	10MHz 偏移时的相位噪声			-159		dBc/Hz
PN _{100M}	100MHz 偏移时的相位噪声			待定		dBc/Hz
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 100MHz , 1.2Vppd		152		fs
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	F _{out} = 125MHz , 1.2Vppd		73		fs
LP-HCSL - 时钟输出抖动						

除非另有说明： $V_{DD} = 3.3V +5\%-10\%$ ， $2.5V \pm 5\%$ 。典型值均在 $V_{DD} = 3.3V$ ， $T_{PCB} = 25^{\circ}C$ 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
J _{PCle1-cc}	PCle 第 1 代通用时钟抖动 (抖动限制 = 86ps)	$F_{out} = 100MHz$ ， $V_{OH} = 750mV$		待定		ps
J _{PCle1-SRNS}	PCle 第 1 代 SRNS 抖动			待定		ps
J _{PCle2-cc}	PCle 第 2 代通用时钟抖动 (抖动限制 = 3ps)			待定		ps
J _{PCle2-SRNS}	PCle 第 2 代 SRNS 抖动			待定		ps
J _{PCle3-cc}	PCle 第 3 代通用时钟抖动 (抖动限制 = 1ps)			待定		ps
J _{PCle3-SRNS}	PCle 第 3 代 SRNS 抖动			待定		ps
J _{PCle4-cc}	PCle 第 4 代通用时钟抖动 (抖动限制 = 500fs)			待定		ps
J _{PCle4-SRNS}	PCle 第 4 代 SRNS 抖动			待定		ps
J _{PCle5-cc}	PCle 第 5 代通用时钟抖动 (抖动限制 = 150fs)			待定		ps
J _{PCle5-SRNS}	PCle 第 5 代 SRNS 抖动			待定		ps
J _{PCle6-cc}	PCle 第 6 代通用时钟抖动 (抖动限制 = 100fs)			待定		ps
J _{PCle6-SRNS}	PCle 第 6 代 SRNS 抖动			待定		ps
J _{PCle6-cc}	PCle 第 7 代通用时钟抖动 (抖动限制 = 69fs)			待定		ps
J _{PCle6-SRNS}	PCle 第 7 代 SRNS 抖动			待定		ps
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	$F_{out} = 100MHz$ ， $V_{OH} = 750mV$		66		fs
PN ₁₀₀	100Hz 偏移时的相位噪声			待定		dBc/Hz
PN _{1k}	1kHz 偏移时的相位噪声			-113		dBc/Hz
PN _{10k}	10kHz 偏移时的相位噪声			-138		dBc/Hz
PN _{100k}	100kHz 偏移时的相位噪声			-159		dBc/Hz
PN _{1M}	1MHz 偏移时的相位噪声			-166		dBc/Hz
PN _{10M}	10MHz 偏移时的相位噪声			-167		dBc/Hz
R _J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)	$F_{out} = 156.25MHz$ ， $V_{OH} = 750mV$		53		fs
PN ₁₀₀	100Hz 偏移时的相位噪声			待定		dBc/Hz
PN _{1k}	1kHz 偏移时的相位噪声			-109		dBc/Hz
PN _{10k}	10kHz 偏移时的相位噪声			-134		dBc/Hz
PN _{100k}	100kHz 偏移时的相位噪声			-155		dBc/Hz
PN _{1M}	1MHz 偏移时的相位噪声			-163		dBc/Hz
PN _{10M}	10MHz 偏移时的相位噪声			-165		dBc/Hz
PN _{100M}	100MHz 偏移时的相位噪声			-166		dBc/Hz

除非另有说明： $V_{DD} = 3.3V \pm 5\%/-10\%$ ， $2.5V \pm 5\%$ 。典型值均在 $V_{DD} = 3.3V$ ， $T_{PCB} = 25^{\circ}C$ 条件下测得。

参数	测试条件	最小值	典型值	最大值	单位
R_J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)		41		fs
PN_{100}	100Hz 偏移时的相位噪声		待定		dBc/Hz
PN_{1k}	1kHz 偏移时的相位噪声		-104		dBc/Hz
PN_{10k}	10kHz 偏移时的相位噪声		-128		dBc/Hz
PN_{100k}	100kHz 偏移时的相位噪声		-150		dBc/Hz
PN_{1M}	1MHz 偏移时的相位噪声		-161		dBc/Hz
PN_{10M}	10MHz 偏移时的相位噪声		-162		dBc/Hz
PN_{100M}	100MHz 偏移时的相位噪声		-164		dBc/Hz
R_J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)		38		fs
PN_{100}	100Hz 偏移时的相位噪声		待定		dBc/Hz
PN_{1k}	1kHz 偏移时的相位噪声		-97		dBc/Hz
PN_{10k}	10kHz 偏移时的相位噪声		-122		dBc/Hz
PN_{100k}	100kHz 偏移时的相位噪声		-144		dBc/Hz
PN_{1M}	1MHz 偏移时的相位噪声		-156		dBc/Hz
PN_{10M}	10MHz 偏移时的相位噪声		-158		dBc/Hz
PN_{100M}	100MHz 偏移时的相位噪声		-160		dBc/Hz
R_J	RMS 抖动 (集成 BW : 12kHz 至 20MHz)		56		fs
$R_{JITT,RMS}$	RMS 周期抖动		待定		fs
$R_{JITT,PK}$	峰值间周期抖动		待定		fs

- (1) 参数为设计保证，未在生产中进行特性化描述或测试。
- (2) 参阅差分电压测量术语章节了解 $V_{OD,DIFF}$ 电压的定义
- (3) V_{CROSS} 是当 CLKOUTx_P 与 CLKOUTx_N 相等时，相对于系统地的单端电压。仅在 CLKOUTx_P 上升沿且 CLKOUTx_N 也处于上升沿时有效。

6.7 时序图

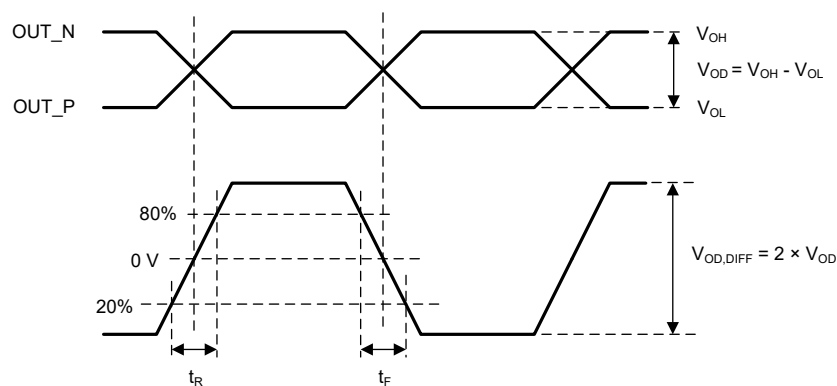


图 6-1. 差分输出电压摆幅与上升/下降时间定义

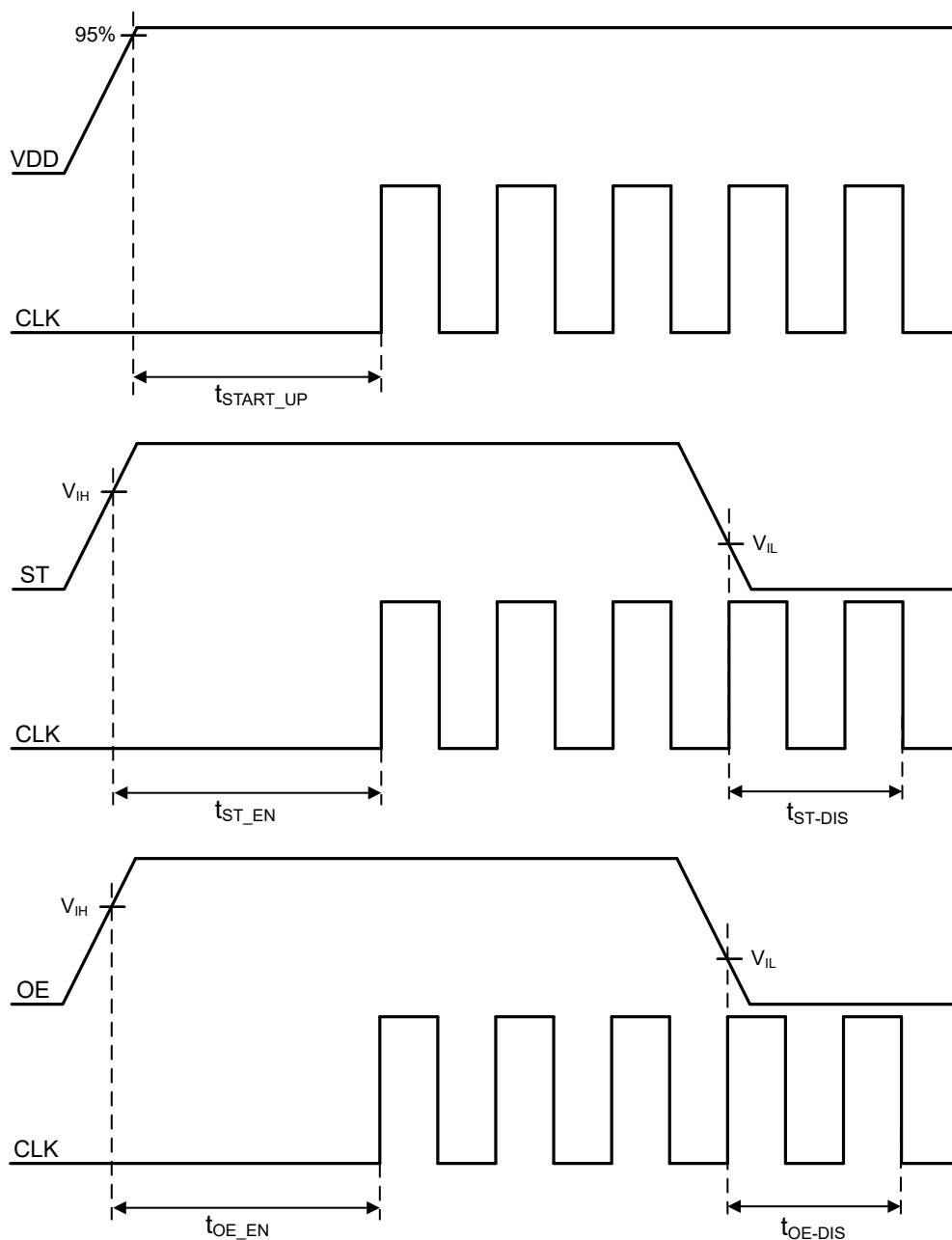


图 6-2. 上电特性

6.8 典型特性

温度为 25°C 时的典型值。

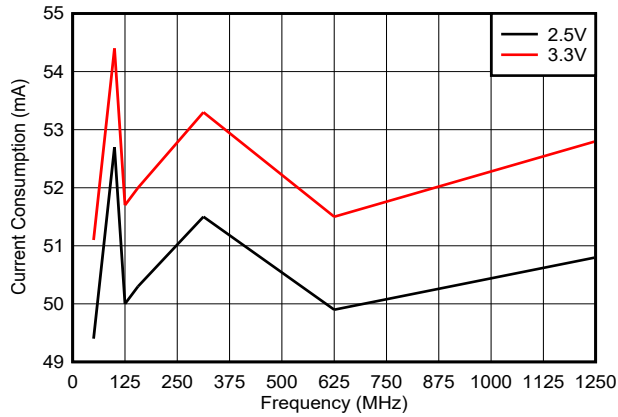


图 6-3. AC-LVPECL 1.2Vppd 和 HS-LVDS 1.2Vppd 在不同频率和电源电压下的电流消耗

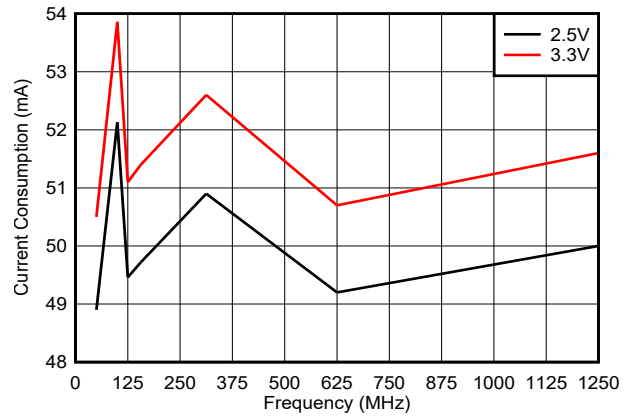


图 6-4. 不同频率及电源电压下的 LVDS 电流消耗

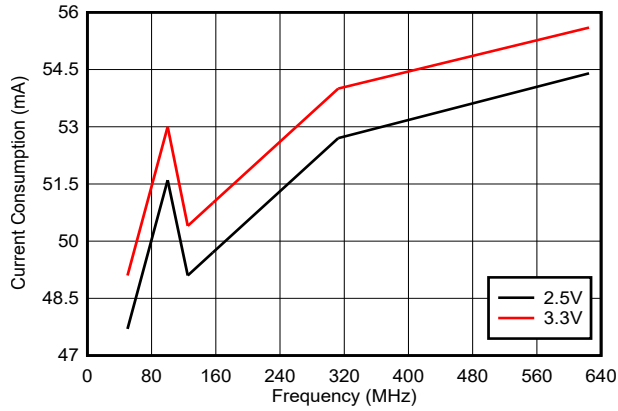


图 6-5. 不同频率及电源电压下的 LP-HCSL ($V_{OH} = 750\text{mV}$) 电流消耗

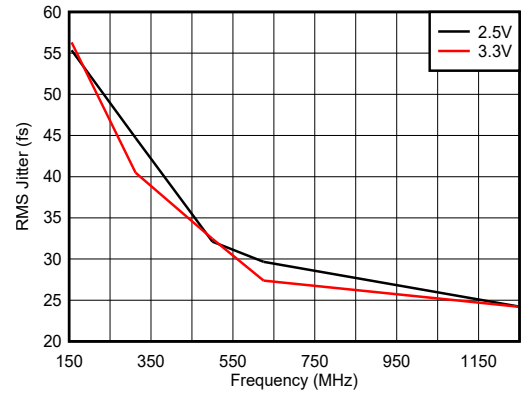


图 6-6. 不同频率及电源电压下的 AC-LVPECL 1.2Vppd RMS 抖动 (12kHz 至 20MHz)

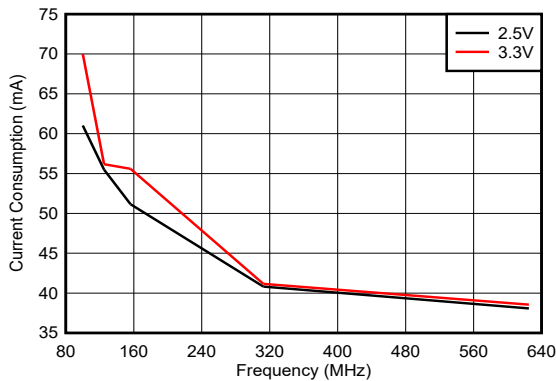


图 6-7. 不同频率及电源电压下的 LP-HCSL ($V_{OH} = 750\text{mV}$) RMS 抖动 (12kHz 至 20MHz)

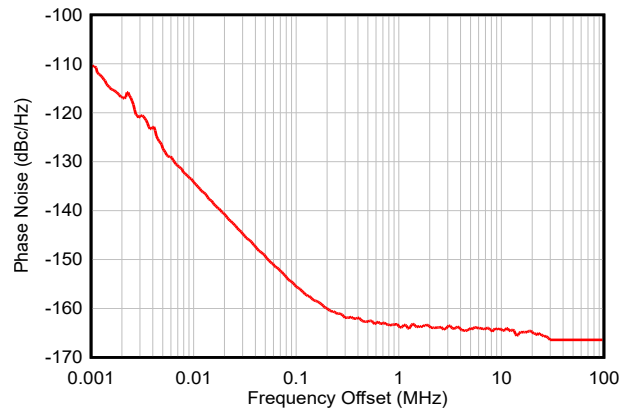


图 6-8. 3.3V 电压下 LP-HCSL ($V_{OH} = 750\text{mV}$) 156.25MHz 相位噪声曲线

7 参数测量信息

7.1 器件输出配置

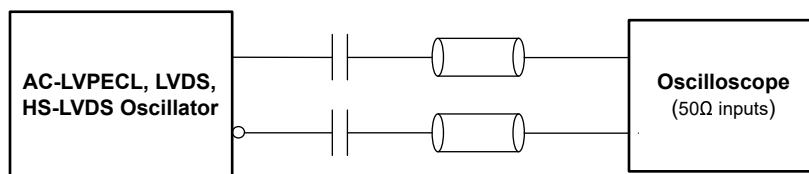


图 7-1. LMK6L-Q1 AC-LVPECL 和 LVDS 输出类型的输出测试配置

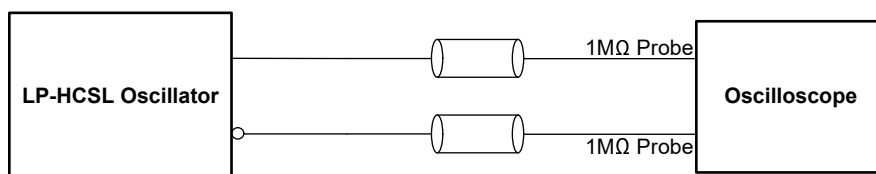


图 7-2. LMK6L-Q1 LP-HCSL 输出类型的输出测试配置

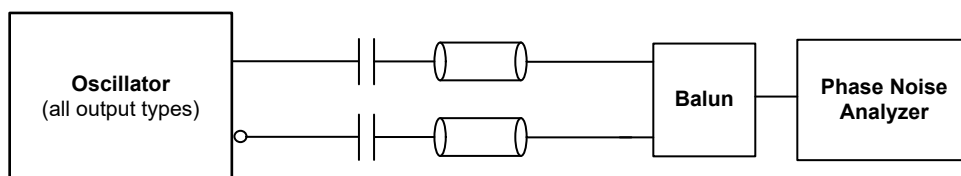


图 7-3. LMK6L-Q1 所有输出类型的输出相位噪声配置

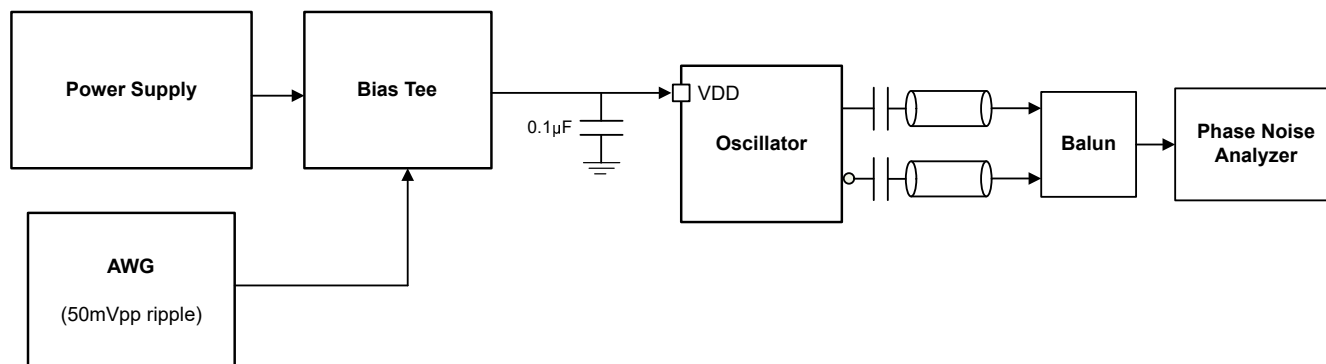


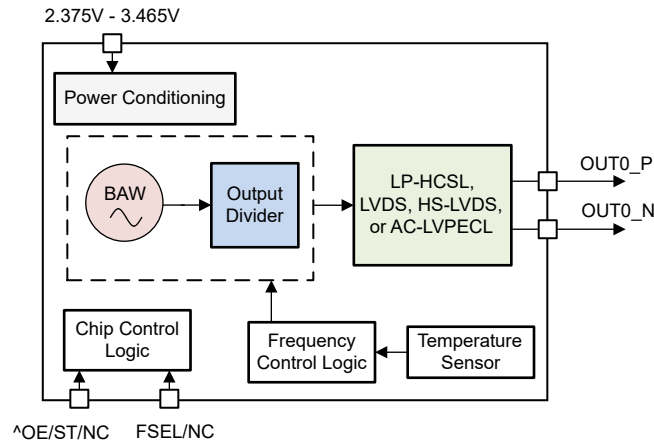
图 7-4. LMK6L-Q1 PSRR 配置

8 详细说明

8.1 概述

LMK6L-Q1 是一款基于 BAW 技术、工厂编程的固定频率振荡器，能够为差分输出提供超低抖动性能。

8.2 功能方框图



8.3 特性说明

8.3.1 体声波 (BAW)

TI BAW 谐振器技术可利用压电式转换在 2.5GHz 频率下产生高 Q 值谐振。谐振器是一个由顶部和底部电极覆盖的四边形区域。交替的高、低噪声阻抗层会在谐振体下方形成声镜，防止声能泄漏到基板中。此外，这些声镜还放置在谐振器堆叠的顶部，保护器件免受污染，并更大限度地减少泄漏到封装材料中的能量。图 8-1 展示了 BAW 谐振器的结构。这款独特的双布拉格声波谐振器 (DBAR) 可实现高效激励，无需在其周围制造成本高昂的真空腔。因此，TI 的 BAW 谐振器能够免受表面污染物吸附引起的频率漂移影响，可以直接放置在非气密性塑料封装中，并采用振荡器 IC 的小型标准引脚布局。有关 TI BAW 技术的更多详情，请参考 [BAW 网页](#)。

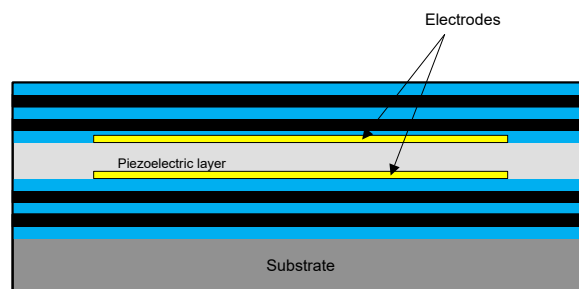


图 8-1. BAW 谐振器结构

8.3.2 器件块级描述

LMK6L-Q1 包含一个 BAW 振荡器、一个整数分频器和一个输出驱动器，它们共同生成工厂编程设定的输出频率。振荡频率随温度的变化由内部精密温度传感器持续监测，并将其作为输入提供给频率控制逻辑模块，如 [LMK6L-Q1 功能方框图](#) 所示。通过此频率控制逻辑模块，在器件内部执行频率校正，以在整个温度范围和 10 年老化期内将输出频率维持在 $\pm 25\text{ppm}$ 以内。输出驱动器能够提供差分 AC-LVPECL、LVDS、HS-LVDS 或 LP-HCSL 输出格式。器件内部包含 LDO，可降低电源噪声，从而实现低噪声时钟输出，并获得如“电气特性”所示的出色 PSRR 性能。

8.3.3 功能引脚

LMK6L-Q1 的引脚 1 和引脚 2 根据 OPN 定义具有多种功能 (更多信息请参阅 节 4)。其配置包括引脚 1 上的输出使能 (OE) 和待机 (ST) 功能, 以及引脚 2 上的输出频率选择 (FSEL) 功能。FSEL 功能可将 OPN (或 F_{OUT}) 中定义的频率进行 2 分频或 4 分频, 从而从一个 OPN 中获得 3 种不同的输出频率。FSEL 的详细说明请见 节 8.3.3.1 和表 8-1。OE 默认为高电平有效, ST 默认为低电平有效。有关其他选项, 请联系 TI。

引脚 1 内部由 150k Ω 上拉电阻器驱动。引脚 2 内部由 200k Ω 上拉电阻器和 200k Ω 下拉电阻器驱动。引脚 1 和引脚 2 均可在外部连接 0 Ω 至 10k Ω 的上拉或下拉电阻器。

表 8-1. LMK6L-Q1 的功能引脚说明

可订购选项 (第 7 个字符)	引脚编号	引脚说明	输出功能
E	引脚 1	输出使能 (高电平有效) 或无连接	高电平或无连接 : 在指定频率下输出有效 低电平 : 输出禁用、高阻抗; 电流消耗由 I_{DD-OD} 决定
	引脚 2	无连接	不适用
A	引脚 1	待机 (低电平有效) 或无连接	高电平或无连接 : 在指定频率下输出有效 低电平 : 高阻抗; 待机模式; 电流消耗由待机电流 $I_{DD-STBY}$ 决定
	引脚 2	无连接	不适用
K	引脚 1	输出使能 (高电平有效) 或无连接	高电平或无连接 : 在指定频率下输出有效 低电平 : 输出禁用、高阻抗; 电流消耗由 I_{DD-OD} 决定
	引脚 2	FSEL ⁽¹⁾	高电平 : $F_{OUT}/2$ 时输出有效 悬空 : F_{OUT} 时输出有效 低电平 : $F_{OUT}/4$ 时输出有效
L	引脚 1	待机 (低电平有效) 或无连接	高电平或无连接 : 在指定频率下输出有效 低电平 : 高阻抗; 待机模式; 电流消耗由待机电流 $I_{DD-STBY}$ 决定
	引脚 2	FSEL ⁽¹⁾	高电平 : $F_{OUT}/2$ 时输出有效 悬空 : F_{OUT} 时输出有效 低电平 : $F_{OUT}/4$ 时输出有效

(1) F_{OUT} 是由 OPN 定义的输出频率 (参阅 节 4)。

在待机模式下, 所有模块均断电, 以尽可能地节省电流消耗, 使节省量相当于 “电气特性” 中 “电流消耗特性” 部分给出的待机电流。返回到有效输出时钟的时间 t_{ST-EN} 与初始启动时间 t_{START_UP} 相同。

8.3.3.1 FSEL 实现

如果产生的输出频率低于 50MHz 的最小输出频率要求, FSEL 会自动禁用 /2 或 /4 分频器。在以下情况下, 输出频率不变:

- FSEL 连接至 VDD 且 $F_{OUT} < 100\text{MHz}$ 。
- FSEL 连接至 GND 且 $F_{OUT} < 200\text{MHz}$ 。
- FSEL 状态在加电后更改 (需要重新上电才能更改输出频率)。
- FSEL 由数字信号控制。FSEL 需要连接到 GND、VDD 或始终保持开路。

表 8-2 演示了 FSEL 实现示例。对于 312.5MHz 和 200MHz, FSEL 会对输出频率进行分频; 对于 156.25MHz 和 100MHz, FSEL 仅在设置为 VDD 时进行分频; 对于 50MHz, FSEL 不会更改输出频率。

表 8-2. FSEL 输出频率示例

F_{OUT}	FSEL	FSEL 输出频率 (MHz)
312.5	VDD	156.25
	Hi-Z 或 NC	312.5
	GND	78.125

表 8-2. FSEL 输出频率示例 (续)

F _{OUT}	FSEL	FSEL 输出频率 (MHz)
156.25	VDD	78.125
	Hi-Z 或 NC	156.25
	GND	156.25
100	VDD	50
	Hi-Z 或 NC	100
	GND	100
50	VDD	50
	Hi-Z 或 NC	50
	GND	50

8.3.4 输出终端

LMK6L-Q1 提供多种输出类型：AC-LVPECL、LVDS、HS-LVDS 和 LP-HCSL。HS-LVDS 和 AC-LVPECL 是多模驱动器的一部分，具有不同的摆幅选项。LP-HCSL 输出类型则提供不同的 V_{OH} 选项。更多信息，请参阅节 4。

多模驱动器能够生成具有 VDD/2 或 1.2V 共模电压的输出，并且摆幅可在 700mVppd 至 2Vppd 范围内定制，步长为 100mVppd。对于 AC-LVPECL，V_{CM} = VDD/2，摆幅在 3.3V 电源电压下可设置为 700mVppd 至 2Vppd，在 2.5V 电源电压下可设置为 700mVppd 至 1.5Vppd。该多模驱动器还能生成 LVDS 或 HS-LVDS 输出，其共模电压为 1.2V，摆幅在 3.3V 电源电压下可定制为 700mVppd 至 2Vppd，在 2.5V 电源电压下可定制为 700mVppd 至 1.6Vppd。在 1,250MHz 输出下，2.5V 和 3.3V 电源均可实现 1.5Vppd 的最大摆幅。默认情况下，LVDS 驱动器的典型摆幅为 800mVppd。

AC-LVPECL、LVDS 和 HS-LVDS 的端接方案如图 8-2 所示。

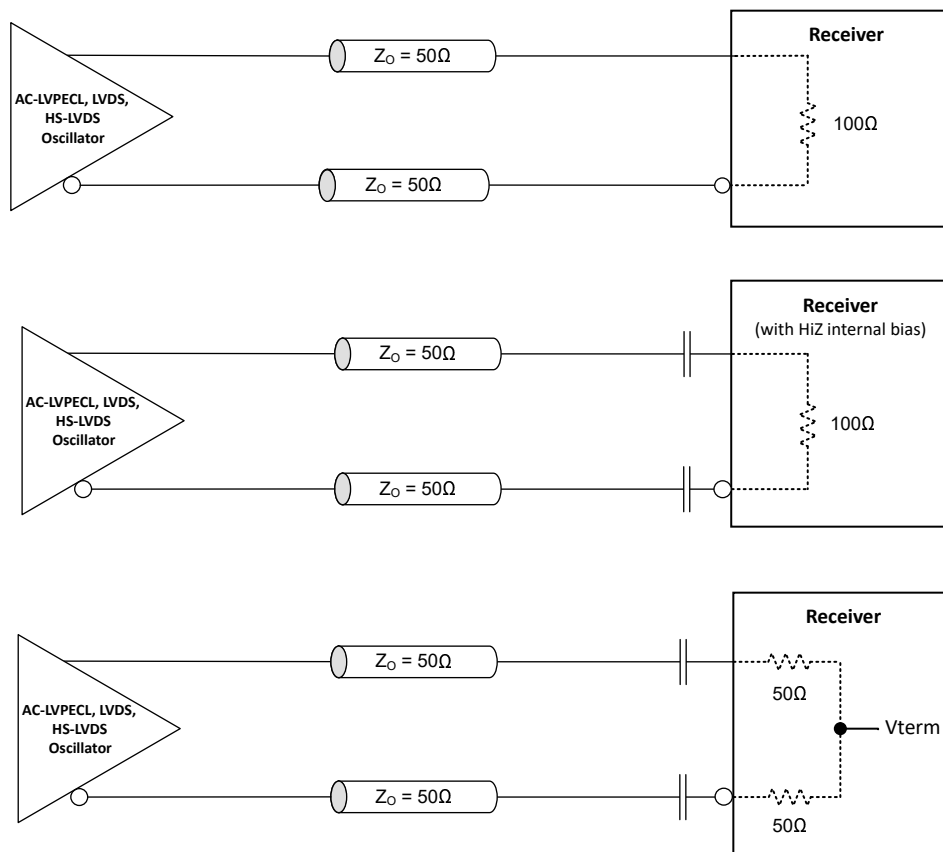


图 8-2. AC-LVPECL、LVDS 和 HS-LVDS 输出终端

使用 LMK6L-Q1 替换 LVDS 振荡器时，无需修改电路。如果需要在交流耦合应用中替换 LVDS 振荡器并实现最高性能，请使用 AC-LVPECL 输出类型。更高的摆幅能带来更优的性能，因此应根据接收器能处理的最高摆幅来订购器件。在交流耦合应用中，使用 AC-LVPECL 驱动器替换 LVDS 振荡器无需修改电路。如需替换 LVPECL 振荡器，请参阅 节 8.3.4.1。

LP-HCSL 输出驱动器的 V_{OH} 典型值为 850mV 或 750mV。如 图 8-3 所示，其无需外部终端。

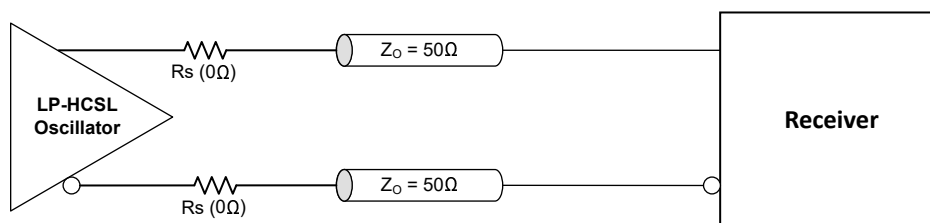


图 8-3. LP-HCSL 输出端接

使用 LMK6L-Q1 替换 LP-HCSL 振荡器时，无需修改电路。如需使用 LMK6L-Q1 替换 HCSL 振荡器，请参阅 节 8.3.4.2。

8.3.4.1 使用 LMK6L-Q1 替换 LVPECL 振荡器

在交流耦合应用中，如需使用 LMK6L-Q1 替换 LVPECL 振荡器，

1. 接收器必须具备 100 Ω 内部终端（若无，则需在外部添加）。
2. 使用 LMK6L-Q1 AC-LVPECL 输出类型。
3. 移除如 图 8-4 所示的发射极电阻。

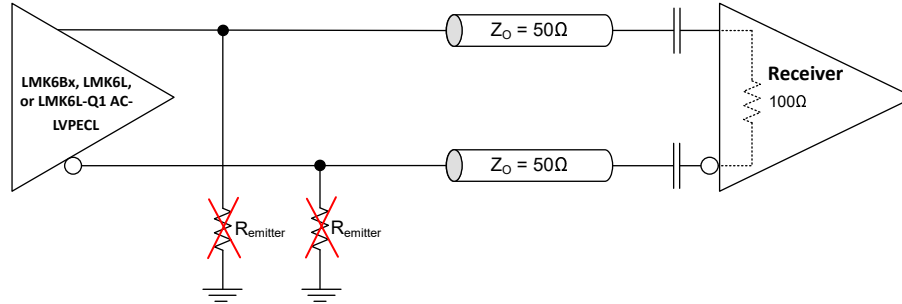


图 8-4. 使用 LMK6L-Q1 替换 LVPECL 振荡器

8.3.4.2 使用 LMK6L-Q1 替换 HCSL 振荡器

如需使用 LMK6L-Q1 替换 HCSL 振荡器，请遵循以下步骤：

1. 使用 LMK6L-Q1 的 LP-HCSL 输出类型。
2. 移除如 图 8-5 所示的任何对地 50 Ω 电阻。
3. 将任何串联电阻替换为 0 Ω 电阻，如 图 8-5 所示。

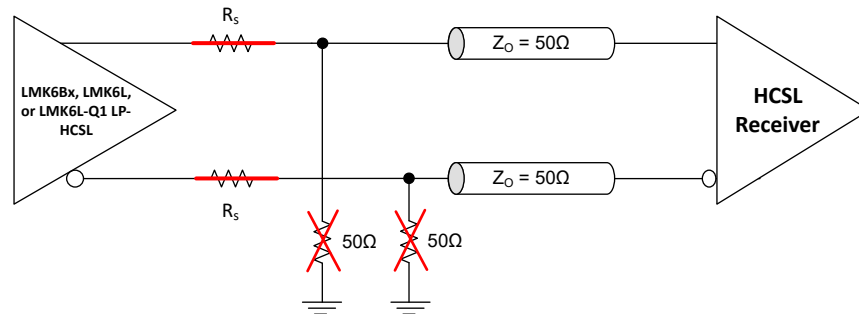


图 8-5. 使用 LMK6L-Q1 替换 HCSL 振荡器

8.3.5 可润湿侧翼

该器件采用至少一种具有可润湿侧翼的封装。请参阅数据表首页上的特性部分，了解哪些封装包含此特性。

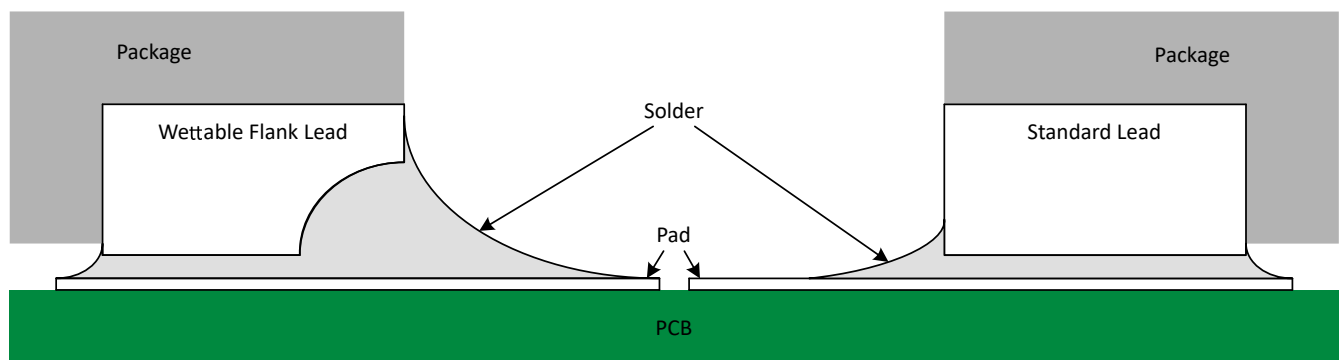


图 8-6. 焊接后具有可润湿侧翼的 QFN 封装和标准 QFN 封装的简化剖面图

可润湿侧翼有助于改善焊接后的侧翼润湿性，从而使 QFN 封装可通过自动光学检测 (AOI) 轻松检测。如 图 8-6 所示，可润湿侧翼可做出凹陷或进行阶梯切割，为焊接粘附提供额外的表面积，有助于可靠创建侧面填角。有关其他详细信息，请参阅机械图。

8.4 器件功能模式

这款固定频率、工厂编程的 LMK6L-Q1 可根据 OPN 进行不同配置，如 [节 4](#) 所示。功能引脚（引脚 1 和 2）可设置为输出使能、待机、频率选择或不连接。频率选择功能可将 OPN 中定义的频率进行 2 分频或 4 分频，从而从一个 OPN 中获得 3 种不同的输出频率。有关更多详细信息，请参阅 [节 8.3.3](#)。

LMK6L-Q1 还提供了不同的差分输出类型，包括具有不同摆幅和共模电压的 AC-LVPECL、LVDS、HS-LVDS，以及具有不同 V_{OH} 选项的 LP-HCSL，如 [节 4](#) 所示。有关更多详细信息，请参阅 [节 8.3.4](#)。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

LMK6L-Q1 是一款超低抖动、固定频率、工厂编程的差分 BAW 振荡器，可用作多种应用的参考时钟。对于 AC-LVPECL、LVDS 和 HS-LVDS 输出类型，该器件支持 50MHz 至 1,250MHz 之间的任何输出频率；对于 LP-HCSL 输出类型，支持 50MHz 至 625MHz 之间的任何输出频率。LMK6L-Q1 支持 2.375V 至 3.465V 的电源轨（标称值为 2.5V 和 3.3V）。

如需使用 LMK6L-Q1 驱动 TI 时钟缓冲器，请参阅“使用 LMK6Bx 为 TI 时钟缓冲器提供时钟”应用笔记。

9.2 典型应用

LMK6L-Q1 是一款满足 PCIe 第 7 代标准的超低抖动差分振荡器，适用于高性能汽车系统，包括 ADAS 和 IVI SoC、车载 10/40/100Gbps 以太网、雷达和激光雷达。图 9-1 显示了一个使用 LMK6L-Q1 作为 SoC 基准时钟的典型应用示例。

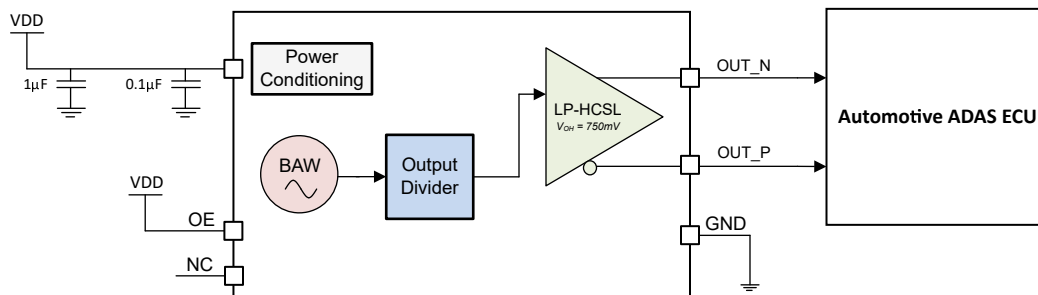


图 9-1. LMK6L-Q1 用作汽车 SoC 的基准时钟

关于 LMK6L-Q1 的布局示例以及旁路电容器和交流耦合电容器的推荐值，请参阅节 9.4.2。输出类型的终端和偏置方式请参阅节 8.3.4。

9.2.1 设计要求

LMK6L-Q1 是一款无需编程的固定频率振荡器。务必遵循节 8.3.4 中描述的推荐终端选项，并参阅节 8.3.3 了解引脚 1 和引脚 2 的功能。根据您的要求，按照节 4 订购器件型号。同时，请确保遵循节 9.3 和节 9.4.1 的建议，以最大程度发挥 LMK6L-Q1 的性能。

9.2.2 详细设计过程

使用 LMK6L-Q1 进行设计时，第一步是根据您的需求选择正确的配置。所选的 OPN 决定了输出类型、引脚 1 和引脚 2 的功能、输出频率以及封装类型。有关更多详细信息，请参阅节 4。

LMK6L-Q1 差分振荡器提供 AC-LVPECL、LVDS、HS-LVDS 和 LP-HCSL 输出类型选项。根据应用需求，使用如节 8.3.4 所示的正确交流或直流终端方式。LMK6L-Q1 引脚 1 具有输出使能或待机选项，引脚 2 具有频率选择 (FSEL) 选项。有关每个引脚、功能和 FSEL 的更多信息，请参阅节 8.3.3 确定所需的配置。LMK6L-Q1 集成了 LDO，并具有如“电气特性”所示的出色 PSRR 性能。在 VDD 引脚添加 0.1 μF 和 1 μF 以获得上佳性能。使用 LMK6L-Q1 进行设计时，请遵循节 9.3 了解更多电源引脚建议，并遵循节 9.4 实现上佳电路板布局实践。

9.2.3 应用曲线

9.2.3.1 LVDS 相位噪声曲线

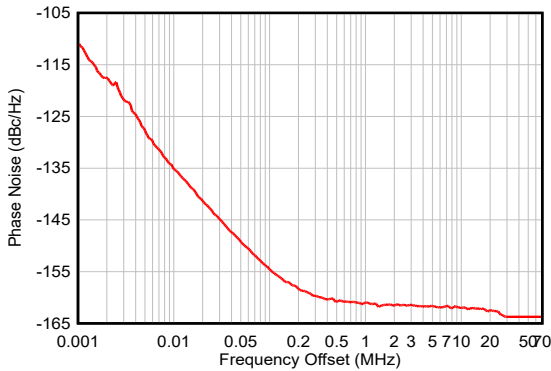


图 9-2. 156.25MHz LVDS , 25°C , 3.3V , 800mVppd , 60.5fs RMS 抖动 (12kHz 至 20MHz)

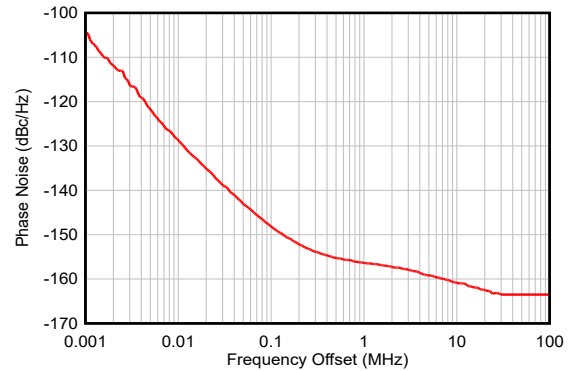


图 9-3. 312.5MHz LVDS , 25°C , 3.3V , 800mVppd , 46.6fs RMS 抖动 (12kHz 至 20MHz)

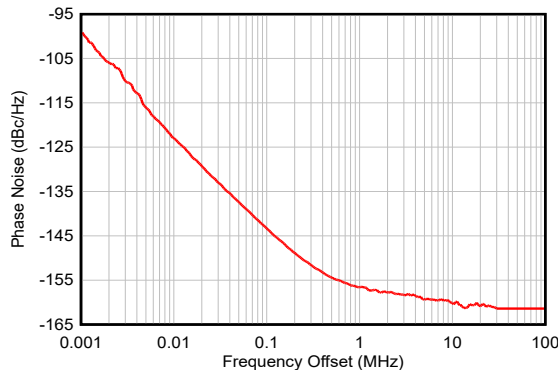


图 9-4. 625MHz LVDS , 25°C , 3.3V , 800mVppd , 32.3fs RMS 抖动 (12kHz 至 20MHz)

9.2.3.2 HS-LVDS 1.2Vppd 相位噪声曲线

图 9-5. 156.25MHz , HS-LVDS , 25°C , 3.3V , 1.2Vppd , 56.3fs RMS 抖动 (12kHz 至 20MHz)

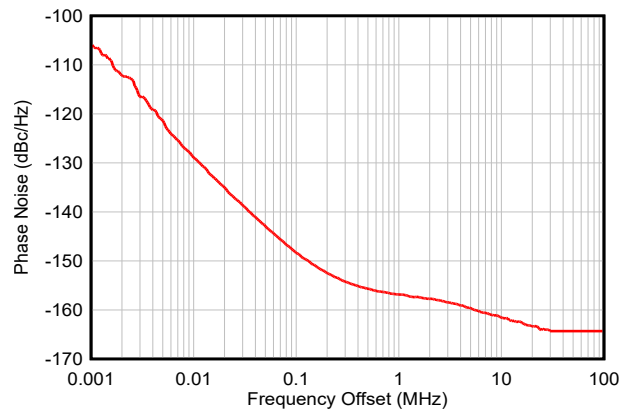
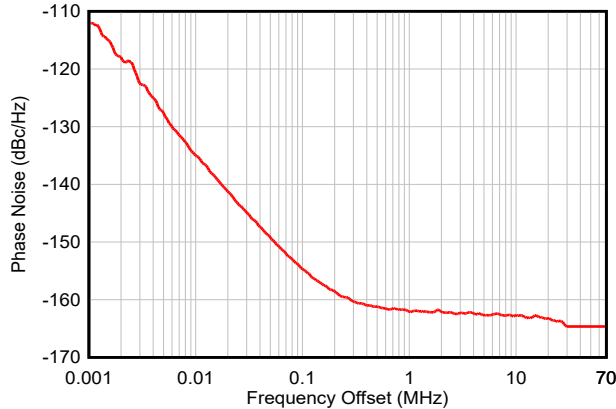


图 9-6. 312.5MHz , HS-LVDS , 25°C , 3.3V , 1.2Vppd , 44.4fs RMS 抖动 (12kHz 至 20MHz)

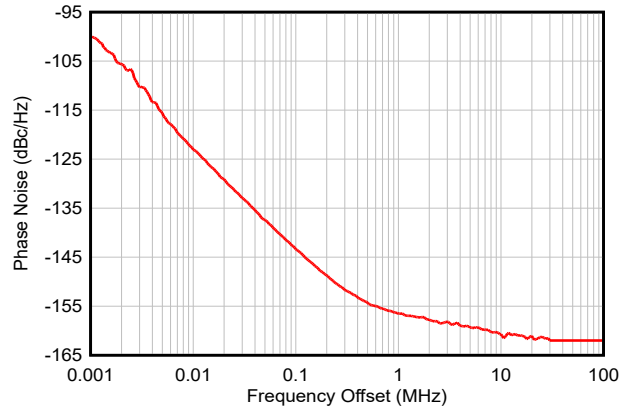


图 9-7. 625MHz , HS-LVDS , 25°C , 3.3V , 1.2Vppd , 31.8fs RMS 抖动 (12kHz 至 20MHz)

9.2.3.3 AC-LVPECL 1.2Vppd 相位噪声曲线

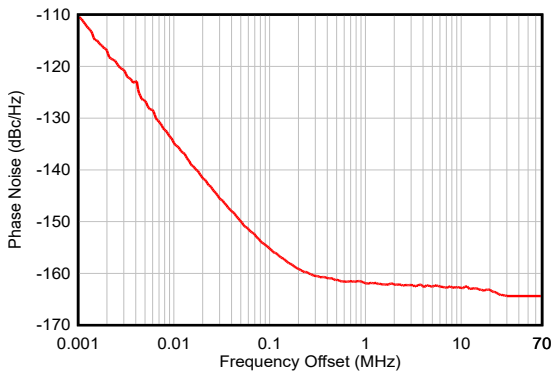


图 9-8. 156.25MHz AC-LVPECL 1.2Vppd , 25°C , 3.3V , 57.0fs RMS 抖动 (12kHz 至 20MHz)

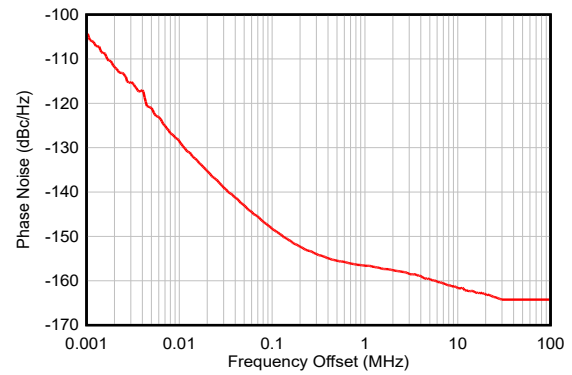


图 9-9. 312.5MHz AC-LVPECL 1.2Vppd , 25°C , 3.3V , 45.0fs RMS 抖动 (12kHz 至 20MHz)

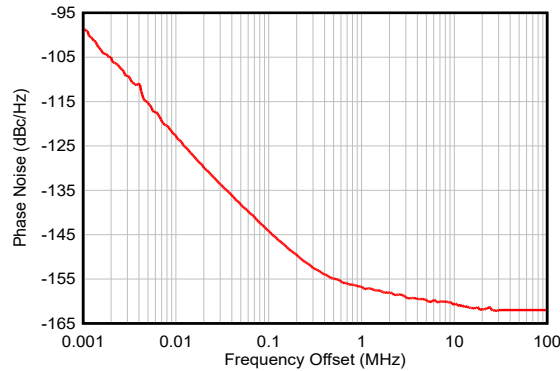


图 9-10. 625MHz AC-LVPECL 1.2Vppd , 25°C , 3.3V , 32.8fs RMS 抖动 (12kHz 至 20MHz)

9.2.3.4 LP-HCSL 相位噪声曲线

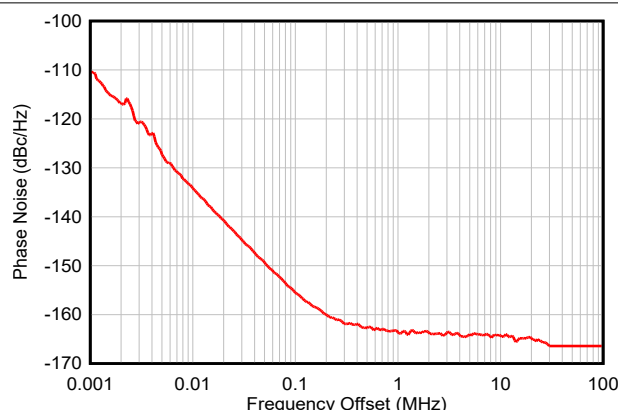


图 9-11. 156.25MHz LP-HCSL , 25°C , 3.3V , $V_{OH} = 750\text{mV}$, 53.3fs RMS 抖动 (12kHz 至 20MHz)

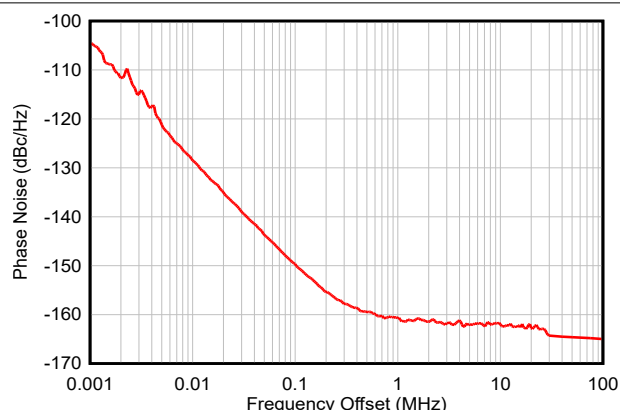


图 9-12. 312.5MHz LP-HCSL , 25°C , 3.3V , $V_{OH} = 750\text{mV}$, 41.0fs RMS 抖动 (12kHz 至 20MHz)

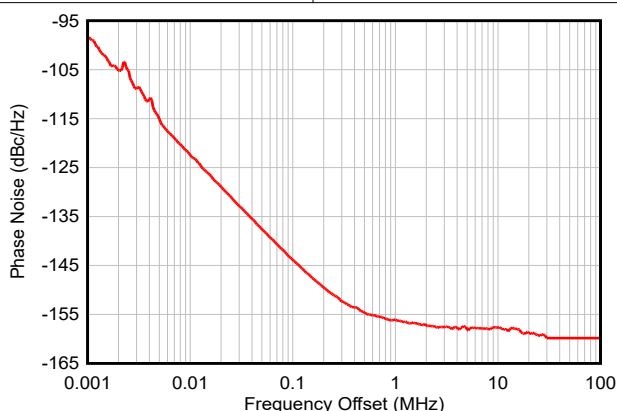


图 9-13. 625MHz LP-HCSL , 25°C , 3.3V , $V_{OH} = 750\text{mV}$, 38.3fs RMS 抖动 (12kHz 至 20MHz)

9.3 电源相关建议

为实现 LMK6L-Q1 的上佳电气性能，TI 建议在器件电源旁路网络上使用 $0.1\mu\text{F}$ 和 $1\mu\text{F}$ 的电容器。将这些电容器放置在尽可能靠近电源引脚的位置。TI 还建议使用元件侧安装电源旁路电容器，并采用 0201 封装的 $0.1\mu\text{F}$ 电容器和 0603 封装的 $1\mu\text{F}$ 电容器，以便于信号布线。使旁路电容器与器件电源之间的连接尽可能短。使用与接地平面的低阻抗连接将电容器的另一侧接地。

9.4 布局

9.4.1 布局指南

LMK6L-Q1 的工作频率最高可达 1,250MHz。为优化振荡器性能，请务必遵循行业标准的高速布局指南，相关内容在“[高速布局指南](#)”中有详细说明。概括如下：

- 尽量减少可能产生天线效应并降低输出性能的长存根。
- 对差分输出布线进行阻抗匹配，使其达到 50Ω 单端阻抗或 100Ω 差分阻抗，以消除信号反射。
- 尽可能缩短输出布线的长度，并保持布线等长，以实现上佳性能。

节 9.4.1.1 阐述了如何通过确保良好的热学与电学性能来实现热可靠性。节 9.4.1.2 阐述了如何通过实施良好的回流焊温度曲线来维持整个系统的信号完整性。

9.4.1.1 提供热可靠性

LMK6L-Q1 是一款高性能器件。因此，请注意器件配置和印刷电路板 (PCB) 布局对功耗的影响。接地引脚必须通过三个或以上通孔连接到 PCB 的接地平面，以最大限度地提高封装的散热。

方程式 1 描述了 LMK6L-Q1 周围的 PCB 温度与结温之间的关系。

$$T_B = T_J - \Psi_{JB} \times P \quad (1)$$

其中

- T_B : LMK6L-Q1 周围的 PCB 温度
- T_J : LMK6L-Q1 的结温
- Ψ_{JB} : LMK6L-Q1 的结至板热阻参数 (请参阅 [规格](#) 部分中的 [热信息表](#) 了解相关信息)
- P : LMK6L-Q1 的片上功率耗散

9.4.1.2 建议的回流焊曲线

TI 建议遵循焊锡膏供应商提供的建议，以优化助焊剂活性，并在 J-STD-20 指南范围内达到合金的适当熔化温度。在处理 LMK6L-Q1 时，尽量使用最低的峰值温度，同时也要低于 MSL 标签上列出的元件峰值温度额定值。确切的温度曲线取决于多个因素，包括 MSL 标签上额定的最高峰值温度、电路板厚度、PCB 材料类型、PCB 几何形状、元件位置、尺寸、PCB 内的密度、焊料制造商建议的曲线以及 SMT 组装操作确认的回流设备能力。

9.4.2 布局示例

图 9-14 至 图 9-18 展示了 LMK6L-Q1 评估模块 (EVM) 上所采用的印刷电路板 (PCB) 布局示例。

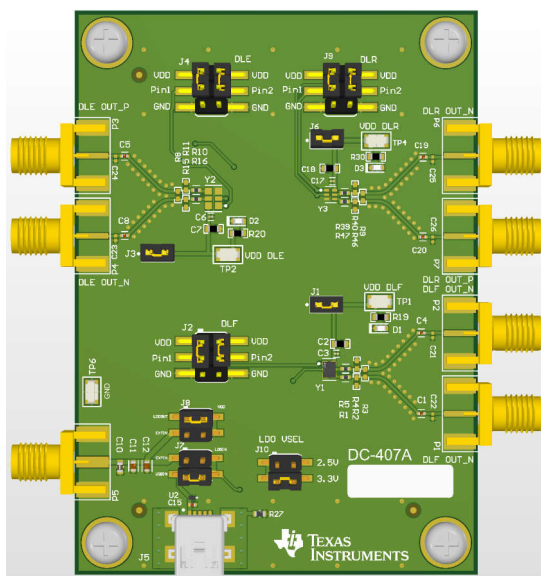


图 9-14. LMK6LEVM 的 PCB 布局示例

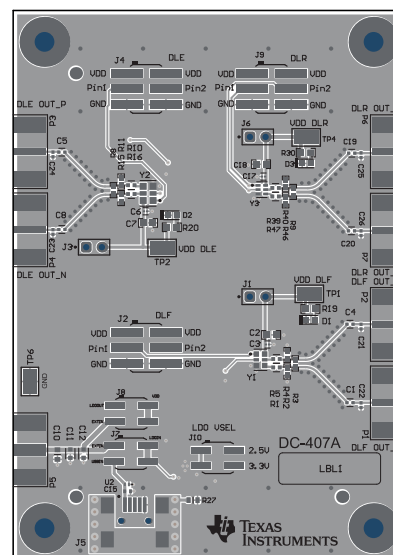


图 9-15. LMK6LEVM 的 PCB 布局示例 - 顶层

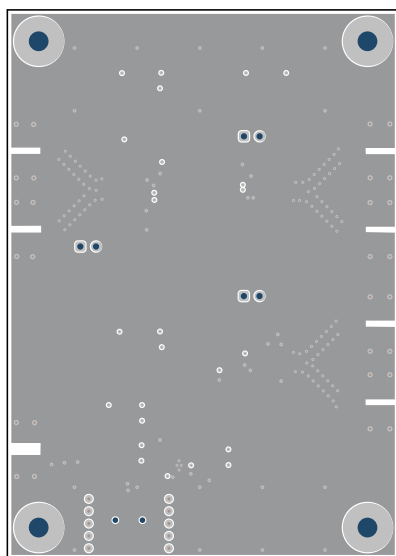


图 9-16. LMK6LEVM 的 PCB 布局示例 - 地层

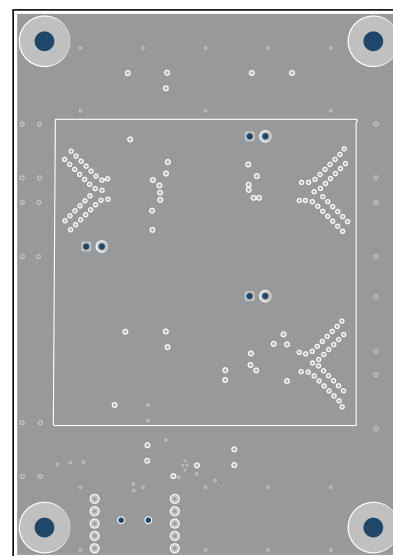


图 9-17. LMK6LEVM 的 PCB 布局示例 - 电源层

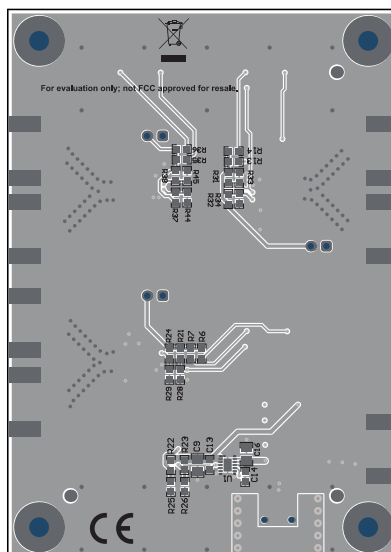


图 9-18. LMK6LEVM 的 PCB 布局示例 - 底层

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 文档支持

10.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，[LMK6LEVM 用户指南](#)
- 德州仪器 (TI)，[独立 BAW 振荡器相对于石英振荡器的优势](#)，应用手册
- 德州仪器 (TI)，[TI BAW 振荡器的振动和机械冲击性能](#)，应用手册

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

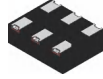
日期	修订版本	注释
June 2026	*	初始发行版

12 机械、封装和可订购信息

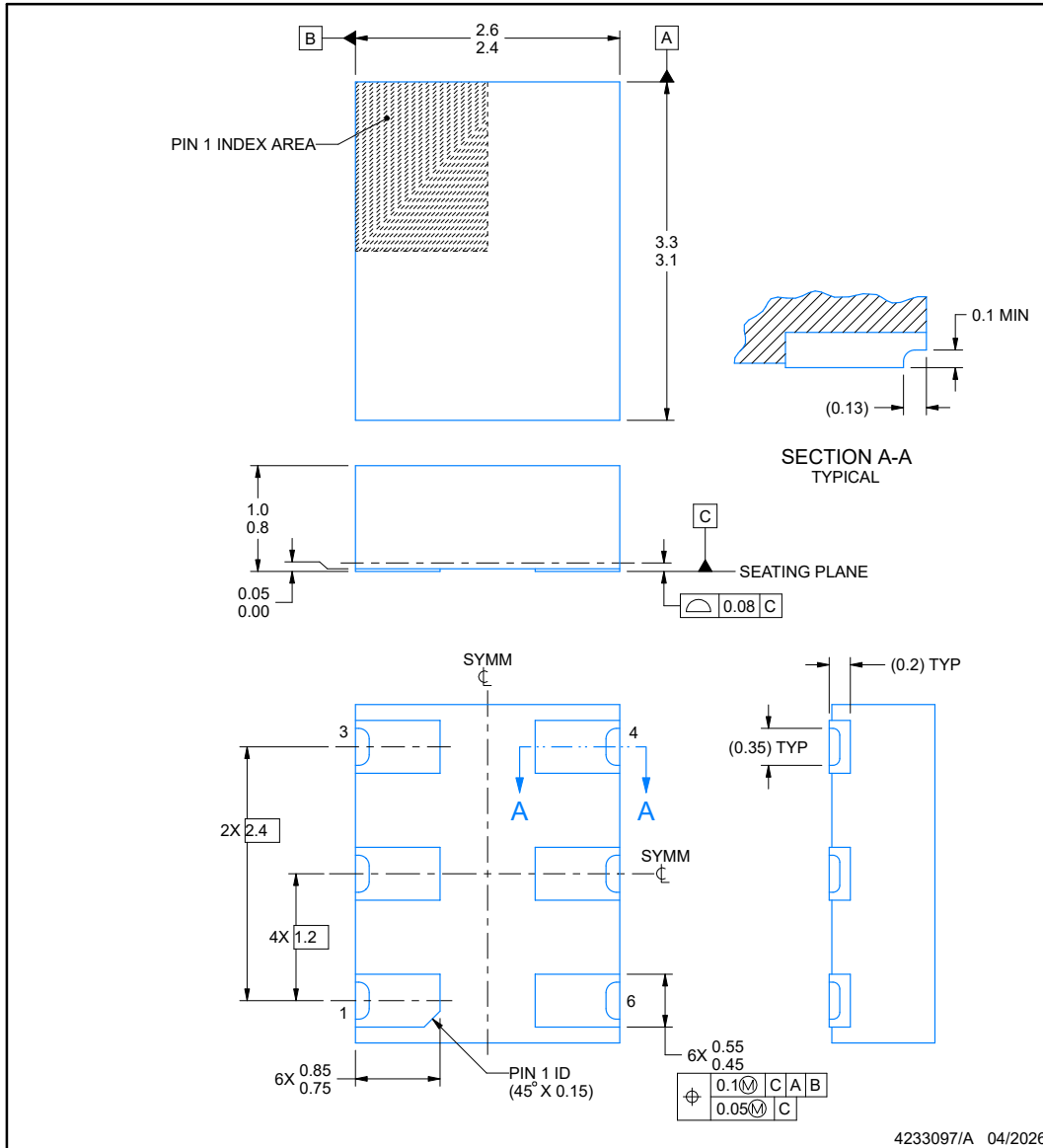
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

12.1 机械数据

ADVANCE INFORMATION

DLE0006C**PACKAGE OUTLINE****VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

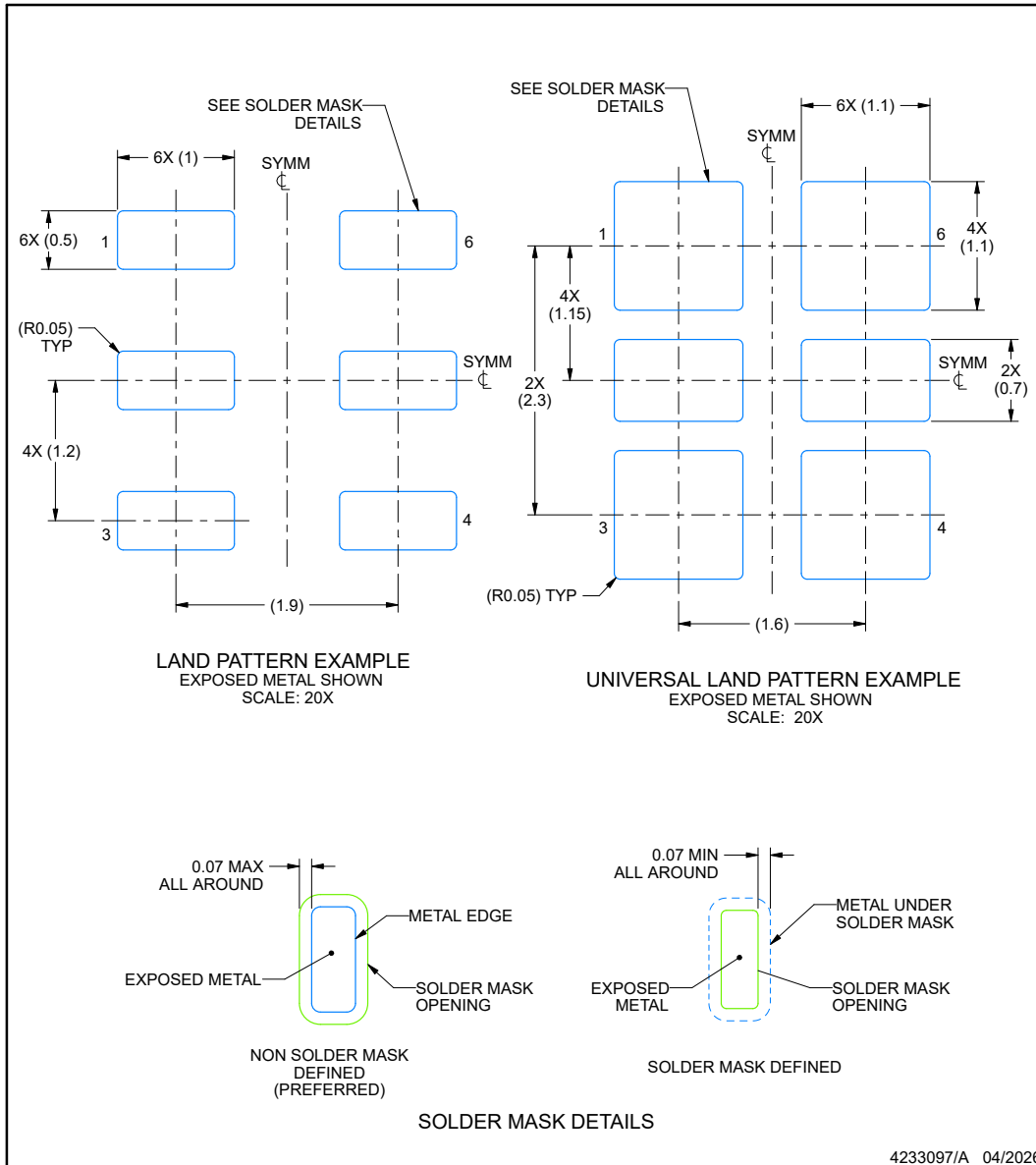
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

DLE0006C

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

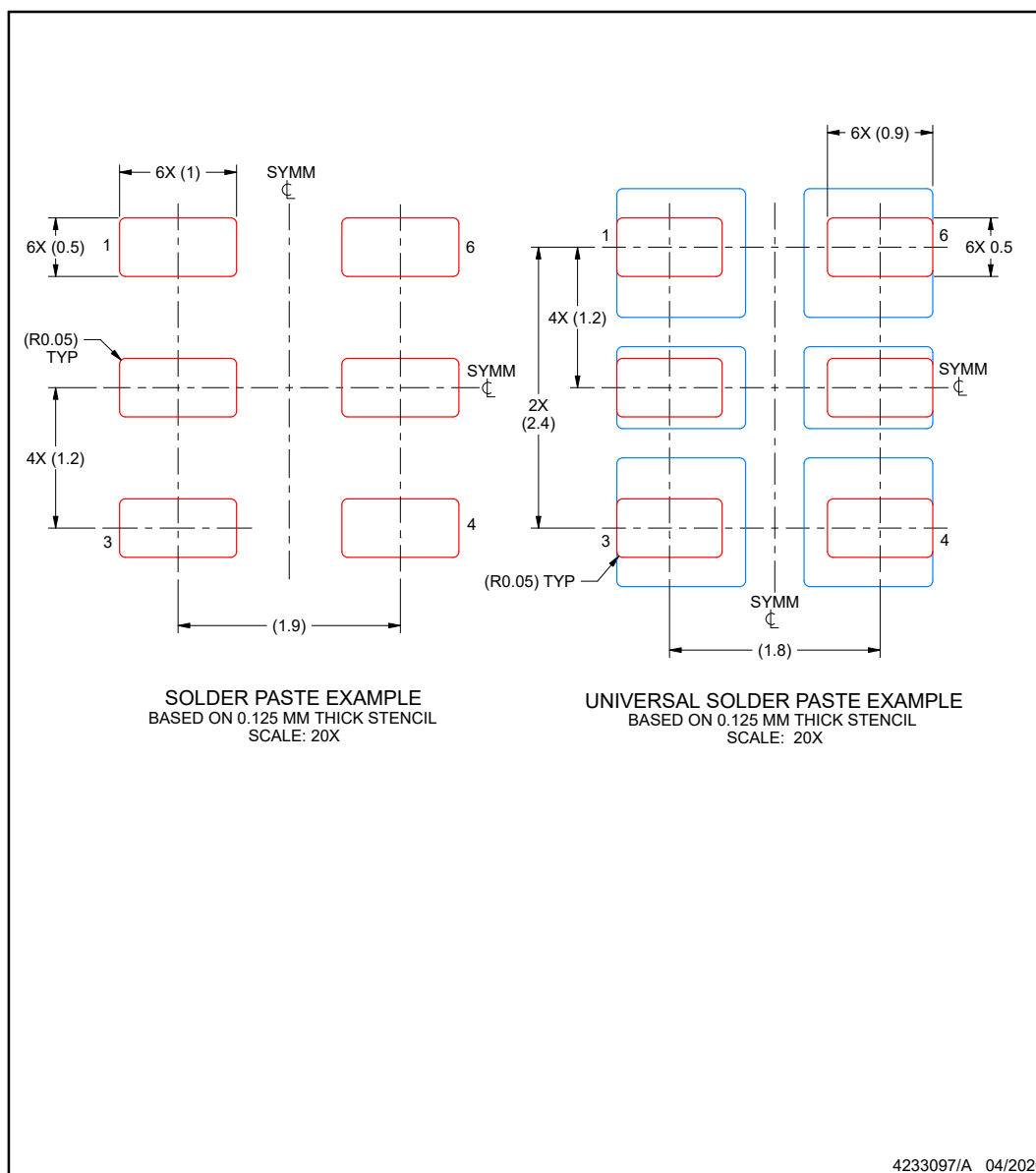


NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).

EXAMPLE STENCIL DESIGN**DLE0006C****VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

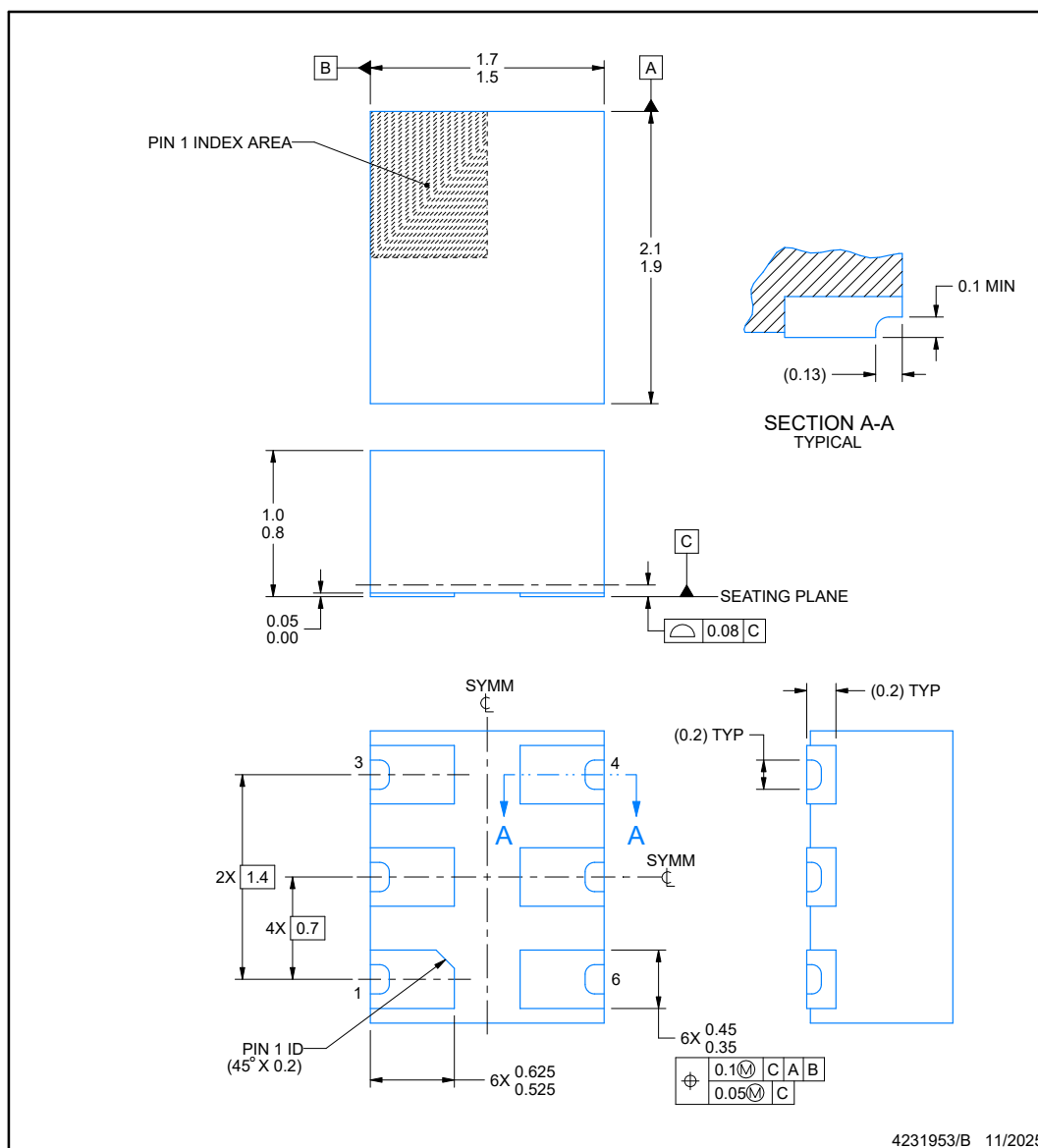


PACKAGE OUTLINE

DLR0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



ADVANCE INFORMATION

NOTES:

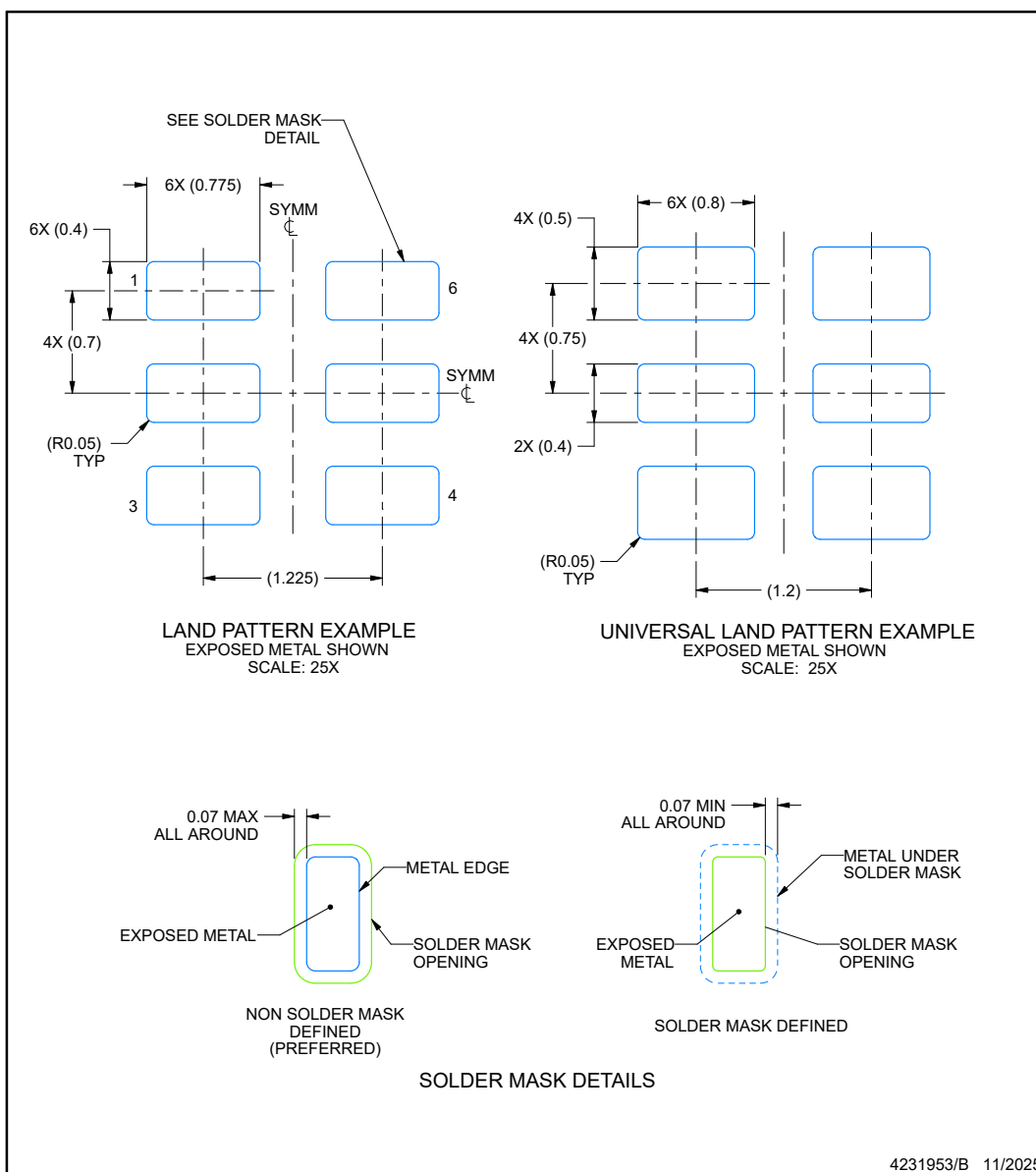
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

DLR0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

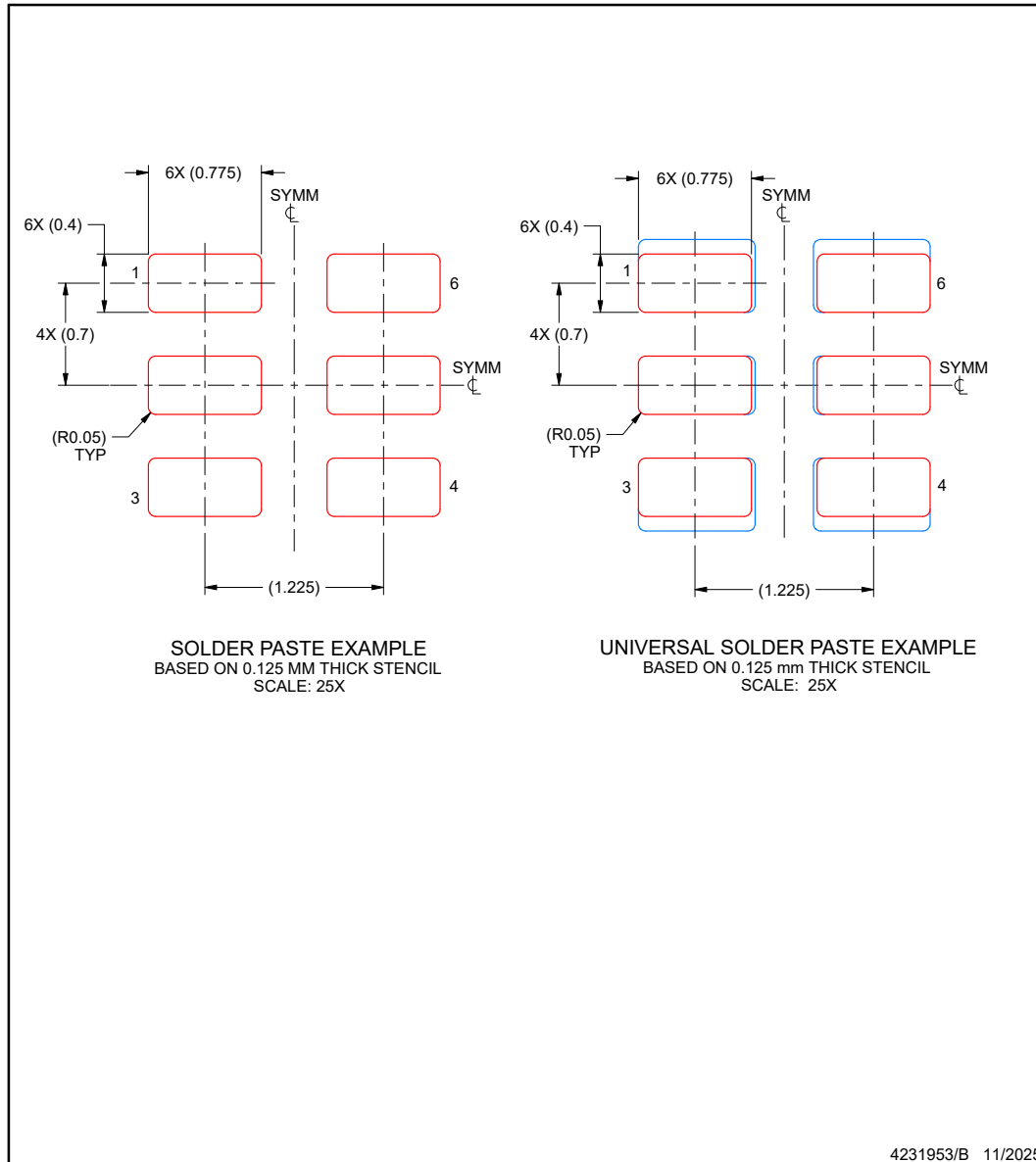
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DLR0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PMK6LHE15625DLERQ1	Active	Preproduction	null (null)	3000 LARGE T&R	-	Call TI	Call TI	-40 to 105	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月