

# LMX2624-SP 具有相位同步功能且支持 JESD204B/C 标准的 5MHz 至 28GHz 宽带合成器

## 1 特性

- SMD 5962R2321001PXE
  - 电离辐射总剂量 100Krad ( 无 ELDRS )
  - 单粒子闩锁 (SEL) 抗扰度高达 75MeV-cm<sup>2</sup>/mg
  - 单粒子功能中断 (SEFI) 抗扰度高达 75MeV-cm<sup>2</sup>/mg
- 宽带频率合成器：5MHz 至 28GHz 输出频率
- 在 100kHz 偏移和 24GHz 载波下具有 -101dBc/Hz 的相位噪声
- 在 24GHz 时，具有 60fs RMS 抖动 ( 1kHz 至 300MHz )
- 可编程输出功率
- PLL 主要规格：
  - 品质因数：-236dBc/Hz
  - 归一化 1/f 噪声：-129dBc/Hz
  - 相位检测器频率高达 200MHz
- 跨多个器件实现输出相位同步
- 适用于 RFoutA 和 RFoutB 的独立静音引脚，静音/取消静音时间为 200ns
- 支持具有 9ps 分辨率可编程延迟的 SYSREF
- 3.3V 单电源运行
- 引脚模式：整数 PLL 模式下的引脚可配置 N 分频器和输出分频器
- 10 x 10mm<sup>2</sup> 64 引线 QFP 封装
- 工作温度范围：-55°C 至 +125°C
- 由 PLLatinum™ 仿真器设计工具提供支持

## 2 应用

- [高达 Ku/kA 频带的航空通信有效载荷](#)
- [航空雷达系统](#)
- [命令和数据处理系统](#)
- [高速数据转换器时钟 \( 支持 JESD204B/C \)](#)
- [用于混频器 \( 频率高达 28GHz \) 的本地振荡器](#)

## 3 说明

LMX2624-SP 是一款具有集成式压控振荡器 (VCO) 和稳压器的高性能宽带锁相环 (PLL)，可输出从 5MHz 至 28GHz 的任何频率。此器件上的 VCO 涵盖了整个倍频区间，因而频率覆盖度可完全低至 5MHz。品质因数为 -236dBc/Hz 的高性能 PLL 和高相位检测器频率可实现非常低的带内噪声和集成抖动。

LMX2624-SP 让用户可以同步多个器件实例的输出。这意味着我们可从各种用例下的器件中获得确定性相位，包括采用分数引擎或启用输出分频器的用例。该器件还支持生成或重复 SYSREF ( 符合 JESD204B 标准 )，因此适合用作高速数据转换器的低噪声时钟源。

该器件采用德州仪器 (TI) 先进的 BiCMOS 工艺制造，可提供 64 引线 QFP 塑料封装。

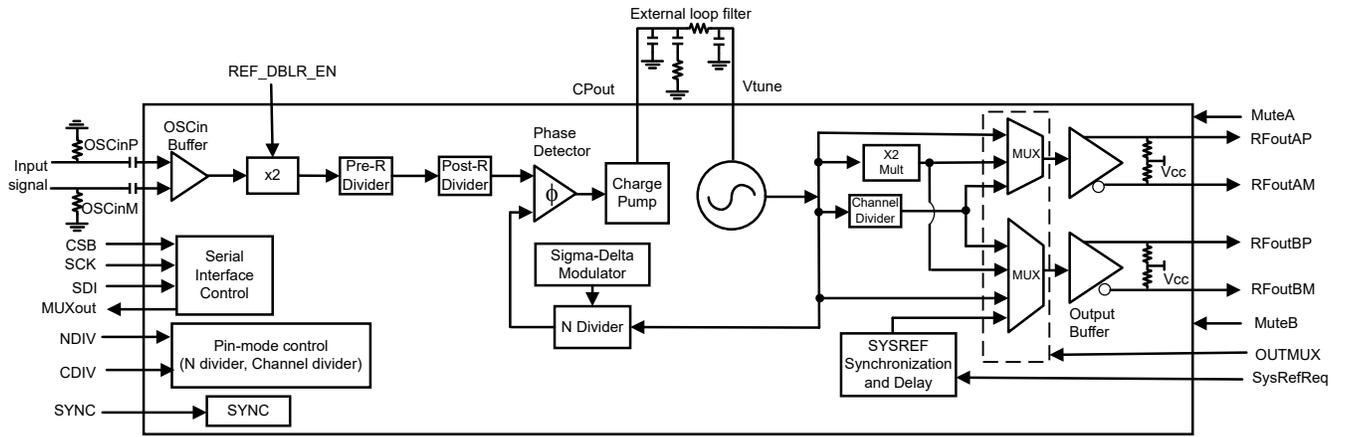
### 封装信息

器件型号	等级	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
LMX2624-SP	QML-P	QFP 64 引脚	10mm × 10mm

(1) 有关更多信息，请参阅节 11。

(2) 封装尺寸 ( 长 × 宽 ) 为标称值，并包括引脚 ( 如适用 )。





功能方框图

ADVANCE INFORMATION

## 内容

<b>1 特性</b> .....	1	7.1 器件寄存器	38
<b>2 应用</b> .....	1	<b>8 应用和实施</b> .....	51
<b>3 说明</b> .....	1	8.1 应用信息.....	51
<b>4 引脚配置和功能</b> .....	4	8.2 典型应用.....	52
<b>5 规格</b> .....	7	8.3 电源相关建议.....	53
5.1 绝对最大额定值.....	7	8.4 布局.....	53
5.2 ESD 等级.....	7	<b>9 器件和文档支持</b> .....	55
5.3 建议运行条件.....	7	9.1 器件支持.....	55
5.4 热性能信息.....	7	9.2 文档支持.....	55
5.5 电气特性.....	8	9.3 接收文档更新通知.....	55
5.6 时序要求.....	13	9.4 支持资源.....	55
5.7 时序图.....	14	9.5 商标.....	55
<b>6 详细说明</b> .....	15	9.6 静电放电警告.....	55
6.1 概述.....	15	9.7 术语表.....	55
6.2 功能方框图.....	16	<b>10 修订历史记录</b> .....	55
6.3 特性说明.....	16	<b>11 机械、封装和可订购信息</b> .....	55
6.4 器件功能模式.....	36	11.1 工程样片.....	59
6.5 编程.....	37	11.2 封装选项附录.....	60
<b>7 寄存器映射</b> .....	38	11.3 卷带包装信息.....	61

## 4 引脚配置和功能

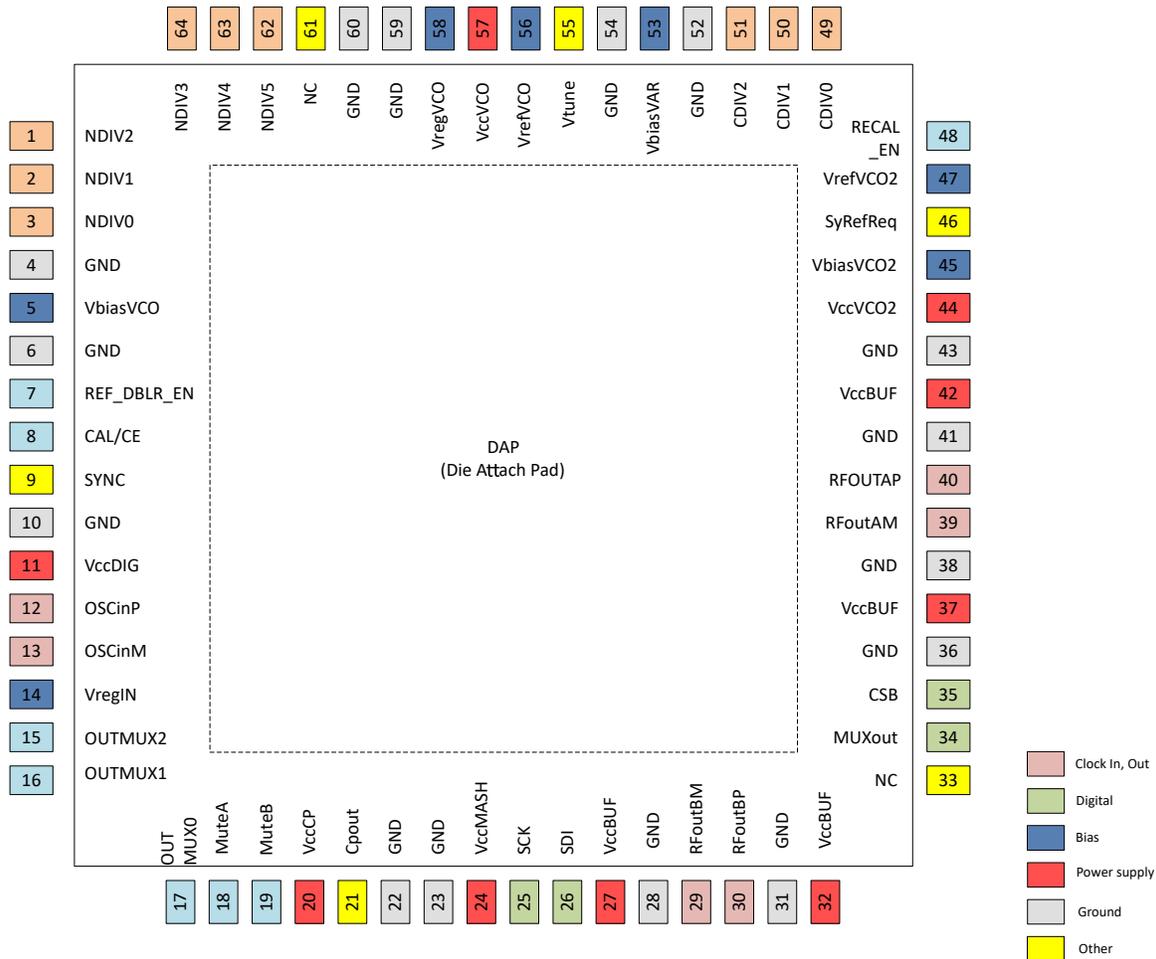


图 4-1. HBD 封装 64 引脚 CQFP 顶视图

表 4-1. 引脚功能

引脚		I/O	类型	说明
编号	名称			
1	NDIV2	I	4 电平引脚	引脚模式下的整数 N 分频器位 2。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。
2	NDIV1	I	4 电平引脚	引脚模式下的整数 N 分频器位 1。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。
3	NDIV0	I	4 电平引脚	引脚模式下的整数 N 分频器位 0。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。
4	GND	—	—	接地
5	VbiasVCO	—	—	VCO 偏置。需要将 10μF 电容器接地。靠近引脚放置。
6	GND	—	—	接地
7	REF_DBLR_EN	I	—	输入基准倍频器在引脚模式下启用。此引脚上为高电平则启用基准倍频器，而此引脚上为低电平则会绕过输入基准倍频器。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。
8	CAL/CE	I	—	芯片使能。在引脚模式（非 SPI 模式）下，该引脚的上升沿会激活 VCO 校准。在 SPI 模式下，该引脚充当 CE，CE 引脚上的高电平使器件启用，引脚上为低电平则禁用器件。

表 4-1. 引脚功能 (续)

引脚		I/O	类型	说明
编号	名称			
9	SYNC	I	—	相位同步输入引脚。
10	GND	—	—	接地
11	VccDIG	—	—	数字电源。建议将 0.1μF 电容器接地。
12	OSCinP	I	—	互补基准输入时钟引脚。高输入阻抗。需要连接串联电容器 ( 建议使用 0.1μF ) 。
13	OSCinM	I	—	连接到 OSCinP 的互补引脚。
14	VregIN	—	—	输入基准路径调节器去耦。需要将 1μF 电容器接地。靠近引脚放置。
15	OUTMUX2	I	—	与 OUTMUX1 和 OUTMUX0 一起控制 RFOUTA 和 RFOUTB 的输出多路复用器选择。这八个选项包括为 RFOUTA 和 RFOUTB 选择 VCO 输出、倍频器输出或通道分频器输出组合。有关更多详细信息, 请参阅引脚模式整数频率生成中的引脚模式说明。
16	OUTMUX1	I	—	与 OUTMUX2 和 OUTMUX0 一起控制 RFOUTA 和 RFOUTB 的输出多路复用器选择。这八个选项包括为 RFOUTA 和 RFOUTB 选择 VCO 输出、倍频器输出或通道分频器输出组合。有关更多详细信息, 请参阅引脚模式整数频率生成中的引脚模式说明。
17	OUTMUX0	I	—	与 OUTMUX2 和 OUTMUX1 一起控制 RFOUTA 和 RFOUTB 的输出多路复用器选择。这八个选项包括为 RFOUTA 和 RFOUTB 选择 VCO 输出、倍频器输出或通道分频器输出组合。有关更多详细信息, 请参阅引脚模式整数频率生成中的引脚模式说明。
18	MuteA	I	—	输出缓冲器静音控制。高阻抗 CMOS 输入。使用这个 MuteA 引脚使 RFOUTA 静音或取消静音
19	MuteB	I	—	输出缓冲器静音控制。高阻抗 CMOS 输入。使用这个 MuteB 引脚使 RFOUTB 静音或取消静音
20	VccCP	I	—	电荷泵电源。建议将 0.1μF 电容器接地。
21	CPout	O	—	电荷泵输出。建议将环路滤波器的 C1 连接到靠近电荷泵引脚的位置。
22	GND	—	接地	接地
23	GND	—	接地	接地
24	VccMASH	—	—	数字电源。建议将 0.1μF 和 10μF 电容器接地。
25	SCK	I	—	SPI 输入时钟。高阻抗 CMOS 输入。1.8V 至 3.3V 逻辑电平。
26	SDI	I	—	SPI 输入数据。高阻抗 CMOS 输入。1.8V 至 3.3V 逻辑电平。
27	VccBUF	—	—	输出缓冲器电源。需要将 0.1μF 电容器接地。
28	GND	—	接地	接地
29	RFoutBM	O	—	RFoutBP 的互补引脚
30	RFoutBP	O	—	差分输出 B 对。需要在尽可能靠近引脚的位置将一个 50Ω 上拉电阻连接到 VCC。可用作合成器输出或 SYSREF 输出。
31	GND	—	接地	接地
32	VccBUF	—	—	输出缓冲器电源。需要将 0.1μF 电容器接地。
33	NC	—	—	无连接。保持未连接。
34	MUXout	—	—	多路复用输出引脚。可以输出: 锁定检测、SPI 回读和诊断。
35	CSB	—	—	SPI 负片选。高阻抗 CMOS 输入。1.8V 至 3.3V 逻辑。
36	GND	—	接地	接地
37	VccBUF	—	—	输出缓冲器电源。需要将 0.1μF 电容器接地。
38	GND	—	接地	接地
39	RFoutAM	O	—	差分输出 A 对。集成了连接到 VCC 的 50Ω 上拉电阻。
40	RFoutAP	O	—	差分输出 A 对。集成了连接到 VCC 的 50Ω 上拉电阻。
41	GND	—	接地	接地
42	VccBUF	—	—	输出缓冲器电源。需要将 0.1μF 电容器接地。
43	GND	—	接地	接地
44	VccVCO2	—	—	VCO 电源。建议将 0.1μF 和 10μF 电容器接地。

表 4-1. 引脚功能 (续)

引脚		I/O	类型	说明
编号	名称			
45	VbiasVCO2	—	—	VCO 偏置。需要将 1 $\mu$ F 电容器接地。
46	SysRefReq	I	—	用于支持 JESD204B 的 SYSREF 请求单端输入。
47	VrefVCO2	—	—	VCO 电源基准。需要将 10 $\mu$ F 电容器接地。
48	RECAL_EN	I	—	启用自动重新校准功能。该引脚上的低电平不触发校准。如果是高电平，则只要器件在经过特定延迟后解锁，就会触发校准。
49	CDIV0	I	4 电平引脚	在引脚模式选项下控制通道分频器以及 CDIV2 和 CDIV1。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。
50	CDIV1	I	4 电平引脚	在引脚模式选项下控制通道分频器以及 CDIV0 和 CDIV2。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。
51	CDIV2	I	4 电平引脚	在引脚模式选项下控制通道分频器以及 CDIV1 和 CDIV0。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。
52	GND	—	接地	接地
53	VbiasVARAC	—	—	VCO 变容偏置。需要将 10 $\mu$ F 电容器接地。
54	GND	—	接地	接地
55	Vtune	I	—	VCO 调谐电压输入。
56	VrefVCO	—	—	VCO 电源基准。需要将 10 $\mu$ F 电容器接地。
57	VccVCO	—	—	VCO 电源。建议将 0.1 $\mu$ F 和 10 $\mu$ F 电容器接地。
58	VregVCO	—	—	VCO 稳压器节点。需要将 1 $\mu$ F 电容器接地。
59	GND	—	接地	接地
60	GND	—	接地	接地
61	NC	—	NC	无连接
62	NDIV5	I	4 电平引脚	引脚模式下的整数 N 分频器位 5。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。
63	NDIV4	I	4 电平引脚	引脚模式下的整数 N 分频器位 4。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。
64	NDIV3	I	4 电平引脚	引脚模式下的整数 N 分频器位 3。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅 <a href="#">引脚模式整数频率生成</a> 中的引脚模式说明。

## 5 规格

### 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

		最小值	最大值	单位
V <sub>CC</sub>	电源电压(1)	-0.3	3.6	V
V <sub>DIG</sub>	数字引脚电压 ( SYNC、SysRefReq、RECAL_EN、CAL )	-0.3	V <sub>CC</sub> +0.3	V
V <sub>OScin</sub>	OSCinP 和 OSCinN 之间的差分交流电压		2.1	V <sub>PP</sub>
T <sub>J</sub>	结温	-55	150	°C
T <sub>stg</sub>	贮存温度	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

### 5.2 ESD 等级

			值	单位
V <sub>(ESD)</sub>	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2500	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准, 所有引脚 (2)	±500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施, 不足 500V HBM 时也能进行生产。

### 5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V <sub>CC</sub>	电源电压	3.2	3.3	3.45	V
T <sub>C</sub>	外壳温度	-55	25	125	°C

### 5.4 热性能信息

热指标(1)		CQFP	单位
		64 引脚	
R <sub>θJA</sub>	结至环境热阻	22.7	°C/W
R <sub>θJC(top)</sub>	结至外壳 (顶部) 热阻(2)	7.3	°C/W
R <sub>θJB</sub>	结至电路板热阻	7.6	°C/W
ψ <sub>JT</sub>	结至顶部特征参数	2.2	°C/W
ψ <sub>JB</sub>	结至电路板特征参数	7.4	°C/W
R <sub>θJC(bot)</sub>	结至外壳 (底部) 热阻	1.0	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。  
(2) DAP

## 5.5 电气特性

3.2V ≤ V<sub>CC</sub> ≤ 3.45V, -55°C ≤ T<sub>C</sub> ≤ +125°C, OSCIN = 100MHz, SM 时钟 = 12.5MHz。典型值在 V<sub>CC</sub> = 3.3V, 25°C 条件下测得 (除非另有指明)。

参数		测试条件			最小值	典型值	最大值	单位
<b>电源</b>								
I <sub>CC</sub>	电源电流 (VCO 输出)	OUTBUFFA_PD = 0, OUTBUFFB_PD = 1 OUTBUFFA_MU XSEL = 1 OUTBUFFA_DA CCTRL = 7, CPG = 7 f <sub>OSC</sub> = f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 14.5GHz				480		mA
I <sub>CC</sub>	电源电流 (通道分频器输出)	OUTBUFFA_PD = 0, OUTBUFFB_PD = 1 OUTBUFFA_MU XSEL = 0 OUTBUFFA_DA CCTRL = 7, CPG = 7 f <sub>OSC</sub> = f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 15GHz, f <sub>OUT</sub> = 7GHz				640		mA
I <sub>CC</sub>	电源电流 (倍频器输出)	OUTBUFFA_PD = 0, OUTBUFFB_PD = 1 OUTA_MUX = 2 OUTBUFFA_DA CCTRL=7, CPG = 7 f <sub>OSC</sub> = f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 12GHz f <sub>OUT</sub> = 24GHz				630		mA
I <sub>CC</sub>	电源电流 (RFOUTA 和 RFOUTB 上的倍频器输出)	OUTBUFFA_PD = 0, OUTBUFFB_PD = 0 OUTA_MUX = 2 OUTBUFFA_DA CCTRL=7, CPG = 7 f <sub>OSC</sub> = f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 12GHz f <sub>OUT</sub> = 24GHz				待定		mA
I <sub>CC</sub>	上电复位电流	RESET = 1 (器件唤醒)	RESET = 1 (器件唤醒)	RESET = 1 (器件唤醒)		289		mA
I <sub>CC</sub>	关断电流	POWERDOWN = 1	POWERDOWN = 1	POWERDOWN = 1		14		mA
<b>输出特性</b>								
F <sub>out</sub>	RF 输出频率				5	28000		MHz
P <sub>OUT</sub>	差分输出功率	OUTx_PWR = 31	f <sub>OUT</sub> = 28GHz			待定		dBm
P <sub>OUT</sub>	单端输出功率 <sup>(2) (4)</sup>	OUTx_PWR = 31	f <sub>OUT</sub> = 28GHz			3		dBm
P <sub>OUT</sub>	差分输出功率	OUTx_PWR = 31	f <sub>OUT</sub> = 26GHz			待定		dBm
P <sub>OUT</sub>	单端输出功率 <sup>(2) (4)</sup>	OUTx_PWR = 31	f <sub>OUT</sub> = 26GHz			2		dBm
P <sub>OUT</sub>	差分输出功率	OUTx_PWR = 31	f <sub>OUT</sub> = 24GHz			待定		dBm
P <sub>OUT</sub>	单端输出功率 <sup>(2) (4)</sup>	OUTx_PWR = 31	f <sub>OUT</sub> = 24GHz			2		dBm

$3.2V \leq V_{CC} \leq 3.45V$ ,  $-55^{\circ}C \leq T_C \leq +125^{\circ}C$ , OSCIN = 100MHz, SM 时钟 = 12.5MHz。典型值在  $V_{CC} = 3.3V$ ,  $25^{\circ}C$  条件下测得 (除非另有指明)。

参数		测试条件			最小值	典型值	最大值	单位
P <sub>OUT</sub>	差分输出功率	OUTx_PWR = 31	f <sub>OUT</sub> = 22GHz			待定		dBm
P <sub>OUT</sub>	单端输出功率 <sup>(2) (4)</sup>	OUTx_PWR = 31	f <sub>OUT</sub> = 22GHz			2		dBm
P <sub>OUT</sub>	差分输出功率	OUTx_PWR = 31	f <sub>OUT</sub> = 18GHz			待定		dBm
P <sub>OUT</sub>	单端输出功率 <sup>(2) (4)</sup>	OUTx_PWR = 31	f <sub>OUT</sub> = 18GHz			3		dBm
P <sub>OUT</sub>	差分输出功率	OUTx_PWR = 31 ; VCO 输出	f <sub>OUT</sub> = 15GHz			待定		dBm
P <sub>OUT</sub>	单端输出功率 <sup>(2) (4)</sup>	OUTx_PWR = 31 ; VCO 输出	f <sub>OUT</sub> = 15GHz			3		dBm
P <sub>OUT</sub>	差分输出功率	OUTx_PWR = 31 ; VCO 输出	f <sub>OUT</sub> = 7.5GHz			待定		dBm
P <sub>OUT</sub>	单端输出功率 <sup>(2) (4)</sup>	OUTx_PWR = 31 ; VCO 输出	f <sub>OUT</sub> = 7.5GHz			7		dBm
P <sub>OUT</sub>	差分输出功率	OUTx_PWR = 31 ; VCO 输出	f <sub>OUT</sub> = 4GHz			待定		dBm
P <sub>OUT</sub>	单端输出功率 <sup>(2) (4)</sup>	OUTx_PWR = 31 ; VCO 输出	f <sub>OUT</sub> = 4GHz			6		dBm
H <sub>3/2</sub>	1/2 谐波, 单端测量	F <sub>out</sub> = 2 x F <sub>vco</sub> = 24GHz	在 12GHz 频率下测量;			待定		dBc
H <sub>3/2</sub>	1/2 谐波, 差分端	F <sub>out</sub> = 2 x F <sub>vco</sub> = 24GHz	在 12GHz 频率下测量;			-55		dBc
H <sub>3/2</sub>	3/2 谐波, 单端测量	F <sub>out</sub> = 2 x F <sub>vco</sub> = 16GHz	在 24GHz 频率下测量			待定		dBc
H <sub>3/2</sub>	3/2 谐波, 差分端测量	F <sub>out</sub> = 2 x F <sub>vco</sub> = 16GHz	在 24GHz 频率下测量			待定		dBc
P <sub>mute</sub>	输出静音时的单端输出功率泄漏	F <sub>out</sub> = 24GHz				-50		dBm
P <sub>mute</sub>	输出静音时的单端输出功率泄漏	F <sub>out</sub> = 12GHz				-51		dBm
P <sub>mute</sub>	输出静音时的单端输出功率泄漏	F <sub>out</sub> = 6GHz				-91		dBm
t <sub>MUTE</sub>	静音启用时间	F <sub>out</sub> = 12GHz				200		ns
t <sub>UNMUTE</sub>	静音禁用时间	F <sub>out</sub> = 12GHz				200		ns
isoCH	通道间隔离 ( 倍频器至 VCO )	RFOUTA = 24GHz ; RFOUTB = 12GHz				-39		dBc
isoCH	通道间隔离 ( VCO 至 CH 分频器 )	RFOUTA = 12GHz ; RFOUTB = 6GHz				-53		dBc
isoCH	通道间隔离 ( 倍频器至通道分频器 )	RFOUTA = 24GHz ; RFOUTB = 6GHz				-41		dBc
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 24GHz		1KHz		-87		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 24GHz		10KHz		-99		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 24GHz		100KHz		-101		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 24GHz		1MHz		-113		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 24GHz		10MHz		-137		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 24GHz		100MHz		-151		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 15GHz		1KHz		-97		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 15GHz		10KHz		-104		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 15GHz		100KHz		-104		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 15GHz		1MHz		-117		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 15GHz		10MHz		-140		dBc/Hz
相位噪声	射频输出频率相位噪声	F <sub>out</sub> = 15GHz		100MHz		-156		dBc/Hz
抖动	RMS 抖动	F <sub>out</sub> = 24GHz , 积分范围为 1KHz 至 100MHz				56		fs

**LMX2624-SP**

ZHCSX01 - DECEMBER 2024

3.2V ≤ V<sub>CC</sub> ≤ 3.45V, -55°C ≤ T<sub>C</sub> ≤ +125°C, OSCIN = 100MHz, SM 时钟 = 12.5MHz。典型值在 V<sub>CC</sub> = 3.3V, 25°C 条件下测得 (除非另有指明)。

参数		测试条件			最小值	典型值	最大值	单位
抖动	RMS 抖动	F <sub>out</sub> = 24GHz, 积分范围为 1KHz 至 12GHz; 时钟输出中没有滤波器				待定		fs
偏斜	RFOUTA 和 RFOUTB 之间的偏斜	RFOUTA = RFOUTB = 4GHz				7		ps
<b>输入信号路径</b>								
f <sub>OSCin</sub>	基准输入频率	OSC_2X = 0	OSC_2X = 0	OSC_2X = 0	5		1200	MHz
f <sub>OSCin</sub>	基准输入频率	OSC_2X = 1	OSC_2X = 1	OSC_2X = 1	5		200	
V <sub>OSCin</sub>	基准输入电压	单端交流耦合正弦波输入, 互补侧交流通过 50 Ω 电阻器耦合到地		f <sub>OSCin</sub> ≥ 20MHz	0.4		2	V <sub>PP</sub>
V <sub>OSCin</sub>	基准输入电压	单端交流耦合正弦波输入, 互补侧交流通过 50 Ω 电阻器耦合到地		10MHz ≤ f <sub>OSCin</sub> < 20MHz	0.8		2	V <sub>PP</sub>
V <sub>OSCin</sub>	基准输入电压	单端交流耦合正弦波输入, 互补侧交流通过 50 Ω 电阻器耦合到地		5MHz ≤ f <sub>OSCin</sub> < 10MHz	1.6		2	V <sub>PP</sub>
<b>相位检测器和电荷泵</b>								
f <sub>PD</sub>	相位检测器频率 <sup>(1)</sup>	MASH_ORDER = 0	MASH_ORDER = 0	MASH_ORDER = 0	0.125		250	MHz
f <sub>PD</sub>	相位检测器频率 <sup>(1)</sup>	MASH_ORDER > 0	MASH_ORDER > 0	MASH_ORDER > 0	5		200	MHz
I <sub>CPout</sub>	电荷泵漏电流	CPG = 0	CPG = 0	CPG = 0			15	nA
I <sub>CPout</sub>	有效电荷泵电流。这是向上电流和向下电流的总和	CPG = 4	CPG = 4	CPG = 4			3	mA
I <sub>CPout</sub>	有效电荷泵电流。这是向上电流和向下电流的总和	CPG = 1	CPG = 1	CPG = 1			6	mA
I <sub>CPout</sub>	有效电荷泵电流。这是向上电流和向下电流的总和	CPG = 5	CPG = 5	CPG = 5			9	mA
I <sub>CPout</sub>	有效电荷泵电流。这是向上电流和向下电流的总和	CPG = 3	CPG = 3	CPG = 3			12	mA
I <sub>CPout</sub>	有效电荷泵电流。这是向上电流和向下电流的总和	CPG = 7	CPG = 7	CPG = 7			15	mA
PN <sub>PLL_1/f</sub>	归一化 PLL 1/f 噪声	f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 12GHz <sup>(3)</sup>	f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 12GHz <sup>(3)</sup>	f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 12GHz <sup>(3)</sup>			-129	dBc/Hz
PN <sub>PLL_FOM</sub>	归一化 PLL 本底噪声	f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 12GHz <sup>(3)</sup>	f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 12GHz <sup>(3)</sup>	f <sub>PD</sub> = 100MHz, f <sub>VCO</sub> = 12GHz <sup>(3)</sup>			-236	dBc/Hz

3.2V ≤ V<sub>CC</sub> ≤ 3.45V, -55°C ≤ T<sub>C</sub> ≤ +125°C, OSCIN = 100MHz, SM 时钟 = 12.5MHz。典型值在 V<sub>CC</sub> = 3.3V, 25°C 条件下测得 (除非另有指明)。

参数		测试条件			最小值	典型值	最大值	单位
<b>VCO 特性</b>								
f <sub>VCO</sub>	VCO 频率				7500	15000		MHz
PN <sub>VCO</sub>	VCO 相位噪声	VCO1 f <sub>VCO</sub> = 8.1GHz	VCO1 f <sub>VCO</sub> = 8.1GHz	100kHz		-105		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO1 f <sub>VCO</sub> = 8.1GHz	VCO1 f <sub>VCO</sub> = 8.1GHz	1MHz		-127		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO1 f <sub>VCO</sub> = 8.1GHz	VCO1 f <sub>VCO</sub> = 8.1GHz	10MHz		-148		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO1 f <sub>VCO</sub> = 8.1GHz	VCO1 f <sub>VCO</sub> = 8.1GHz	100MHz		-155		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO2 f <sub>VCO</sub> = 9.3GHz	VCO2 f <sub>VCO</sub> = 9.3GHz	100kHz		-103		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO2 f <sub>VCO</sub> = 9.3GHz	VCO2 f <sub>VCO</sub> = 9.3GHz	1MHz		-125		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO2 f <sub>VCO</sub> = 9.3GHz	VCO2 f <sub>VCO</sub> = 9.3GHz	10MHz		-146		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO2 f <sub>VCO</sub> = 9.3GHz	VCO2 f <sub>VCO</sub> = 9.3GHz	100MHz		-153		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO3 f <sub>VCO</sub> = 10.4GHz	VCO3 f <sub>VCO</sub> = 10.4GHz	100kHz		-103		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO3 f <sub>VCO</sub> = 10.4GHz	VCO3 f <sub>VCO</sub> = 10.4GHz	1MHz		-125		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO3 f <sub>VCO</sub> = 10.4GHz	VCO3 f <sub>VCO</sub> = 10.4GHz	10MHz		-147		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO3 f <sub>VCO</sub> = 10.4GHz	VCO3 f <sub>VCO</sub> = 10.4GHz	100MHz		-158		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO4 f <sub>VCO</sub> = 11.4GHz	VCO4 f <sub>VCO</sub> = 11.4GHz	100kHz		-101		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO4 f <sub>VCO</sub> = 11.4GHz	VCO4 f <sub>VCO</sub> = 11.4GHz	1MHz		-124		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO4 f <sub>VCO</sub> = 11.4GHz	VCO4 f <sub>VCO</sub> = 11.4GHz	10MHz		-146		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO4 f <sub>VCO</sub> = 11.4GHz	VCO4 f <sub>VCO</sub> = 11.4GHz	100MHz		-158		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO5 f <sub>VCO</sub> = 12.5GHz	VCO5 f <sub>VCO</sub> = 12.5GHz	100kHz		-102		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO5 f <sub>VCO</sub> = 12.5GHz	VCO5 f <sub>VCO</sub> = 12.5GHz	1MHz		-126		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO5 f <sub>VCO</sub> = 12.5GHz	VCO5 f <sub>VCO</sub> = 12.5GHz	10MHz		-147		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO5 f <sub>VCO</sub> = 12.5GHz	VCO5 f <sub>VCO</sub> = 12.5GHz	100MHz		-156		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO6 f <sub>VCO</sub> = 13.6GHz	VCO6 f <sub>VCO</sub> = 13.6GHz	100kHz		-101		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO6 f <sub>VCO</sub> = 13.6GHz	VCO6 f <sub>VCO</sub> = 13.6GHz	1MHz		-124		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO6 f <sub>VCO</sub> = 13.6GHz	VCO6 f <sub>VCO</sub> = 13.6GHz	10MHz		-146		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO6 f <sub>VCO</sub> = 13.6GHz	VCO6 f <sub>VCO</sub> = 13.6GHz	100MHz		-160		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO7 f <sub>VCO</sub> = 14.7GHz	VCO7 f <sub>VCO</sub> = 14.7GHz	100kHz		-101		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO7 f <sub>VCO</sub> = 14.7GHz	VCO7 f <sub>VCO</sub> = 14.7GHz	1MHz		-124		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO7 f <sub>VCO</sub> = 14.7GHz	VCO7 f <sub>VCO</sub> = 14.7GHz	10MHz		-146		dBc/Hz
PN <sub>VCO</sub>	VCO 相位噪声	VCO7 f <sub>VCO</sub> = 14.7GHz	VCO7 f <sub>VCO</sub> = 14.7GHz	100MHz		-157		dBc/Hz

3.2V ≤ V<sub>CC</sub> ≤ 3.45V, -55°C ≤ T<sub>C</sub> ≤ +125°C, OSCIN = 100MHz, SM 时钟 = 12.5MHz。典型值在 V<sub>CC</sub> = 3.3V, 25°C 条件下测得 (除非另有指明)。

参数		测试条件			最小值	典型值	最大值	单位
	锁定时间	无辅助模式； RFOUTA 为 9.5GHz 至 9.52GHz；环路 带宽 = 300kHz， PFD 频率 = 100MHz；				3000		μs
	锁定时间	完全辅助模式， 环路带宽 = 300kHz，PFD 频 率 = 100MHz； RFOUTA 为 9.5GHz 至 9.52GHz，在 RFOUT 附近稳定 下来，误差不超 过 1PPM				16		μs
K <sub>VCO</sub>	VCO 增益	8.1GHz				94		MHz/V
K <sub>VCO</sub>	VCO 增益	9.3GHz				106		MHz/V
K <sub>VCO</sub>	VCO 增益	10.4GHz				122		MHz/V
K <sub>VCO</sub>	VCO 增益	11.4GHz				148		MHz/V
K <sub>VCO</sub>	VCO 增益	12.5GHz				185		MHz/V
K <sub>VCO</sub>	VCO 增益	13.6GHz				202		MHz/V
K <sub>VCO</sub>	VCO 增益	14.7GHz				233		MHz/V
ΔT <sub>CL</sub>	未重新校准 VCO 时允许的温漂	配置为 SPI 模式				125		°C
H2	VCO 二次谐波	f <sub>VCO</sub> = 8GHz，禁 用分频器				-30		dBc
H3	VCO 三次谐波	f <sub>VCO</sub> = 8GHz，禁 用分频器				-25		dBc

$3.2V \leq V_{CC} \leq 3.45V$ ,  $-55^{\circ}C \leq T_C \leq +125^{\circ}C$ , OSCIN = 100MHz, SM 时钟 = 12.5MHz。典型值在  $V_{CC} = 3.3V$ ,  $25^{\circ}C$  条件下测得 (除非另有指明)。

参数		测试条件		最小值	典型值	最大值	单位
<b>数字接口 (适用于 SCK、SDI、CSB、CAL、RECAL_EN、MUXout、SYNC、SysRefReq)</b>							
V <sub>IH</sub>	高电平输入电压			1.6			V
V <sub>IL</sub>	低电平输入电压					0.4	V
I <sub>IH</sub>	高电平输入电流			-100		100	μA
I <sub>IL</sub>	低电平输入电流			-100		100	μA
V <sub>OH</sub>	高电平输出电压	MUXout 引脚	负载电流 = -5mA	V <sub>CC</sub> - 0.6			V
V <sub>OL</sub>	低电平输出电压	MUXout 引脚	负载电流 = 5mA			0.6	V
	SYSREF 输出共模电压				待定		V
	SYREF 输出摆幅				待定		V
	SYSREF 频率范围				待定		MHz
	SYSREF 延迟步长				待定		ps
VL	CDIV0、CDIV1、CDIV2 电压电平			0		0.4	V
VML	CDIV0、CDIV1、CDIV2 电压电平			0.8	V <sub>CC</sub> /3	1.4	V
VMH	CDIV0、CDIV1、CDIV2 电压电平			1.9	2*V <sub>CC</sub> /3	2.5	V
VH	CDIV0、CDIV1、CDIV2 电压电平			3	V <sub>CC</sub>	3.45	V
VL	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 电压电平			0		0.4	V
VML	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 电压电平			0.8	V <sub>CC</sub> /3	1.4	V
VMH	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 电压电平			1.9	2*V <sub>CC</sub> /3	2.5	V
VH	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 电压电平			3	V <sub>CC</sub>	3.45	V

- 对于较低的 VCO 频率, N 分频器最小值会限制相位检测器频率。
- 在去嵌入微带布线损耗并与手动调谐器匹配后获得的单端输出功率。未使用的端口端接至 50 Ω 负载。
- 使用一个干净基准和一个宽环路带来测量 PLL 噪声成分, 包括闪烁噪声和平坦噪声。PLL\_flat = PLL\_FOM + 20 × log(Fvco/Fpd) + 10 × log(Fpd / 1Hz)。PLL\_flicker (offset) = PLL\_1/f + 20 × log(Fvco / 1GHz) - 10 × log(offset / 10kHz)。在找到这两个成分后, 可以按下公式计算总 PLL 噪声: PLL\_Noise = 10 × log(10<sup>PLL\_Flat / 10</sup> + 10<sup>PLL\_flicker / 10</sup>)
- 输出功率、杂散和谐波会因电路板布局布线和元件而异。

## 5.6 时序要求

(除非另有说明, 否则  $3.2V \leq V_{CC} \leq 3.45V$ ,  $-55^{\circ}C \leq T_A \leq +125^{\circ}C$ 。标称值在  $V_{CC} = 3.3V$ 、 $T_A = 25^{\circ}C$  下测得)

		最小值	标称值	最大值	单位
<b>数字接口写入规范</b>					
f <sub>SPiWrite</sub>	铁电随机存取存储器 (SPI) 写入速度			40	MHz
t <sub>CE</sub>	时钟到使能低电平时间	2.5			ns
t <sub>CS</sub>	数据到时钟建立时间	8.6			ns
t <sub>CH</sub>	数据到时钟保持时间	0.6			ns
t <sub>CWH</sub>	时钟脉冲宽度高电平	5			ns
t <sub>CWL</sub>	时钟脉冲宽度低电平	10			ns
t <sub>CES</sub>	使能到时钟设置时间	6.5			ns
t <sub>EWL</sub>	使能脉冲宽度高电平	5			ns
<b>数字接口回读规格</b>					
f <sub>SPiReadback</sub>	SPI 回读速度			40	MHz

(除非另有说明, 否则  $3.2V \leq V_{CC} \leq 3.45V$ ,  $-55^{\circ}C \leq T_A \leq +125^{\circ}C$ 。标称值在  $V_{CC} = 3.3V$ 、 $T_A = 25^{\circ}C$  下测得)

		最小值	标称值	最大值	单位
$t_{CE}$	时钟到使能低电平时间	2.5			ns
$t_{CS}$	时钟到数据等待时间	8.6			ns
$t_{CWH}$	时钟脉冲宽度高电平	10			ns
$t_{CWL}$	时钟脉冲宽度低电平	10			ns
$t_{CES}$	使能到时钟设置时间	6.5			ns
$t_{EWH}$	使能脉冲宽度高电平	5			ns
$t_{CD}$	时钟下降沿到数据等待时间	待定			ns

请参阅时序图

SYNC 和 SYSREFREQ

## 5.7 时序图

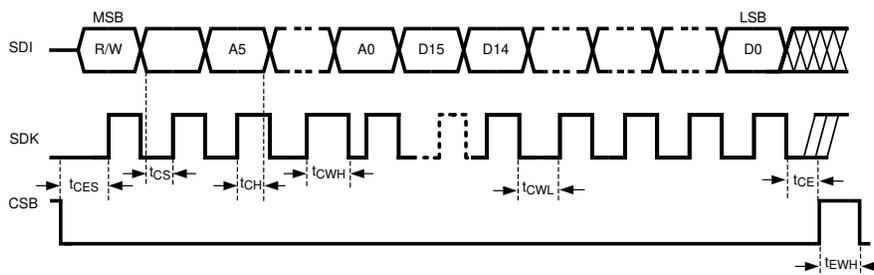


图 5-1. 串行数据输入时序图

在 SPI 上写入时, 还有其他几个注意事项:

- R/W 位必须设置为 0。
- SDI 引脚上的数据在 SCK 引脚的每个上升沿被时钟输入到移位寄存器中。
- CSB 必须保持低电平, 才能对数据进行时钟输入。如果 CSB 保持高电平, 器件会忽略时钟脉冲。
- 当 SCK 为低电平时, CSB 必须从高电平到低电平进行转换。
- 如果在器件之间共享 SCK 和 SDI 线路, TI 建议在不进行时钟输入的器件上将 CSB 线路保持高电平。

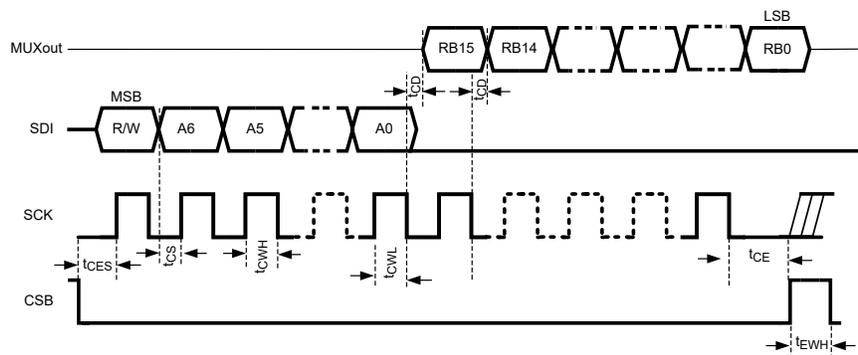


图 5-2. 串行数据回读时序图

SPI 回读还有其他几个注意事项:

- R/W 位必须设置为 1。
- 对于事务的地址部分, 以及在无事务时, MUXout 引脚会设为三态。
- MUXout 上的数据在 SCK 下降沿之后立即可用, 因此必须在 SCK 上升沿回读。
- 始终忽略 SDI 线路上转换的数据部分。

## 6 详细说明

### 6.1 概述

LMX2624-SP 是一款具有集成 VCO、输出倍频器和输出分频器的高性能宽带频率合成器。VCO 的工作频率范围为 7500MHz 至 15000MHz，它可以与输出分频器和倍频器结合使用，以产生 5MHz 至 28GHz 范围内的任何频率。

PLL 是分数 N PLL，具有高达四阶的可编程  $\Delta$ - $\Sigma$  调制器。分母是可编程的 32 位 long 值，它可以很容易地提供低于 1Hz 分辨率的精准频率步长，也可用于进行精确分数计算，如 1/3、7/1000 等。

相位检测器频率在分数模式下最高可达 200MHz，在整数模式下最高可达 250MHz，但也必须考虑最小 N 分频器值。对于需要确定性或可调节相位的应用，SYNC 引脚可以用来获得 OSCin 和 RFout 引脚之间的确定性相位关系。完成此操作后，可以以 VCO 周期除以分母得出的非常精确的步长来调整相位。

超快速 VCO 校准专为必须扫频或突然改变频率的应用而设计。该器件同时具有引脚模式和 SPI 模式选项，可使用通用输入来手动配置频率或使用 SPI 对其进行编程。

JESD204B 支持包括使用 RFoutB 输出来创建差分 SYSREF 输出，该输出可以是单个脉冲，也可以是在远离输出信号上升沿的可编程距离处出现的一系列脉冲。

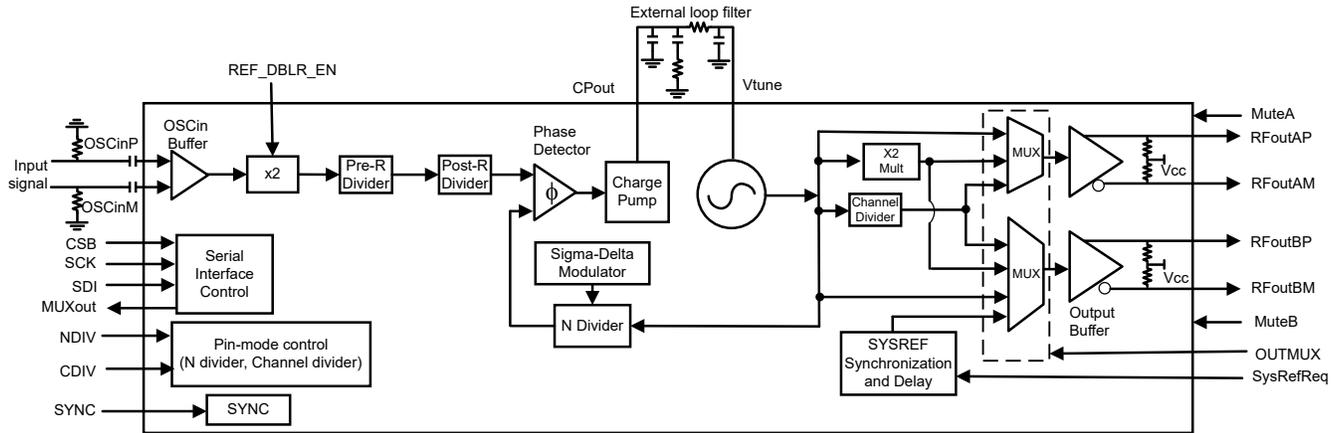
LMX2624-SP 器件仅需要一个 3.3V 电源。内部电源由集成 LDO 提供，无需高性能外部 LDO。

表 6-1 展示了几个倍频器、分频器和分数设置的范围。

表 6-1. 倍频器、分频器和分数设置的范围

参数	字段	最小值	最大值	注释
OSCin 倍频器	OSC_2X	0 (1X)	1 (2X)	低噪声倍频器可用于增加相位检测器频率，以改善相位噪声并避免杂散。这是关于 OSC_2X 位的内容。
R 预分频器	PLL_R_PRE	1 (旁路)	128	只有在 R 后分频器的输入频率太高时，才使用 R 预分频器。
R 后分频器	PLL_R	1 (旁路)	255	R 后分频器的最大输入频率为 250MHz。根据需要使用 R 预分频器。
N 分频器	PLL_N	$\geq 28$	524287	最小分频取决于调制器阶数和 VCO 频率。有关详细信息，请参阅 <a href="#">节 6.3.5</a> 。
分数分子/分母	PLL_NUM、 PLL_DEN	1 (整数模式)	$2^{32} - 1 = 4294967295$	分母是可编程的，可以采用 1 和 $2^{32} - 1$ 之间的任何值；分母不是一个固定值。
分数阶	MASH_ORDER	0	4	0 阶是整数模式，可以对阶数进行编程
通道分频器	CHDIV	1 (旁路)	1536	这是一个包含几个分频器的系列。此外，请注意，在 10GHz 以上时，允许的最大通道分频器值为 6。
输出频率		5MHz	28GHz	低于 7.6GHz 时，使用通道分频器。7.6GHz 至 15.2GHz 来自 VCO。15.2GHz 至 28GHz 来自 VCO 和输出倍频器

## 6.2 功能方框图



## 6.3 特性说明

### 6.3.1 基准振荡器输入

OSCin 引脚用作器件的频率基准输入。该输入为高阻抗，需要在引脚处使用交流耦合电容。可以使用 CMOS 时钟或 XO 对 OSCin 引脚进行单端驱动。还支持差分时钟输入，从而更轻松地与高性能系统时钟器件（例如 TI 的 LMK 系列时钟器件）连接。由于 OSCin 信号被用作 VCO 校准的时钟，因此在对 FCAL\_EN 进行编程时，必须在 OSCin 引脚上施加适当的基准信号。

### 6.3.2 基准路径

基准路径由一个 OSCin 倍频器 (OSC\_2X)、R 预分频器和一个 R 后分频器组成。

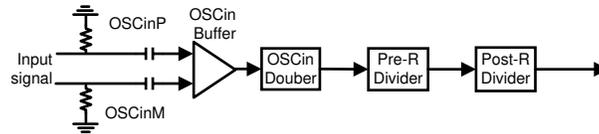


图 6-1. 基准路径图

OSCin 倍频器 (OSC\_2X) 可以将低 OSCin 频率加倍。OSCin 倍频器可用于将输入基准频率翻倍。该倍频器会增加极少量噪声，可用于提高相位检测器频率并避免杂散。当相位检测器频率增加时，PLL 相位噪声的平坦部分得到改善。R 预分频器 (PLL\_R\_PRE) 和 R 后分频器 (PLL\_R) 均向下分频。方程式 1 中计算了相位检测器频率  $f_{PD}$

$$f_{PD} = f_{OSC} \times OSC\_2X / (PLL\_R\_PRE \times PLL\_R) \quad (1)$$

对于方程式 1，请记住：

- 如果使用 OSCin 倍频器，则由于使用了上升沿和下降沿，OSCin 信号必须具有大约 50% 的占空比。否则，杂散会很高。
- 如果不使用 OSCin 倍频器，则仅使用 OSCin 信号的上升沿，占空比并不重要。

### 6.3.2.1 OSCin 倍频器 (OSC\_2X)

OSCin 倍频器可用于将输入基准频率翻倍，最高可达 400MHz，并且引起的噪声最少。在某些情况下，因为 R 预分频器可将信号降低到相位检测器适应的频率范围，能够有效降低分数频率杂散，所以使用倍增器可将频率提升到比相位检测器的最大工作频率更高的频率。

### 6.3.2.2 R 预分频器 (PLL\_R\_PRE)

R 预分频器可用于降低输入频率，从而帮助满足 PLL-R 分频器最大 250MHz 的输入频率限制。否则不必使用预分频器。

### 6.3.2.3 R 后分频器 (PLL\_R)

R 后分频器可用于进一步将频率分频为相位检测器频率。当使用分频器 (PLL\_R > 1) 时，该分频器的输入频率限制为 250MHz。

### 6.3.3 状态机时钟

状态机时钟是器件内部使用的 OSCin 信号的分频版本。分频值为 1、2、4、8 或 16，由 CAL\_CLK\_DIV 编程字决定（在编程部分中说明）。此状态机时钟会影响 VCO 校准。状态机时钟的计算公式为  $f_{smclk} = f_{osc} / 2^{CAL\_CLK\_DIV}$ 。

### 6.3.4 PLL 相位检测器和电荷泵

相位检测器会比较 R 后分频器和 N 分频器的输出，并产生与相位误差相对应的校正电流，直到两个信号同相对齐。该电荷泵电流可通过软件编程设定为很多不同的电平，从而允许修改 PLL 的闭环带宽。

### 6.3.5 N 分频器和分数分频电路

N 分频器包括分数补偿，可以实现从 1 到  $(2^{32} - 1)$  的任何分母。N 的整数部分是 N 分频器值的整数部分，而分数部分  $N_{FRAC} = NUM/DEN$  是剩余的分数部分。通常，总 N 分频器值由  $N + NUM/DEN$  来确定。在 SPI 模式下，N、NUM 和 DEN 可通过软件编程。引脚模式选项具有整数频率生成功能，有关更多详细信息，请参阅[引脚模式部分](#)中的引脚模式说明详细信息。

分母越大，输出的分辨率阶跃越精细。例如，即使使用  $f_{pD} = 200MHz$ ，输出也可以按  $200MHz / (2^{32} - 1) = 0.047Hz$  的阶跃递增。[方程式 2](#) 显示了相位检测器和 VCO 频率之间的关系。请注意，在 SYNC 模式下，有一个额外的分频器，该分频器未显示在[方程式 2](#) 中。

$$f_{VCO} = f_{pd} \times \left( N + \frac{NUM}{DEN} \right) \quad (2)$$

控制该分数分频的  $\Sigma - \Delta$  调制器也可在整数模式和四阶模式之间切换。为了使分数杂散保持一致，每当对 R0 寄存器进行编程时，调制器都会复位。

N 分频器具有基于调制器阶数和 VCO 频率的最小值限制。此外，必须根据[表 6-2](#) 对 PFD\_DLY\_SEL 位进行编程。在 SYNC 模式下，IncludedDivide 可以大于 1，否则 IncludedDivide 为 1。

表 6-2. 最小 N 分频器限制

MASH_ORDER	$f_{VCO}$ / IncludedDivide (MHz)	最小 N	PFD_DLY_SEL
0	$\leq 12500$	29	1
	$> 12500$	33	2
1	$\leq 10000$	30	1
	10000 - 12500	34	2
	$>12250$	38	3
2	$\leq 4000$ ( SYNC 模式 )	31	1
	4000-7500 ( SYNC 模式 )	31	2
	7500 - 10000	33	2
	$>10000$	37	3
3	$\leq 4000$ ( SYNC 模式 )	33	1
	4000-7500 ( SYNC 模式 )	37	2
	7500 - 10000	41	3
	$>10000$	45	4
4	$\leq 4000$ ( SYNC 模式 )	45	3
	4000-7500 ( SYNC 模式 )	49	4
	7500 - 10000	53	5
	$>10000$	57	6

### 6.3.6 MUXout 引脚

MUXout 引脚可配置为 PLL 的锁定检测指示器，或配置为串行数据输出 (SDO)，通过 SPI 接口回读寄存器。字段 MUXOUT\_LD\_SEL ( 寄存器 R0[2] ) 配置此输出。

表 6-3. MUXout 引脚配置

运行模式	MUXOUT_SEL 位	MUXOUT 引脚	功能
引脚模式	X	锁定检测	PLL 的锁定检测指示器
SPI 模式	1 ( 默认值 )	三态	三态
SPI 模式	0	锁定检测	PLL 的锁定检测指示器
SPI 模式	X	SDO	当 SPI_READ 位设置为 1 时，MUXOUT 引脚用于串行数据输出以读取 SPI 数据

选择锁定检测指示器后，有两种类型的指示器，可以使用字段 LD\_TYPE ( 寄存器 R59[0] ) 来选择指示器。第一个指示器称为“VCOCAL” (LD\_TYPE=0)，第二个指示器称为“VTUNE 和 VCOCAL” (LD\_TYPE=1)。

#### 6.3.6.1 用于回读的串行数据输出

在 SPI 模式下，MUXout 引脚变为 SPI 的串行数据输出。此输出可通过 MUXout\_SEL 位设为三态。有关此引脚运行的详细信息，请参阅串行接口说明。当使用的器件为完全辅助模式且检索和保存 VCO 校准数据以供将来使用时，回读非常有用。还可以通过回读，使用字段 rb\_LD\_VTUNE ( 寄存器 R110[10:9] ) 回读锁定检测状态。

#### 6.3.6.2 锁定检测指示器设置为“VCOCAL”或“VTUNE 和 VCOCAL”类型

LD\_LOCK\_EN 位用于选择锁定检测指示的类型。如果此位为 0x0，则选择“VCOCAL”类型，如果此位设置为 0x1，则选择“VTUNE 和 VCOCAL”类型。

选择“VCOCAL”锁定检测类型后，该位会在 VCO 完成校准且 LD\_DLY 超时计数器结束后在 MUXout 引脚上置为高电平输出。否则 MUXout 引脚为低电平。

选择“VTUNE 和 VCOcal”锁定检测类型时，如果 VCO 调谐电压处于可接受的水平内，且 VCO 校准和 LD\_DLY 超时计数器已完成，则该位会在 MUXout 引脚上置为高电平输出。否则 MUXout 引脚为低电平。

可编程计时器 (LD\_DLY, 寄存器 R60[15:0]) 会在 VCO 校准完成后增加额外的延迟，之后才会将锁定检测指示器置为高电平。LD\_DLY 是 16 位无符号数，对应于绝对延迟中的相位检测器周期数。例如，100MHz 的相位检测器频率和 LD\_DLY=10000 会在指示器置位之前增加 100μs 的延迟。如果 PLL 解除锁定或移除输入基准时钟，则锁定检测器变为低电平。

### 6.3.7 VCO (压控振荡器)

LMX2624-SP 包括一个完全集成的 VCO。VCO 从环路滤波器获取电压并将其转换为频率。VCO 频率与其他频率相关，如方程式 3 所示。

$$f_{VCO} = f_{PD} \times N \text{ divider} \times N \text{ IncludedDivide} \quad (3)$$

根据此表，可以估算任意 VCO 频率  $f_{VCO}$  的 VCO 增益，如方程式 4 所示：

$$K_{vco} = K_{vco1} + (K_{vco2} - K_{vco1}) \times (f_{VCO} - f1) / (f2 - f1) \quad (4)$$

#### 6.3.7.1 VCO 校准

为了降低 VCO 调谐增益并因此提高 VCO 相位噪声性能，将 VCO 频率范围划分为几个不同的频带。7500MHz 至 15000MHz 的整个范围涵盖了一个倍频程，使得分频器可以处理低于下限的频率。这就需要进行频率校准以确定给定所需输出频率的正确频带。只要 R0 寄存器被编程为 FCAL\_EN = 1，就会激活频率校准例程。在 VCO 校准开始之前必须存在有效的 OSCin 信号。

VCO 还具有一个内部幅度校准算法来优化相位噪声，该算法在 R0 寄存器被编程时也会被激活。

实现此目的的理想内部设置取决于温度。如果允许温漂过大而不重新校准，则可能会导致一些轻微的相位噪声下降。连续锁定的最大容许漂移  $\Delta T_{CL}$  在电气规格部分有说明。对于此器件，125°C 的温度表示如果器件在建议运行条件下运行，则不会失锁。

LMX2624-SP 允许用户辅助进行 VCO 校准。一般而言，共有四种辅助，如表 6-4 所示：

**表 6-4. 辅助实现 VCO 校准速度**

辅助水平	说明	VCO_SEL	VCO_SEL_FORCE VCO_CAPCTRL_FORCE VCO_DACISSET_FORCE	VCO_CAPCTRL VCO_DACISSET
无辅助	用户不执行任何操作来提高 VCO 校准速度。	7	0	不用考虑
部分辅助	每次频率变化时，在检查 FCAL_EN 位之前，用户提供初始的起始 VCO_SEL	按表选择	0	不用考虑
完全辅助	用户强制启用 VCO 内核 (VCO_SEL)、幅度设置 (VCO_DACISSET) 和频带 (VCO_CAPCTRL)，并手动设置相应的值。如果两个频点之间相差不超过 5MHz 并且在同一个 VCO 内核上，用户可以使用线性插值为这两个点之间的任何频率设置 VCO 幅度和 Capcode	按回读选择	1	按回读选择

#### 6.3.7.1.1 双缓冲 (影子寄存器)

双缓冲 (也称为“影子寄存器”) 允许用户对多个寄存器进行编程，而无需让它们实际生效。然后当 R0 寄存器被编程后，这些寄存器就会生效。如果想要快速改变频率并且需要多次寄存器写入，这将特别有用。当 DBLBUF\_EN = 1 时，会为与 VCO、倍频器、PLL、输出多路复用器和通道分频器相关的寄存器启用双缓冲。有关寄存器的更多详细信息，请参阅[寄存器映射](#)部分。

对于无辅助方法，只需设置 VCO\_SEL=7 即可。对于部分辅助，可以通过根据频率更改 VCO\_SEL 位来提高 VCO 校准速度。请注意，该频率不是实际的 VCO 内核范围，而是倾向于选择 VCO。这不仅是 VCO 校准速度的更好选择，而且是实现可靠锁定所必需的。

表 6-5. 部分辅助的最小 VCO\_SEL

$f_{VCO}$	VCO 内核 (最小值)
7500 - 8600MHz	VCO1
8600 - 9900MHz	VCO2
9900 - 10800MHz	VCO3
10800MHz 至 11900MHz	VCO4
11900 - 13000MHz	VCO5
13000 - 14000MHz	VCO6
14000 - 15000MHz	VCO7

为了获得更快的校准时间，请使用上表中建议的最小 VCO 内核。下表以粗体显示了此选项的典型 VCO 校准时间，并显示了在选择高于所需的 VCO 内核时，校准时间会增加多长时间。请注意，这些校准时间特定于这些已指定且位于两个内核边界的  $f_{OSC}$  和  $f_{PD}$  条件，有时校准时间会增加。

表 6-6.  $f_{OSC} = 100\text{MHz}$  和  $f_{PD} = 200\text{MHz}$  时的典型校准时间 ( $\mu\text{s}$ )

$f_{VCO}$	VCO_SEL#none#						
	VCO7	VCO6	VCO5	VCO4	VCO3	VCO2	VCO1
8.1GHz	650	614	620	376	256	243	<b>191</b>
9.3GHz	606	589	587	335	196	<b>177</b>	无效
10.4GHz	598	579	570	338	<b>177</b>	无效	
11.4GHz	543	540	530	<b>284</b>	无效		
12.5GHz	396	346	<b>300</b>	无效			
13.6GHz	262	<b>218</b>	无效				
14.7GHz	<b>164</b>	无效					

表 6-7.  $f_{OSC} = 100\text{MHz}$  和  $f_{PD} = 200\text{MHz}$  时的典型校准时间 ( $\mu\text{s}$ )

$f_{VCO}$	VCO_SEL <sup>(1)</sup>						
	VCO7	VCO6	VCO5	VCO4	VCO3	VCO2	VCO1
8.1GHz	854	828	822	579	451	437	<b>393</b>
9.3GHz	819	800	794	551	401	<b>380</b>	无效
10.4GHz	808	786	781	551	<b>388</b>	无效	
11.4GHz	767	745	743	<b>494</b>	无效		
12.5GHz	603	560	<b>513</b>	无效			
13.6GHz	469	<b>426</b>	无效				
14.7GHz	<b>385</b>	无效					

(1) 基于 VCO\_SEL。其中包括典型环路带宽的模拟锁定时间。

### 6.3.7.2 看门狗特性

当 VCO 校准期间的辐射导致 VCO 校准失败时，看门狗特性就会发挥作用。启用此特性后，在 VCO 校准期间看门狗计时器会运行。如果该计时器在 VCO 校准完成前结束，则会重新启动 VCO 校准。WD\_DLY 字设置通过看门狗特性重新启动该校准的次数。

### 6.3.7.3 RECAL 特性

RECAL 功能用于应对当 VCO 处于锁定状态时，外部辐射干扰导致其解除锁定的情况。当 RECAL\_EN 引脚为高电平时，如果 PLL 失去锁定并在 LD\_DLY 字指定的时间内保持失去锁定状态，则触发 VCO 重新校准。

### 6.3.7.4 确定 VCO 增益

VCO 增益会根据内核而变化，并且这种变化会受到温度和工艺的影响。表 表 6-8 提供了基于 VCO 内核的预期 VCO 增益值的粗略指南。

表 6-8. VCO 增益

f1	f2	Kvco1	Kvco2
7500	8600	73	112
8600	9900	84	136
9900	10800	102	140
10800	11900	115	162
11900	13000	167	224
13000	14000	182	228
14000	15000	218	254

### 6.3.8 通道分频器

要低于 7500MHz 的 VCO 下限，可以使用通道分频器。通道分频器包含六个段，总分频值等于它们的乘积。因此，并非所有值都有效。

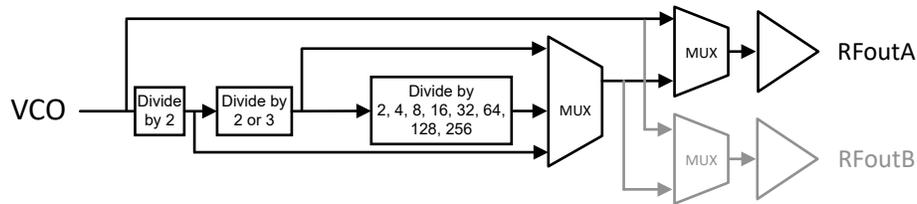


图 6-2. 通道分频器

使用通道分频器时，这些值存在限制。表 6-9 显示了如何实施这些值。

表 6-9. 通道分频器段

等效分频值	频率限制	OutMin (MHz)	OutMax (MHz)	CHDIV[4:0]
2	无	3750	7500	1
4		1875	3750	2
6	$f_{VCO} \leq 12\text{GHz}$	1250	2000	
8		937.5	1500	4
12		625	1000	5
16		468.75	750	6
24		312.5	500	7
32		234.375	375	8
48		156.25	250	9
64		117.1875	187.5	10
96		78.125	125	11
128		58.59375	93.75	12
192		39.0625	62.5	13
256		29.296875	46.875	14
384		19.53125	31.25	15
512		14.6484375	23.4375	16
768	9.765625	15.625	17	
1024	7.32421875	11.71875	18	
1536	4.8828125	7.8125	19	

无论输出是否断电，只要选定输出 (OUTMUXx) 并连接到通道分频器或 SysRef，就会为通道分频器供电。不使用输出时，TI 建议选择 VCO 输出以确认没有不必要地为通道分频器加电。

表 6-10. 通道分频器

RFOUTA	RFOUTB	通道分频器 (CDIV) 状态
通道分频器	通道分频器	已上电
通道分频器	VCO	已上电
VCO	通道分频器	已上电
倍频器	通道分频器	已上电
VCO	VCO	已断电
VCO	倍频器	已断电
倍频器	VCO	已断电
倍频器	倍频器	已断电

### 6.3.9 输出静音引脚和乒乓方法

可以使用 MUTE 引脚对输出缓冲器进行静音或取消静音。该引脚的极性可在 SPI 模式下通过 PINMUTE\_POL 位进行编程。当输出静音时，PLL 保持锁定状态，因此这可用于组合多个合成器以加快锁定时间。具有静音输出的 PLL 可以接受编程命令，甚至可以锁定到新频率。当输出静音时，不需要的信号会大大衰减，并且可以通过外部射频开关进一步衰减。

提供了 MuteA 和 MuteB 引脚，分别用于使 RFOUTA 和 RFOUTB 静音。当一个输出静音时，其他输出可以正常运行。MuteA 和 MuteB 引脚在引脚模式和 SPI 模式下均可正常工作。在 SPI 模式下，可以通过寄存器设置或通过 MUTEA 和 MUTE B 引脚将 MUTEA 和 MUTE B 设置为运行。

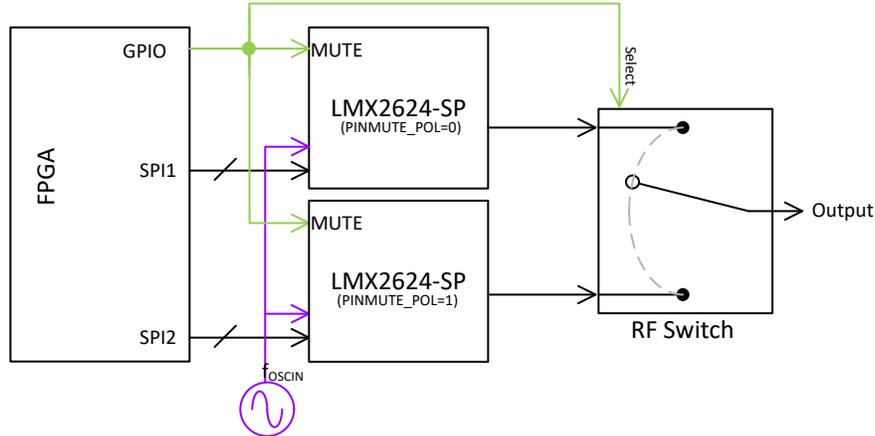


图 6-3. 使用两个 LMX2624-SP 器件实现输出静音

### 6.3.10 输出频率倍频器

倍频器用于在 RFOUTA 和 RFOUTB 产生两倍于 VCO 频率的输出频率，具体取决于 OUTMUX2、OUTMUX1 和 OUTMUX0 设置。当 VCO 频率加倍时，基本（非加倍）VCO 频率确实泄漏到输出，这就是次谐波（0.5 倍）。为了更大限度地减少这些次谐波，可调谐滤波器跟踪输出频率，并滤除此次谐波以及其他不需要的谐波（1.5X、2X、3X...）。只要完成 VCO 校准，就会自动触发此可调谐滤波器的校准。

### 6.3.11 输出缓冲器

射频输出缓冲器具有内部  $50\ \Omega$  端接电阻。输出功率可设定为各种电平，或者在仍使 PLL 保持锁定的同时禁用输出功率。

可对 OUTBUFFA 和 OUTBUFFB 寄存器进行编程，以便提高或降低输出缓冲器功率水平。共有 8 种设置，从 0 到 7，其中 0 表示最小功率，7 表示最大功率设置。上电期间，默认设置为 7。

### 6.3.12 断电模式

可以使用 POWERDOWN 位或 CAL 引脚对 LMX2624-SP 进行上电和断电。将 POWERDOWN 位设置为 1 或将 CAL 引脚设置为低电平会使器件进入断电模式。要使器件恢复正常运行，请将 POWERDOWN 位设置为 0 或将 CAL 引脚拉回高电平（如果器件通过 CAL 引脚断电）。必须再次对寄存器 R0 编程，将 FCAL\_EN 设置为高电平，从而重新校准器件。

### 6.3.13 引脚模式整数频率生成

LMX2624-SP 具有引脚模式选项，可生成固定频率的输出，并且不需要任何串行编程。根据引脚模式选项中的引脚设置生成输出频率。可以使用引脚模式选项设置整数 N 分频器和通道分频器。

这些引脚模式的一些运行规则如下：

- 使用 CDIVx 引脚设置引脚模式。除了在接地时，CDIVx 引脚的所有引脚组合都视为引脚模式。不能在引脚模式下使用 SPI 控制。如果 CDIV2、CDIV1 和 CDIV0 接地，则器件处于 SPI 模式。
- 电源的上升时间需要小于 50ms。
- 分数分子和分母在引脚模式下不可用。仅使用 NDIV 设置来设置 N 分频器
- CAL 引脚连接至 VCC。在引脚模式频率选项之间切换时，在更改引脚之后，必须切换 CAL 引脚。

NDIVx 和 CDIVx 引脚是四电平引脚。四电平引脚用于以较少的引脚数获得更多分频值，从而有助于减小整体封装尺寸。NDIVx 共有六个引脚，CDIVx 有三个引脚。具有四个电平的 6 个 NDIVx 引脚（NDIV5、NDIV4、NDIV3、NDIV2、NDIV1、NDIV0）总共可以产生  $4^6$  个组合，这意味着有 4096 个值。类似地，具有四个电平的 CDIVx 引脚（CDIV2、CDIV1、CDIV0）总共有  $4^3 = 64$  个组合。由于引脚具有四个电平，所以 9 个引脚足以代替具有两个电平的 18 个引脚。引脚的四个电平是 VL、VML、VMH 和 VH，如图 6-4 所示。在 VCC 和接地端之间使用三个

10kΩ 电阻器，这样就有四个电平，包括 VCC、地以及两个中间电平，称为 VMH ( 中高电压 ) 和 VML ( 中低电压 )。

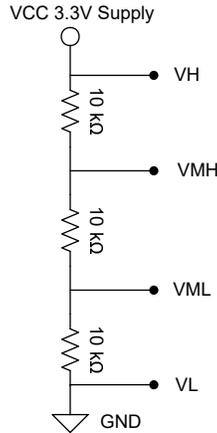


图 6-4. 四电平引脚实施

NDIVx 在引脚模式下提供总共 4096 个整数分频器选项。分子 (NUM) 和分母 (DEN) 在引脚模式下不适用于分数 PLL，并且只能在 SPI 模式下使用。引脚模式 NDIVx 值的 N 分频器限制的最小值与 SPI 模式选项类似。有关 N 分频器最小值设置，请参阅表 6-2。

在 SPI 模式下可用的所有通道分频器设置组合在使用 CDIVx 引脚的引脚模式选项中也可用。有关引脚模式下的 CDIVx 设置、SPI 模式下的 CHDIV<4:0> 设置以及相应的通道分频器值，请参阅表 6-11。根据所需的通道分频器值，CDIV2、CDIV1、CDIV0 引脚需要连接到四个电平之一。

表 6-11. CDIVx 引脚模式分频器值

CDIV2	CDIV1	CDIV0	SPI 模式下的 CHDIV<4:0> 等效 值	通道分频器值
VL	VL	VL	0	SPI 模式
VL	VML	VL	1	2
VL	VMH	VL	2	4
VL	VMH	VH	3	6
VML	VL	VL	4	8
VML	VL	VH	5	12
VML	VML	VL	6	16
VML	VML	VH	7	24
VML	VMH	VL	8	32
VML	VMH	VH	9	48
VML	VH	VL	10	64
VML	VH	VH	11	96
VMH	VL	VL	12	128
VMH	VL	VH	13	192
VMH	VML	VL	14	256
VMH	VML	VH	15	384
VMH	VMH	VL	16	512
VMH	VMH	VH	17	768
VMH	VH	VL	18	1024

表 6-11. CDIVx 引脚模式分频器值 (续)

CDIV2	CDIV1	CDIV0	SPI 模式下的 CHDIV<4:0> 等效 值	通道分频器值
VMH	VH	VH	19	1536

OUTMUX2、OUTMUX1 和 OUTMUX0 引脚用于根据表 6-12 选择 RFOUTx。

表 6-12. OUTMUX 设置

OUTMUX2	OUTMUX1	OUTMUX0	RFOUTA 输出	RFOUTB 输出
0	0	0	通道分频器	通道分频器
0	0	1	通道分频器	VCO
0	1	0	VCO	通道分频器
0	1	1	VCO	VCO
1	0	0	倍频器	通道分频器
1	0	1	VCO	倍频器
1	1	0	倍频器	VCO
1	1	1	倍频器	倍频器

引脚模式下的示例频率生成：

要求：

**RFOUTAx** 射频输出频率 = 21000MHz

只需要一个射频输出；无 SYSREF。

**基准输入 (OSCIN)** 频率 = 50MHz

**所需模式：** 引脚模式；在实际的子系统实施中不提供软件或 SPI 控制。

要生成 21000MHz，需要在输出端使用倍频器输出。配置如下：

CDIVx 引脚需要配置为 GND 以外的值。例如，将 CDIV2、CDIV1 和 CDIV0 连接到 VCC (全部为 1)。

OUTMUX2 = 1、OUTMUX1 = 1、OUTMUX0 = 0 (RFOUTA 配置为倍频器输出)。

将 MUTEb 连接到 GND 以使 RFOUTB 上的 VCO 路径实现静音。

在此配置中将 REF\_DBLR\_EN 连接至 VCC，以便使 PFD 达到 100MHz。使用此输入倍频器，OSCIN 50 MHz 会翻倍，从而改善相位噪声性能。

VCO 频率 = 10500MHz，在使用倍频器后生成 21000MHz。NDIV 值需要为  $10500/100 = 105$ 。将 NDIV5、NDIV4、NDIV3、NDIV2、NDIV1、NID0 引脚连接到等效于 105 值的电阻器网络。

将十进制 105 转换为等效的四进制值，从而生成 NDIV 引脚的配置。

$$(105)_{10} = (001221)_4。$$

NDIVx 引脚需要使用电阻器网络分别连接到 VL、VL、VML、VMH、VMH、VML。

MUTEa 和 MUTEb 引脚在引脚模式下可用，并可根据需要用于静音和取消静音。

有关配置未使用引脚连接的信息，请参阅[未使用引脚处理表](#)。

**使用 GPIO 驱动 4 电平引脚：**

上一节介绍了如何使用电阻器网络产生 VL、VML、VMH 和 VH 电平。如果 RFOUT<sub>x</sub> 频率固定，则这种布置就足够了。对于需要使用引脚模式选项更改频率的应用，需要根据输出频率要求更改 NDIV<sub>x</sub> 和 CDIV<sub>x</sub> 引脚电平。一种选择是使用低速精密 DAC 驱动这些 4 电平引脚，从而产生这四个电压电平，但此方法比较复杂。

以下布置有助于使用 GPIO 驱动 4 电平。请参阅表 6-13。

表 6-13. 在引脚模式下使用 GPIO 驱动 4 电平引脚

NxB	NxA	Nx	Nx 引脚的电压电平
VL	VL	VL	0
VL	VH	VML	VH/3
VH	VL	VMH	2* VH/3
VH	VH	VH	VH

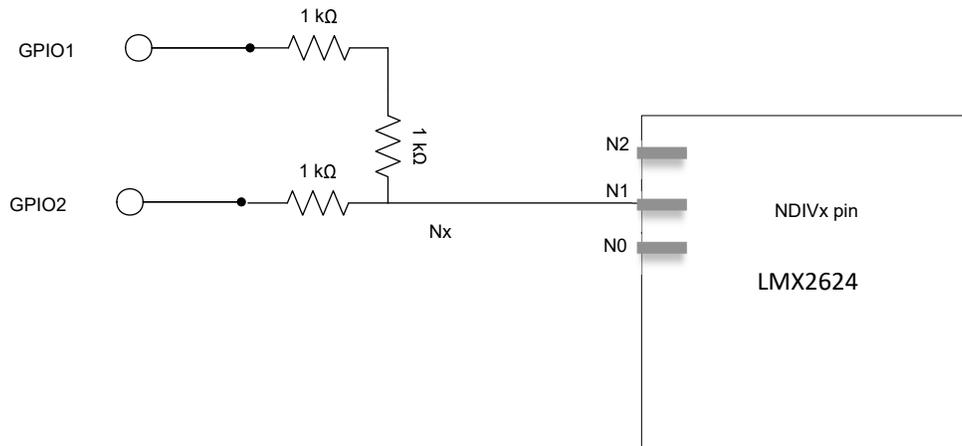


图 6-5. 使用 GPIO 驱动 4 电平引脚

需要根据输出频率要求，更新 NDIV<sub>x</sub> 和 CDIV<sub>x</sub> 引脚的配置，从而形成图 6-5 中的布局。

### 6.3.14 处理未使用的引脚

该器件具有多个可实现许多功能的引脚，如果不需要这些引脚，可以采用优选方法来处理这些引脚。对于输入引脚，建议使用串联电阻器，但也可以直接短接。

表 6-14. 建议的引脚处理方法

引脚	SPI 模式	引脚模式	不使用时的建议处理方法
CDIV0、CDIV1、CDIV2	始终使用	始终使用	SPI 模式：CDIV0、CDIV1 和 CDIV2 引脚必须使用 1kΩ 电阻器连接到 GND。 引脚模式：CDIV0、CDIV1、CDIV2 这三个引脚不能同时接地。根据这些引脚上的值，设置输出分频器。
NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5	从未使用	始终使用	使用 1kΩ 电阻连接到 GND
CAL	从未使用	有时使用	使用 1kΩ 电阻连接到 VCC
SYNC、SysRefReq	有时使用	从未使用	使用 1kΩ 电阻连接到 GND
OSCinP、OSCinM	始终使用	始终使用	在交流耦合电容器之后使用 50Ω 电阻连接到地电位。如果使用互补侧的一侧，而另一侧不使用，则这两个引脚的阻抗必须相似。
SCK、SDI	始终使用	从未使用	使用 1kΩ 电阻连接到 GND
CSB	始终使用	从未使用	使用 1kΩ 电阻连接到 VCC
RECAL_EN	有时使用	有时使用	通过 200kΩ 在内部上拉至 VCC。未使用 RECAL 功能时，使用 1kΩ 连接到 GND。

表 6-14. 建议的引脚处理方法 (续)

引脚	SPI 模式	引脚模式	不使用时的建议处理方法
RFoutAP、RFoutAM、RFoutBP、RFoutBM	有时使用	有时使用	如果两个差分输出引脚均未使用，则可以使用 SPI 模式使这些引脚保持悬空并断电，或者使用引脚模式选项使引脚静音。如果仅使用互补输出的一侧，则通过交流耦合电容器将未使用的引脚与 50 Ω 电阻连接到 GND。
OUTMUX2、OUTMUX1、OUTMUX0	有时使用	始终使用	使用 1kΩ 电阻连接到 GND
REF_DBLR_EN	从未使用	有时使用	使用 1kΩ 电阻连接到 GND
MuteA、MuteB	有时使用	始终使用	使用 1kΩ 电阻连接到 GND

6.3.15 相位同步

6.3.15.1 一般概念

SYNC 引脚允许用户同步 LMX2624-SP，这样可确定从 OSCin 信号上升沿到输出信号的延迟。最初，器件锁定到输入，但是不同步。用户发送一个同步脉冲，该脉冲重新计时到 OSCin 脉冲的下一个上升沿。在给定时间  $t_1$  后，从 OSCin 到  $f_{out}$  的相位关系是确定的。此时间主要由 VCO 校准时间、PLL 环路的模拟设置时间和 MASH\_RST\_CNT (如果已在分数模式下使用) 等因素共同决定。

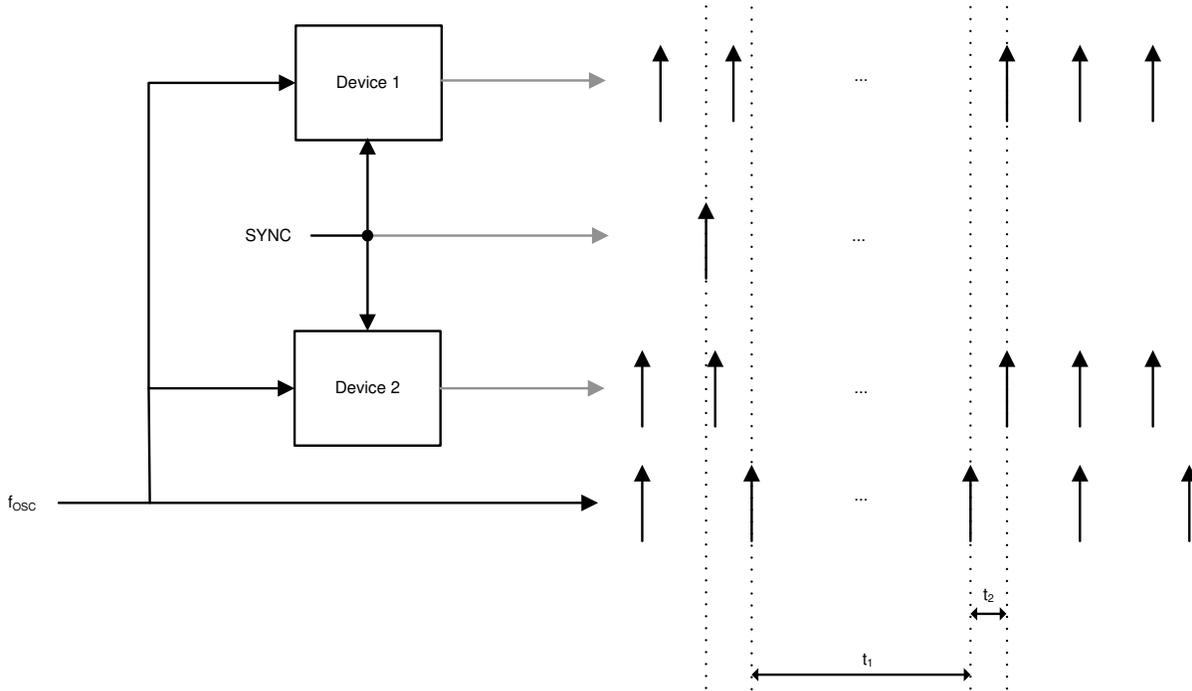


图 6-6. 器件现在同步到 OSCin 信号

启用 SYNC 功能后，部分通道分频可以包括在反馈路径中。

表 6-15. VCO\_PHASE\_SYNC = 1 时的 IncludedDivide

OUTx_MUX	通道分频器	IncludedDivide
OUTBUFFA_MUXSEL=1 或 2 且 OUTBUFFB_MUXSEL = 1 或 2	不用考虑	1
所有其他有效条件	可被 3 整除	6
	所有其他值	4

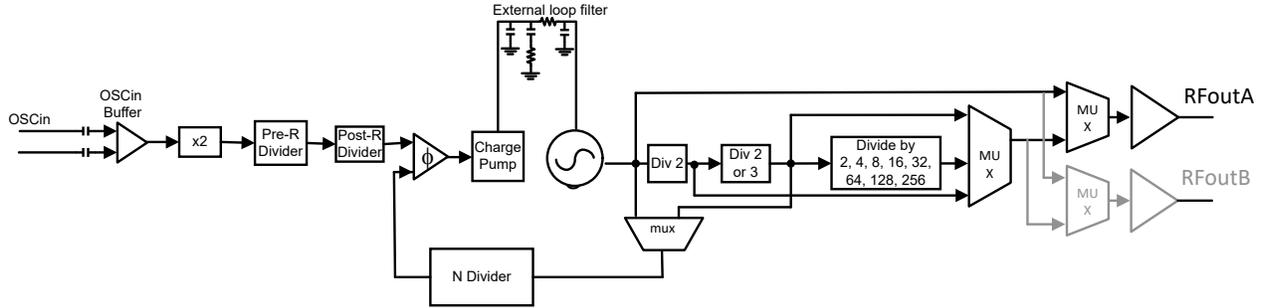


图 6-7. 相位同步图

### 6.3.15.2 SYNC 的应用类别

对 SYNC 的要求取决于某些设置条件。如果 SYNC 不是时序关键型，则可以通过软件将 VCO\_PHASE\_SYNC 位从 0 切换为 1 来完成同步。图 6-8 提供了不同的类别。当时序很关键时，必须通过引脚完成同步，并且 OSCIN 引脚的建立时间和保持时间至关重要。仅对于时序关键型同步（类别 3），请遵循以下指南。

表 6-16. 类别 3 SYNC 的 SYNC 引脚时序特性

参数	说明	最小值	最大值	单位
$f_{OSC}$	输入基准频率		40	MHz
$t_{SETUP}$	SYNC 和 OSCin 上升沿之间的建立时间	2.5		ns
$t_{HOLD}$	SYNC 和 OSCin 上升沿之间的保持时间	2.5		ns

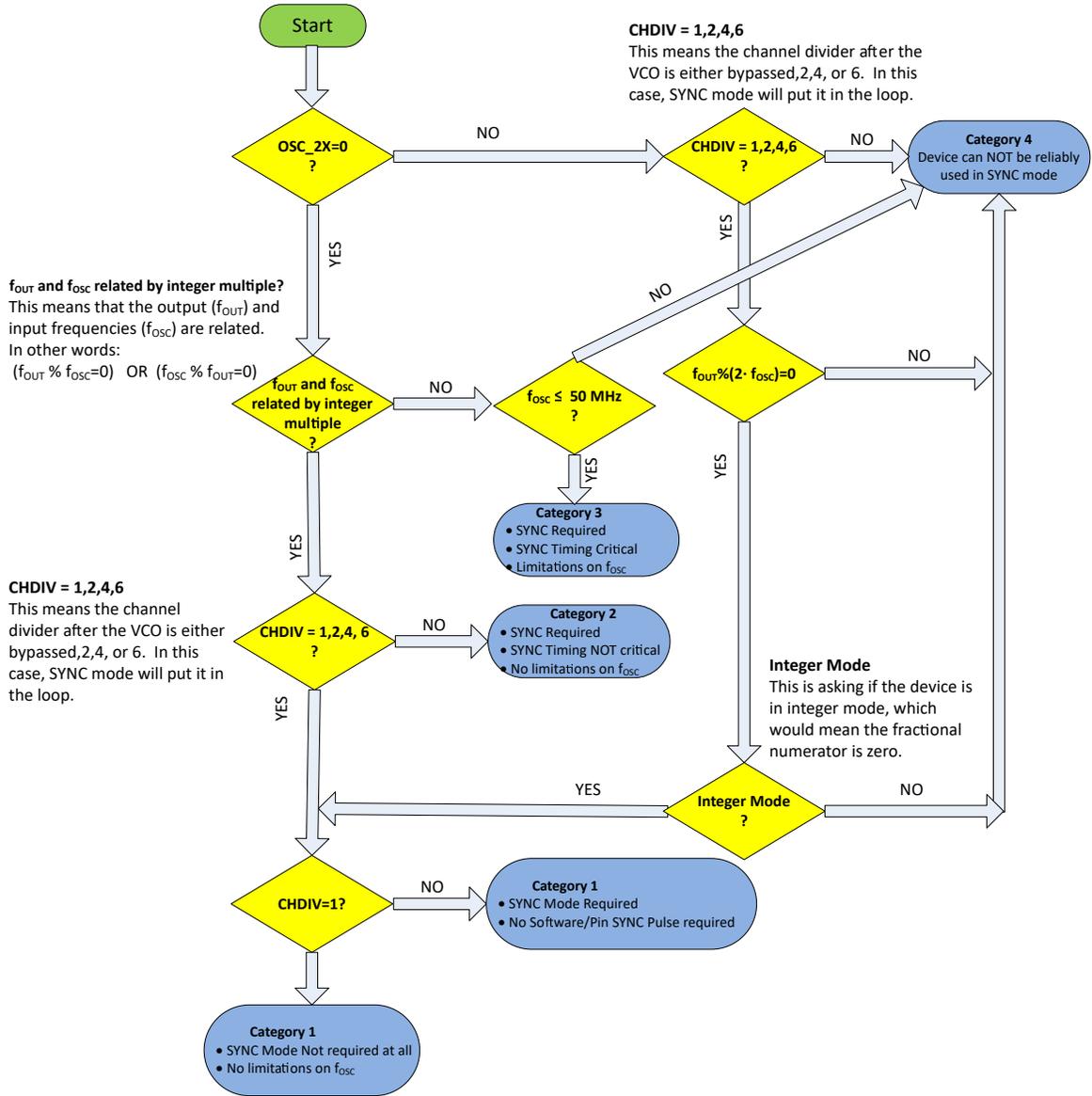


图 6-8. 确定 SYNC 类别

### 6.3.15.3 使用 SYNC 的过程

必须按照此程序将器件置于 SYNC 模式。

1. 使用流程图来确定 SYNC 类别。
2. 根据类别作出关于 OSCin 和使用 SYNC 的决定
  - a. 如果是类别 4，则无法在此设置中执行 SYNC。
  - b. 如果是类别 3，请确认未违背 SYNC 的最大  $f_{OSC}$  频率，并且存在支持使用 SYNC 引脚的硬件配置。
3. 如果使用通道分频，请确定包括的通道分频值为通道分频的  $2 \times SEG1$ ：
  - a. 如果 OUTBUFFA\_MUXSEL 不是通道分频器且 OUTBUFFB\_MUXSEL 不是通道分频器或 SysRef，则 IncludedDivide = 1。
  - b. 否则，IncludedDivide = 6。如果通道分频器为 2，则 IncludedDivide = 4。
4. 如果尚未完成此操作，则将 N 分频器和分数值除以所包含的通道分频值，从而考虑到所包含的通道分频。
5. 通过 VCO\_PHASE\_SYNC = 1 对器件进行编程。请注意，这不会视为对器件（对于类别 2）应用 SYNC。
6. 如果需要，应用 SYNC
  - a. 如果是类别 2，则 VCO\_PHASE\_SYNC 可从 0 切换到 1。或者，可以向 SYNC 引脚发送一个上升沿，且时序并不需要非常精确。
  - b. 如果是类别 3，则必须使用 SYNC 引脚，且时序必须远离 OSCin 信号的上升沿。
7. 通过启用基准分频器，PFD 频率降低时，需要更改（增大）MASH\_RST\_CNT。

### 6.3.15.4 SYNC 输入引脚

可以在 CMOS 中驱动 SYNC 输入引脚。但如果不使用 SYNC 模式 (VCO\_PHASE\_SYNC = 0)，则 INPIN\_IGNORE 位必须设置为 1，否则该位会导致锁定检测出现问题。如果需要使用该引脚且 VCO\_PHASE\_SYNC=1，则设置 INPIN\_IGNORE = 0。

### 6.3.16 相位调整

MASH\_SEED 字可以使用  $\Sigma$ - $\Delta$  调制器相对于输入基准移动输出信号相位。如果发送 SYNC 脉冲（软件或引脚）或使用 MASH\_RST\_N 复位 MASH，则此相移从初始相位为零开始。如果写入 MASH\_SEED 字，则添加此相位。PHASE\_SYNC\_EN 位需要设置为 1，才能在 MASH\_SEED 更改时立即允许相移。在不使 PHASE\_SYNC\_EN=1 的情况下，如果更改了 MASH\_SEED，则输出边沿不会移动。用户需要在 SYNC 引脚上提供同步上升沿。相移的计算结果为 [方程式 5](#)。

$$\text{Phase shift in degrees} = 360 \times (\text{MASH\_SEED} / \text{PLL\_DEN}) \times (\text{IncludedDivide} / \text{CHDIV}) \quad (5)$$

示例：

Mash seed = 1

分母 = 12

通道分频器 = 16

相移 (VCO\_PHASE\_SYNC=0) =  $360 \times (1/12) \times (1/16) = 1.875$  度

相移 (VCO\_PHASE\_SYNC=1) =  $360 \times (1/12) \times (4/16) = 7.5$  度

使用 MASH\_SEED 时，有几个注意事项

- 当 FRAC\_NUM = 0 时可以进行相移，但 MASH\_ORDER 必须大于零。对于 MASH\_ORDER = 1，只有当 MASH\_SEED 是 PLL\_DEN 的倍数时才会发生相移。
- 对于二阶调制器， $PLL\_N \geq 45$ ；对于三阶调制器， $PLL\_N \geq 49$ ；对于四阶调制器， $PLL\_N \geq 54$ 。

在 IncludedDivide > 1 的情况下使用 MASH\_SEED 时，还要考虑几个额外的注意事项，以便使相移随着 MASH\_SEED 的变化而单调递增。

- 建议使用 MASH\_ORDER  $\leq 2$ 。

- 当在低于 10GHz (IncludedDivide = 6) 或 9GHz (IncludedDivide = 4) 的 VCO 频率下使用二阶调制器时，需要将 PLL\_N 值提高很多或更改为一阶调制器。何时需要使用此用例取决于 VCO 频率、IncludedDivide 和 PLL\_N 值。

### 6.3.17 相位调整和相位同步的精细调整

相位同步是指在每个上电周期和每次都假设遵循给定编程过程的情况下获得相同相位关系的过程。但可以进行一些调整以获得更准确的结果。至于相位同步的一致性，唯一的变化来源可能是如果 VCO 校准选择了不同的 VCO 内核和电容器，这可能会引入双峰分布，大约有 10ps 的变化。如果这 10ps 是不可取的，那么可以通过回读 VCO 内核、capcode 和 DACISSET 值并强制这些值每次提供相同的校准设置来消除变化。通过器件的延迟因器件而异，可能约为 60ps。这种部件间的差异可以使用 MASH\_SEED 来校准。通过器件的延迟变化也在 +2.5ps/°C 的范围内变化，但同一电路板上的器件可能具有相似的温度。总之，可以使不同器件具有一致的延迟，并且可以通过 MASH\_SEED 调整全部残留错误。当周期较短时，这往往仅会在输出频率较高时才会出现问题。

### 6.3.18 SYSREF

LMX2624-SP 可以生成一个与  $f_{OUT}$  同步的 SYSREF 输出信号，并具有可编程延时。该输出可能是单个脉冲，也可能是一系列脉冲，亦或是连续的脉冲流。要使用 SYSREF 功能，首先必须将 PLL 置于 SYNC 模式且  $VCO\_PHASE\_SYNC\_EN = 1$ 。

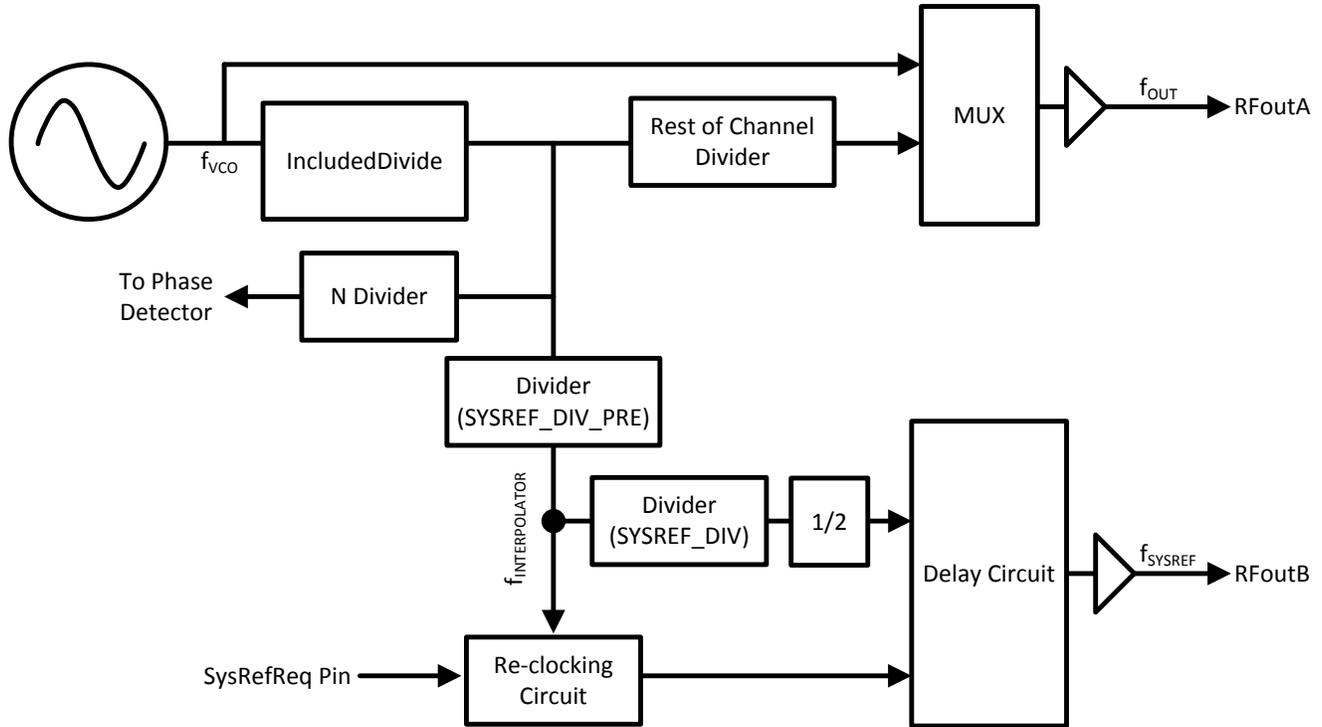


图 6-9. SYSREF 设置

如图 6-9 所示，SYSREF 特性使用 IncludedDivide 和 SYSREF\_DIV\_PRE 分频器来生成  $f_{INTERPOLATOR}$ 。该频率用于对 SysRefReq 引脚的上升沿和下降沿重新计时。在 SYSREF 生成模式下， $f_{INTERPOLATOR}$  会进一步除以  $2 \times SYSREF\_DIV$  以生成有限系列脉冲或连续脉冲流。

表 6-17. SYSREF 设置

参数	最小值	典型值	最大值	单位
$f_{VCO}$	7500		15000	MHz
$f_{INTERPOLATOR}$	0.8		1.5	GHz
IncludedDivide		4 或 6		
SYSREF_DIV_PRE		1、2 或 4		
SYSREF_DIV		4、6、8、...、4098		
$f_{INTERPOLATOR}$		$f_{PRESYSREF} = f_{VCO} / (\text{IncludedDivide} \times \text{SYSREF\_DIV\_PRE})$		
$f_{SYSREF}$		$f_{SYSREF} = f_{INTERPOLATOR} / (2 \times \text{SYSREF\_DIV})$		
延迟步长		9		ps
脉冲模式的脉冲 (SYSREF_PULSE_CNT)	0		15	不适用

可以使用 JESD\_DAC1\_CTRL、JESD\_DAC2\_CTRL、JESD\_DAC3\_CTRL 和 JESD\_DAC4\_CTRL 字段对延时进行编程。通过将这些字段连接成一个更大的字，称为“SYSREFPHASESHIFT”，可以求出相对延时。这些字的总和必须始终为 63。

表 6-18. SysRef 延迟

SYSREFPHASESHIFT	延迟	JESD_DAC1	JESD_DAC2	JESD_DAC3	JESD_DAC4
0	最小值	36	27	0	0
...				0	0
36		0	63	0	0
37		0	62	1	0
...					
99		0	0	63	0
100		0	0	62	1
...					
161		0	0	1	62
162		0	0	0	63
163		1	0	0	62
225		63	0	0	0
226		62	1	0	0
247	最大值	41	22	0	0
> 247	无效	无效	无效	无效	无效

## 6.3.18.1 可编程字段

表 6-19 具有用于 SYSREF 功能的可编程字段。

表 6-19. SYSREF 编程字段

字段	编程	默认值	说明
SYSREF_EN	0 = 禁用 1 = 启用	0	启用 SYSREF 模式。当且仅当 OUTB_MUX=2 (SysRef) 时, SYSREF_EN 才必须为 1
SYSREF_DIV_PRE	1 : DIV1 2 : DIV2 4 : DIV4 其他状态 : 无效		该分频器的输出是 $f_{\text{INTERPOLATOR}}$ 。
SYSREF_REPEAT	0 = SYSREF 生成模式 1 = SYREF 中继器模式	0	在 SYSREF 生成模式下, 该器件会产生一系列 SYSREF 脉冲。在中继器模式下, 通过 SysRefReq 引脚生成 SYSREF 脉冲。
SYSREF_PULSE	0 = 连续模式 1 = 脉冲模式	0	连续模式会持续产生 SYSREF 脉冲, 而脉冲模式会产生一系列 SYSREF_PULSE_CNT 脉冲
SYSREF_PULSE_CNT	0 至 15	4	在使用脉冲模式时, 该值是脉冲数。将此值设置为零是允许的状态, 但在实际应用中并不推荐。
SYSREF_DIV	0 : 除以 4 1 : 除以 6 2 : 除以 8 ... 2047 : 除以 4098	0	SYSREF 频率为 VCO 频率除此值。

### 6.3.18.2 输入和输出引脚格式

#### 6.3.18.2.1 SYSREF 输出格式

SYSREF 输出通过 RFoutB 以差分格式提供。其最小电压约为 2.3V，最大电压为 3.3V。如果无法使用直流耦合，则有两种交流耦合策略。

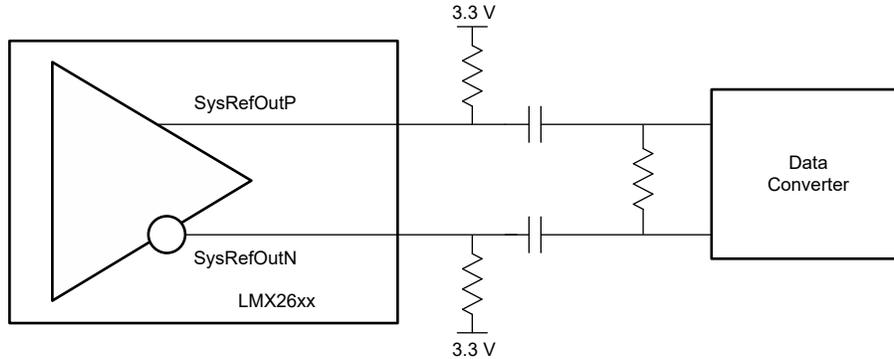


图 6-10. SYSREF 输出

1. 发送一系列脉冲以在交流耦合电容器上形成直流偏置电平。
2. 使用电阻分压器在数据转换器上建立低于阈值电压的偏置电压。

#### 6.3.18.3 示例

SysRef 可在中继器模式下使用，仅在重新计时到  $f_{\text{INTERPOLATOR}}$  频率后才回显输入，然后可在中继器中使用 RFout 或 SysRef。在中继器模式下，SysRef 可以重复 1、2、4、8 或无限（连续）脉冲。中继器模式的频率等于 RFout 频率除以 SYSREF 分频器。

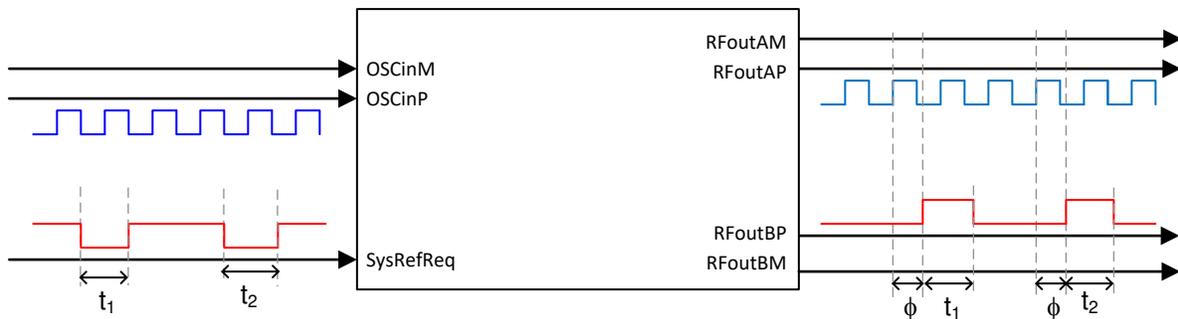


图 6-11. 中继器模式下的 SYSREF 输出

在 SYSREF 生成模式下，SysRefReq 引脚拉至高电平以允许 SysRef 输出。

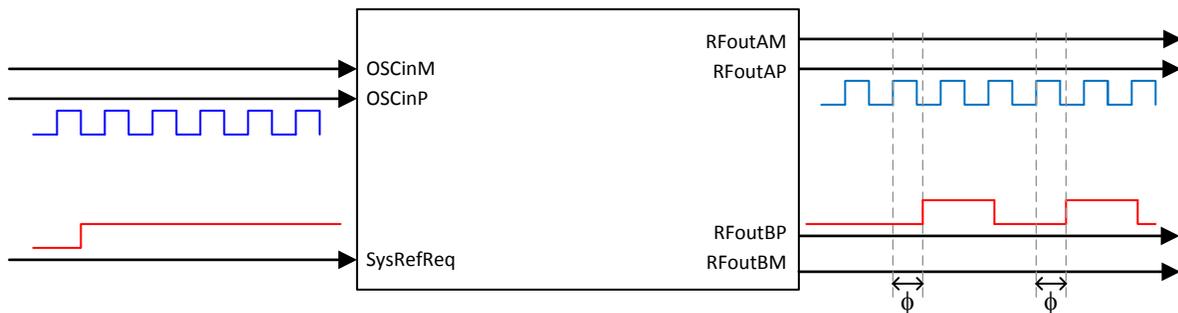


图 6-12. 图 1. 脉冲/连续模式下的 SYSREF 输出

### 6.3.18.4 SYSREF 过程

要使用 SYSREF，请执行以下步骤：

1. 按照已概述的过程将器件置于 SYNC 模式。
2. 按照与 SYNC 模式相同的方式找到 IncludedDivide。
3. 计算 SYSREF\_DIV\_PRE 值，使内插器频率 ( $f_{\text{INTERPOLATOR}}$ ) 在 800MHz 至 1500MHz 的范围内。  
 $f_{\text{INTERPOLATOR}} = f_{\text{VCO}} / \text{IncludedDivide} / \text{SYSREF\_DIV\_PRE}$ 。如果可能，将此频率设为  $f_{\text{OSC}}$  的倍数。
4. 如果使用 SYSREF 生成模式 (SYSREF\_REPEAT = 0)，请确认 SysRefReq 引脚为高电平。
5. 如果使用 SYSREF 中继器模式 (SYSREF\_REPEAT = 1)，请根据需要设置脉冲计数。通过切换 SysRefReq 引脚来产生脉冲。
6. 使用 JESD\_DACx\_CTL 字段调整 RFoutA 和 RFoutB 信号之间的延迟。

## 6.4 器件功能模式

表 6-20. 器件功能模式

模式	说明	软件设置
复位	寄存器保持在复位状态。该器件具有上电复位功能，但如果编程线路上可能存在噪声，尤其是当线路与其他器件共享时，最好还是执行软件复位。此外，还需要注意的是，在数据表中未披露的一些寄存器也会复位。	RESET = 1 POWERDOWN = 0
POWERDOWN	器件已关断。	POWERDOWN = 1 或 CAL 引脚 = 低电平
引脚模式	器件设置由 CDIV 上的引脚状态来决定。	CDIV0、CDIV1、CDIV2 引脚中的任何一个具有低电平以外的值
正常运行模式	在至少一个输出作为频率合成器且可以通过 SPI 控制器件时使用此模式	所有 CDIV 引脚都需要为低电平
SYNC 模式	当通道分频器的一部分位于反馈路径中，以便提供确定性相位时，使用此模式。	VCO_PHASE_SYNC = 1
SYSREF 模式	在此模式下，RFoutB 用于为 SYSREF 生成脉冲。	VCO_PHASE_SYNC = 1， SYSREF_EN = 1

## 6.5 编程

不处于引脚模式时，使用 24 位移位寄存器对 LMX2624-SP 进行编程。移位寄存器包含一个 R/W 位 (MSB)，后跟一个 7 位地址字段和一个 16 位数据字段。对于 R/W 位，0 表示写入，1 表示读取。地址字段 ADDRESS[6:0] 用于对内部寄存器地址解码。剩余的 16 位构成数据字段 DATA[15:0]。当 CSB 为低电平时，串行数据通过时钟信号的上升沿依次传入移位寄存器（数据编程为优先传输 MSB）。当 CSB 变为高电平时，数据从数据字段传输到所选的寄存器组。有关时序详细信息，请参阅图 5-1。

### 6.5.1 建议的初始上电序列

为了实现更可靠的编程，TI 建议遵循以下过程：

1. 向器件加电。
2. 将 RESET 设定为 1 以复位寄存器。
3. 将 RESET 设定为 0 以移除复位。
4. 如寄存器映射中所示，按从最高到最低的相反顺序对寄存器进行编程。
  - 需要对寄存器 R79 到 R0 进行编程 (FCAL\_EN = 1)。还必须根据寄存器映射对此范围中仅为 1 和 0 的寄存器进行编程。不要假定器件会进入上电复位状态且建议值相同。寄存器说明中也列出了“复位”值。该值实际上是建议值，它必须与主寄存器映射表匹配，不一定是上电复位值。
5. 等待 10ms
6. 使用 FCAL\_EN = 1 将寄存器 R0 额外编程一次，从而确认 VCO 校准从稳定状态运行。

### 6.5.2 更改频率的建议顺序

更改频率的建议顺序如下所示：

1. 更改 N 分频器值。
2. 对 PLL 分子和分母进行编程。
3. 将 FCAL\_EN (R0[3]) 设定为 1。

## 7 寄存器映射

### 7.1 器件寄存器

表 7-1 列出了器件寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 7-1. 器件寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0		节 7.1.1
1h	R1		节 7.1.2
2h	R2		节 7.1.3
3h	R3		节 7.1.4
4h	R4		节 7.1.5
5h	R5		节 7.1.6
6h	R6		节 7.1.7
7h	R7		节 7.1.8
8h	R8		节 7.1.9
9h	R9		节 7.1.10
Ah	R10		节 7.1.11
Bh	R11		节 7.1.12
Ch	R12		节 7.1.13
Dh	R13		节 7.1.14
Eh	R14		节 7.1.15
Fh	R15		节 7.1.16
10h	R16		节 7.1.17
11h	R17		节 7.1.18
12h	R18		节 7.1.19
13h	R19		节 7.1.20
14h	R20		节 7.1.21
16h	R22		节 7.1.22
17h	R23		节 7.1.23
1Eh	R30		节 7.1.24
1Fh	R31		节 7.1.25
20h	R32		节 7.1.26
22h	R34		节 7.1.27
23h	R35		节 7.1.28
4Fh	R79		节 7.1.29

复杂的位访问类型经过编码可适应小型表单元。表 7-2 展示了适用于此部分中访问类型的代码。

表 7-2. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入

表 7-2. 器件访问类型代码 (续)

访问类型	代码	说明
复位或默认值		
-n		复位后的值或默认值

### 7.1.1 R0 寄存器 (偏移 = 0h) [复位 = B3CCh]

表 7-3 展示了 R0。

返回到[汇总表](#)。

表 7-3. R0 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	无描述
14	VCO_PHASE_SYNC_EN	R/W	0h	相位同步使能。相位同步引脚的上升沿触发相位同步
13	DBLR_ACAL_EN	R/W	1h	启用倍频器幅度校准 0h = 倍增
12	DBLR_FCAL_EN	R/W	1h	启用倍频器频率校准 0h = 禁用倍增校准 1h = 启用倍频器校准 (reg0 写入)
11	ADR_HOLD	R/W	0h	保存 SPI 块读取/写入的地址。 0h = 地址由 ASCEND 确定 1h = 地址由 HOLD 确定 (优先级高于 ASCEND)
10	ASCEND	R/W	0h	SPI 块写入的寄存器更新方向 0h = 地址降序 1h = 地址升序
9-8	OPBUF_MUTE	R/W	3h	对于校准期间使通道 A 或 B 取消静音 0h = 在 FCAL 期间 RFOUTB 不静音 1h = 在 FCAL 期间 RFOUTB 静音
7-6	FCAL_SHIFT_LEFT	R/W	3h	将 Nb4R、Rb4N (校准) 频率减小 $2^{FCAL\_SHIFT\_LEFT}$ 。 可根据 PFD 频率 (Fpd) 进行设置 0h = $Fpd \leq 100MHz$ 1h = $100MHz < Fpd \leq 150MHz$ 2h = $150MHz < Fpd \leq 200MHz$ 3h = $Fpd > 200MHz$
5-4	FCAL_SHIFT_RIGHT	R/W	0h	在频率校准期间将 Nb4R、Rb4N (校准) 频率增大 $2^{FCAL\_SHIFT\_RIGHT}$ 。 [如果 PostR 满足以下条件则有效: $k \cdot 2^{FCAL\_SHIFT\_RIGHT}$ ] 可根据 PFD 频率 (Fpd) 进行设置 0h = $Fpd \geq 10MHz$ 1h = $5MHz \geq Fpd < 10MHz$ 2h = $2.5MHz \geq Fpd < 5MHz$ 3h = $Fpd < 2.5MHz$
3	ACAL_EN	R/W	1h	启用幅度校准。这仅在频率校准期间发生 0h = 无幅度校准 1h = 幅度校准与频率校准
2	FCAL_EN	R/W	1h	如果此位设置为 1, 则写入 reg0 会触发 VCO 频率校准 0h = Reg0 写入不触发校准 1h = Reg0 写入触发频率校准
1	复位	R/W	0h	将所有寄存器复位为默认值 0h = 正常运行 1h = 写入 1, 触发复位。此寄存器会自行恢复为 0, 但在 TICSPRO 中, 必须写入 0 才能使寄存器恢复为默认值

表 7-3. R0 寄存器字段说明 (续)

位	字段	类型	复位	说明
0	POWERDOWN	R/W	0h	使器件断电 0h = 正常运行 1h = 器件断电

## 7.1.2 R1 寄存器 (偏移 = 1h) [复位 = 10CBh]

表 7-4 展示了 R1。

返回到[汇总表](#)。

表 7-4. R1 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。
14	PH_SYNC_EN	R/W	0h	通过 MASH SEED 启用微调输出延迟的信号 0h = 禁用 1h = 启用
13	GLOBAL_READBACK	R/W	0h	寄存器回读控制 0h = 读取写入的寄存器值 1h = 读取 AS 寄存器的状态机值
12	LD_LOCK_EN	R/W	1h	锁定检测类型。 在 VCO 完成校准且 LD_DLY 超时计数器结束后, VCOCAL 锁定检测置为高电平输出。 当 VCOCAL 锁定检测将信号置为有效且 VCO 的调谐电压在可接受的限制范围内 (持续监控 VTUNE 电压) 时, VTUNE 和 VCOCAL 锁定检测将置为高电平输出。 0h = VCOCAL 锁定检测 1h = VCOCAL 和 VTUNE 锁定检测
11	MUTEB_POLARITY	R/W	0h	选择 MUTEB 引脚是高电平有效还是低电平有效。 0h = 当引脚为高电平时静音 1h = 当引脚为低电平时静音
10	MUTEA_POLARITY	R/W	0h	选择 MUTEA 引脚是高电平有效还是低电平有效。 MUTEA 极性 0h = 引脚为高电平时静音 1h = 引脚为低电平时静音
9	MUTEB_SEL	R/W	0h	选择是通过引脚还是寄存器使路径 B 静音。 0h = 引脚 1h = 寄存器
8	MUTEA_SEL	R/W	0h	选择是通过引脚还是寄存器使路径 A 静音。 0h = 引脚 1h = 寄存器
7	OUTBUFFB_MUTE	R/W	1h	将路径 B 静音 0h = RFOUTB 不静音 1h = RFOUTB 静音
6	OUTBUFFA_MUTE	R/W	1h	使路径 A 静音 0h = RFOUTA 不静音 1h = RFOUTA 静音
5	OUTBUFFB_PD	R/W	0h	关断路径 B 输出缓冲器 0h = OUTBUFFB 上电 1h = OUTBUFFB 关断
4	OUTBUFFA_PD	R/W	0h	关断路径 A 输出缓冲器 0h = OUTBUFFA 上电 1h = OUTBUFFA 关断

表 7-4. R1 寄存器字段说明 (续)

位	字段	类型	复位	说明
3	DBLR_PD	R/W	1h	关断倍频器 0h = 倍频器上电 1h = 倍频器关断
2-0	SMCLK_DIV	R/W	3h	数字时钟源自 OSC_IN 时钟，该时钟可升至高达 800MHz。此寄存器用于将时钟输入限制为数字，以便达到以下最大可接受频率： SM_CLK = 50MHz SM_CLK = OSCIN clock/(2^<SM_CLK_DIV>) 0h = /1 (对于 OSCIN ≤ 50MHz 的情况) 1h = /2 (对于 OSCIN ≤ 100MHz 的情况) /2 2h = /4 (对于 OSCIN ≤ 200MHz 的情况) 3h = /8 (对于 OSCIN ≤ 400MHz 的情况) 4h = /16 (对于 OSCIN ≤ 800MHz 的情况) 5h = /32 (对于 OSCIN ≥ 800MHz 的情况)

### 7.1.3 R2 寄存器 (偏移 = 2h) [复位 = 0F3Fh]

表 7-5 展示了 R2。

返回到[汇总表](#)。

表 7-5. R2 寄存器字段说明

位	字段	类型	复位	说明
15-11	未披露	R/W	1h	将该字段编程为 0x1。
10-6	CP2P5V_IUP	R/W	1Ch	电荷泵增益 (UP) 0h = 未使用 1h = 未使用 2h = 3mA 3h = 3mA 4h = 1.5mA
5-3	OUTBUFFB_DACCTRL	R/W	7h	OUTBUFFB 末级中的控制电流 (daccode) 0h = 2.5mA 1h = 5mA 2h = 7.5mA 3h = 10mA 4h = 12.5mA 5h = 15mA 6h = 17.5mA 7h = 20mA
2-0	OUTBUFFA_DACCTRL	R/W	7h	OUTBUFFA 末级中的控制电流 (daccode) 0h = 2.5mA 1h = 5mA 2h = 7.5mA 3h = 10mA 4h = 12.5mA 5h = 15mA 6h = 17.5mA 7h = 20mA

### 7.1.4 R3 寄存器 (偏移 = 3h) [复位 = 5040h]

表 7-6 展示了 R3。

返回到[汇总表](#)。

表 7-6. R3 寄存器字段说明

位	字段	类型	复位	说明
15-14	OUTBUFFB_MUXSEL	R/W	1h	选择 OUTBUFFB 配置 0h = CHDIV 1h = VCO 2h = 无效 3h = SYSREF
13-12	OUTBUFFA_MUXSEL	R/W	1h	选择 OUTBUFFA 配置 0h = CHDIV 1h = VCO 2h = DBLR 3h = 无效
11	OUTMUX_PIN_CTRL	R/W	0h	决定是否需要通过 OUTMUX 引脚或 OUTBUFFA/B_MUXSEL 控制 OUTMUX 选择 0h = 通过引脚控制 1h = 通过寄存器控制
10-5	PFD_DLY	R/W	2h	可编程相位检测器延迟。这必须根据 VCO 频率、分数阶和 N 分频器值进行编程 $DLY = (PFD\_DLY\_SEL + 3) * 4 * VCO\_cycle$ 0h = 不使用 PFD_DLY_SEL 1h = 16 个 VCO 周期 2h = 20 个 VCO 周期 3h = 24 个 VCO 周期 4h = ... 3Fh = 264 个 VCO 周期
4-0	CHDIV	R/W	0h	通道分频器 ( 等效分频 ) 控制通道分频器每个段的分频器值 0h = 不适用 1h = /2 2h = /4 3h = /6 4h = /8 5h = /12 6h = /8 7h = /24 8h = /32 9h = /48 Ah = /64 Bh = /96 Ch = /128 Dh = /192 Eh = /256 Fh = /384 10h = /512 11h = /768 12h = /1024 13h = /1536

## 7.1.5 R4 寄存器 ( 偏移 = 4h ) [复位 = 0710h]

表 7-7 展示了 R4。

返回到[汇总表](#)。

表 7-7. R4 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。
14	VCO_CAPCTRL_FORCE	R/W	0h	允许通过手动对 VCO_CAPCTRL 寄存器进行编程来强制设置 VCO Capcode 值
13	VCO_IDAC_FORCE	R/W	0h	允许强制将 VCODACISSET 设置为 VCODACISSET 寄存器中编程的值

表 7-7. R4 寄存器字段说明 (续)

位	字段	类型	复位	说明
12	VCO_SEL_FORCE	R/W	0h	允许强制 VCO_SEL 值手动选择 VCO
11	QUICK_STRT_EN	R/W	0h	校准从先前的 capcode (VCO_CAPCTRL)、VCO (VCO_SEL) 和 IDAC 代码 (VCODACISSET) 开始, 以实现快速校准
10	FAST_ACAL_EN	R/W	1h	快速 ACAL 启用 0h = 禁用快速 ACAL 1h = 启用快速 ACAL
9	FAST_FCAL_EN	R/W	1h	快速 FCAL 启用 0h = 禁用快速 FCAL 1h = 启用快速 FCAL
8-0	未披露	R/W	110h	将该字段编程为 0x110。

### 7.1.6 R5 寄存器 (偏移 = 5h) [复位 = 0F2Ch]

表 7-8 展示了 R5。

返回到[汇总表](#)。

表 7-8. R5 寄存器字段说明

位	字段	类型	复位	说明
15-13	MASH_ORDER	R/W	0h	决定 MASH 阶次。 根据所用的“N”值和频率, MASH 阶次存在限制。 0h = MASH 禁用 1h = 一阶 2h = 二阶 3h = 三阶 4h = 四阶 6Fh => 无效
12	FULL_ASSIST	R/W	0h	在完全辅助模式下强制 VCO 和 Dblr 设置, 以避免校准。 VCO 和倍频器为以下寄存器获取用户编程的值 - VCO_SEL、VCO_CAPCODE、VCODACISSET、DBLR1_PD、DBLR_AMP_CAPCTRL、DBLR_AMP_DACCTRL、DBLR_PREGEN_AMP_CAPCTRL、DBLR_PREGEN_AMP_DACCTRL
11-9	VCO_SEL	R/W	7h	用户指定的起始 VCO。 如果未写入任何值, 校准从 VCO7 (默认值) 开始, 否则校准始终从 VCO7 开始 0h => 无效 1h = VCO1 2h = VCO2 3h = VCO3 7h = VCO7
8-0	VCO_IDAC	R/W	12Ch	VCO 的 IDAC 位设置。增加额外的 4uA 偏置电流

### 7.1.7 R6 寄存器 (偏移 = 6h) [复位 = 41BFh]

表 7-9 展示了 R6。

返回到[汇总表](#)。

表 7-9. R6 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。

表 7-9. R6 寄存器字段说明 (续)

位	字段	类型	复位	说明
14-13	DBLR_AMP1_DACCTRL	R/W	2h	控制倍频器放大器中的 daccode。根据 dblr 校准后的回读来对该位进行编码。
12-9	DBLR_AMP_CAPCTRL	R/W	0h	控制倍频器放大器中的 capcode。根据 dblr 校准后的回读来对该位进行编码。
8	DBLR1_PD	R/W	1h	为倍频器禁用 path1。需要覆盖。 0h = Doubler1 路径上电 1h = Doubler1 路径断电
7-0	VCO_CAPCTRL	R/W	BFh	VCO0-7 的 capcode。可用范围为 191 到 0。

### 7.1.8 R7 寄存器 (偏移 = 7h) [复位 = 7D40h]

表 7-10 展示了 R7。

返回到[汇总表](#)。

表 7-10. R7 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。
14-7	FASTCHG_CYCLES	R/W	FAh	控制在 full_assist 或双缓冲模式下写入 reg0 后，快速充电处于开启状态的 SM 周期数。建议时间 = 5us 1h = 1SM 时钟周期 2h = 2SM 周期 FFh = 255 SM 时钟周期
6-4	DBLR_PREGEN_AMP_D ACCTRL	R/W	4h	控制倍频器前置驱动器放大器中的 daccode。根据 dblr 校准后的回读来对该位进行编码。
3-0	DBLR_PREGEN_AMP_C APCTRL	R/W	0h	控制倍频器前置驱动器放大器中的 capcode。根据 dblr 校准后的回读来对该位进行编码。

### 7.1.9 R8 寄存器 (偏移 = 8h) [复位 = 0046h]

表 7-11 展示了 R8。

返回到[汇总表](#)。

表 7-11. R8 寄存器字段说明

位	字段	类型	复位	说明
15-0	PLL_N[15:0]	R/W	46h	NDIV 的整数部分 (LSB)

### 7.1.10 R9 寄存器 (偏移 = 9h) [复位 = 0000h]

表 7-12 展示了 R9。

返回到[汇总表](#)。

表 7-12. R9 寄存器字段说明

位	字段	类型	复位	说明
15-13	PLL_N[18:16]	R/W	0h	N MASH 的高 3 位，总共 19 位，分为 16 + 3
12-0	RESERVED	R/W	0h	无描述

### 7.1.11 R10 寄存器 ( 偏移 = Ah ) [复位 = DA80h]

表 7-13 展示了 R10。

返回到[汇总表](#)。

表 7-13. R10 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_DEN[15:0]	R/W	DA80h	MASH 分数的分母 (LSB)

### 7.1.12 R11 寄存器 ( 偏移 = Bh ) [复位 = FD51h]

表 7-14 展示了 R11。

返回到[汇总表](#)。

表 7-14. R11 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_DEN[31:16]	R/W	FD51h	MASH 分数的分母 (MSB)

### 7.1.13 R12 寄存器 ( 偏移 = Ch ) [复位 = 0000h]

表 7-15 展示了 R12。

返回到[汇总表](#)。

表 7-15. R12 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_SEED[15:0]	R/W	0h	MASH SEED (LSB) 设置分数引擎的初始状态。对于产生相移和分数杂散优化非常有用。

### 7.1.14 R13 寄存器 ( 偏移 = Dh ) [复位 = 0000h]

表 7-16 展示了 R13。

返回到[汇总表](#)。

表 7-16. R13 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_SEED[31:16]	R/W	0h	Mash seed (MSB)

### 7.1.15 R14 寄存器 ( 偏移 = Eh ) [复位 = 0000h]

表 7-17 展示了 R14。

返回到[汇总表](#)。

表 7-17. R14 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_NUM[15:0]	R/W	0h	MASH 分数的分子 (LSB)

### 7.1.16 R15 寄存器 ( 偏移 = Fh ) [复位 = 0000h]

表 7-18 展示了 R15。

返回到[汇总表](#)。

**表 7-18. R15 寄存器字段说明**

位	字段	类型	复位	说明
15-0	MASH_NUM[31:16]	R/W	0h	MASH 分数的分子 (MSB)

### 7.1.17 R16 寄存器 ( 偏移 = 10h ) [复位 = 0001h]

表 7-19 展示了 R16。

返回到[汇总表](#)。

**表 7-19. R16 寄存器字段说明**

位	字段	类型	复位	说明
15-9	未披露	R	0h	将该字段编程为 0x0。
8	DBL_BUF_EN	R/W	0h	双缓冲让用户可以对多个寄存器进行编程，而无需在写入 R0 之前使它们实际生效 0h = 禁用双缓冲 1h = 启用倍频器缓冲
7-0	RDIV_POST	R/W	1h	R 后分频器值 1h = /1 2h = /2 FFh = /255

### 7.1.18 R17 寄存器 ( 偏移 = 11h ) [复位 = 1001h]

表 7-20 展示了 R17。

返回到[汇总表](#)。

**表 7-20. R17 寄存器字段说明**

位	字段	类型	复位	说明
15-13	RESERVED	R/W	0h	无描述
12	REF_Doubler_EN	R/W	1h	基准路径中倍频器的寄存器控制。 0h = 禁用 REF 路径倍频器 1h = 启用倍频器
11-0	RDIV_PRE	R/W	1h	R 预分频器值 ( 前 8 位 ) 保留所有其他位。 1h = /1 2h = /2 80h = /128

### 7.1.19 R18 寄存器 ( 偏移 = 12h ) [复位 = 0030h]

表 7-21 展示了 R18。

返回到[汇总表](#)。

**表 7-21. R18 寄存器字段说明**

位	字段	类型	复位	说明
15-5	SYSREF_DIV	R/W	1h	$F_{out} = F_{in} / (2 * SYSREF\_DIV + 4)$ 0h = /4 1h = /6 2h = /8 3h = /10 7FFh = /4098

表 7-21. R18 寄存器字段说明 (续)

位	字段	类型	复位	说明
4-2	SYSREF_PRE_DIV	R/W	4h	SYSREF 输入时钟分频器多路复用器 0h = 1 分频 1h = 2 分频 2h = 4 分频
1	SYSREF_EN	R/W	0h	这是一个主信号, 用于启用包括中继器模式在内的整个 SYSREF 模块 0h = 禁用 SYSREF 模块 1h = 启用 SYSREF 模块
0	SYSREF_MODE	R/W	0h	将器件设置为主模式或中继器模式。 0h = 主模式 (内部生成的 sysref) 1h = 启用中继器模式 (通常在外部器件生成 sysref 信号并需要由器件“传递”时启用)

### 7.1.20 R19 寄存器 (偏移 = 13h) [复位 = 01F8h]

表 7-22 展示了 R19。

返回到[汇总表](#)。

表 7-22. R19 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。
14-9	JESD_DAC2	R/W	0h	SYSREF 输出的可编程延迟
8-3	JESD_DAC1	R/W	3Fh	该寄存器位表示要启用的 DAC 级, 每个寄存器组表示 63 个级, 每个代码对应于最终输出中的延迟步长。
2	SYSREF_RPTR_NONSY NCMODE_EN	R/W	0h	在中继器非同步模式下启用 sysref 0h = 器件处于 SYNC 模式 1h = 如果选择了中继器模式, 则器件处于非同步模式
1	未披露	R/W	0h	将该字段编程为 0x0。
0	SYSREF_PULSE_EN	R/W	0h	将器件设置为连续 sysref 脉冲或固定数量的脉冲。脉冲数通过 SYSREF_RPT_CNT 寄存器来编程。 0h = 连续模式 1h = 脉冲模式

### 7.1.21 R20 寄存器 (偏移 = 14h) [复位 = 0000h]

表 7-23 展示了 R20。

返回到[汇总表](#)。

表 7-23. R20 寄存器字段说明

位	字段	类型	复位	说明
15-12	SYSREF_PULSE_CNT	R/W	0h	在 N-shot 模式下用于确定 SYSREF 输出存在的周期数。将此值设置为零是允许的状态, 但在实际应用中并不推荐。 1h = 1 个脉冲 2h = 2 个脉冲 Fh = 15 个脉冲
11-6	JESD_DAC4	R/W	0h	SYSREF 输出的可编程延迟
5-0	JESD_DAC3	R/W	0h	SYSREF 输出的可编程延迟

### 7.1.22 R22 寄存器 ( 偏移 = 16h ) [复位 = 0001h]

表 7-24 展示了 R22。

返回到[汇总表](#)。

表 7-24. R22 寄存器字段说明

位	字段	类型	复位	说明
15-8	未披露	R	0h	将该字段编程为 0x0。
7	未披露	R/W	0h	将该字段编程为 0x0。
6-0	MUXOUT_TM_SEL	R/W	1h	用户调试 0h = lock_detect 1h = lock_detect 2h = Refout 时钟 ( 已分频 ) 3h = SM 时钟

### 7.1.23 R23 寄存器 ( 偏移 = 17h ) [复位 = 09C4h]

表 7-25 展示了 R23。

返回到[汇总表](#)。

表 7-25. R23 寄存器字段说明

位	字段	类型	复位	说明
15-0	LD_DLY	R/W	9C4h	对于 VCOCal 锁定检测, 这是在校准完成后, VCOCal 锁定检测置为高电平之前增加的 SM 周期。

### 7.1.24 R30 寄存器 ( 偏移 = 1Eh ) [复位 = D6D8h]

表 7-26 展示了 R30。

返回到[汇总表](#)。

表 7-26. R30 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_RST_COUNT[15:0]	R/W	D6D8h	用于应用复位脉冲的 MASH 计数器 ( 低 16 位 )

### 7.1.25 R31 寄存器 ( 偏移 = 1Fh ) [复位 = 0000h]

表 7-27 展示了 R31。

返回到[汇总表](#)。

表 7-27. R31 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_RST_COUNT[31:16]	R/W	0h	用于应用复位脉冲 ( 高 16 位 ) 的 MASH 计数器 - 16 位无符号整数 此延迟用于确认仅在使用相位同步时锁定器件后才向 MASH 电路提供可靠的复位。这进而确认在多器件同步场景中维持相同的 MASH 输出序列。延迟必须至少设置为 PLL 锁定时间的四倍。此延迟以状态机时钟周期表示。 其中一个周期等于 $2^{SM\_CLK\_DIV}/F_{osc}$

### 7.1.26 R32 寄存器 ( 偏移 = 20h ) [复位 = 026Fh]

表 7-28 展示了 R32。

返回到[汇总表](#)。

表 7-28. R32 寄存器字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R/W	0h	无描述
9-3	WD_DLY	R/W	4Dh	内部看门狗计时器的延迟。计时器在内部乘以 $2^{14}$ 。50MHz SM CLK 的默认值为 25ms。
2-0	WD_CNTRL	R/W	7h	看门狗控制 0h = 禁用数字看门狗。 1h = 看门狗触发 1 次 2h = 看门狗触发最多 2 次 3h = 看门狗触发最多 3 次 4h = 看门狗触发最多 4 次 5h = 看门狗触发最多 5 次 6h = 看门狗触发最多 6 次 7h = 看门狗根据需要无限次地重新触发，没有任何限制。

### 7.1.27 R34 寄存器 ( 偏移 = 22h ) [复位 = 00F1h]

表 7-29 展示了 R34。

返回到[汇总表](#)。

表 7-29. R34 寄存器字段说明

位	字段	类型	复位	说明
15-0	rb_VER_ID	R	F1h	回读：版本 ID

### 7.1.28 R35 寄存器 ( 偏移 = 23h ) [复位 = 0000h]

表 7-30 展示了 R35。

返回到[汇总表](#)。

表 7-30. R35 寄存器字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R/W	0h	无描述
5	rb_LD_VTUNELO_CMPO	R	0h	回读：锁定检测低电平比较器输出
4	rb_LD_VTUNEHIGH_CMPO	R	0h	回读：锁定检测高电平比较器输出
3-1	rb_VCO_SELECT_RB	R	0h	回读：指示当前选定的 VCO
0	rb_VCO_CT_CAL_RUNNING	R	0h	回读：如果 FCAL 正在运行，则为高电平

### 7.1.29 R79 寄存器 ( 偏移 = 4Fh ) [复位 = 0003h]

表 7-31 展示了 R79。

返回到[汇总表](#)。

表 7-31. R79 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。

表 7-31. R79 寄存器字段说明 (续)

位	字段	类型	复位	说明
14-0	未披露	R/W	3h	将该字段编程为 0x3。

## 8 应用和实施

### 备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

### 8.1 应用信息

#### 8.1.1 OSCin 配置

OSCin 支持单端或差分时钟。在器件引脚之前必须串联一个交流耦合电容器。OSCin 输入是具有内部偏置电压的高阻抗 CMOS。TI 建议使用端接分流电阻器来端接差分布线（如果有 50 Ω 特性布线，请放置 50 Ω 电阻器）。OSCin 和 OSCin\* 侧在布局中必须匹配。在电路板布局布线中，必须在 OSCin 引脚后紧接着放置串联的交流耦合电容器，然后再放置接地的分流端接电阻器。

图 8-1 中显示了输入时钟定义：

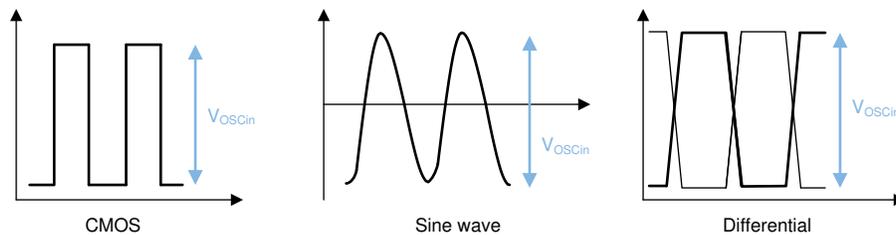


图 8-1. 输入时钟定义

#### 8.1.2 OSCin 压摆率

如果信号过低，OSCin 信号的压摆率会对 LMX2624-SP 的杂散和相位噪声产生影响。一般而言，具有高压摆率但振幅较低的信号（例如 LVDS）能实现更好的性能。

#### 8.1.3 射频输出缓冲器功率控制

OUTA\_PWR 和 OUTB\_PWR 寄存器控制输出的驱动电流大小。此电流会在上拉元件和负载两端产生电压。通常建议将 OUTx\_PWR 设置保持为 31 或更小，因为较高的设置会消耗更多的电流，并且也会导致更高的输出功率。通常通过将 OUTx\_PWR 设置在 15 至 25 的范围内，从而获得更好的本底噪声。

#### 8.1.4 射频输出缓冲器上拉

此器件中集成了上拉电阻器。差分输出 RFOUTA 和 RFOUTB 上的每个引脚都在内部有连接到 VCC 上拉的 50 Ω 电阻器。

#### 8.1.5 互补侧的射频输出处理

无论是否使用了差分输出的两侧，两侧都必须具有相似的负载。

##### 8.1.5.1 未使用输出的单端端接

未使用的输出端口必须具有与引脚外部大致相同的阻抗，从而更大限度地减小谐波并获得出色的输出功率。如果应用要求是仅使用单端输出（例如 RFOUTAP），则用户必须确认 RFOUTAM 也具有相同的阻抗。对于采用 50 Ω PCB 布线的典型 50 Ω 系统，可以通过交流耦合电容器将未使用的引脚与 50 Ω 电阻端接。

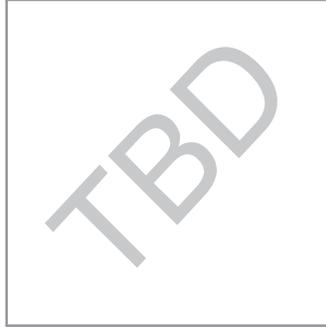


图 8-2. 未使用输出的端接

## 8.2 典型应用



图 8-3. 典型应用原理图 (TBD)

### 8.2.1 设计要求

环路滤波器的设计很复杂，通常使用软件完成。PLLatinum Sim 软件是执行此操作的理想资源，图 8-4 中显示了该设计。对于想要了解相关公式的人，可以参考 [PLL 性能、仿真和设计手册 \(SNAA106\)](#)，该手册详细介绍了 PLL 环路滤波器的理论和设计。

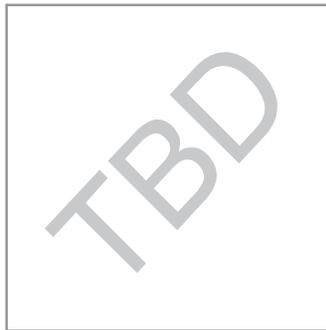


图 8-4. PLLatinum Sim 工具

### 8.2.2 详细设计过程

相位噪声在一定带宽上的积分（抖动）是一种性能规格，可转换为信噪比。环路带宽内的相位噪声主要由 PLL 控制，而环路带宽外的相位噪声主要由 VCO 控制。通常，如果环路带宽设计为两者相交的点，则抖动最低。较高相位裕度的环路滤波器设计在环路带宽处的峰值较小，因此抖动较低。这样做的代价是在设计时必须考虑更长的锁定时间和杂散。

### 8.2.3 应用曲线

使用所描述的设置，利用干净的 100MHz 输入基准测量的性能如下所示。请注意，根据仿真预测，环路带宽约为 350kHz。

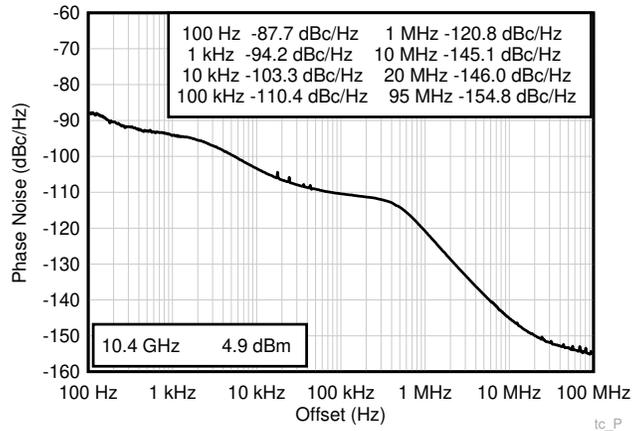


图 8-5. 环路滤波器设计的结果

## 8.3 电源相关建议

TI 建议将旁路电容器靠近引脚放置。有关布局示例，请参阅 EVM 说明。如果分数杂散问题严重，则在这些电源引脚上使用铁氧体磁珠可以在一定程度上减少杂散。该器件具有集成 LDO，可提高对电源噪声的抵抗力。但是，输出端的 RFoutA 和 RFoutB 引脚上的上拉元件直接连接到电源，因此必须格外小心，确认这些引脚的电压是干净的。

## 8.4 布局

### 8.4.1 布局指南

一般来说，布局指南与大多数其他 PLL 器件相似。以下是一些具体的指南。

- GND 引脚可以在封装上路由回 DAP。
- OSCin 引脚在内部偏置，并且必须是交流耦合。
- 如果不使用，则 SysRefReq 可以接地到 DAP。
- 为了在 200kHz 至 1MHz 范围内获得更优 VCO 相位噪声，将至少为 3.3nF 的电容器放置在最靠近 Vtune 引脚的位置。如果这个较大的电容器会限制环路带宽，则可以减小此值（例如减小到 1.5nF），但代价是会增加 VCO 相位噪声。
- 对于输出，使上拉元件尽可能靠近引脚，并在差分对的每一侧使用相同的元件。
- 如果需要单端输出，则另一端必须具有相同的负载和上拉电阻。但是，可以通过将互补侧通过过孔路由到电路板的另一侧来优化使用侧的布线。在这一侧，使用相同的上拉电阻并使负载看起来与使用的一侧相同。
- 确认器件上的 DAP 通过多个过孔良好接地，最好是铜填充。
- 有一个与 LMX2624-SP 裸露焊盘一样大的散热焊盘。在散热焊盘上添加过孔以更大限度地提高散热性能。
- 使用低损耗介电材料，例如 Rogers 4350B，以获得出色输出功率。

### 8.4.2 布局示例



图 8-6. LMX2624-SP 布局示例

### 8.4.3 PCB 布局上的封装示例

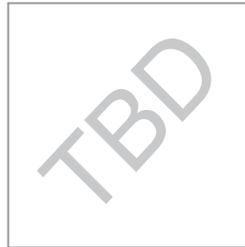


图 8-7. LMX2624-SP PCB 布局 ( 待定 )

### 8.4.4 辐射环境

在辐射环境中使用产品时，必须仔细考虑环境条件。

#### 8.4.4.1 电离总剂量

耐辐射保障 (RHA) 产品是那些在订货信息中指定了电离辐射总剂量 (TID) 水平的器件型号。根据 MIL-STD-883 测试方法 1019，在晶圆级完成这些产品的测试和鉴定。晶圆级 TID 数据随批次发货一起提供。

#### 8.4.4.2 单粒子效应

根据 EIA/JEDEC 标准 EIA/JEDEC57 进行一次性单粒子效应 (SEE) 测试，包括单粒子锁存 (SEL)、单粒子功能中断 (SEFI) 和单粒子翻转 (SEU)。可根据申请提供测试报告。

## 9 器件和文档支持

### 9.1 器件支持

#### 9.1.1 开发支持

德州仪器 (TI) 在 [www.ti.com.cn](http://www.ti.com.cn) 提供了多种辅助开发的软件工具。其中包括：

- EVM 软件，用于了解如何对器件和 EVM 板进行编程。
- EVM 板说明，用于了解典型测量数据、详细测量条件以及完整设计的信息。
- PLLatinum Sim 程序，用于设计回路滤波器以及对相位噪声和杂散进行仿真。

### 9.2 文档支持

#### 9.2.1 相关文档

请参阅以下相关文档：

- [AN-1879 分数 N 频率合成 \(SNAA062\)](#)
- [PLL 性能、仿真和设计手册 \(SNAA106\)](#)

### 9.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](http://ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 9.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

### 9.5 商标

PLLatinum™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

### 9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 9.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2024	*	初稿

## 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

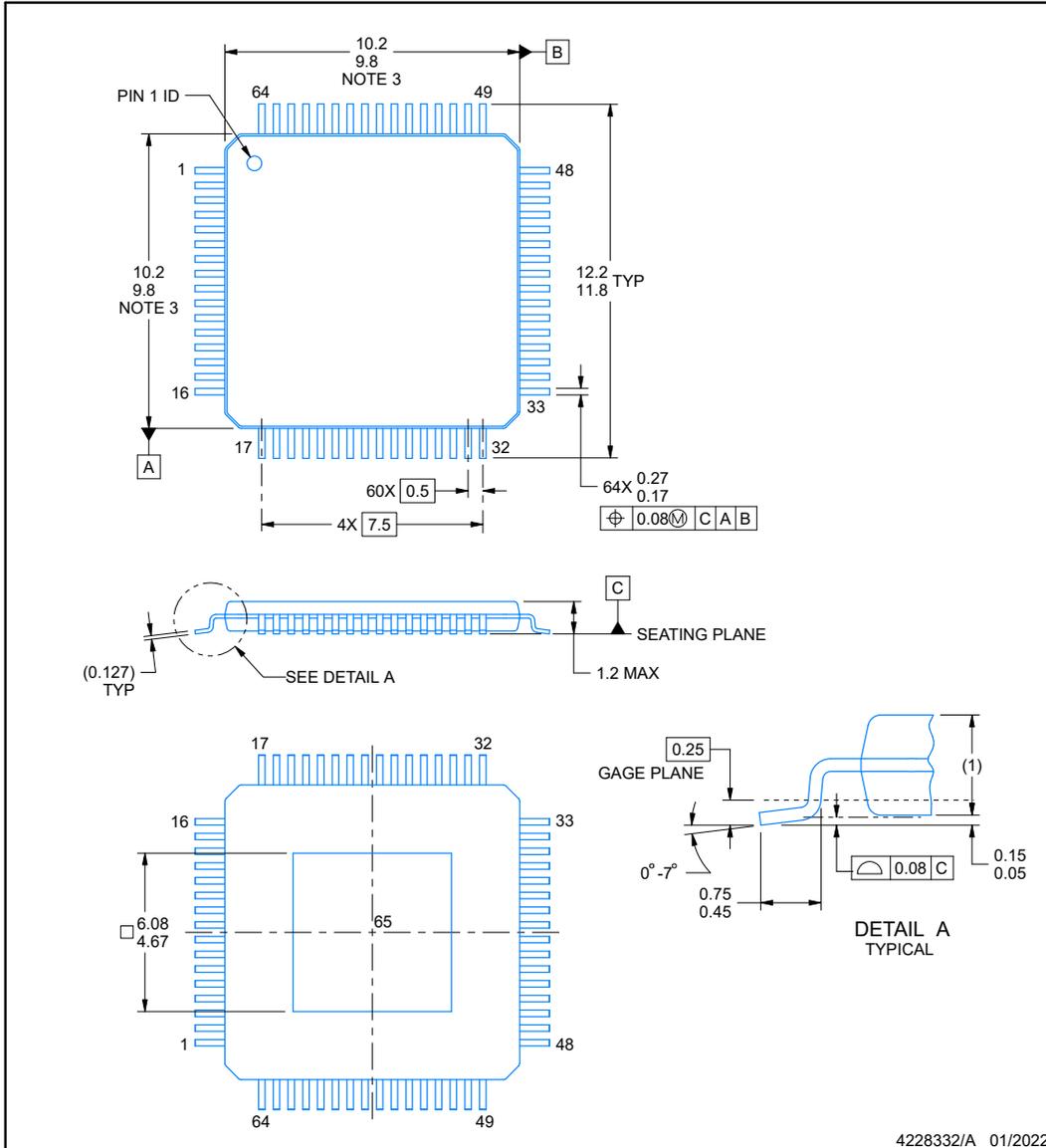


**PACKAGE OUTLINE**

**PAPER0064E**

**PowerPAD™ TQFP - 1.2 mm max height**

PLASSTICQUADFLATPACK



**NOTES:**

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

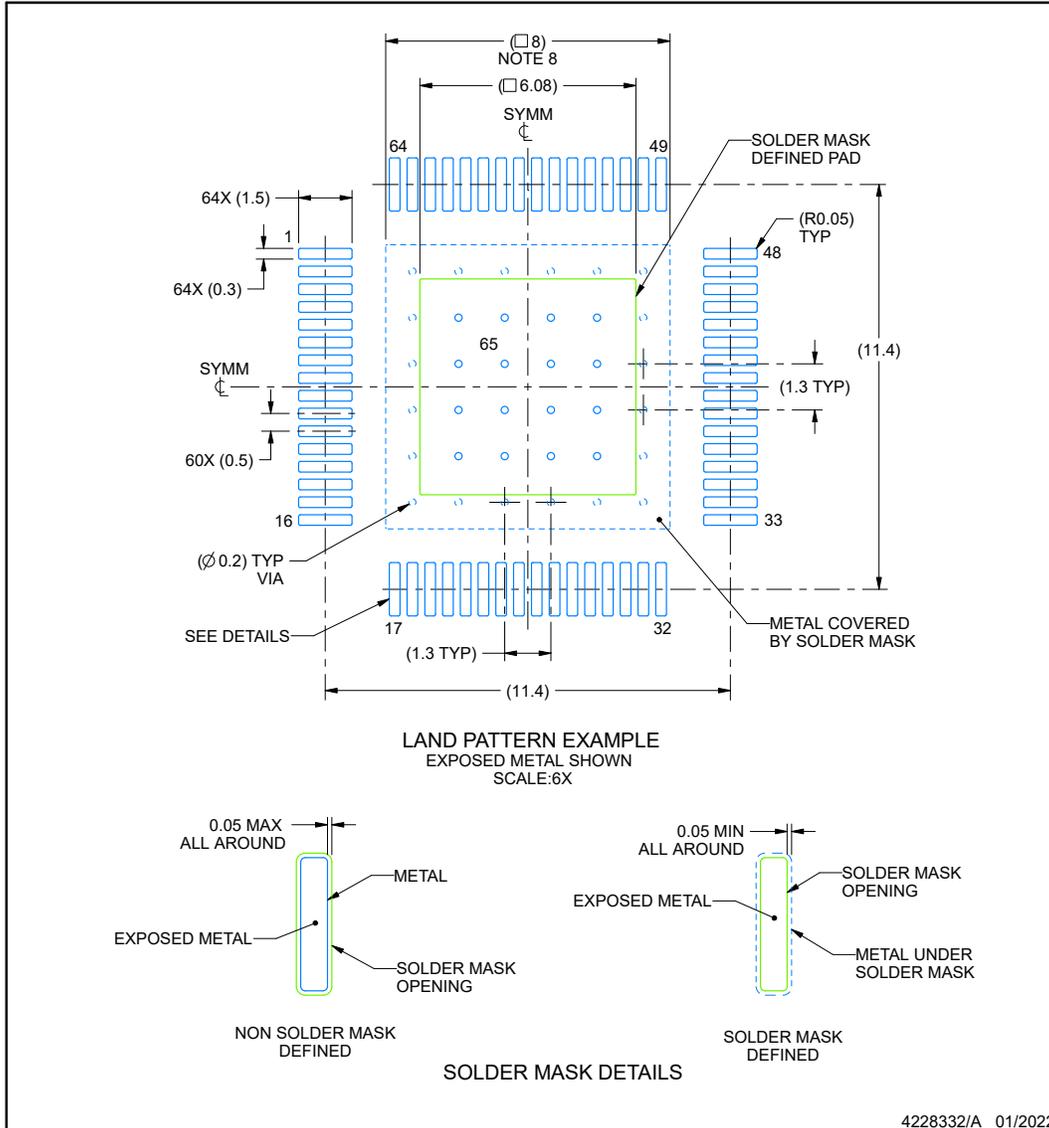


## EXAMPLE BOARD LAYOUT

PAP0064E

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

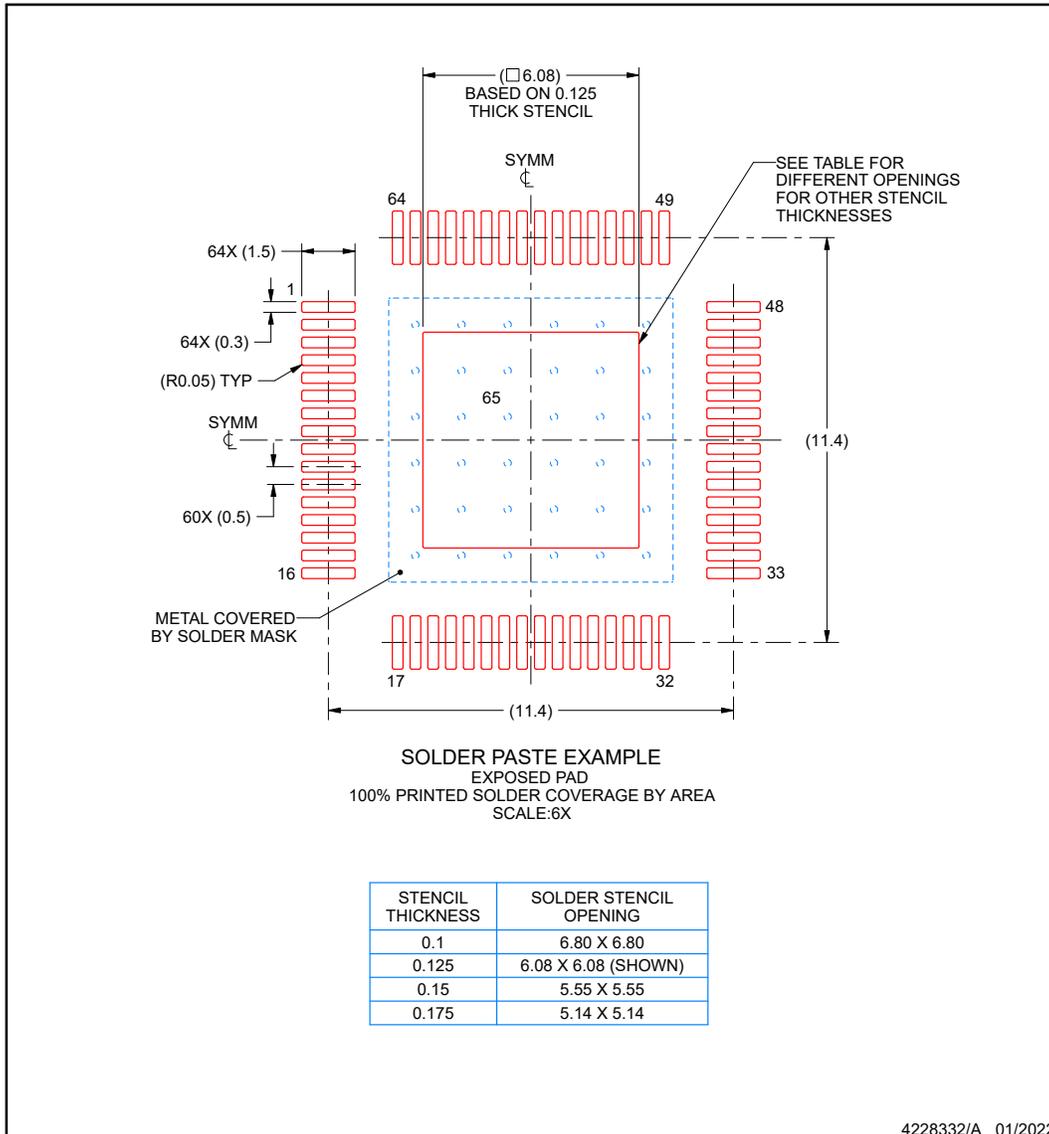
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

## EXAMPLE STENCIL DESIGN

**PAP0064E**

**PowerPAD™ TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

## 11.1 工程样片

工程样片 (LMX2624-SPW-MPR) 具有与运行器件 (LMX2624-SPW-MLS) 相同的封装、引脚、编程和典型性能。这些器件在室温下经过测试，符合电气规范，但尚未经历或通过全面的生产流程或测试。工程样片可能是 QCI 不合格品，未通过全面的生产测试（如辐射或可靠性测试）。

## 11.2 封装选项附录

### 封装信息

可订购器件	状态 <sup>(1)</sup>	封装类型	封装图	引脚	包装数量	环保计划 <sup>(2)</sup>	铅/焊球镀层 <sup>(6)</sup>	MSL 峰值温度 <sup>(3)</sup>	工作温度 (°C)	器件标识 <sup>(4) (5)</sup>
PLMX2624PAP/EM	预发布	HTQFP	PAP	64	160	RoHS 和绿色环保	NIPDAU	Level-3-260C-1 68 HR	25 至 25	PLMX2624PAP EM

(1) 销售状态值定义如下：

**正在供货：**建议用于新设计的产品器件。

**限期购买：**TI 已宣布器件即将停产，但仍在购买期限内。

**NRND：**不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。

**PRE\_PROD：**器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。

**预发布：**器件已发布，但未量产。可能提供样片，也可能无法提供样片。

**已停产：**TI 已停止生产该器件。

(2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅 (RoHS 豁免) 或绿色 (RoHS，无镉/溴) - 如需了解最新供货信息及更多产品内容详情，请访问 [www.ti.com.cn/productcontent](http://www.ti.com.cn/productcontent)。

**待定：**无铅/绿色环保转换计划尚未确定。

**无铅 (RoHS)：**TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。

**无铅 (RoHS 豁免)：**该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅 (符合 RoHS)。

**绿色环保 (RoHS，无镉/溴)：**TI 定义的“绿色环保”表示无铅 (符合 RoHS 标准)、无溴 (Br) 和无镉 (Sb) 系阻燃剂 (均质材料中 Br 或 Sb 的质量不超过总质量的 0.1%)。

(3) MSL，峰值温度-- 湿敏等级额定值 (符合 JEDEC 工业标准分级) 和峰值焊接温度。

(4) 器件上可能还有与标识、批次跟踪代码信息或环境分类相关的其他标志。

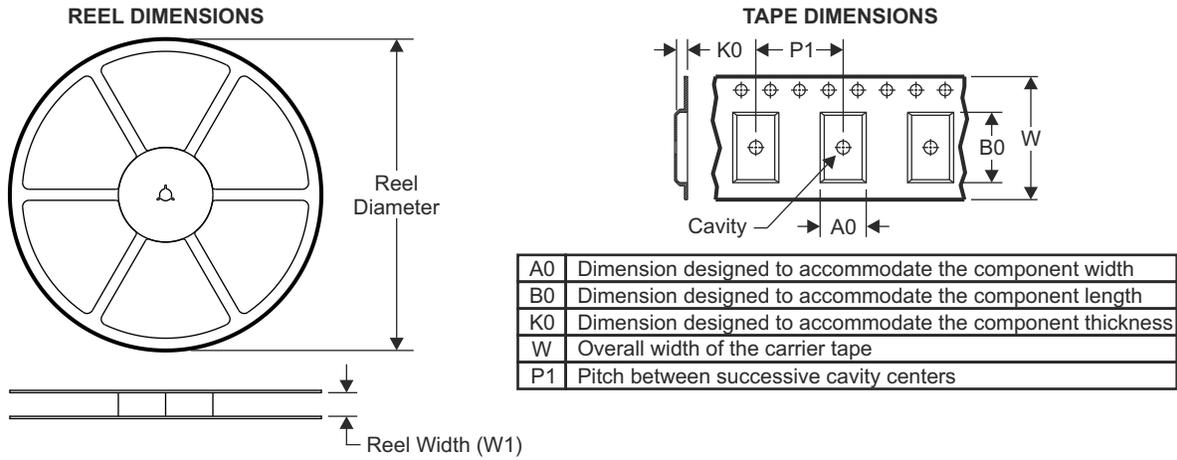
(5) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

(6) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。

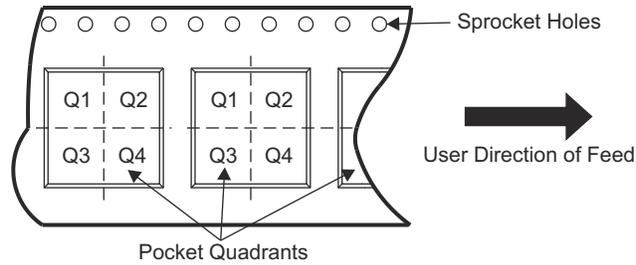
**重要信息和免责声明：**本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

### 11.3 卷带包装信息



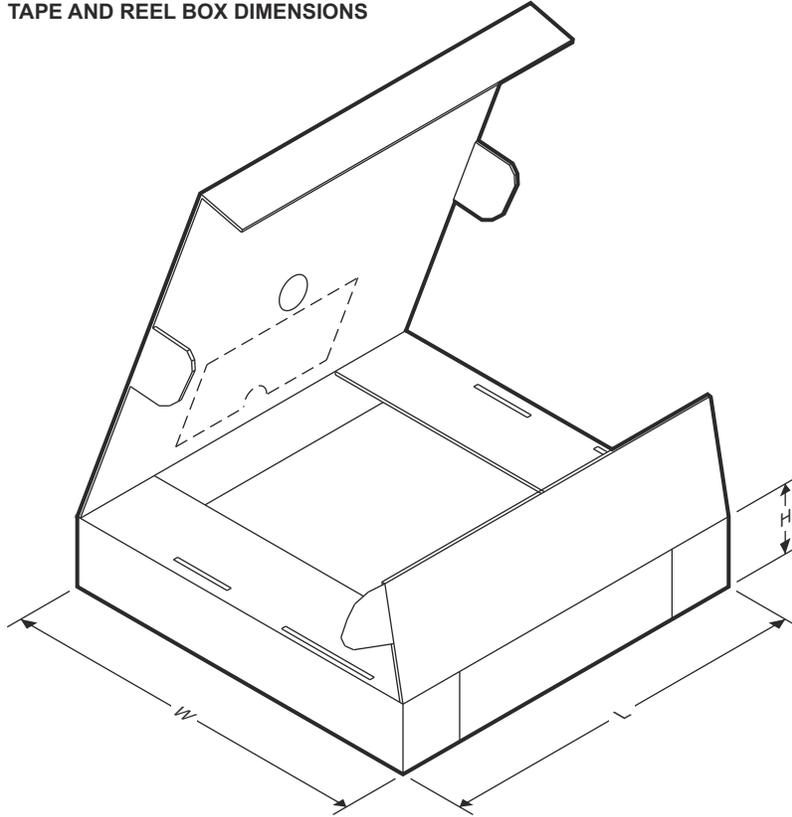
#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
PLMX2624PAP/EM	HTQFP	PAP	64	250	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



ADVANCE INFORMATION

器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PLMX2624PAP/EM	HTQFP	PAP	64	250	367.0	367.0	55.0

## GENERIC PACKAGE VIEW

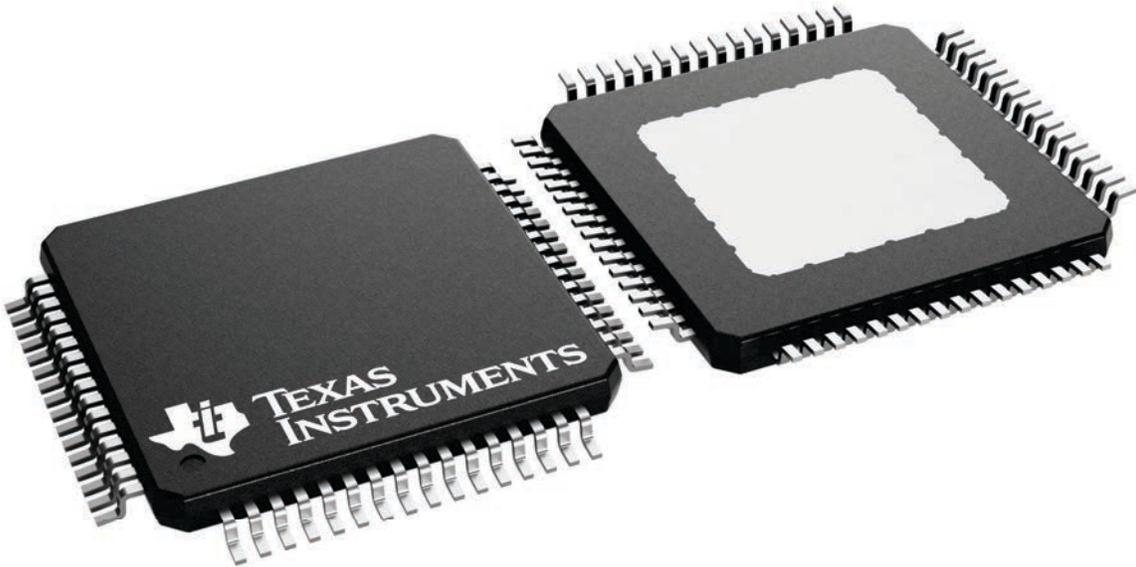
**PAP 64**

**HTQFP - 1.2 mm max height**

10 x 10, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4226442/A

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
版权所有 © 2025，德州仪器 (TI) 公司