

MCT8376Z-Q1 含传感器梯形集成式 FET BLDC 电机驱动器

1 特性

- 集成含传感器梯形控制的三相 BLDC 电机驱动器
 - 基于霍尔传感器的梯形 (120°) 换向
 - 支持模拟或数字霍尔输入
 - 可配置 PWM 调制：同步/异步
 - 支持 48V 系统
 - 支持高达 100kHz 的 PWM 频率
 - 主动消磁支持减少功率损耗
 - 逐周期电流限制，可限制相位电流
- 4.5V 至 65V 工作电压 (绝对最大值 70V)
- 高输出电流能力：4.5A 峰值
- 低 MOSFET 导通状态电阻
 - $T_A = 25^\circ\text{C}$ 时， $R_{DS(\text{ON})}$ (HS + LS) 为 400mΩ
- 通过 1.1V/ns 压摆率和反向恢复损耗最小化技术降低开关损耗
- 具有低可闻噪声、易用的电机控制功能、< 200ns 的超低死区时间和 < 100ns 的传播延迟
- 低功耗睡眠模式
 - $V_{VM} = 24\text{V}$ 、 $T_A = 25^\circ\text{C}$ 时为 1.5μA (典型值)
- 灵活的器件配置选项
- 灵活的器件配置选项
 - MCT8376ZS-Q1：用于器件配置和故障状态的 5MHz 16 位 SPI
 - MCT8376ZH-Q1：基于硬件引脚的配置
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 内置 3.3V (5%)、30mA LDO 稳压器
- 内置 5V (5%)、30mA LDO 稳压器
- 集成保护功能
 - 电源欠压锁定 (UVLO)
 - 电荷泵欠压 (CPUV)
 - 过流保护 (OCP)
 - 电机锁定保护
 - 热警告和热关断 (OTW/OTSD)
 - 故障条件指示引脚 (nFAULT)
 - 可选择通过 SPI 进行故障诊断

2 应用

- 无刷直流 (BLDC) 电机模块
- HVAC 电机
- 办公自动化设备
- 工厂自动化和机器人
- 无线天线电机
- 无人机

3 说明

MCT8376Z-Q1 提供单芯片无代码含传感器梯形控制，用于驱动 4.5V 至 65V 无刷直流电机。MCT8376Z-Q1 集成了三个 1/2 H 桥，具有 70V 的绝对最大电压承受能力和 400mΩ 的超低 $R_{DS(\text{ON})}$ (高侧 + 低侧)，可提供大功率驱动能力。使用集成电流检测功能来检测电流，无需外部电流检测电阻器。带有集成式 LDO 的电源管理功能为器件生成必要的电压轨，可用于为外部电路供电。

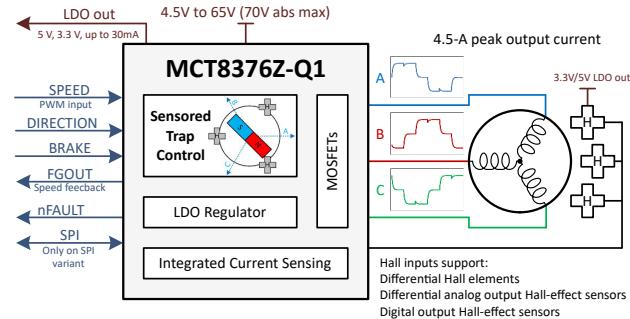
MCT8376Z-Q1 在固定功能状态机中实现含传感器梯形控制，因此无需外部微控制器即可使无刷直流电机转动。MCT8376Z-Q1 器件集成了三个用于位置感应的模拟霍尔比较器，可实现含传感器梯形 BLDC 电机控制。该控制方案具有高度可配置性，可通过硬件引脚或寄存器设置进行配置，涵盖范围从电机电流限制行为到故障响应。速度可以通过 PWM 输入进行控制。

MCT8376Z-Q1 集成了多种保护特性，可在出现故障事件时保护该器件、电机和系统。

器件信息 (1)

器件型号	封装	封装尺寸 (标称值)
MCT8376ZH-Q1	VQFN (28)	6.00mm x 5.00mm
MCT8376ZS-Q1	VQFN (28)	6.00mm x 5.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品目录。



简化版原理图



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本 (控制文档)。

内容

1 特性	1	7.5 SPI 通信	46
2 应用	1	8 寄存器映射	48
3 说明	1	8.1 状态寄存器	48
4 器件比较表	3	8.2 控制寄存器	53
5 引脚配置和功能	4	9 应用和实施	61
6 规格	6	9.1 应用信息	61
6.1 绝对最大额定值	6	9.2 霍尔传感器配置和连接	62
6.2 ESD 等级 (汽车类)	6	9.3 电源相关建议	65
6.3 建议运行条件	6	9.4 布局	66
6.4 热性能信息	7	10 器件和文档支持	68
6.5 电气特性	7	10.1 文档支持	68
6.6 SPI 时序要求	12	10.2 支持资源	68
6.7 SPI 从模式时序	13	10.3 商标	68
7 详细说明	14	10.4 静电放电警告	68
7.1 概述	14	10.5 术语表	68
7.2 功能方框图	15	11 修订历史记录	68
7.3 特性说明	17	12 机械、封装和可订购信息	68
7.4 器件功能模式	46		

4 器件比较表

器件	封装	接口
MCTV8376ZS-Q1	28 引脚 VQFN (6x5mm)	SPI
MCT8376ZH-Q1		硬件

表 4-1. MCT8376ZS-Q1 (SPI 型号) 与 MCT8376ZH-Q1 (硬件型号) 配置比较

参数	MCT8376ZS-Q1 (SPI 型号)	MCT8376ZH-Q1 (硬件型号)
PWM 模式设置	PWM_MODE (4 个设置)	MODE 引脚 (7 个设置)
压摆率设置	SLEW_RATE (4 个设置)	GAIN_SLEW_tLOCK 引脚 (2 个设置)
CSA 增益设置	CSA_GAIN (4 个设置)	GAIN_SLEW_tLOCK 引脚 (2 个设置)
SDO 引脚配置 : 模式、电压	SDO_ODEN (2 个设置) 、 SDO_VSEL (2 个设置) 、 SDO_MD (2 个设置)	不适用
电流限制配置 : 模式、在 nFAULT 上报告、消隐时间、 100% 占空比 PWM 频率	ILIMFLT_MODE (2 个设置) 、 ILIM_MODE (2 个设置) 、 ILIM_BLANK_SEL (4 个设置) 、 PWM_100_FREQ_SEL (4 个设置)	启用 nFAULT 上的电流限制报告，固定为滑行模式，压摆率为 50 时消隐时间为 5.5 μs，而所有其他压摆率则为 1.8 μs，100% 占空比输入 PWM 周期固定为 20kHz
过压保护模式	OVP_MODE (2 个设置) 、 OVP_SEL (2 个设置)	禁用过压保护
OCP 配置 : 模式、电平、抗尖峰脉冲	OCP_MODE (4 个设置) 、 OCP_LVL (2 个设置) 、 OCP_DEG (4 个设置) 和 OCP_RETRY (2 个设置)	在自动重试模式下启用，电平固定为 4.5A 且抗尖峰脉冲时间为 1.25us，重试时间为 5ms
主动消磁 : 启用、比较器阈值、比较器屏蔽时间、故障期间的行为	EN_ASR (2 个设置) 、 EN_AAR (2 个设置) 、 AD_COMP_TH (2 个设置)	MODE (2 个设置)，主动消磁比较器阈值设置为 100mA，比较器屏蔽时间为 5.5 μs (压摆率为 50) 和 1.8 μs (所有其他压摆率)。ADMAG_TMARGIN 设置为 3.2 μs，在 OCP 和电机锁定期间禁用主动消磁。
过热警告	OTW_MODE (2 个设置)	在 nFAULT 上报告
方向设置	DIR (2 个设置)	DIR 引脚 (2 个设置)
切入角设置	ADVANCE_LVL (8 个设置)	ADVANCE 引脚 (7 个设置)
FGOUT 配置	FG_MODE (4 个设置)	固定为 3 倍换向频率
电机锁定配置 : 模式、检测和重试时序	MTR_LOCK_MODE (4 个设置) 、 MTR_LOCK_TDET (4 个设置) 、 MTR_LOCK_RETRY (2 个设置)	在自动重试时启用，通过 MODE 引脚配置的检测时间为 500ms 或 5s，重试时间为 10s。
霍尔比较器配置	HALL_HYS (2 个设置)	固定为 5mV

5 引脚配置和功能

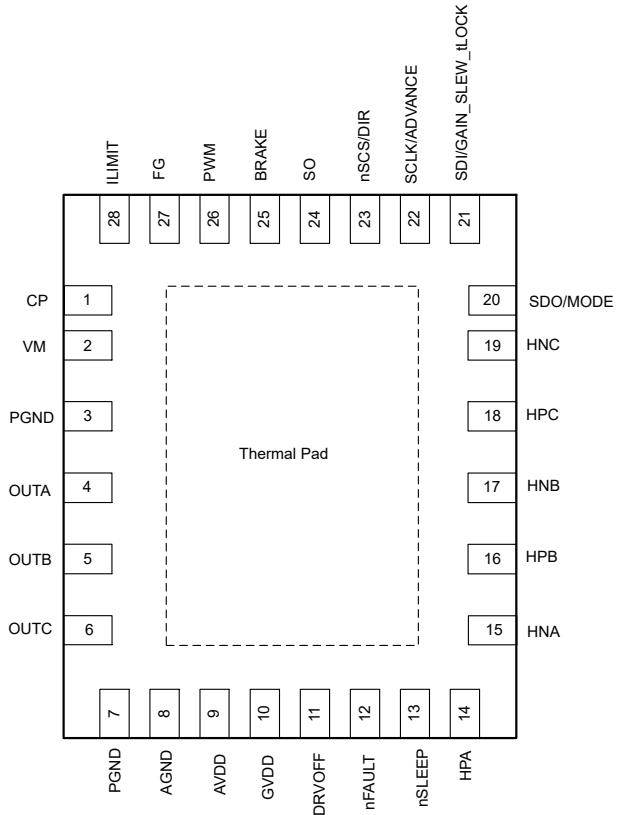


图 5-1. MCT8376Z-Q1 28 引脚 VQFN (带有外露散热焊盘) 顶视图

表 5-1. MCT8376Z-Q1 引脚功能

引脚	28 引脚 VQFN 封装		类型 ⁽¹⁾	说明
名称	MCT8376Z H-Q1	MCT8376Z S-Q1		
ADVANCE	22	-	I	超前角电平设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
AGND	8	8	GND	器件模拟接地。有关连接建议, 请参阅 节 9.4.1 。
AVDD	9	9	PWR O	3.3V 内部稳压器输出。在 AVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、6.3V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。
GVDD	10	10	PWR O	5V 内部稳压器输出。在 AVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、10V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。
BRAKE	25	25	I	高电平 → 在高电平时通过开启所有低侧 MOSFET 来制动电机 低电平 → 正常运行
CP	1	1	PWR O	电荷泵输出。在 CP 和 VM 引脚之间连接一个 X5R 或 X7R、1μF、16V 的陶瓷电容器。
DIR	23	-	I	方向引脚, 用于将电机旋转方向设置为顺时针或逆时针。
DRVOFF	11	11	I	当该引脚拉至高电平时, 功率级中的六个 MOSFET 将关断, 从而使所有输出处于高阻态。
FG	27	27	I	电机速度指示器输出。开漏输出需要一个连接到 1.8V 至 5.0V 电压的外部上拉电阻器。电机速度指示器可以设置为霍尔信号的不同分频因子。
GAIN_SLEW_LOCK	21	-	I	电机锁定检测时间设置、CSA 增益以及转换率设置
HNA	15	15	I	A 相霍尔元件负输入。需要噪声滤波电容器, 它们连接在正负霍尔输入之间。

表 5-1. MCT8376Z-Q1 引脚功能 (续)

引脚	28 引脚 VQFN 封装		类型 ⁽¹⁾	说明
名称	MCT8376Z H-Q1	MCT8376Z S-Q1		
HNB	17	17	I	B 相霍尔元件负输入。需要噪声滤波电容器，它们连接在正负霍尔输入之间。
HNC	19	19	I	C 相霍尔元件负输入。需要噪声滤波电容器，它们连接在正负霍尔输入之间。
HPA	14	14	I	A 相霍尔元件正输入。需要噪声滤波电容器，它们连接在正负霍尔输入之间。
HPB	16	16	I	B 相霍尔元件正输入。需要噪声滤波电容器，它们连接在正负霍尔输入之间。
HPC	18	18	I	C 相霍尔元件正输入。需要噪声滤波电容器，它们连接在正负霍尔输入之间。
ILIMIT	28	28		设置逐周期电流限制中使用的相电流阈值。
模式	20	-	I	PWM 输入模式和霍尔配置设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
nFAULT	12	12	O	故障指示器。故障状态下拉至逻辑低电平；开漏输出需要一个连接到 1.8V 至 5.0V 电压的外部上拉电阻器。如果使用外部电源上拉 nFAULT，请检验上电时将外部电源拉至 >2.2V。
nSCS	-	23	I	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。
nSLEEP	13	13	I	驱动器 nSLEEP。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 20µs 至 40µs 的低电平脉冲来复位故障条件，而不进入睡眠模式。
OUTA	4	4	PWR O	半桥输出 A
OUTB	5	5	PWR O	半桥输出 B
OUTC	6	6	PWR O	半桥输出 C
PGND	3、7	3、7	GND	器件电源地。有关连接建议，请参阅节 9.4.1。
PWM	26	26		用于电机控制的 PWM 输入。设置电机相电压的占空比和开关频率
SCLK	-	22	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉 (SPI 器件)。
SDI	-	21	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据 (SPI 器件)。
SDO	-	20	O	串行数据输出。在 SCLK 引脚的上升沿移出数据。该引脚需要使用一个外部上拉电阻器 (SPI 器件)。
SO	24	24	O	电流检测放大器输出。支持容性负载或低通滤波器 (串联电阻器和电容器至 GND)。
VM	2	2	PWR I	电源。连接到电机电源电压；通过一个 0.1 µF 电容器和一个额定电压为 VM 的大容量电容器旁路到 PGND。TI 建议电容器的额定电压至少是器件正常工作电压的两倍。
散热焊盘			GND	必须连接至模拟地。

(1) I = 输入，O = 输出，GND = 接地引脚，PWR = 电源，NC = 无连接

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) ⁽¹⁾

	最小值	最大值	单位
电源引脚电压 (VM)	-0.3	70	V
电源电压斜坡 (VM)		4	V/μs
接地引脚 (PGND、AGND) 之间的电压差	-0.6	0.6	V
电荷泵电压 (CP)	-0.3	$V_M + 6.2$	V
模拟稳压器引脚电压 (GVDD)	-0.3	5.75	V
模拟稳压器引脚电压 (AVDD)	-0.3	5.75	V
模拟引脚输入电压 (ILIMIT)	-0.3	5.75	V
模拟引脚输出电压 (SO)	-0.3	AVDD	V
逻辑引脚输入电压 (DRVOFF、PWM、HPx、HNx、BRAKE、DIR、nSCS、nSLEEP、SCLK、SDI)	-0.3	5.75	V
逻辑引脚输出电压 (nFAULT、SDO、FG)	-0.3	5.75	V
多电平引脚输入电压 (ADVANCE、GAIN_SLEW_tLOCK、MODE)	-0.3	5.75	V
输出引脚电压 (OUTA、OUTB、OUTC)	-1	$V_M + 1$	V
环境温度, T_A	-40	125	°C
结温, T_J	-40	150	°C
贮存温度, T_{stg}	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级 (汽车类)

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚 ±750 其他引脚 ±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在工作环境温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
V_{VM}	电源电压	V_{VM}	4.5	24	65	V
f_{PWM}	输出 PWM 频率	OUTA、OUTB、OUTC			100	kHz
I_{OUT} ⁽¹⁾	峰值输出绕组电流	OUTA、OUTB、OUTC			4	A
V_{IN}	逻辑输入电压	DRVOFF、nSCS、nSLEEP、SCLK、SDI、PWM、BRAKE、DIR、HPx、HNx	-0.1		5.5	V
V_{IN}	多电平输入电压	ADVANCE、FG_SEL/LOCK_DET_TIME、MODE	-0.1		GVDD	
V_{OD}	开漏上拉电压	nFAULT、SDO、FG	-0.1		5.5	V
V_{SDO}	推挽电压	SDO	2.2		AVDD	V
I_{OD}	开漏输出电流	nFAULT、SDO、FG			5	mA

在工作环境温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
V_{VREF}	电压基准引脚电压	V_{REF}		2.8	5.5	V
$ILIMIT$	用于电流限制的电压基准	$ILIMIT$	-0.1		5.5	V
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 必须遵循功率耗散和热限值

6.4 热性能信息

热指标 ⁽¹⁾		MCT8376ZH-Q1、 MCT8376ZS-Q1	单位
		VQFN (NLG)	
		28 引脚	
$R_{\theta JA}$	结至环境热阻	29.9	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	20.8	°C/W
$R_{\theta JB}$	结至电路板热阻	11	°C/W
Ψ_{JT}	结至顶部特征参数	0.3	°C/W
Ψ_{JB}	结至电路板特征参数	11	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	2.9	°C/W

 (1) 有关新旧热指标的更多信息 , 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.5 电气特性

 $T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明) 。典型限值适用于 $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 24\text{V}$

参数	测试条件	最小值	典型值	最大值	单位
电源					
I_{VMQ}	VM 睡眠模式电流	$V_{VM} > 6\text{V}$, $nSLEEP = 0$, $T_A = 25^{\circ}\text{C}$	1.5	3	μA
		$nSLEEP = 0$	2.5	8	μA
I_{VMS}	VM 待机模式电流	$V_{VM} > 6\text{V}$, $nSLEEP = 1$, $PWM = 0$, SPI = “关闭” , $T_A = 25^{\circ}\text{C}$	6.6	8.2	mA
		$nSLEEP = 1$, $PWM = 0$, SPI = “关闭”	6.6	8.2	mA
I_{VMS}	VM 待机模式电流	$V_{VM} > 6\text{V}$, $nSLEEP = 1$, $PWM = 0$, SPI = “关闭” , $T_A = 25^{\circ}\text{C}$, ASR 和 AAR 禁用	6.1	7.5	mA
I_{VMS}	VM 待机模式电流	$nSLEEP = 1$, $PWM = 0$, SPI = “关闭” , ASR 和 AAR 禁用	6.1	7.5	mA
I_{VM}	VM 工作模式电流	$V_{VM} > 6\text{V}$, $nSLEEP = 1$, $f_{PWM} = 20\text{kHz}$	7.6	9.8	mA
		$nSLEEP = 1$, $f_{PWM} = 20\text{kHz}$	7.6	9.8	mA
		$nSLEEP = 1$, $f_{PWM} = 100\text{kHz}$	10.1	13.4	mA
V_{GVDD}	模拟稳压器电压	$0\text{mA} \leq I_{GVDD} \leq 30\text{mA}$; (外部负载) ; $VM > 6\text{V}$	4.75	5	5.25 V
V_{GVDD}	模拟稳压器电压	$0\text{mA} \leq I_{GVDD} \leq 30\text{mA}$; (外部负载) ; $VM = 4.5\text{V}$	3.7		4.5 V
V_{AVDD}	模拟稳压器电压	$0\text{mA} \leq I_{AVDD} \leq 30\text{mA}$; (外部负载)	3.1	3.3	3.465 V
I_{GVDD}	外部模拟稳压器负载	$I_{AVDD} = 0\text{mA}$		30	mA
I_{AVDD}	外部模拟稳压器负载	$I_{GVDD} = 0\text{mA}$		30	mA
V_{VCP}	电荷泵稳压器电压	V_{VCP} 相对于 VM , ($V_{VM} > 6\text{V}$)	4	5	6 V
t_{PWM_LOW}	电机锁定检测所需的 PWM 低电平时间			200	ms

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^{\circ}\text{C}$ 、 $V_{VM} = 24\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
t_{WAKE}	唤醒时间	$V_{VM} > V_{UVLO}$, $nSLEEP = 1$ 以使输出就绪, 且 $nFAULT$ 已释放		5.5	ms	
t_{SLEEP}	睡眠脉冲时间	$nSLEEP = 0$ 进入睡眠模式的周期	120			μs
t_{RST}	复位脉冲时间	$nSLEEP = 0$ 复位故障的周期	20	40		μs

逻辑电平输入 (BRAKE、DIR、DRVOFF、nSLEEP、PWM、SCLK、SDI)

V_{IL}	输入逻辑低电平电压		0	0.6	V	
V_{IH}	输入逻辑高电平电压	nSLEEP	1.6	5.5	V	
		其他引脚	1.5	5.5	V	
V_{HYS}	输入逻辑迟滞	nSLEEP	95	300	425	mV
		其他引脚	180	300	425	mV
I_{IL}	输入逻辑低电平电流	V_{PIN} (引脚电压) = 0V	-1	1	μA	
I_{IH}	输入逻辑高电流	$nSLEEP$, V_{PIN} (引脚电压) = 5V	15	35	μA	
I_{IH}	输入逻辑高电流	其他引脚, V_{PIN} (引脚电压) = 5V	30	75	μA	
R_{PD}	输入下拉电阻	nSLEEP	150	200	300	$\text{k}\Omega$
		其他引脚	70	100	130	$\text{k}\Omega$
t_{GED}	抗尖峰脉冲时间	BRAKE、DIR、DRVOFF 引脚	0.6	1.15	1.7	μs
C_{ID}	输入电容			30		pF

逻辑电平输入 (nSCS)

V_{IL}	输入逻辑低电平电压		0	0.6	V	
V_{IH}	输入逻辑高电平电压		1.5	5.5	V	
V_{HYS}	输入逻辑迟滞			300	mV	
I_{IL}	输入逻辑低电平电流	V_{PIN} (引脚电压) = 0V		75	μA	
I_{IH}	输入逻辑高电流	V_{PIN} (引脚电压) = 5V	-1	25	μA	
R_{PU}	输入上拉电阻		80	100	130	$\text{k}\Omega$
C_{ID}	输入电容			30	pF	

七电平输入 (ADVANCE、MODE、GAIN_SLEW_tLOCK)

V_{L1}	输入模式 1 电压	连接至 AGND	0	0.09*GV _{DD}	V	
V_{L2}	输入模式 2 电压	$22\text{k}\Omega \pm 5\%$ 至 AGND	0.12*GV _{DD}	0.15*GVD _D	0.2*GVD _D	
V_{L3}	输入模式 3 电压	$100\text{k}\Omega \pm 5\%$ 至 AGND	0.27*GV _{DD}	0.33*GVD _D	0.4*GVD _D	
V_{L4}	输入模式 4 电压	高阻态	0.45*GV _{DD}	0.5*GVDD _D	0.55*GV _{DD}	
V_{L5}	输入模式 5 电压	$100\text{k}\Omega \pm 5\%$ 至 GVDD	0.6*GVD _D	0.66*GVD _D	0.73*GV _{DD}	
V_{L6}	输入模式 6 电压	$22\text{k}\Omega \pm 5\%$ 至 GVDD	0.77*GV _{DD}	0.85*GVD _D	0.9*GVD _D	
V_{L7}	输入模式 7 电压	连接至 GVDD	0.94*GV _{DD}		GVDD	
R_{PU}	输入上拉电阻	至 GVDD	80	100	120	$\text{k}\Omega$
R_{PD}	输入下拉电阻	至 AGND	80	100	120	$\text{k}\Omega$

开漏输出 (FG、nFAULT)

V_{OL}	输出逻辑低电平电压	$I_{OD} = 5\text{mA}$		0.4	V
I_{OH}	输出逻辑高电平电流	$V_{OD} = 5\text{V}$	-1	1	μA
C_{OD}	输出电容			30	pF

$T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$

参数	测试条件	最小值	典型值	最大值	单位
推挽式输出 (SDO)					
V_{OL}	输出逻辑低电平电压	$I_{OP} = 5\text{mA}$	0	0.4	V
V_{OH}	输出逻辑高电压	$I_{OP} = 5\text{mA}$, SDO_VSEL = 0	2.5	AVDD	V
V_{OH}	输出逻辑高电压	$I_{OP} = 5\text{mA}$, SDO_VSEL = 1 , $V_{VM} > 6\text{V}$	4	GVDD	V
I_{OL}	输出逻辑低电平漏电流	$V_{OP} = 0\text{V}$	-1	1	μA
I_{OH}	输出逻辑高电平漏电流	$V_{OP} = 5\text{V}$	-1	1	μA
C_{OD}	输出电容			30	pF
驱动器输出					
$R_{DS(ON)}$	MOSFET 总导通电阻 (高侧 + 低侧)	$V_{VM} > 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_A = 25^\circ\text{C}$	400	505	$\text{m}\Omega$
		$V_{VM} < 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_A = 25^\circ\text{C}$	407	515	$\text{m}\Omega$
		$V_{VM} > 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^\circ\text{C}$	690	790	$\text{m}\Omega$
		$V_{VM} < 6\text{V}$, $I_{OUT} = 1\text{A}$, $T_J = 150^\circ\text{C}$	705	810	$\text{m}\Omega$
SR	相位引脚压摆率从低切换到高 (从 20% 上升到 80%)	$V_{VM} = 24\text{V}$, SLEW = 00b 或 SLEW 引脚连接至 AGND , $I_{OUTx} = 1\text{A}$	630	1100	V/us
		$V_{VM} = 24\text{V}$, SLEW = 01b 或 SLEW 引脚连接至高阻态 , $I_{OUTx} = 1\text{A}$	260	500	V/us
		$V_{VM} = 24\text{V}$, SLEW = 10b 或 SLEW 引脚连接至 $47\text{k}\Omega$ +/- 5% 至 GVDD , $I_{OUTx} = 1\text{A}$	135	250	V/us
		$V_{VM} = 24\text{V}$, SLEW = 11b 或 SLEW 引脚连接至 GVDD , $I_{OUTx} = 1\text{A}$	22	60	V/us
SR	相位引脚压摆率从高切换到低 (从 80% 下降到 20%)	$V_{VM} = 24\text{V}$, SLEW = 00b 或 SLEW 引脚连接至 AGND , $I_{OUTx} = 1\text{A}$	500	1100	V/us
		$V_{VM} = 24\text{V}$, SLEW = 01b 或 SLEW 引脚连接至高阻态 , $I_{OUTx} = 1\text{A}$	240	500	V/us
		$V_{VM} = 24\text{V}$, SLEW = 10b 或 SLEW 引脚连接至 $47\text{k}\Omega$ +/- 5% 至 GVDD , $I_{OUTx} = 1\text{A}$	120	250	V/us
		$V_{VM} = 24\text{V}$, SLEW = 11b 或 SLEW 引脚连接至 GVDD , $I_{OUTx} = 1\text{A}$	30	50	V/us
I_{LEAK}	OUTx 上的漏电流	$V_{OUTx} = V_{VM}$, nSLEEP = 1		2	mA
	OUTx 上的漏电流	$V_{OUTx} = 0\text{V}$, nSLEEP = 1		1	μA
t_{DEAD}	输出死区时间 (高电平到低电平/低电平到高电平)	$V_{VM} = 24\text{V}$, SLEW = 00b 或 SLEW 引脚连接至 AGND , HS 驱动器开启至 LS 驱动器关闭	65	150	ns
		$V_{VM} = 24\text{V}$, SLEW = 01b 或 SLEW 引脚连接至高阻态 , HS 驱动器开启至 LS 驱动器关闭	100	250	ns
		$V_{VM} = 24\text{V}$, SLEW = 10b 或 SLEW 引脚连接至 $47\text{k}\Omega$ +/- 5% 至 GVDD , HS 驱动器开启至 LS 驱动器关闭	100	250	ns
		$V_{VM} = 24\text{V}$, SLEW = 11b 或 SLEW 引脚连接至 GVDD , HS 驱动器开启至 LS 驱动器关闭	250	550	ns

$T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
t_{PD}	传播延迟 (高侧/低侧开关)	$V_{VM} = 24\text{V}$, PWM = 1 至 OUTx 转换 , SLEW = 00b 或 SLEW 引脚连接至 AGND		35	85	ns
		$V_{VM} = 24\text{V}$, PWM = 1 至 OUTx 转换 , SLEW = 01b 或 SLEW 引脚连接至 高阻态		40	100	ns
		$V_{VM} = 24\text{V}$, PWM = 1 至 OUTx 转换 , SLEW = 10b 或 SLEW 引脚连接至 $47\text{k}\Omega$ +/- 5% 至 GVDD		45	140	ns
		$V_{VM} = 24\text{V}$, PWM = 1 至 OUTx 转换 , SLEW = 11b 或 SLEW 引脚连接至 GVDD		1200	1900	ns
t_{MIN_PULSE}	最小输出脉冲宽度	SLEW = 00b 或 SLEW 引脚连接至 AGND	110			ns
G_{CSA_ERR}	电流检测增益误差	$T_J = 25^\circ\text{C}$, $0\text{A} \leq \text{LS FET 电流} > \leq 2\text{A}$ (电流方向为从 PGND 到 OUTx)	-4	4	6	%
G_{CSA_ERR}	电流检测增益误差	$0\text{A} < \text{LS FET 电流} \leq 2\text{A}$; (电流方向为从 PGND 到 OUTx)	-6	6	8	%

电流检测输出 (SO)

G_{CSA}	电流检测增益		0.4	V/A	
G_{CSA}	电流检测增益		1	V/A	
G_{CSA}	电流检测增益		2.5	V/A	
G_{CSA}	电流检测增益		5	V/A	
G_{CSA_ERR}	电流检测增益误差	LS FET 电流 $< 2\text{A}$ 或 $2\text{A} < \text{LS FET 电流} < 4\text{A}$; (电流方向为从 OUTx 到 PGND)	± 6	%	
FS_{POS}	满标量程正电流测量	LS FET 中电流方向为从 PGND 到 OUTx	2	A	
FS_{NEG}	满标量程负电流测量	LS FET 中电流方向为从 OUTx 到 PGND	-3.5	A	
V_{LINEAR}	SOX 输出电压线性范围		0.25	3	V
I_{OFFSET}	电流检测偏移	相电流 = 0A	± 10	mA	
t_{SET}	趋稳时间至 1% , 30pF	SOX 上的阶跃 = 1.2V	1	μs	

霍尔比较器

V_{ICM}	输入共模电压 (霍尔)		0.5	$GVDD - 1.2$	V
V_{HYS}	电压磁滞 (SPI 器件)	$HALL_HYS = 0$	1.5	5	8.5 mV
		$HALL_HYS = 1$	35	50	80 mV
	电压迟滞 (硬件器件)		1.5	5	8.2 mV
ΔV_{HYS}	霍尔比较器迟滞差值	在霍尔 A、霍尔 B 和霍尔 C 比较器之间	-12	12	mV
$V_{H(MIN)}$	最小霍尔差分电压		40		mV
I_I	输入漏电流	$HPX = HNX = 0\text{V}$	-1	1	μA
t_{HDG}	霍尔抗尖峰脉冲时间		0.6	1.15	1.7 μs

逐脉冲电流限制

V_{LIM}	逐周期电流限制条件下 ILIMIT 引脚上的电压		$VAVDD/2$	$VAVDD/2 - 0.25$	V
V_{LIM_DIS}	ILIMIT 引脚上用于禁用逐周期电流限制的电压		$VAVDD$	$GVDD$	V
I_{LIMIT}	与 VLIM 引脚电压范围对应的电流限制		0	4	A

$T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$

参数	测试条件	最小值	典型值	最大值	单位
I_{LIM_AC}	电流限制准确度	$V_{REF} = 3.3\text{V}$, $I_{LIMIT} > 1\text{A}$	-6	6	%
I_{LIM_AC}	电流限制准确度	$V_{REF} = 3.3\text{V}$, $0.5\text{A} < I_{LIMIT} < 1\text{A}$	-10	10	%
t_{BLANK}	逐周期电流限制消隐时间	$SLEW = 00b$ 、 $01b$ 或 $10b$, $I_{LIM_BLANK_SEL} = 00b$, 硬件型号		1.75	μs
t_{BLANK}	逐周期电流限制消隐时间	$SLEW = 00b$ 、 $01b$ 或 $10b$, $I_{LIM_BLANK_SEL} = 01b$		2.25	μs
t_{BLANK}	逐周期电流限制消隐时间	$SLEW = 00b$ 、 $01b$ 或 $10b$, $I_{LIM_BLANK_SEL} = 10b$		2.75	μs
t_{BLANK}	逐周期电流限制消隐时间	$SLEW = 00b$ 、 $01b$ 或 $10b$, $I_{LIM_BLANK_SEL} = 11b$		3.75	μs
t_{BLANK}	逐周期电流限制消隐时间	$SLEW = 11b$, $I_{LIM_BLANK_SEL} = 00b$, 硬件型号		5.5	μs
t_{BLANK}	逐周期电流限制消隐时间	$SLEW = 11b$, $I_{LIM_BLANK_SEL} = 01b$		6	μs
t_{BLANK}	逐周期电流限制消隐时间	$SLEW = 11b$, $I_{LIM_BLANK_SEL} = 10b$		6.5	μs
t_{BLANK}	逐周期电流限制消隐时间	$SLEW = 11b$, $I_{LIM_BLANK_SEL} = 11b$		7.5	μs

超前角

θ_{ADV}	超前角设置 (SPI 器件)	ADVANCE_LVL = 000 b	0	1	$^\circ$
		ADVANCE_LVL = 001 b	3	4	$^\circ$
		ADVANCE_LVL = 010 b	6	7	$^\circ$
		ADVANCE_LVL = 011 b	10	11	$^\circ$
		ADVANCE_LVL = 100 b	13.5	15	16.5 $^\circ$
		ADVANCE_LVL = 101 b	18	20	$^\circ$
		ADVANCE_LVL = 110 b	22.5	25	27.5 $^\circ$
		ADVANCE_LVL = 111 b	27	30	33 $^\circ$
θ_{ADV}	超前角设置 (硬件器件)	超前引脚连接至 AGND	0	1	$^\circ$
		超前引脚连接至 $22\text{k}\Omega \pm 5\%$ 至 AGND	3	4	$^\circ$
		超前引脚连接至 $100\text{k}\Omega \pm 5\%$ 至 AGND	10	11	$^\circ$
		超前引脚连接至高阻态	13.5	15	16.5 $^\circ$
		超前引脚连接至 $100\text{k}\Omega \pm 5\%$ 至 GVDD	18	20	$^\circ$
		超前引脚连接至 $22\text{k}\Omega \pm 5\%$ 至 GVDD	22.5	25	27.5 $^\circ$
		超前引脚连接至 GVDD	27	30	33 $^\circ$

保护电路

V_{UVLO}	电源欠压锁定 (UVLO)	VM 上升	4.2	4.35	4.5	V
		VM 下降	4.0	4.15	4.3	V
V_{UVLO_HYS}	电源欠压锁定迟滞	上升至下降阈值	65	200	415	mV
t_{UVLO}	电源欠压抗尖峰脉冲时间		3	6	10	μs
V_{OVP}	电源过压保护 (OVP) (SPI 器件)	电源电压上升 , $OVP_EN = 1$, $OVP_SEL = 0$	60	62.5	65	V
		电源电压下降 , $OVP_EN = 1$, $OVP_SEL = 0$	58	61	63.5	V
		电源电压上升 , $OVP_EN = 1$, $OVP_SEL = 1$	32.5	34	35	V
		电源电压下降 , $OVP_EN = 1$, $OVP_SEL = 1$	32	33	34	V
V_{OVP_HYS}	电源过压保护 (OVP) (SPI 器件)	上升至下降阈值 , $OVP_SEL = 1$	0.74	0.8	0.85	V
		上升至下降阈值 , $OVP_SEL = 0$	1.35	1.45	1.55	V

$T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $V_{VM} = 4.5\text{V}$ 至 65V (除非另有说明)。典型限值适用于 $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
t_{OVP}	电源过压抗尖峰脉冲时间		2.5	6.5	12	μs
V_{CPUV}	电荷泵欠压锁定 (高于 VM)	电源上升	2.1	2.7	3.2	V
		电源下降	1.8	2.45	2.95	V
V_{CPUV_HYS}	电荷泵 UVLO 迟滞	上升至下降阈值	105	150	200	mV
V_{AVDD_UV}	模拟稳压器欠压锁定	电源上升	2.7	2.85	3	V
		电源下降	2.5	2.65	2.8	V
$V_{AVDD_UV_HYS}$	模拟稳压器欠压锁定迟滞	上升至下降阈值	180	200	240	mV
V_{GVDD_UV}	GVDD 稳压器欠压锁定	电源上升	3.1	3.3	3.5	V
V_{GVDD_UV}	GVDD 稳压器欠压锁定	电源下降	2.9	3.1	3.3	V
$V_{GVDD_UV_HYS}$	模拟稳压器欠压锁定迟滞	上升至下降阈值	145	190	265	mV
I_{OCP}	过流保护跳变点 (SPI 器件)	$OCP_LVL = 00b$ 或 $01b$	4.5	9	A	
I_{OCP}	过流保护跳变点 (SPI 器件)	$OCP_LVL = 10b$ 或 $11b$	2.5	5	A	
I_{OCP}	过流保护跳变点 (硬件器件)	OCP 引脚连接至 AGND 或 OCP 引脚处于高阻态	4.5	9	A	
I_{OCP}	过流保护跳变点 (硬件器件)	OCP 连接至 GVDD	2.5	5	A	
t_{OCP}	过流保护抗尖峰脉冲时间 (SPI 器件)	$OCP_DEG = 00b$	0.2	0.6	1.2	μs
		$OCP_DEG = 01b$	0.6	1.25	1.8	μs
		$OCP_DEG = 10b$	1	1.6	2.5	μs
		$OCP_DEG = 11b$	1.4	2	3	μs
	过流保护抗尖峰脉冲时间 (硬件器件)		0.6	1.25	2	μs
t_{RETRY}	过流保护重试时间 (SPI 器件)	$OCP_TRETRY=0$	4	5	6	ms
		$OCP_TRETRY=1$	425	500	575	ms
t_{RETRY}	过流保护重试时间 (硬件器件)		4	5	6	ms
t_{MTR_LOCK}	电机锁定检测时间 (SPI 器件)	$MOTOR_LOCK_TDET = 11b$	225	250	275	ms
		$MOTOR_LOCK_TDET = 10b$	450	500	550	ms
		$MOTOR_LOCK_TDET = 01b$	900	1000	1100	ms
		$MOTOR_LOCK_TDET = 00b$	4500	5000	5500	ms
t_{MTR_LOCK}	电机锁定检测时间 (HW 器件)		900	1000	1100	ms
$t_{MTR_LOCK_RETRY}$	电机锁定重试时间 (SPI 器件)	$MOTOR_LOCK_RETRY = 1b$	1.8	2	2.2	s
		$MOTOR_LOCK_RETRY = 0b$	9	10	11	s
$t_{MTR_LOCK_RETRY}$	电机锁定重试时间 (HW 器件)		9	10	11	s
T_{OTW}	热警告温度	芯片温度 (T_J)	160	170	180	$^\circ\text{C}$
T_{OTW_HYS}	热警告迟滞	芯片温度 (T_J)	25	30	35	$^\circ\text{C}$
T_{TSD}	热关断温度	芯片温度 (T_J)	175	185	195	$^\circ\text{C}$
T_{TSD_HYS}	热关断迟滞	芯片温度 (T_J)	25	30	35	$^\circ\text{C}$

6.6 SPI 时序要求

		最小值	标称值	最大值	单位
t_{READY}	上电后 SPI 就绪			1	ms

		最小值	标称值	最大值	单位
t_{HI_nSCS}	nSCS 最短高电平时间		400		ns
t_{SU_nSCS}	nSCS 输入设置时间		25		ns
t_{HD_nSCS}	nSCS 输入保持时间		25		ns
t_{SCLK}	SCLK 最小周期		100		ns
t_{SCLKH}	SCLK 最短高电平时间		50		ns
t_{SCLKL}	SCLK 最短低电平时间		50		ns
t_{SU_SDI}	SDI 输入数据设置时间		25		ns
t_{HD_SDI}	SDI 输入数据保持时间		25		ns
t_{DLY_SDO}	SDO 输出数据延迟时间			25	ns
t_{EN_SDO}	SDO 启用延迟时间			50	ns
t_{DIS_SDO}	SDO 禁用延迟时间			50	ns

6.7 SPI 从模式时序

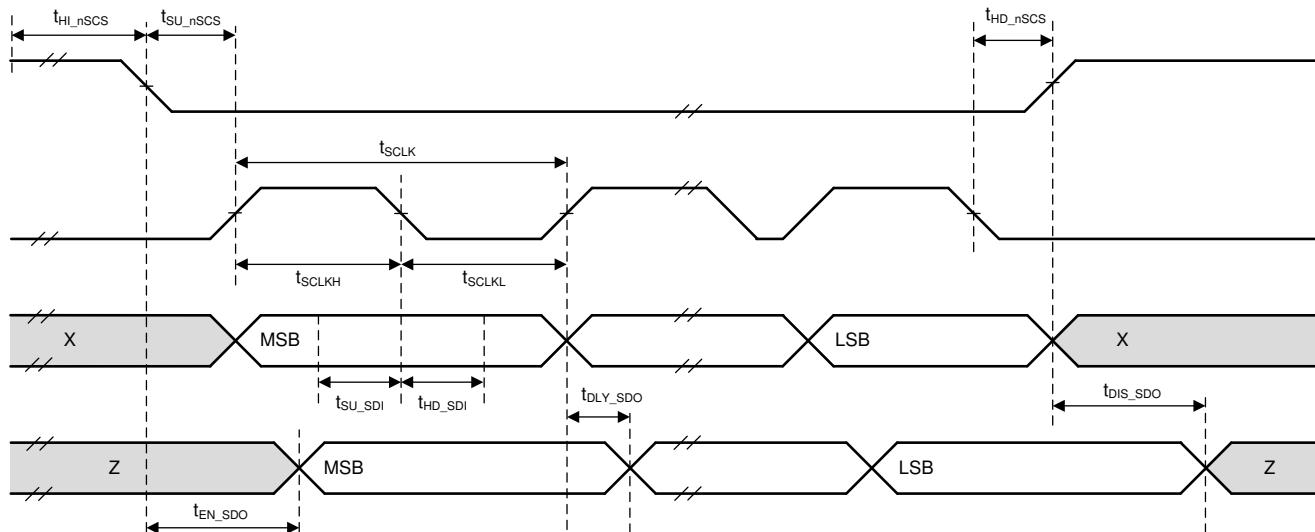


图 6-1. SPI 辅助模式时序

7 详细说明

7.1 概述

MCT8376Z-Q1 器件是一款集成式 $400\text{m}\Omega$ (高侧和低侧 MOSFET 的导通状态电阻之和) 驱动器，适用于三相电机驱动应用。该器件通过集成三个半桥 MOSFET、栅极驱动器、电荷泵、以及用于外部负载的线性稳压器，降低了系统元件数量、成本和复杂性。标准的串行外设接口 (SPI) 提供了一种简单的方法，可通过外部控制器配置各种器件设置和读取故障诊断信息。或者，硬件接口 (H/W) 选项允许通过固定外部电阻器来配置常用的设置。

该架构使用内部状态机来防止发生短路事件，并防止内部功率 MOSFET 发生 dv/dt 寄生导通。

MCT8376Z-Q1 器件集成了三相含传感器梯形换向，可使用模拟或数字霍尔传感器进行位置检测。

除了高度的器件集成之外，MCT8376Z-Q1 器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (UVLO)、电荷泵欠压锁定 (CPUV)、过流保护 (OCP)、AVDD 和 GVDD 欠压锁定 (AVDD_UV、GVDD_UV) 和过热关断 (OTW 和 OTSD)。故障事件由 nFAULT 引脚指示，可在 SPI 器件版本的 SPI 寄存器中获得详细信息。

MCT8376Z-Q1 器件采用 VQFN 表面贴装封装。VQFN 封装尺寸为 $6\text{mm} \times 5\text{mm}$ 。

7.2 功能方框图

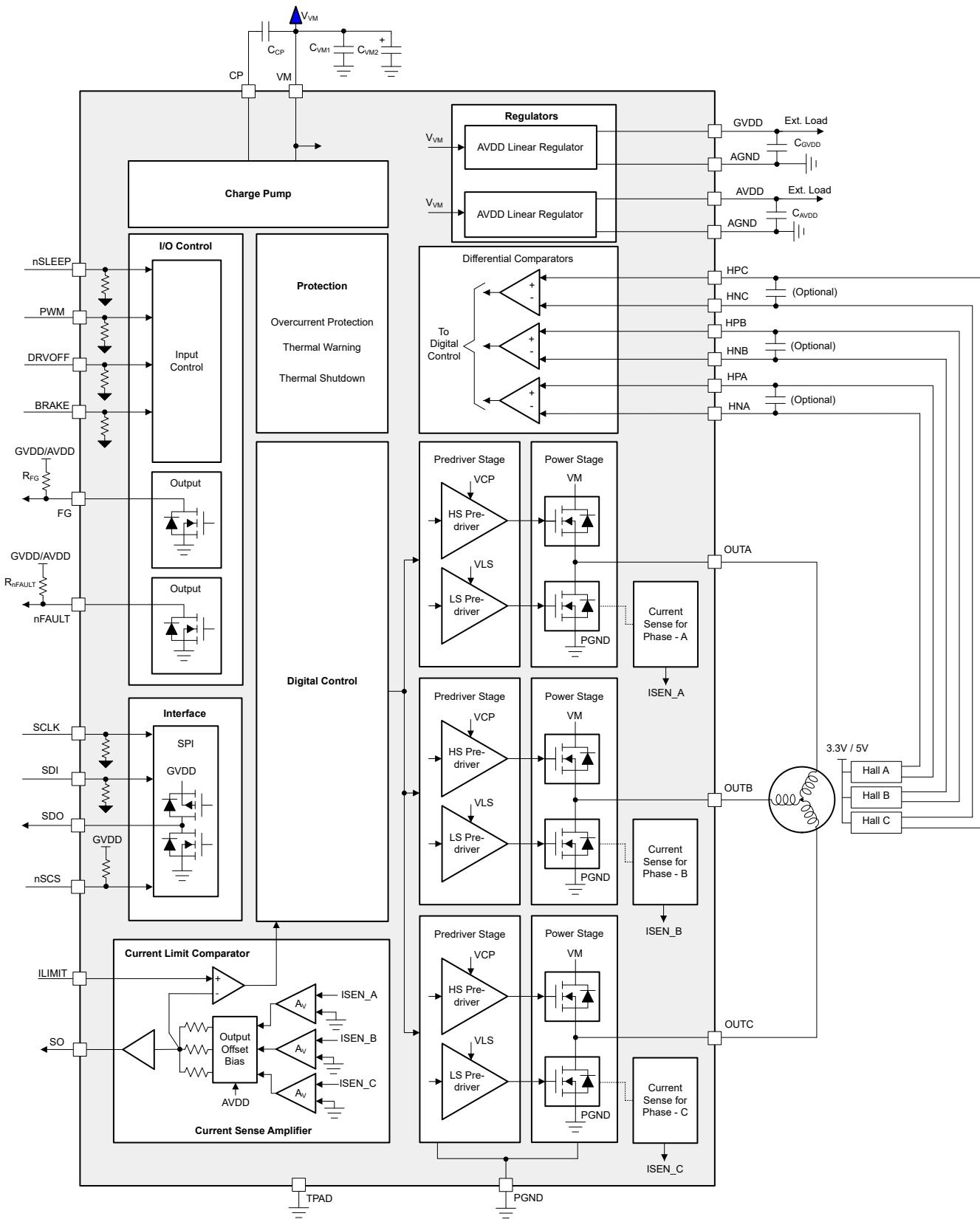


图 7-1. MCT8376ZS-Q1 方框图

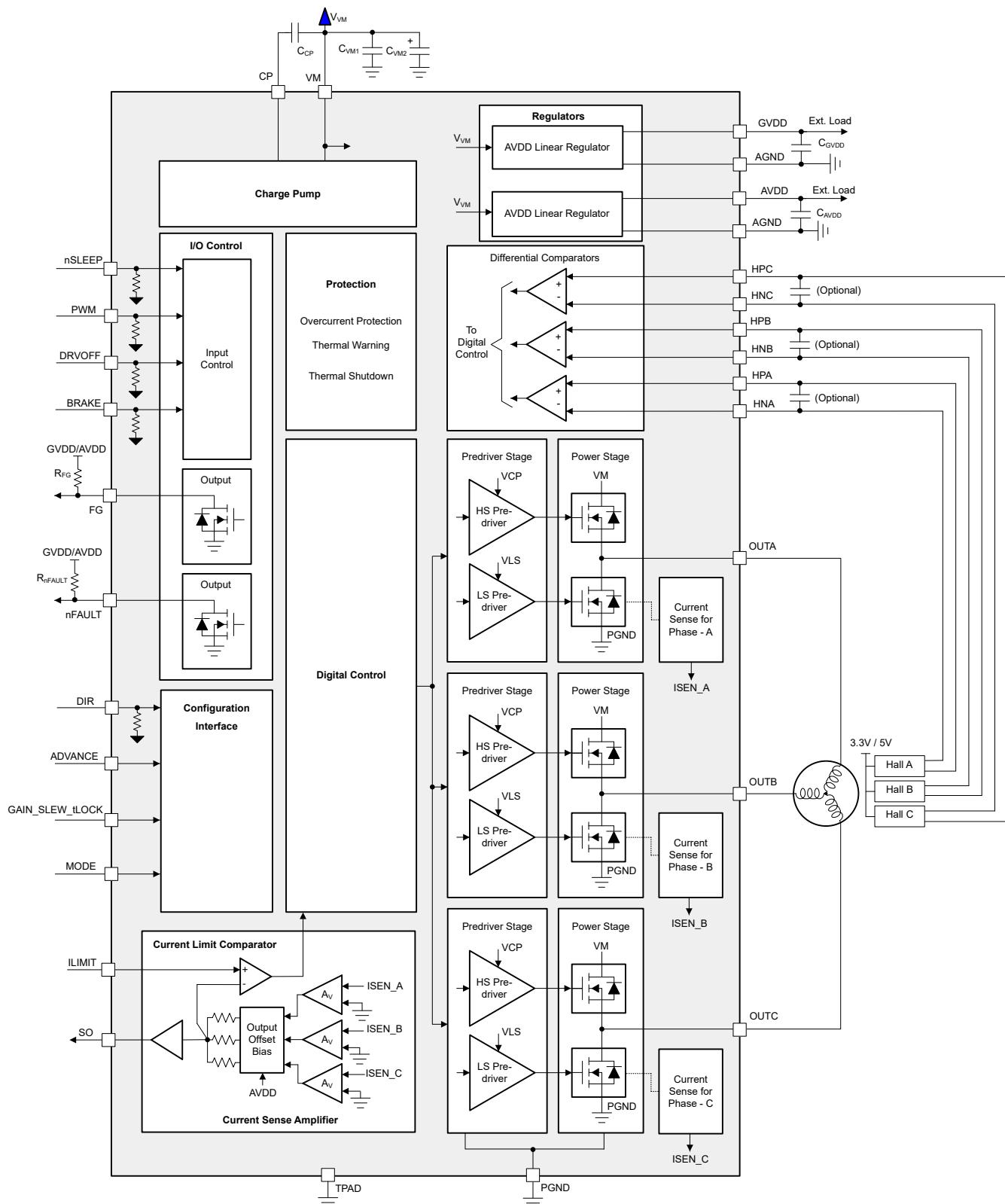


图 7-2. MCT8376ZH-Q1 方框图

7.3 特性说明

表 7-1 列出了驱动器的外部元件的建议值。

表 7-1. MCT8376Z-Q1 外部元件

元件	引脚 1	引脚 2	推荐
C_{VM1}	VM	PGND	X5R 或 X7R, 0.1 μ F, TI 建议电容器的额定电压至少是器件正常工作电压的两倍
C_{VM2}	VM	PGND	$\geq 10\mu$ F, TI 建议电容器的额定电压至少是器件正常工作电压的两倍
C_{CP}	CP	VM	X5R 或 X7R, 16V, 0.1 μ F 电容器
C_{GVDD}	GVDD	AGND	X5R 或 X7R, 1 μ F, $\geq 10V$
C_{AVDD}	AVDD	AGND	X5R 或 X7R, 0.1 μ F, $\geq 6.3V$
R_{nFAULT}	AVDD/GVDD	nFAULT	5.1k Ω 上拉电阻器
R_{FG}	AVDD/GVDD	nFAULT	5.1k Ω 上拉电阻器
$R_{ADVANCE}$	ADVANCE	AGND 或 GVDD	MCT8376ZH-Q1 硬件接口
R_{MODE}	模式	AGND 或 GVDD	MCT8376ZH-Q1 硬件接口
$R_{GAIN_SLEW_tLOCK}$	GAIN_SLEW_tLOCK	AGND 或 GVDD	MCT8376ZH-Q1 硬件接口

备注

TI 建议在 nFAULT 上连接上拉电阻器 (即使不使用 nFAULT)，以避免意外进入内部测试模式。如果使用外部电源上拉 nFAULT，请确保上电时将 nFAULT 拉至 $>2.2V$ 。

7.3.1 输出级

MCT8376Z-Q1 器件包含一个以三相桥配置连接的集成式 400m Ω (高侧和低侧 FET 的导通状态电阻之和) NMOS FET。倍增电荷泵可在宽工作电压范围内为高侧 NMOS FET 提供适合的栅极偏置电压，此外还提供 100% 占空比支持。内部线性稳压器为低侧 MOSFET 提供栅极偏置电压。

7.3.2 PWM 控制模式 (1x PWM 模式)

MCT8376Z-Q1 系列器件提供七种不同的控制模式，来支持各种换向和控制方法。MCT8376Z-Q1 器件提供 1x PWM 控制模式，以梯形电流控制模式驱动 BLDC 电机。MCT8376Z-Q1 器件使用内部存储的 6 步阻塞换向表。该功能允许使用来自简单控制器的单个 PWM 控制三相 BLDC 电机。该 PWM 施加在 PWM 引脚上，可确定半桥的输出频率和占空比。

MCT8376Z-Q1 系列器件通过更改模式输入设置来支持模拟和数字霍尔输入。差分霍尔输入应连接到 HPx 和 HNx 引脚 (请参阅图 7-3)。数字霍尔输入应连接到 HPx 引脚，同时保持 HNx 引脚悬空 (请参阅图 7-4)。

半桥输出状态由模拟模式下的 HPA、HNA、HPB、HNB、HPC 和 HNC 引脚以及数字模式下的 HPA、HPB、HPC 引脚管理，这些引脚用作状态逻辑输入。状态输入是 BLDC 电机的位置反馈。1x PWM 模式通常以同步整流 (低侧 MOSFET 再循环) 运行；但是，可以将该模式配置为使用异步整流 (MOSFET 体二极管续流)，如表 7-2 所示。

表 7-2. PWM_MODE 配置

MODE 类型	MODE 引脚 (硬件型号)	霍尔配置	调制	ASR 和 AAR 模式
模式 1	连接到 AGND	模拟霍尔输入	异步	ASR 和 AAR 已禁用
模式 2	通过 R_{MODE1} 连接到 AGND	数字霍尔输入	异步	ASR 和 AAR 已禁用
模式 3	通过 R_{MODE2} 连接到 AGND	模拟霍尔输入	同步	ASR 和 AAR 已禁用
模式 4	高阻态	数字霍尔输入	同步	ASR 和 AAR 已禁用

表 7-2. PWM_MODE 配置 (续)

MODE 类型	MODE 引脚 (硬件型号)	霍尔配置	调制	ASR 和 AAR 模式
模式 5	通过 R _{MODE2} 连接到 GVDD	模拟霍尔输入	同步	ASR 和 AAR 已启用
模式 6	通过 R _{MODE1} 连接到 GVDD	数字霍尔输入	同步	ASR 和 AAR 已启用
模式 7	连接到 GVDD			

备注

德州仪器 (TI) 不建议在功率 MOSFET 运行期间更改 MODE 引脚或 PWM_MODE 寄存器。在更改 MODE 引脚或 PWM_MODE 寄存器之前, 将 PWM 设置为低电平。

7.3.2.1 模拟霍尔输入配置

图 7-3 显示了模拟霍尔输入与驱动器的连接。模拟霍尔元件被馈送到霍尔比较器, 其中过零用于生成换向逻辑。

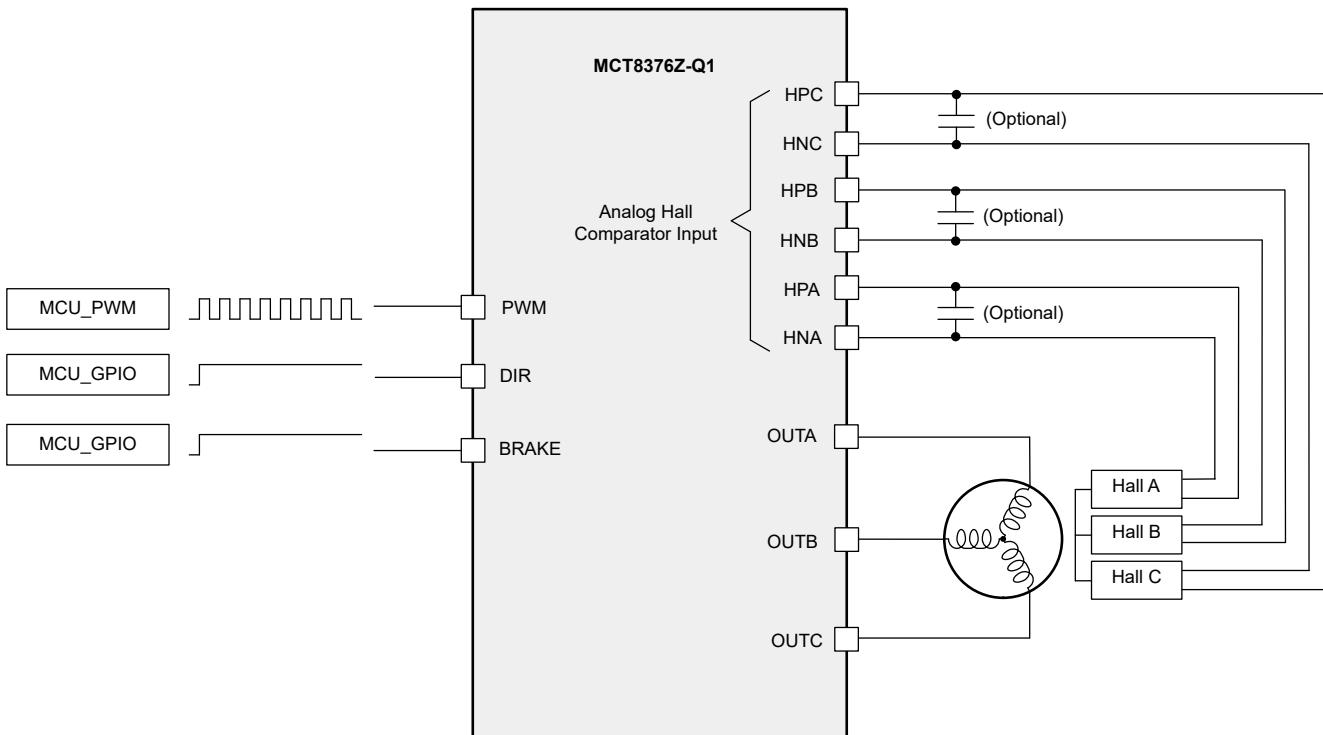


图 7-3. 具有模拟霍尔输入的 1x PWM 模式

备注

德州仪器 (TI) 建议在电机静止时改变电机方向 (DIR)。

7.3.2.2 数字霍尔输入配置

图 7-4 显示了数字霍尔输入与驱动器的连接。

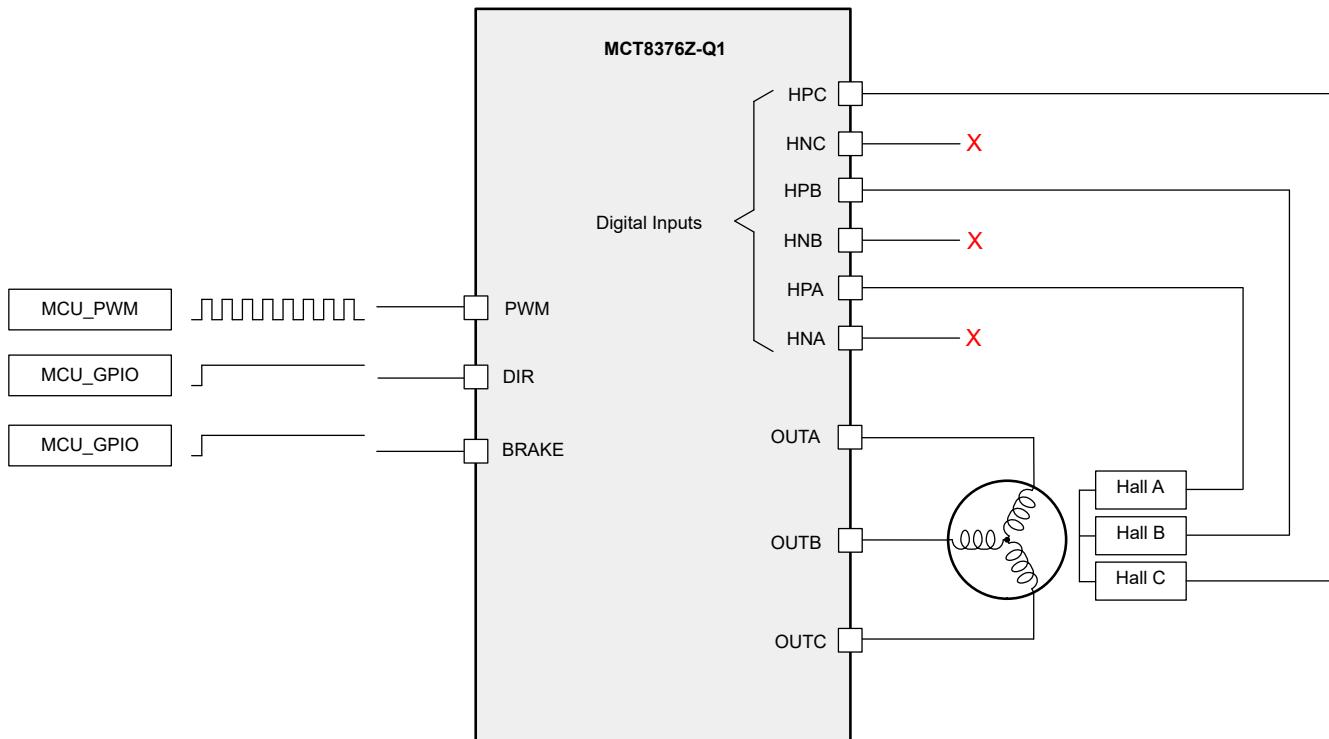


图 7-4. 具有数字霍尔输入的 1x PWM 模式

7.3.2.3 异步调制

DIR 引脚以顺时针或逆时针方向控制 BLDC 电机的方向。如果不需要该功能，请将 DIR 引脚保持在低电平。

BRAKE 输入通过在其被拉至高电平时关断所有高侧 MOSFET 并开启所有低侧 MOSFET 来停止电机。该制动器不受其他输入引脚状态的影响。如果不需要该功能，请将 BRAKE 引脚保持在低电平。

表 7-3 展示了 1x PWM 模式下的异步调制配置。

表 7-3. 异步调制

状态	霍尔输入			驱动器输出						说明		
	DIR = 0		DIR = 1	A 相		B 相		C 相				
	HALL_A /HPA	HALL_B /HPB	HALL_C /HPC	HALL_A /HPA	HALL_B /HPB	HALL_C /HPC	高侧	低侧	高侧	低侧	高侧	低侧
停止	0	0	0	0	0	0	L	L	L	L	L	L
对齐	1	1	1	1	1	1	PWM	L	L	H	L	H
1	1	1	0	0	0	1	L	L	PWM	L	L	H
2	1	0	0	0	1	1	PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L
4	0	0	1	1	1	0	L	L	L	H	PWM	L
5	0	1	1	1	0	0	L	H	L	L	PWM	L
6	0	1	0	1	0	1	L	H	PWM	L	L	L

7.3.2.4 同步调制

表 7-4 展示了 1x PWM 模式下的同步调制配置。

表 7-4. 同步调制

状态	霍尔输入						驱动器输出						说明
	DIR = 0			DIR = 1			A 相		B 相		C 相		
HALL_A /HPA	HALL_B /HPB	HALL_C /HPC	HALL_A /HPA	HALL_B /HPB	HALL_C /HPC	高侧	低侧	高侧	低侧	高侧	低侧		
停止	0	0	0	0	0	0	L	L	L	L	L	L	停止
对齐	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	对齐
1	1	1	0	0	1	1	L	L	PWM	!PWM	L	H	B → C
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	H	PWM	!PWM		C → B
5	0	1	1	1	0	0	L	H	L	PWM	!PWM		C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

7.3.2.5 电机运行

图 7-5 和图 7-6 展示了方向设置 (DIR) 分别为 0 和 1 时的 BLDC 电机换向。

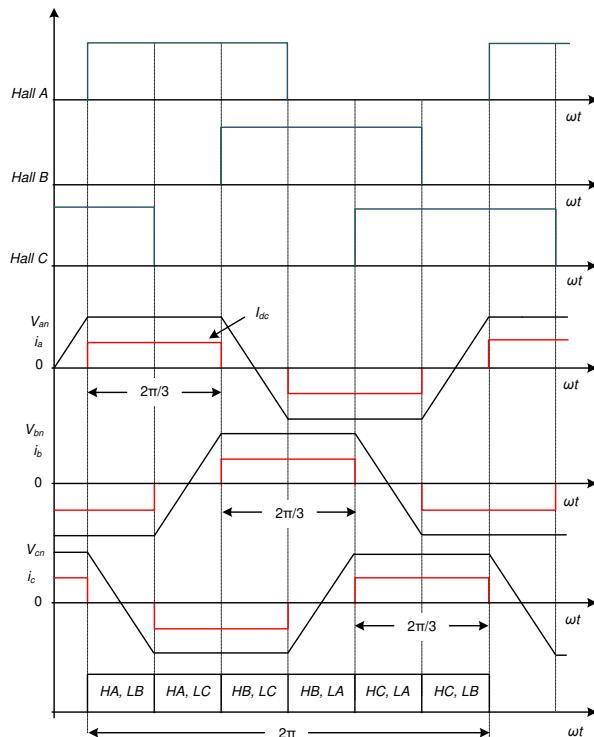


图 7-5. DIR = 0 时的 BLDC 电机换向

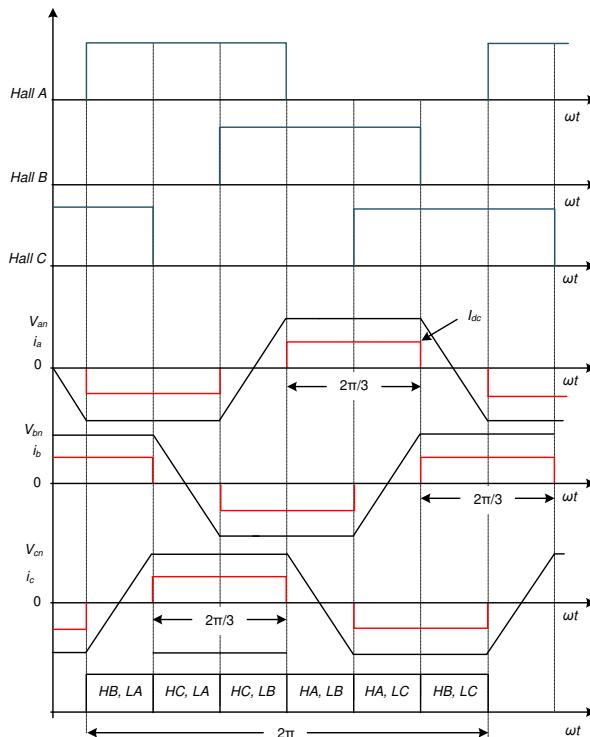


图 7-6. DIR = 1 时的 BLDC 电机换向

7.3.3 器件接口模式

MCT8376Z-Q1 系列器件支持两种不同的接口模式 (SPI 和硬件)，使终端应用的设计更灵活或简单。这两种接口模式共享相同的四个引脚，允许不同的版本之间实现引脚对引脚兼容。这种兼容性让应用设计人员可以评估一个接口版本，然后只需对设计进行极少修改即可切换到另一个版本。

7.3.3.1 串行外设接口 (SPI)

SPI 器件支持串行通信总线，使外部控制器能够与 MCT8376Z-Q1 之间进行数据的发送和接收。这支持外部控制器配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线制接口，下面对此进行了说明：

- SCLK 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 引脚上捕获和传播数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚可以通过 SDO_MODE 配置为开漏或推挽。
- nSCS 引脚是片选输入引脚。此引脚上的逻辑低电平信号可支持 SPI 通信。

有关 SPI 的更多信息，请参阅 [节 7.5](#)。

7.3.3.2 硬件接口

硬件接口器件将四个 SPI 引脚转换为四个可通过电阻器配置的输入端，即 ADVANCE、MODE、GAIN_SLEW_tLOCK 和 DIR。DIR 引脚为两级输入（逻辑电平），而 ADVANCE、MODE、GAIN_SLEW_tLOCK 为七级配置输入。

硬件接口让应用设计人员可通过将引脚连接为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，进行常用的器件设置配置。因此，外部控制器不再需要 SPI 总线。一般故障信息仍可通过 nFAULT 引脚获得。

- MODE 引脚可配置 PWM 控制模式。
- GAIN_SLEW_tLOCK 引脚可配置 CSA 增益、输出电压压摆率和电机锁定检测时间。
- ADVANCE 引脚可配置输出相对于霍尔信号的超前角。
- DIR 引脚用于配置电机的旋转方向。

有关硬件接口的更多信息，请参阅 [节 7.3.9](#)。

备注

VCC 是外部上拉电压

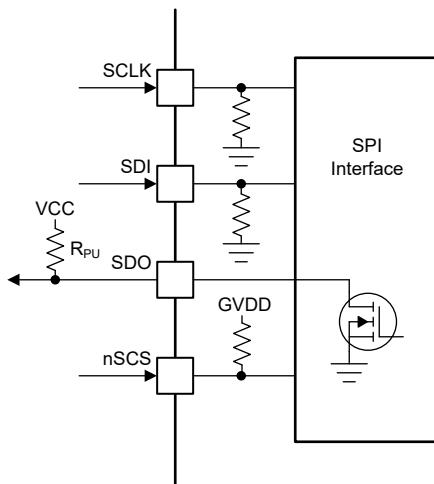


图 7-7. MCT8376ZS-Q1 SPI

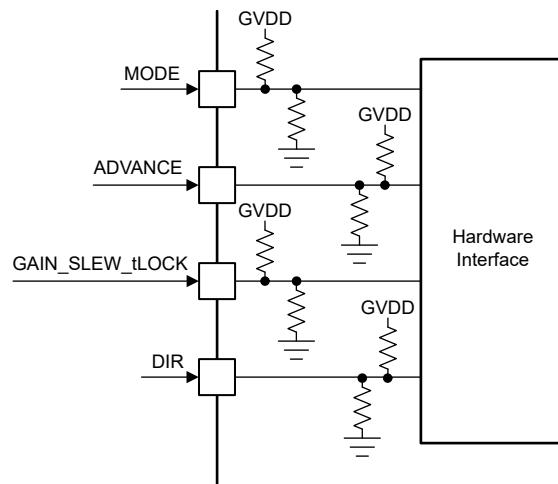


图 7-8. MCT8376ZH-Q1 硬件接口

7.3.4 AVDD 和 GVDD 线性稳压器

MCT8376Z-Q1 系列器件集成了 3.3V 和 5V 线性稳压器，因此可用于外部电路。AVDD 和 GVDD 稳压器为器件的内部数字电路供电，还可以为低功耗 MCU 或其他支持低电流（高达 30mA）的电路提供电源电压。在 AVDD 引脚附近放置一个 X5R 或 X7R、0.1 μ F、6.3V 陶瓷电容器以旁路 AVDD 稳压器的输出，并将该电容器直接连接回相邻的 AGND 接地引脚。在 GVDD 引脚附近放置一个 X5R 或 X7R、1 μ F、10V 陶瓷电容器以旁路 GVDD 稳压器的输出，并直接连接到相邻的 AGND 接地引脚。

AVDD 标称空载输出电压为 3.3V。

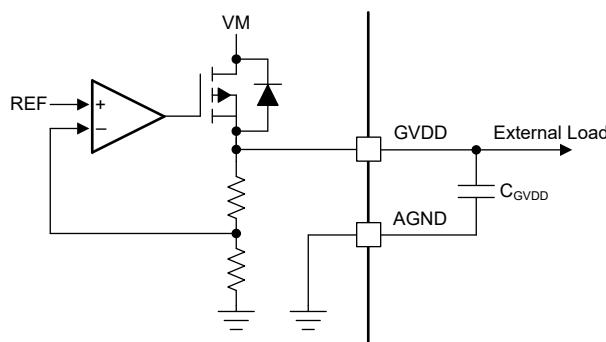


图 7-9. GVDD 线性稳压器方框图

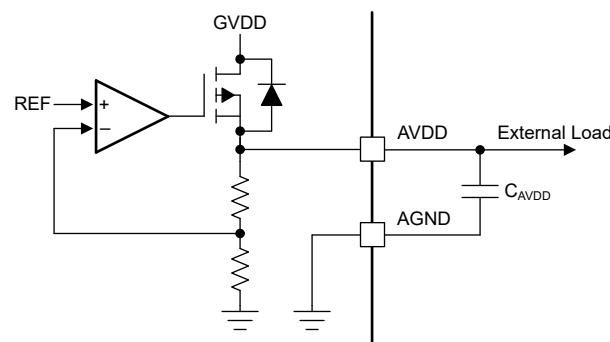


图 7-10. AVDD 线性稳压器方框图

可以使用[方程式 1](#) 和[方程式 2](#) 来计算以 VM 作为电源的 AVDD 和 GVDD 线性稳压器在器件中耗散的功率。

$$P = (V_{VM} - V_{AVDD}) \times I_{AVDD} \quad (1)$$

$$P = (V_{VM} - V_{GVDD}) \times I_{GVDD} \quad (2)$$

例如，当 V_{VM} 为 24V 时，从 AVDD 汲取 20mA 的电流会导致[方程式 3](#) 所示的功率耗散。

$$P = (24V - 3.3V) \times 20mA = 414mW \quad (3)$$

备注

线性稳压器 AVDD 和 GVDD 的组合外部电流支持仅限于 30mA。如果外部负载的 30mA 连接到 AVDD，则不要将任何外部负载连接到 GVDD，反之亦然。

7.3.5 电荷泵

由于输出级使用 N 沟道 FET，因此该器件需要高于 VM 电源的栅极驱动电压才能完全增强高侧 FET。MCT8376Z-Q1 集成了一个电荷泵电路，可为此目的生成高于 VM 电源的电压。

电荷泵需要一个外部电容器才能运行。有关这些电容器的详细信息（值、连接等），请参阅方框图和引脚说明并参阅（[节 7.3](#)）部分。

当 nSLEEP 为低电平时或过热关断期间，电荷泵会关断。

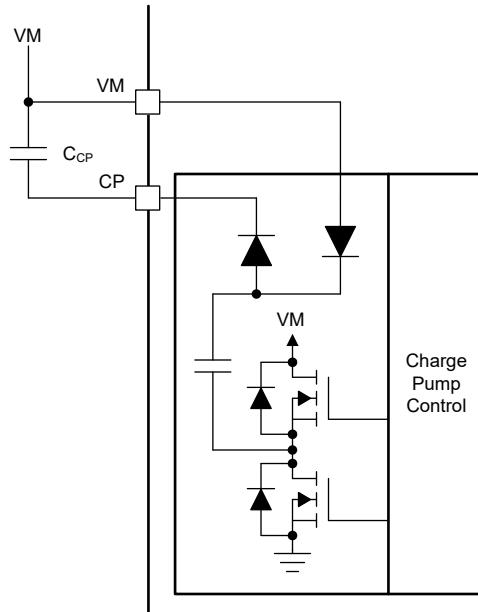


图 7-11. MCT8376Z-Q1 电荷泵

7.3.6 压摆率控制

可调栅极驱动电流控制主动管理半桥中的 MOSFET，以实现压摆率控制。MOSFET VDS 压摆率对优化辐射发射、二极管恢复尖峰的能量和持续时间以及寄生引起的开关电压瞬态有着关键影响。内部 MOSFET 的栅极电荷的速率主要决定这些压摆率，如图 7-12 所示。

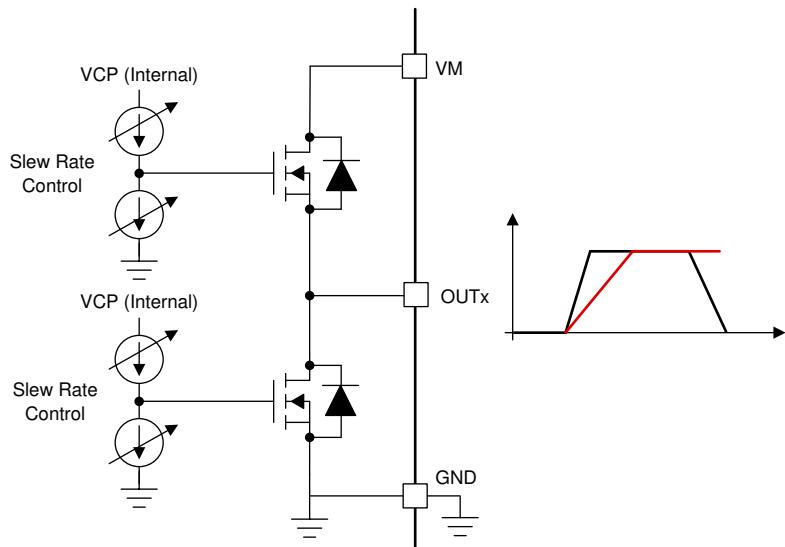


图 7-12. 压摆率电路实现

在硬件器件型号中，每个半桥的压摆率可以通过 **GAIN_SLEW_TLOCK** 引脚（如表 7-5 所述）进行调整，在 SPI 器件型号中则使用 **SLEW** 位进行调整。在 SPI 器件中，每个半桥可以选择为 1.1V/ns、0.5V/ns、0.25V/ns 或 0.05V/ns 的压摆率设置。在硬件器件中，每个半桥都可以选择为 1.1V/ns 或 0.25V/ns 的压摆率设置。压摆率根据 **OUTx** 引脚电压的上升时间和下降时间计算得出，如图 7-13 所示。

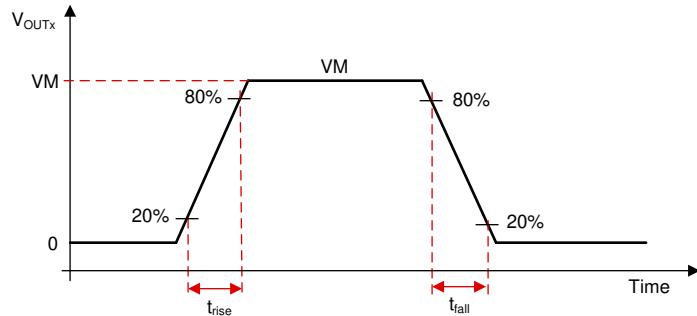


图 7-13. 压摆率时序

备注

MCT8376ZH-Q1 器件仅在上电期间检测 SLEW 引脚，并且在运行期间不支持压摆率更改。在 MCT8376ZS-Q1 器件中，可在运行期间通过寄存器写入来更改压摆率。TI 建议不要在运行期间更改压摆率。

7.3.7 跨导 (死区时间)

该器件针对 MOSFET 的任何跨导提供全面保护。在半桥配置中，通过插入死区时间 (t_{dead}) 来维持高侧和低侧 MOSFET 的运行，从而避免任何击穿电流。这是通过检测高侧和低侧 MOSFET 的栅源电压 (VGS) 并保持高侧 MOSFET 的 VGS 已达到低于关断电平，然后再打开同一半桥的低侧 MOSFET 来实现的，如图 7-14 和图 7-15 所示。

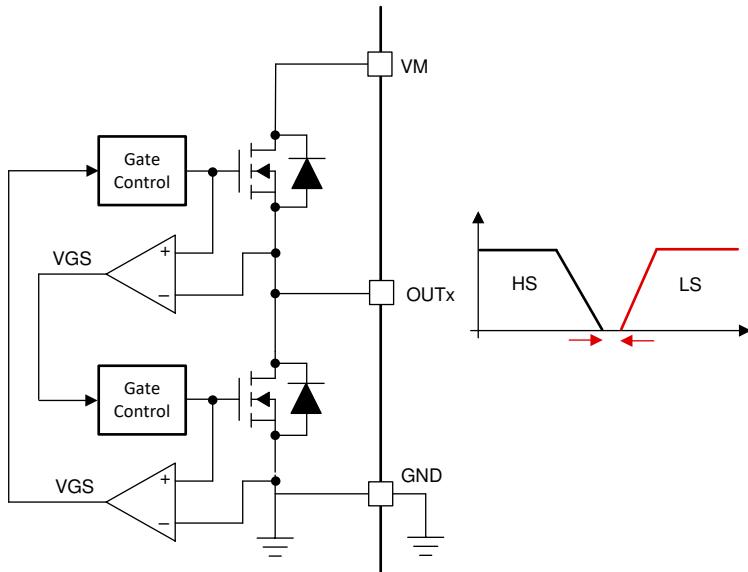


图 7-14. 跨导保护

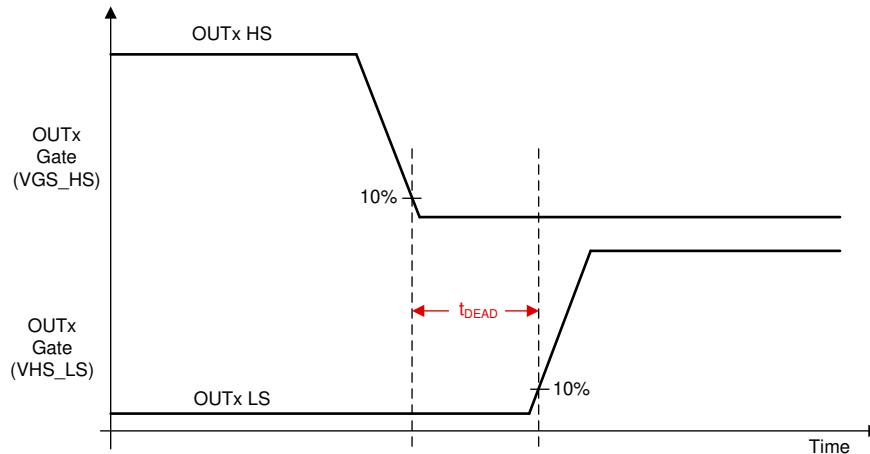


图 7-15. 死区时间

7.3.8 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与栅极驱动器电压变化之间的时间。

备注

在电流限制模式或主动消磁模式期间，当输入命令通过器件传播时，会添加一个小的数字延迟，并且用户在这些模式下可能会看到多达 300ns 的延迟。

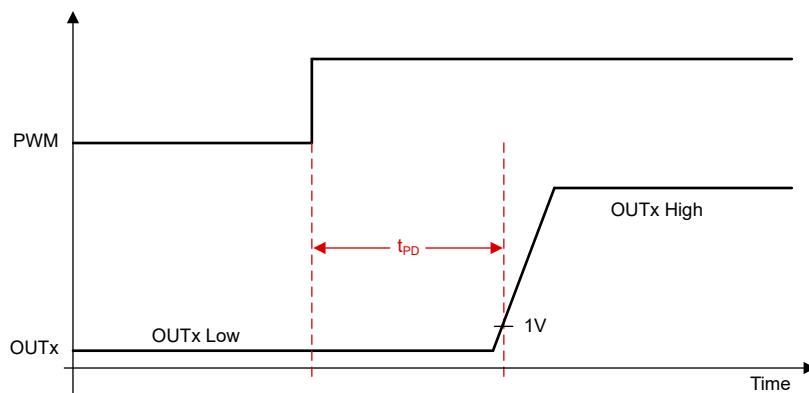


图 7-16. 传播延迟时序

7.3.9 引脚图

本节介绍所有数字输入和输出引脚的 I/O 结构。

7.3.9.1 逻辑电平输入引脚 (内部下拉)

图 7-17 显示了逻辑电平引脚 BRAKE、DIR、DRV0FF、nSLEEP、PWM、SCLK 和 SDI 的结构。输入可以由电压或外部电阻器驱动。TI 建议在器件睡眠模式下将这些引脚置于低电平，以减少通过内部下拉电阻器的漏电流。

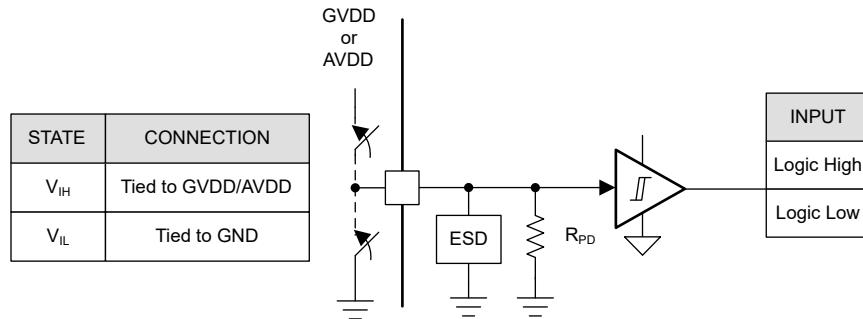


图 7-17. 逻辑电平输入引脚结构

7.3.9.2 逻辑电平输入引脚 (内部上拉)

图 7-18 展示了逻辑电平引脚 nSCS 的输入结构。输入可以由电压或外部电阻器驱动。

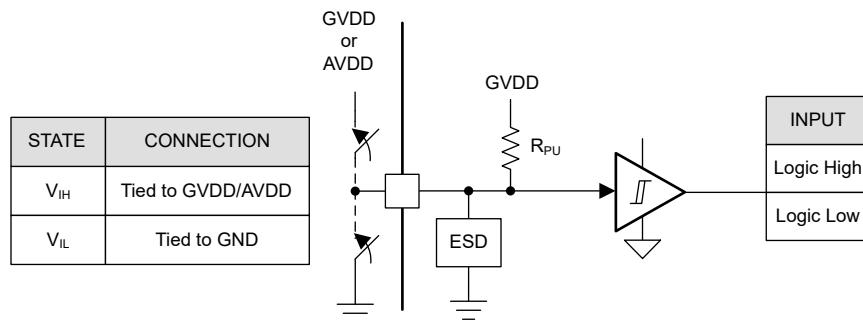


图 7-18. 逻辑 nSCS

7.3.9.3 开漏引脚

图 7-19 展示了开漏模式下的开漏输出引脚、nFAULT、FGOUT 和 SDO 的结构。开漏输出需要外部上拉电阻器正常运行。

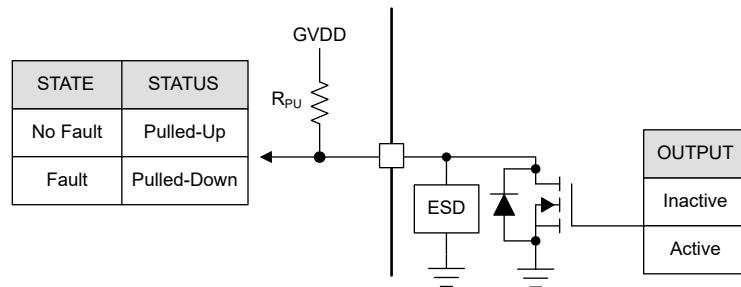


图 7-19. 漏极开路

7.3.9.4 推挽引脚

图 7-20 展示了推挽模式下的 SDO 结构。通过配置 SDO_VSEL，可以将推挽模式下的 SDO 电源选择为 GVDD 或 AVDD。

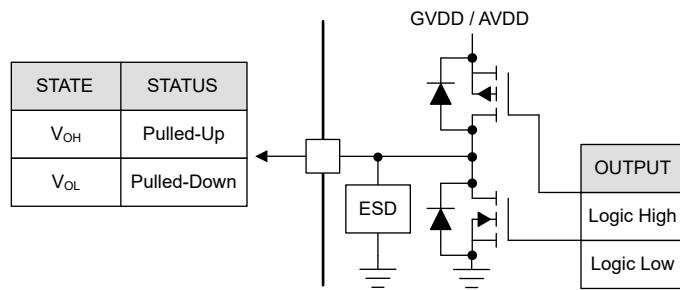


图 7-20. 推挽

7.3.9.5 七电平输入引脚

图 7-21 展示了硬件接口器件上七电平输入引脚 MODE、ADVANCE 和 GAIN_SLEW_tLOCK 的结构。可以通过外部电阻器设置该输入。

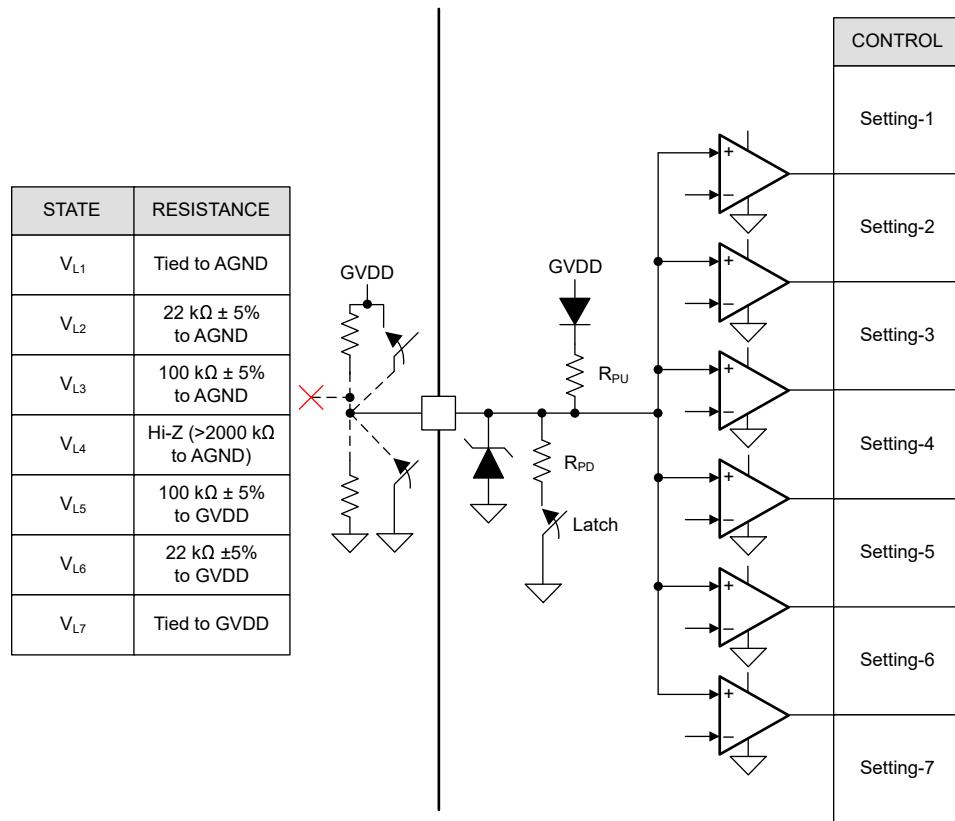


图 7-21. 七电平输入引脚结构

7.3.10 电流检测放大器输出 (SO)

MCT8376Z-Q1 上的 SO 引脚输出的模拟电压与低侧 FET 中流动的电流和增益设置 (G_{CSA}) 的乘积成比例。增益设置可在四个不同级别之间调节，可通过 GAIN 引脚 (在硬件器件型号中) 或 GAIN 位 (在 SPI 器件型号中) 设置这些级别。

图 7-22 显示了电流检测放大器的内部架构。电流检测是通过 MCT8376Z-Q1 器件的每个低侧 FET 上的检测 FET 实施的。该电流信息馈送到内部 I/V 转换器，该转换器根据 AVDD 电压和增益设置在 SO 引脚上生成 CSA 输出电压。CSA 输出电压可按以下公式计算：

$$V_{SO} = \left(\frac{V_{AVDD}}{2} \right) + ((I_{OUTA} + I_{OUTB} + I_{OUTC}) \times GAIN/3) \quad (4)$$

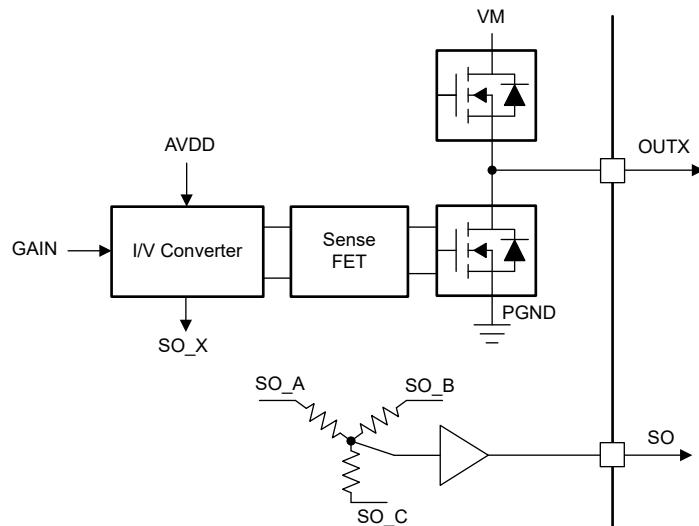


图 7-22. 集成电流检测放大器

CSA 的增益可以通过硬件器件型号中的 GAIN_SLEW_tLOCK 引脚 (如表 7-5 所示) 或使用 SPI 器件型号中的 SLEW 位进行调整。在 SPI 器件中，每个半桥都可以选择 1V/ns、0.5V/ns、0.25V/ns 或 0.05V/ns 的压摆率设置。在硬件器件中，每个半桥都可以选择 1.1V/ns 或 0.25V/ns 的压摆率设置。压摆率根据 OUTx 引脚电压的上升时间和下降时间计算得出，如图 7-13 所示。

表 7-5. MCT8376ZH-Q1 中的 CSA 增益、压摆率和锁定检测时间设置

配置	GAIN_SLEW_tLOCK 引脚 (硬件型号)	增益	SLEW	LOCK_DET_TIME
1	连接到 AGND	0.4V/A	1.1V/ns	500ms
2	通过 R _{MODE1} 连接到 AGND	0.4V/A	1.1V/ns	5000ms
3	通过 R _{MODE2} 连接到 AGND	0.4V/A	0.25V/ns	500ms
4	高阻态	0.4V/A	0.25V/ns	5000ms
5	通过 R _{MODE2} 连接到 GVDD	2.5V/A	1.1V/ns	500ms
6	通过 R _{MODE1} 连接到 GVDD	2.5V/A	1.1V/ns	5000ms
7	连接到 GVDD	2.5V/A	0.25V/ns	500ms

备注

电流检测放大器在输出端仅支持低容性负载。TI 建议在电流检测放大器的输出端连接由电阻器和电容器组成的低通滤波器。

备注

电流检测放大器支持动态增益变化。电流检测放大器支持动态增益变化。在硬件型号中，增益会通过引脚检测每 1ms 进行一次采样，而任何增益变化均通过 SPI 写入实现 (在 SPI 型号中)。收到增益更改命令后，新的增益将在任何 PWM 信号的下一个上升沿应用。

7.3.11 主动消磁

MCT8376Z-Q1 系列器件具有智能整流特性 (主动消磁)，可通过减少二极管导通损耗来降低器件中的功率损耗。启用此特性后，只要该器件检测到二极管导通，它就会自动导通相应的 MOSFET。对于硬件型号，可以使用

MODE 引脚配置此特性。在 SPI 器件型号中，这可以通过 EN_ASR 和 EN_AAR 位进行配置。智能整流分为自动同步整流 (ASR) 模式和自动异步整流 (AAR) 模式两类，后续几节对此进行了介绍。

备注

在 SPI 器件型号中，EN_ASR 和 EN_AAR 这两个位都需要设置为 1 才能启用主动消磁。

MCT8376Z-Q1 器件包括一个高侧 (AD_HS) 和低侧 (AD_LS) 比较器，用于检测每个半桥上器件中的负电流。AD_HS 比较器将检测 FET 输出与电源电压 (VM) 阈值进行比较，而 AD_LS 比较器则与接地 (0V) 阈值进行比较。根据从 OUTx 流向 VM 或从 PGND 流向 OUTx 的电流，AD_HS 或 AD_LS 比较器跳变。该比较器为主动消磁特性的运行提供基准点。

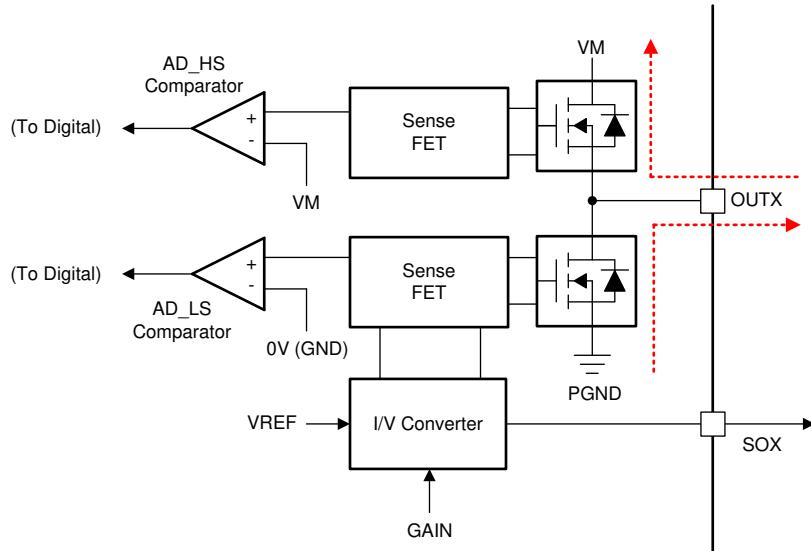


图 7-23. 主动消磁运行

表 7-6 显示了 MCT8376Z-Q1 器件中 ASR 和 AAR 模式的配置。

表 7-6. PWM_MODE 配置

MODE 类型	MODE 引脚 (硬件型号)	ASR 和 AAR 配置	霍尔配置	调制	ASR 和 AAR 模式
模式 1	连接到 AGND	EN_ASR = 0 , EN_AAR = 0	模拟霍尔输入	异步	ASR 和 AAR 已禁用
模式 2	通过 RMODE1 连接到 AGND	EN_ASR = 0 , EN_AAR = 0	数字霍尔输入	异步	ASR 和 AAR 已禁用
模式 3	通过 RMODE2 连接到 AGND	EN_ASR = 0 , EN_AAR = 0	模拟霍尔输入	同步	ASR 和 AAR 已禁用
模式 4	高阻态	EN_ASR = 0 , EN_AAR = 0	数字霍尔输入	同步	ASR 和 AAR 已禁用
模式 5	通过 RMODE2 连接到 GVDD	EN_ASR = 1 , EN_AAR = 1	模拟霍尔输入	同步	ASR 和 AAR 已启用
模式 6	通过 RMODE1 连接到 GVDD	EN_ASR = 1 , EN_AAR = 1	数字霍尔输入	同步	ASR 和 AAR 已启用
模式 7	连接到 GVDD				

备注

在发生 OCP 事件和电机锁定事件时禁用主动消磁。

7.3.11.1 自动同步整流模式 (ASR 模式)

自动同步整流 (ASR) 模式分为换向期间的 ASR 和 PWM 模式期间的 ASR 这两类。

7.3.11.1.1 自动同步整流 (换向模式)

图 7-24 展示了在 BLDC 电机换向期间主动消磁的运行情况。如图 7-24 (a) 所示，电流在一个换向状态下从 HA 流向 LC。在如图 7-24 (b) 所示的换向转换期间，HB 开关接通，而 OUTA 中的换向电流 (由电机电感引起) 流经 LA 的体二极管。这会导致更高的二极管损耗，具体取决于换向电流。可通过为换向时间开启 LA 减少该换向损耗，如图 7-24 (c) 所示。

类似地，高侧 FET 的运行在图 7-24 (d)、(e) 和 (f) 中实现。

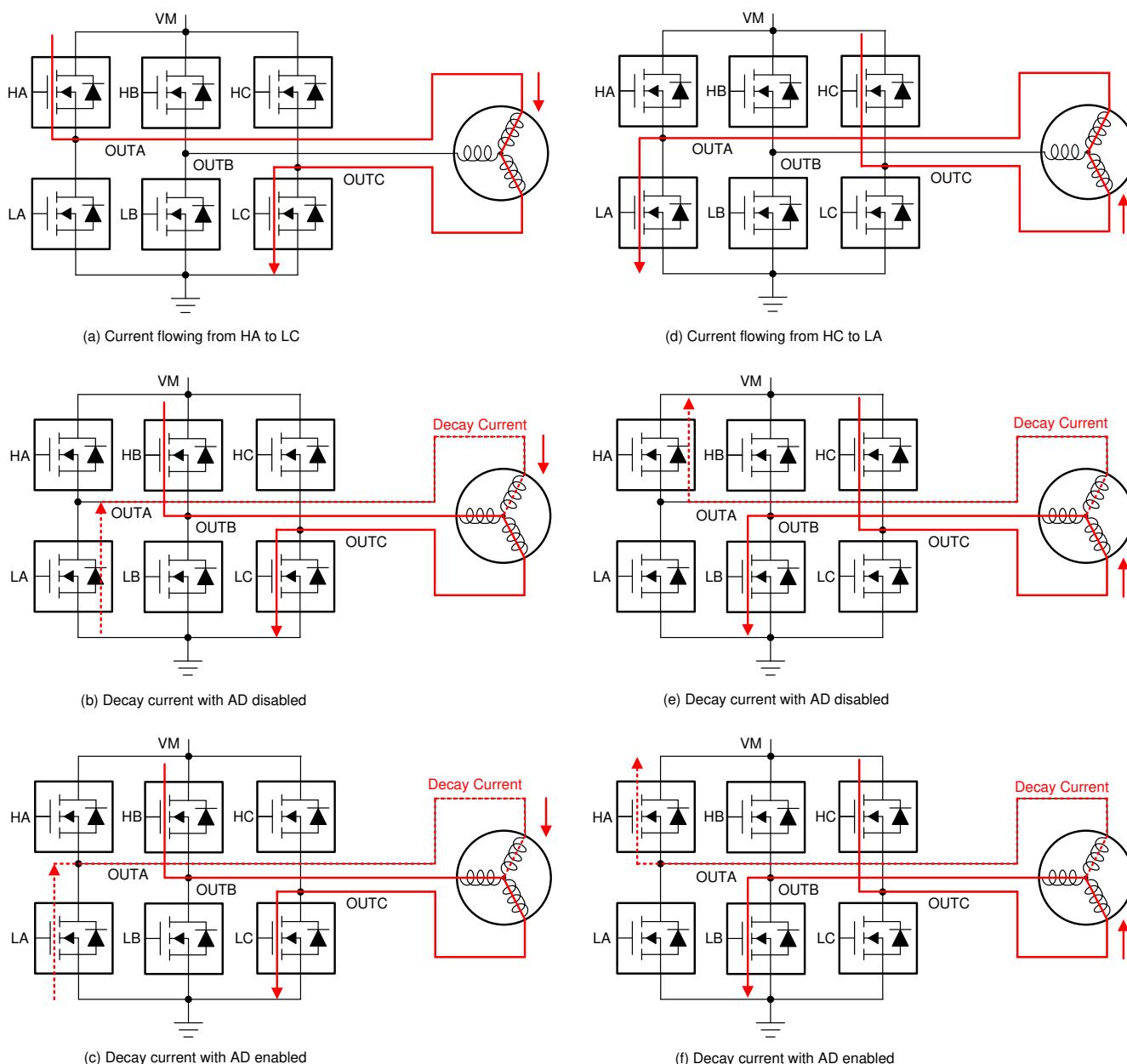


图 7-24. BLDC 电机换向中的 ASR

图 7-25 (a) 显示了以梯形换向方式运行的 BLDC 电机在自动同步整流模式下的 BLDC 电机相电流波形。该图显示了在单个换向周期中各种开关的运行情况。

图 7-25 (b) 显示了换向周期的放大波形，详细说明了 ASR 模式启动时的裕度时间 (t_{margin}) 和 ASR 模式由于主动消磁比较器阈值和延迟而提前停止的情况。

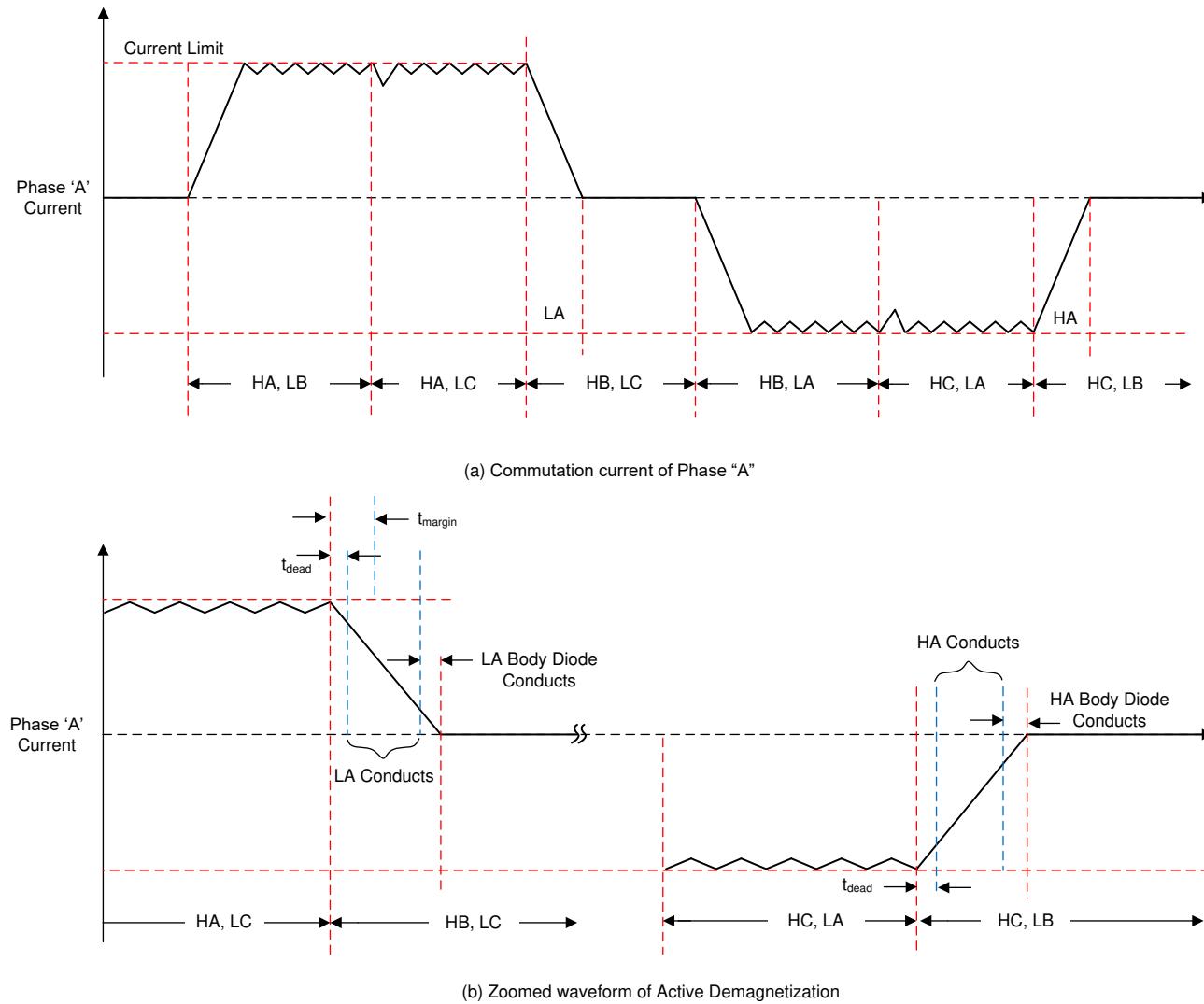


图 7-25. BLDC 电机换向中 ASR 的电流波形

7.3.11.1.2 自动同步整流 (PWM 模式)

图 7-26 显示了 PWM 模式下 ASR 的运行情况。如该图所示，PWM 仅应用于高侧 FET，而低侧 FET 始终关断。在 PWM 关断期间，低侧 FET 的电流衰减，从而导致更高的功率损耗。因此，该模式支持在低侧二极管导通期间导通低侧 FET。

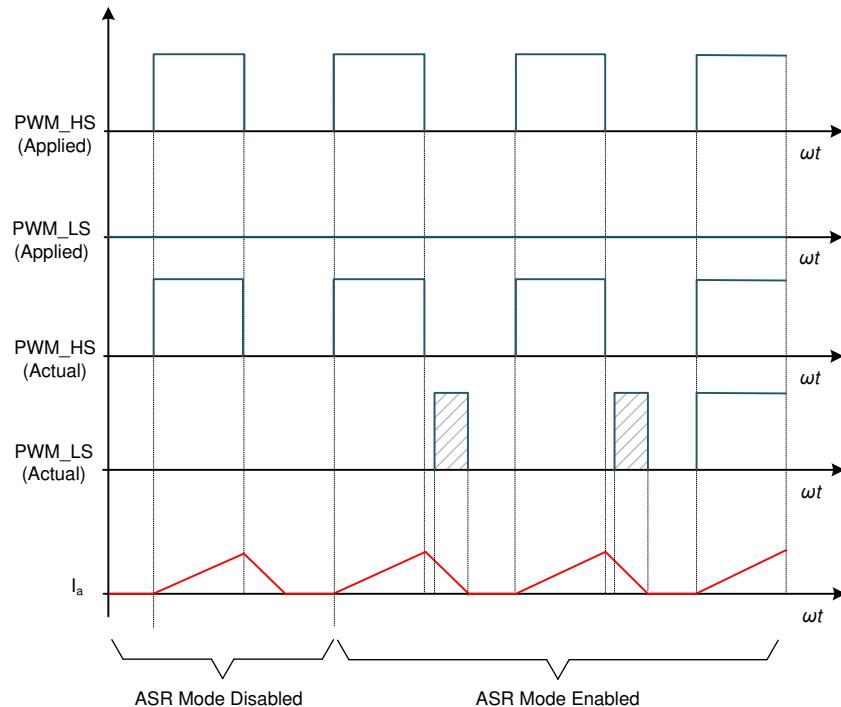


图 7-26. ASR 处于 PWM 模式

7.3.11.2 自动异步整流模式 (AAR 模式)

图 7-27 显示了 PWM 模式下 AAR 的运行情况。如该图所示，在同步整流中将 PWM 应用于高侧和低侧 FET。在低侧 FET 导通期间，对于电感较低的电机，电流可能衰减至零并变为负值，因为低侧 FET 处于导通状态。这会对 BLDC 电机运行产生负扭矩。启用 AAR 模式时，会监测衰减期间的电流，并且一旦电流达到接近零，低侧 FET 便会关断。这节省了 BLDC 电机中建立的负电流，从而实现更好的噪声性能和更好的热管理。

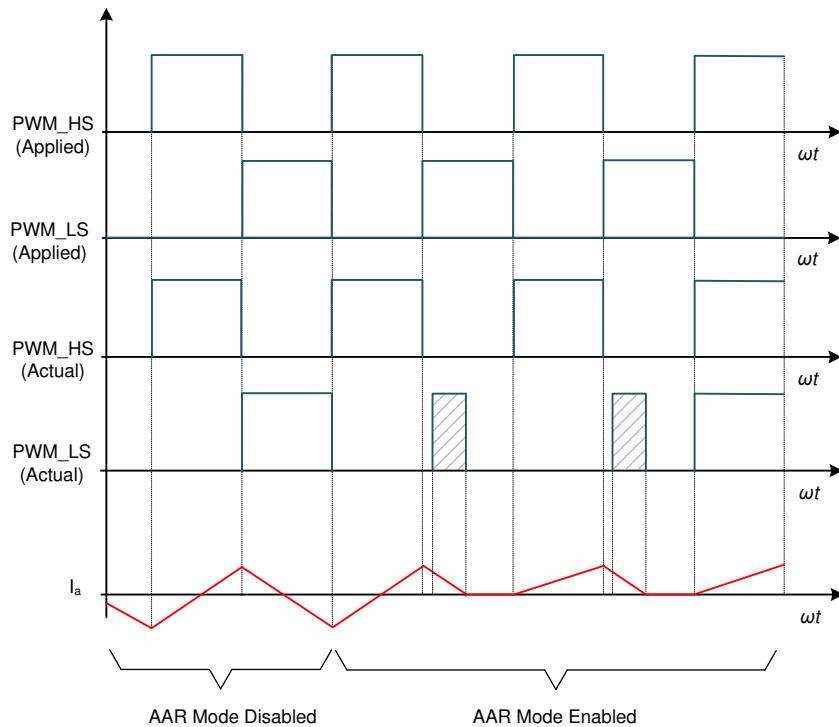


图 7-27. AAR 处于 PWM 模式

7.3.12 逐周期电流限制

电流限制电路利用三相的电流检测放大器输出，并将该电压与 ILIMIT 引脚处的电压进行比较。图 7-28 展示了电流限制电路的实现方式，其中电流检测放大器的输出与星形连接的电阻网络相结合。这个测得的电压 V_{MEAS} 与 ILIMIT 引脚上的外部基准电压 V_{LIM} 进行比较，以实现电流限制实施。三相上检测到的电流 (I_{OUTX}) 与 V_{MEAS} 阈值之间的关系如下所示：

$$V_{MEAS} = \left(V_{AVDD} / 2 \right) + ((I_{OUTA} + I_{OUTB} + I_{OUTC}) \times GAIN / 3) \quad (5)$$

其中

- V_{AVDD} 是电流检测放大器电源
- I_{OUTX} 是流入低侧 MOSFET 的电流
- CSA_GAIN 是电流检测放大器增益

可以通过配置 ILIMIT 引脚上的电压来调整电流限制阈值。当 ILIMIT 引脚上的电压在 $V_{AVDD}/2$ 至 V_{MEAS} 之间变化时，电流限制会在 0A 至 4A 之间呈线性变化。可以施加大于 V_{AVDD} 的电压来禁用 ILIMIT。

在 PWM 输入信号的每个上升沿和下降沿，电流限制比较器输出均存在一个消隐时间，而在消隐时间内，MCT8376Z-Q1 的输出状态取决于 PWM 状态。在 SPI 器件中，消隐时间通过 ILIM_BLANK_SEL 进行配置，而在硬件型号中，对于 50 的压摆率，消隐时间固定为 5.5us，对于所有其他压摆率，消隐时间则固定为 1.8us。

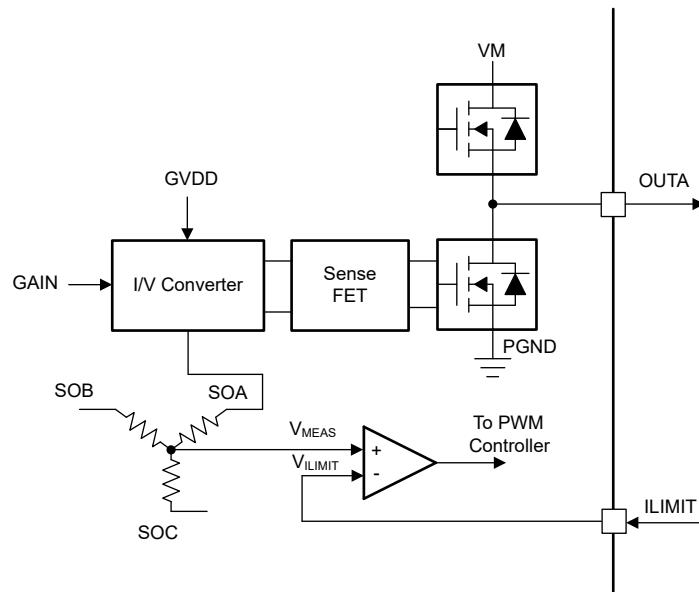


图 7-28. 电流限制实现

当电流限制激活时，每个半桥的高侧 FET 将被禁用，直到该半桥的 PWM 上升沿为止，如图 7-29 所示。在 SPI 器件型号中，通过配置 ILIM_MODE 位，低侧 FET 可以在制动模式或高阻态模式下运行。在硬件型号中，低侧 FET 在滑行（高阻态）模式下运行。

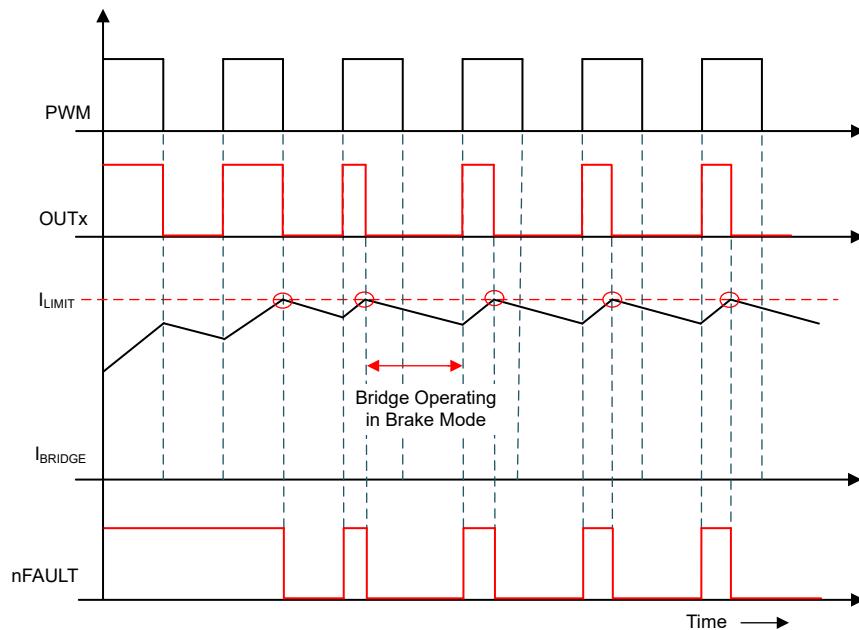


图 7-29. 逐周期电流限制运行

当电流限制在同步整流模式下激活时，电流会通过低侧 FET 再循环，而高侧 FET 会被禁用，如图 7-30 所示

当电流限制在异步整流模式下激活时，电流会通过低侧 FET 的体二极管再循环，而高侧 FET 会被禁用，如图 7-31 所示

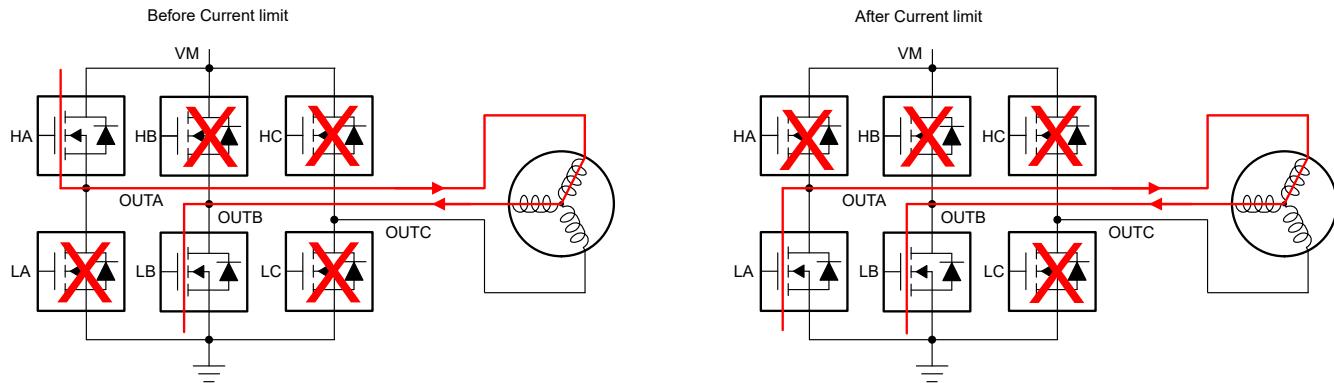


图 7-30. 制动状态

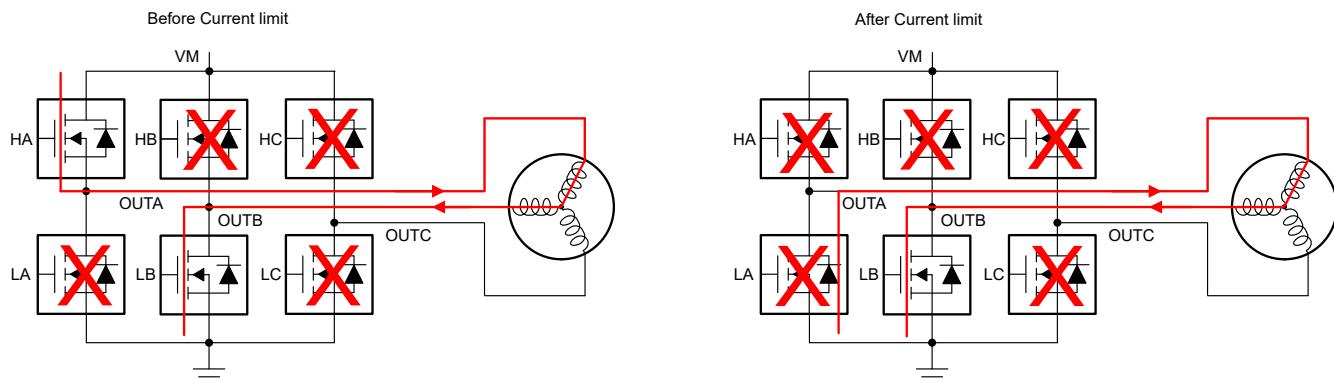


图 7-31. 滑行状态

备注

在制动运行期间，大电流会流过低侧 FET，最终会激活过流保护电路。在此状态下，高侧 FET 的体二极管传导制动能量并将其引导到 VM 电源轨。

7.3.12.1 具有 100% 占空比输入的逐周期电流限制

如果对 PWM 输入施加 100% 占空比，则没有边沿可用于重新开启高侧 FET。为了克服此问题，MCT8376Z-Q1 具有内置内部 PWM 时钟，当高侧 FET 在超过 I_{LIMIT} 阈值后被禁用时，该时钟用于重新开启高侧 FET。在 SPI 型号 MCT8376Z-Q1 中，可以通过 PWM_100_DUTY_SEL 将此内部 PWM 时钟配置为 10kHz、20kHz 或 40kHz。在硬件型号 MCT8376Z-Q1 中，PWM 内部时钟设置为 20kHz。图 7-32 展示了具有 100% 占空比的运行。

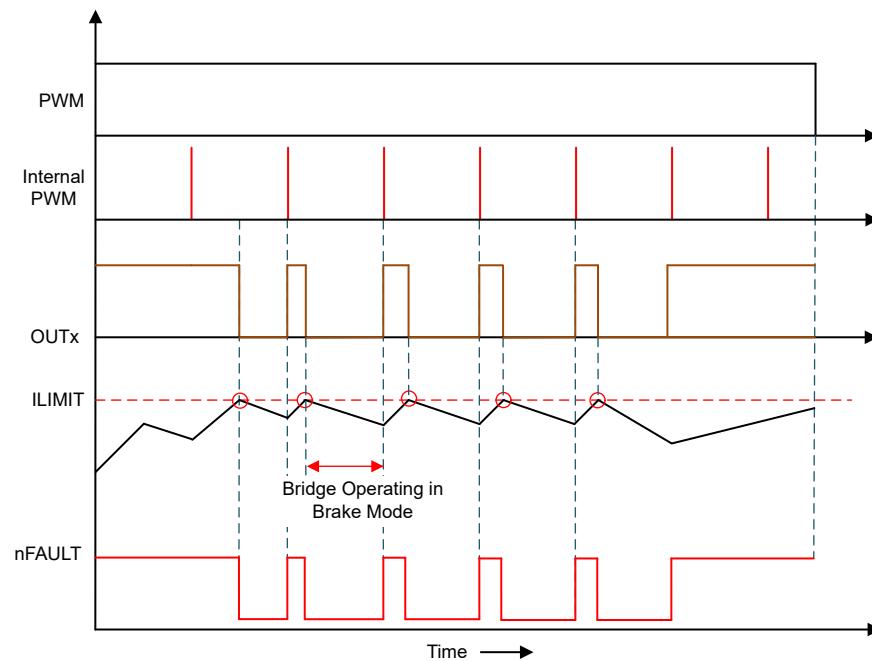


图 7-32. 具有 100% PWM 占空比的逐周期电流限制运行

7.3.13 霍尔比较器 (模拟霍尔输入)

提供了三个比较器来处理来自霍尔效应传感器的原始信号，以使电机换向。霍尔比较器可检测差分输入的过零并将信息传递到数字逻辑。霍尔比较器具有迟滞，其检测阈值以 0 为中心。迟滞定义如图 7-33 所示。

除了迟滞之外，霍尔输入通过电路实现抗尖峰脉冲，该电路在检测到有效转换后将任何额外的霍尔转换忽略一段时间 (t_{HDEG})。将这些转换忽略时间 (t_{HDEG}) 可防止 PWM 噪声耦合到霍尔输入中，从而避免导致错误换向。

如果仍有过多的噪声耦合到霍尔比较器输入中，则可能需要在霍尔比较器的正输入和负输入之间添加电容器。霍尔输入端的 ESD 保护电路实现了一个连接到 GVDD 引脚的二极管。由于该二极管，霍尔输入端的电压不应超过 GVDD 电压。

由于 GVDD 引脚在睡眠模式下会被禁用 (nSLEEP 未激活)，因此在睡眠模式下不应由外部电压驱动霍尔输入。如果霍尔传感器由外部供电，则应在 MCT8376Z-Q1 器件置于睡眠模式时禁用霍尔传感器的电源。此外，霍尔传感器的电源应在启用电机后上电，否则无效的霍尔状态可能会导致电机运行延迟。

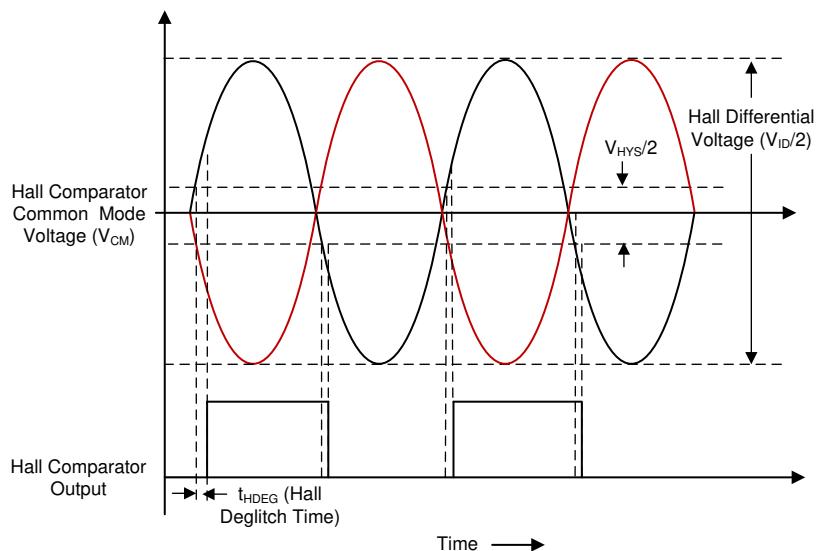


图 7-33. 霍尔比较器运行

7.3.14 超前角

MCT8376Z-Q1 具有器件超前角特性，可根据 ADVANCE 引脚（在硬件器件型号中）或 ADVANCE 位（在 SPI 器件型号中）上的电压，将换向提前一个指定电角。图 7-34 展示了超前角特性的原理。

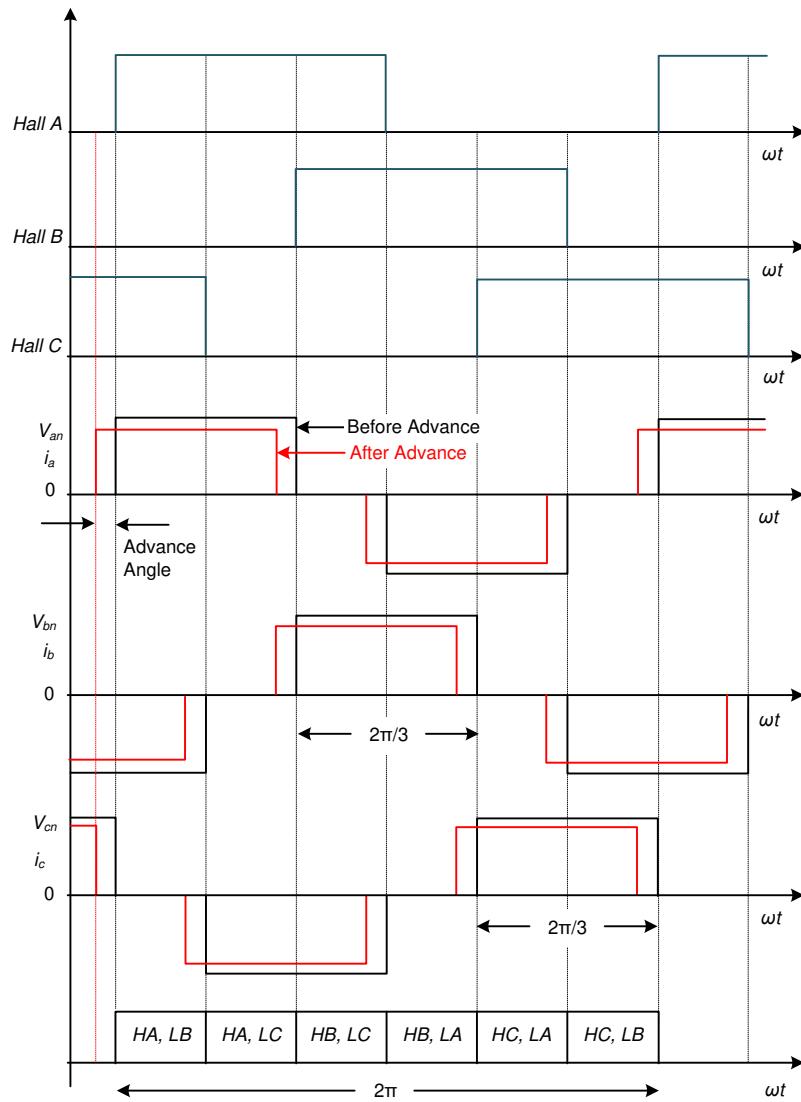


图 7-34. 超前角

7.3.15 FGOUT 信号

MCT8376Z-Q1 器件还具有一个开漏 FGOUT 信号，可用于 BLDC 电机的闭环速度控制。该信号包含全部三个霍尔元件输入的信息，如节 7.3.15 所示。在 MCT8376ZS-Q1 (SPI 型号) 中，FGOUT 可以配置为不同的霍尔信号分频因子，如节 7.3.15 所示。在 MCT8376ZH-Q1 (硬件型号) 中，默认模式为 FG_MODE = 00b。

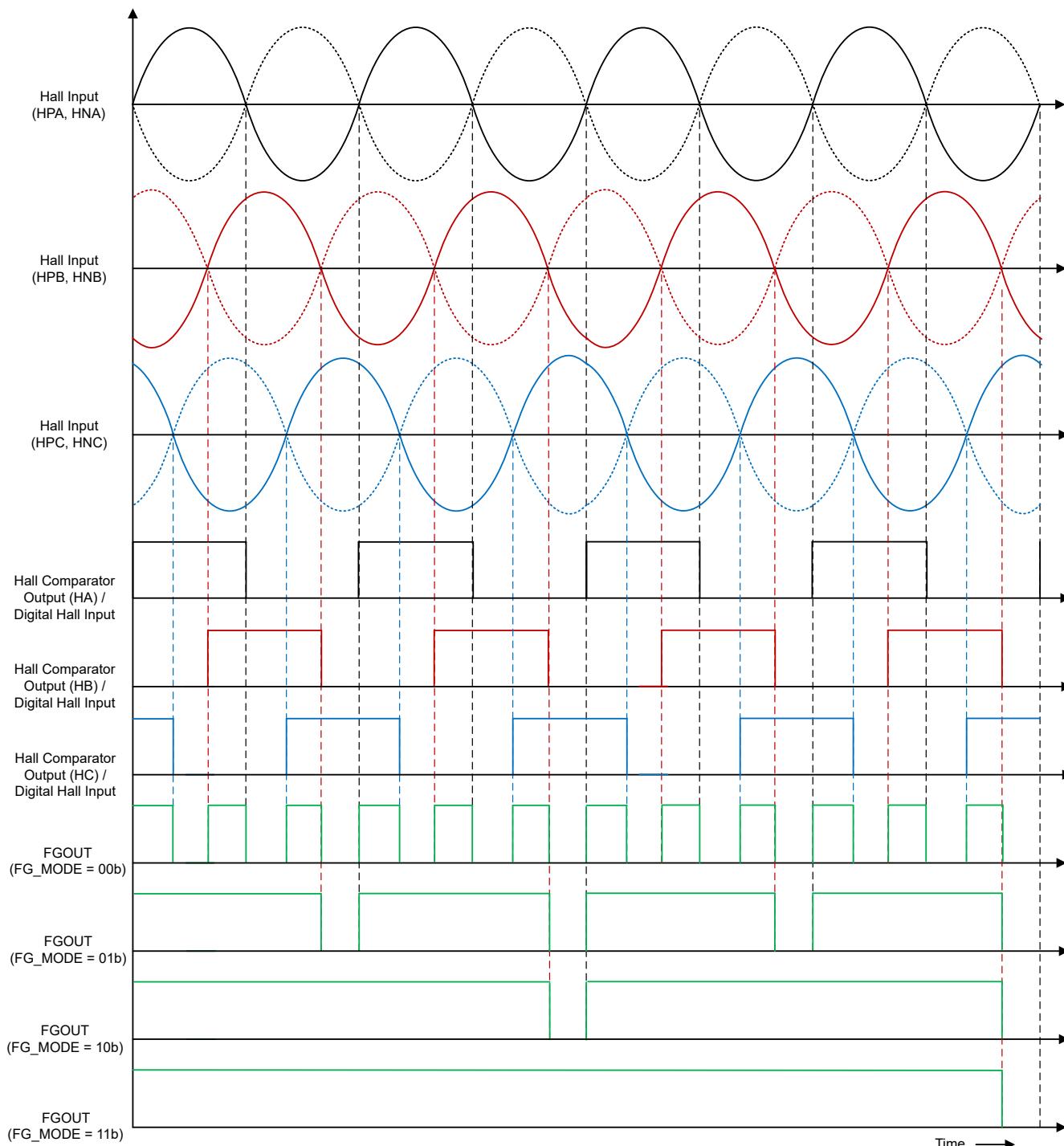


图 7-35. FGOUT 信号

7.3.16 保护功能

MCT8376Z-Q1 系列器件可防止 VM 欠压、电荷泵欠压和过流事件。表 7-7 总结了各种故障详细信息。

表 7-7. 故障操作和响应 (SPI 器件)

故障	条件	配置	报告	H 桥	逻辑	恢复
VM 欠压 (RESET)	$V_{VM} < V_{UVLO}$	—	—	高阻态	禁用	自动： $V_{VM} > V_{UVLO_R}$ CLR_FLT , $nSLEEP$ 复位脉冲 (RESET 位)
GVDD 欠压 (RESET)	$V_{GVDD} < V_{GVDD_UV}$	—	—	高阻态	禁用	自动： $V_{GVDD} > V_{GVDD_UV_R}$ CLR_FLT , $nSLEEP$ 复位脉冲 (RESET 位)
AVDD 欠压 (RESET)	$V_{AVDD} < V_{AVDD_UV}$	—	—	高阻态	禁用	自动： $V_{AVDD} > V_{AVDD_UV_R}$ CLR_FLT , $nSLEEP$ 复位脉冲 (RESET 位)
电荷泵欠压 (VCP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	高阻态	有效	自动： $V_{CP} > V_{CPUV}$ CLR_FLT , $nSLEEP$ 复位脉冲 (VCP_UV 位)
过压保护 (OVP)	$V_{VM} > V_{OVP}$	OVP_MODE = 0b	无	有效	有效	无操作 (OVP 禁用)
		OVP_MODE = 1b	故障	高阻态	有效	自动： $V_{VM} < V_{OVP}$ CLR_FLT , $nSLEEP$ 复位脉冲 (OVP 位)
过流保护 (OCP)	$I_{PHASE} > I_{OCP}$	OCP_MODE = 00b	nFAULT	高阻态	有效	锁存： CLR_FLT , $nSLEEP$ 复位脉冲 (OCP 位)
		OCP_MODE = 01b	nFAULT	高阻态	有效	重试： t_{RETRY} CLR_FLT , $nSLEEP$ 复位脉冲 (OCP 位)
		OCP_MODE = 10b	nFAULT	有效	有效	仅报告： CLR_FLT , $nSLEEP$ 复位脉冲 (OCP 位)
		OCP_MODE = 11b	无	有效	有效	无操作
ILIMIT	$V_{ILIMIT} < V_{SO}$	ILIMFLT_MODE = 0b	无	ILIMIT 模式	有效	自动： $INHx$ 下一个上升沿上的高侧 $INLx$ 下一个上升沿上的低侧
		ILIMFLT_MODE = 1b	nFAULT	ILIMIT 模式	有效	自动： $INHx$ 下一个上升沿上的高侧 $INLx$ 下一个上升沿上的低侧
SPI 误差 (SPI_FLT)	SCLK、奇偶校验和 ADDR 故障	SPIFLT_MODE = 0b	无	有效	有效	无操作
		SPIFLT_MODE = 1b	nFAULT	有效	有效	仅报告： CLR_FLT , $nSLEEP$ 复位脉冲 (SPI_FLT 位)
OTP 误差 (OTP_ERR)	OTP 读数错误	—	nFAULT	高阻态	有效	锁存： 下电上电, CLR_FLT
电机锁定 (MTR_LOCK)	$t_{MTR_LOCK_TDET}$	MTR_LOCK_MODE = 00b	nFAULT	高阻态	有效	锁存： CLR_FLT , $nSLEEP$ 脉冲 (MTR_LOCK 位)
		MTR_LOCK_MODE = 01b	nFAULT	高阻态	有效	重试： $t_{MTR_LOCK_RETRY}$ (MTR_LOCK 位)
		MTR_LOCK_MODE = 10b	nFAULT	有效	有效	仅报告： CLR_FLT , $nSLEEP$ 复位脉冲 (MTR_LOCK 位)
		MTR_LOCK_MODE = 11b	无	有效	有效	无操作
热警告 (OTW)	$T_J > T_{OTW}$	OTW_MODE = 0b	无	有效	有效	无操作
		OTW_MODE = 1b	nFAULT	有效	有效	自动： $T_J < T_{OTW} - T_{OTW_HYS}$ CLR_FLT , $nSLEEP$ 脉冲 (OTW 位)
热关断 (OTSD)	$T_J > T_{TSD}$	—	nFAULT	高阻态	有效	自动： $T_J < T_{TSD} - T_{TSD_HYS}$

7.3.16.1 VM 电源欠压锁定 (RESET)

如果在任何时候 VM 引脚上的输入电源电压降至低于 V_{UVLO} 阈值 (VM UVLO 下降阈值) , 所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用, 如图 7-36 所示。消除 VM 欠压条件后, 将恢复正常运行 (驱动器运行)。一旦器件假定 VM , 器件状态 (DEV_STS) 寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态, 直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

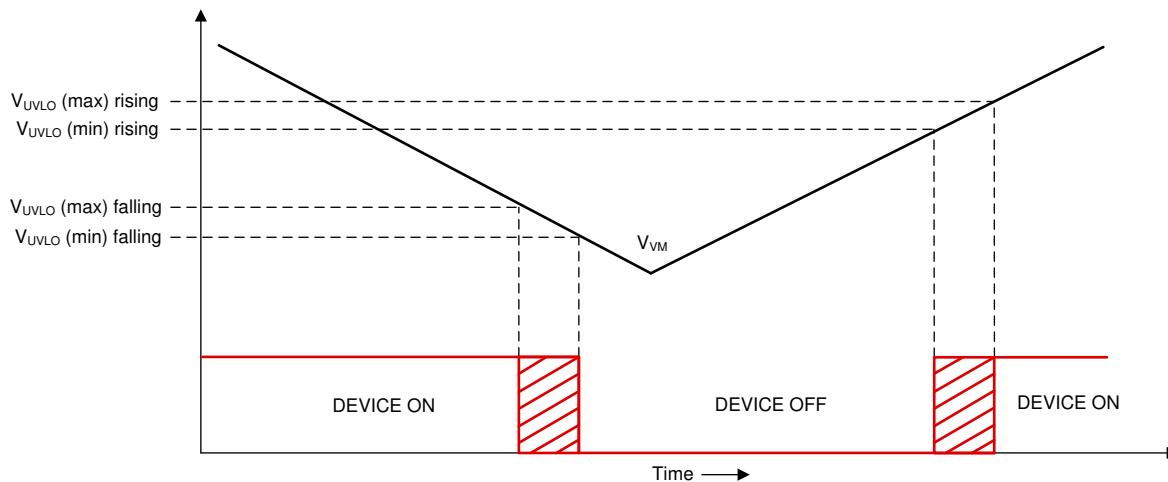


图 7-36. VM 电源欠压锁定

7.3.16.2 AVDD 欠压保护 (AVDD_UV)

在任何时候, 如果 AVDD 引脚上的电压降至 V_{AVDD_UV} 阈值以下, 所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用。消除 AVDD 欠压条件后, 将恢复正常运行 (驱动器运行)。一旦器件假定 VM , 器件状态 (DEV_STS) 寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态, 直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

7.3.16.3 GVDD 欠压锁定 (GVDD_UV)

在任何时候, 如果 GVDD 引脚上的电压降至 V_{GVDD_UV} 阈值以下, 所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用。消除 GVDD 欠压条件后, 将恢复正常运行 (驱动器运行)。一旦器件假定 VM , 器件状态 (DEV_STS) 寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态, 直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

7.3.16.4 VCP 电荷泵欠压锁定 (CPUV)

如果在任何时候 VCP 引脚 (电荷泵) 上的电压降至低于电荷泵的 V_{CPUV} 阈值电压, 则会禁用所有集成式 FET 并将 nFAULT 引脚驱动至低电平。VCP 欠压条件清除后, 器件将再次开始正常运行 (驱动器运行且 nFAULT 引脚被释放)。电荷泵欠压情况在 FAULT 和 CPUV 位上报告。当电荷泵欠压情况消除后, 故障位将自动清除。CPUV 位保持置位状态, 直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。在硬件和 SPI 器件型号中始终启用 CPUV 保护。

7.3.16.5 过压保护 (OVP)

无论 VM 引脚上的输入电源电压何时上升至高于 V_{OVP} 阈值电压, 都会禁用所有集成 FET 并将 nFAULT 引脚驱动至低电平。OVP 条件清除后, 器件将再次开始正常运行 (驱动器运行且 nFAULT 引脚被释放)。欠压情况在 FAULT 和 OVP 位上报告。过压条件消失后, FAULT 位自动清除。OVP 位保持置位状态, 直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。在 SPI 器件上, 将 OVP_MODE 位设置为高电平可启用该保护功能。在硬件接口器件上, OVP 保护功能会被禁用。

在 SPI 器件型号上，OVP 阈值也可以进行编程。OVP 阈值可以根据 OVP_SEL 位设置为 35V 或 65V。在硬件接口器件上，过压保护功能会被禁用。

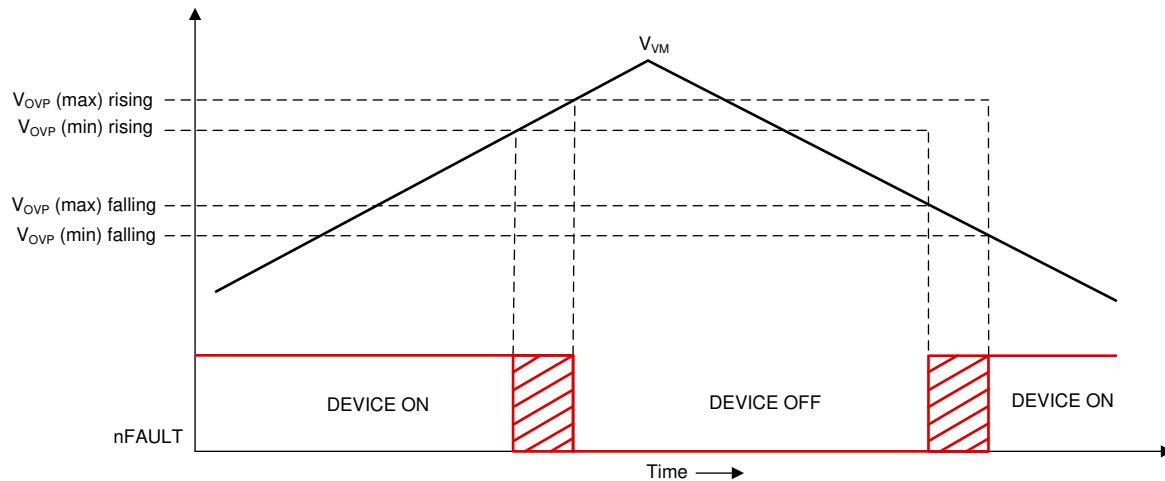


图 7-37. 过压保护

7.3.16.6 过流保护 (OCP)

可以通过监测流经 FET 的电流来检测 MOSFET 过流事件。如果流经 FET 的电流超过 I_{OCP} 阈值的时间长于 t_{OCP} 抗尖峰脉冲时间，则会识别出 OCP 事件并根据 OCP_MODE 位执行操作。在硬件接口器件上， I_{OCP} 阈值固定为 4.5A 阈值， OCP_{DEG} 固定为 $1.2\mu s$ ，并且 OCP_MODE 配置为重试模式，重试时间为 5ms。在 SPI 器件上， I_{OCP} 阈值通过 OCP_LVL 位设置，而 $t_{OCP_{DEG}}$ 通过 OCP_DEG 位设置。

OCP_MODE 位可以在四种不同的模式下运行：OCP 锁存关断、OCP 自动重试、OCP 仅报告和 OCP 禁用。

7.3.16.6.1 OCP 锁存关断 (OCP_MODE = 00b)

在该模式下发生 OCP 事件后，所有 MOSFET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将再次开始正常运行（驱动器运行且释放 nFAULT 引脚）。

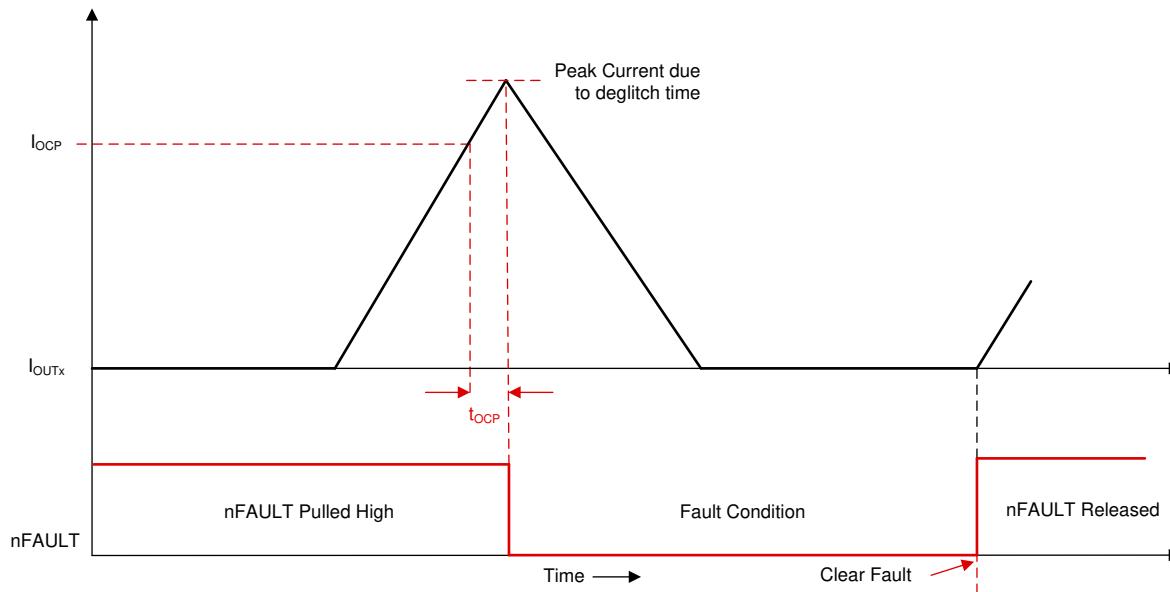


图 7-38. 过流保护 - 锁存关断模式

7.3.16.6.2 OCP 自动重试 (OCP_MODE = 01b)

在该模式下发生 OCP 事件后，所有 FET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。在 t_{RETRY} 时间过后，器件将自动重新开始正常运行（驱动器运行且释放 nFAULT 引脚）。在 t_{RETRY} 时间过后，FAULT、OCP 和相应 FET 的 OCP 位保持锁存，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令为止。

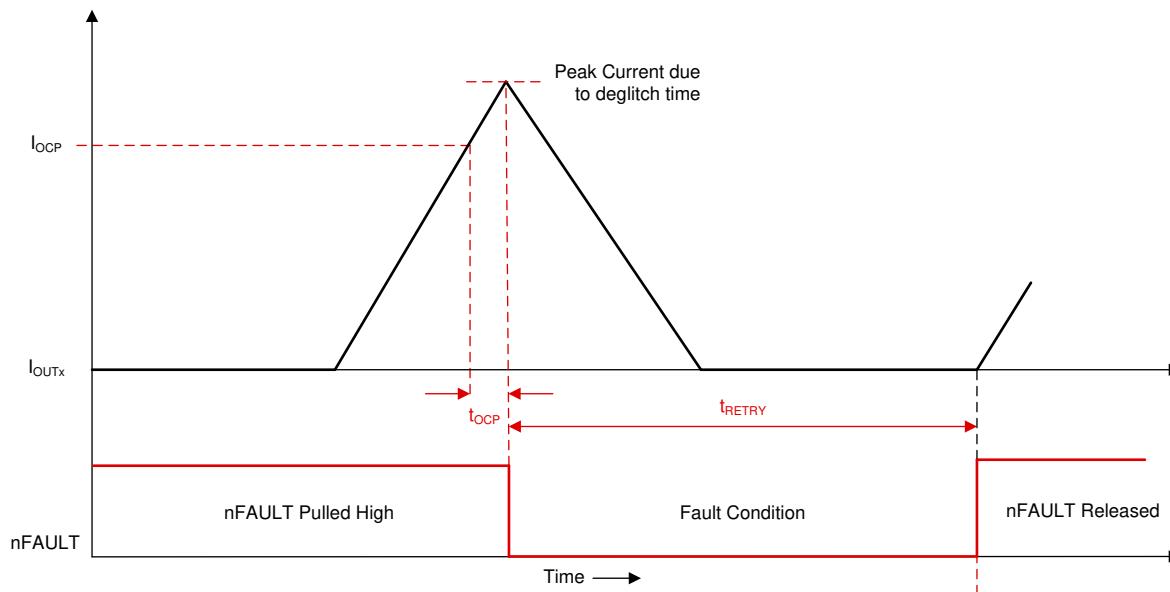


图 7-39. 过流保护 - 自动重试模式

7.3.16.6.3 OCP 仅报告 (OCP_MODE = 10b)

在该模式下发生 OCP 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动至低电平并将 SPI 寄存器中的 FAULT、OCP 和相应的 FET OCP 位锁定为高电平来报告过流事件。MCT8376Z-Q1 继续照常运行。外部控

制器通过适当的操作来管理过流状况。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT 引脚）。

7.3.16.6.4 OCP 已禁用 (OCP_MODE = 11b)

在该模式下发生 OCP 事件后不会执行任何操作。

7.3.16.7 电机锁定 (MTR_LOCK)

在电机处于锁定状态期间，霍尔信号不可用，因此可通过监控霍尔信号来检测电机锁定事件。如果霍尔信号存在的时间超过 t_{MTR_LOCK} ，则会识别 MTR_LCK 事件并根据 MTR_LOCK_MODE 位执行操作。在硬件接器件上， t_{MTR_LOCK} 阈值根据 GAIN_SLEW_tLOCK 引脚的配置进行设置（参照 表 7-5），并将 MTR_LOCK_MODE 配置为自动重试模式：通过 GAIN_SLEW_tLOCK 引脚配置检测时间为 500ms 或 5s，重试时间为 10s。在 SPI 器件上，可以通过 MTR_LOCK_TDET 寄存器设置 t_{MTR_LOCK} 阈值，而 MTR_LOCK_MODE 位可以在四种不同的模式下运行：MTR_LOCK 锁存关断、MTR_LOCK 自动重试、仅报告 MTR_LOCK 和禁用 MTR_LOCK。

7.3.16.7.1 MTR_LOCK 锁存关断 (MTR_LOCK_MODE = 00b)

在该模式下发生电机锁定事件后，所有 FET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT 和 MTR_LOCK 位将在 SPI 寄存器中被锁存为高电平。当通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将再次开始正常运行（驱动器运行且释放 nFAULT 引脚）。

7.3.16.7.2 MTR_LOCK 自动重试 (MTR_LOCK_MODE = 01b)

在该模式下发生电机锁定事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT 和 MTR_LOCK 位将在 SPI 寄存器中被锁存为高电平。在 $t_{MTR_LOCK_RETRY}$ 时间过后，器件将自动重新开始正常运行（驱动器运行且释放 nFAULT 引脚）。FAULT 和 MTR_LOCK 位保持锁存，直到 $t_{MTR_LOCK_RETRY}$ 周期结束。

7.3.16.7.3 MTR_LOCK 仅报告 (MTR_LOCK_MODE = 10b)

在该模式下发生 MTR_LOCK 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动至低电平并将 SPI 寄存器中的 FAULT 和 MTR_LOCK 位锁定为高电平来报告电机锁定事件。MCT8376Z-Q1 继续照常运行。外部控制器通过适当的操作来管理电机锁定状况。当通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT 引脚）。

7.3.16.7.4 MTR_LOCK 已禁用 (MTR_LOCK_MODE = 11b)

在该模式下发生 MTR_LOCK 事件后不会执行任何操作。

备注

电机锁定检测方案要求 PWM 关断时间 (t_{PWM_OFF}) 低于电机锁定检测时间 (t_{MTR_LOCK})

7.3.16.8 热警告 (OTW)

如果内核温度超过热警告 (T_{OTW}) 的触发点，则会设置 OT 状态 (OT_STS) 寄存器中的 OT 位和状态寄存器 (DEV_STS) 中的 OTF 位。可以通过设置配置控制寄存器中的过热警告报告 (OTW_MODE) 位来启用 nFAULT 引脚上的 OTW 报告。器件不会执行任何其他操作，并且会继续运行。在这种情况下，当芯片温度降至低于热警告的迟滞点 (T_{OTW_HYS}) 时，nFAULT 引脚会释放。OTW 位保持设置状态，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 将其清除且内核温度低于热警告触发点 (T_{OTW})。在硬件型号上，默认情况下不会在 nFAULT 引脚上报告过热警告。

7.3.16.9 热关断 (OTS)

如果器件中的内核温度超过热关断限值 (T_{TSD}) 的跳变点，则会禁用所有 FET，关闭电荷泵，并将 nFAULT 引脚驱动至低电平。此外，还会设置 OT 状态 (OT_STS) 寄存器中的 FAULT 和 OTSD 位以及状态寄存器 (DEV_STS) 中的 OTF 位。过热条件清除后，器件将重新开始正常运行（驱动器运行且 nFAULT 引脚被释放）。OTSD 位保持锁存为高电平，指示发生了热事件，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令为止。无法禁用此保护功能。

7.4 器件功能模式

7.4.1 功能模式

7.4.1.1 睡眠模式

nSLEEP 引脚管理 MCT8376Z-Q1 系列器件的状态。当 nSLEEP 引脚为低电平时，该器件进入低功耗睡眠模式。在睡眠模式下，会禁用所有 FET，禁用检测放大器，禁用电荷泵，禁用 GVDD 和 AVDD 稳压器，并禁用 SPI 总线。必须在 nSLEEP 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

在睡眠模式下，当 $V_{VM} < V_{UVLO}$ 时，所有 MOSFET 都被禁用。

备注

在器件通过 nSLEEP 引脚上电和下电期间，nFAULT 引脚保持低电平，因为内部稳压器被启用或禁用。启用或禁用稳压器后，nFAULT 引脚会自动释放。nFAULT 引脚处于低电平的持续时间不超过 t_{SLEEP} 或 t_{WAKE} 时间。

7.4.1.2 运行模式

当 nSLEEP 引脚为高电平且 V_{VM} 电压大于 V_{UVLO} 电压时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在此模式下，电荷泵、GVDD 稳压器、AVDD 稳压器和 SPI 总线处于活动状态。

7.4.1.3 故障复位 (CLR_FLT 或 nSLEEP 复位脉冲)

在器件存在锁存故障的情况下，MCT8376Z-Q1 系列器件会进入部分关断状态，以帮助保护功率 MOSFET 和系统。

清除故障条件后，器件可以通过设置 SPI 器件上的 CLR_FLT SPI 位或向任一接口型号上的 nSLEEP 引脚发出复位脉冲来重新进入运行状态。nSLEEP 复位脉冲 (t_{RST}) 包含 nSLEEP 引脚的高电平到低电平到高电平转换。序列的低电平周期在 t_{RST} 时间窗口内，否则器件将启动完整的关断序列。复位脉冲对任何稳压器、器件设置或其他功能块都没有影响。

7.4.2 DRVOFF 功能

MCT8376Z-Q1 能够通过 DRVOFF 引脚禁用前置驱动器和 MOSFET。当 DRVOFF 引脚被拉高时，所有六个 MOSFET 均被禁用。如果在 DRVOFF 引脚为高电平时 nSLEEP 为高电平，则电荷泵、AVDD 稳压器、GVDD 稳压器和 SPI 总线将处于活动状态，而任何与驱动器相关的故障（例如 OCP）处于非活动状态。DRVOFF 引脚独立禁用 MOSFET，无论 INHx 和 INLx 输入引脚的状态如何，这都会停止电机换向。

7.5 SPI 通信

7.5.1 编程

在 MCT8376Z-Q1 SPI 器件上，SPI 总线用于设置器件配置、运行参数和读取诊断信息。SPI 采用辅助模式工作并连接到控制器。SPI 输入数据 (SDI) 字中包含一个 24 位的字，其中包括一个读取或写入位、一个奇偶校验位、6 位地址和 15 位数据与一个奇偶校验位。SPI 输出包含 24 位字，其中包括 8 位状态信息 (STS 寄存器) 和 16 位寄存器数据。

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚为低电平。
- nSCS 引脚在两个字之间被拉为高电平的时间至少应为 400ns。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 引脚的下降沿被捕捉，并在 SCLK 引脚的上升沿被传输。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 24 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于 24 位或多于 16 位，则会发生帧错误并且数据字会被忽略。
- 对于写命令，寄存器中要写入的现有数据会在 8 位状态数据之后在 SDO 引脚上移出。

SPI 寄存器在上电时以及器件进入睡眠模式时复位为默认设置

7.5.1.1 SPI 格式

SPI 格式 - 带奇偶校验

SDI 输入数据的字长为 24 位，包含以下格式：

- 1 个读取或写入位，W (位 B16)
- 6 个地址位，A (位 B22 至 B17)
- 奇偶校验位，P (位 B23)
- 15 个数据位和 1 个奇偶校验位，D (位 B15 到 B0)

SDO 输出数据字长为 24 位。最高有效位是状态位，最低有效 16 位是所访问寄存器的数据内容。

表 7-8. SPI 的 SDI 输入数据字格式

奇偶校验	地址						RW	奇偶校验	DATA															
	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
P	A5	A4	A3	A2	A1	A0	W0	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

表 7-9. SDO 输出数据字格式

状态												DATA											
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

下面详细介绍了 SPI 帧格式中使用的各个位。

读取/写入位 (R/W) : R/W (W0) 位设置为 0b 表示 SPI 写入事务。对于 SPI 读取操作，需要将 R/W 位设置为 1b。

地址位 (A) : SPI 辅助器件采用一个 6 位寄存器地址。

奇偶校验位 (P) : SPI 输入数据帧的标头和数据字段都包括用于 single-bit 错误检测的奇偶校验位 - 在表 7-8 中，B23 是标头字段的奇偶校验位，而 B15 是数据字段的奇偶校验位。使用的奇偶校验机制是偶校验，即 16 位块中的 1 数量 (包括奇偶校验位) 是偶数。仅当奇偶校验成功时，数据才会写入内部寄存器。可通过配置 SYS_CTRL 寄存器的 SPI_PEN 位来启用或禁用奇偶校验。默认情况下会禁用奇偶校验。

备注

尽管默认情况下会禁用奇偶校验，但 TI 建议启用奇偶校验，以防止 single-bit 错误。

8 寄存器映射

8.1 状态寄存器

表 8-1 列出了状态寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-1. 状态寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	器件状态寄存器	器件状态寄存器	节 8.1.1
2h	器件原始状态寄存器	器件原始状态寄存器	节 8.1.2
4h	过热状态寄存器	过热状态寄存器	节 8.1.3
5h	电源状态寄存器	电源状态寄存器	节 8.1.4
6h	驱动器状态寄存器	驱动器状态寄存器	节 8.1.5
7h	系统接口状态寄存器	系统接口状态寄存器	节 8.1.6

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. STATUS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
复位或默认值		
-n		复位后的值或默认值

8.1.1 器件状态寄存器 (偏移 = 0h) [复位 = 0280h]

器件状态寄存器如表 8-3 所示。

返回到[汇总表](#)。

表 8-3. 器件状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-11	RESERVED	R-0	0h	保留
10	MTR_LOCK	R	0h	电机锁定状态位 0h = 未检测到电机锁定状态 1h = 检测到电机锁定状态
9	DNRDY_STS	R	1h	器件未就绪状态。将在上电完成后自动清除。 0h = 器件已就绪 1h = 器件未就绪
8	SYSFLT	R	0h	发生 OTP 读取故障。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 OTP 读取故障 1h = 检测到 OTP 读取故障
7	复位	R	1h	器件复位状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 已清除 1h = 器件已完成上电复位
6	SPIFLT	R	0h	SPI 故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 SPI 故障。 1h = 检测到 SPI 故障
5	OCP	R	0h	过流状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到过流情况 1h = 检测到过流情况
4	RESERVED	R-0	0h	保留
3	OVP	R	0h	过压状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到过压情况 1h = 检测到过压情况
2	UVP	R	0h	电源欠压状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未在 CP 上检测到欠压情况 1h = 在 CP 上检测到欠压情况
1	OTF	R	0h	过热故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到过热警告/关断 1h = 检测到过热警告/关断
0	故障	R	0h	器件故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到故障情况 1h = 检测到故障情况

8.1.2 器件原始状态寄存器 (偏移 = 2h) [复位 = 0280h]

器件原始状态寄存器如表 8-4 所示。

返回到[汇总表](#)。

表 8-4. 器件原始状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-13	RESERVED	R-0	0h	保留
12	DRVOFF_RSTS	R	0h	DRV_OFF 引脚的状态 0h = DRV_OFF 处于非活动状态 1h = DRV_OFF 处于活动状态
11	OTW_RSTS	R	0h	OT 警告原始状态 0h = OTW 未激活 1h = OTW 处于活动状态
10	MTR_LOCK_RSTS	R	0h	电机锁定状态位 0h = 未检测到电机锁定状态 1h = 检测到电机锁定状态
9	DNRDY_RSTS	R	1h	器件未就绪状态 0h = 器件已就绪 1h = 器件未就绪
8	SYSFLT_RSTS	R	0h	发生 OTP 读取故障。状态保持锁存状态，直到通过写入 FLT_CLR 清除 0h = 未检测到 OTP 读取故障 1h = 检测到 OTP 读取故障
7	复位	R	1h	器件上电状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 读取后由固件清除 1h = 器件已完成上电复位
6	SPIFLT_RSTS	R	0h	SPI 故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 SPI 故障。 1h = 检测到 SPI 故障
5	OCP_RSTS	R	0h	过流故障原始状态。状态保持锁存，直到自动重试完成、写入 FLT_CLR 或 nSLEEP 上收到复位脉冲。 0h = 过流情况处于非活动状态 1h = 过流情况处于活动状态
4	RESERVED	R-0	0h	保留
3	OVP_RSTS	R	0h	过压原始故障状态。 0h = 过压情况处于非活动状态。 1h = 过压情况处于活动状态。
2	UVF_RSTS	R	0h	CP 欠压原始故障状态。 0h = 电荷泵欠压情况处于非活动状态。 1h = 电荷泵欠压情况处于活动状态。
1	OTF_RSTS	R	0h	过热关断原始故障状态。 0h = 过热关断处于非活动状态。 1h = 过热关断处于活动状态。
0	RESERVED	R-0	0h	保留

8.1.3 过热状态寄存器 (偏移 = 4h) [复位 = 0000h]

过热状态寄存器如表 8-5 所示。

返回到 [汇总表](#)。

表 8-5. 过热状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-2	RESERVED	R-0	0h	保留

表 8-5. 过热状态寄存器字段说明 (续)

位	字段	类型	复位	说明
1	OTW	R	0h	过热警告故障状态。可通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除 0h = 未检测到过热警告 1h = 检测到过热警告
0	OTSD	R	0h	过热关断故障状态。可通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除 0h = 未检测到过热关断 1h = 检测到过热关断

8.1.4 电源状态寄存器 (偏移 = 5h) [复位 = 0000h]

电源状态寄存器如表 8-6 所示。

[返回到汇总表。](#)

表 8-6. 电源状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-7	RESERVED	R-0	0h	保留
6	VM_OV	R	0h	Vm 过压故障状态 0h = 未检测到 Vm 过压 1h = 检测到 Vm 过压
5	RESERVED	R-0	0h	保留
4	CP_UV	R	0h	电荷泵欠压故障状态 0h = 未检测到电荷泵欠压 1h = 检测到电荷泵欠压
3-0	RESERVED	R-0	0h	保留

8.1.5 驱动器状态寄存器 (偏移 = 6h) [复位 = 0000h]

驱动器状态寄存器如表 8-7 所示。

返回到[汇总表](#)。

表 8-7. 驱动器状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-7	RESERVED	R-0	0h	保留
6	OCPC_HS	R	0h	OUTC 的高侧开关上的过流状态 0h = 未在 OUTC 的高侧 MOSFET 上检测到过流 1h = 在 OUTC 的高侧 MOSFET 上检测到过流
5	OCPB_HS	R	0h	OUTB 的高侧开关上的过流状态 0h = 未在 OUTB 的高侧 MOSFET 上检测到过流 1h = 在 OUTB 的高侧 MOSFET 上检测到过流
4	OCPA_HS	R	0h	OUTA 的高侧开关上的过流状态 0h = 未在 OUTA 的高侧 MOSFET 上检测到过流 1h = 在 OUTA 的高侧 MOSFET 上检测到过流
3	RESERVED	R-0	0h	保留
2	OCPC_LS	R	0h	OUTC 的低侧开关上的过流状态 0h = 未在 OUTC 的低侧 MOSFET 上检测到过流 1h = 在 OUTC 的低侧 MOSFET 上检测到过流
1	OCPB_LS	R	0h	OUTB 的低侧开关上的过流状态 0h = 未在 OUTB 的低侧 MOSFET 上检测到过流 1h = 在 OUTB 的低侧 MOSFET 上检测到过流
0	OCPA_LS	R	0h	OUTA 的低侧开关上的过流状态 0h = 未在 OUTA 的低侧 MOSFET 上检测到过流 1h = 在 OUTA 的低侧 MOSFET 上检测到过流

8.1.6 系统接口状态寄存器 (偏移 = 7h) [复位 = 0000h]

系统接口状态寄存器如表 8-8 所示。

返回到[汇总表](#)。

表 8-8. 系统接口状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-5	RESERVED	R-0	0h	保留
4	OTPLD_ERR	R	0h	加载期间的 OTP CRC 错误 0h = 未检测到 OTP 读取错误 1h = 检测到 OTP 读取错误
3	RESERVED	R-0	0h	保留
2	SPI_PARITY	R	0h	SPI 奇偶校验错误 0h = 未检测到 SPI 奇偶校验错误 1h = 检测到 SPI 奇偶校验错误
1	RESERVED	R-0	0h	保留
0	FRM_ERR	R	0h	SPI 帧错误 0h = 未检测到 SPI 帧错误 1h = 检测到 SPI 帧错误

8.2 控制寄存器

表 8-9 列出了控制寄存器的存储器映射寄存器。表 8-9 中未列出的所有寄存器偏移地址都被视为保留的位置，并且不得修改寄存器内容。

表 8-9. 控制寄存器

偏移	首字母缩写词	寄存器名称	部分
10h	故障模式寄存器	故障模式寄存器	节 8.2.1
13h	驱动器故障控制寄存器	驱动器故障控制寄存器	节 8.2.2
17h	故障清除寄存器	故障清除寄存器	节 8.2.3
20h	PWM 控制寄存器 1A	PWM 控制寄存器 1A	节 8.2.4
22h	前置驱动器控制寄存器	前置驱动器控制寄存器	节 8.2.5
23h	CSA 控制寄存器	CSA 控制寄存器	节 8.2.6
3Fh	系统控制寄存器	系统控制寄存器	节 8.2.7

复杂的位访问类型经过编码可适应小型表单元。表 8-10 展示了适用于此部分中访问类型的代码。

表 8-10. 控制访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

8.2.1 故障模式寄存器 (偏移 = 10h) [复位 = 2811h]

故障模式寄存器如表 8-11 所示。

返回到 [汇总表](#)。

表 8-11. 故障模式寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14	RESERVED	R-0	0h	保留
13	ILIMFLT_MODE	R/W	1h	ILIMIT 故障模式 0h = 禁用 nFAULT 引脚上的 ILIMIT 报告 1h = 启用 nFAULT 引脚上的 ILIMIT 报告
12-11	MTR_LOCK_MODE	R/W	1h	电机锁定故障模式-即使在硬件器件中也遵守 OTP 0h = 电机锁定导致锁存故障 1h = 电机锁定导致自动重试故障 2h = 仅报告电机锁定但不采取任何措施 3h = 不报告电机锁定且不采取任何措施
10	RESERVED	R-0	0h	保留
9	OVP_MODE	R/W	0h	过压保护故障模式 0h = 禁用过压保护 1h = 启用过压保护
8	RESERVED	R-0	0h	保留
7	SPIFLT_MODE	R/W	0h	SPI 故障模式 0h = 禁用 nFAULT 引脚上的 SPI 故障报告 1h = 启用 nFAULT 引脚上的 SPI 故障报告
6	RESERVED	R-0	0h	保留
5-4	OCP_MODE	R/W	1h	过流保护故障模式 0h = 过流导致锁存故障 1h = 过流导致自动重试故障 2h = 仅报告过流但不采取任何措施 3h = 不报告过流且不采取任何措施
3-1	RESERVED	R-0	0h	保留
0	OTW_MODE	R/W	1h	过热警告故障模式 0h = 禁用 nFAULT 上的过热报告 1h = 启用 nFAULT 上的过热报告

8.2.2 驱动器故障控制寄存器 (偏移 = 13h) [复位 = 1010h]

驱动器故障控制寄存器如 表 8-12 所示。

返回到 [汇总表](#)。

表 8-12. 驱动器故障控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14	RESERVED	R-0	0h	保留
13-12	MTR_LOCK_TDET	R/W	1h	电机锁定检测时间设置 0h = 5000ms 1h = 1000ms 2h = 500ms 3h = 250ms
11	RESERVED	R-0	0h	保留
10	MTR_LOCK_RETRY	R/W	0h	电机锁定重试时间设置 0h = 10s 1h = 2s
9	RESERVED	R-0	0h	保留
8	OVP_SEL	R/W	0h	过压电平设置 0h = VM 过压电平为 65V 1h = VM 过压电平为 35V
7-6	RESERVED	R-0	0h	保留
5-4	OCP_DEG	R/W	1h	OCP 抗尖峰脉冲时间 0h = OCP 抗尖峰脉冲时间为 0.6μs 1h = OCP 抗尖峰脉冲时间为 1.25μs 2h = OCP 抗尖峰脉冲时间为 1.6μs 3h = OCP 抗尖峰脉冲时间为 2μs
3	RESERVED	R-0	0h	保留
2	OCP_TRETRY	R/W	0h	OCP 重试时间 0h = 5ms 1h = 500ms
1	RESERVED	R-0	0h	保留
0	OCP_LVL	R/W	0h	OCP 电平 0h = 4.5A 1h = 2A

8.2.3 故障清除寄存器 (偏移 = 17h) [复位 = 0000h]

故障清除寄存器如表 8-13 所示。

返回到[汇总表](#)。

表 8-13. 故障清除寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-1	RESERVED	R-0	0h	保留
0	FLT_CLR	R-0/W1C	0h	清除锁存故障 0h = 未发出清除故障命令 1h = 将锁存的故障位清零。该位在写入后自动复位。

8.2.4 PWM 控制寄存器 1A (偏移 = 20h) [复位 = 0020h]

PWM 控制寄存器 1A 如表 8-14 所示。

[返回到汇总表。](#)

表 8-14. PWM 控制寄存器 1A 字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	ADVANCE_LVL	R/W	0h	相位超前设置 0h = 0° 1h = 4° 2h = 7° 3h = 11° 4h = 15° 5h = 20° 6h = 25° 7h = 30°
11	HALL_HYS	R/W	0h	霍尔比较器迟滞设置 0h = 5mV 1h = 50mV
10	DIR	R/W	0h	方向控制。在硬件模式下，DIR 从焊盘取下。 0h = 电机方向设置为顺时针方向 1h = 电机方向设置为逆时针方向
9-8	FG_MODE	R/W	0h	电气频率生成输出模式位 0h = FG 频率为 3 倍换向频率 1h = FG 频率为 1 倍换向频率 2h = FG 频率为 0.5 倍换向频率 3h = FG 频率为 0.25 倍换向频率
7-6	PWM_100_FREQ_SEL	R/W	0h	100% 占空比时 PWM 的频率 0h = 20KHz 1h = 40KHz 2h = 10KHz 3h = 无
5	ILIM_MODE	R/W	1h	电流限制再循环设置 0h = 通过 FET 的电流再循环 (制动模式) 1h = 通过二极管的电流再循环 (滑行模式)
4	BRAKE_MODE	R/W	0h	制动模式设置 0h = 器件运行在制动模式下制动 1h = 器件运行在滑行模式下制动。
3	EN_AAR	R/W	0h	启用 AAR，以便当电流变为负值时，LS FET 会关断。 0h = 禁用主动消磁 AAR 1h = 启用主动消磁 AAR
2	EN_ASR	R/W	0h	允许在电流流经 FET 的体二极管时导通 HS 或 LS FET。 0h = 禁用主动消磁 ASR 1h = 启用主动消磁 ASR
1-0	PWM_MODE	R/W	0h	PWM 模式选择 0h = 使用数字霍尔进行同步整流 1h = 使用模拟霍尔进行同步整流 2h = 使用数字霍尔进行异步整流 3h = 使用模拟霍尔进行异步整流

8.2.5 前置驱动器控制寄存器 (偏移 = 22h) [复位 = 0080h]

前置驱动器控制寄存器如表 8-15 所示。

返回到[汇总表](#)。

表 8-15. 前置驱动器控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-11	RESERVED	R-0	0h	保留
10-8	ILIM_BLANK_SEL	R/W	0h	电流限制消隐时间选择 0h = 5.5us (对于 50 的压摆率) 和 1.8us (对于所有其他压摆率)。 1h = 6.0us (对于 50 的压摆率) 和 2.3us (对于所有其他压摆率)。 2h = 6.5us (对于 50 的压摆率) 和 2.8us (对于所有其他压摆率)。 3h = 7.5us (对于 50 的压摆率) 和 3.8us (对于所有其他压摆率)。
7-4	ADMAG_TMargin	R/W	8h	确定高阻态之前的等待时间。N*4*100ns
3	AD_COMP_TH_HS	R/W	0h	主动消磁高侧比较器阈值 0h = 主动消磁比较器阈值为 100mA 1h = 主动消磁比较器阈值为 150mA
2	AD_COMP_TH_LS	R/W	0h	主动消磁低侧比较器阈值 0h = 主动消磁比较器阈值为 100mA 1h = 主动消磁比较器阈值为 150mA
1-0	SLEW_RATE	R/W	0h	压摆率设置 0h = 压摆率为 1100V/μs 1h = 压摆率为 500V/μs 2h = 压摆率为 250V/μs 3h = 压摆率为 50V/μs

8.2.6 CSA 控制寄存器 (偏移 = 23h) [复位 = 0000h]

CSA 控制寄存器如表 8-16 所示。

返回到 [汇总表](#)。

表 8-16. CSA 控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-2	RESERVED	R-0	0h	保留
1-0	CSA_GAIN	R/W	0h	CSA 增益设置 0h = CSA 增益为 0.4V/A 1h = CSA 增益为 1.0V/A 2h = CSA 增益为 2.5V/A 3h = CSA 增益为 5.0V/A

8.2.7 系统控制寄存器 (偏移 = 3Fh) [复位 = 0008h]

系统控制寄存器如表 8-17 所示。

返回到[汇总表](#)。

表 8-17. 系统控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	WRITE_KEY	R-0/W	0h	特定于该寄存器的 0x5 写入密钥。
11	SDO_VSEL	R/W	0h	SDO 输出电压选择 0h = AVDD 1h = GVDD
10	SDO_ODEN	R/W	0h	SDO 处于开漏模式 0h = SDO 处于推挽模式 1h = SDO 处于开漏模式
9-8	RESERVED	R-0	0h	保留
7	REG_LOCK	R/W	0h	寄存器锁定位 0h = 寄存器未锁定 1h = 寄存器已锁定
6	SPI_PEN	R/W	0h	SPI 奇偶校验启用 0h = 奇偶校验禁用 1h = 奇偶校验启用
5-4	RESERVED	R/W	0h	保留
3	RESERVED	R/W	0h	保留
2-0	RESERVED	R-0	0h	保留

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

MCT8376Z-Q1 可用于驱动无刷直流电机。图 9-1 图 9-2 展示了主要应用原理图。

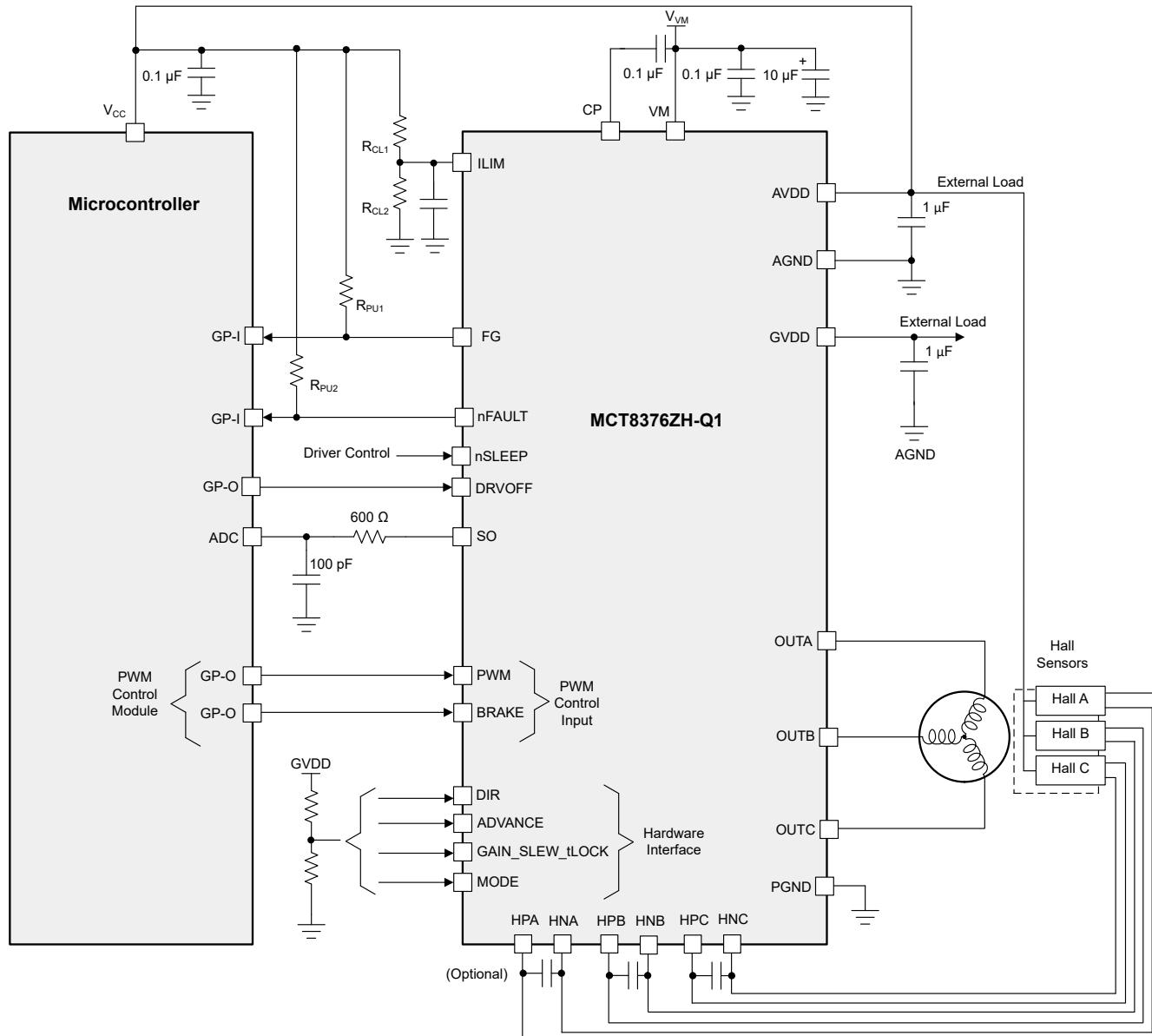


图 9-1. MCT8376ZH-Q1 (硬件型号) 的主要应用原理图

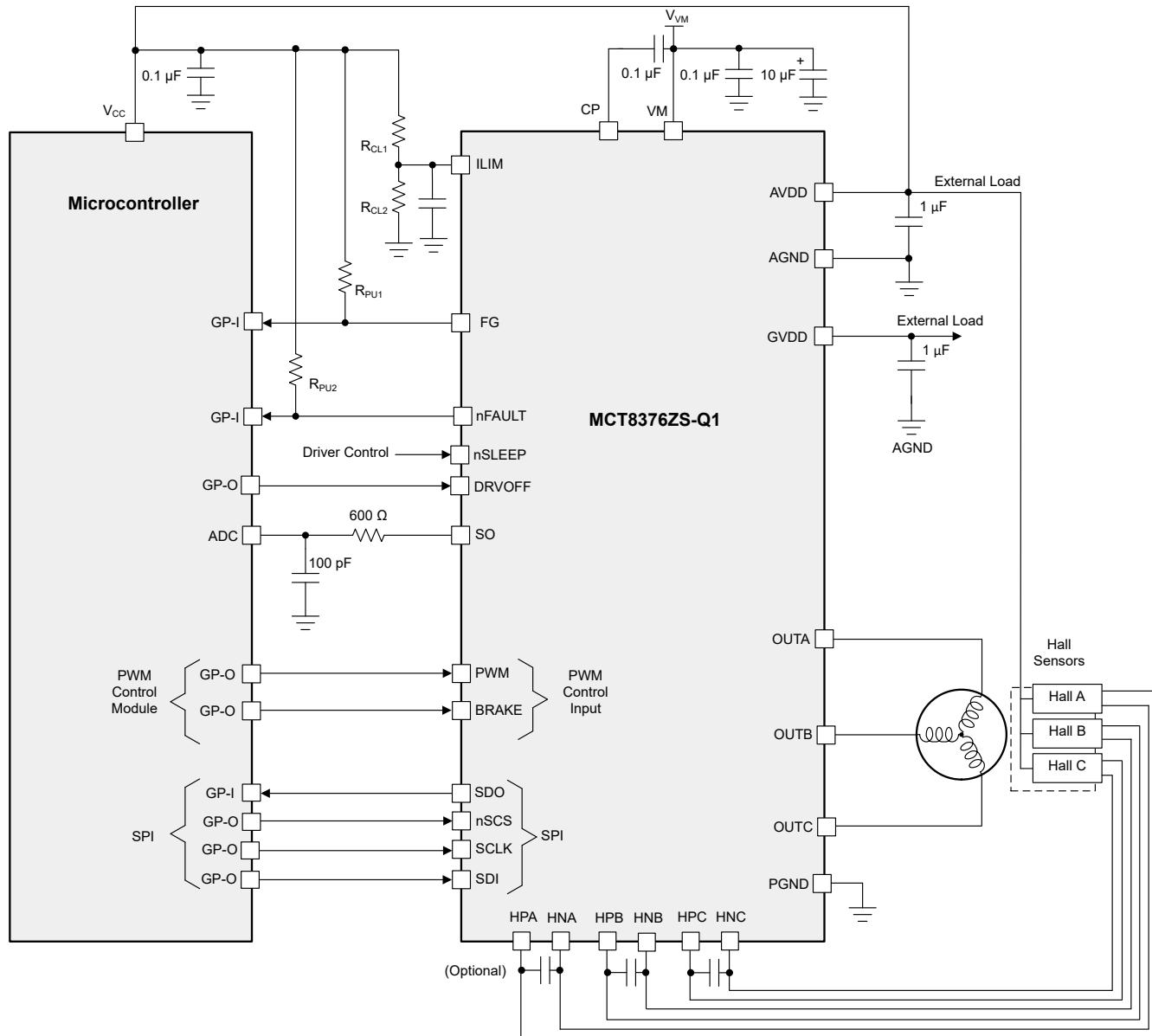


图 9-2. MCT8376ZS-Q1 (SPI 型号) 的主要应用原理图

9.2 霍尔传感器配置和连接

本节中的霍尔传感器连接组合是常见连接。

9.2.1 典型配置

MCT8376Z-Q1 器件上的霍尔传感器输入可以与各种霍尔传感器相连接。通常使用霍尔元件，其输出差分信号。若要使用此类传感器，可使用 $AVDD$ 稳压器为霍尔传感器供电。图 9-3 显示了相关连接。

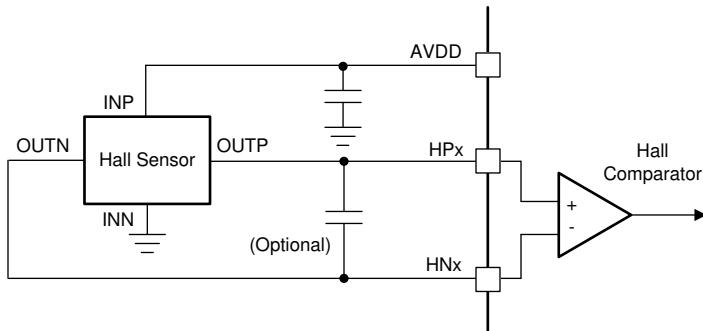


图 9-3. 典型霍尔传感器配置

由于霍尔传感器输出信号的振幅非常低，因此通常在霍尔输入端放置电容器，帮助抑制来自电机的耦合噪声。通常使用值为 1nF 至 100nF 的电容器。

9.2.2 开漏配置

一些电机使用具有开漏输出的数字霍尔传感器。这些传感器也可与 MCT8376Z-Q1 器件配合使用，但增加了一些电阻器，如图 9-4 中所示。

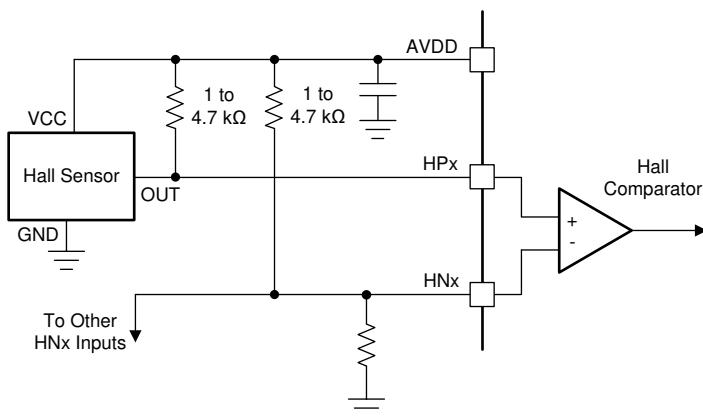


图 9-4. 开漏霍尔传感器配置

负 (HNx) 输入通过 AVDD 引脚和地之间的一对电阻器偏置到 AVDD/2。对于集电极开路霍尔传感器，正 (HPx) 输入上需要一个额外的上拉电阻器连接到 VREG 引脚。同样，AVDD 输出通常可用于为霍尔传感器供电。

9.2.3 串联配置

霍尔元件也会串联或并联，具体取决于霍尔传感器的电流/电压要求。图 9-5 展示了通过 MCT8376Z-Q1 内部 LDO (AVDD) 供电的霍尔传感器的串联连接。如果每个霍尔传感器的电流要求较高 (>10mA)，则使用此配置

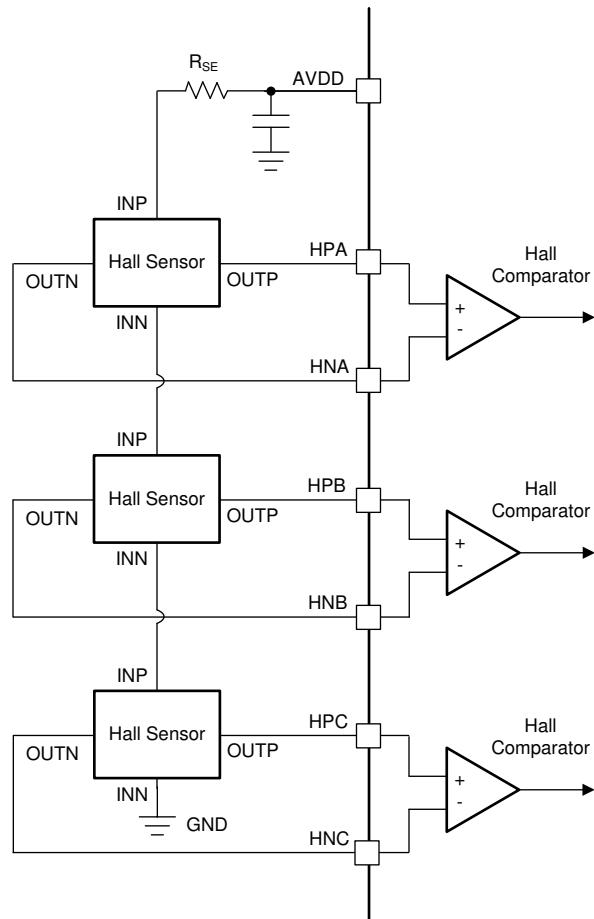


图 9-5. 以串联配置连接的霍尔传感器

9.2.4 并行配置

图 9-6 展示了由 AVDD 供电的霍尔传感器的并联连接。如果每个霍尔传感器的电流要求较低 (<10mA)，则可以使用此配置。

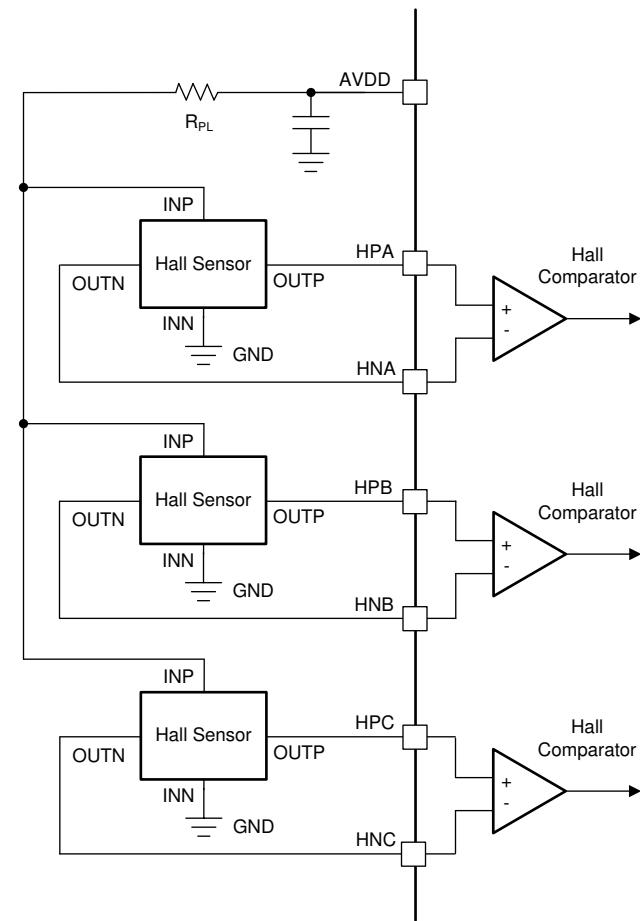


图 9-6. 以并行配置连接的霍尔传感器

9.3 电源相关建议

9.3.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和电流能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

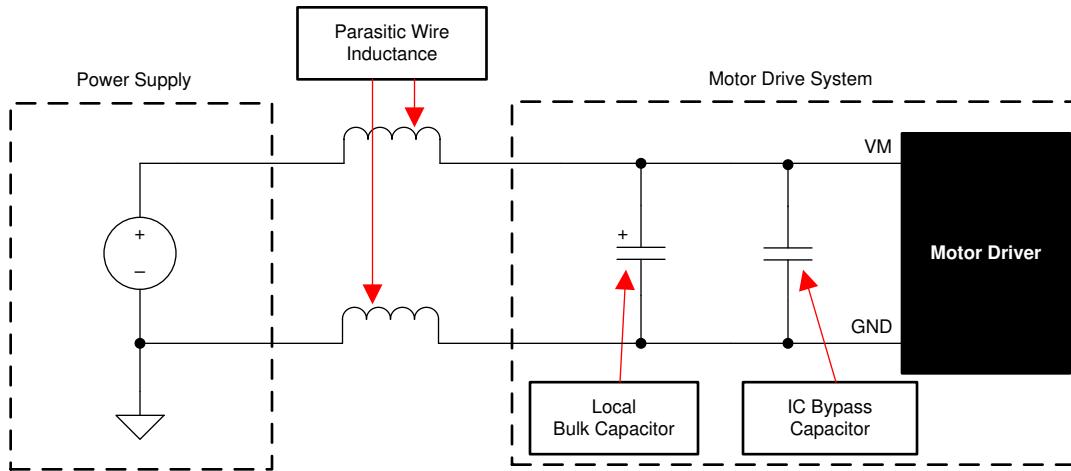


图 9-7. 带外部电源的电机驱动系统示例设置

使大容量电容的额定电压高于工作电压，以便在电机向电源传递能量时提供裕度。

9.4 布局

9.4.1 布局指南

放置大容量电容器时，尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属布线宽度尽可能宽，并且在连接 PCB 层时使用许多过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。

电荷泵、GVDD 和 AVDD 电容器等低容值电容器为陶瓷电容器，并应靠近器件引脚放置。

大电流器件输出使用宽金属布线。

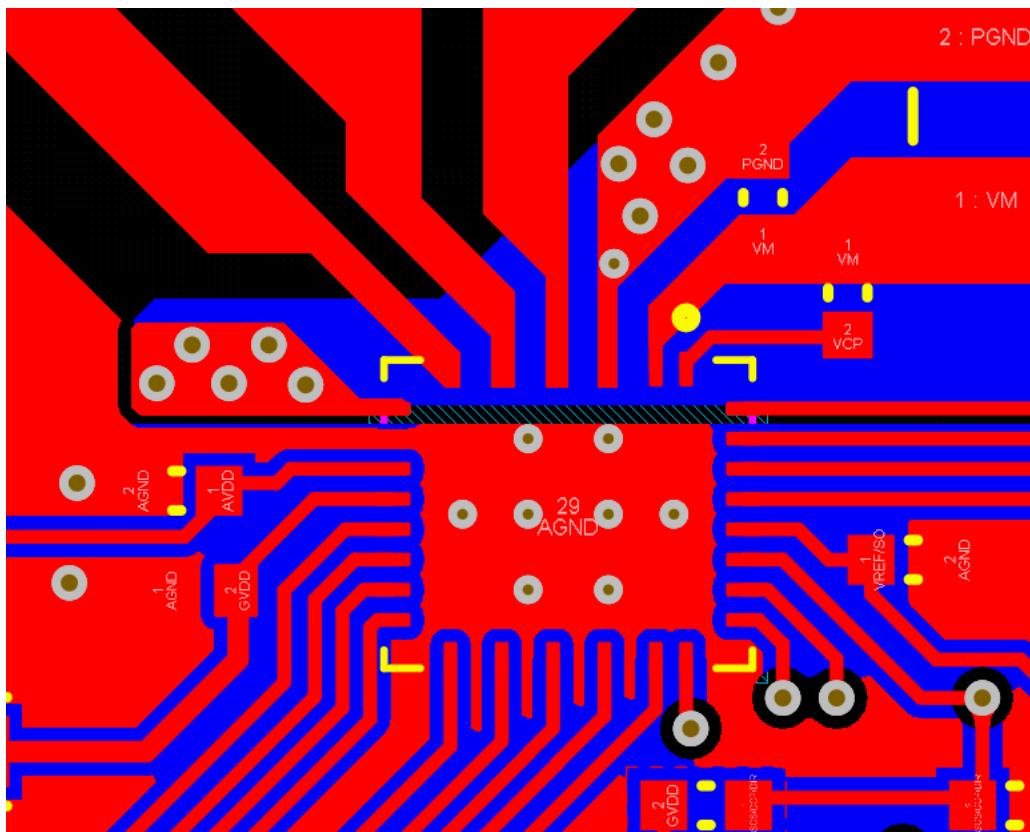
为减少大瞬态电流进入小电流信号路径的噪声耦合和 EMI 干扰，在 PGND 和 AGND 之间分区接地。TI 建议将所有非功率级电路（包括散热焊盘）连接到 AGND，以降低寄生效应并改善器件的功率耗散。验证接地端是否通过网络连接或宽电阻器连接，以减小电压偏移并保持栅极驱动器性能。

器件散热焊盘焊接到 PCB 顶层接地平面。使用多个过孔连接到较大的底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的 $I^2 \times R_{DS(on)}$ 热量。

为了提高热性能，请在 PCB 的所有可能层上尽可能地增大连接到散热焊盘接地端的接地面积。使用较厚的覆铜可以降低结至空气热阻并改善芯片表面的散热。

9.4.2 布局示例

VQFN 封装的建议布局示例



9.4.3 散热注意事项

MCT8376Z-Q1 具有热关断功能 (TSD)，如前所述。如果内核温度超过 150°C (最低)，则会禁用器件，直到温度降至安全水平。

如果该器件有任何进入热关断状态的倾向，则说明功耗过大、散热不足或环境温度过高。

9.4.3.1 功率耗散

MCT8376Z-Q1 中的功率损耗包括待机功率损耗、LDO 功率损耗、FET 导通和开关损耗以及二极管损耗。FET 导通损耗在 MCT8376Z-Q1 的总功率耗散中占主导地位。在启动和故障情况下，输出电流远大于正常电流；务必考虑这些峰值电流以及电流持续时间。总器件耗散是三个半桥中每个半桥耗散的总功率。器件可耗散的最大功率取决于环境温度和散热。请注意， $R_{DS,ON}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在设计 PCB 和散热时，应考虑这一点。

10 器件和文档支持

10.1 文档支持

10.2 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航面板。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MCT8376Z0HQNLGRQ1	Active	Production	VQFN (NLG) 28	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M8376HQ
MCT8376Z0SQNLGRQ1	Active	Production	VQFN (NLG) 28	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M8376SQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

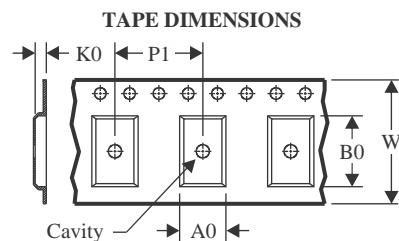
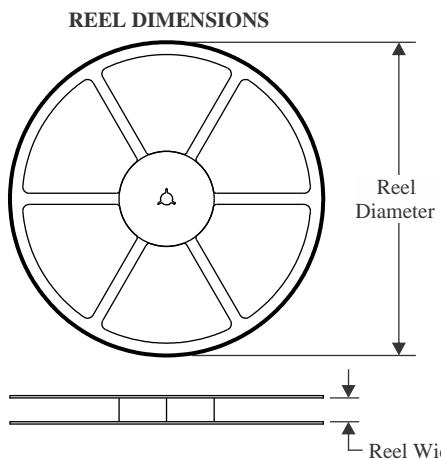
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

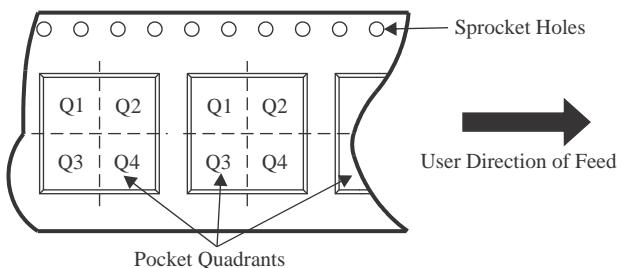
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

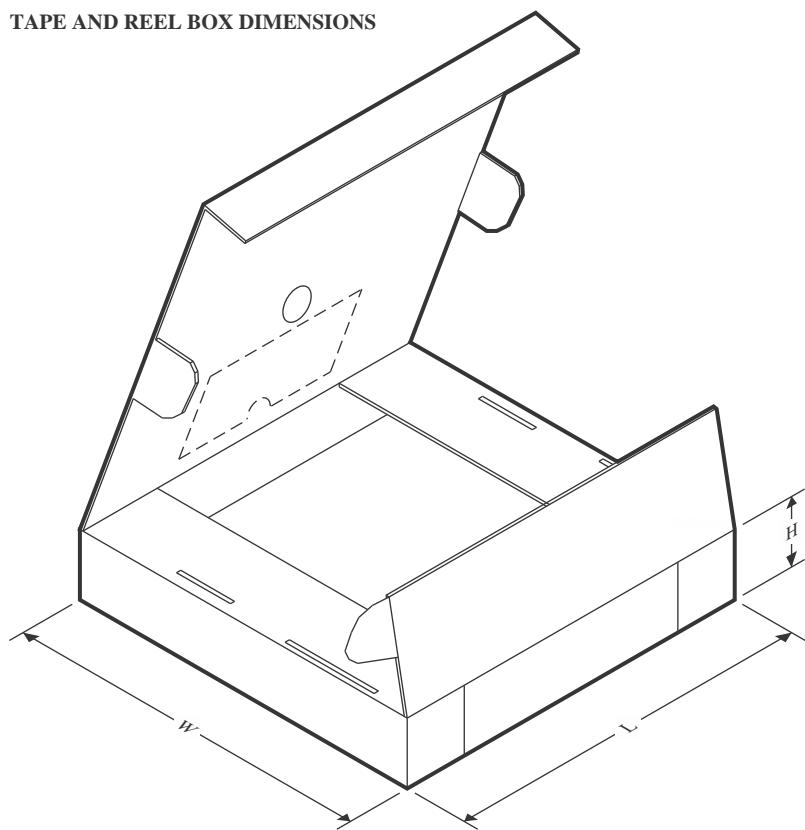
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MCT8376Z0HQNLGRQ1	VQFN	NLG	28	5000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q1
MCT8376Z0SQNLGRQ1	VQFN	NLG	28	5000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MCT8376Z0HQNLGRQ1	VQFN	NLG	28	5000	367.0	367.0	35.0
MCT8376Z0SQNLGRQ1	VQFN	NLG	28	5000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

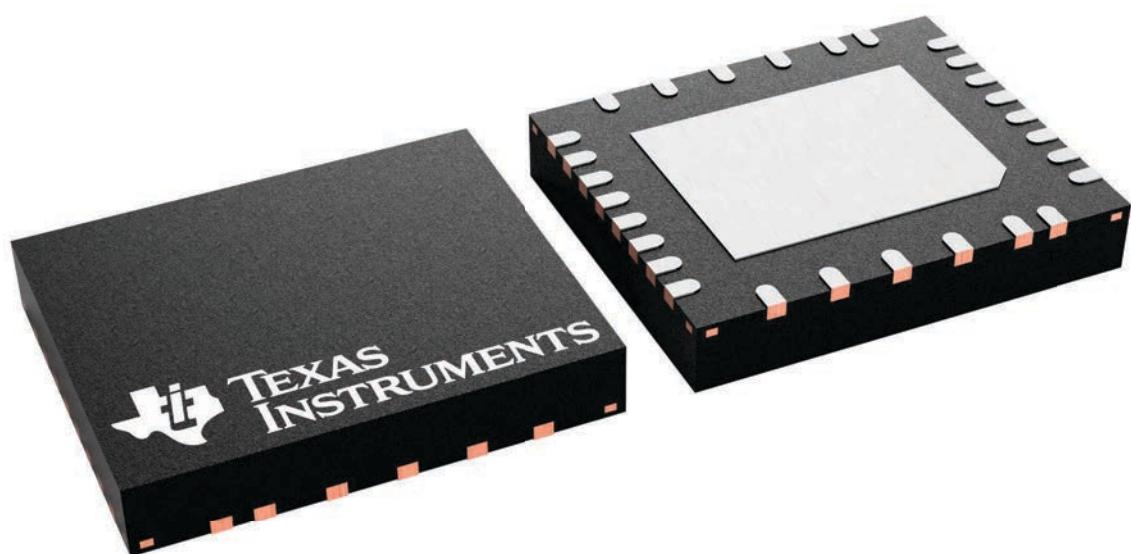
NLG 28

VQFN - 1 mm max height

5 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

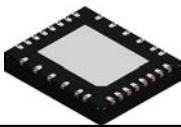
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230518/A

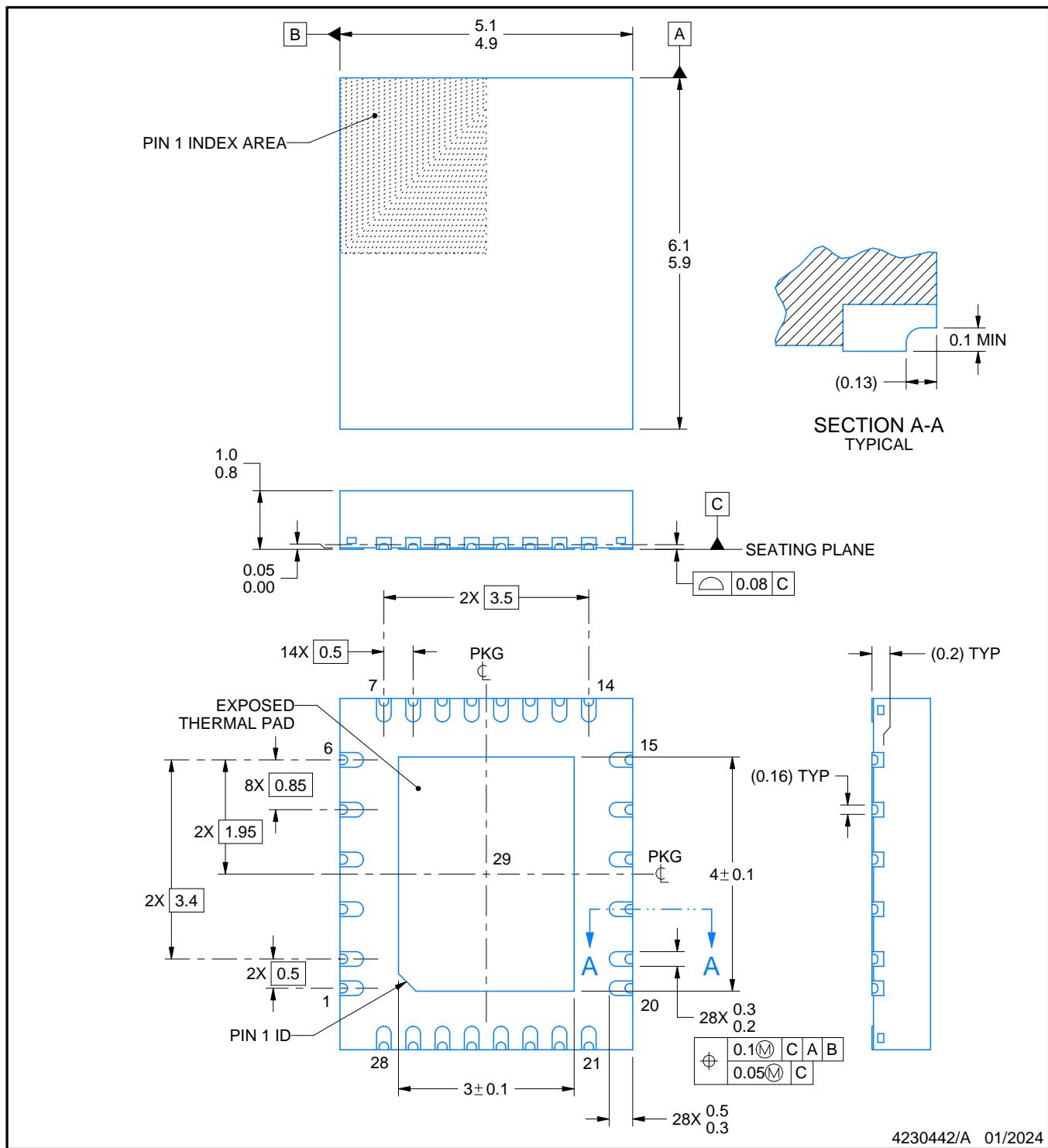
PACKAGE OUTLINE

NLG0028A



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4230442/A 01/2024

NOTES:

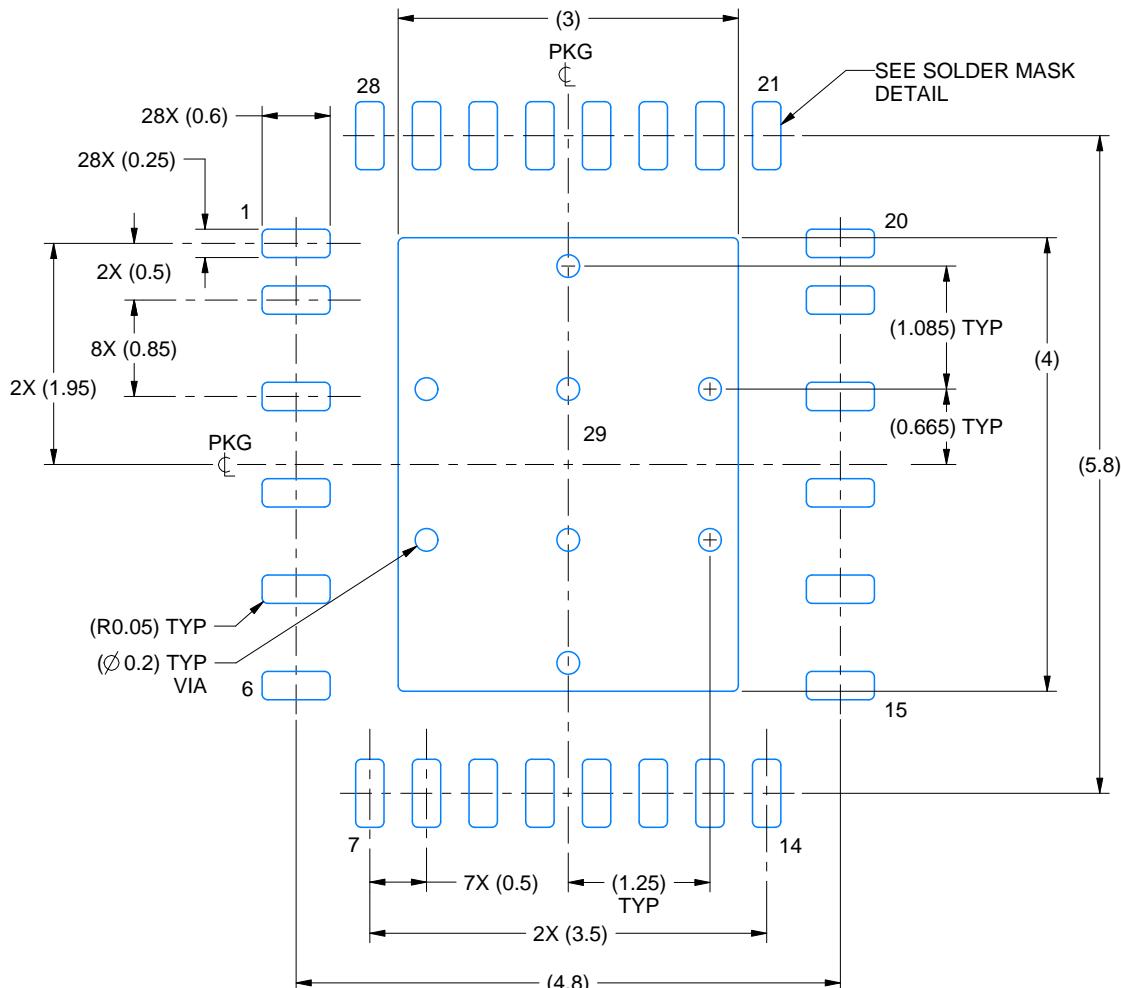
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

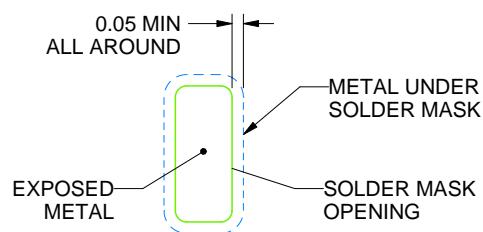
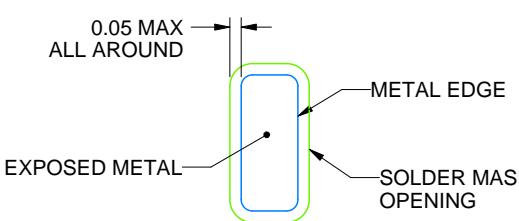
NLG0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4230442/A 01/2024

NOTES: (continued)

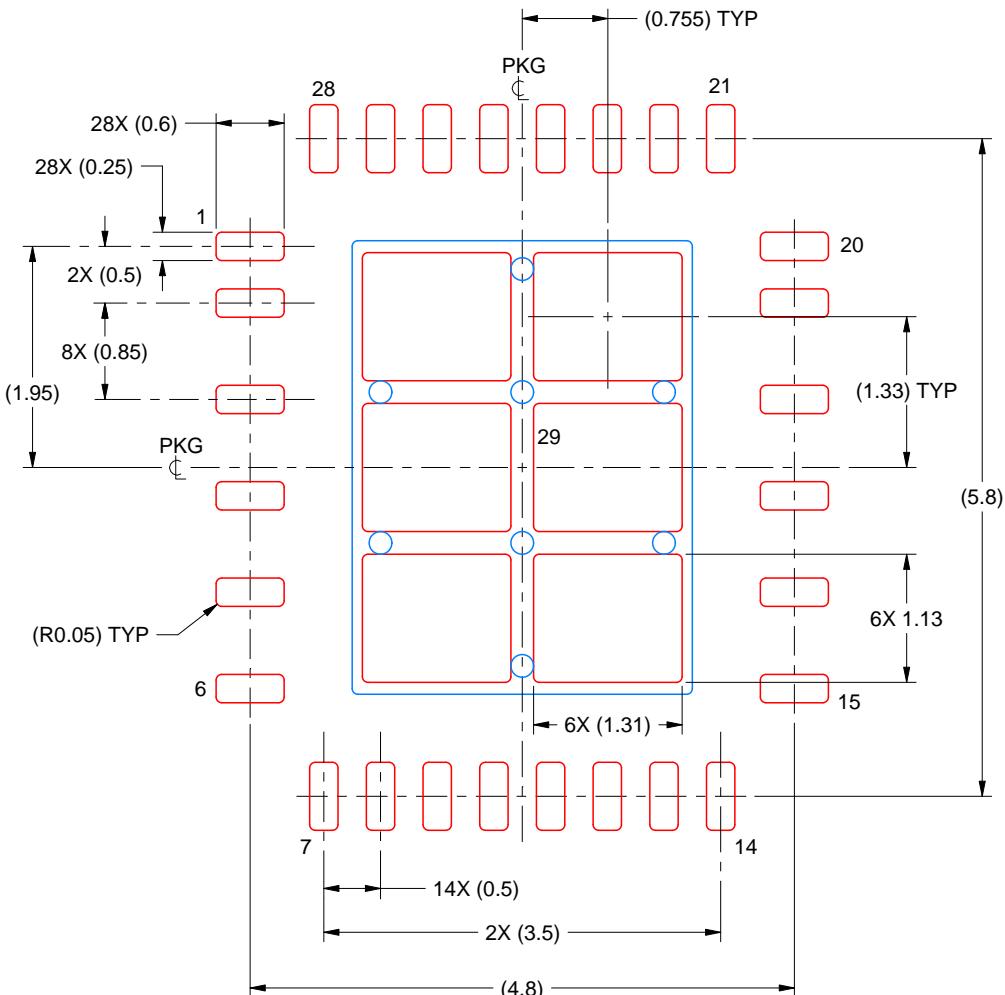
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

NLG0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 29
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230442/A 01/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月