

OPAx170 36V、单电源、SOT553 封装、低功耗运算放大器超值系列

1 特性

- 电源电压范围：2.7V 至 36V， $\pm 1.35V$ 至 $\pm 18V$
- 低噪声：19 nV/ \sqrt{Hz}
- 已过滤的射频干扰 (RFI) 输入
- 输入范围包括负电源
- 输入范围运行至正电源
- 轨到轨输出
- 增益带宽：1.2MHz
- 低静态电流：每个放大器 110 μ A
- 高共模抑制：120dB
- 低偏置电流：15pA（最大值）
- 采用行业标准封装和微型封装
- 使用 OPAx170 并借助 [WEBENCH® 电源设计器](#) 创建定制设计

2 应用

- 电源模块内的跟踪放大器
- 商用电源
- 传感器放大器
- 桥式放大器
- 温度测量
- 应力计放大器
- 精密积分器
- 电池供电仪器
- 测试设备

3 说明

OPA170、OPA2170 和 OPA4170 器件 (OPAx170) 属于 36V、单电源、低噪声运算放大器系列，该系列放大器采用微型封装，能够在 2.7V ($\pm 1.35V$) 至 36V ($\pm 18V$) 的电源电压范围内运行。它们在保证低静态电流的情况下提供令人满意的偏移、漂移和带宽。单通道、双通道和四通道版本均具有相同的技术规格，可最大程度地提高设计灵活性。

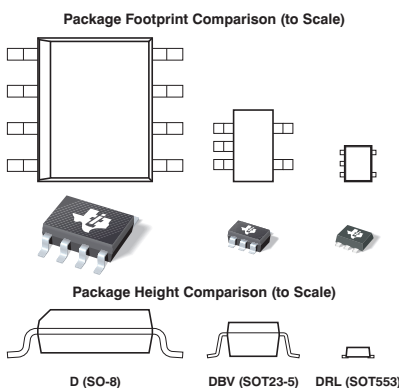
大多数运算放大器仅有一个指定电源电压，OPAx170 系列运算放大器则有所不同，它们可在 2.7V 至 36V 的额定电压范围内运行。超过电源轨的输入信号不会导致相位反转。OPAx170 系列在电容负载高达 300pF 时保持稳定。输入可在负电源轨以下 100mV 以及正电源轨 2V 之内正常运行。请注意，这些器件可在正电源轨之上 100mV 的满轨到轨输入上运行，但是在正电源轨 2V 内运行时，性能会受到影响。OPAx170 运算放大器额定运行温度范围为 -40°C 至 +125°C。

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
OPA170	SOIC (8)	4.90mm x 3.91mm
	SOT (5)	1.60mm x 1.20mm
	SOT-23 (5)	2.90mm x 1.60mm
OPA2170	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm x 3.00mm
	VSSOP (8), 微型封装	2.30mm x 2.00mm
	WSON (8)	2.00mm x 2.00mm
OPA4170	SOIC (14)	8.65mm x 3.91mm
	TSSOP封装(14)	5.00 mm x 4.40 mm

(1) 要了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

36V 运算放大器的最小封装



目录

1	特性	1	8.4	器件功能模式	22
2	应用	1	9	应用和实现	23
3	说明	1	9.1	应用信息	23
4	修订历史记录	2	9.2	典型应用	23
5	器件比较表	3	10	电源相关建议	26
6	引脚配置和功能	4	11	布局	26
7	规格	7	11.1	布局指南	26
7.1	绝对最大额定值	7	11.2	布局示例	26
7.2	ESD 额定值	7	12	器件和文档支持	28
7.3	建议运行条件	7	12.1	器件支持	28
7.4	热性能信息: OPA170	8	12.2	Documentation Support	29
7.5	热性能信息: OPA2170	8	12.3	相关链接	29
7.6	热性能信息: OPA4170	8	12.4	Receiving Notification of Documentation Updates	29
7.7	电气特性	9	12.5	Community Resources	29
7.8	典型特性	11	12.6	商标	30
8	详细 说明	18	12.7	静电放电警告	30
8.1	概述	18	12.8	Glossary	30
8.2	功能框图	18	13	机械、封装和可订购信息	30
8.3	特性 说明	18			

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision C (March 2016) to Revision D	Page
• 已添加 WEBENCH 链接和章节以及接收文档更新通知	1
• 已添加 8 引脚 DSG (WSON) 封装	1
• 已更改 将“与典型电路应用相关的等效内部 ESD 电路”中的值从 250Ω 更改成了 2.5Ω	20

Changes from Revision B (September 2012) to Revision C	Page
• 已添加 将当前封装符号添加到特性列表和说明部分的最后一段	1
• 已添加 引脚功能表、 ESD 额定值表、建议运行条件表、详细 说明 部分、应用和实现 部分、电源建议 部分、布局 部分、器件和文档支持 部分以及机械、封装和可订购信息 部分	1

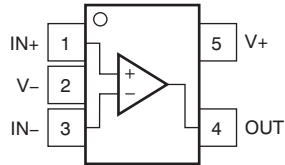
Changes from Revision A (September 2011) to Revision B	Page
• 已添加 向文档标题中添加了“超值系列”	1

5 器件比较表

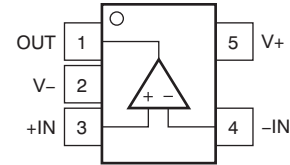
器件	通道数量	封装-引线						
		SOT	SOT23-5	D	DSG	VSSOP	VSSOP (微型封装)	TSSOP
OPA170	1	5	5	8	—	—	—	—
OPA2170	2	—	—	8	8	8	8	—
OPA4170	4	—	—	14	—	—	—	14

6 引脚配置和功能

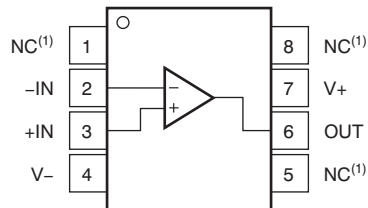
OPA170: DRL 封装
5 引脚 SOT
俯视图



OPA170: DBV 封装
5 引脚 SOT-23
俯视图



OPA170: D 封装
8 引脚 SOIC
俯视图

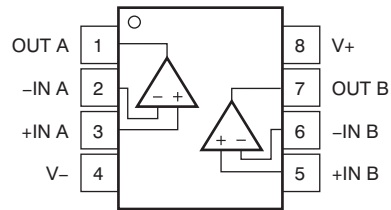


引脚功能: OPA170

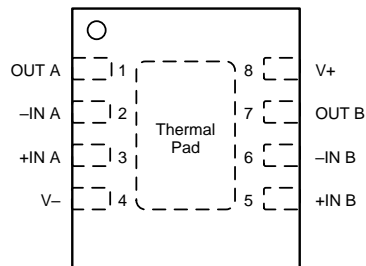
名称	引脚			I/O	说明
	SOT	SOT-23	D		
IN- (-IN)	3	4	2	I	负 (反相) 输入
IN+ (+IN)	1	3	3	I	正 (同相) 输入
NC ⁽¹⁾	—	—	1、5、8	—	没有与内部电路连接 (可以悬空)
OUT	4	1	6	O	输出
V+	5	5	7	—	正电源 (最高)
V-	2	2	4	—	负电源 (最低)

(1) NC 表示无内部连接。

OPA2170: D、DGK 和 DCU 封装
8 引脚 VSSOP、SOIC 和 VSSOP (微型封装)
 俯视图

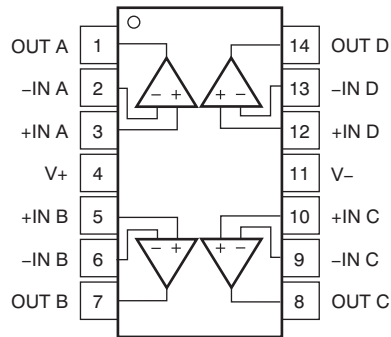


OPA2170: DSG 封装
8 引脚晶圆级小外形无引线 (WSON)
 俯视图



引脚功能: OPA2170

名称	引脚				I/O	说明
	SOIC	VSSOP	VSSOP (微型封装)	WSON		
-IN A	2	2	2	2	I	反相输入, 通道 A
-IN B	6	6	6	6	I	反相输入, 通道 B
+IN A	3	3	3	3	I	同相输入, 通道 A
+IN B	5	5	5	5	I	同相输入, 通道 B
OUT A	1	1	1	1	O	输出, 通道 A
OUT B	7	7	7	7	O	输出, 通道 B
V-	4	4	4	4	—	负电源 (最低)
V+	8	8	8	8	—	正电源 (最高)

**OPA4170: D 和 PW 封装
14 引脚 SOIC 和 TSSOP
俯视图**

引脚功能: OPA4170

名称	引脚		I/O	说明
	SOIC	TSSOP		
-IN A	2	2	I	反相输入, 通道 A
-IN B	6	6	I	反相输入, 通道 B
-IN C	9	9	I	反相输入, 通道 C
-IN D	13	13	I	反相输入, 通道 D
+IN A	3	3	I	同相输入, 通道 A
+IN B	5	5	I	同相输入, 通道 B
+IN C	10	10	I	同相输入, 通道 C
+IN D	12	12	I	同相输入, 通道 D
OUT A	1	1	O	输出, 通道 A
OUT B	7	7	O	输出, 通道 B
OUT C	8	8	O	输出, 通道 C
OUT D	14	14	O	输出, 通道 D
V-	11	11	—	负电源 (最低)
V+	4	4	—	正电源 (最高)

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得，除非另有说明。⁽¹⁾

	最小值	最大值	单位
电源电压	-20	20	V
单电源电压		40	V
信号输入引脚 电压	(V-) - 0.5	(V+) + 0.5	V
信号输入引脚 电流	-10	10	mA
输出短路电流 ⁽²⁾	持续		
运行环境温度, T _A	-55	150	°C
结温, T _J		150	°C
贮存温度, T _{stg}	-65	150	°C

(1) 应力超出“绝对最大额定值”下列出的值有可能会对器件造成永久损坏。这些列出的值仅仅是极端条件下的应力额定值，并不表示器件在这些条件下以及在 [建议运行条件](#) 以外的任何其他条件下能够正常运行。长时间处于最大绝对额定情况下可能会影响器件的可靠性。

(2) 对地短路，每个封装对应一个放大器。

7.2 ESD 额定值

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±4000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±750	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

7.3 建议运行条件

在自然通风温度范围内测得 (除非另有说明)

	最小值	最大值	单位
V _S 电源电压 (V+ - V-)	2.7	36	V
T _A 工作温度	-40	125	°C

7.4 热性能信息：OPA170

热度量 ⁽¹⁾	OPA170			单位
	D (SOIC)	DBV (SOT-23)	DRL (SOT)	
	8 引脚	5 引脚	5 引脚	
R _{θJA} 结至环境热阻	149.5	245.8	208.1	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	97.9	133.9	0.1	°C/W
R _{θJB} 结至电路板热阻	87.7	83.6	42.4	°C/W
Ψ _{JT} 结至顶部的特征参数	35.5	18.2	0.5	°C/W
Ψ _{JB} 结至电路板的特征参数	89.5	83.1	42.2	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	—	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

7.5 热性能信息：OPA2170

热度量 ⁽¹⁾	OPA2170				单位
	D (SOIC)	DCU (VSSOP 微型封装)	DGK (VSSOP)	DSG (WSON)	
	8 引脚	8 引脚	8 引脚	8 引脚	
R _{θJA} 结至环境热阻	134.3	175.2	180	71.5	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	72.1	74.9	55	89.1	°C/W
R _{θJB} 结至电路板热阻	60.6	22.2	130	38.8	°C/W
Ψ _{JT} 结至顶部的特征参数	18.2	1.6	5.3	3.8	°C/W
Ψ _{JB} 结至电路板的特征参数	53.8	22.8	120	38.9	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	—	—	—	13	°C/W

(1) 有关新旧热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

7.6 热性能信息：OPA4170

热度量 ⁽¹⁾	OPA4170		单位
	D (SOIC)	PW (TSSOP)	
	14 引脚	14 引脚	
R _{θJA} 结至环境热阻	93.2	106.9	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	51.8	24.4	°C/W
R _{θJB} 结至电路板热阻	49.4	59.3	°C/W
Ψ _{JT} 结至顶部的特征参数	13.5	0.6	°C/W
Ψ _{JB} 结至电路板的特征参数	42.2	54.3	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

7.7 电气特性

在 $T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} = V_S/2$, $R_L = 10\text{k}\Omega$ 且连接至 $V_S/2$ 的条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
失调电压					
V_{OS} 输入失调电压	$T_A = 25^\circ\text{C}$		0.25	± 1.8	mV
	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			± 2	mV
dV_{OS}/dT 输入失调电压漂移	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		± 0.3	± 2	$\mu\text{V}/^\circ\text{C}$
PSRR 输入失调电压与电源电压间的关系	$V_S = 4\text{V}$ 至 36V , $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		1	± 5	$\mu\text{V}/\text{V}$
通道分离, 直流			5		$\mu\text{V}/\text{V}$
输入偏置电流					
I_B 输入偏置电流	$T_A = 25^\circ\text{C}$		± 8	± 15	pA
	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			± 3.5	nA
I_{OS} 输入失调电流	$T_A = 25^\circ\text{C}$		± 4	± 15	pA
	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			± 3.5	nA
噪声					
输入电压噪声	$f = 0.1\text{Hz}$ 至 10Hz		2		μV_{PP}
e_n 输入电压噪声密度	$f = 100\text{Hz}$		22		$\text{nV}/\sqrt{\text{Hz}}$
	$f = 1\text{kHz}$		19		$\text{nV}/\sqrt{\text{Hz}}$
输入电压					
V_{CM} 共模电压范围 ⁽¹⁾		$(V-) - 0.1$		$(V+) - 2$	V
CMRR 共模抑制比	$V_S = \pm 2\text{V}$, $(V-) - 0.1\text{V} < V_{CM} < (V+) - 2\text{V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	90	104		dB
	$V_S = \pm 18\text{V}$, $(V-) - 0.1\text{V} < V_{CM} < (V+) - 2\text{V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	104	120		dB
输入阻抗					
差模			$100 \parallel 3$		$\text{M}\Omega \parallel \text{pF}$
共模			$6 \parallel 3$		$10^{12}\Omega \parallel \text{pF}$
开环增益					
A_{OL} 开环电压增益	$V_S = 4\text{V}$ 至 36V , $(V-) + 0.35\text{V} < V_O < (V+) - 0.35\text{V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	110	130		dB
频率响应					
GBP 增益带宽积			1.2		MHz
SR 压摆率	$G = +1$		0.4		$\text{V}/\mu\text{s}$
t_s 建立时间	到 0.1%, $V_S = \pm 18\text{V}$, $G = +1$, 10V 阶跃		20		μs
	到 0.01% (12 位), $V_S = \pm 18\text{V}$, $G = +1$, 10V 阶跃		28		μs
过载恢复时间	$V_{IN} \times \text{增益} > V_S$		2		μs
THD+N 总谐波失真 + 噪声	$G = +1$, $f = 1\text{kHz}$, $V_O = 3 V_{RMS}$		0.0002%		

(1) 输入范围可超出 $(V+) - 2\text{V}$, 最高为 $V+$ 。请参阅**典型特性**和**应用和实现**部分, 了解更多信息。

电气特性 (continued)

 在 $T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} = V_S/2$, $R_L = 10\text{k}\Omega$ 且连接至 $V_S/2$ 的条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位	
输出						
V_O	相对于正电源轨的电压输出摆幅	$I_L = 0\text{mA}$, $V_S = 4\text{V}$ 至 36V	10		mV	
		I_L 拉电流 1mA , $V_S = 4\text{V}$ 至 36V	115		mV	
V_O	相对于负电源轨的电压输出摆幅	$I_L = 0\text{mA}$, $V_S = 4\text{V}$ 至 36V		8 个	mV	
		I_L 灌电流 1mA , $V_S = 4\text{V}$ 至 36V		70	mV	
V_O	相对于电源轨的电压输出摆幅	$V_S = 5\text{V}$, $R_L = 10\text{k}\Omega$; $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	(V-) + 0.03		(V+) - 0.05	V
		$R_L = 10\text{k}\Omega$, $A_{OL} \geq 110\text{dB}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	(V-) + 0.35		(V+) - 0.35	V
I_{SC}	短路电流		-20	17	mA	
C_{LOAD}	容性负载驱动		请参阅 典型特性		pF	
R_O	开环输出电阻	$f = 1\text{MHz}$, $I_O = 0\text{A}$	900		Ω	
电源						
V_S	额定电压范围		2.7	36	V	
I_Q	每个放大器的静态电流	$I_O = 0\text{A}$; $T_A = 25^\circ\text{C}$		110	145	μA
		$I_O = 0\text{A}$; $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			155	μA
温度						
	额定温度范围		-40	125	$^\circ\text{C}$	
	工作温度范围		-55	150	$^\circ\text{C}$	

7.8 典型特性

$V_S = \pm 18V$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10k\Omega$ 与 $V_S / 2$ 相连, $C_L = 100pF$, 除非另外注明。

表 1. 特征性能测量

说明	图表
失调电压分布	图 1
失调电压漂移分布	图 2
失调电压与温度间的关系	图 3
失调电压与共模电压间的关系	图 4
失调电压与共模电压间的关系 (前级)	图 5
失调电压与电源间的关系	图 6
I_B 和 I_{OS} 与共模电压间的关系	图 7
输入偏置电流与温度间的关系	图 8
输出电压摆幅与输出电流间的关系 (最大电源电压)	图 9
CMRR 和 PSRR 与频率间的关系 (以输入为基准)	图 10
CMRR 与温度间的关系	图 11
PSRR 与温度间的关系	图 12
0.1Hz 至 10Hz 噪声	图 13
输入电压噪声频谱密度与频率间的关系	图 14
THD+N 比与频率间的关系	图 15
THD+N 与输出摆幅间的关系	图 16
静态电流与温度间的关系	图 17
静态电流与电源电压间的关系	图 18
开环增益和相位与频率间的关系	图 19
闭环增益与频率间的关系	图 20
开环增益与温度间的关系	图 21
开环输出阻抗与频率间的关系	图 22
小信号过冲与容性负载间的关系 (100mV 输出阶跃)	图 23, 图 24
无相位反转	图 25
正过载恢复	图 26
负过载恢复	图 27
小信号阶跃响应 (100mV)	图 28, 图 29
大信号阶跃响应	图 30, 图 31
大信号建立时间 (10V 正阶跃)	图 32
大信号建立时间 (10V 负阶跃)	图 33
短路电流与温度间的关系	图 34
最大输出电压与频率间的关系	图 35
EMIRR IN+ 与频率间的关系	图 36

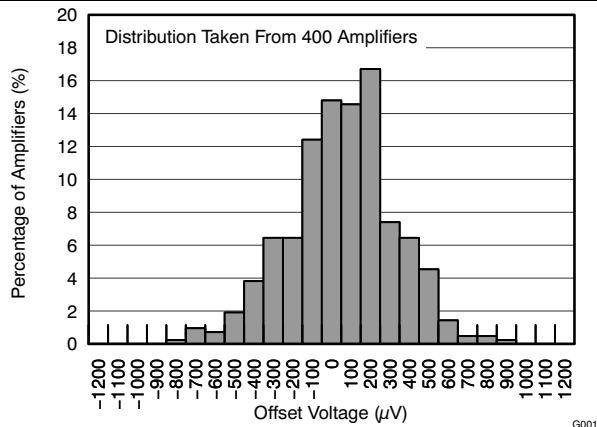


图 1. 失调电压分布

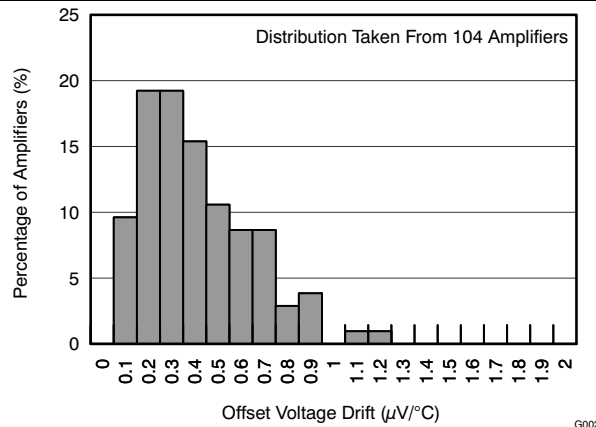


图 2. 失调电压漂移分布

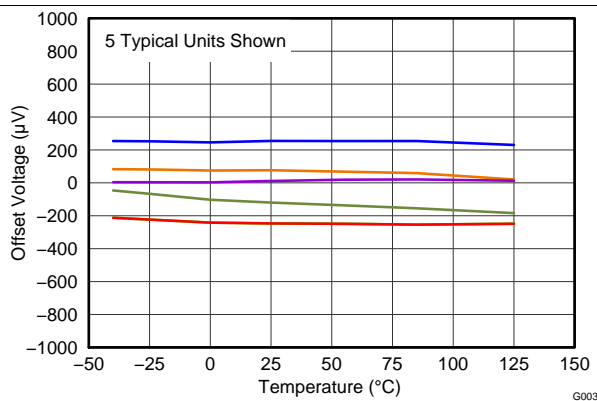


图 3. 失调电压与温度间的关系

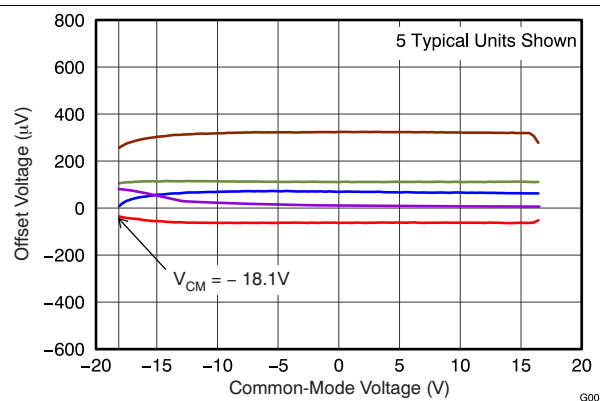


图 4. 失调电压与共模电压间的关系

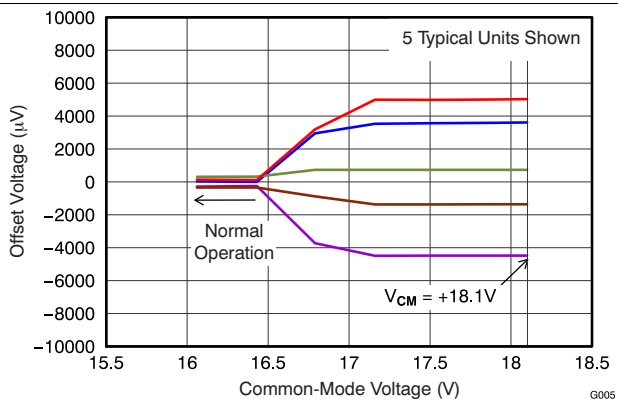


图 5. 失调电压与共模电压间的关系 (前级)

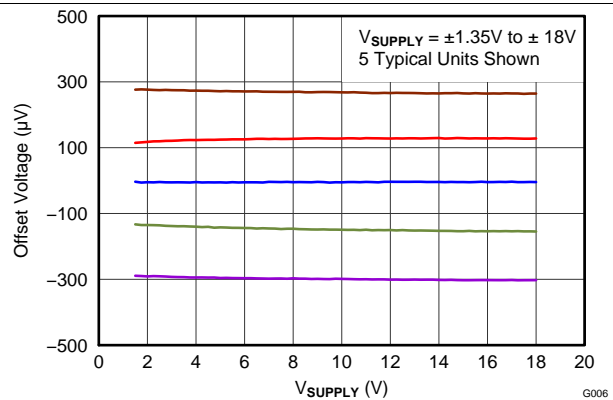


图 6. 失调电压与电源间的关系

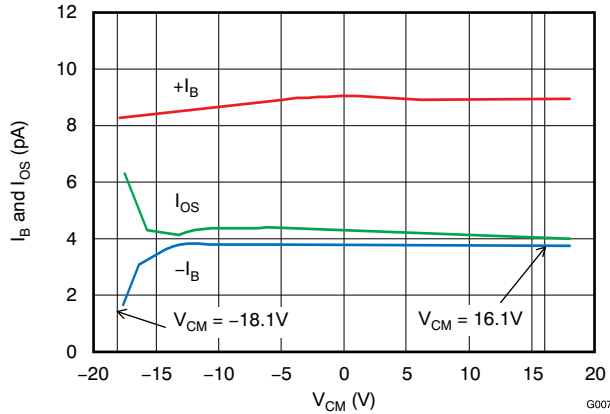


图 7. I_B 和 I_{OS} 与共模电压间的关系

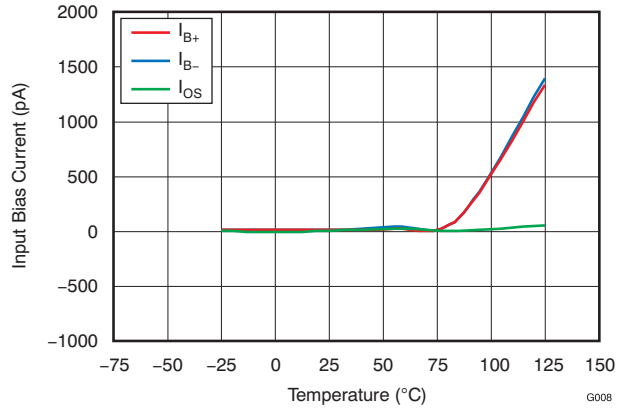


图 8. 输入偏置电流与温度间的关系

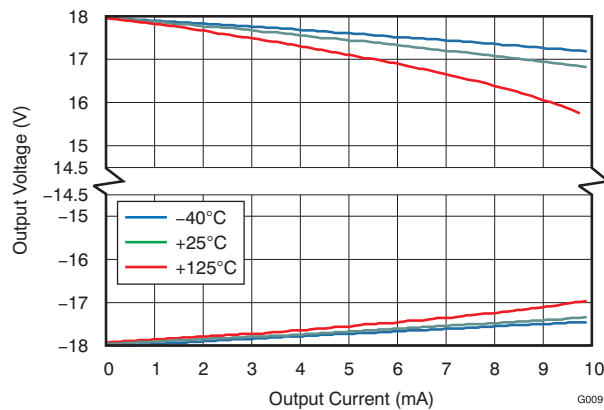


图 9. 输出电压摆幅与输出电流间的关系 (最大电源电压)

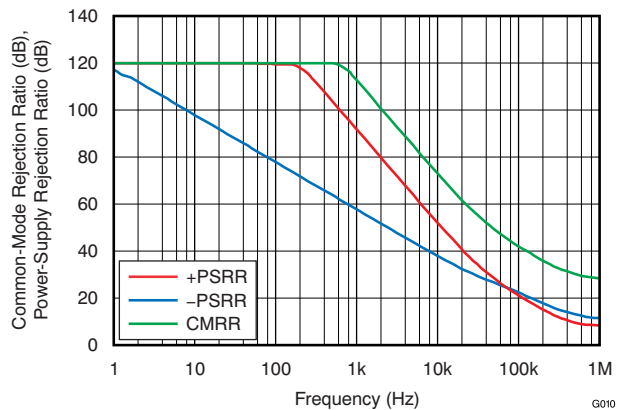


图 10. CMRR 和 PSRR 与频率间的关系 (以输入为基准)

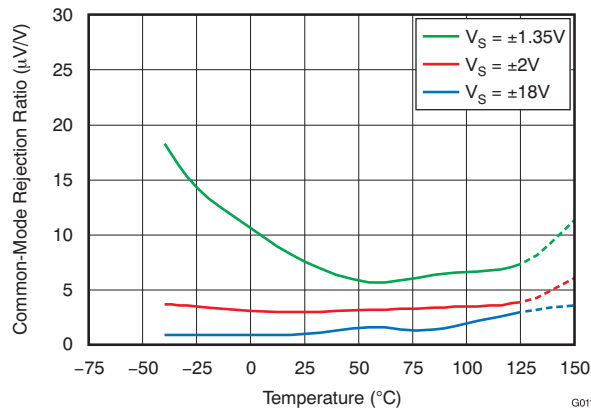


图 11. CMRR 与温度间的关系

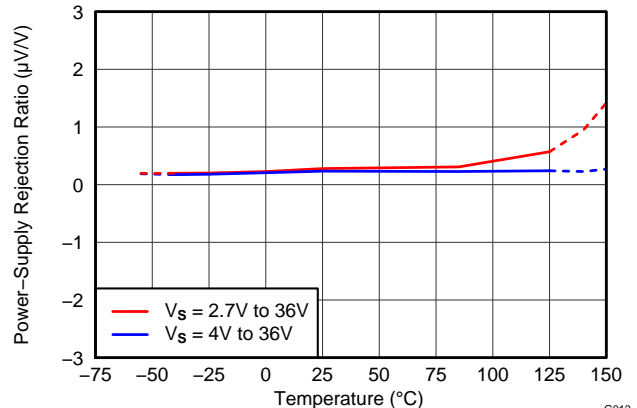


图 12. PSRR 与温度间的关系

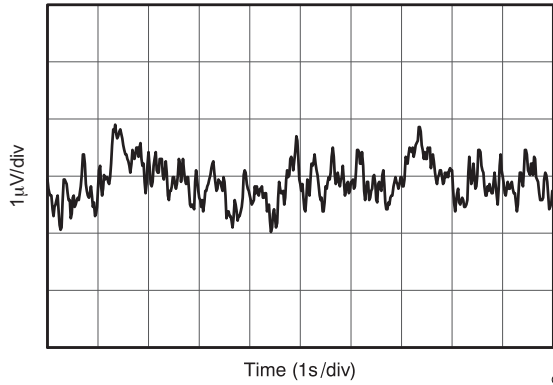


图 13. 0.1Hz 至 10Hz 噪声

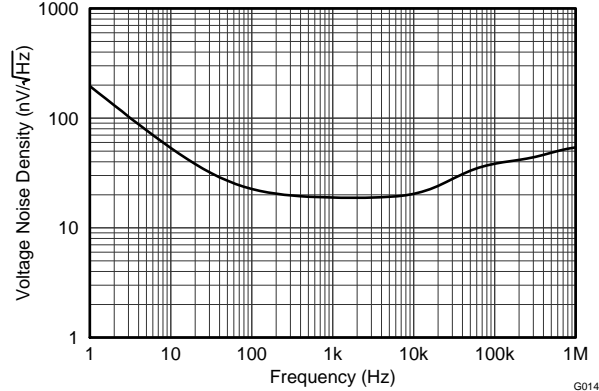


图 14. 输入电压噪声频谱密度与频率间的关系

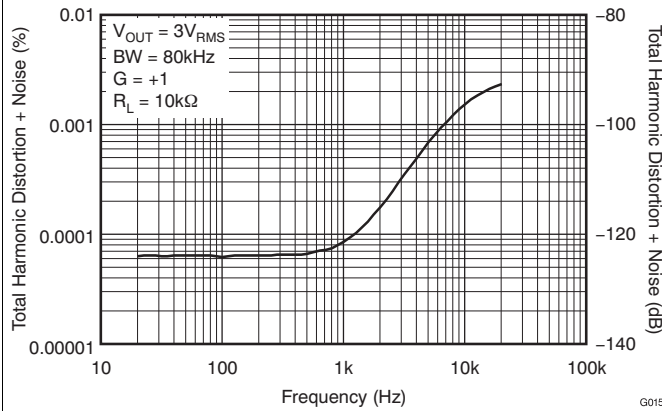


图 15. THD+N 比与频率间的关系

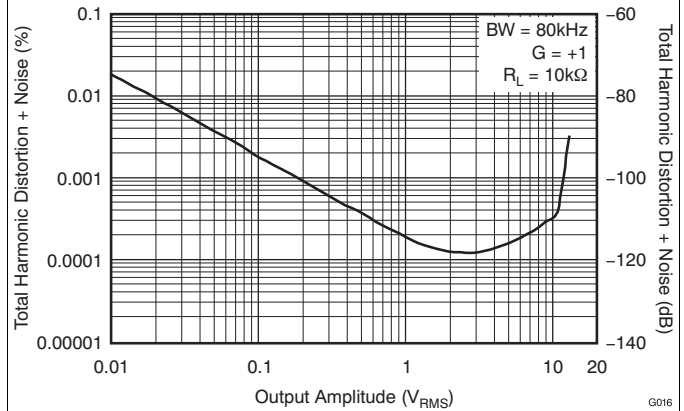


图 16. THD+N 与输出摆幅间的关系

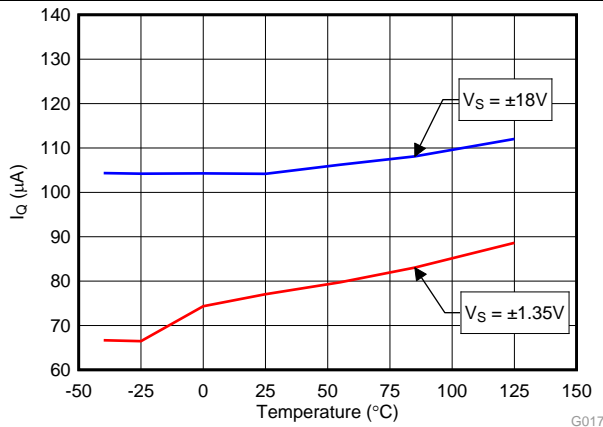


图 17. 静态电流与温度间的关系

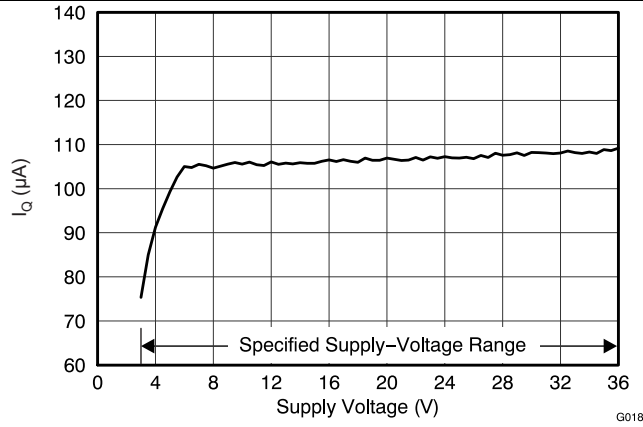


图 18. 静态电流与电源电压间的关系

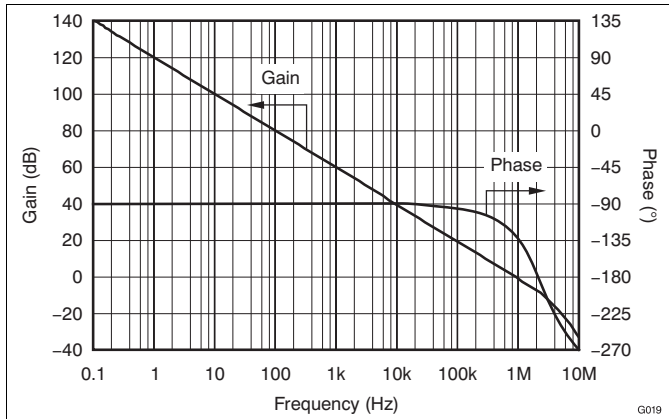


图 19. 开环增益和相位与频率间的关系

G019

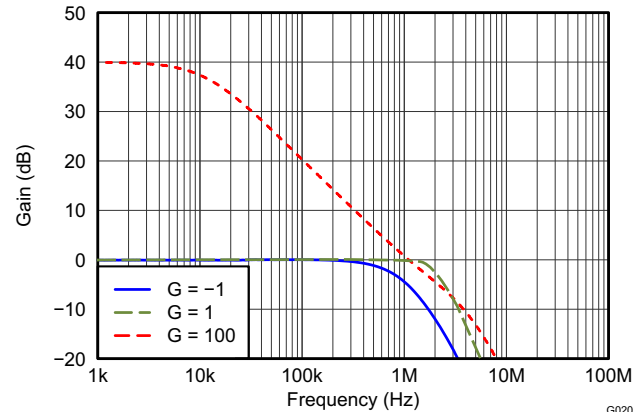


图 20. 闭环增益与频率间的关系

G020

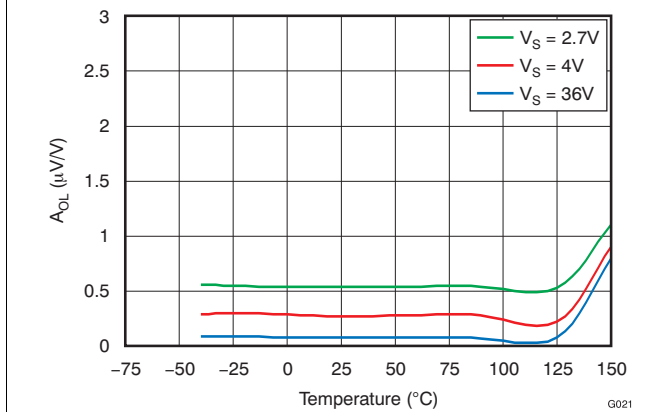


图 21. 开环增益与温度间的关系

G021

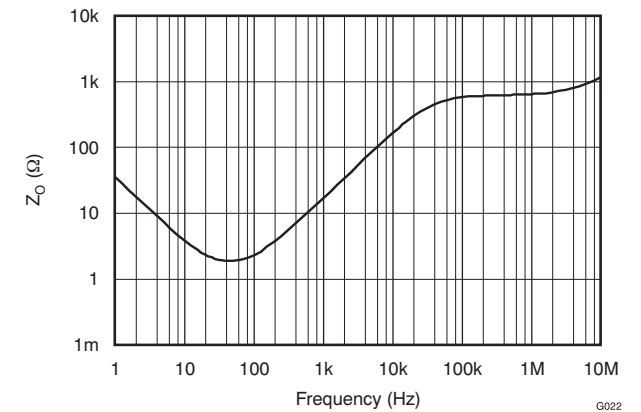


图 22. 开环输出阻抗与频率间的关系

G022

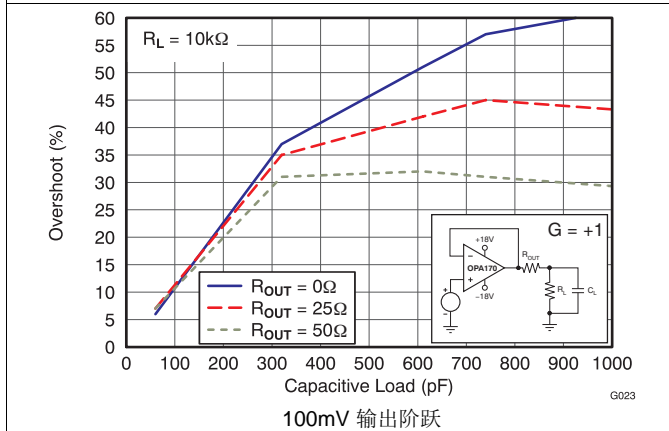


图 23. 小信号过冲与容性负载间的关系

G023

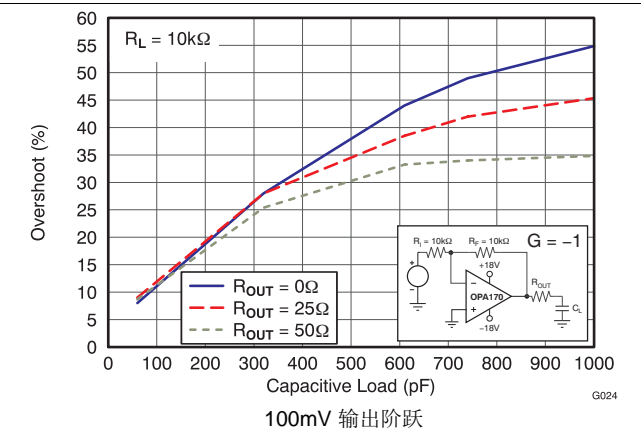


图 24. 小信号过冲与容性负载间的关系

G024

OPA170, OPA2170, OPA4170

ZHCS122D – AUGUST 2011 – REVISED OCTOBER 2017

www.ti.com.cn

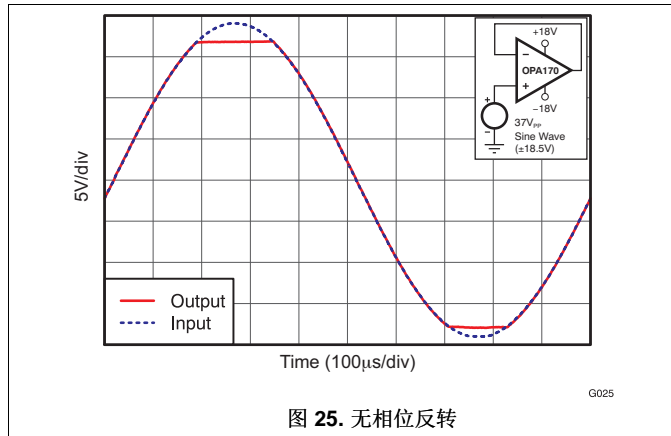


图 25. 无相位反转

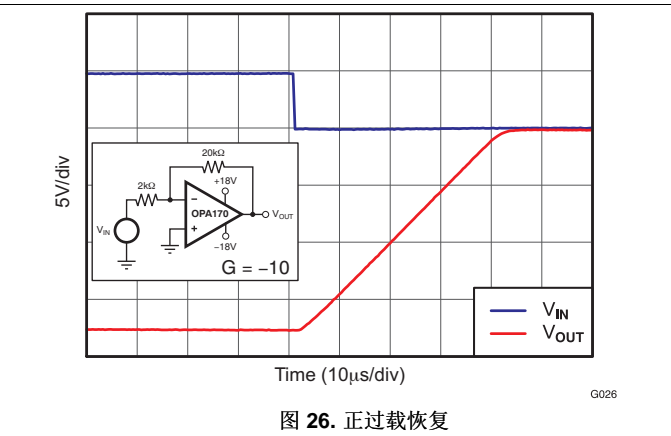


图 26. 正过载恢复

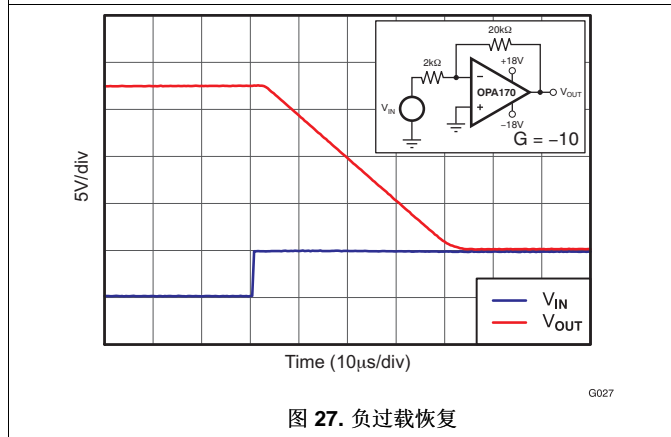


图 27. 负过载恢复

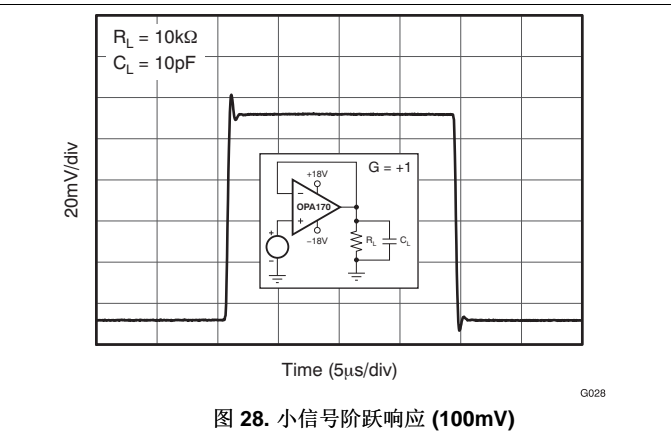


图 28. 小信号阶跃响应 (100mV)

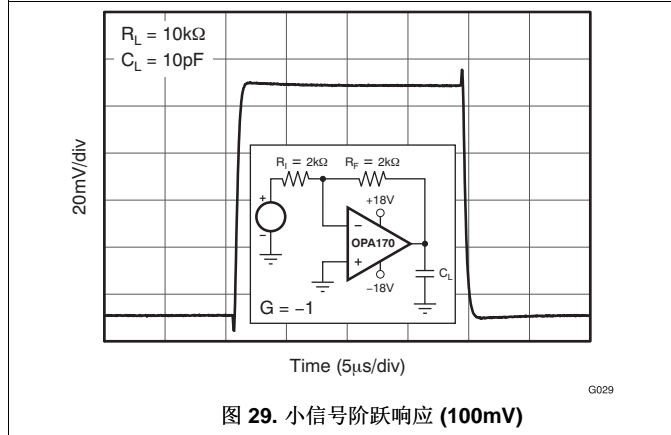


图 29. 小信号阶跃响应 (100mV)

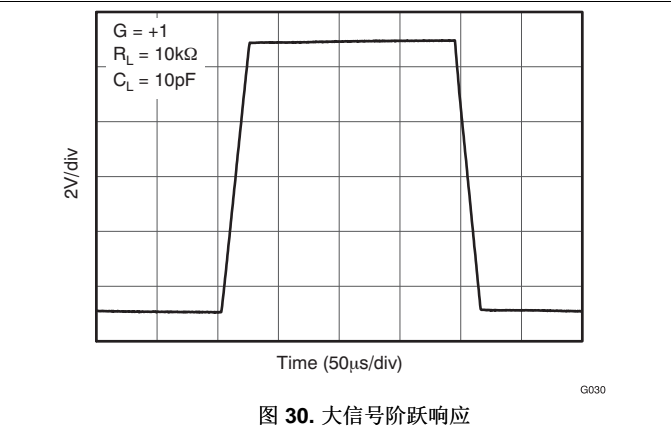


图 30. 大信号阶跃响应

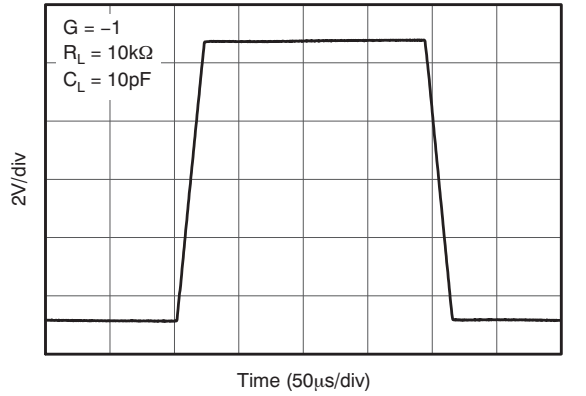


图 31. 大信号阶跃响应

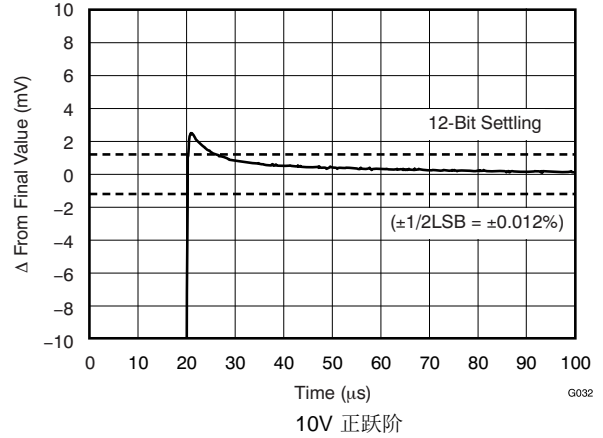


图 32. 大信号建立时间

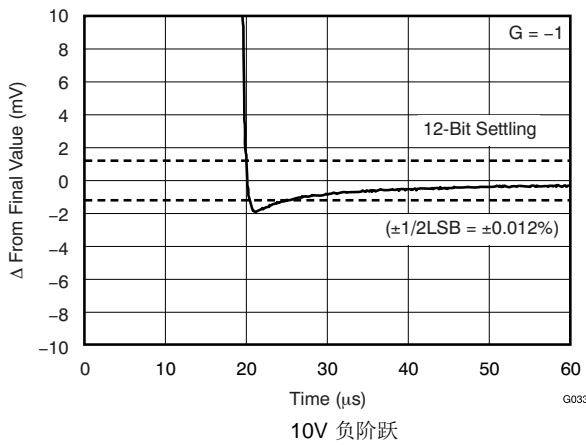


图 33. 大信号建立时间

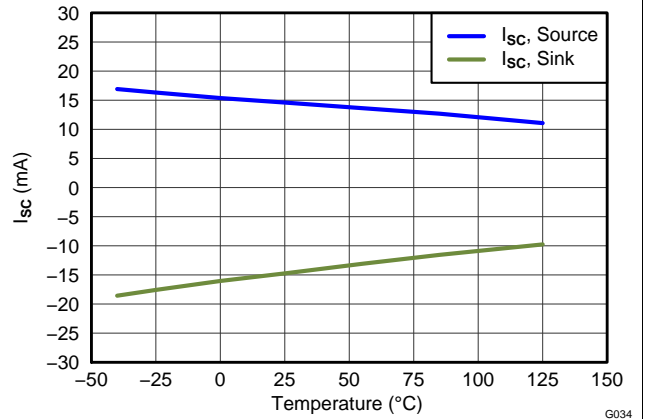


图 34. 短路电流与温度间的关系

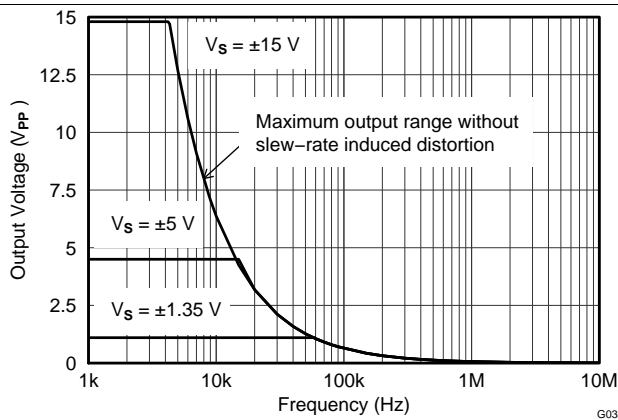


图 35. 最大输出电压与频率间的关系

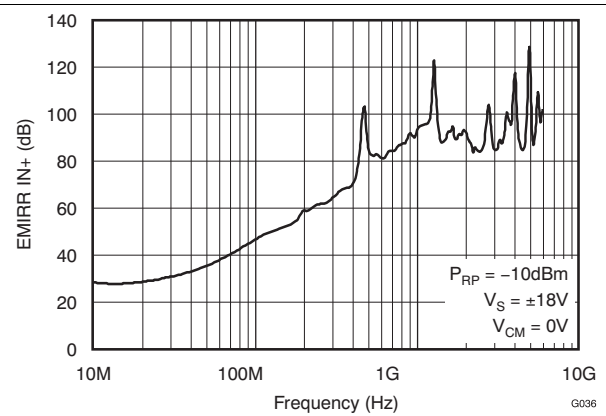


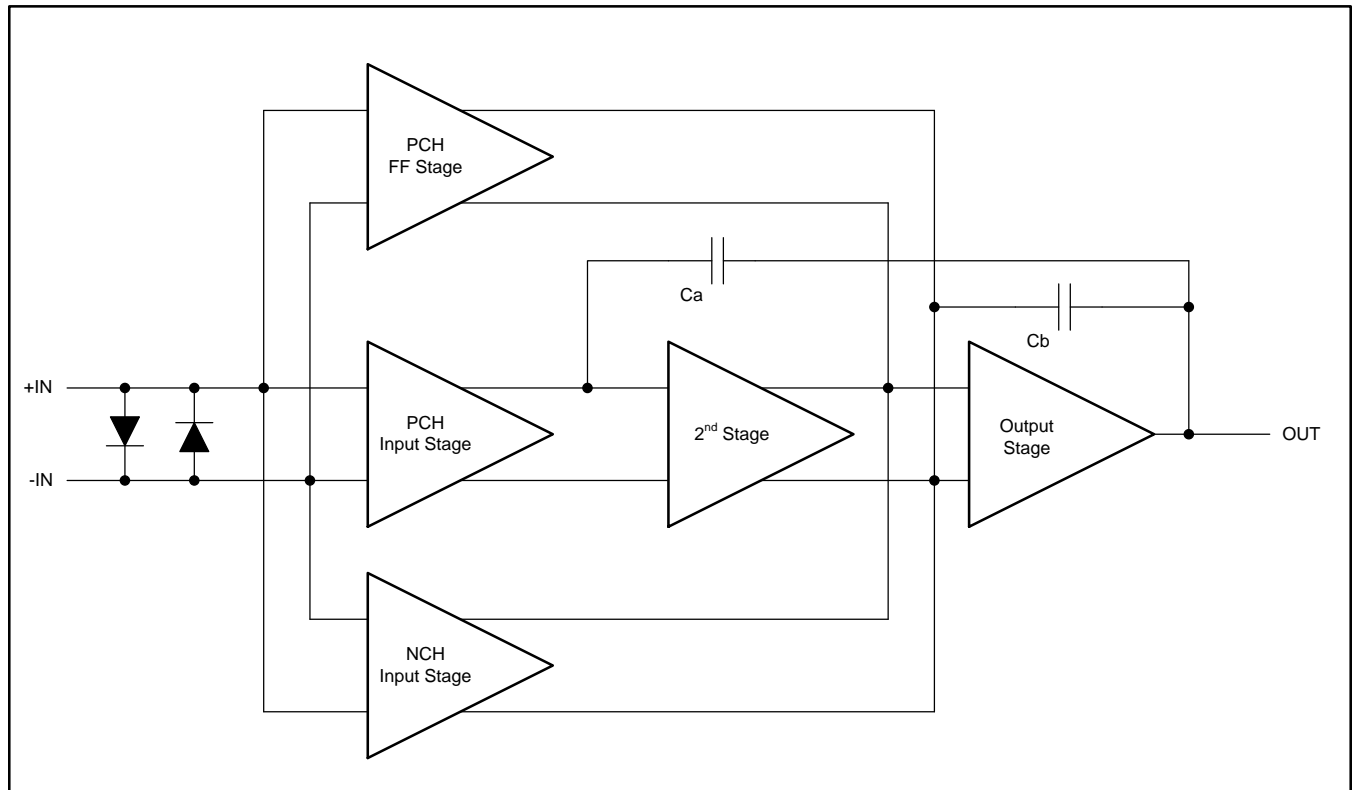
图 36. EMIRR IN+ 与频率间的关系

8 详细 说明

8.1 概述

OPAx170 系列运算放大器拥有较高的总体性能，是多种通用 应用的理想之选。仅为 $2\mu\text{V}/^\circ\text{C}$ 的出色温漂，可在整个温度范围内提供极佳的稳定性。此外，此器件还具有较高 CMRR，PSRR 和 A_{OL} 等极佳总体性能。

8.2 功能框图



8.3 特性 说明

8.3.1 工作特性

OPAx170 系列放大器的额定运行电压范围为 2.7V 与 36V ($\pm 1.35\text{V}$ 至 $\pm 18\text{V}$)。多数规格可在 -40°C 至 $+125^\circ\text{C}$ 的温度范围内适用。[典型特性](#) 中提供了多个参数，它们会随着工作电压和温度的变化而发生显著变化。

特性 说明 (接下页)

8.3.2 相位反转保护

OPAx170 系列器件有一个内部相位反转保护。当输入驱动超出线性共模范围时，多数运算放大器会发生相位反转。这个情况经常出现在输入被驱动至超过额定共模电压范围的时候，从而导致输出反向进入相对电源轨。OPAx170 的输入用额外的共模电压来防止相位反转。或者，输出限制至适当的电源轨。图 37 显示了这个特性。

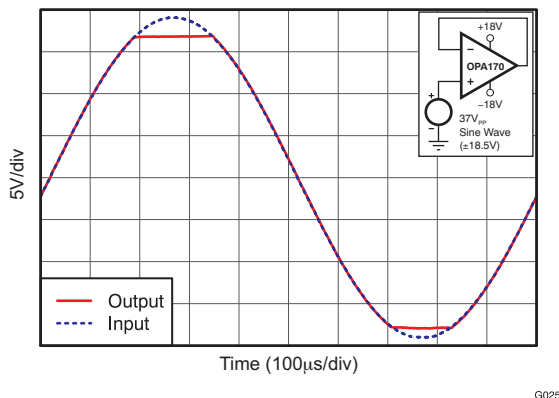
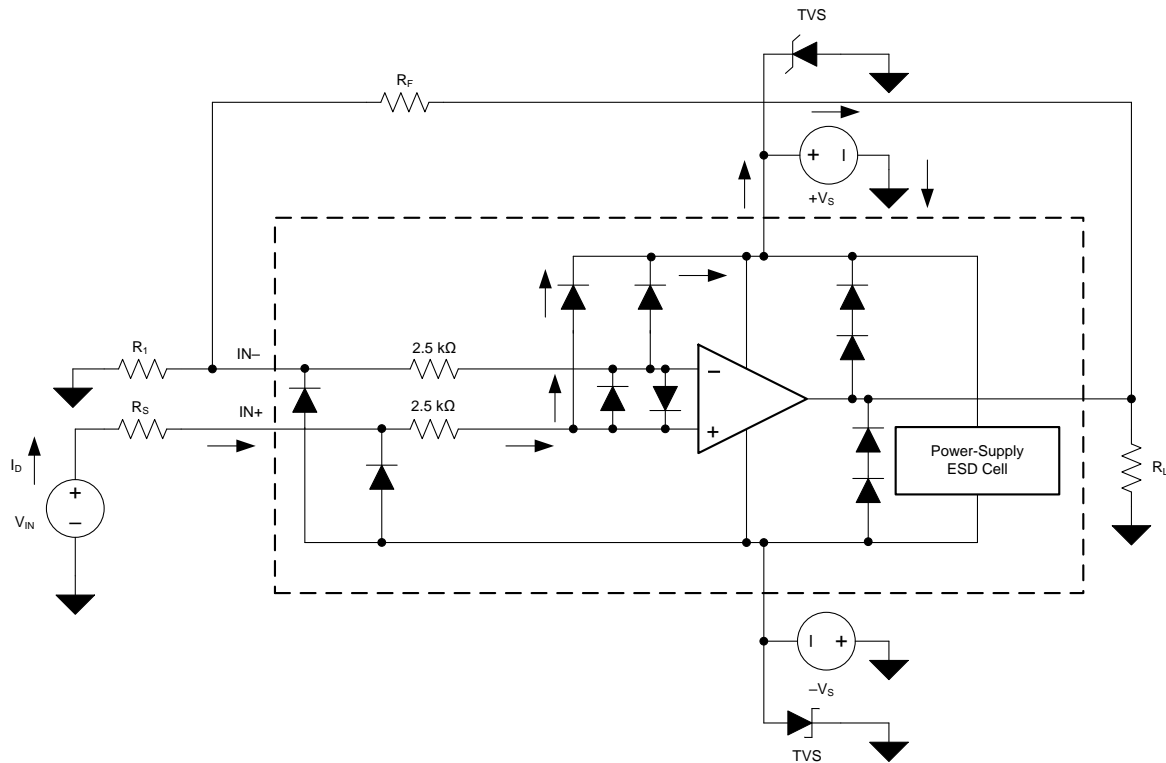


图 37. 无相位反转

8.3.3 电气过载

设计人员经常会问到关于运算放大器承受电气过载能力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同的引脚功能均具有由特定半导体制造工艺和连接到引脚的特定电路的电压击穿特性决定的电应力限制。此外，这些电路有内置的内部静电放电 (ESD) 保护来在产品组装之前和组装过程中保护此电路不受意外的 ESD 事件的影响。

充分了解 ESD 基本电路及其与电气过载事件的关联性会有所帮助。图 38 展示了 OPAx170 中包含的 ESD 电路（虚线区域所示）。ESD 保护电路涉及多个电流驱动二极管。这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器的内部吸收器件。该保护电路在电路正常工作时处于未激活状态。

特性说明 (接下页)

图 38. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路可围绕运算放大器核心提供电流路径，防止对核心造成损坏。保护电路吸收的能量将以热量形式耗散。

当 ESD 电压作用于两个或多个放大器引脚时，电流将流经一个或多个驱动二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发器或阈值电压，该电压高于 OPAx170 的正常工作电压，但低于器件击穿电压。超出该阈值后，吸收器件会迅速激活并将电源轨上的电压钳制在安全的水平。

当运算放大器接入到电路时（参见图 38），ESD 保护组件将保持未激活状态且不会接入应用电路的运行。然而，如果施加的电压超出某个特定引脚的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经驱动二极管路径，但很少涉及吸收器件。

图 38 给出了一个具体示例，其中输入电压 (V_{IN}) 高于正电源电压 ($V+$) 500mV 甚至更多。电路中将发生的大多数情况取决于电源特性。如果 $V+$ 能够吸收电流，那么上面的一个输入导向二极管就会导通，并将电流传导至 $V+$ 。越来越高的 V_{IN} 会带来过高的电流。因此，本数据表的规格建议应用将输入电流限制为 10mA。

如果电源无法吸收电流， V_{IN} 就会将电流拉至运算放大器，然后将其用作正电源。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，当电源 ($V+$ 或 $V-$) 为 0V 时，如果向输入施加输入信号，放大器会发生什么情况。同样，具体结果取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，输入源通过导流二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源引脚处外接齐纳二极管；请参阅图 38。选择齐纳电压可确保二极管不会在正常运行过程中导通。但齐纳电压必须足够低，以便齐纳二极管在电源引脚电压超过安全工作电压时导通。

特性 说明 (接下页)

OPAx170 的输入引脚通过背对背二极管获得保护，避免因差分电压过大而受损；请参见 图 38。在大多数电路 应用中，输入保护电路没有任何作用。但在低增益或 $G = 1$ 的电路中，快速斜升的输入信号会导致这些二极管发生正向偏置。原因是放大器输出对于这种输入斜升变化的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 OPAx170 的低噪声性能。图 38 所示为使用限流反馈电阻的示例配置。

8.3.4 容性负载和稳定性

已针对常见工作条件对 OPAx170 的动态特征进行了优化。低闭环增益和高电容负载的组合减少了放大器的相位裕量并可导致增益降低或振荡。因此，高容性负载必须与输出隔离。实现此隔离的最简单方法就是增加一个与输出串联的小电阻器（例如，等于 50Ω 的 R_{OUT} ）。图 39 和 图 40 图示了小信号过冲和电容性负载在不同的 R_{OUT} 值时的关系。同时，请参考专门适用于公告 AB-028 《反馈曲线图定义运算放大器交流性能》了解分析技巧和应用电路的详细信息。

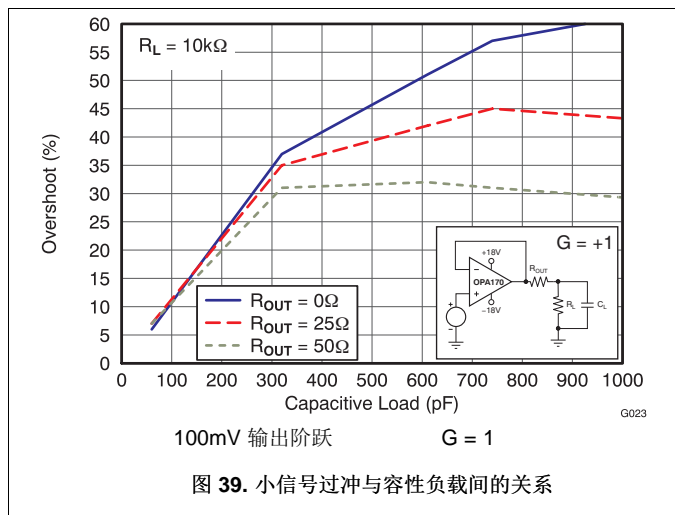


图 39. 小信号过冲与容性负载间的关系

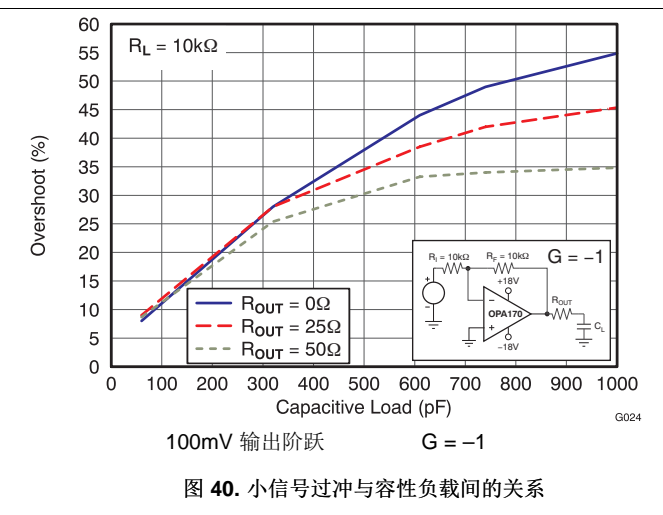


图 40. 小信号过冲与容性负载间的关系

8.4 器件功能模式

8.4.1 共模电压范围

为了实现正常运转，OPAx170 系列的输入共模电压范围向下扩展至低于负电源轨 100mV 并且在正电源轨上下 2V 之内。

该器件可在高于正电源轨电压 100mV 的满轨到轨输入电压下运行，但在正电源轨电压 $\pm 2V$ 下运行时，性能会有所下降。表 2 总结了该范围内的典型性能。

表 2. 共模电压的典型性能为正极 2V 之内。

参数	最小值	典型值	最大值	单位
输入共模电压	(V+)-2		(V+)+0.1	V
失调电压		7		mV
	与温度的关系	12		$\mu V/^{\circ}C$
共模抑制		65		dB
开环增益		60		dB
增益带宽积		0.3		MHz
压摆率		0.3		V/ μs

8.4.2 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和状态后，输出器件中的载流子需要经过一段时间才能恢复正常状态。当载流子恢复至平衡状态后，器件以正常压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。OPAx170 的过载恢复时间约为 2 μs 。

9 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

OPAx170 系列运算放大器可在大量通用 应用中提供较高的总体性能。与所有放大器一样，在采用噪声电源或高阻抗电源的 应用 中，去耦电容器需靠近器件引脚放置。在大多数情况下，0.1 μ F 电容器已足够满足需求。请遵循 [布局指南](#) 部分中的附加建议，以实现该器件的最大性能。许多 应用 可能会将容性负载引入到放大器的输出（可能会导致不稳定）。在这类 应用 中，稳定放大器的一种方法是在放大器输出和容性负载间添加隔离电阻器。[典型应用](#) 中给出了选择此电阻器的设计流程。

9.2 典型应用

此电路可用于驱动电缆屏蔽、基准缓冲器、MOSFET 栅极和二极管等容性负载。此电路使用隔离电阻器 (R_{ISO}) 来稳定运算放大器的输出。 R_{ISO} 修改系统的开环增益以确保电路具有足够的相位裕度。

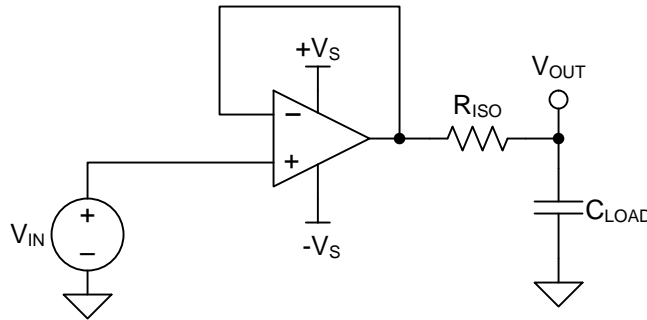


图 41. 具有 R_{ISO} 稳定性补偿的单位增益缓冲器

9.2.1 设计要求

设计要求包括：

- 电源电压：30V (± 15 V)
- 容性负载：100pF、1000pF、0.01 μ F、0.1 μ F 和 1 μ F
- 相位裕度：45° 和 60°

9.2.2 详细设计流程

9.2.2.1 使用 WEBENCH® 工具创建定制设计

[请点击此处](#)，使用 OPAx170 器件并借助 WEBENCH® 电源设计器创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器拨盘优化关键参数设计，如效率、封装和成本。
3. 将生成的设计与德州仪器 (TI) 的其他解决方案进行比较。

WEBENCH 电源设计器可提供定制原理图以及罗列实时价格和组件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案导出至常用 CAD 格式
- 打印设计方案的 PDF 报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com/WEBENCH。

典型应用 (接下页)

9.2.2.2 单位增益缓冲器

图 41 显示了驱动容性负载的单位增益缓冲器。公式 1 显示了图 41 中的电路传递函数。图 41 中未显示运算放大器的开环输出电阻 R_o 。

$$T(s) = \frac{1 + C_{LOAD} \times R_{ISO} \times s}{1 + (R_o + R_{ISO}) \times C_{LOAD} \times s} \tag{1}$$

公式 1 中的传递函数存在极点和零点。极点频率 (f_p) 取决于 $(R_o + R_{ISO})$ 和 C_{LOAD} 。组件 R_{ISO} 和 C_{LOAD} 决定了零点频率 (f_z)。通过选择 R_{ISO} ，可使开环增益 (A_{OL}) 与 $1/\beta$ 间的接近率 (ROC) 达到 20dB/十倍频，从而确保系统稳定性。图 42 对该概念进行了描述。单位增益缓冲器的 $1/\beta$ 曲线为 0dB。

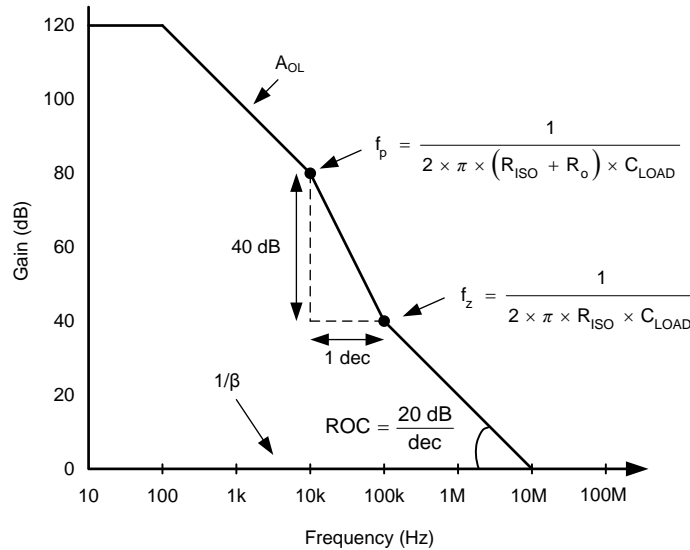


图 42. 具有 R_{ISO} 补偿的单位增益放大器

ROC 稳定性分析通常为模拟结果。分析的有效性取决于多种因素，尤其是准确的 R_o 建模。除模拟 ROC 外，可靠的稳定性分析还包括使用函数生成器、示波器以及增益和相位分析器，对电路的过冲百分比和交流增益峰值进行测量。然后，通过这些测量值计算相位裕度。表 3 显示了与 45° 和 60° 相位裕度对应的过冲百分比和交流增益峰值。有关此设计和可用于代替 OPA170 的其他备选器件的更多详细信息，请参阅精密设计《采用隔离电阻器的容性负载驱动解决方案》。

表 3. 相位裕度与过冲和交流增益峰值间的关系

相位裕度	过冲	交流增益峰值
45°	23.3%	2.35dB
60°	8.8%	0.28dB

9.2.3 应用曲线

使用描述的方法，可确定在不同容性负载下生成 45° 和 60° 相位裕度的 R_{ISO} 值。图 43 中显示了相关结果。

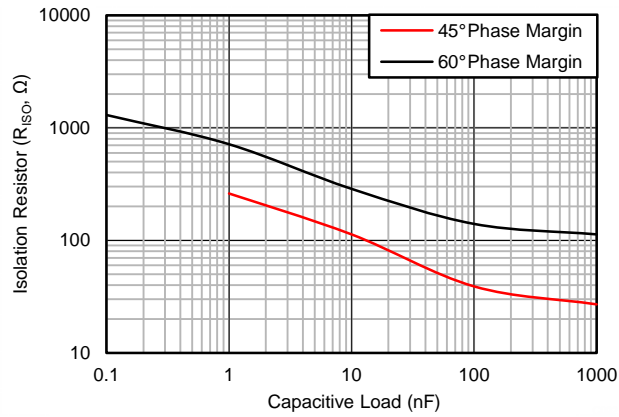


图 43. 不同容性负载实现目标相位裕度所需的隔离电阻器

10 电源相关建议

OPAx170 的额定工作电压范围是 2.7V 至 36V ($\pm 1.35V$ 至 $\pm 18V$)；多数规格可在 -40°C 至 85°C 的温度范围内适用。[典型特性](#) 中提供了多个参数，它们会随着工作电压和温度的变化而发生显著变化。

CAUTION

电源电压超过 40V 就会对器件造成永久损坏，请参见[绝对最大额定值](#)。

将 $0.1\mu\text{F}$ 旁路电容器置于电源引脚附近，提供低阻态回路降低电源从噪声源等耦合来的噪声。有关旁路电容位置的详细信息，请参阅[布局](#)部分。

11 布局

11.1 布局指南

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器自身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR $0.1\mu\text{F}$ 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源应用。
- 将电路中的模拟部分和数字部分单独接地是最为简单有效的噪声抑制方法。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。如欲了解更多详细信息，请参见应用报告 [SLOA089](#) 《电路板布局技巧》。
- 为降低寄生耦合，输入走线应尽量远离电源或输出走线。如果上述走线无法分离，感测走线与噪声走线可优先选择以交叉垂直的方式排布，而非平行布线。
- 外部组件的位置应尽量靠近器件。如图 45 所示，使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

11.2 布局示例

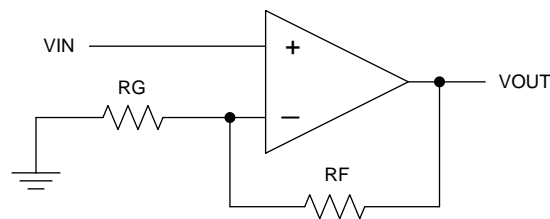
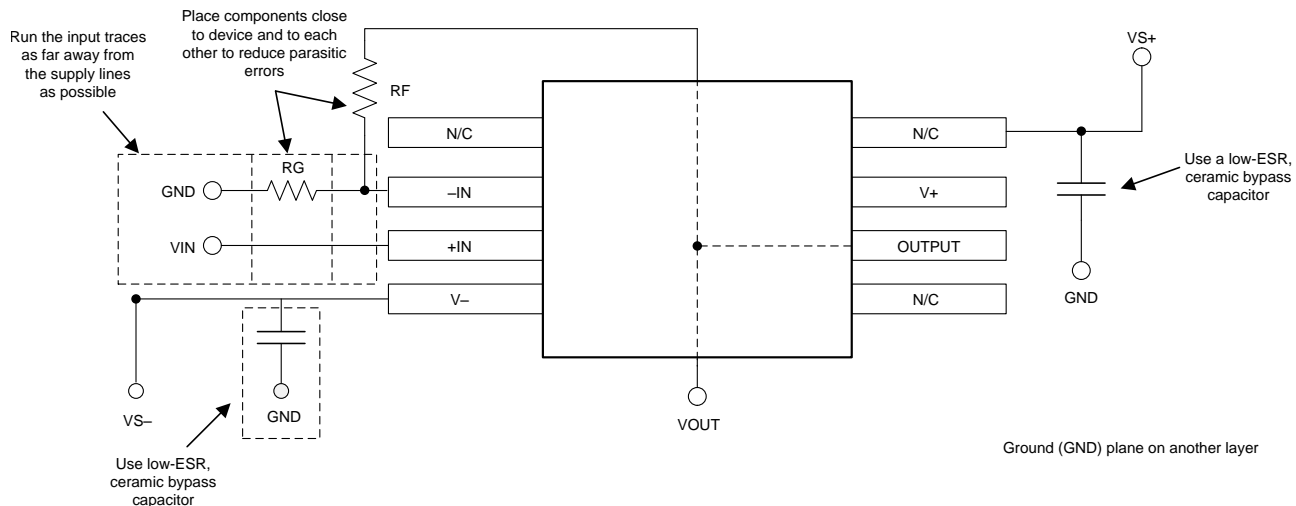


图 44. 原理图表示

布局示例 (接下页)



Copyright © 2017, Texas Instruments Incorporated

图 45. 同相配置的运算放大器电路板布局

12 器件和文档支持

12.1 器件支持

12.1.1 Third-Party Products Disclaimer

TI'S PUBLICATION OF INFORMATION REGARDING THIRD-PARTY PRODUCTS OR SERVICES DOES NOT CONSTITUTE AN ENDORSEMENT REGARDING THE SUITABILITY OF SUCH PRODUCTS OR SERVICES OR A WARRANTY, REPRESENTATION OR ENDORSEMENT OF SUCH PRODUCTS OR SERVICES, EITHER ALONE OR IN COMBINATION WITH ANY TI PRODUCT OR SERVICE.

12.1.2 开发支持

12.1.2.1 TINA-TI™ (免费软件下载)

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。TINA-TI™ 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可从 Analog eLab Design Center (模拟电子实验室设计中心) [免费下载](#)，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件 (由 DesignSoft™提供) 或者 TINA-TI 软件。请从 [TINA-TI 文件夹](#) 中下载免费的 TINA-TI 软件。

12.1.2.2 DIP 适配器 EVM

[DIP 适配器 EVM](#) 工具提供了一种简单而低成本的方式来针对小型表面贴装 IC 进行原型设计。评估工具适用于以下 TI 封装: D 或 U (SOIC-8)、PW (TSSOP-8)、DGK (MSOP-8)、DBV (SOT23-6、SOT23-5 和 SOT23-3)、DCK (SC70-6 和 SC70-5) 和 DRL (SOT563-6)。DIP 适配器 EVM 也可搭配引脚排使用或直接与现有电路相连。

12.1.2.3 通用运算放大器评估模块 (EVM)

[通用运放 EVM](#) 是一系列通用空白电路板，可简化采用各种 IC 封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持 PDIP、SOIC、MSOP、TSSOP 和 SOT23 封装。

注

这些电路板均为空白电路板，用户必须自行提供 IC。TI 建议您在订购通用运放 EVM 时申请几个运放器件样品。

12.1.2.4 TI 高精度设计

TI 高精度设计的模拟设计方案是由 TI 公司高精度模拟实验室设计应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。欲获取 TI 高精度设计，请访问 <http://www.ti.com.cn/ww/analog/precision-designs/>。

器件支持 (接下页)

12.1.2.5 WEBENCH®滤波器设计器

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。WEBENCH Filter Designer 通过选择 TI 运算放大器以及 TI 供应商合作伙伴的无源组件来构建优化滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 **WEBENCH® Filter Designer**。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

12.1.2.6 使用 WEBENCH® 工具创建定制设计

请单击[此处](#)，使用 OPAx170 器件并借助 WEBENCH® 电源设计器创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器拨盘优化关键参数设计，如效率、封装和成本。
3. 将生成的设计与德州仪器 (TI) 的其他解决方案进行比较。

WEBENCH 电源设计器可提供定制原理图以及罗列实时价格和组件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案导出至常用 CAD 格式
- 打印设计方案的 PDF 报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com/WEBENCH。

12.2 Documentation Support

12.2.1 Related Documentation

相关文档如下（下载网站 www.ti.com.cn）：

- 《反馈曲线图定义运算放大器交流性能》
- 《采用隔离电阻的电容式负载驱动器解决方案》
- 《电路板布局布线技巧》

12.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及立即购买的快速链接。

表 4. 相关链接

器件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
OPA170	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2170	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4170	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.4 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. 有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.5 Community Resources

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

TI E2E™ 在线社区 TI 的工程师对工程师 (E2E) 社区。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 TI 参考设计支持 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

12.6 商标

TINA-TI, E2E are trademarks of Texas Instruments.

WEBENCH is a registered trademark of Texas Instruments.

TINA, DesignSoft are trademarks of DesignSoft, Inc.

All other trademarks are the property of their respective owners.

12.7 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.8 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA170AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O170A	Samples
OPA170AIDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSVI	Samples
OPA170AIDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSVI	Samples
OPA170AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O170A	Samples
OPA170AIDRLR	ACTIVE	SOT-5X3	DRL	5	4000	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAQ	Samples
OPA170AIDRLT	ACTIVE	SOT-5X3	DRL	5	250	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAQ	Samples
OPA2170AID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2170A	Samples
OPA2170AIDCUR	ACTIVE	VSSOP	DCU	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPQC	Samples
OPA2170AIDCUT	ACTIVE	VSSOP	DCU	8	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPQC	Samples
OPA2170AIDGK	ACTIVE	VSSOP	DGK	8	80	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPNI	Samples
OPA2170AIDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU SN NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPNI	Samples
OPA2170AIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2170A	Samples
OPA2170AIDSGR	ACTIVE	WSON	DSG	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1D4U	Samples
OPA2170AIDSGT	ACTIVE	WSON	DSG	8	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1D4U	Samples
OPA4170AID	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4170	Samples
OPA4170AIDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4170	Samples
OPA4170AIPW	ACTIVE	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4170	Samples
OPA4170AIPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4170	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA170, OPA2170, OPA4170 :

● Automotive : [OPA170-Q1](#), [OPA2170-Q1](#), [OPA4170-Q1](#)

● Enhanced Product : [OPA170-EP](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA170AIDBVR	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA170AIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA170AIDBVT	SOT-23	DBV	5	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA170AIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA170AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA170AIDRLR	SOT-5X3	DRL	5	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
OPA170AIDRLT	SOT-5X3	DRL	5	250	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
OPA2170AIDCUR	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2170AIDCUT	VSSOP	DCU	8	250	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2170AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2170AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2170AIDSGR	WSO	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA2170AIDSGT	WSO	DSG	8	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA4170AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4170AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

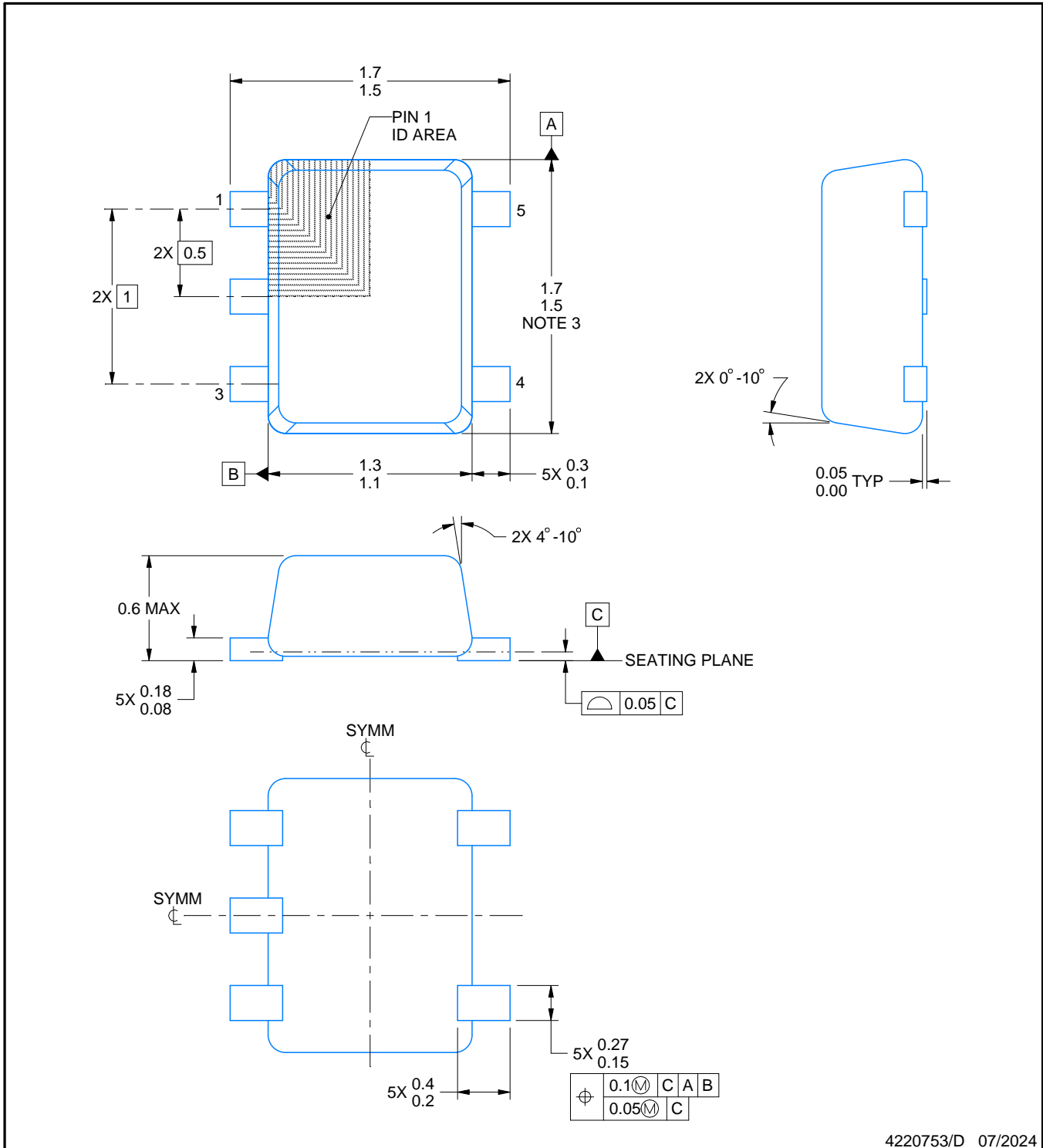
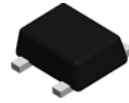

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA170AIDBVR	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA170AIDBVR	SOT-23	DBV	5	3000	223.0	270.0	35.0
OPA170AIDBVT	SOT-23	DBV	5	250	213.0	191.0	35.0
OPA170AIDBVT	SOT-23	DBV	5	250	202.0	201.0	28.0
OPA170AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA170AIDRLR	SOT-5X3	DRL	5	4000	202.0	201.0	28.0
OPA170AIDRLT	SOT-5X3	DRL	5	250	202.0	201.0	28.0
OPA2170AIDCUR	VSSOP	DCU	8	3000	202.0	201.0	28.0
OPA2170AIDCUT	VSSOP	DCU	8	250	202.0	201.0	28.0
OPA2170AIDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
OPA2170AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA2170AIDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
OPA2170AIDSGT	WSON	DSG	8	250	210.0	185.0	35.0
OPA4170AIDR	SOIC	D	14	2500	356.0	356.0	35.0
OPA4170AIPWR	TSSOP	PW	14	2000	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA170AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2170AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2170AIDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA4170AID	D	SOIC	14	50	506.6	8	3940	4.32
OPA4170AIPW	PW	TSSOP	14	90	530	10.2	3600	3.5



4220753/D 07/2024

NOTES:

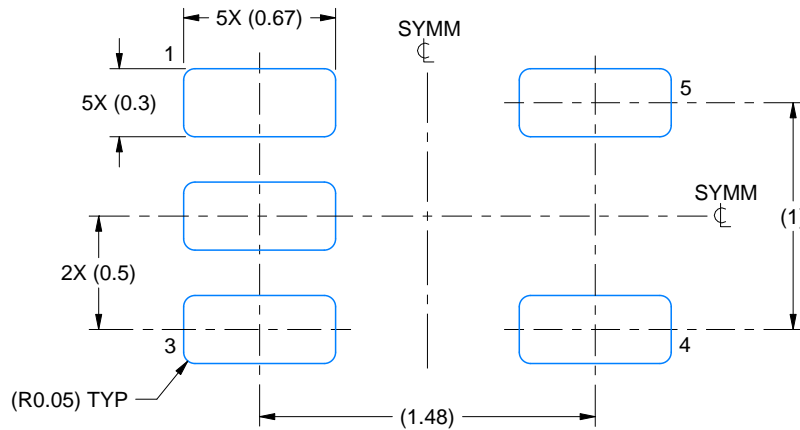
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD-1

EXAMPLE BOARD LAYOUT

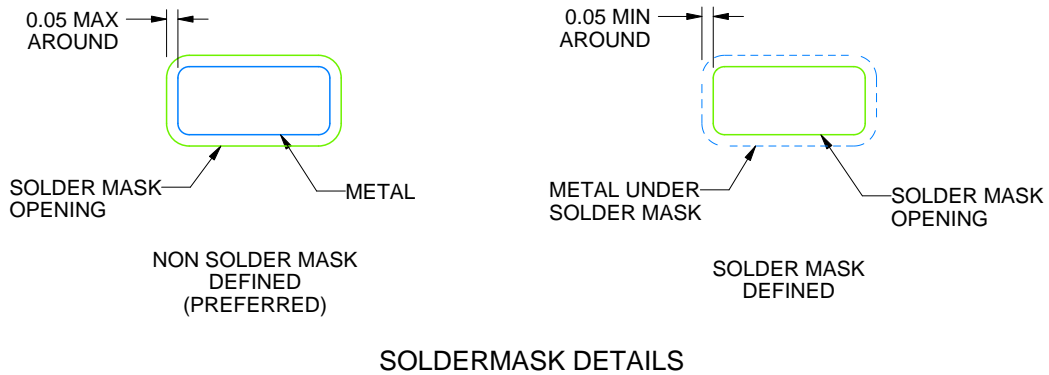
DRL0005A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4220753/D 07/2024

NOTES: (continued)

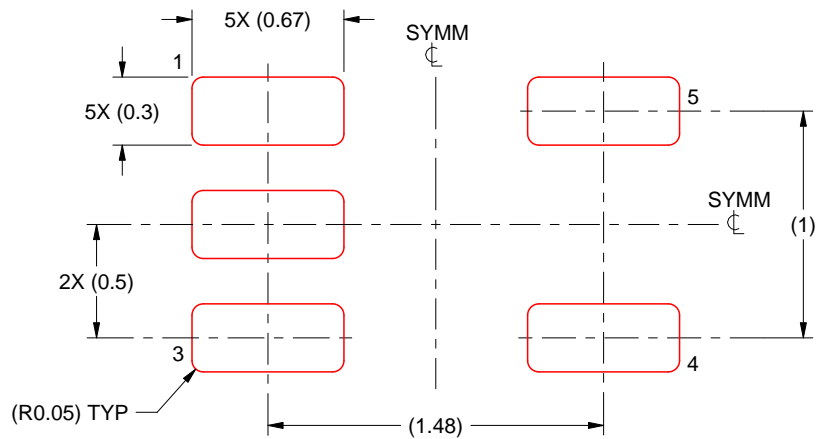
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DRL0005A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4220753/D 07/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

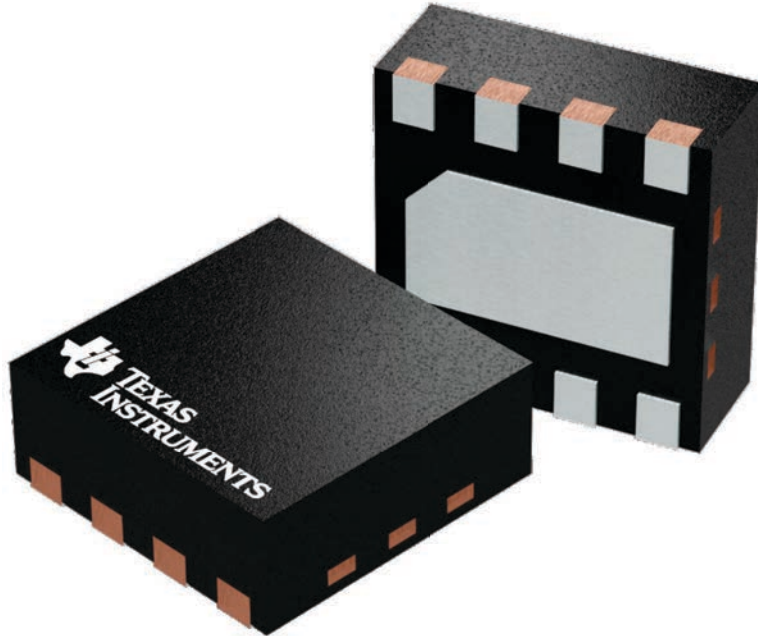
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224783/A

DSG0008A



PACKAGE OUTLINE

WSON - 0.8 mm max height

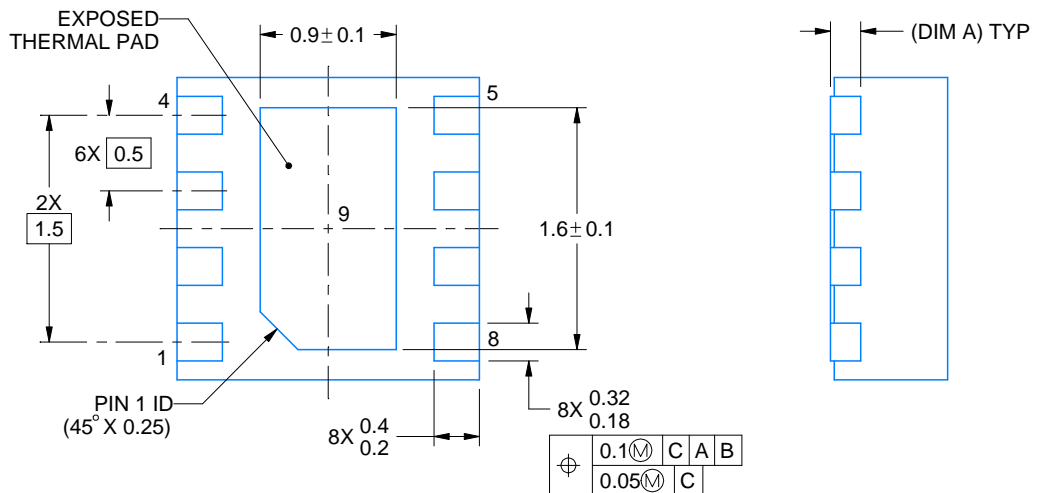
PLASTIC SMALL OUTLINE - NO LEAD



ALTERNATIVE TERMINAL SHAPE TYPICAL



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
 87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

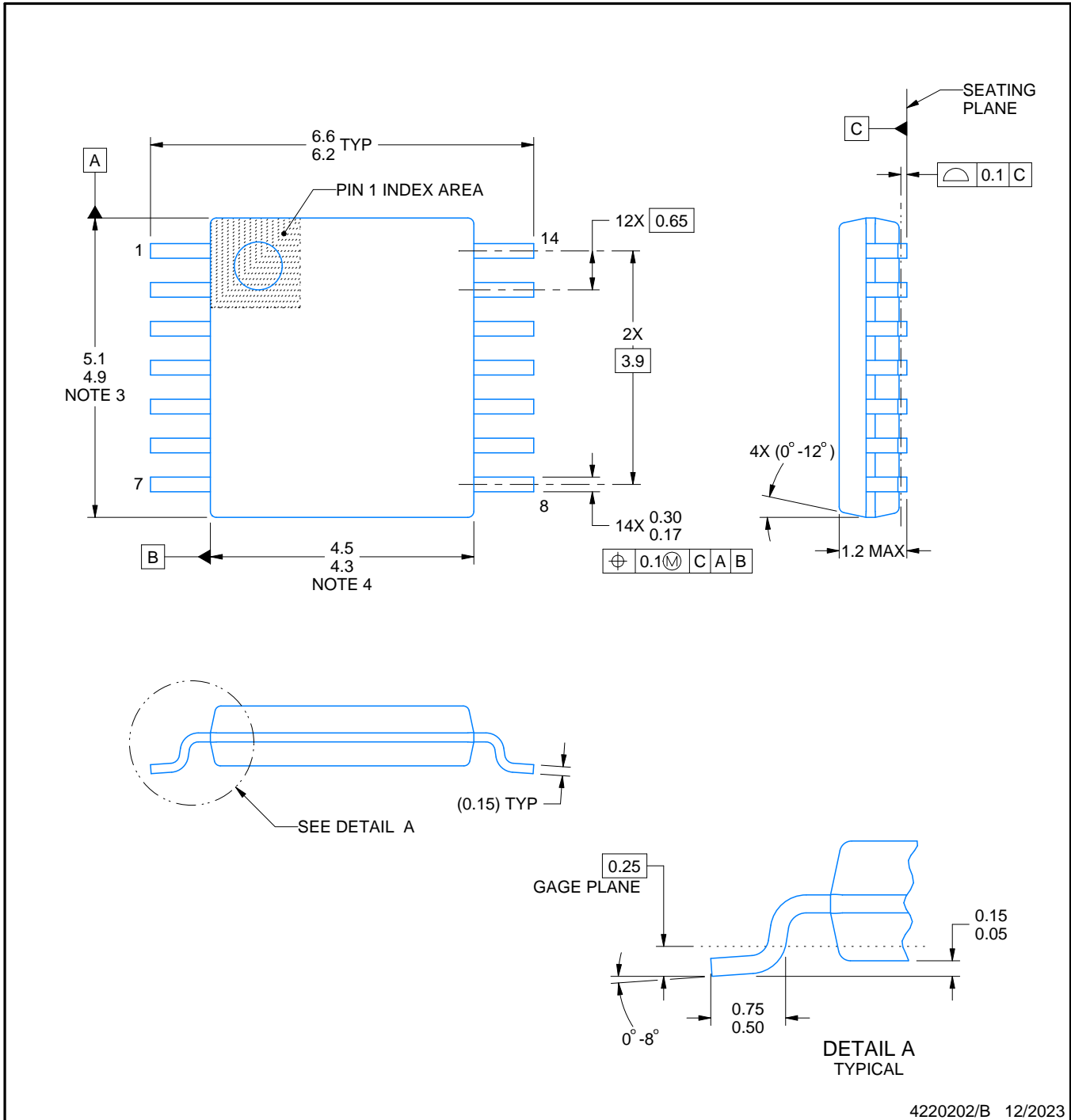
PW0014A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DBV0005A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



4225266/A 09/2014

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-187 variation CA.

EXAMPLE BOARD LAYOUT

DCU0008A

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



4225266/A 09/2014

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCU0008A

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 25X

4225266/A 09/2014

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司