

OPAx322-Q1 20MHz、低噪声、1.8V、RRI/O、 CMOS 运算放大器

1 特性

- 符合汽车类应用的标准
- 具有符合 AEC-Q100 标准的下列结果：
 - 器件温度 1 级：-40°C 至 +125°C 的环境运行温度范围
 - 器件人体放电模式 (HBM) 静电放电 (ESD) 分类等级 H3A
 - 器件组件充电模式 (CDM) ESD 分类等级 C5
- 增益带宽：20MHz
- 低噪声：1kHz 时为 $8.5 \text{ nV}\sqrt{\text{Hz}}$
- 转换速率：10V/μs
- 低总谐波失真 (THD) + N：0.0005%
- 轨至轨输入输出 (I/O)
- 失调电压：2mV (最大值)
- 电源电压：1.8V 至 5.5V
- 电源电流：
 - 单电源电流：1.6mA/通道
 - 双电源电流：1.5mA/通道
 - 四电源电流：1.4mA/通道
- 单位增益稳定
- 小型封装：
 - SOT-23、VSSOP、TSSOP

2 应用

- 汽车
- 传感器信号调节
- 消费类音频
- 多极点有源滤波器
- 控制环路放大器
- 通信
- 安全性
- 扫描仪

删除了

3 说明

OPAx322-Q1 系列包括具有低噪声和轨至轨输入和输出的单通道、双通道和四通道 CMOS 运算放大器，此类放大器针对低功耗、单电源应用进行了优化的理想之选。1.8V 至 5.5V 的宽电源范围以及每通道仅 1.5mA 的低静态电流，使得这些器件非常适合于功耗敏感型应用的理想之选。

OPAx322-Q1 系列兼有极低噪声 (1kHz 时为 $8.5 \text{ nV}\sqrt{\text{Hz}}$)、高增益带宽 (20MHz) 和高转换速率 (10 V/μs) 等特性，使其非常适合于各种应用，包括需要高增益的信号调节和传感器放大。OPAx322-Q1 系列具有低 THD+N，也非常适用于消费类音频应用，特别适合单电源系统。

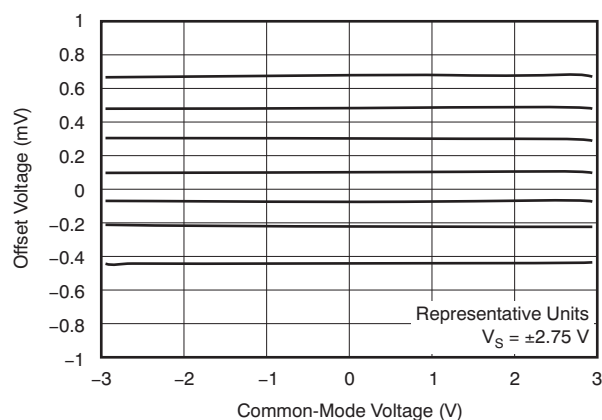
OPA322-Q1 (单通道版本) 采用 5 引脚 SOT-23 封装，而 OPA2322-Q1 (双通道版本) 采用 8 引脚 VSSOP 封装。OPA4322-Q1 (四通道版本) 采用 14 引脚 TSSOP 封装。所有器件版本的额定工作温度范围均为 -40°C 至 +125°C。

器件信息(1)

器件编号	封装	封装尺寸 (标称值)
OPA322-Q1	SOT-23 (5)	2.90mm x 1.60mm
OPA2322-Q1	VSSOP (8)	3.00mm x 3.00mm
OPA4322-Q1	TSSOP封装(14)	5.00mm x 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

零交叉轨至轨输入级消除了失真



目录

1	特性	1	7.4	器件功能模式	19
2	应用	1	8	应用和实施	20
3	说明	1	8.1	应用信息	20
4	修订历史记录	2	8.2	典型应用	21
5	引脚配置和功能	4	9	电源建议	22
6	规格	7	10	布局	23
6.1	绝对最大额定值	7	10.1	布局指南	23
6.2	ESD 额定值	7	10.2	布局示例	23
6.3	建议运行条件	7	11	器件和文档支持	24
6.4	热性能信息: OPA322-Q1	8	11.1	器件支持	24
6.5	热性能信息: OPA2322-Q1	8	11.2	文档支持	25
6.6	热性能信息: OPA4322-Q1	8	11.3	相关链接	25
6.7	电气特性	9	11.4	接收文档更新通知	25
6.8	典型特性	11	11.5	社区资源	25
7	详细 说明	16	11.6	商标	26
7.1	概述	16	11.7	静电放电警告	26
7.2	功能框图	16	11.8	术语表	26
7.3	特性 说明	16	12	机械、封装和可订购信息	27

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision A (June 2013) to Revision B	Page
• 将数据手册中文本更新为最新的文档和转换标准	1
• 已删除。从文档标题中删除了“x”器件标识和“具有关断功能”	1
• 已删除 从特性列表中删除了“关断: 0.1 μ A/通道”	1
• 已删除 从“特性”列表中删除了“SON 封装”	1
• 已删除 从数据表中删除了 OPA322S-Q1、OPA2322S-Q1、OPA4322S-Q1 器件	1
• 已更改 将“特性”部分中的单电源电流从“1.5mA/通道”更改为“1.6mA/通道”	1
• 已更改 将“特性”部分中将部件号从 TLV314、TLV2314 和 TLV4314 更改为 TLV316-Q1、TLV2316-Q1 和 TLV4316-Q1...	1
• 已删除 带有“x”标记器件，6-pin TSSOP，10-pin VSSOP，8-pin SON封装以及来自的关断“说明”部分的第一段中更改了单电源值	1
• 已删除 从器件信息表中删除了 OPA322S-Q1、OPA2322S-Q1 和 OPA4322S-Q1 器件	1
• 已删除 从器件信息表中删除了 8 引脚 SOIC 和 8 引脚 SON 封装	1
• Deleted 引脚配置和功能 部分的 OPA322S-Q1 引脚图和引脚表信息	4
• Deleted 引脚配置和功能 部分的 OPA2322-Q1 DRG 封装引脚图	4
• Deleted 引脚配置和功能 部分的 OPA2322S-Q1 引脚图和引脚表信息	4
• Deleted 引脚配置和功能 部分的 OPA4322S-Q1 引脚图和引脚表信息	4
• 更新 引脚配置和功能 部分的 OPA2322-Q1 引脚表	5
• 更新 引脚配置和功能 部分的 OPA4322-Q1 引脚表	6
• Deleted 工作温度 T_A 值（绝对最大额定值表）	7
• Added 将汽车 ESD 额定值表添加到规格部分	7
• Added 将建议运行条件表添加到规格部分	7
• Deleted OPA322S-Q1 热性能信息表	8
• Deleted OPA2322S-Q1 D 和 DRG 封装热性能信息值	8
• Deleted OPA2322S-Q1 热性能信息表值	8
• Deleted OPA4322S-Q1 热性能信息表值	8
• Deleted 电气特性表中的关断信息	9

修订历史记录 (接下页)

• Changed 将典型输入电压噪声值从 2.8 更改为 4.5 μ V _{PP} (电气特性表)	9
• Deleted 电气特性表中重复的开环增益测试条件	9
• 已删除 典型特性部分的图 26、图 27、图 28 和图 29	11
• 更新图 2 的 x 轴	11
• 更新图 5 的 x 轴	11
• 已添加 详细说明部分和功能框图	16
• 已添加 特性说明部分	16
• 已删除 特性说明部分的关断相关文字	16
• 已删除 容性负载和稳定性部分关于 OPAx322-Q1 采用 1nF 容性负载时的单位增益稳定性的相关文字	18
• 已添加 器件功能模式部分	19
• 已删除 器件功能模式部分的关断相关文字	19
• 已更改 FilterPro™ 链接 (应用信息部分)	20
• 更新图 35	21
• 已添加 电源建议部分	22
• 已添加 布局部分	23
• 已删除 无引线 DFN 封装小节 (位于布局部分)	23
• 更新图 37 (布局示例)	23
• 已删除 从相关链接表中删除了 OPA322S-Q1、OPA2322S-Q1 和 OPA4322S-Q1 器件	25

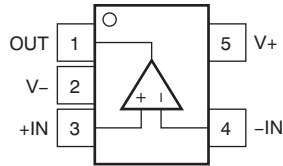
Changes from Original (June 2013) to Revision A

Page

• 已更改 将文档状态更改为“生产数据”	1
----------------------------	---

5 引脚配置和功能

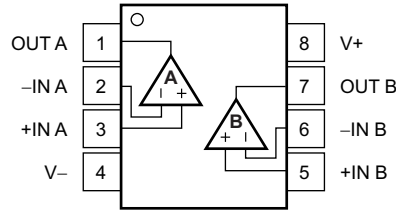
OPA322-Q1 DBV 封装
 5 引脚 SOT-23
 俯视图



引脚功能：OPA322-Q1

引脚		I/O	说明
名称	编号		
-IN	4	I	反相输入
+IN	3	I	同相输入
OUT	1	O	输出
V-	2	—	负电源 (最低)
V+	5	—	正电源 (最高)

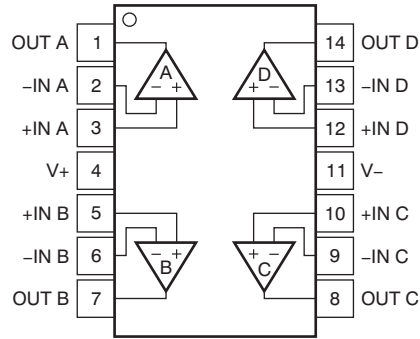
OPA2322-Q1 DGK 封装
8 引脚 VSSOP
俯视图



引脚功能 : OPA2322-Q1

引脚		I/O	说明
名称	编号		
-IN A	2	I	反相输入, 通道 A
+IN A	3	I	同相输入, 通道 A
-IN B	6	I	反相输入, 通道 B
+IN B	5	I	同相输入, 通道 B
OUT A	1	O	输出, 通道 A
OUT B	7	O	输出, 通道 B
V-	4	—	负电源 (最低)
V+	8	—	正电源 (最高)

OPA4322-Q1 PW 封装
 14 引脚 TSSOP
 俯视图



引脚功能 : OPA4322-Q1

引脚		I/O	说明
名称	编号		
-IN A	2	I	反相输入, 通道 A
+IN A	3	I	同相输入, 通道 A
-IN B	6	I	反相输入, 通道 B
+IN B	5	I	同相输入, 通道 B
-IN C	9	I	反相输入, 通道 C
+IN C	10	I	同相输入, 通道 C
-IN D	13	I	反相输入, 通道 D
+IN D	12	I	同相输入, 通道 D
OUT A	1	O	输出, 通道 A
OUT B	7	O	输出, 通道 B
OUT C	8	O	输出, 通道 C
OUT D	14	O	输出, 通道 D
V-	11	—	负电源 (最低)
V+	4	—	正电源 (最高)

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电压	电源电压, $V_S = (V+) - (V-)$		6	V
	信号输入引脚 ⁽²⁾	$(V-) - 0.5$	$(V+) + 0.5$	V
电流	信号输入引脚 ⁽²⁾	-10	10	mA
	输出短路 ⁽³⁾	持续		
温度	结温, T_J		150	°C
	贮存温度, T_{stg}	-65	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。在绝对最大额定值条件下长时间运行可能会影响器件可靠性。

(2) 输入端子被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。

(3) 对地短路, 每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	±4000	V
	充电器件模型 (CDM), 符合 AEC Q100-011	±1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

自然通风工作温度范围内 (除非另有说明)

		最小值	最大值	单位
V_S	额定电压	1.8	5.5	V
T_A	额定温度范围	-40	125	°C

6.4 热性能信息：OPA322-Q1

热指标 ⁽¹⁾		OPA322-Q1	
		DBV (SOT-23)	
		5 引脚	
	单位		
$R_{\theta JA}$	结至环境热阻	219.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	107.5	°C/W
$R_{\theta JB}$	结至电路板热阻	57.5	°C/W
Ψ_{JT}	结至顶部特征参数	7.4	°C/W
Ψ_{JB}	结至电路板特征参数	56.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	—	°C/W

(1) 有关传统和最新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。

6.5 热性能信息：OPA2322-Q1

热指标 ⁽¹⁾		OPA2322-Q1	
		DGK (VSSOP)	
		8 引脚	
	单位		
$R_{\theta JA}$	结至环境热阻	174.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	43.9	°C/W
$R_{\theta JB}$	结至电路板热阻	95	°C/W
Ψ_{JT}	结至顶部特征参数	2	°C/W
Ψ_{JB}	结至电路板特征参数	93.5	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	—	°C/W

(1) 有关传统和最新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。

6.6 热性能信息：OPA4322-Q1

热指标 ⁽¹⁾		OPA4322-Q1	
		PW (TSSOP)	
		14 引脚	
	单位		
$R_{\theta JA}$	结至环境热阻	109.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	34.9	°C/W
$R_{\theta JB}$	结至电路板热阻	52.5	°C/W
Ψ_{JT}	结至顶部特征参数	2.2	°C/W
Ψ_{JB}	结至电路板特征参数	51.8	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	—	°C/W

(1) 有关传统和最新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。

6.7 电气特性

$V_S = 1.8V$ 至 $5.5V$ 或 $\pm 0.9V$ 至 $\pm 2.75V$, $T_A = 25^\circ C$, $R_L = 10k\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, $V_{OUT} = V_S / 2$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
失调电压					
V_{OS} 输入失调电压			0.5	2	mV
dV_{OS}/dT 与温度间的关系	$V_S = 5.5V$		1.8	6	$\mu V/^\circ C$
PSR 与电源间的关系	$V_S = 1.8V$ 至 $5.5V$	$T_A = 25^\circ C$	10	50	$\mu V/V$
		$T_A = -40^\circ C$ 至 $125^\circ C$	20	65	
通道分离	1kHz 时		130		dB
输入电压					
V_{CM} 共模电压范围		$(V-) - 0.1$		$(V+) + 0.1$	V
CMRR 共模抑制比	$(V-) - 0.1V < V_{CM} < (V+) + 0.1V$	$T_A = 25^\circ C$	90	100	dB
		$T_A = -40^\circ C$ 至 $125^\circ C$	90		
输入偏置电流					
I_B 输入偏置电流	$T_A = 25^\circ C$		± 0.2	± 10	pA
	$T_A = -40^\circ C$ 至 $85^\circ C$			± 50	
	OPA322-Q1 : $T_A = -40^\circ C$ 至 $125^\circ C$			± 800	
	OPA2322-Q1 : $T_A = -40^\circ C$ 至 $125^\circ C$			± 400	
I_{OS} 输入失调电流	$T_A = 25^\circ C$		± 0.2	± 10	pA
	$T_A = -40^\circ C$ 至 $85^\circ C$			± 50	
	$T_A = -40^\circ C$ 至 $125^\circ C$			± 400	
噪声					
输入电压噪声	$f = 0.1Hz$ 至 $10Hz$		4.5		μV_{PP}
e_n 输入电压噪声密度	$f = 1kHz$		8.5		nV/\sqrt{Hz}
	$f = 10kHz$		7		
i_n 输入电流噪声密度	$f = 1kHz$		0.6		fA/\sqrt{Hz}
输入电容					
差模			5		pF
共模			4		pF
开环增益					
A_{OL} 开环电压增益	$0.1V < V_O < (V+) - 0.1V$ $R_L = 10k\Omega$	100	130		dB
PM 相位裕度	$V_S = 5V$ $C_L = 50pF$		47		$^\circ$
频率响应					
GBP 增益带宽积	$V_S = 5V$ $C_L = 50pF$, 单位增益		20		MHz
SR 压摆率	$V_S = 5V$ $C_L = 50pF$, $G = 1$		10		$V/\mu s$
t_s 建立时间	$V_S = 5V$ $C_L = 50pF$, 精度达到 0.1%, 2V 阶跃, $G = 1$		0.25		μs
	$V_S = 5V$ $C_L = 50pF$, 精度达到 0.01%, 2V 阶跃, $G = 1$		0.32		
过载恢复时间	$V_S = 5V$ $C_L = 50pF$ $V_{IN} \times G > V_S$		100		ns
THD+N 总谐波失真 + 噪声 ⁽¹⁾	$V_S = 5V$ $C_L = 50pF$ $V_O = 4V_{PP}$, $G = 1$, $f = 10kHz$ $R_L = 10k\Omega$		0.0005%		
	$V_S = 5V$, $C_L = 50pF$, $V_O = 2V_{PP}$, $G = 1$, $f = 10kHz$ $R_L = 600\Omega$		0.0011%		

(1) 三阶滤波器；-3dB 时的带宽 = 80kHz

电气特性 (continued)

$V_S = 1.8V$ 至 $5.5V$ 或 $\pm 0.9V$ 至 $\pm 2.75V$, $T_A = 25^\circ C$, $R_L = 10k\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, $V_{OUT} = V_S / 2$ (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
输出							
V_O	电压输出 (相对于两个电源轨的摆幅)	$R_L = 10k\Omega$	$T_A = 25^\circ C$		10	20	mV
			$T_A = -40^\circ C$ 至 $125^\circ C$			30	
I_{SC}	短路电流	$V_S = 5.5V$			± 65		mA
C_L	容性负载驱动				请参阅 典型特性		
R_O	开环输出电阻	$I_O = 0mA$ $f = 1MHz$			90		Ω
电源							
V_S	额定电压范围			1.8		5.5	V
I_Q	每个放大器的静态电流	OPA322-Q1 : $I_O = 0mA$ $V_S = 5.5V$	$T_A = 25^\circ C$		1.6	1.9	mA
			$T_A = -40^\circ C$ 至 $125^\circ C$			2	
		OPA2322-Q1 : $I_O = 0mA$ $V_S = 5.5V$	$T_A = 25^\circ C$		1.5	1.75	
			$T_A = -40^\circ C$ 至 $125^\circ C$			1.85	
		OPA4322-Q1 : $I_O = 0mA$ $V_S = 5.5V$	$T_A = 25^\circ C$		1.4	1.65	
			$T_A = -40^\circ C$ 至 $125^\circ C$			1.75	
加电时间	$V_{S+} = 0V$ 至 $5V$, 精度达到 90% I_Q 电平				28		μs

6.8 典型特性

$T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} =$ 中间电源, 且 $R_L = 10\text{k}\Omega$ (除非另有说明)

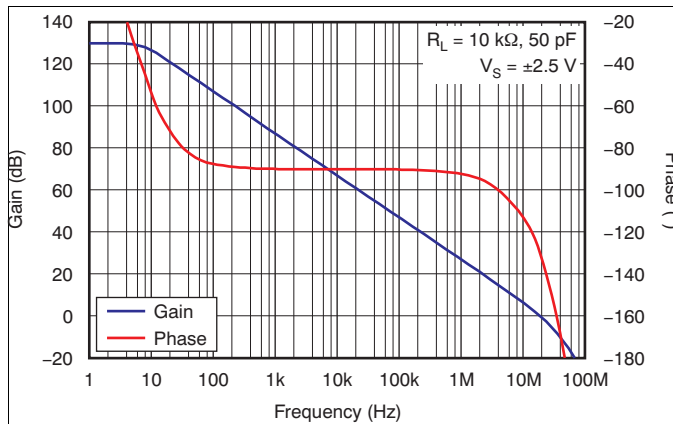


图 1. 开环增益和相位与频率间的关系

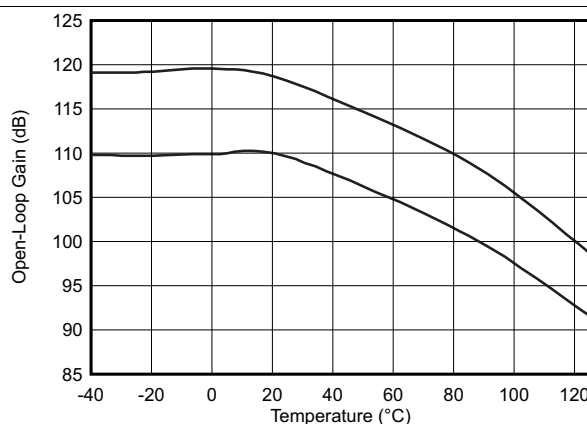


图 2. 开环增益与温度间的关系

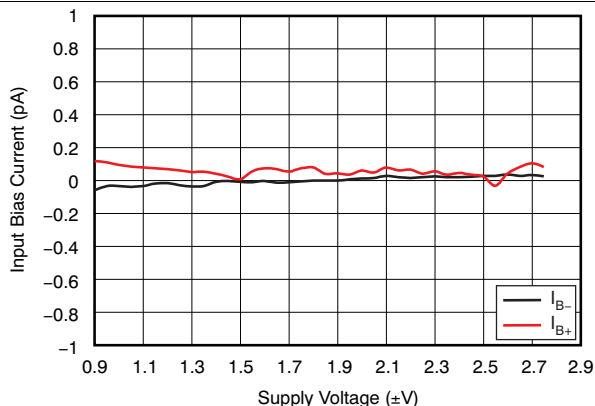


图 3. 输入偏置电流与电源电压间的关系

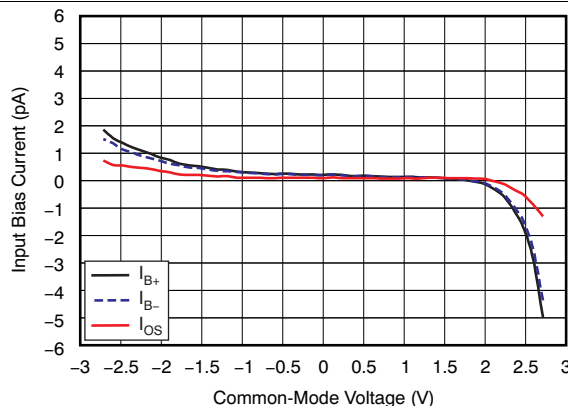


图 4. 输入偏置电流
与共模电压间的关系

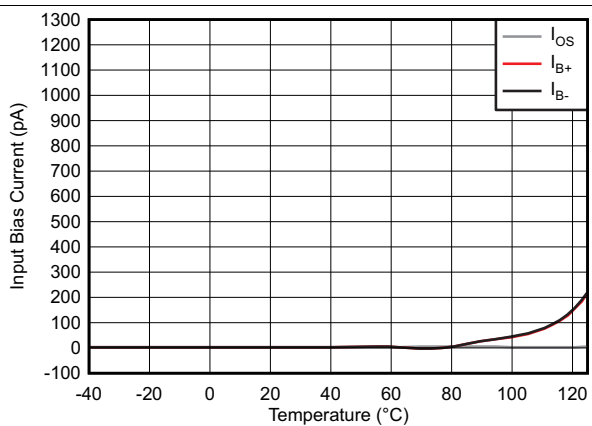


图 5. 全温度范围内输入偏置电流

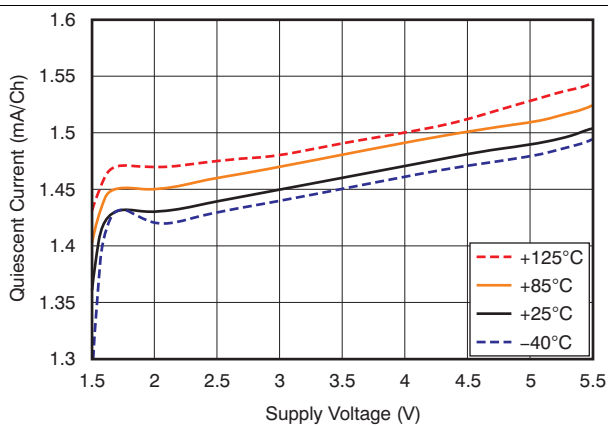
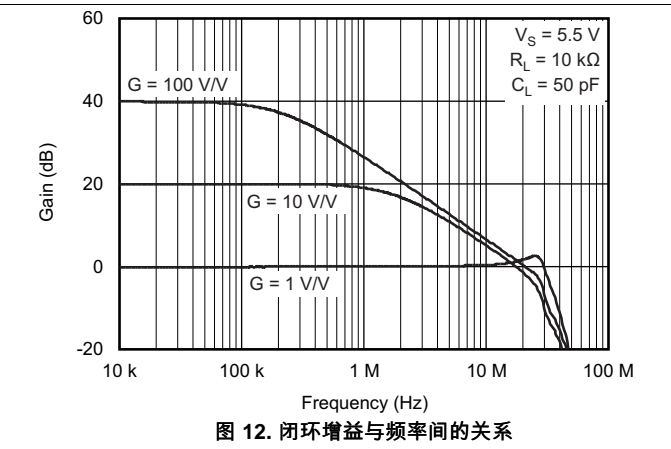
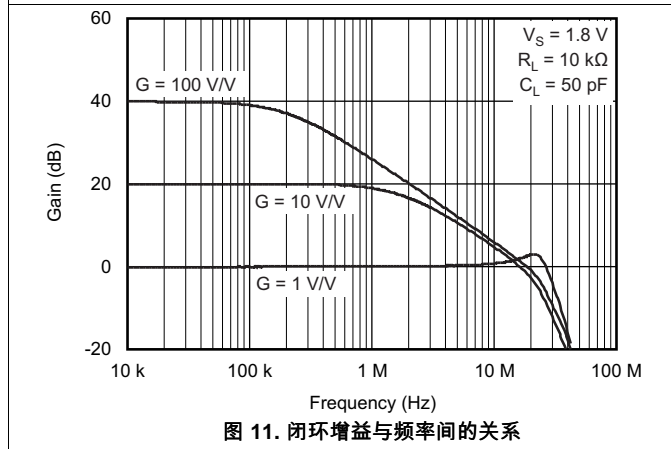
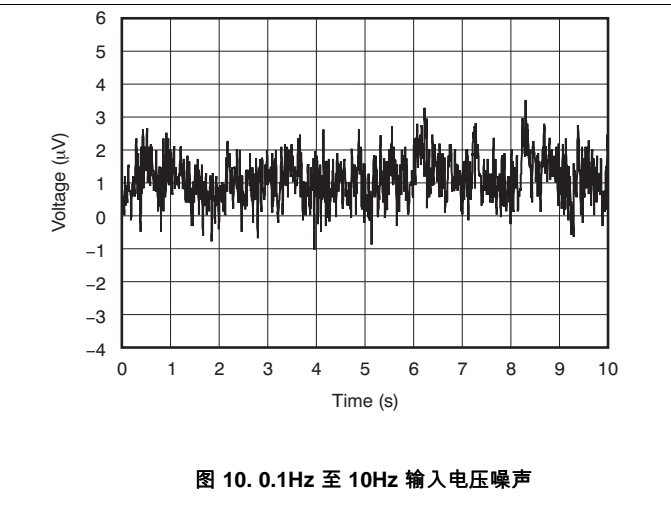
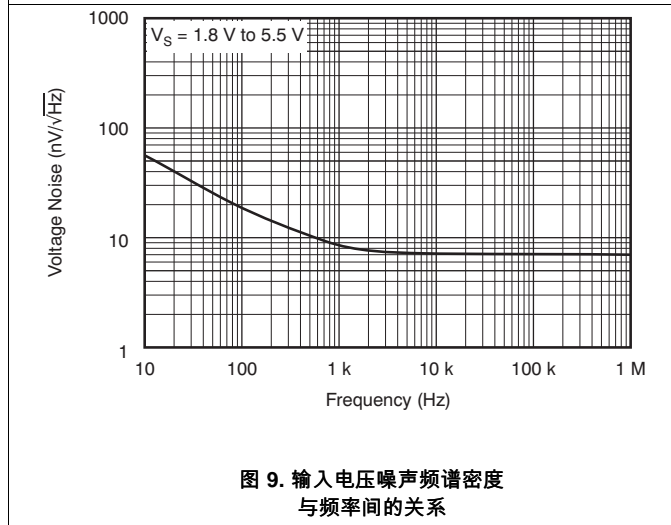
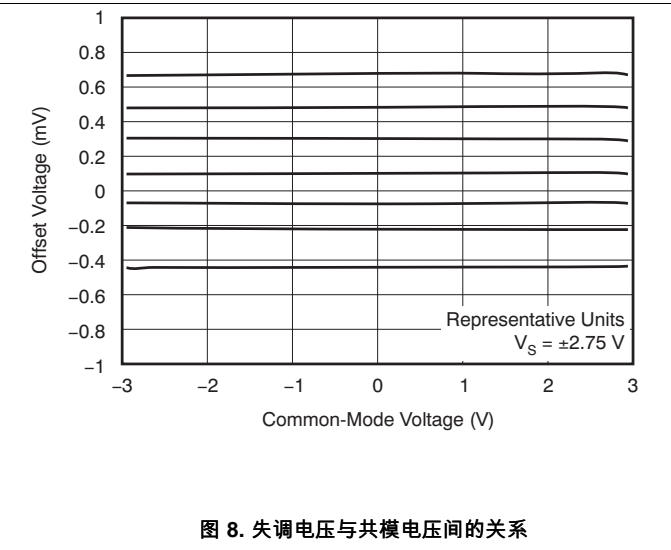
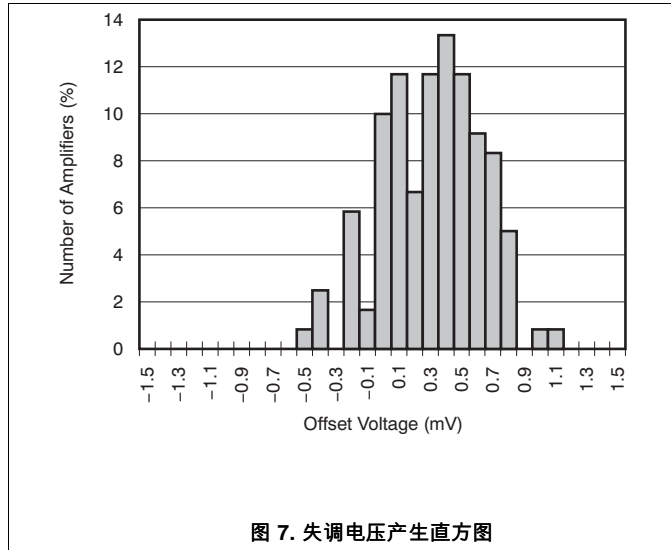


图 6. 每个放大器的静态电流与电源电压间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} =$ 中间电源, 且 $R_L = 10\text{k}\Omega$ (除非另有说明)



典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} =$ 中间电源, 且 $R_L = 10\text{k}\Omega$ (除非另有说明)

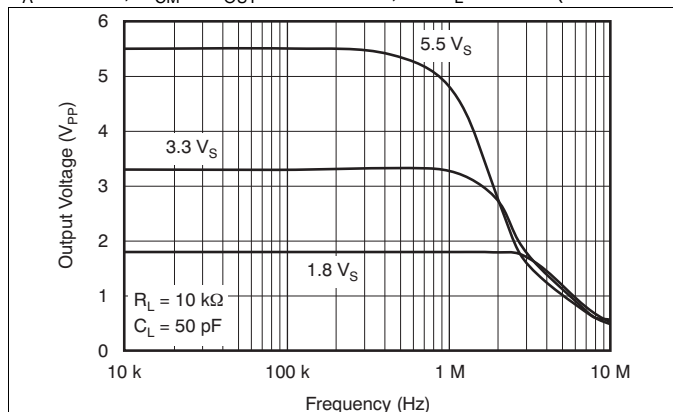


图 13. 最大输出电压与频率间的关系

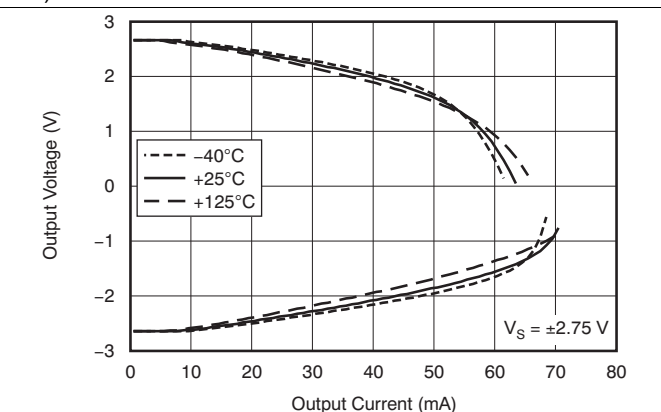


图 14. 输出电压摆幅与输出电流间的关系

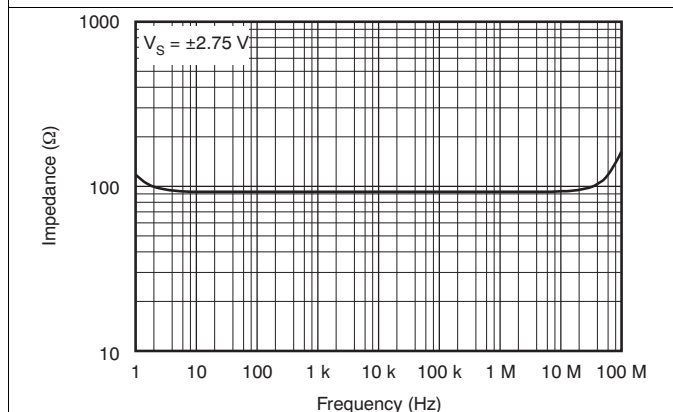


图 15. 开环输出阻抗与频率间的关系

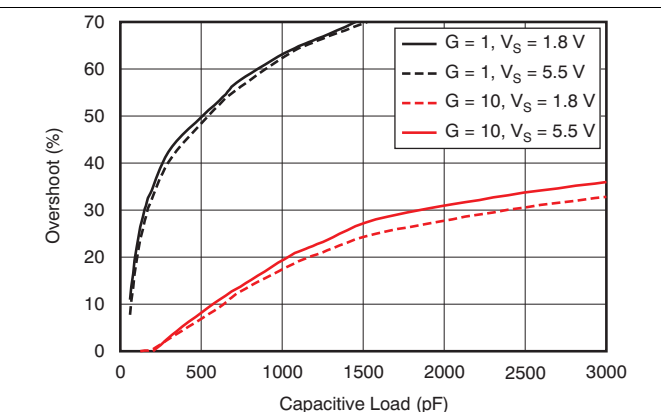


图 16. 小信号过冲与负载电容间的关系

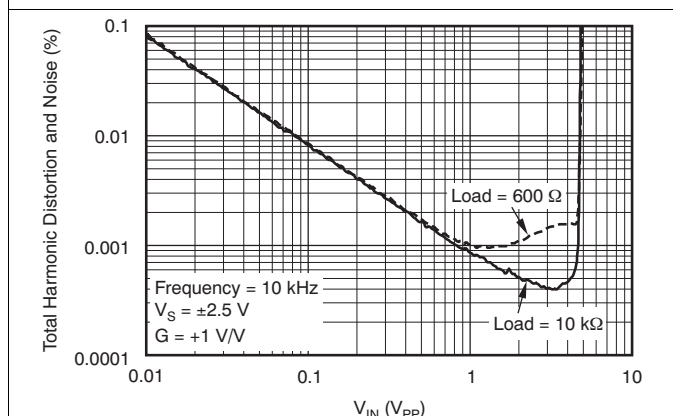


图 17. THD+N 与幅度间的关系

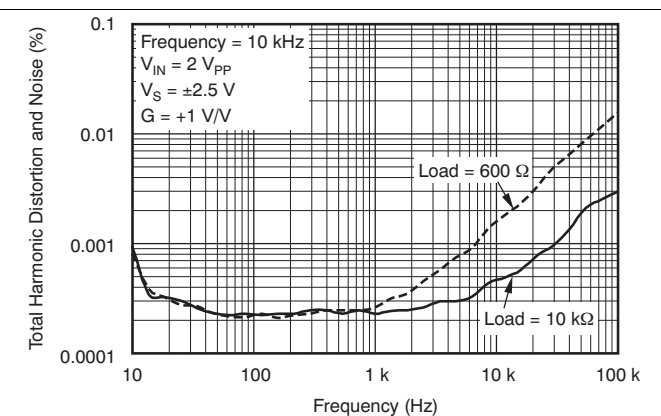
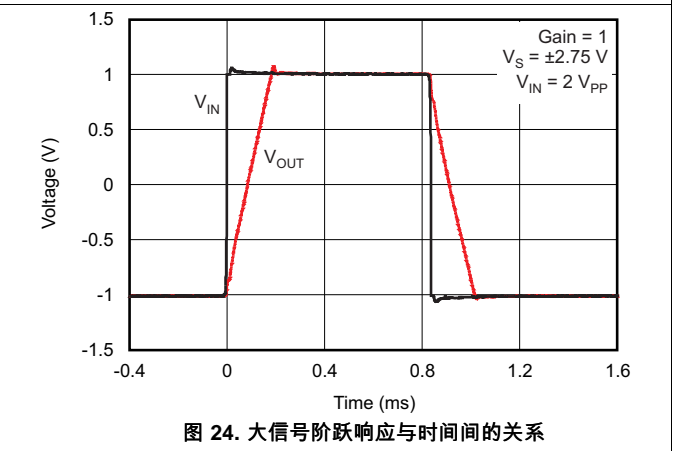
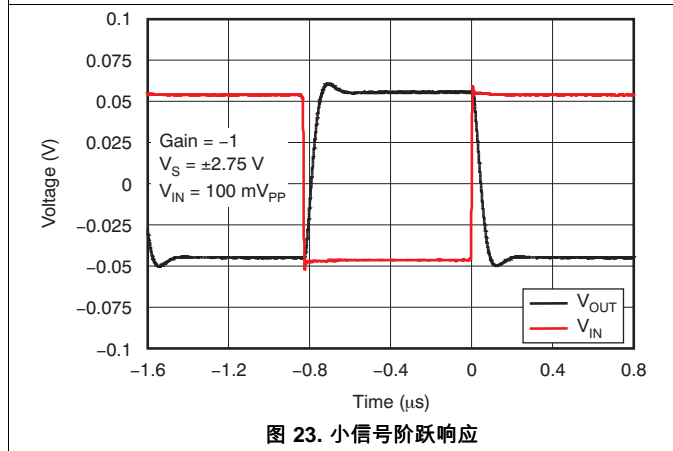
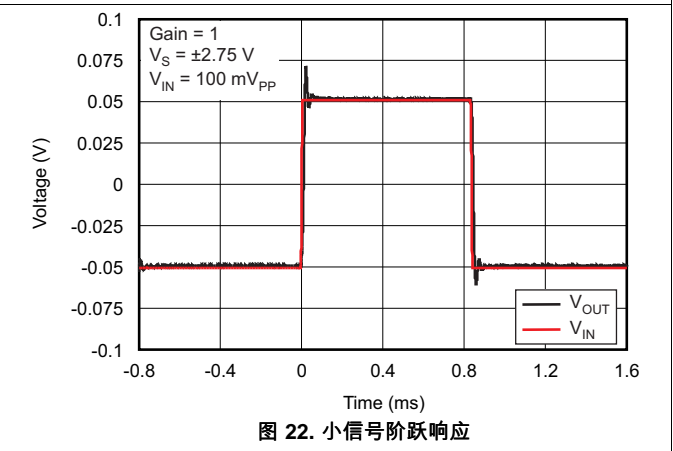
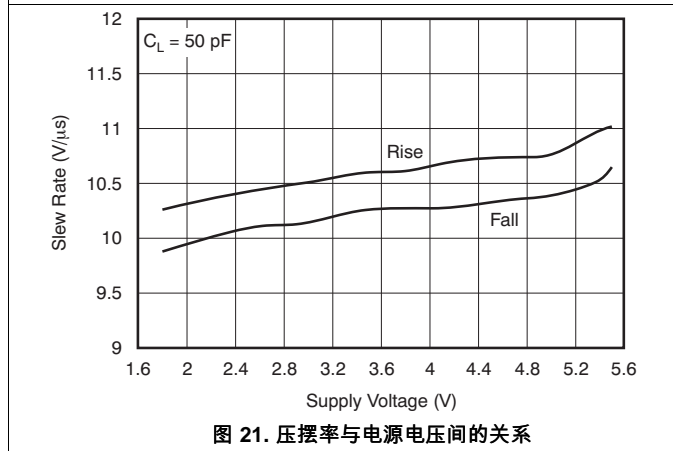
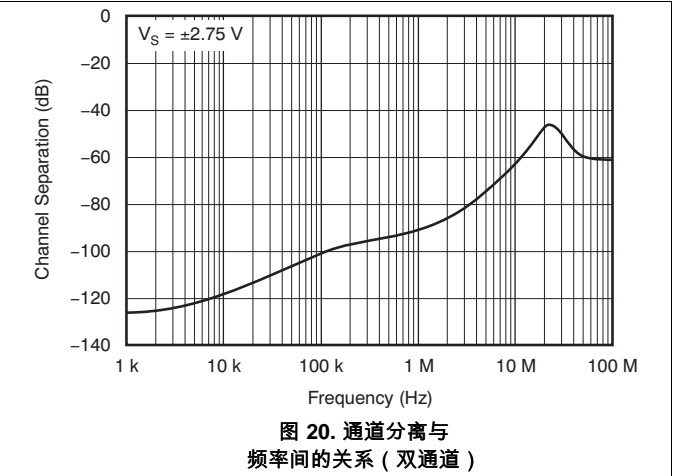
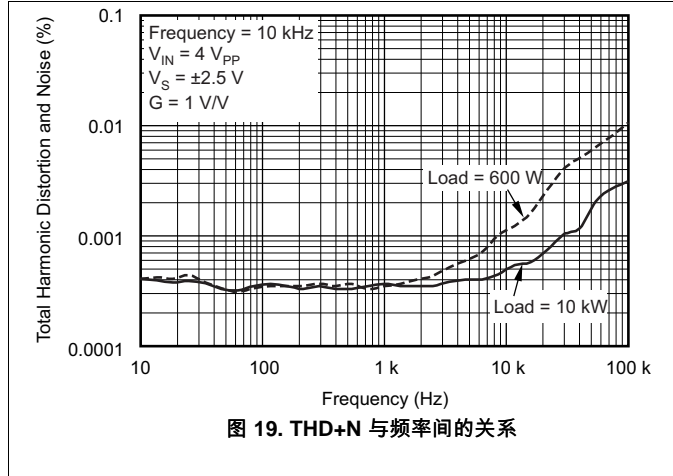


图 18. THD+N 与频率间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} =$ 中间电源, 且 $R_L = 10\text{k}\Omega$ (除非另有说明)



典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} =$ 中间电源, 且 $R_L = 10\text{k}\Omega$ (除非另有说明)

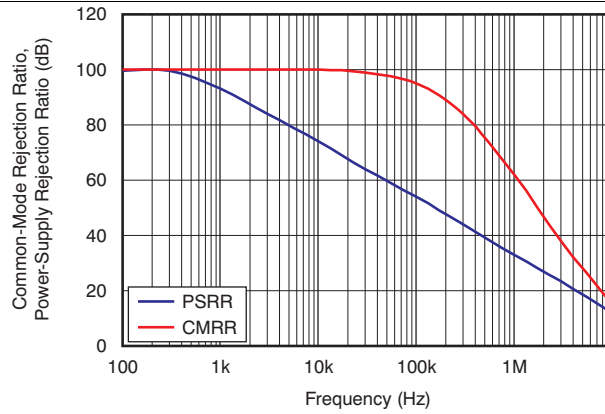


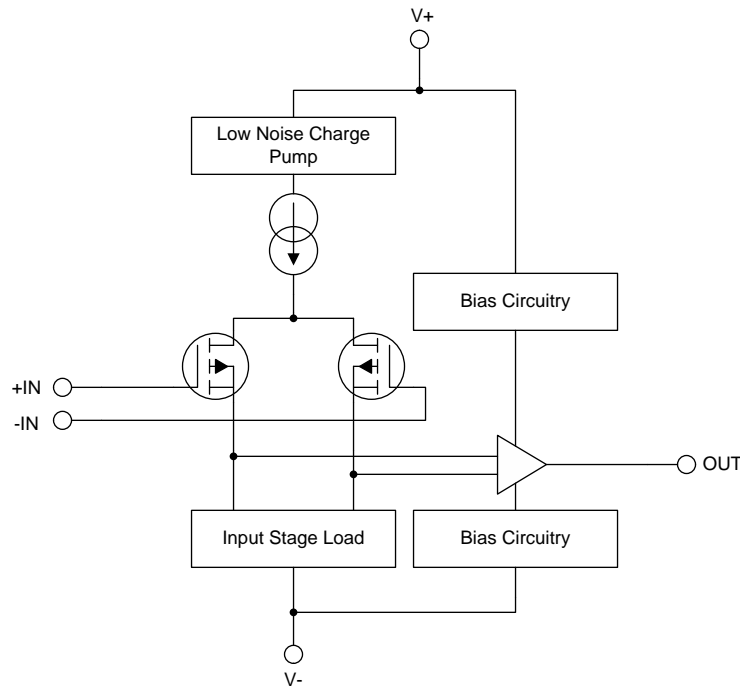
图 25. CMRR 和 PSRR 与频率间的关系

7 详细 说明

7.1 概述

OPAx322-Q1 系列运算放大器是高速精密放大器，非常适合驱动 12 位、14 位和 16 位模数转换器。具有平坦频率特性的低输出阻抗以及零交叉失真电路可确保在整个输入共模范围内获得高线性度，从而通过 1.8V 至 5.5V 的单电源实现真正的轨至轨输入。

7.2 功能框图



7.3 特性 说明

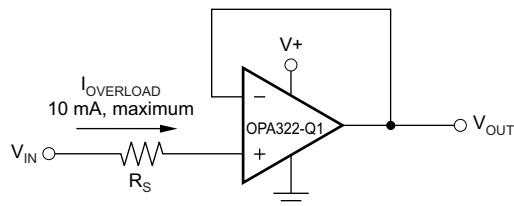
7.3.1 工作电压

OPAx322-Q1 系列运算放大器具有单位增益稳定特性，可在单电源电压（1.8V 至 5.5V）或双电源电压（ $\pm 0.9V$ 至 $\pm 2.75 V$ ）下工作，因此这些运算放大器具有极高的通用性和易用性。电源引脚必须具有本地旁路陶瓷电容器（通常为 $0.001\mu F$ 至 $0.1\mu F$ ）。这些放大器的额定工作电压为 1.8V 至 5.5V，并具有 $-40^{\circ}C$ 至 $+125^{\circ}C$ 的扩展工作温度范围。[典型特性](#) 中提供的参数可能会随工作电压或温度的不同而出现变化。

7.3.2 输入和 ESD 保护

OPAx322-Q1 系列在所有引脚上均整合了内部静电放电 (ESD) 保护电路。就输入和输出引脚而言，这种保护主要包括输入引脚和电源引脚之间连接的导流二极管。只要电流如[绝对最大额定值](#) 中所述限制为 10mA，这些 ESD 保护二极管还能提供电路内的输入过驱保护。许多输入信号本身就会将电流限制在 10mA 以下；因此不需要使用限流电阻器。[图 26](#) 显示了如何通过将串联输入电阻器 (R_S) 添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的应用中，该值必须保持在最低值。

特性说明 (接下页)



Copyright © 2016, Texas Instruments Incorporated

图 26. 输入电流保护

7.3.3 相位反转

OPAx322-Q1 系列运算放大器根据设计可在输入引脚电压超过电源电压时不受相位反转的影响，这样就能够提供更高的系统内稳定性和可预测性。图 27 显示了输入电压超过电源电压而未出现任何相位反转的情况。

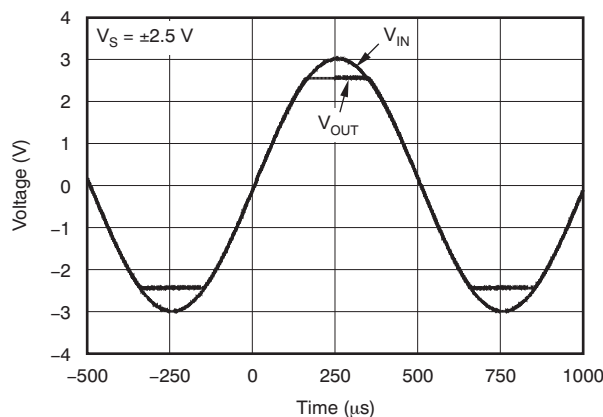
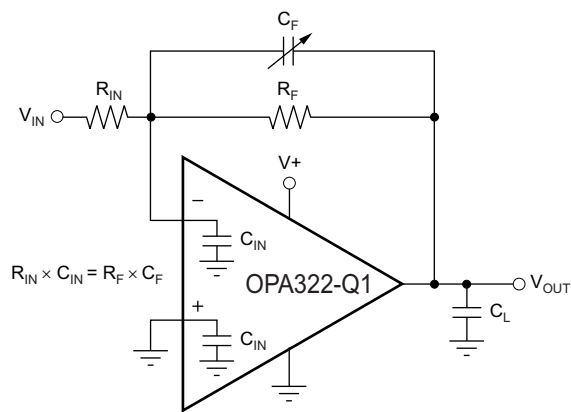


图 27. 无相位反转

7.3.4 反馈电容器改善响应

为了在使用高阻抗反馈网络时获得最佳的趋稳时间和稳定性，可能需要在反馈电阻器 (R_F) 上添加一个反馈电容器，如图 28 所示。该电容器可补偿反馈网络阻抗和 OPAx322-Q1 输入电容 (以及任何寄生布局电容) 产生的零。网络阻抗越高，影响越明显。



Copyright © 2016, Texas Instruments Incorporated

注意：其中的 C_{IN} 等于 OPAx322-Q1 输入电容 (大约 9pF) 加上任何寄生布局电容。

图 28. 反馈电容器提高动态性能

特性说明 (接下页)

对于图 28 所示的电路, 选择可变反馈电容器的电容值时, 必须使 OPAx322-Q1 的输入电阻乘以输入电容 (通常是 9pF) 与寄生布局电容估算值之和所得的值, 等于反馈电容乘以反馈电阻所得的值, 计算公式如公式 1 所示。

$$R_{IN} \times C_{IN} = R_F \times C_F$$

其中

- C_{IN} 等于 OPAx322-Q1 输入电容 (差模和共模电容的和) 加上布局电容 (1)

可以调节电容器的电容值, 直到获得最佳性能。

7.3.5 EMI 易感性和输入滤波

不同的运算放大器对于电磁干扰 (EMI) 的易感性会有所不同。如果传导 EMI 进入放大器, 放大器输出中观察到的直流失调值在有 EMI 时可能偏离标称值。这个偏离是内部半导体结相关的信号整流引起的。虽然所有的运算放大器引脚功能都会受到 EMI 的影响, 但是输入引脚可能是最易受影响的。OPAx322-Q1 运算放大器系列整合了内部输入低通滤波器, 该滤波器可减少放大器对 EMI 的响应。此输入滤波器提供共模和差模滤波。此滤波器支持大约 580MHz (-3dB) 的截止频率, 具有每十倍频 20dB 的下降率。

7.3.6 输出阻抗

OPAx322-Q1 共源输出级的开环输出阻抗大概为 90Ω。当运算放大器与反馈连接时, 环路增益会使该值显著减小。闭环增益每升高十倍频, 环路增益减少相同的量, 使得有效输出阻抗增加十倍。虽然 OPAx322-Q1 输出阻抗在较宽的频率范围内保持平坦, 但在频率较高时, 随着运算放大器的开环增益降低, 输出阻抗将升高。但是, 在这些频率下, 输出因为寄生电容而变为容性。此特性可防止输出阻抗过高, 输出阻抗过高会导致在驱动大型容性负载时出现稳定性问题。正如先前所述, 对于一个具有该带宽值的运算放大器而言, OPAx322-Q1 具有出色的容性负载驱动能力。

7.3.7 容性负载和稳定性

OPAx322-Q1 旨在用于需要驱动容性负载的应用。与所有运算放大器一样, 在某些特定情况下, OPAx322-Q1 可能会变得不稳定。当确定放大器在运行中能否保持稳定时, 需要考虑特定运算放大器电路配置、布局、增益和输出负载等因素。与在更高噪声增益下工作的放大器相比, 采用单位增益 (1V/V) 缓冲器配置并驱动容性负载的运算放大器更容易出现不稳定的情况。容性负载与运算放大器输出电阻相结合后, 在反馈环路内产生一个使相位裕度降低的极点。

某些电容值很高的电容器 ($C_L > 1\mu\text{F}$) 的等效串联电阻 (ESR) 足以改变反馈环路内的相位特性, 从而使放大器保持稳定。增加放大器闭环增益使放大器能够驱动越来越大的电容。如果在电压增益更高时观察放大器的过冲响应, 可发现此能力的增长十分明显, 如图 29 所示。放大器在单位增益配置下运行时增大容性负载驱动能力的一种方法就是插入一个与输出串联的小电阻器 (R_S , 其大小通常为 10Ω 到 20Ω), 如图 30 所示。

这个电阻器将大大减少与大容量负载相关的过冲和振铃。但这个方法可能会带来一个问题, 即增加的串联电阻器和任何与容性负载并联的电阻器会产生一个分压器。此分压器会在输出端引入一个可减小输出摆幅的增益误差。但是, 分压器导致的误差可能不大。例如, 负载电阻为 $R_L = 10\text{k}\Omega$ 和 $R_S = 20\Omega$ 时, 增益误差大概为 0.2%。当 R_L 减小到 600Ω (OPAx322-Q1 可以驱动负载) 时, 误差会增加到 7.5%。

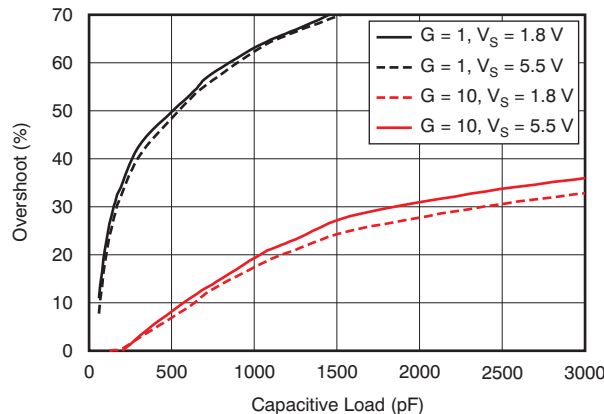
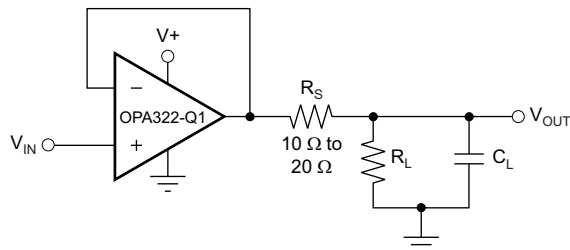


图 29. 小信号过冲与容性负载间的关系 (100mV_{pp} 输出阶跃)

特性说明 (接下页)



Copyright © 2016, Texas Instruments Incorporated

图 30. 增强容性负载驱动能力

7.3.8 过载恢复时间

过载恢复时间是指放大器输出脱离饱和状态并恢复到线性区域所需的时间。在有大型瞬态的情况下必须将小信号放大的应用中，过载恢复尤为重要。图 31 和图 32 分别显示了 OPAX322-Q1 的正负过载恢复时间。在这两种情况下，OPAX322-Q1 脱离饱和状态所需的时间都小于 100ns。正负恢复时间之间的对称性可实现出色的信号整流，而输出信号也不失真。

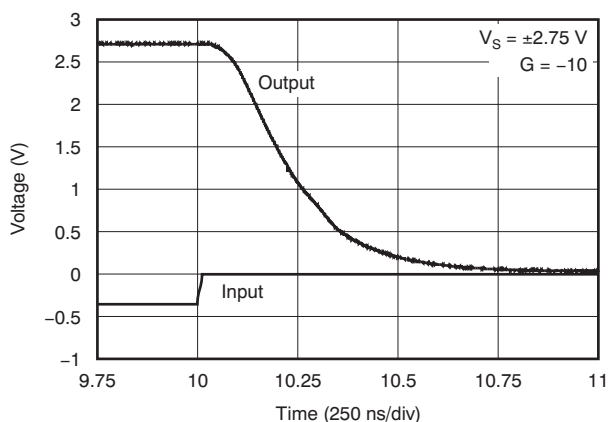


图 31. 正恢复时间

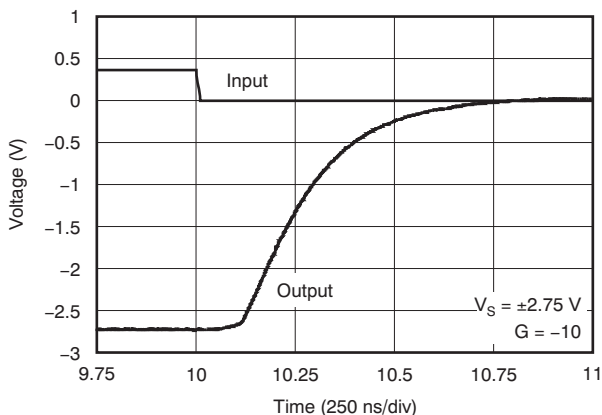


图 32. 负恢复时间

7.4 器件功能模式

OPAX322-Q1 系列运算放大器可在电源电压介于 1.8V 至 5.5V 的条件下正常工作。

8 应用和实例

注

以下应用部分中的信息不属于 TI 组件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实施，以确认系统功能正常。

8.1 应用信息

OPAx322-Q1 系列器件具有出色的直流和交流性能。这些器件采用高达 5.5V 的电源供电，并提供超低输入偏置电流和 20MHz 带宽。这些特性使 OPAx322-Q1 系列成为适用于电池供电类应用和工业应用的强大运算放大器。

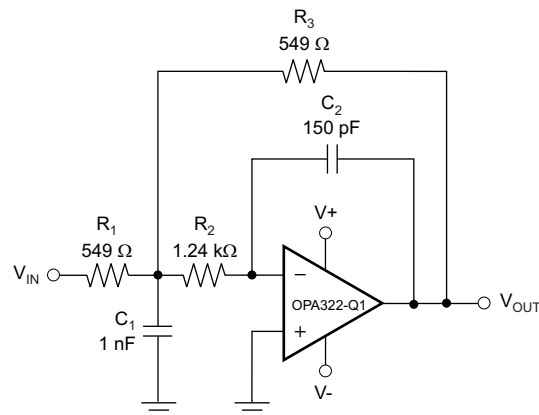
8.1.1 有源滤波器

OPAx322-Q1 非常适合需要宽带宽、高压摆率、低噪声、单电源运算放大器的有源滤波器应用。图 33 显示了采用多反馈 (MFB) 拓扑的 500kHz 二阶低通滤波器。这些组件经过挑选，旨在提供最大平坦度的巴特沃斯型响应。超过截止频率时，具有每十倍频 -40dB 的下降率。巴特沃斯型响应非常适合需要可预测增益特征的应用（例如在 ADC 之前使用的抗混叠滤波器）。

在考虑使用 MFB 滤波器时，一个值得注意的地方是输出相对于输入反相。如果不需要（或不想）反相，可以通过下面的其中一种方法实现同相输出：

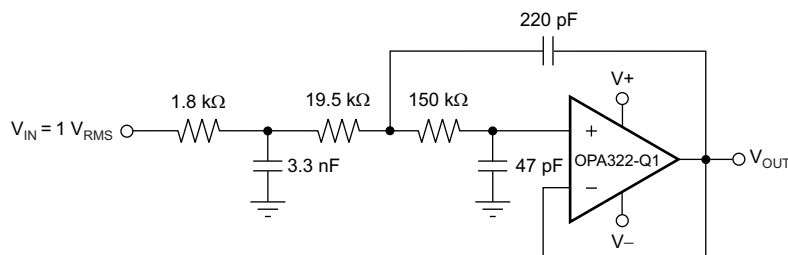
1. 增加反相放大器
2. 额外增加一个二阶 MFB 级
3. 使用同相滤波器拓扑，如 Sallen-Key（如图 34 所示）。

使用 TI 的 FilterPro™ 程序可快速实现 MFB、Sallen-Key 低通和高通滤波器合成。此软件可从 www.ti.com.cn 免费下载。



Copyright © 2016, Texas Instruments Incorporated

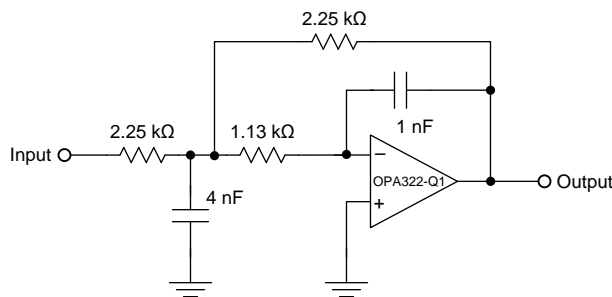
图 33. 二阶巴特沃斯 500kHz 低通滤波器



Copyright © 2016, Texas Instruments Incorporated

图 34. OPAx322-Q1 配置为三极 20kHz Sallen-Key 滤波器

8.2 典型应用



Copyright © 2017, Texas Instruments Incorporated

图 35. 二阶低通滤波器原理图

8.2.1 设计要求

- 增益 = 1V/V
- 低通截止频率 = 50kHz
- -40dB/十倍频的滤波器响应
- 在增益与频率响应的关系图中保持低于 3dB 的增益峰值

8.2.2 详细设计流程

公式 2 展示了用于低通网络功能的无限增益多反馈电路。使用公式 2 计算电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1 R_3 C_2 C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3 R_4 C_2 C_5} \quad (2)$$

该电路将产生信号反转。对于该电路，直流增益和低通截止频率通过公式 3 计算得出。

$$\text{Gain} = \frac{R_4}{R_1}$$

$$f_c = \frac{1}{2\pi} \sqrt{1/R_3 R_4 C_2 C_5} \quad (3)$$

可使用软件工具简化滤波器设计。WEBENCH®滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 WEBENCH® 滤波设计器，用户可使用精选的 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来打造最佳滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 WEBENCH® 滤波器设计器。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

典型应用 (接下页)

8.2.3 应用曲线

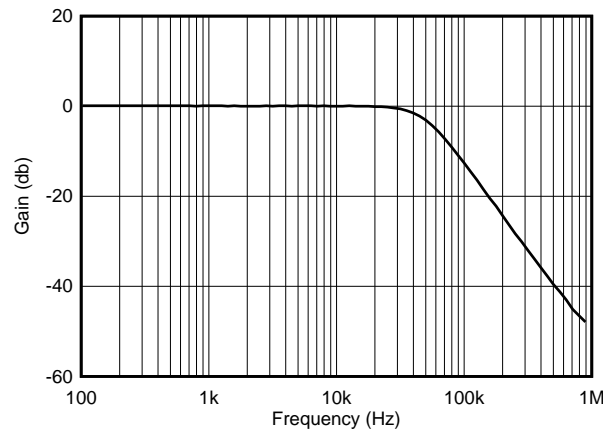


图 36. OPAx322-Q1 二阶 50kHz 低通滤波器

9 电源建议

OPAx322-Q1 系列的额定工作电压范围是 1.8V 至 5.5V ($\pm 0.9V$ 至 $\pm 2.75V$) ; 许多规格在 $-40^{\circ}C$ 至 $+125^{\circ}C$ 的温度下适用。 [典型特性](#) 中介绍了可能会随工作电压或温度的变化而显著变化的参数。

CAUTION

电源电压超过 6V 可能会对器件造成永久损坏；请参阅 [绝对最大额定值](#)。

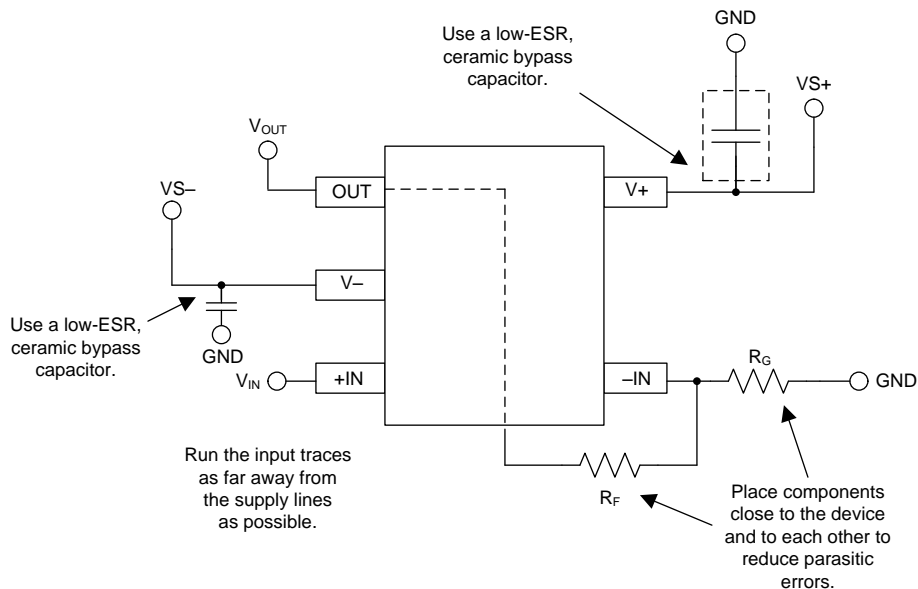
将 $0.1\mu F$ 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅 [布局](#)。

10 布局

10.1 布局指南

OPAx322-Q1 是宽带放大器。为了获得器件的完整工作性能，请遵循良好的高频印刷电路板 (PCB) 布局规范。必须在每个电源引脚和接地端之间连接旁路电容器，位置应尽量靠近器件。旁路电容器走线必须采用具有最小电感的设计。

10.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 37. 布局示例

11 器件和文档支持

11.1 器件支持

11.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

11.1.2 开发支持

11.1.2.1 TINA-TI™ (免费软件下载)

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。TINA-TI™ 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析以及其他设计功能。

TINA-TI 可从 Analog eLab Design Center (模拟电子实验室设计中心) [免费下载](#)，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件 (由 DesignSoft™提供) 或者 TINA-TI 软件。请从 [TINA-TI 文件夹](#) 中下载免费的 TINA-TI 软件。

11.1.2.2 DIP 适配器 EVM

[DIP 适配器 EVM](#) 工具提供了一种针对小型表面贴装器件进行原型设计的简易低成本方法。评估工具适用于以下 TI 封装：D 或 U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV (SOT23-6、SOT23-5 和 SOT23-3)、DCK (SC70-6 和 SC70-5) 以及 DRL (SOT563-6)。DIP 适配器 EVM 也可搭配引脚排使用或直接与现有电路相连。

11.1.2.3 通用运算放大器评估模块 (EVM)

[通用运放 EVM](#) 是一系列通用空白电路板，可简化采用各种器件封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持 PDIP、SOIC、VSSOP、TSSOP 和 SOT-23 封装。

注

这些电路板均为空白电路板，用户必须自行提供相关器件。TI 建议您在订购通用运算放大器 EVM 时申请几个运算放大器器件样品。

11.1.2.4 TI 高精度设计

TI 高精度设计的模拟设计方案是由 TI 公司高精度模拟实验室设计应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。欲获取 TI 高精度设计，请访问 <http://www.ti.com.cn/ww/analog/precision-designs/>。

文本

11.1.2.5 WEBENCH®滤波器设计器

[WEBENCH® 滤波器设计器](#)是一款简单、功能强大且便于使用的有源滤波器设计程序。WEBENCH® Filter Designer 允许用户通过选择 TI 运算放大器以及 TI 供应商合作伙伴的无源组件来构建优化滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 [WEBENCH® 滤波器设计器](#)。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

11.2 文档支持

11.2.1 相关文档

使用 OPAx322x-Q1 系列时，建议参考下列相关文档。所有这些文档都可从 www.ti.com 上下载（除非另有说明）。

- 《QFN/SON PCB 连接》(SLVA271)
- 《四方扁平无引线逻辑器件封装》（文献编号：SCBA017）
- 《OPA322、OPA2322、OPA4322 EMIR 抗干扰性能》(SBOT005)
- 《FilterPro™ 用户指南》(SBFA001)
- 《采用高速 ADC 和差动放大器的瞬变录波器和数字故障录波器 AFE》(TIDUAT7)
- 《将电流输出霍尔传感器和 CT 连接至差动 ADC/MCU 的参考设计》(TIDUA57A)
- 《使用磁通门传感器通过单端信号调节电路进行电流和电压测量》(TIDU585)
- 《采用磁通门传感器通过差动信号调节电路进行电流和电压测量》(TIDU569)

11.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 1. 相关链接

部件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
OPA322-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2322-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4322-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.4 接收文档更新通知

如需接收文档更新通知，请访问 ti.com.cn 上的器件产品文件夹。单击右上角的通知我 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

TI E2E™ 在线社区 TI 的工程师对工程师 (E2E) 社区。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 TI 参考设计支持 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.6 商标

FilterPro, TINA-TI, E2E are trademarks of Texas Instruments.
WEBENCH is a registered trademark of Texas Instruments.
TINA, DesignSoft are trademarks of DesignSoft, Inc.
is a trademark of ~ Texas Instruments.
All other trademarks are the property of their respective owners.

11.7 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.8 术语表

[SLYZ022](#) — TI 术语表。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2322AQDGKRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OVDQ	Samples
OPA322AQDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	19AD	Samples
OPA4322AQPWRQ1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	4322AQ1	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA2322-Q1, OPA322-Q1, OPA4322-Q1 :

- Catalog : [OPA2322](#), [OPA322](#), [OPA4322](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2322AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2322AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA322AQDBVRQ1	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA4322AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2322AQDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2322AQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA322AQDBVRQ1	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA4322AQPWRQ1	TSSOP	PW	14	2000	356.0	356.0	35.0

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

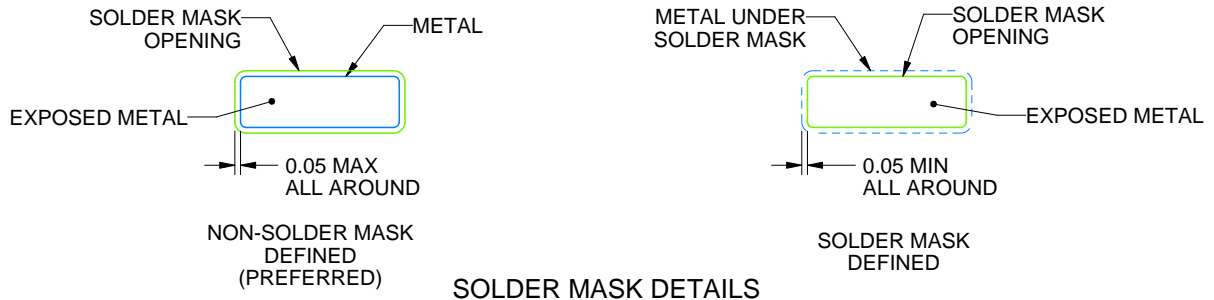
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司