OPA4277-SP 耐辐射高精度运算放大器

1 特性

- 符合 QMLV 标准：5962-16209
  - 耐辐射保障 (RHA) 高达 50krad(Si) 总电离剂量 (TID)
  - 无低剂量率辐射损伤增强 (ELDRS)（请参阅辐射报告）
  - 单粒子锁定 (SEL) 对于 LET 的抗扰度 = 85MeV-cm^2/mg
- 超低失调电压：20μV（典型值）
- 超低温漂：±0.15μV/°C（典型值）
- 高开环增益：134dB（典型值）
- 高共模抑制：140dB（典型值）
- 高电源抑制：130dB（典型值）
- 宽电源电压范围：±2V 至 ±18V
- 低静态电流：790μA/放大器（典型值）
- 采用 14 引线 CFP，具有业界通用四路运算放大器引脚分配

2 应用

- 卫星电力系统
- 命令和数据处理
- 光学成像有效载荷
- 实验室和现场仪表
- 太空卫星温度和位置检测
- 太空精密和科学应用：
  - 传感器放大器
  - 桥式放大器
  - 应力计放大器
  - 精密积分器

3 说明

OPA4277-SP 精密运算放大器取代了行业标准型 LM124-SP。OPA4277-SP 的噪声性能得到改善，可提供两种数量级的低输入失调电压。特性包括超低失调电压和温漂、低偏置电流、高共模抑制及高电源抑制。

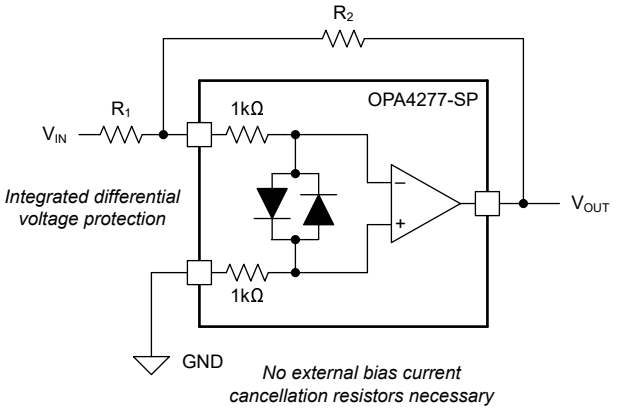
OPA4277-SP 由 ±2V 至 ±18V 的电源供电，具有出色的性能。大多数运算放大器仅有一个指定的电源电压，而 OPA4277-SP 高精度运算放大器有所不同，其电源电压取决于实际应用；唯一的限制条件是电源电压在 ±5V 至 ±15V 范围内。当放大器输出摆幅达到指定限值时，可保持高性能。

OPA4277-SP 易于使用，而且不存在其他某些运算放大器中出现的反相和过载问题。该器件具有稳定的单位增益，且可在宽负载条件范围内提供出色的动态行为。OPA4277-SP 具有完全独立的电路，即便在过驱或过载时也可以实现最低串扰和零交互。

器件信息

器件型号	等级	封装(1)
5962L1620901VYC	50krad(Si) 无 ELDRS	14 引线 CFP (HFR)
5962L1620901VXA		28 引线 CDIP (JDJ)
5962L1620901V9A		KGD(2)
5962-1620901VYC	非 RHA(3)	14 引线 CFP (HFR)
OPA4277HFR/EM	工程样片(4)	14 引线 CFP (HFR)

(1) 有关更多信息，请参阅 节 10。
(2) KGD = 已知的合格芯片。
(3) 器件按照完整的 QML V 类流程进行加工，但未针对抗辐射保证进行筛选。
(4) 这些器件仅适用于工程评估，按照不合规的流程进行加工处理。这些器件不适用于鉴定、量产、辐射测试或飞行用途。无法保证器件在整个军用额定温度范围（-55°C 至 +125°C）内或其使用寿命内性能无恙。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
4.1 裸片信息....5
5 规格.... 6
5.1 绝对最大额定值....6
5.2 ESD 等级.... 6
5.3 建议运行条件.... 6
5.4 热性能信息....6
5.5 电气特性....7
5.6 典型特性....10
6 详细说明.... 14
6.1 概述....14
6.2 功能方框图.... 14
6.3 特性说明....14
6.4 器件功能模式.... 15
7 应用和实施....16
7.1 应用信息....16
7.2 典型应用....16
7.3 电源相关建议.... 17
7.4 布局....18
8 器件和文档支持.... 19
8.1 接收文档更新通知.... 19
8.2 支持资源....19
8.3 商标....19
8.4 静电放电警告.... 19
8.5 术语表.... 19
9 修订历史记录....19
10 机械、封装和可订购信息....20

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

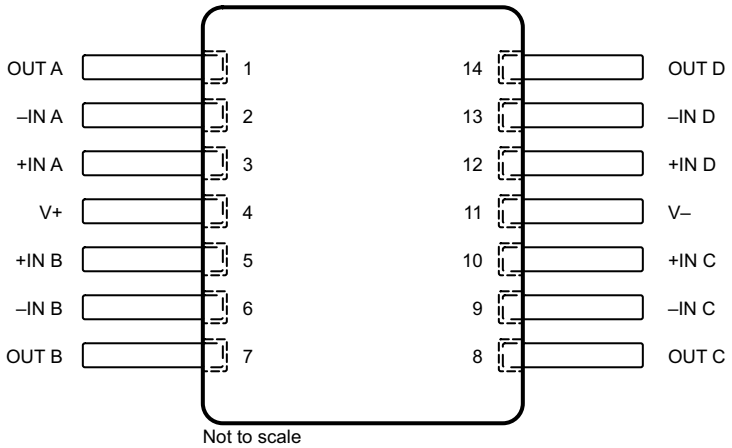


图 4-1. HFR 封装，14 引脚 CFP（俯视图）

表 4-1. 引脚功能：CFP

引脚		类型	说明
编号	名称		
1	OUT A	输出	通道 A 的输出
2	–IN A	输入	通道 A 的反相输入
3	+IN A	输入	通道 A 的非反相输入
4	V+	—	正（最高）电源
5	+IN B	输入	通道 B 的非反相输入
6	–IN B	输入	通道 B 的反相输入
7	OUT B	输出	通道 B 的输出
8	OUT C	输出	通道 C 的输出
9	–IN C	输入	通道 C 的反相输入
10	+IN C	输入	通道 C 的非反相输入
11	V–	—	负（最低）电源
12	+IN D	输入	通道 D 的非反相输入
13	–IN D	输入	通道 D 的反相输入
14	OUT D	输出	通道 D 的输出

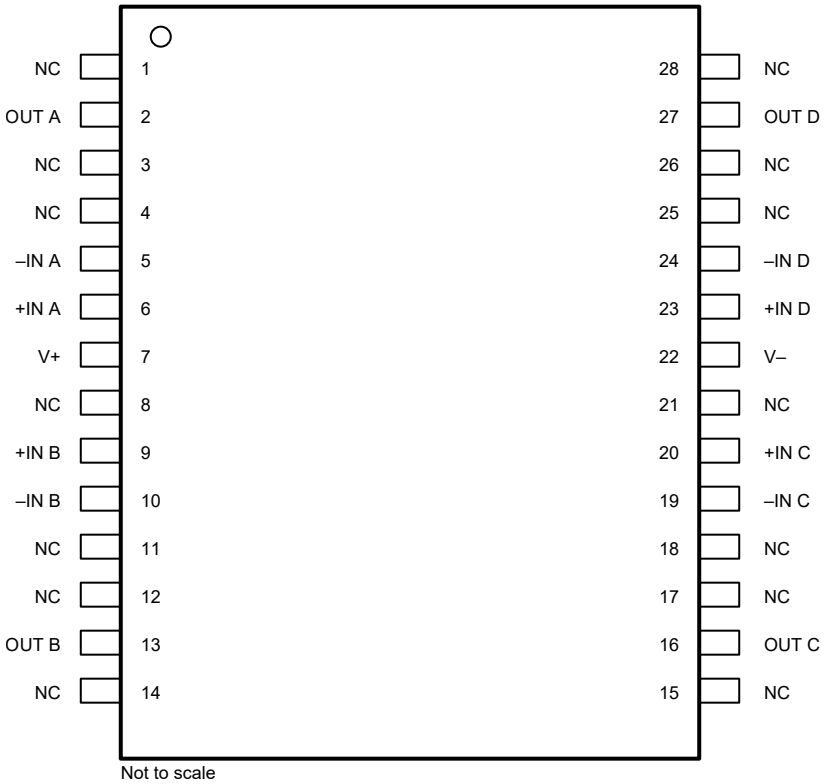


图 4-2. JDJ 封装，28 引脚 CDIP（俯视图）

表 4-2. 引脚功能：CDIP

引脚		类型	说明
编号	名称		
1、3、4、8、11、12、14、15、17、18、21、25、26、28	NC	—	未连接
2	OUT A	输出	通道 A 的输出
5	–IN A	输入	通道 A 的反相输入
6	+IN A	输入	通道 A 的非反相输入
7	V+	—	正（最高）电源
9	+IN B	输入	通道 B 的非反相输入
10	–IN B	输入	通道 B 的反相输入
13	OUT B	输出	通道 B 的输出
16	OUT C	输出	通道 C 的输出
19	–IN C	输入	通道 C 的反相输入
20	+IN C	输入	通道 C 的非反相输入
22	V–	—	负（最低）电源
23	+IN D	输入	通道 D 的非反相输入
24	–IN D	输入	通道 D 的反相输入
27	OUT D	输出	通道 D 的输出

Copyright © 2025 Texas Instruments Incorporated

4.1 裸片信息

芯片厚度	背面光洁度	背面电势	接合焊盘金属化合物	接合焊盘厚度
15 密耳	硅片减薄	负（最低）电源	AlCu (0.5%)	990nm 至 1210nm

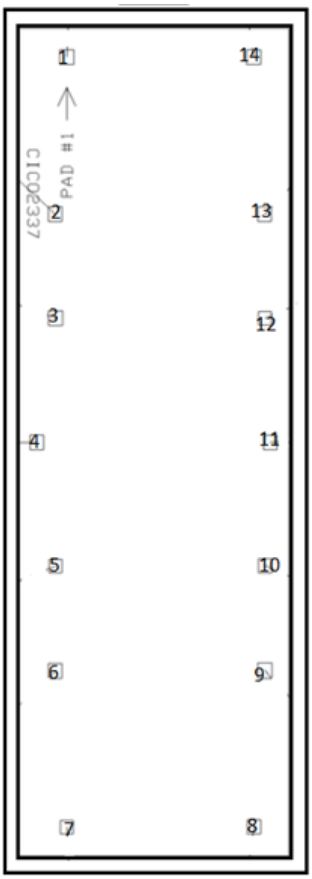


表 4-3. 接合焊盘坐标（单位：微米）

焊盘(1)		类型	说明	X 最小值	Y 最小值	X 最大值	Y 最大值
编号	名称						
1	OUT A	输出	通道 A 的输出	1791.042	7290.340	1901.751	7401.049
2	–IN A	输入	通道 A 的反相输入	1701.719	6111.536	1807.397	6217.213
3	+IN A	输入	通道 A 的非反相输入	1701.719	5326.505	1812.429	5437.215
4	V+	—	正（最高）电源	1555.784	4390.507	1661.461	4498.700
5	+IN B	输入	通道 B 的非反相输入	1706.752	3462.057	1807.397	3562.702
6	–IN B	输入	通道 B 的反相输入	1701.719	2671.994	1807.397	2777.671
7	OUT B	输出	通道 B 的输出	1796.074	1498.222	1896.719	1598.867
8	OUT C	输出	通道 C 的输出	3278.071	1498.222	3383.748	1603.900
9	–IN C	输入	通道 C 的反相输入	3362.361	2671.994	3473.071	2782.704
10	+IN C	输入	通道 C 的非反相输入	3367.393	3462.057	3473.071	3567.734
11	V–	—	负（最低）电源	3407.651	4391.765	3513.329	4497.442
12	+IN D	输入	通道 D 的非反相输入	3367.393	5331.537	3468.038	5432.182
13	–IN D	输入	通道 D 的反相输入	3362.361	6111.536	3468.038	6217.213
14	OUT D	输出	通道 D 的输出	3273.039	7290.340	3383.748	7401.049

(1) 基板必须偏置到 V–，即负（最低）电源。

5 规格

5.1 绝对最大额定值

在自然通风温度下测得（除非另有说明）[(1)]

		最小值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)		36	V
	输入电压	(V–) – 0.7	(V+) + 0.7	V
	输出短路	持续		
	工作温度	-55	125	°C
	结温		150	°C
	引线温度（焊接，10s）		300	°C
T_{stg}	贮存温度	-55	125	°C

(1) 应力超出*绝对最大额定值*中列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚[(1)]	±2000	V
		机器模型 (MM)	±100	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
	双电源电压	±2	±18	V
	测得电源电压[(1)]	±5	±15	V
T_J	工作结温	-55	125	°C

(1) SEL 抗扰度是 30V 电源偏置电压下的特性。有关详细信息，请参阅 *OPA4277-SP 高精度运算放大器的单粒子效应测试报告*辐射报告。

5.4 热性能信息

热指标[(1)]		OPA4277-SP		单位
		HFR (CFP)	JDJ (CDIP)	
		14 引脚	28 引脚	
$R_{\theta JA}$	结至环境热阻	26.7	66.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	9.4	19.3	°C/W
$R_{\theta JB}$	结至电路板热阻	10.4	35.9	°C/W
ψ_{JT}	结至顶部特征参数	4.6	12.8	°C/W
ψ_{JB}	结至电路板特征参数	10.2	34.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.9	3.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

T_A = 25°C，V_S = ±5V 至 ±15V，且 R_L = 2kΩ 时（除非另有说明）。辐照后规格不适用于非 RHA 等级，包括工程样片。

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入偏移电压	T_J = 25°C，辐照前和辐照后		±20	±65	μV
		T_J = –55°C 至 +125°C，辐照前			±140	
dV_{OS}/d_T	输入失调电压温漂	T_J = –55°C 至 +125°C，辐照前		±0.15		μV/°C
	输入偏移电压长期稳定性			0.2		μV/mo
PSRR	电源抑制比	V_S = ±2V 至 ±18V， T_J = 25°C，辐照前和辐照后		±0.3	±1	μV/V
		V_S = ±2V 至 ±18V， T_J = –55°C 至 +125°C			±1	
	通道隔离	DC		0.1		μV/V
输入偏置电流						
I_B	输入偏置电流	T_J = -55°C 至 +125°C			±17.5	nA
		T_J = 25°C，辐照前和辐照后			±17.5	
I_{OS}	输入失调电流	T_J = -55°C 至 +125°C			±17.5	nA
		T_J = 25°C，辐照前和辐照后			±17.5	
噪声						
	输入电压噪声	f = 0.1 至 10Hz		0.22		$μV_{pp}$
	输入电压噪声密度	f = 10Hz		12		nV/√Hz
		f = 100Hz		8		
		f = 1kHz		8		
		f = 10kHz		8		
i_n	输入噪声电流密度	f = 1kHz		0.2		fA/√Hz
输入电压						
V_{CM}	共模电压范围	T_J = 25°C，辐照前和辐照后	(V–) + 2		(V+) – 2	V
CMRR	共模抑制比	(V–) + 2V < V_{CM} < (V+) – 2V， T_J = 25°C，辐照前和辐照后，JDJ 封装和 KGD	114	140		dB
		(V–) + 2V < V_{CM} < (V+) – 2V， T_J = –55°C 至 +125°C， JDJ 封装和 KGD	114			
		(V–) + 2V < V_{CM} < (V+) – 2V， T_J = 25°C，辐照前和辐射后，HFR 封装	100	121		
		(V–) + 2V < V_{CM} < (V+) – 2V， T_J = –55°C 至 +125°C，HFR 封装	100			
输入阻抗						
	差分			100 || 3		MΩ || pF
	共模	(V–) + 2V < V_{CM} < (V+) – 2V		250 || 3		GΩ || pF
频率响应						
GBW	增益带宽积			1		MHz
SR	压摆率			0.8		V/μs
	趋稳时间	0.1%、10V 阶跃、V_S = ±15V、G = 1		14		μs
		0.01%、10V 阶跃、V_S = ±15V、G = 1		16		

5.5 电气特性（续）

T_A = 25°C，V_S = ±5V 至 ±15V，且 R_L = 2kΩ 时（除非另有说明）。辐照后规格不适用于非 RHA 等级，包括工程样片。

参数		测试条件	最小值	典型值	最大值	单位
THD + N	总谐波失真 + 噪声	1kHz、G = 1、V_O = 3.5Vrms		0.002%		

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

T_A = 25°C，V_S = ±5V 至 ±15V，且 R_L = 2kΩ 时（除非另有说明）。辐照后规格不适用于非 RHA 等级，包括工程样片。

参数		测试条件	最小值	典型值	最大值	单位
开环增益						
A_{OL}	开环电压增益	V_O = (V–) + 0.5V 至 (V+) – 1.2V，R_L = 10kΩ		140		dB
		V_O = (V–) + 1.5V 至 (V+) – 1.5V，R_L = 2kΩ，T_J = 25°C，辐射前和辐射后，JDJ 封装和 KGD	118	134		
		V_O = (V–) + 1.5V 至 (V+) – 1.5V，R_L = 2kΩ，T_J = –55°C 至 +125°C，JDJ 封装和 KGD	118	134		
		V_O = (V–) + 1.5V 至 (V+) – 1.5V，R_L = 2kΩ，T_J = 25°C，辐射前和辐射后，HFR 封装	100	123		
		V_O = (V–) + 1.5V 至 (V+) – 1.5V，R_L = 2kΩ，T_J = –55°C 至 +125°C，HFR 封装	100	123		
		V_O = (V–) + 3.4V 至 (V+) – 3.4V，R_L = 600Ω，V_S = ±7V，T_J = 25°C，辐射前和辐射后，JDJ 封装和 KGD	118	134		
		V_O = (V–) + 3.4V 至 (V+) – 3.4V，R_L = 600Ω，V_S = ±7V，T_J = –55°C 至 +125°C，JDJ 封装和 KGD	118	134		
		V_O = (V–) + 3.4V 至 (V+) – 3.4V，R_L = 600Ω，V_S = ±7V，T_J = 25°C，辐射前和辐射后，HFR 封装	90	114		
		V_O = (V–) + 3.4V 至 (V+) – 3.4V，R_L = 600Ω，V_S = ±7V，T_J = –55°C 至 +125°C，HFR 封装	90	114		
输出						
V_O	输出电压	R_L = 10kΩ，T_J = 25°C，辐照前和辐射后	(V–) + 0.5		(V+) – 1.2	V
		R_L = 10kΩ，T_J = –55°C 至 +125°C	(V–) + 0.5		(V+) – 1.2	
		R_L = 2kΩ，T_J = 25°C，辐照前和辐射后	(V–) + 1.5		(V+) – 1.5	
		R_L = 2kΩ，T_J = –55°C 至 +125°C	(V–) + 1.5		(V+) – 1.5	
		T_J = 25°C，R_L = 600Ω，辐照前和辐射后	(V–) + 3.4		(V+) – 3.4	
		R_L = 600Ω，V_S = ±7V，T_J = –55°C 至 +125°C	(V–) + 3.4		(V+) – 3.4	
I_{SC}	短路电流			±35		mA
C_{LOAD}	容性负载驱动	f = 350kHz，I_O = 0mA		请参阅 *节 5.6*		
电源						
I_Q	每个放大器的静态电流	I_O = 0mA，T_J = 25°C，辐照前和辐射后		±790	±850	μA
		I_O = 0mA，T_J = –55°C 至 +125°C			±900	

5.6 典型特性

T_J = 25°C，V_S = ±15V，R_L = 2kΩ，且在辐照前（除非另有说明）

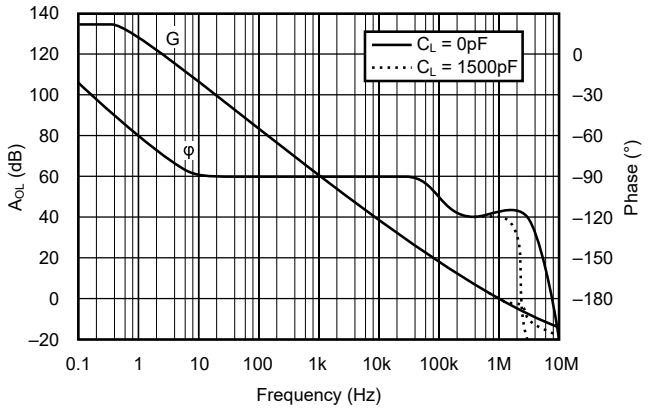


图 5-1. 开环增益和相位与频率间的关系

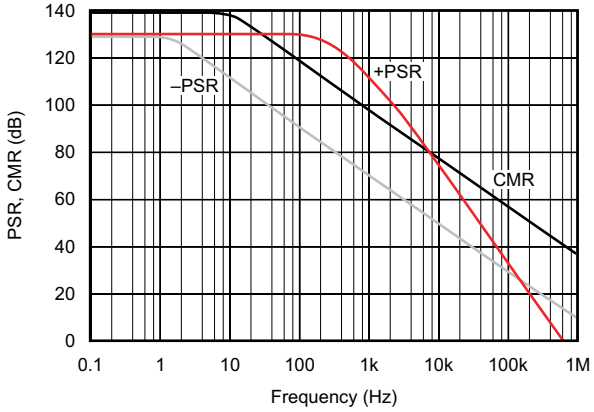


图 5-2. 电源和共模抑制与频率间的关系

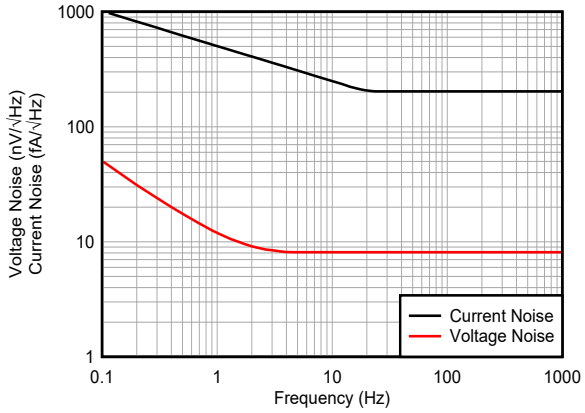
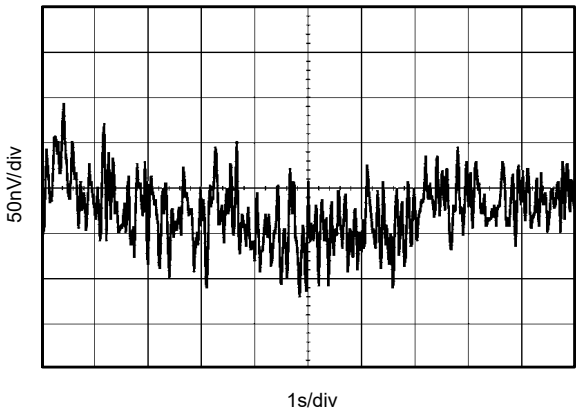
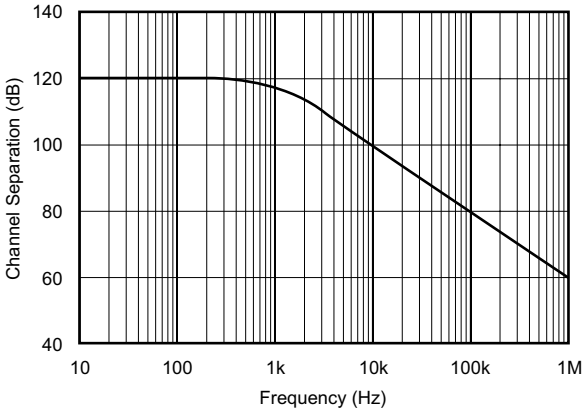


图 5-3. 输入噪声和电流噪声频谱密度与频率间的关系



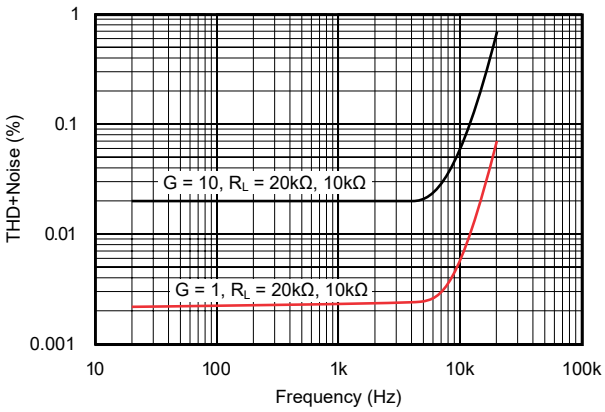
噪声信号的带宽限制在 0.1Hz 至 10Hz 之间

图 5-4. 输入噪声电压与时间间的关系



G = 1，测量了通道 A 到 D 或 B 到 C，
其他组合会产生类似或改善的抑制效果

图 5-5. 通道隔离与频率间的关系



V_{OUT} = 3.5Vrms

图 5-6. 总谐波失真 + 噪声与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）

T_J = 25°C，V_S = ±15V，R_L = 2kΩ，且在辐照前（除非另有说明）

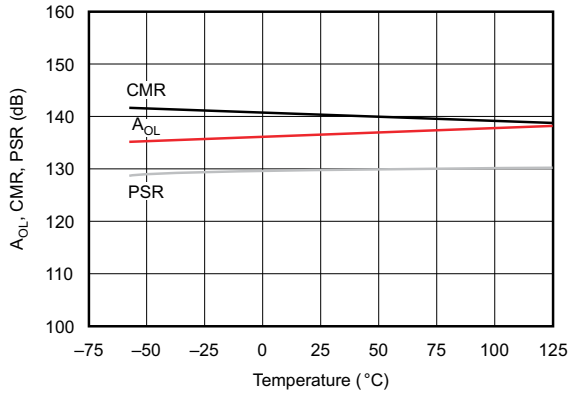
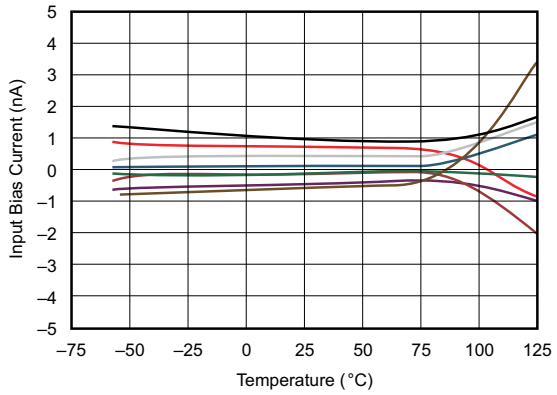


图 5-7. A_{OL}、CMR、PSR 与温度间的关系



曲线表示典型的量产器件

图 5-8. 输入偏置电流与温度间的关系

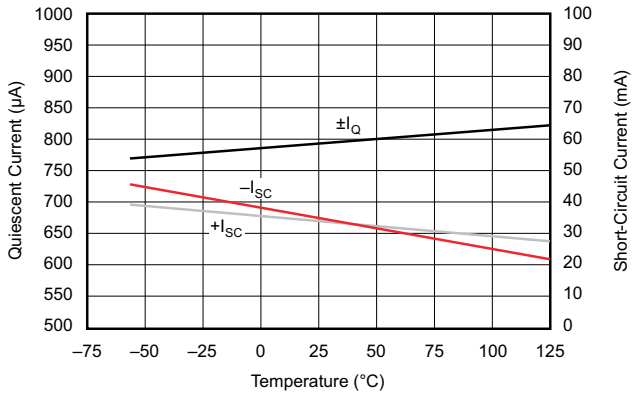
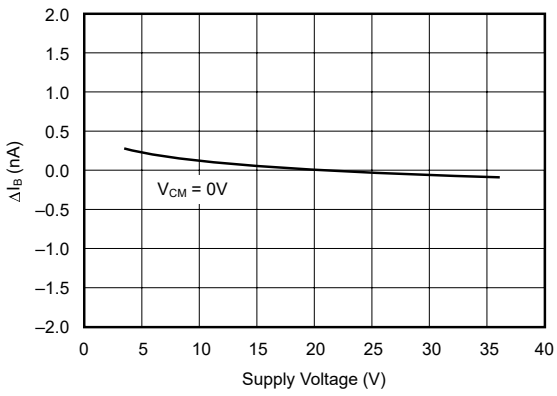
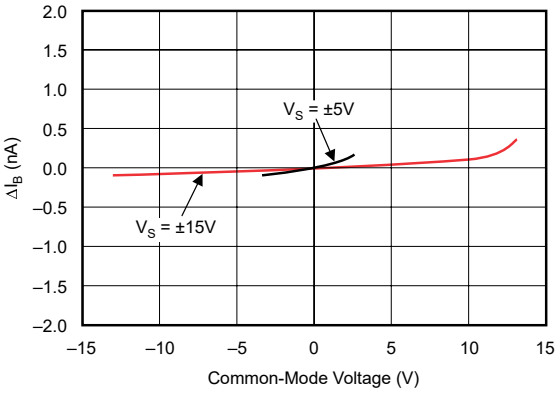


图 5-9. 静态电流和短路电流与温度间的关系



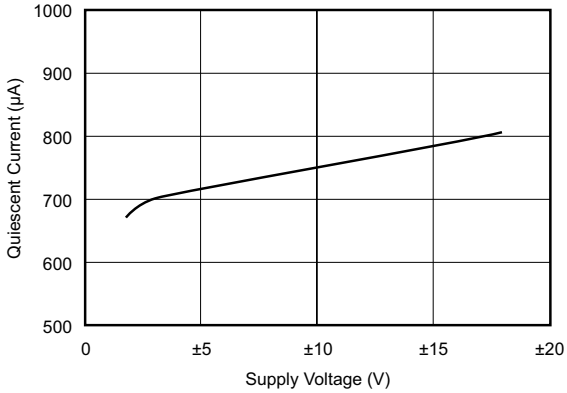
曲线显示了偏置电流相对于 V_S = ±10V (+20V) 的归一化变化，在 V_S = ±10V 时，典型 I_B 范围为 –0.5nA 至 0.5nA

图 5-10. 输入偏置电流变化与电源电压间的关系



曲线显示了偏置电流相对于 V_{CM} = 0V 的归一化变化，在 V_{CM} = 0V 时，典型 I_B 范围为 –0.5nA 至 0.5nA

图 5-11. 输入偏置电流变化与共模电压间的关系



（每个放大器）

图 5-12. 静态电流与电源电压间的关系

5.6 典型特性（续）

T_J = 25°C，V_S = ±15V，R_L = 2kΩ，且在辐照前（除非另有说明）

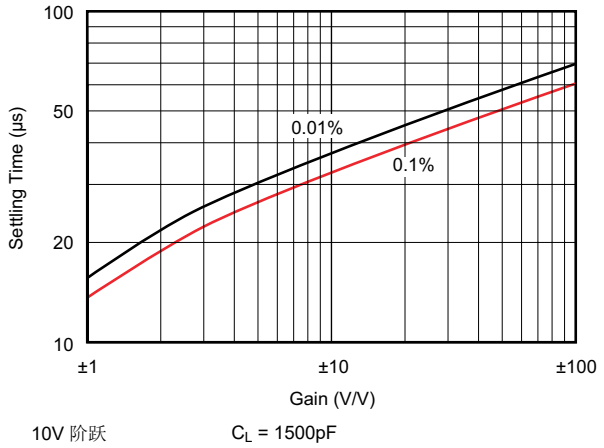


图 5-13. 建立时间与闭环增益间的关系

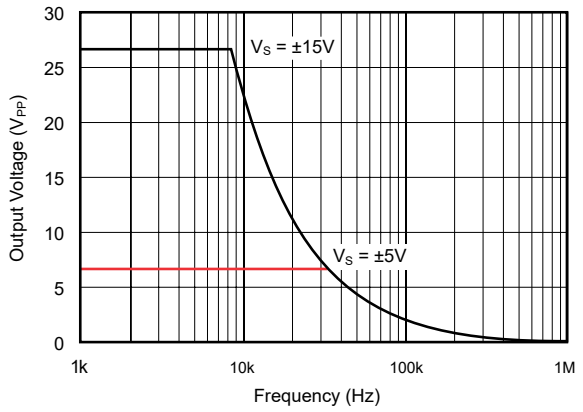


图 5-14. 最大输出电压与频率间的关系

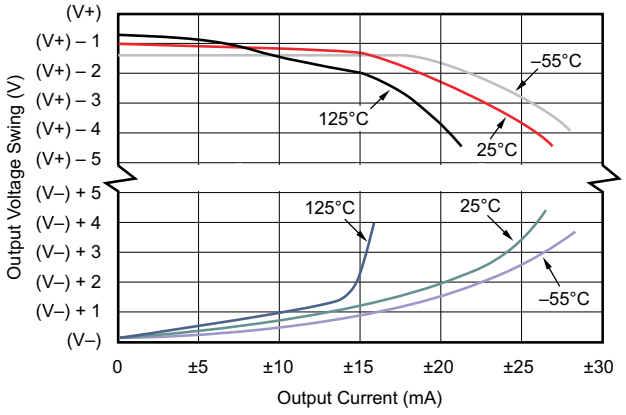


图 5-15. 输出电压摆幅与输出电流间的关系

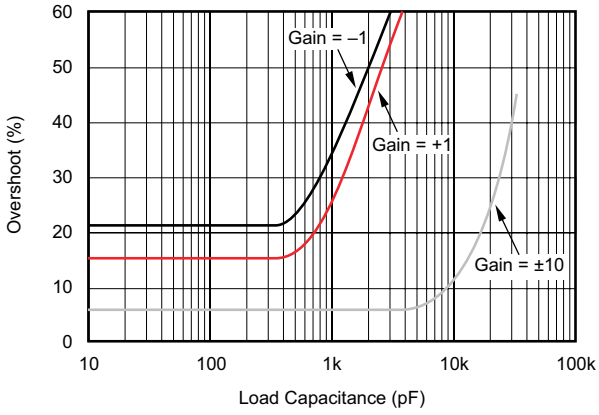


图 5-16. 小信号过冲与负载电容间的关系

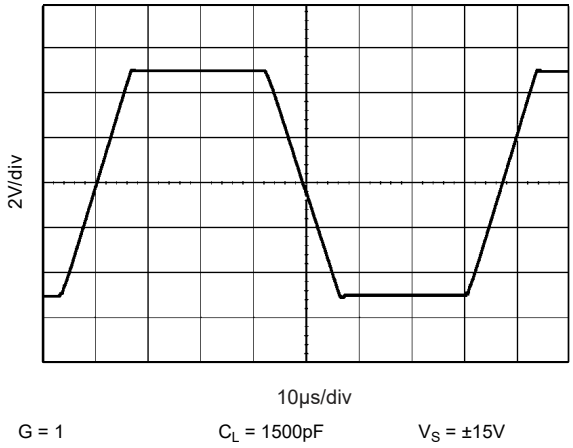


图 5-17. 大信号阶跃响应

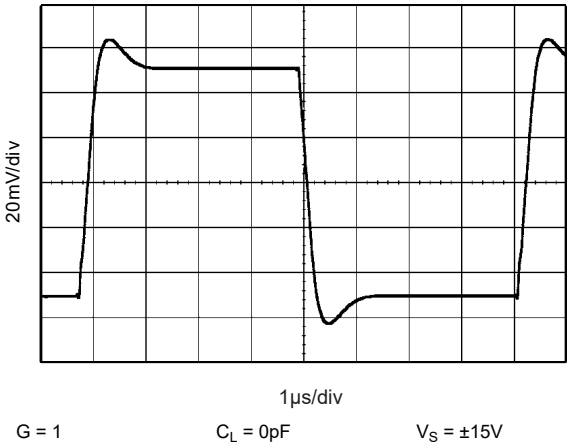


图 5-18. 小信号阶跃响应

Copyright © 2025 Texas Instruments Incorporated

5.6 典型特性（续）

T_J = 25°C，V_S = ±15V，R_L = 2kΩ，且在辐照前（除非另有说明）

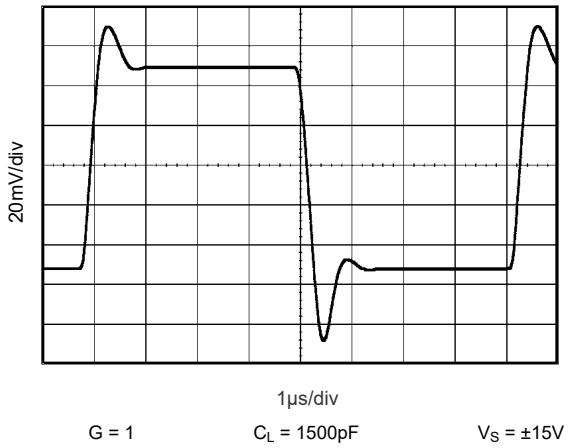


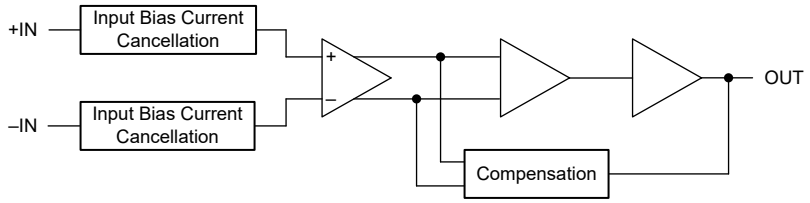
图 5-19. 小信号阶跃响应

6 详细说明

6.1 概述

OPA4277-SP 精密运算放大器取代了行业标准型 LM124-SP。OPA4277-SP 提供改善的噪声性能、更宽的输出电压摆幅，并且速度是原来的两倍，静态电流只有原来的一半。特性包括超低失调电压和温漂、低偏置电流、高共模抑制及高电源抑制。

6.2 功能方框图



6.3 特性说明

OPA4277-SP 由 ±2V 至 ±18V 的电源供电，具有出色的性能。大多数运算放大器仅有一个指定的电源电压，而 OPA4277-SP 高精度运算放大器有所不同，其电源电压取决于实际应用；唯一的限制条件是电源电压在 ±5V 至 ±15V 范围内。当放大器输出摆幅达到指定限值时，可保持高性能。初始偏移电压非常低（最大 ±50μV），因此通常无需用户调整。

6.3.1 输入保护

OPA4277-SP 的输入由 1kΩ 串联输入电阻器和二极管钳位提供保护。输入可以承受 ±30V 差分输入而不会损坏。当输入被过驱时，保护二极管会传导电流。这种传导电流可能会干扰单位增益跟随器应用的转换行为，但不会损坏运算放大器。

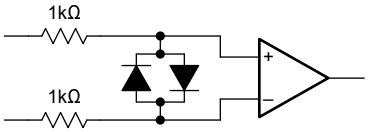


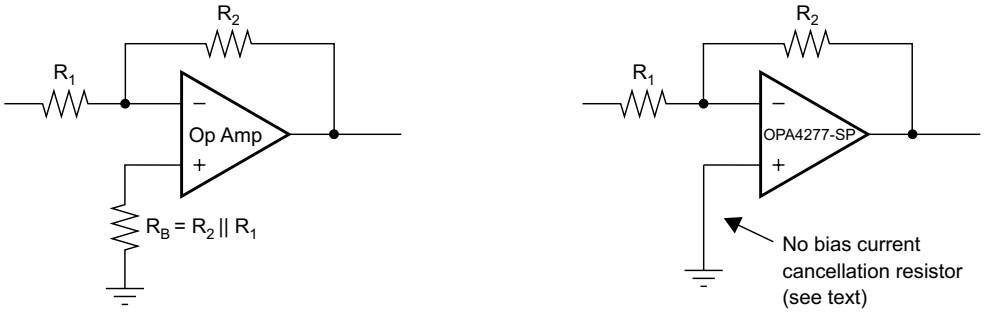
图 6-1. OPA4277-SP 输入保护

Copyright © 2025 Texas Instruments Incorporated

6.3.2 输入偏置电流消除

OPA4277-SP 的输入级基极电流在内部用相等且相反的消除电路进行补偿。得到的输入偏置电流是输入级基极电流与消除电流之间的差值。此残余输入偏置电流可以是正的或负的。

以这种方式消除偏置电流时，输入偏置电流和输入失调电流具有大致相同的幅度。因此，不需要使用偏置电流消除电阻器，这与其他运算放大器的做法一样。图 6-2 (a) 显示了一个具有外部偏置电流消除电阻器的运算放大器，而 (b) 显示了不需要外部偏置电流消除电阻器的 OPA4277-SP。请注意，添加一个电阻器来消除输入偏置电流误差实际上会增加偏移电压和噪声。



(a)

Conventional op amp with external bias current cancellation resistor.

(b)

OPA4277-SP with no external bias current cancellation resistor.

Copyright © 2016, Texas Instruments Incorporated

图 6-2. 输入偏置电流消除

6.4 器件功能模式

OPA4277-SP 具有单一功能模式，可在电源电压 (V+) – (V–) 小于或等于 36V 且大于或等于 4V 时工作。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

OPA4277-SP 单位增益稳定，并且不会意外出现输出相位反转，使该器件可轻松运用于各种应用。采用高噪声或高阻抗电源的应用可能要求去耦电容器靠近器件引脚。在大多数情况下，0.1μF 电容器已足够满足需求。

7.2 典型应用

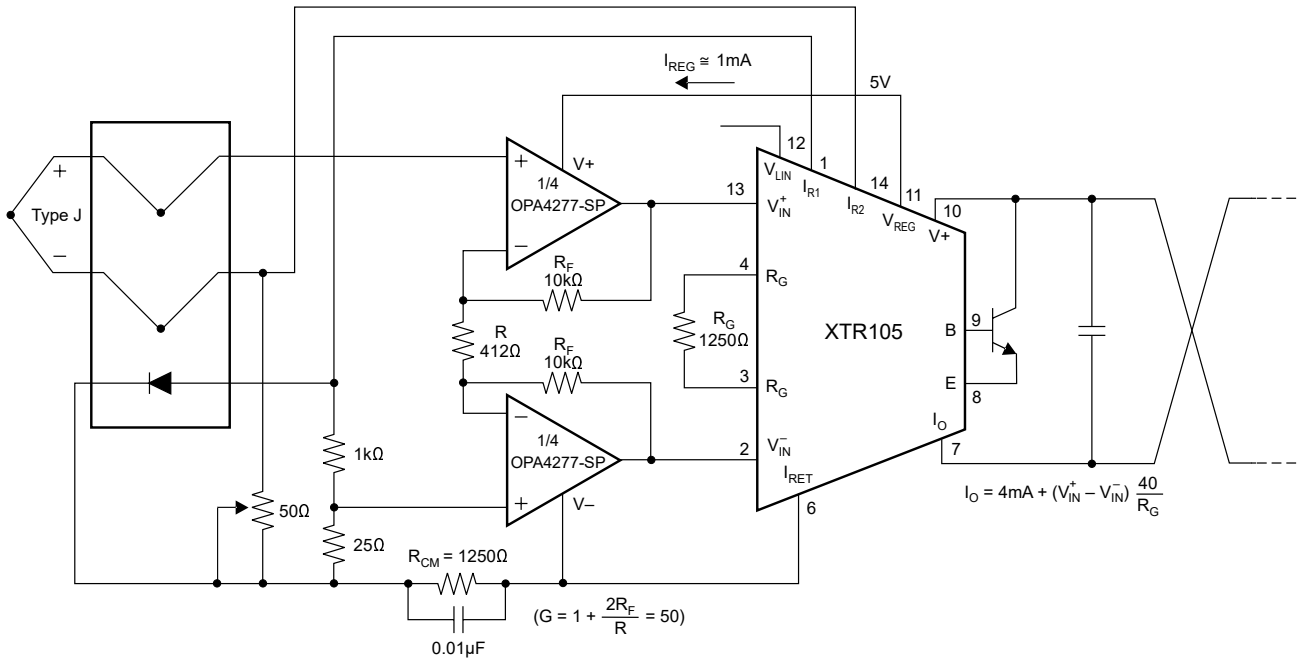


图 7-1. 具有二极管冷端补偿的热电偶低失调电压、低温漂环路测量

7.2.1 设计要求

对于 图 7-1 所示具有二极管冷端补偿的热电偶低偏移电压、低温漂环路测量，需要 50 的增益。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 详细设计过程

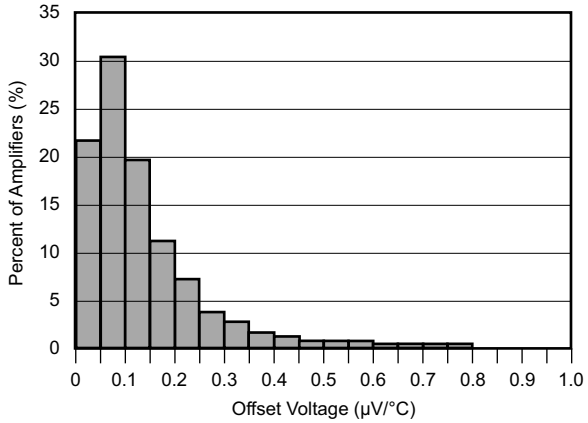
可利用 方程式 1 计算增益为 50 时所需的电阻值。表 7-1 列出了设计参数。

$$G = 1 + \frac{2R_F}{R} = 50 \tag{1}$$

表 7-1. 设计参数

设计参数	示例值
R_F	10kΩ
R	412Ω

7.2.3 应用曲线



T_J = 25°C、V_S = ±15V、R_L = 2kΩ
封装单元的典型分布 — 包括单、双和四通道

图 7-2. 预热失调电压温漂

7.3 电源相关建议

OPA4277-SP 由 ±2V 至 ±18V 的电源供电，具有出色的性能。大多数运算放大器仅有一个额定电源电压，而 OPA4277-SP 有所不同，其电源电压取决于实际应用；唯一的限制条件是电源电压在 ±5V 至 ±15V 范围内。因此，在 V_S = ±10V 下工作时具有与使用 ±15V 电源相同的额定性能。此外，关键参数的额定温度范围是 –55°C 至 +125°C。大多数行为在整个工作电压范围（±2V 至 ±18V）内保持不变。*典型特性*曲线中显示了随工作电压或温度变化而显著变化的参数。

7.4 布局

7.4.1 布局指南

OPA4277-SP 具有极低的偏移电压和温漂。为了实现出色的性能，应优化电路布局和机械条件。可以通过在运算放大器输入处实现小幅热电势来降低失调电压和温漂。连接不同的金属会产生热电势，这可能会降低 OPA4277-SP 的最终性能。通过确保两个输入终端中的电势相等，可消除这些热电势。

- 保持连接到两个输入终端的热质量相似。
- 让热源尽可能远离关键输入电路。
- 将运算放大器和输入电路与气流（如冷却风扇气流）隔离。

7.4.2 布局示例

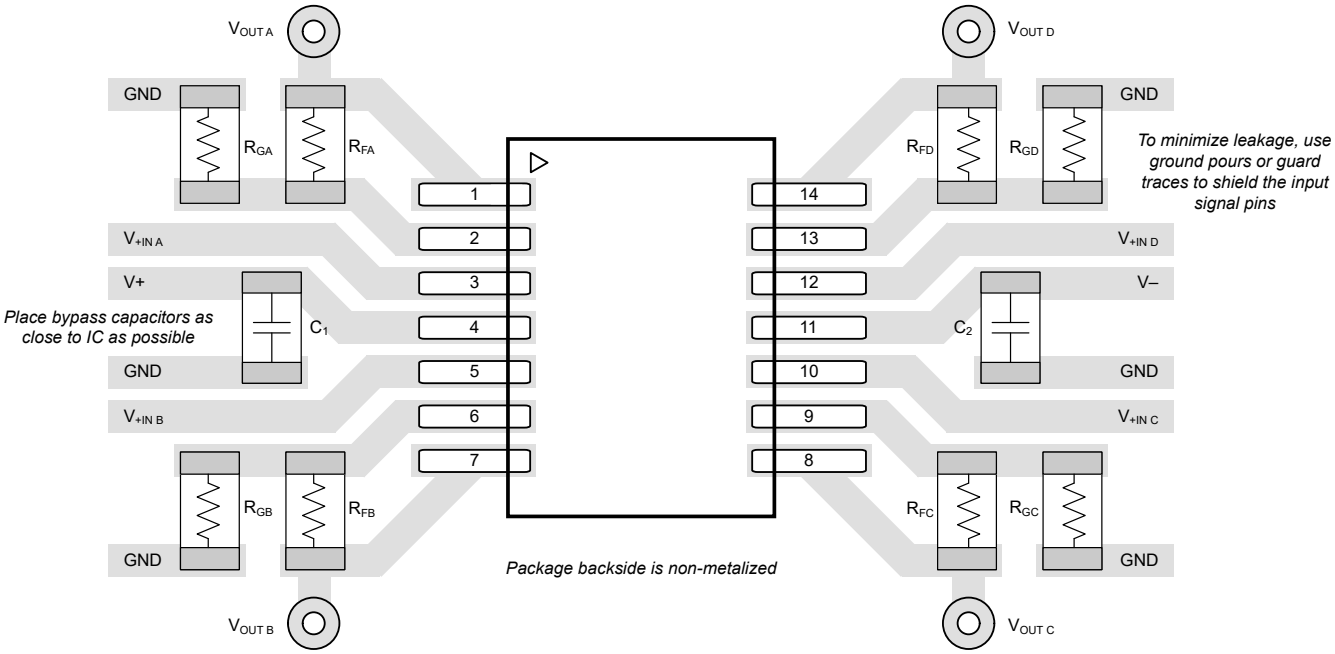


图 7-3. 电路板布局布线示例

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (November 2024) to Revision C (October 2025) — **Page**

- 向*器件信息*中添加了非 RHA 5962-1620901VYC 器件 1
- 将 JDJ (CDIP) 引脚名称中的 +VS 更改为 V+，–VS 更改为 V–，以便与其他封装保持一致 3
- 在*建议运行条件*表中添加了脚注，以阐明 SEL 抗扰度是 30V 电源下的特性 6
- 在*电气特性*中添加了说明，阐明辐照后规范不适用于非 RHA 可订购产品 7
- 将 A_{OL} 测试条件中的 (V_O+) 更改为 V+，(V_O–) 更改为 V–，以更正排印错误 7

Changes from Revision A (January 2019) to Revision B (November 2024) — **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 在*特性* 中添加了说明，指出值是典型值 1
- 将*特性* 中每个放大器的典型静态电流从 800μA 更改为 790μA 1
- 更新了*应用* 中相关终端设备的列表 1
- 更新了*简化版原理图* 以显示输入保护电路 1
- 更新了表 5-1 *引脚功能中引脚 9、10、23 和 24 的错误引脚说明：CDIP* 3
- 更新了表 5-1 *引脚功能中引脚 19 和 20 的错误引脚名称：CDIP* 3
- 更新了图 5-1 *JDJ 封装，28 引脚 CDIP（顶视图）*中引脚 19 和 20 的错误引脚名称 3
- 在*热性能信息*中更改了 JDJ 封装的 $R_{\theta JB}$、ψ_{JT} 和 ψ_{JB} 参数值，添加了 $R_{\theta JC(bot)}$ 热指标 6
- 向*热性能信息*添加了 HFR 封装 6
- 将*电气特性*中“与时间间的关系”规格的参数文本从“输入偏移电压”更改为“输入偏移电压长期稳定性” 7
- 将*电气特性*中 PSRR 的参数文本从“输入偏移电压”更改为“电源抑制比” 7

- 更新了*电气特性*中的一些 CMRR 和 AOL 参数说明以专门指定 JDJ 封装和 KGD，并阐明了这些规格的一些测试条件是在辐照前和辐照后 7
- 在*电气特性*中添加了 HFR 封装的最小 CMRR 规格 100dB、典型 CMRR 规格 121dB 7
- 在*电气特性*中添加了 HFR 封装的最小 AOL 规格 100dB（2kΩ 负载）和 90dB（600Ω 负载），以及典型规格 123dB（2kΩ 负载）和 114dB（600Ω 负载）..... 7
- 从*电气特性*中删除了“指定电压”和“工作电压”规格，因为这些规格已包含在*建议运行条件*中 7
- 删除了图 6-3 *输入噪声和电流噪声频谱密度与频率间的关系*中的重复标题 10
- 更新了*功能方框图*以包含输入偏置电流消除和补偿功能块 14
- 在*器件功能模式*的说明中添加了最小有效电源电压，并阐明了最大电源电压可以等于 36V 15
- 从*布局指南*中删除了散热焊盘建议，以准确反映封装器件特性 18
- 将图 8-3 *电路板布局示例*从通用运算放大器 EVM 布局更改为特定于器件的布局 18

Changes from Revision * (December 2016) to Revision A (January 2019) **Page**

- 更改了*特性* 部分 1
- 添加了新的器件封装 1
- 更新了*引脚配置和功能*部分 3
- 更新了*建议运行条件*表 6
- 更新了图 6-3 *输入噪声和电流噪声频谱密度与频率间的关系* 10

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-1620901VYC	Active	Production	CFP (HFR) | 14	25 | TUBE	ROHS Exempt	AU	N/A for Pkg Type	-55 to 125	5962-1620901VYC OPA4277-SP
5962L1620901V9A	Last Time Buy	Production	XCEPT (KGD) | 0	36 | JEDEC TRAY (5+1)	Yes	Call TI	N/A for Pkg Type	-55 to 125	
5962L1620901V9A.A	Last Time Buy	Production	XCEPT (KGD) | 0	36 | JEDEC TRAY (5+1)	Yes	Call TI	N/A for Pkg Type	-55 to 125	
5962L1620901VXA	Last Time Buy	Production	CDIP SB (JDJ) | 28	12 | TUBE	Yes	Call TI	N/A for Pkg Type	-55 to 125	5962L1620901VX A OPA4277-SP
5962L1620901VXA.A	Last Time Buy	Production	CDIP SB (JDJ) | 28	12 | TUBE	Yes	Call TI	N/A for Pkg Type	-55 to 125	5962L1620901VX A OPA4277-SP
5962L1620901VYC	Last Time Buy	Production	CFP (HFR) | 14	25 | TUBE	ROHS Exempt	AU	N/A for Pkg Type	-55 to 125	5962L1620901VYC OPA4277-SP
5962L1620901VYC.A	Last Time Buy	Production	CFP (HFR) | 14	25 | TUBE	ROHS Exempt	AU	N/A for Pkg Type	-55 to 125	5962L1620901VYC OPA4277-SP
OPA4277HFR/EM	Active	Production	CFP (HFR) | 14	25 | TUBE	No	AU	N/A for Pkg Type	25 to 25	OPA4277HFR/EM EVAL ONLY

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

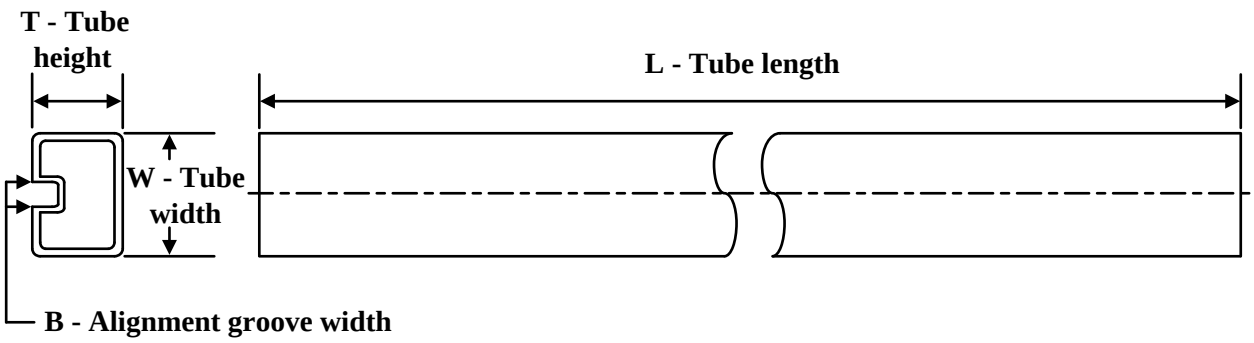
OTHER QUALIFIED VERSIONS OF OPA4277-SP :

- Catalog : OPA4277
- Enhanced Product : OPA4277-EP

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

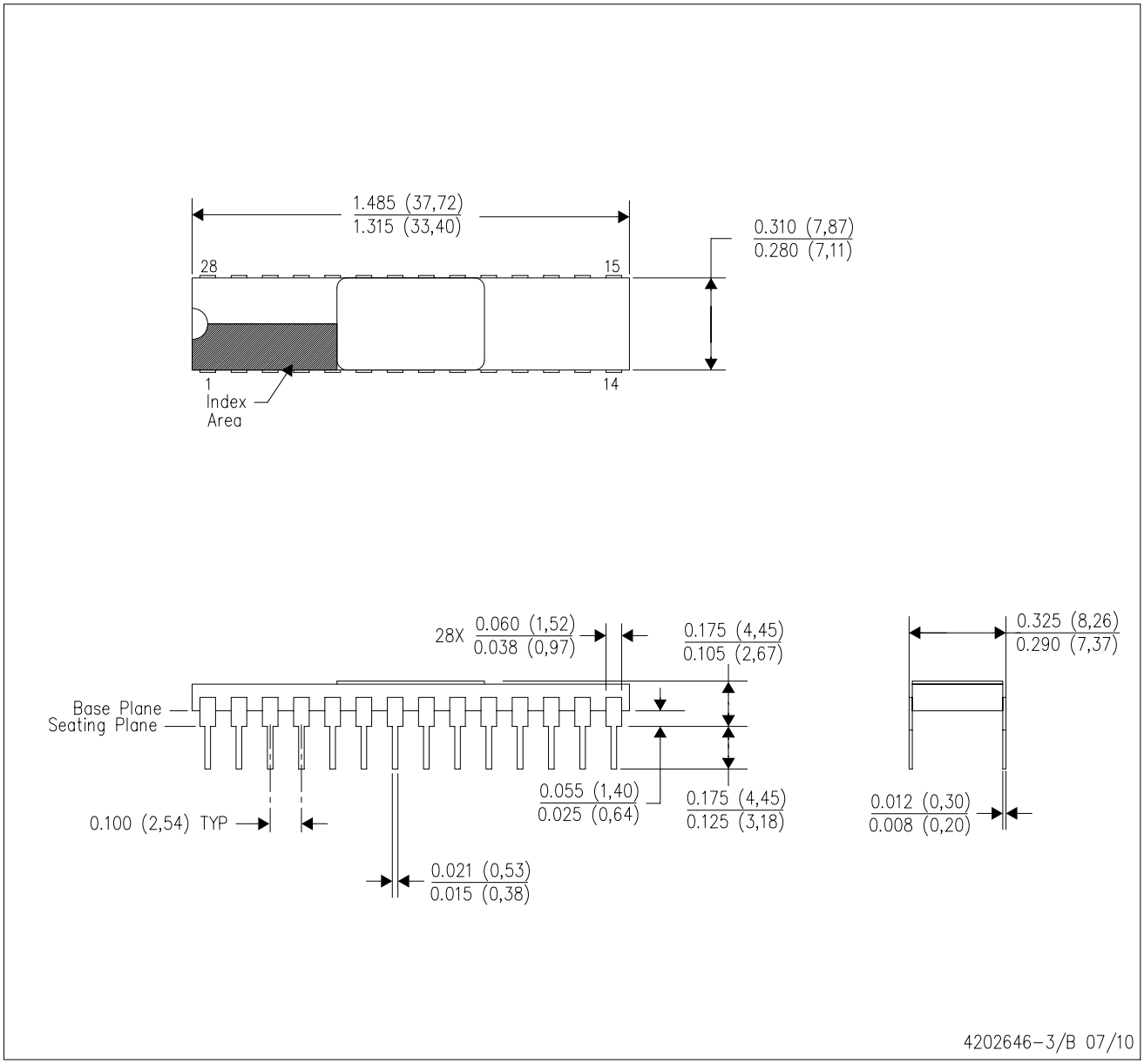
TUBE



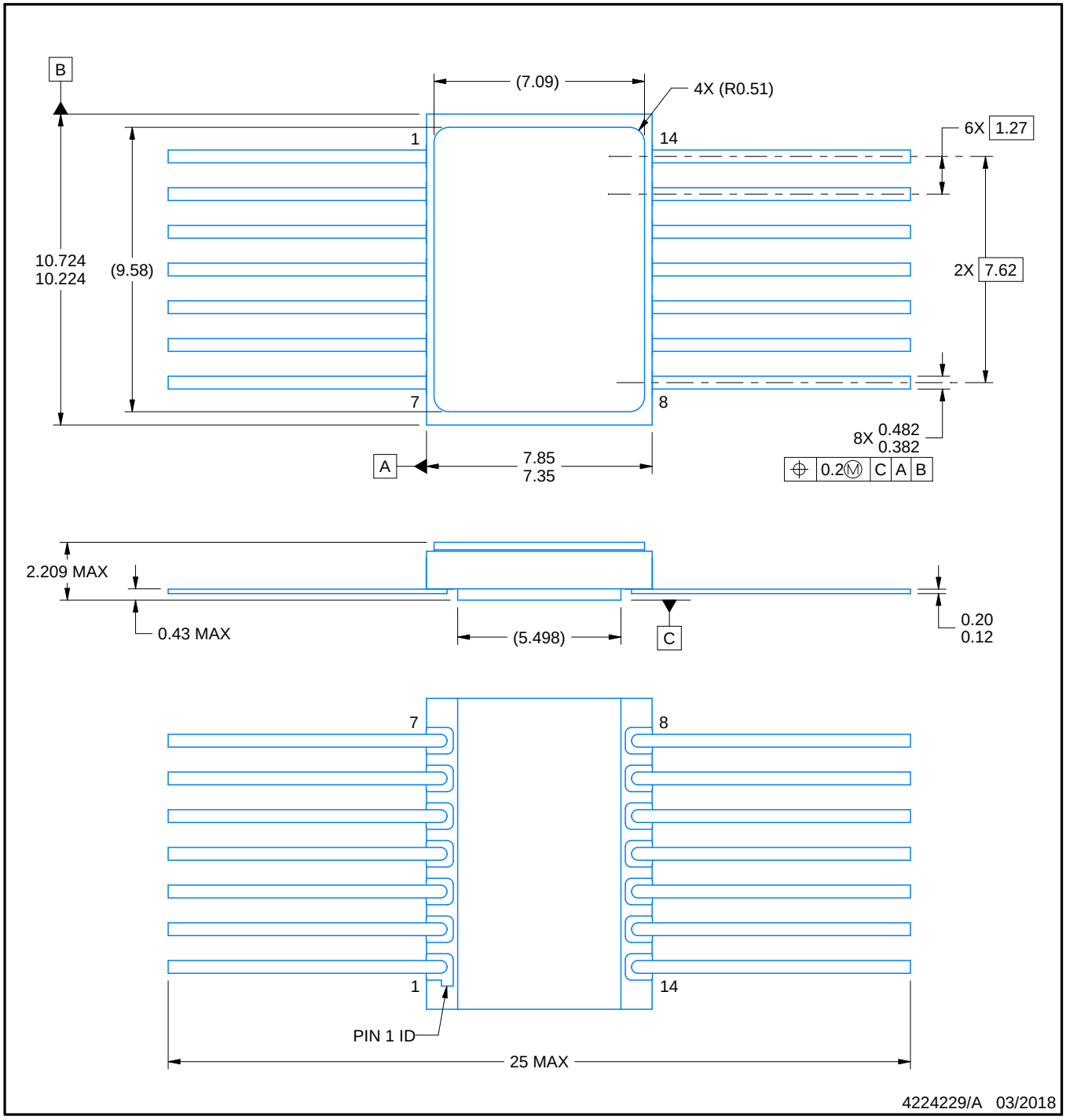
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-1620901VYC	HFR	CFP (HSL)	14	25	506.98	26.16	6220	NA
5962L1620901VXA	JDJ	CDIP SB	28	12	506.98	15.24	12290	NA
5962L1620901VXA.A	JDJ	CDIP SB	28	12	506.98	15.24	12290	NA
5962L1620901VYC	HFR	CFP (HSL)	14	25	506.98	26.16	6220	NA
5962L1620901VYC.A	HFR	CFP (HSL)	14	25	506.98	26.16	6220	NA

JDJ (R–CDIP–T28) CERAMIC DUAL IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Ceramic quad flatpack with flat leads brazed to non–conductive tie bar carrier.
D. This package is hermetically sealed with a metal lid.
E. The leads are gold plated and can be solderdipped.
F. Leads not shown for clarity purposes.
G. Lid and heat sink are connected to GND leads.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid. The lid is not connected to any lead.
4. The leads are gold plated.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月