

SN6507 适用于隔离式电源且具有占空比控制功能的低发射 36V 推挽式变压器驱动器

1 特性

- 用于隔离变压器的推挽式驱动器
- 宽输入电压范围：3V 至 36V
 - 输入电压容差高达 60V
 - 用于线路调节的占空比控制
- 具有可编程电流限制的 0.5A 开关
- 宽开关频率范围：100kHz 至 2MHz
 - 与小尺寸变压器兼容
 - 可编程开关频率
 - 外部时钟同步选项
- 低噪声和发射
 - 对称推挽式拓扑
 - 展频时钟
 - 引脚可配置压摆率控制
- 保护特性
 - 可调节欠压锁定 (UVLO)
 - 可编程过流保护 (OCP)
 - 过压锁定 (OVLO)
 - 热关断 (TSD)
- 宽温度范围：-55°C 至 125°C
- 可编程软启动，可减小浪涌电流
- 带有散热焊盘的 10 引脚 HVSSOP (DGQ) 封装

2 应用

- 光伏逆变器，保护继电器
- 工厂自动化
- 楼宇自动化
- 医疗仪器
- 电机驱动器：IGBT 和 SiC 栅极驱动器电源
- 用于控制器局域网 (CAN)、RS-485、RS-422、RS-232、SPI、I2C、低功耗 LAN 的隔离电源

3 说明

SN6507 是一款高压、高频推挽式变压器驱动器，以小尺寸解决方案提供隔离电源。该器件具有推挽式拓扑结构的简单性、低 EMI 和磁通消除等优点，可防止变压器饱和。采用占空比控制技术来减少宽输入范围的元件数量，同时选择高开关频率来缩小变压器尺寸，从而进一步节省空间。

该器件集成了控制器和两个异相切换的 0.5A NMOS 电源开关。其输入工作范围通过精密欠压锁定进行编程。该器件通过过流保护 (OCP)、可调节欠压锁定 (UVLO)、过压锁定 (OVLO)、热关断 (TSD) 和先断后通型电路来防止出现故障条件。

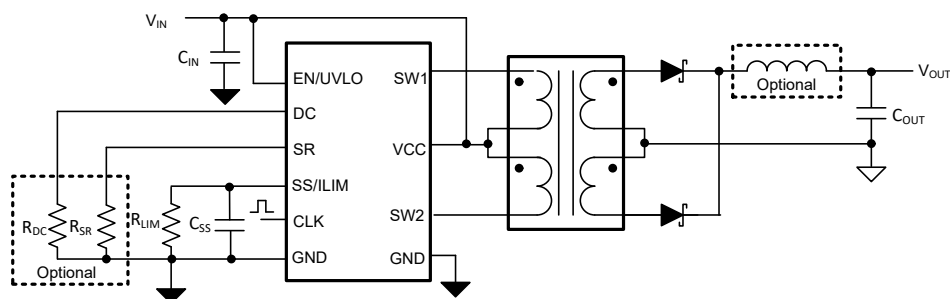
可编程软启动 (SS) 可尽可能减少浪涌电流，并为满足关键的上电要求提供电源时序。展频时钟 (SSC) 和引脚可配置的压摆率控制 (SRC) 进一步降低了辐射和传导发射，以满足超低 EMI 要求。

SN6507 可采用 10 引脚 HVSSOP DGQ 封装。该器件的运行温度范围为 -55°C 至 125°C。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
SN6507	HVSSOP (10 引脚)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图



内容

1 特性	1	8.1 概述	10
2 应用	1	8.2 功能方框图	10
3 说明	1	8.3 特性说明	11
4 修订历史记录	2	8.4 器件功能模式	17
5 引脚配置和功能	3	9 应用和实现	19
6 规格	4	9.1 应用信息	19
6.1 绝对最大额定值.....	4	9.2 典型应用	20
6.2 ESD 等级.....	4	9.3 电源相关建议	28
6.3 建议工作条件.....	4	9.4 布局	28
6.4 热性能信息.....	4	10 器件和文档支持	30
6.5 电气特性.....	5	10.1 文档支持	30
6.6 开关特性.....	7	10.2 接收文档更新通知	30
6.7 典型特性, SN6507	8	10.3 社区资源	30
7 参数测量信息	9	10.4 商标	30
8 详细说明	10	11 机械、封装和可订购信息	30

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2022) to Revision A (June 2022)

Page

• 将器件状态更新为“量产数据”	1
------------------------	----------

5 引脚配置和功能

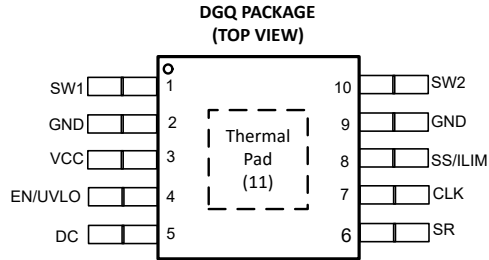


图 5-1. DGQ 封装，10 引脚 HVSSOP（顶视图）

表 5-1. 引脚功能

引脚			说明
名称	编号	类型 ⁽¹⁾	
SW1	1	O	第一个功率 MOSFET 的开漏输出，开关 1。通常连接到中心抽头变压器的任一外部端子。由于大电流流经这些引脚，因此其外部引线应保持较短。
GND	2	GND	内部控制电路和功率 MOSFET 的接地连接。引脚 2 和引脚 9 在 PCB 上必须短接以优化发射和效率。
VCC	3	P	VCC 引脚是电源和模拟电路的主要电源引脚。在电源开关的开启和关闭期间会产生短时大电流脉冲。
EN/UVLO	4	I	使能输入和欠压锁定 (UVLO) 编程引脚。 <ul style="list-style-type: none"> 如果引脚电压高于 EN_UVLO 阈值，则该器件被启用并在 VCC 高于 VCC_UVLO 阈值时开始开关。 如果该引脚短接至 VCC，则当 VCC 高于 VCC_UVLO 阈值时，器件会自启动。 如果该引脚悬空，或引脚电压低于 EN_UVLO 阈值，则器件停止开关。
直流	5	I	用于补偿输入变化的占空比控制引脚。该引脚上连接到 GND 的电阻器可设置占空比。如果未使用，则将引脚悬空，此时占空比被设置为默认值 (48%)。在 SYNC 模式下会禁用占空比控制。
SR	6	I	用于进一步优化发射性能的压摆率控制引脚。该引脚通过将电阻器连接到 GND 来调整 SW1 和 SW2 的压摆率。如果该引脚悬空，则器件以默认压摆率进行开关。
CLK	7	I	该引脚用于将器件与外部时钟同步 (SYNC 模式) 或通过将引脚通过电阻器接地来对开关频率进行编程。如果短接至 GND，则器件将以默认频率 (典型值为 1MHz) 进行开关。如果悬空，该器件将停止开关。
SS/ILIM	8	I	多功能软启动 (SS) 和电流限制 (ILIM) 输入引脚。 <ul style="list-style-type: none"> 需要使用一个连接到 GND 的电容器来设置输出软启动时间和输入浪涌电流。 需要使用一个连接到 GND 的电阻器来通过可编程电流限制保护器件。
GND	9	GND	内部控制电路和功率 MOSFET 的接地连接。引脚 2 和引脚 9 在 PCB 上必须短接以优化发射和效率。
SW2	10	O	第二个功率 MOSFET 的开漏输出，开关 2。通常连接到中心抽头变压器的任一外部端子。由于大电流流经这些引脚，因此其外部引线应保持较短。
PowerPAD	11	GND	GND 引脚 (引脚 2 和引脚 9) 必须电气连接到印刷电路板上的电源板 (引脚 11) 才能正常工作。

(1) I = 输入，O = 输出，P = 电源，GND = 接地

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）⁽¹⁾。

		最小值	最大值	单位
电源电压 ⁽²⁾	V_{CC}	-0.5	60	V
电压	EN/UVLO	-0.5	$V_{CC} + 0.5$	V
电压	SS/ILIM、CLK、DC	-0.5	6	V
输出开关电压	SW1, SW2		85	V
峰值输出开关电流	$I_{(D1)PK}$ 、 $I_{(D2)PK}$		1.6	A
结温, T_J		-55	150	°C
储存温度范围, T_{stg}		-65	150	°C

- 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不意味着器件在这些条件下或在建议工作条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- 所有电压值均是以本地接地端子 (GND) 为基准的峰值电压值。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±4000
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±1500

- JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
- JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议工作条件

		最小值	标称值	最大值	单位
V_{CC}	输入电压	3		36	V
I_{SW1} 、 I_{SW2}	输出开关电流 - 初级侧	$3V < V_{CC} < 6V$		0.4	A
		$6V < V_{CC} < 36V$		0.5	
T_A	环境温度	-55		125	°C
T_J	结温	-55		150	°C
C_{SS}	SS/ILIM 引脚上的软启动电容器	0.05		10	μF
R_{ILIM}	SS/ILIM 引脚上的限流电阻器	18		261	kΩ
R_{SR}	SR 引脚上用于压摆率控制的电阻器	4.8		21	kΩ
R_{CLK}	CLK 引脚上用于可编程频率的电阻器	4		111	kΩ

6.4 热性能信息

热指标 ⁽¹⁾		SN6507	单位
		DGQ (HVSSOP)	
		10 引脚	
$R_{\theta JA}$	结至环境热阻	48.2	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	61.6	°C/W
$R_{\theta JB}$	结至电路板热阻	18.4	°C/W
ψ_{JT}	结至顶部特征参数	1.7	°C/W
ψ_{JB}	结至电路板特征参数	18.3	°C/W
$R_{\theta JC(bottom)}$	结至外壳 (底部) 热阻	5.8	°C/W

- 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告](#)。

6.5 电气特性

最小和最大限值适用于建议的结温范围，除非另有说明。除非另有说明，否则所有典型值都是 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 24\text{V}$ 、 $\text{CLK } F_{\text{SW}} = 1\text{MHz}$ 且 $V_{\text{EN/UVLO}} = 2.5\text{V}$ 条件下的典型值。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{CC}	VIN 电源电流 ($3\text{V} < V_{\text{CC}} < 36\text{V}$)，不包括开关驱动电流	$V_{\text{EN/UVLO}} = 2.5\text{V}$ ， $R_L = 50\ \Omega$		3	4	mA
I_{SHUTDOWN}	VIN 关断电流	$V_{\text{EN/UVLO}} = 0\text{V}$ ， $R_L = 50\ \Omega$		0.8	2.5	μA
$I_{\text{LKG(SS/LIM)}}$	SS/LIM 引脚上的漏电流	$V_{\text{EN/UVLO}} = 0\text{V}$ ，SS/LIM 的电压 = 5V			0.7	μA
使能和 UVLO						
$V_{\text{CCUVLO-RISING}}$	VCC 正向 UVLO 阈值	V_{CC} 上升，EN/UVLO 短接至 V_{CC}		2.8	2.9	V
$V_{\text{CCUVLO-FALLING}}$	VCC 负向 UVLO 阈值	V_{CC} 下降，EN/UVLO 短接至 V_{CC}	2.5	2.67		V
$V_{\text{CCUVLO-HYS}}$	VCC UVLO 阈值迟滞	EN/UVLO 短接至 V_{CC}	0.1	0.12		V
$V_{\text{ENUVLO-RISING}}$	EN/UVLO 正向 UVLO 阈值	EN/UVLO 上升	1.4	1.5	1.6	V
$V_{\text{ENUVLO-FALLING}}$	EN/UVLO 负向 UVLO 阈值	EN/UVLO 下降	1.25	1.35	1.45	V
$V_{\text{ENUVLO-HYS}}$	EN/UVLO UVLO 阈值迟滞		0.14	0.15		V
功率级						
DMM	SW1 和 SW2 之间的平均导通时间不匹配	$R_L = 50\ \Omega$ (连接至 V_{CC})， 上拉电阻器测试电路配置		0		%
$R_{(\text{ON})}$	输出开关导通电阻	$V_{\text{CC}} = 24\text{V}$ ， I_{SW1} 、 $I_{\text{SW2}} = 0.5\text{A}$		0.45	1	Ω
$V_{(\text{SLEW})}$	SW1 和 SW2 上的电压压摆率	$R_L = 50\ \Omega$ (连接至 V_{CC})， $V_{\text{CC}} = 12\text{V}$ ； $R_{\text{SR}} = 9.6\text{k}\Omega$ (默认值)， 上拉电阻器测试电路配置		298		V/ μs
$V_{(\text{SLEW})}$	SW1 和 SW2 上的电压压摆率	$R_L = 50\ \Omega$ (连接至 V_{CC})， $V_{\text{CC}} = 12\text{V}$ ； $R_{\text{SR}} = 9.6\text{k}\Omega$ (默认值)， 上拉电阻器测试电路配置		369		V/ μs
CLK						
F_{SW}	D1、D2 平均开关频率 (默认值)	$R_L = 50\ \Omega$ ， $R_{\text{CLK}} = 0\text{k}\Omega$ ， 上拉电阻器测试电路配置	780	1000	1296	kHz
$F_{(\text{SYNC})}$	CLK 引脚上的外部时钟频率	CLK 引脚上应用的外部时钟，用于 SYNC 模式。SW1/SW2 以外部 CLK 频率的 1/2 进行开关	200		4000	kHz
$V_{\text{CLK(HIGH)}}$	CLK 引脚逻辑高电平阈值			1.6	1.8	V
$V_{\text{CLK(LOW)}}$	CLK 引脚逻辑低电平阈值		1.0	1.2		V
软启动						
I_{SS}	SS 外部电容器充电电流			275		μA
C_{SS} 范围	SS 外部电容器范围		0.05		5	μF
电流限制						
I_{LIM}	SW1 和 SW2 电流限制	$R_{\text{LIM}} = 18.2\text{k}\Omega$ ， $5\text{V} < V_{\text{CC}} < 36\text{V}$	1.00	1.30	1.59	A
I_{LIM}	SW1 和 SW2 电流限制	$R_{\text{LIM}} = 30.1\text{k}\Omega$ ， $5\text{V} < V_{\text{CC}} < 36\text{V}$	0.56	0.79	1.02	A
I_{LIM}	SW1 和 SW2 电流限制	$R_{\text{LIM}} = 261\text{k}\Omega$ ， $5\text{V} < V_{\text{CC}} < 36\text{V}$	0.06	0.10	0.14	A

最小和最大限值适用于建议的结温范围，除非另有说明。除非另有说明，否则所有典型值都是 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 24\text{V}$ 、 $\text{CLK } F_{\text{SW}} = 1\text{MHz}$ 且 $V_{\text{EN/UVLO}} = 2.5\text{V}$ 条件下的典型值。

参数		测试条件	最小值	典型值	最大值	单位
DC CONTROL						
D_{sw1} 、 D_{sw2}	SW1 和 SW2 上的开关占空比	DC 引脚悬空 (默认)， $F_{\text{SW}} = 300\text{KHz}$ ， 时序图		48		%
D_{sw1} 、 D_{sw2}	SW1 和 SW2 上的开关占空比	外部 CLK (SYNC 模式)， $F_{\text{SW}} = 300\text{KHz}$ ， 时序图		48		%
输入 OVLO						
$V_{\text{CCOVLO-RISING}}$	输入过压锁定上升阈值	V_{CC} 上升	36.9	38.7	40.5	V
$V_{\text{CCOVLO-FALLING}}$	输入过压锁定下降阈值	V_{CC} 下降	36.5	38.2	40.0	V
$V_{\text{CCOVLO-HYS}}$	输入过压锁定迟滞	V_{CC} 迟滞电压	0.47	0.57		V
热关断						
$T_{\text{SD+}}$	T_{SD} 开启温度	T_J 上升	170	184	198	$^\circ\text{C}$
$T_{\text{SD-}}$	T_{SD} 关断温度	T_J 下降	135	147	159	$^\circ\text{C}$
$T_{\text{SD-HYST}}$	T_{SD} 迟滞		32	37	42	$^\circ\text{C}$

6.6 开关特性

最小和最大限值适用于建议的结温范围，除非另有说明。除非另有说明，否则所有典型值都是 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 24\text{V}$ 、 $\text{CLK } F_{\text{SW}} = 1\text{MHz}$ 且 $V_{\text{EN/UVLO}} = 2.5\text{V}$ 条件下的典型值。

参数		测试条件	最小值	典型值	最大值	单位
使能和 UVLO						
$T_{\text{EN_glitch}}$	EN 干扰滤波器		5			μs
功率级						
t_{BBM}	先断后合时间	在 $0.5V_{\text{CC}}$ ， $R_L = 50\ \Omega$ 、 $F_{\text{SW}} = 1\text{MHz}$ 、 $R_{\text{SR}} = 9.6\text{k}\Omega$ (或默认值) 时测量 时序图		70		ns
软启动						
t_{PWRUP}	加电时间	$C_{\text{SS}} = 0\ \mu\text{F}$ ，从 EN = 高电平到 S_{W1} 和 S_{W2} 提供的全驱动电流		300	400	μs
t_{PWRDN}	加电时间	$C_{\text{SS}} = 0\ \mu\text{F}$ ，从 EN = 低电平到 MOSFET 关断 (S_{W1} 和 S_{W2} 上没有任何电流)			30	μs

6.7 典型特性, SN6507

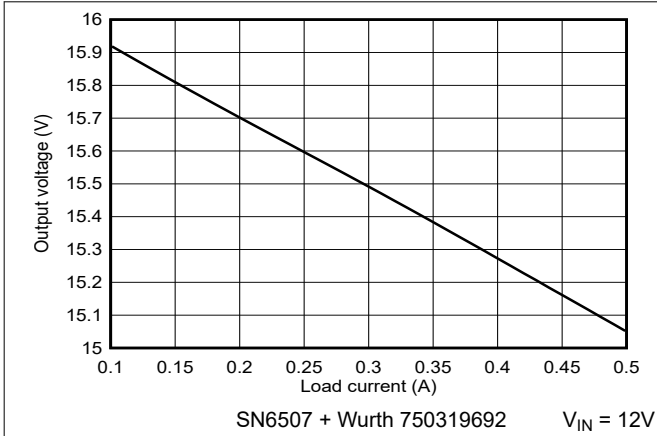


图 6-1. 输出电压与负载电流之间的关系

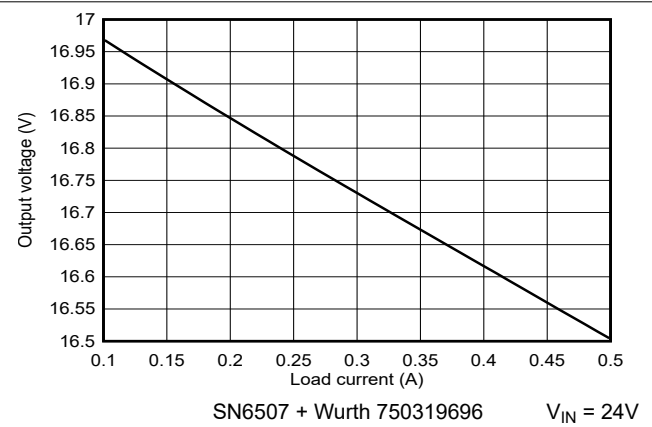


图 6-2. 输出电压与负载电流之间的关系

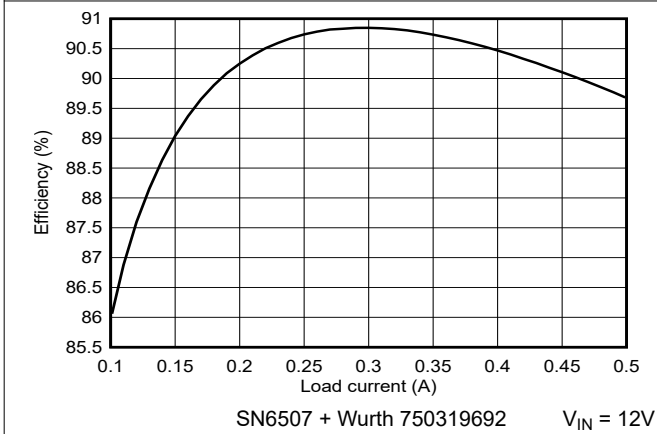


图 6-3. 效率与负载电流之间的关系

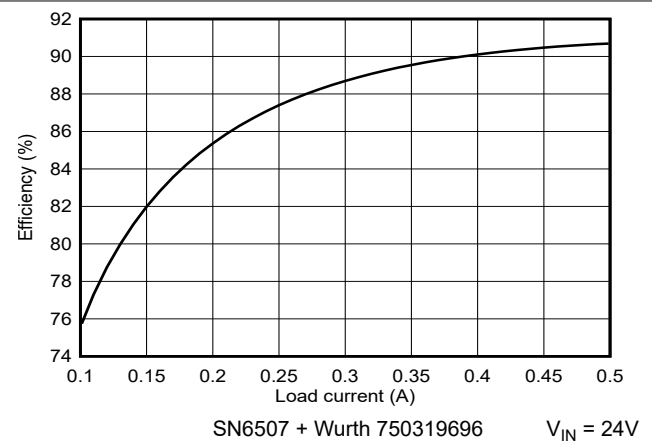


图 6-4. 效率与负载电流之间的关系

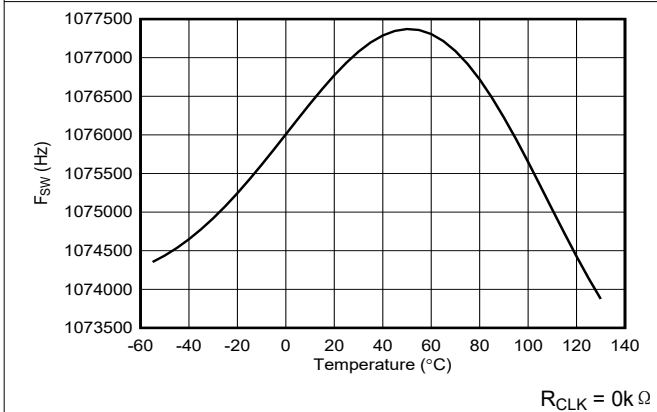


图 6-5. 开关频率与自然通风温度间的关系

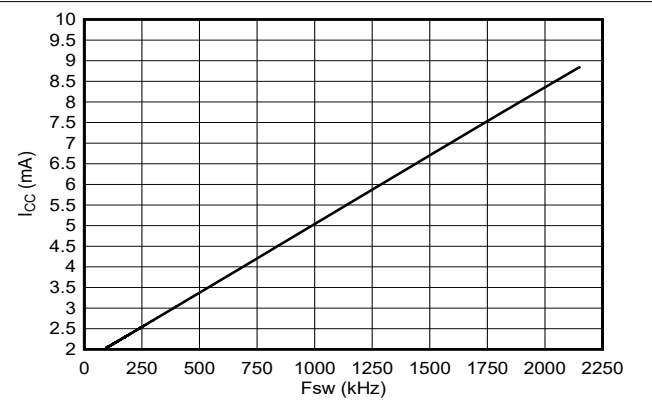


图 6-6. I_{CC} 与开关频率间的关系

7 参数测量信息

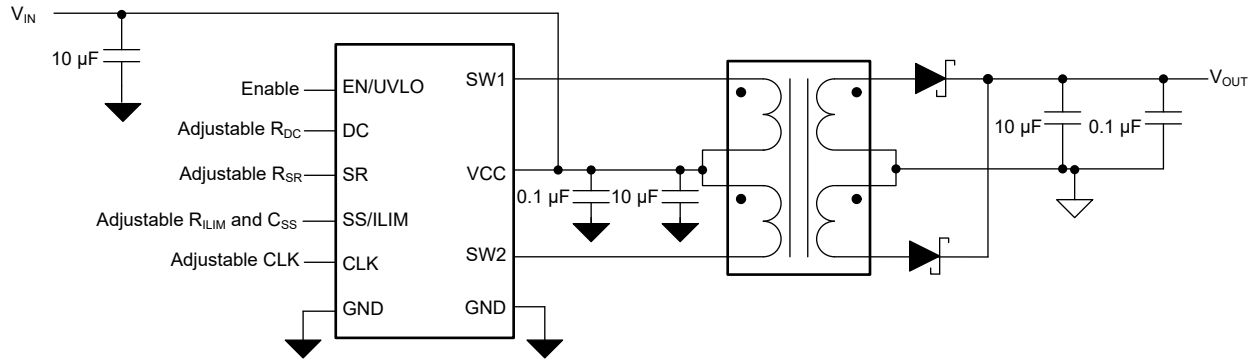


图 7-1. 输出测量电路

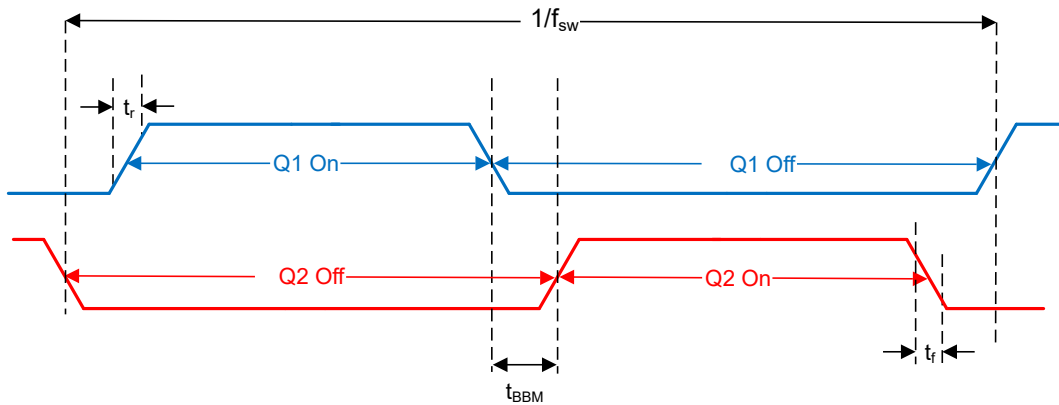


图 7-2. 时序图

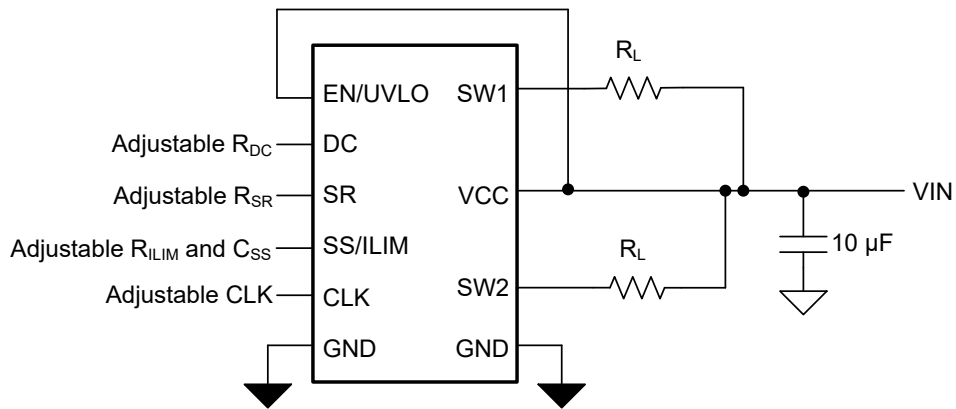


图 7-3. 上拉电阻器测试电路配置

8 详细说明

8.1 概述

SN6507 是一款具有两个集成 n 沟道功率 MOSFET 的 36V、0.5A 推挽式变压器驱动器。该器件专为低成本、小尺寸、低 EMI 隔离式直流/直流电源而设计。

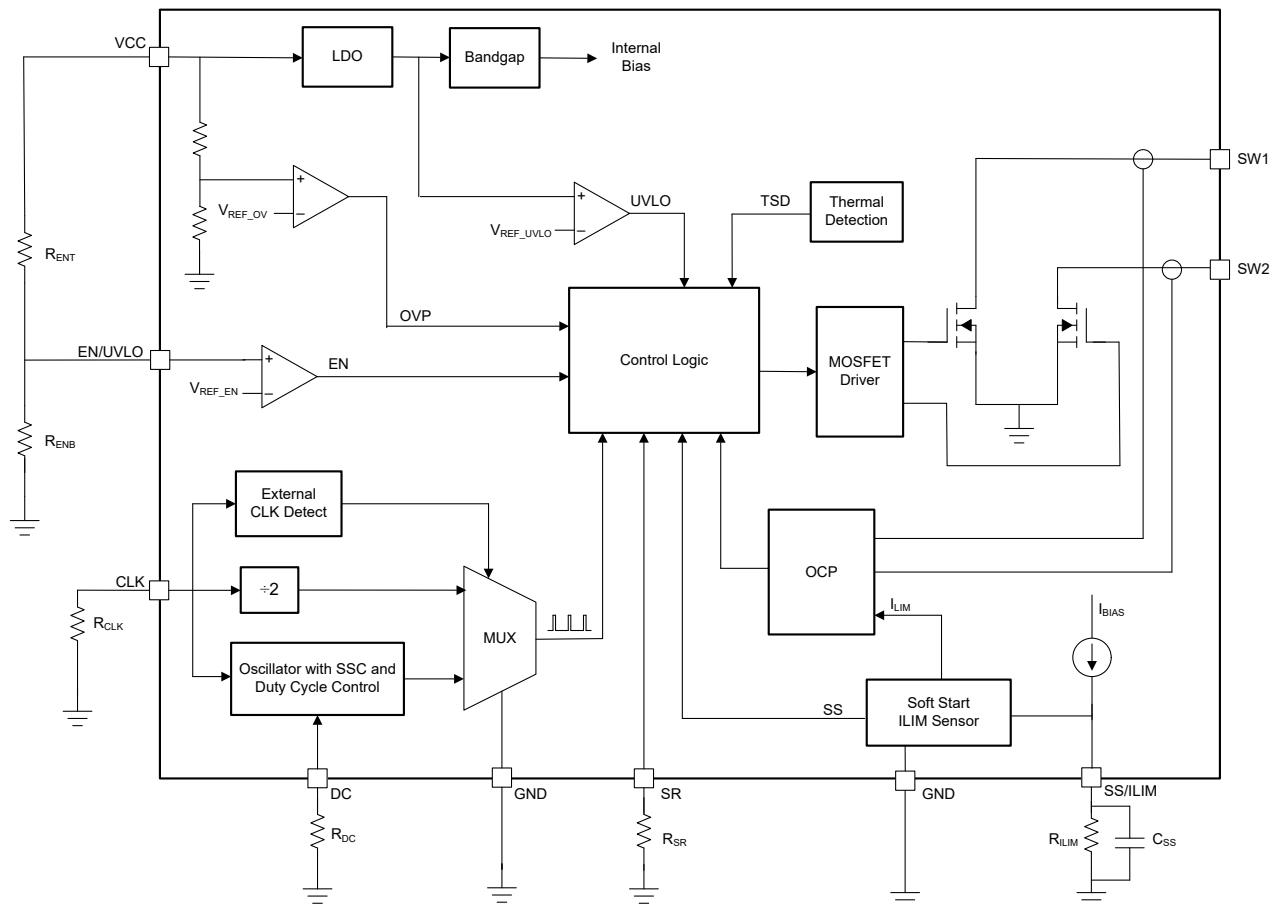
该器件包含一个振荡器，用于为栅极驱动电路馈送信号。栅极驱动电路由分频器和先断后合 (BBM) 逻辑组成，并提供了两个互补的输出信号，这两个信号会交替开启和关闭两个输出 NMOS 晶体管。随后的先断后合逻辑在两个信号的高脉冲之间插入一个死区时间，以避免变压器初级绕组的两端短路。产生的输出信号驱动隔离变压器和整流器，将输入电压转换为隔离式输出电压。

为了提高宽输入应用的性能，该器件实现了占空比控制 (DCC) 功能，该功能可以动态调整占空比以补偿输入变化。如果输入变化处于一定的范围之内，则无需预先调节。或者，即使在输入变化超出调节范围的宽输入条件下，该器件也可以减小次级侧 LDO 尺寸和节省功率损耗。宽开关频率范围可实现更高的效率和更小的输出纹波，并在选择变压器时实现尺寸优化。

变压器驱动器具有多种保护功能，用于确保稳健运行，例如可编程过流保护 (OCP)、输入 OVP、输入 UVLO 和 TSD。该器件通过利用过压比较器来最大限度地减少过多的输出过压瞬变。当过压比较器被激活时，MOSFET 被关断并被阻止开启，直到过压情况消失。该器件对两个 MOSFET 实施过载保护，这有助于控制变压器电流并避免变压器饱和。如果结温高于热关断跳闸点，该器件也会关断。可编程软启动周期可降低启动和故障恢复期间的浪涌电流。

对于超低 EMI 应用，压摆率控制功能提供了设计灵活性和简单性，可通过电阻器可编程选项进一步改善发射。

8.2 功能方框图



8.3 特性说明

8.3.1 推挽式转换器

推挽式转换器需要使用带有中心抽头的变压器将电力从初级传输到次级。当 Q_1 导通时， V_{IN} 驱动电流通过初级的下半部分流入接地端，从而在初级的下端产生相对于中心抽头处 V_{IN} 电位的负电压电位。

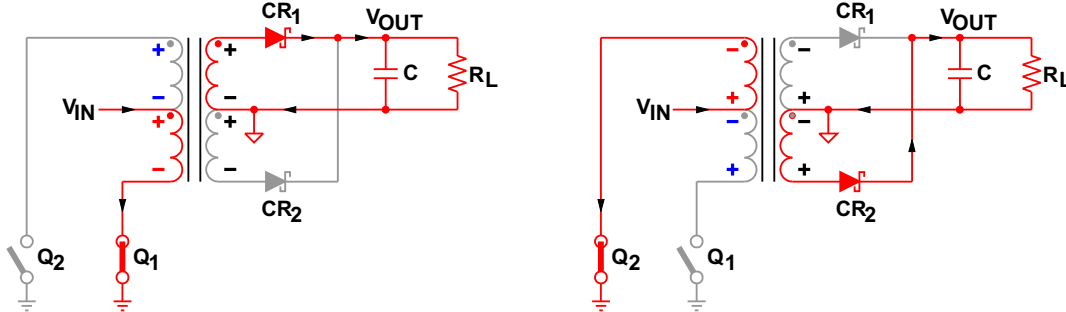


图 8-1. 推挽式转换器的开关周期

同时，初级上半部分的电压使得初级上端相对于中心抽头为正，以保持先前建立的流过 Q_2 (现在已变为高阻抗) 的电流。两个电压源 (每个都等于 V_{IN}) 以串联方式连接，在初级的开路端产生相对于接地为 $2 \times V_{IN}$ 的电压电位。

按照点规定，在初级上出现的相同电压极性也出现在次级上。因此，次级上端的正电位正向偏置二极管 CR_1 。从次级上端开始的次级电流流过 CR_1 ，对电容器 C 进行充电，并通过负载阻抗 R_L 返回到中心抽头。

当 Q_2 导通时， Q_1 变为高阻抗并且初级和次级的电压极性会反转。现在初级的下端呈现出具有相对于接地为 $2 \times V_{IN}$ 电位的开路端。在这种情况下， CR_2 正向偏置，而 CR_1 反向偏置，电流从次级下端流过 CR_2 ，为电容器充电并通过负载返回到中心抽头。

8.3.2 磁芯磁化

图 8-2 展示了推挽式转换器的理想磁化曲线，其中 B 为磁通密度， H 为磁场强度。当 Q_1 导通时，磁通量被从 A 推至 A' ，当 Q_2 导通时，磁通量被从 A' 拉回至 A 。磁通量差和磁通密度差与初级电压 V_P 和时间 t_{ON} 之积成正比，这适用于初级侧： $B \approx V_P \times t_{ON}$ 。

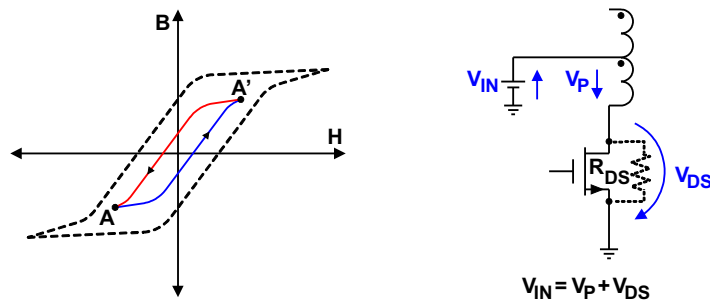


图 8-2. 通过 $R_{DS(on)}$ 的正温度系数进行的磁芯磁化和自调节

该伏秒 ($V-t$) 乘积很重要，因为它决定了每个开关周期中的磁芯磁化强度。如果两个相位的 $V-t$ 乘积不相同，则磁通密度摆动不平衡会导致偏离 $B-H$ 曲线的原点。如果没有恢复平衡，则偏移在每个后续周期中都会增加，并且变压器会缓慢地向饱和区域移动。

幸运的是，由于 MOSFET 的导通电阻具有正温度系数，因此 SN6507 的输出 FET 对 $V-t$ 不平衡具有自校正作用。在导通时间稍长的情况下，流过 FET 的持久电流会逐渐对晶体管进行加热，从而导致 $R_{DS(on)}$ 增加。然后，较高的电阻会导致漏源电压 V_{DS} 上升。由于初级电压是恒定输入电压 V_{IN} 与 MOSFET 上的电压降 $V_P = V_{IN} - V_{DS}$ 之间的差值，因此 V_P 会逐渐降低， $V-t$ 平衡会恢复。

8.3.3 占空比控制

SN6507 实现了占空比控制功能，通过 DC 引脚上的电阻器在一定程度上提供线路调节。通过使 DC 引脚电压成为输入的函数，占空比将随着 V_{IN} 进行调整，因此 V_{OUT} 可以保持恒定。与固定占空比变压器驱动器相比，该动态占空比控制功能通过对输出进行伪调节来降低宽 V_{IN} 变化的 LDO 功率损耗。对于输入变化处于一定范围内的应用，该功能可以消除后置稳压 LDO。占空比控制的另一个好处是降低变压器成本和缩小尺寸，因为变压器初级侧的输入范围有限。

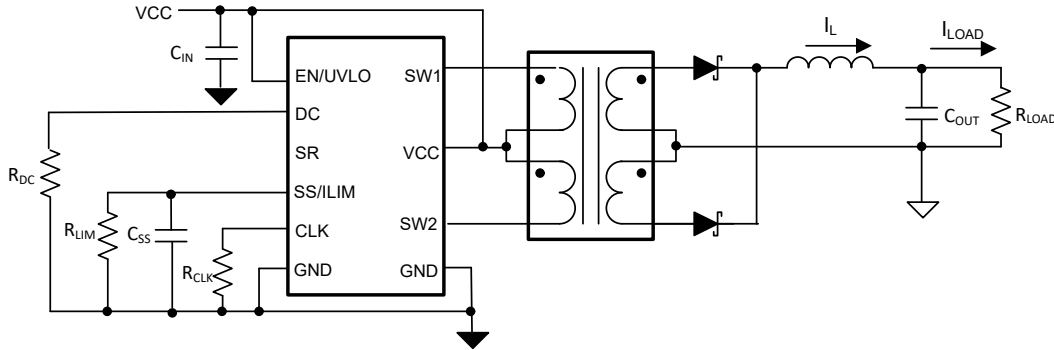


图 8-3. 占空比控制原理图

方程式 1 展示了如何计算 DC 引脚电阻器阻值，其中 R_{DC} 和 R_{CLK} 都以 $k\Omega$ 为单位。

$$R_{DC} = 0.816 \times D \times VCC \times (R_{CLK} + 1) - 1 \quad (1)$$

对于 R_{CLK} 短接到 GND 的固定振荡器情况，应在上述公式中使用 R_{CLK} 值 $9.6k\Omega$ 来计算 R_{DC} 。

占空比控制可以补偿高达 $\pm 35\%$ 的输入变化，其中可以实现 $\pm 5\%$ 以内的线路调节。为达到该范围，建议标称 V_{IN} 处的占空比以 25% ($D = 0.25$) 为中心。变压器匝数比需要将该占空比纳入计算，以确保在所有 V_{IN} 电压下实现预期的输出电压电平，如节 9.2.2.5 所述。

占空比控制功能支持高达一定的占空比和 V_{IN} 范围。最小占空比由功率 FET 栅极电容的充电和放电时间决定，而最大占空比受到死区时间（典型值为 $70ns$ ）的限制。例如，在 $1MHz$ 下，可调节占空比介于 10% 和 43% 之间。如果超过上述占空比范围，那么线路调节可能会饱和，输入补偿不再起作用。同时，如果占空比低于最低规格，则器件可能会在重负载下达到电流限制。占空比功能适用的 V_{IN} 范围为 $6V$ 至 $36V$ 。

为了启用占空比控制功能，输出侧需要一个电感器。输出电感器的选择应确保电感器电流不会进入不连续导通模式 (DCM)，这意味着电感器电流斜坡在任何时候都不应降至零。因此，最小电感 L_{MIN} 的计算条件是器件处于连续导通模式 (CCM)，其中负载直流电流小于电感器上电流斜坡幅度的一半。因此， L_{MIN} 是负载电流和开关频率的函数，如以下公式所示，其中 I_{load} 以 A 为单位， f_{SW} 以 Hz 为单位， D 是以小数表示的占空比（对于 25% 占空比，使用 0.25 ）， L_{min} 以 H 为单位。

$$L_{MIN} = V_{OUT} \times \frac{1 - 2 \times D \times (V_{IN\ TYP} / V_{IN\ MAX})}{4 \times I_{LOAD\ MIN} \times f_{SW}} \quad (2)$$

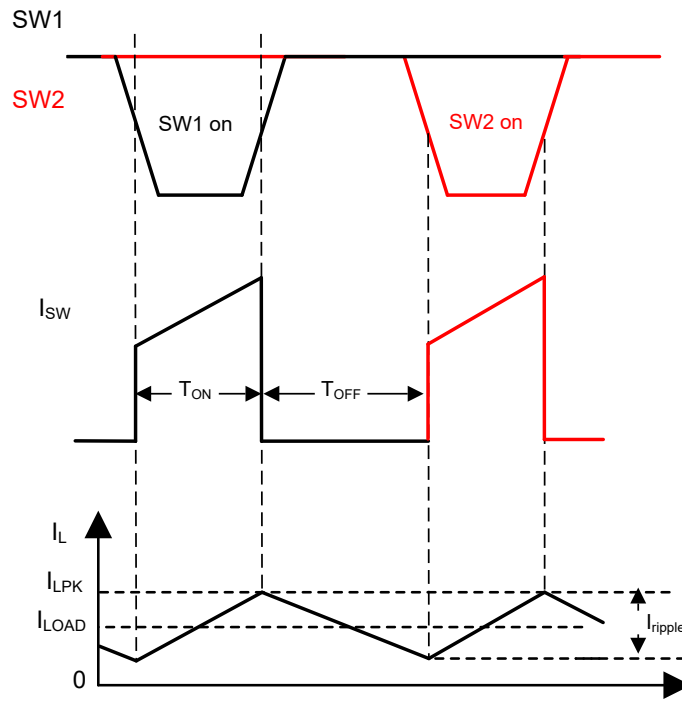


图 8-4. 连续导通模式 (CCM) 下的波形

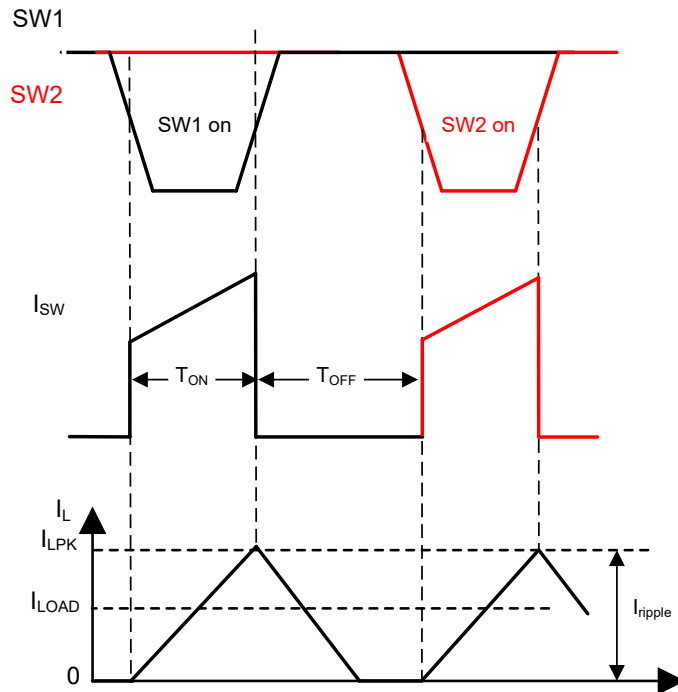


图 8-5. 不连续导通模式 (DCM) 下的波形

可编程开关频率

SN6507 具有一个用于设置功率级的开关频率的内部振荡器。由于两个电源开关异相，因此振荡器频率是每个电源开关实际开关频率的两倍。占空比固定为 70ns 死区时间，以避免击穿。如果启用了占空比功能，则占空比是可变的。请参阅节 8.3.3。

SN6507 具有 100kHz 至 2MHz 的宽开关频率范围，可通过一个连接至 GND 的电阻器 (R_{CLK}) 进行引脚编程。下表列出了用于实现特定工作频率 (f_{SW}) 的 R_{CLK} 阻值在选择开关频率时，需要在电源效率与容性和感性元件尺寸之间进行权衡。例如，当以更高的开关频率工作时，变压器和电感器的尺寸会减小，从而实现更小的设计尺寸和更低的成本。不过，更高的频率会增加开关损耗，从而降低整体电源效率。

表 8-1. 建议的 1% R_{CLK} 值和 f_{SW} 查找表

R_{CLK}	f_{SW} (典型值)
111k Ω	105 kHz
21k Ω	523 kHz
9.6k Ω	1.07 MHz
4.1k Ω	2.13 MHz
0k Ω (短接至 GND)	默认值 (1MHz)

图 8-6 还可用于通过外部电阻器阻值 R_{CLK} 来估算可编程开关频率 f_{SW} ，其中 R_{CLK} 以 k Ω 为单位， f_{SW} 以 kHz 为单位：

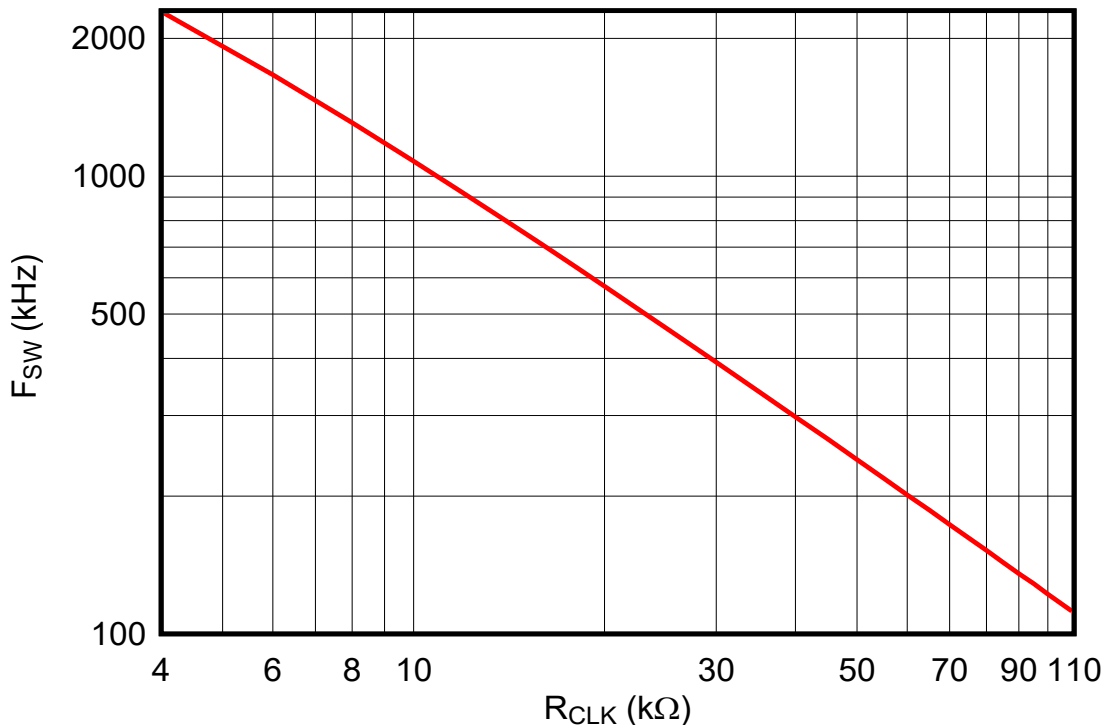


图 8-6. R_{CLK} 范围的近似 SN6507 开关频率 F_{SW}

如果 CLK 引脚短接至 GND，则器件以其默认频率 F_{SW} 进行开关。CLK 引脚悬空不是有效的工作状态，会导致器件停止开关，直到出现外部时钟信号。

8.3.4 扩频时钟

辐射发射是大电流开关电源中的一个重要问题。由于数字时钟信号的周期性，能量集中在一个特定的频率及其奇次谐波中，从而导致 EMI 问题。SN6507 实现了展频时钟 (SSC) 以减少数字时钟信号的辐射发射。该器件会调制

其内部时钟，使发射能量分布在多个频率间隔中。该功能可以极大地提高整个电源块的发射性能，从而使系统设计人员从隔离式电源设计的一个主要问题中解脱出来。

8.3.5 压摆率控制

为了在效率方面优化 EMI，SN6507 设计为允许电阻器 (R_{SR}) 选择功率 FET 开启的驱动器的强度。如下面的图 8-7 所示，开关边沿的压摆率可通过该电阻器进行控制。通过压摆率控制滚降谐波可以消除许多应用中对屏蔽和共模扼流圈的需求。

压摆率控制的 EMI 优势可能会导致效率略微降低和峰值电流 (I_{SW_SR}) 略微增大。当该功能减慢栅极电容的充电和放电时，FET 的延长转换时间会增加每个开关周期期间的转换损耗。这会增加功率耗散，从而降低效率并加剧热问题。这将限制压摆率的降低幅度。另一项成本是每个周期的峰值电流会增加。这是因为缓慢的边沿减少了导通时间 (t_{ON_SR})，最终峰值电流 (I_{SW_SR}) 将增加，以在每个周期向负载提供相同的平均电流。

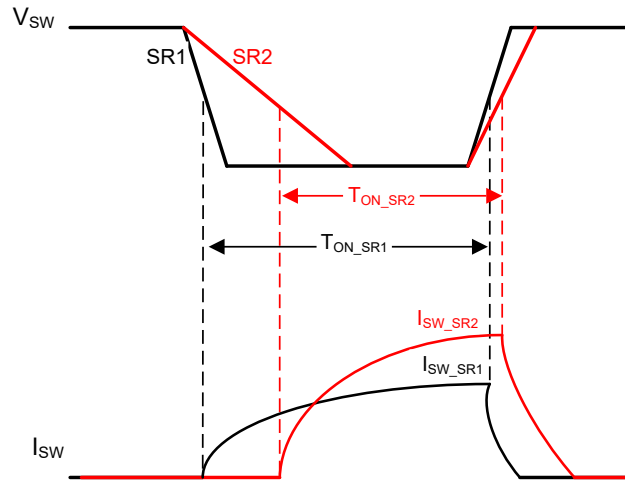


图 8-7. 压摆率控制方案

可以通过 R_{SR} 对不同 V_{IN} 下的压摆率进行编程。较高的 R_{SR} 值会将 SN6507 配置为在 V_{CC} 电平上具有较慢的压摆率，而较低的 R_{SR} 值会将 SN6507 配置为具有较快的压摆率。下面的表 8-2 列出了 12V 和 24V 情况下 V_{CC} 与压摆率之间的关系。由于压摆率与开关频率无关，因此必须注意，在高频率下，压摆率应该足够快，以最大限度地向负载提供输出功率。如果 SR 引脚悬空，压摆率将被设置为默认值。如果 SR 引脚短接至 GND，则被视为故障情况，器件将停止开关。

表 8-2. 压摆率控制查找表

VCC (V)	R_{SR} (k Ω)	典型压摆率 (V/ μ s)
5	4.8	337
5	悬空 (默认设置)	263
5	15	224
5	21	198
12	4.8	424
12	悬空 (默认设置)	298
12	15	237
12	21	199
24	4.8	583
24	悬空 (默认设置)	369
24	15	273
24	21	218

8.3.6 保护特性

SN6507 受到多种保护功能的保护，以提高系统级的稳健性和可靠性。这些保护功能包括可编程输入欠压保护 (UVLO)、输入过压保护 (OVP)、可编程过流保护 (OCP) 和过热保护 (TSD)。

8.3.6.1 过压保护 (OVP)

由于 SN6507 是开环变压器驱动器，因此实现了过压保护功能以防止输出电压上升过高。过压保护阈值是一个固定值，无法对其进行编程。如果 VCC 引脚电压超过过压上升阈值，则器件会在 550ns (典型值) 响应时间后停止开关。要从过压事件中恢复，输入电压必须降至 OVP 下降阈值以下。

8.3.6.2 过流和短路保护 (OCP)

SN6507 通过两个 NMOS 开关的逐周期电流限制来防止发生过流情况。软启动期间禁用 OCP。软启动完成后，OCP 启用，阈值设置为编程的值。会检测到开关电流并将其与通过 SS/ILIM 引脚上的外部电阻器 R_{ILIM} 编程的电流阈值进行比较。下面的表 8-3 列出了 R_{ILIM} 的常见电流限制阈值 (I_{LIM}) 及其对应的电阻器阻值。不建议将该器件的 ILIM/SS 引脚悬空。

表 8-3. 建议的 1% R_{ILIM} 值

R_{ILIM}	I_{LIM} (典型值)
18k Ω	1.3 A
20k Ω	1.2 A
22k Ω	1.1A
24k Ω	1.0A
27k Ω	900 mA
30k Ω	800mA
35k Ω	700 mA
40k Ω	600mA
50k Ω	500mA
62k Ω	400mA
85k Ω	300mA
127k Ω	200mA
261k Ω	100mA

如果由于短路而导致隔离式输出端出现极端过载的情况，则器件的行为如下：

- 在发生瞬态过载或短路情况时，如果 SS/ILIM 引脚上产生的电压骤降低于 2.5V (典型值)，则器件将其视为“软短路”情况。在软短路中，转换器进入间断模式：在达到编程的 OCP 阈值时，驱动器将关闭 100ns (典型值)，然后重试驱动。如果 OCP 再次跳闸，则循环继续。该重试在 SW1 和 SW2 的整个 T_{ON} 时间内持续发生，直到 OCP 不跳闸或触发“硬短路”。在 OCP 重试事件期间，两个 FET 都关闭，瞬态峰值电流可能会高于 OCP 限制。
- 如果电压骤降超过 2.5V (典型值)，则器件将其视为“硬短路”情况。硬短路 OCP 阈值固定为 5A (典型值)。如果硬短路状态持续时间超过 200 μ s，则表明系统处于严重的短路故障状态，清除短路之后，器件会将软启动电容器完全放电并进入软启动。请注意，触发硬短路 OCP 的响应时间为 65ns (典型值)。

8.3.6.3 欠压锁定 (UVLO)

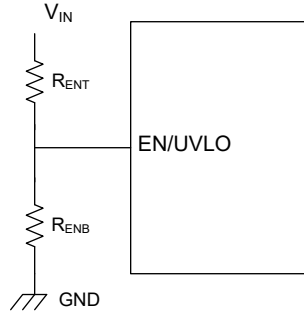
启动和关断由 EN/UVLO 引脚和 VCC 引脚进行控制。要使器件保持关断模式，请向 EN/UVLO 引脚施加低于 EN_{UVLO} 的电压。在关断模式下，静态电流小于 0.8 μ A (典型值)。如果 EN/UVLO 引脚的电压高于 EN_{UVLO} ，但 V_{IN} 仍低于 VCC_{UVLO} ，则 SW 节点处于不活动状态。一旦 V_{IN} 高于 VCC_{UVLO} ，只要 EN/UVLO 电压高于 1.5V，芯片就开始正常开关。

可以通过三种方法来启用器件操作。最简单的方法是将 EN/UVLO 引脚连接到 VCC 引脚，从而在 VCC 引脚电压高于 VCC_{UVLO} 电平时允许器件自启动。不过，许多应用受益于与提供的内部 UVLO 不同的输入 UVLO 电平。因

此，另一种方法是采用如下图所示的使能电阻分压器网络，该网络建立了可编程 UVLO 阈值。第三种方法是连接一个外部逻辑输出来驱动该引脚，从而允许用户定义的系统电源时序。

EN/UVLO 引脚具有 5μs (典型值) 干扰滤波器，有助于避免由于噪声耦合而导致的错误开启和关闭。它还带有内部下拉设计，以确保在引脚悬空时器件处于关断模式。

使用 EN/UVLO 引脚的可编程 UVLO



可以使用以下公式来计算电阻器阻值，其中输入开启阈值 V_{IN_UVLO} 是所需的典型启动输入电压， EN_{UVLO} 的典型值为 1.5V， R_{ENT} 和 R_{ENB} 以 Ω 为单位。

$$V_{IN_UVLO} = \left(1 + \frac{R_{ENT}}{R_{ENB}}\right) \times EN_{UVLO} \quad (3)$$

8.3.6.4 热关断 (TSD)

当 IC 结温超过 180°C (典型值) 时，热关断通过关闭内部开关来防止器件达到极端结温。在 TSD 中，开关立即停止，以防止内部 MOSFET 在高环境温度工作条件下或由于高开关电流的自发热而发生故障。要从热关断情况中恢复，结温必须低于过热保护下降阈值。当结温降至低于 147°C (典型值) 时，会启用功率 FET 开关。

8.4 器件功能模式

该器件的功能模式分为启动模式、运行模式和关闭模式。

8.4.1 启动模式

当 VCC 引脚电压上升至 V_{CC_UVLO} 并且 EN/UVLO 引脚电压超过 EN_{UVLO} 时，内部振荡器开始工作。输出级开始开关，但 SW1 和 SW2 的漏极信号振幅尚未达到其最大值。

8.4.1.1 软启动

SN6507 器件支持软启动功能。上电或 EN/UVLO 引脚从低电平转换为高电平时，输出功率 FET 的栅极驱动在一段时间内逐渐从 0V 增加到最大驱动强度。软启动可防止来自 VCC 的高浪涌电流，同时为大型次级侧去耦电容器充电，并防止上电期间次级电压过冲。

可以使用以下公式通过 SS/ILIM 引脚上的电容器和电阻器来计算上升至峰值开关电流的软启动时间。

$$T_{SS} = \frac{C_{SS}}{275\mu A - \frac{0.6}{R_{ILIM}}} \quad (4)$$

在软启动期间禁用过流保护。为了确保在软启动和稳态之间平稳转换，建议使用容值介于 50nF 和 5μF 之间的 C_{SS} ，并使用容值小于 C_{SS} 容值的 10 倍的输出电容器 C_{OUT} 。

8.4.2 工作模式

当 EN 引脚电压高于 EN_{UVLO} 、VIN 引脚电压高于 V_{CC_UVLO} 且软启动完成时，SN6507 驱动器处于工作模式。在正常工作模式下，开关频率是固定的，由 CLK 引脚电阻器或外部时钟信号决定。

8.4.3 关断模式

该器件具有专用的 EN/UVLO 引脚，可在不使用时将器件置于极低功耗模式以节省电力。EN/UVLO 引脚具有一个内部下拉电阻器，可在未驱动时使器件保持禁用状态。当禁用或 $V_{CC} < 2.8V$ 时，两个漏极输出 SW1 和 SW2 均为三态。

8.4.4 SYNC 模式

SN6507 具有 CLK 引脚，可用于将器件与系统时钟同步，进而与其他 SN6507 器件同步，以便系统可以控制器件的准确开关频率。在 SYNC 模式下，CLK 频率被二分频以驱动功率 FET 的栅极。图 9-2 展示了相应的时序图。

如果在一段时间 ($t_{CLKTIMER}$) 内不存在有效的外部时钟，则器件可能会自动从 SYNC 模式切换到内部或电阻器 CLK 模式。同样，当器件从内部或电阻器控制的 CLK 模式转换到 SYNC 模式时，五个 CLK 周期延迟之后才会检测到外部 CLK。

当器件处于 SYNC 模式时，不支持占空比控制和 SSM，因此，建议在 SYNC 模式下将 DC 引脚悬空以减小解决方案尺寸。

请注意，建议 VCC 引脚在 CLK 引脚之前上电。否则外部时钟的初始状态应该是高阻态。

9 应用和实现

备注

以下应用部分中的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

SN6507 是一款采用推挽式拓扑的变压器驱动器，专为低成本、小尺寸、隔离式直流/直流转换器而设计。该器件包含一个振荡器，用于为栅极驱动电路馈送信号。栅极驱动电路由分频器和先断后合 (BBM) 逻辑组成，并提供了两个互补的输出信号，这两个信号会交替开启和关闭两个输出晶体管。

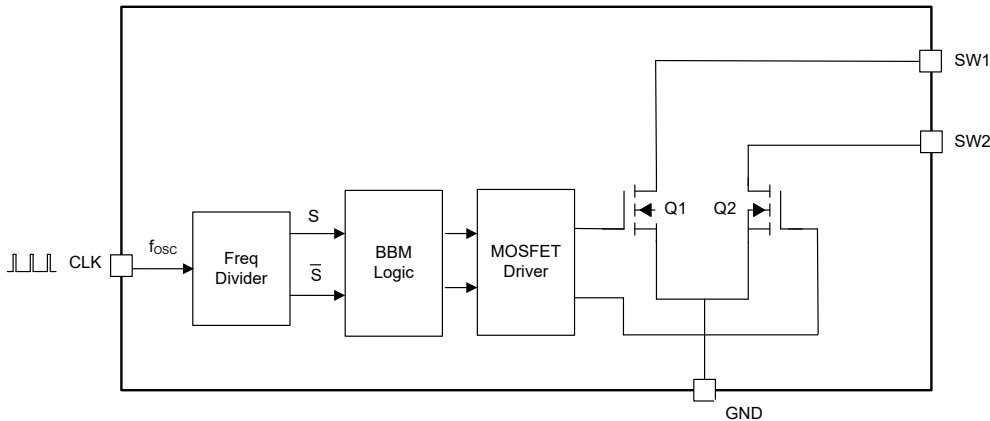


图 9-1. 先断后合操作的方框图

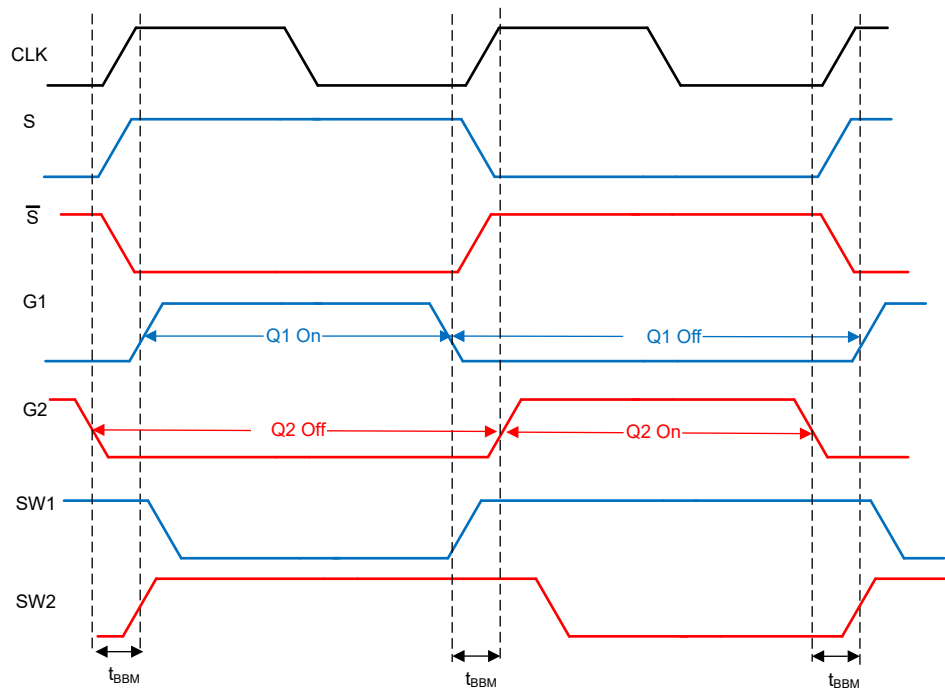


图 9-2. 先断后合操作的输出时序

振荡器的输出频率由异步分频器进行分频，该分频器提供了两个 50% 占空比的互补输出信号 S 和 \bar{S} 。后续的先断后合逻辑会在这两个信号的高电平脉冲之间插入一个死区时间。得到的输出信号 G_1 和 G_2 为输出晶体管 Q_1 和 Q_2

提供了栅极驱动信号。如图 9-2 所示，必须存在一个较短的时间，在此期间，这两个信号都应处于低电平且两个晶体管都处于高阻抗状态，然后其中一个栅极才会呈现逻辑高电平。该较短的时间称为先断后合时间，必须存在该时间，以避免初级侧的两端发生短接。

9.2 典型应用

该部分讨论了两个应用案例。一个案例是针对具有压摆率控制的固定输入。另一个案例是针对具有占空比控制的宽范围输入。

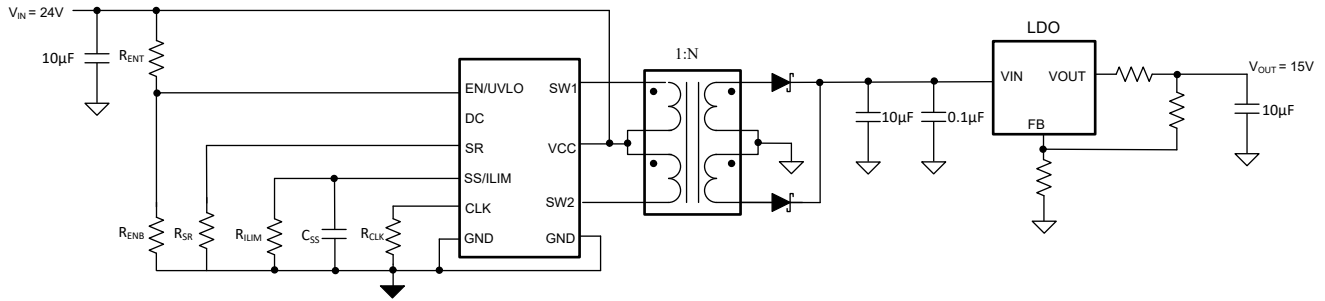


图 9-3. 具有压摆率控制的固定输入的典型应用原理图

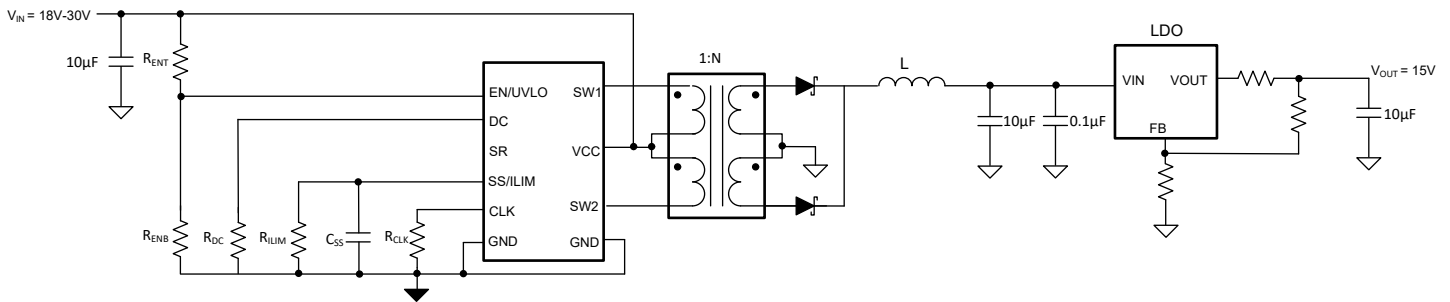


图 9-4. 具有占空比控制的宽范围输入的典型应用原理图

9.2.1 设计要求

本设计示例使用表 9-1 中所列的参数作为设计参数。

表 9-1. 设计参数

参数	注释	示例值
固定 V_{IN}	固定输入情况下的输入电压	$24V \pm 2\%$
宽范围 V_{IN}	宽输入情况下的输入电压范围	18V (最小值) 24V (典型值) 30V (最大值)
f_{sw}	开关频率	$1MHz \pm 10\%$
V_{OUT}	输出电压	15V
I_{LOAD}	负载电流	200mA
I_{LIM}	峰值电流限制	500mA
UVLO	欠压锁定	9V
SS	软启动时间	2ms

9.2.2 详细设计过程

本节介绍了使用 SN6507 变压器驱动器的详细设计过程。以下有关元件选择的建议聚焦于设计具有高电流驱动能力的高效推挽式转换器。讨论了两种情况：具有占空比控制的宽输入范围，以及具有固定输入电压的紧凑型设计。

通过 5 个简单的步骤来讨论 SN6507 的引脚配置，然后讨论外部元件的选择，包括二极管、电容器、电感器、LDO 和变压器。

9.2.2.1 引脚配置

以下是一个如何通过 5 个简单的步骤配置 SN6507 引脚的示例。

步骤 1：设置开关频率

首先，使用表 8-1 通过 R_{CLK} 设置驱动器开关频率。

例如： $R_{CLK} = 9.6k\Omega$ 或短接至 GND，设置大约 1MHz 的 f_{SW} 典型值。

步骤 2：设置输入 UVLO

EN/UVLO (欠压锁定) 引脚用于设置驱动器开始开关的最小输入电压。可以通过方程式 3 来计算电阻分压器值。

例如，如果输入阈值 (V_{ON}) 预计为 9V，则电阻器计算结果为 $R_{ENT}/R_{ENB} = 5$ 。

因此，电阻器阻值的选择结果为：

$$R_{ENT} = 5k\Omega, R_{ENB} = 1k\Omega$$

要使器件在默认 UVLO 阈值 (典型值为 2.8V) 下自启动，用户可以跳过第 2 步，直接将 EN/UVLO 引脚短接至 VCC。

步骤 3：设置电流限制和软启动时间

可以根据表 8-3 通过 SS/ILIM 引脚上的电阻器来设置电流限制。在过流保护系统运行期间，峰值电流可能非常高，直到故障被清除。

例如，要将电流限制设置为 500mA (典型值)，建议的 R_{ILIM} 为 50k Ω 。

确定 R_{ILIM} 后，将 R_{ILIM} 代入方程式 4，软启动时间计算结果为：

$$T_{SS} = \frac{C_{SS}}{275\mu A - \frac{0.6}{50k}}$$

以 2ms (典型值) 软启动时间为例，SS/ILIM 引脚上的电容器 $C_{SS} = 0.5\mu F$ 。

请注意，SS/ILIM 引脚上需要连接 R_{ILIM} 和 C_{SS} 以确保该器件稳健运行。应避免缺少 RC 连接或使引脚悬空。

步骤 4：设置占空比

对于固定输入情况，不需要占空比功能。可以通过使 DC 引脚悬空来跳过该步骤，以便器件以默认的最大占空比 (典型值为 48%) 运行。最大占空比由开关周期和死区时间 (典型值为 70ns) 确定，以避免两个电源开关重叠。

对于宽输入情况，可以通过在 DC 引脚上连接电阻器 R_{DC} 和在输出侧连接一个电感器来启用占空比功能。节 9.2.2.4 介绍了如何选择电感器。

为了实现最大输入补偿，DC 在典型 VCC (24V) 下设置为接近 0.25 (25% 占空比)。通过在方程式 1 中代入 $DC = 0.25$ 、 $VCC = 24V$ 和 $R_{ILIM} = 50$ ，可计算得出 R_{DC} 为 240k Ω ，其中 R_{ILIM} 和 R_{DC} 以 k Ω 为单位。

9.2.2.2 LDO 选择

SN6507 是一款没有负载调节功能的开环变压器驱动器。输出电压可能在很宽的负载电流范围内变化。因此，如果需要高精度、独立于负载的电源，强烈建议在输出侧部署低压降稳压器 (LDO)。

合适的低压降稳压器的最低要求为：

- 其电流驱动能力应略高于应用的规定负载电流，以防止 LDO 降至稳压范围以下。因此，对于 200mA 的负载电流，应选择 200mA 至 300mA 的 LDO。虽然具有更高驱动能力的稳压器是可以接受的，但它们通常也具有更高的压降电压，这会降低转换器的整体效率。

- 指定负载电流下的内部压降电压 V_{DO} 应尽可能低，以保持效率。对于低成本 300mA LDO，在 300mA 下 600mV 的 V_{DO} 很常见。不过，请注意，该较低的值通常是在室温条件下指定的，在整个温度范围内可能会增加 2 倍，这会相应地提高所需的最小输入电压。
- 防止稳压器降至线路调节范围以下所需的最小输入电压由以下公式给出：

$$V_{I-min} = V_{DO-max} + V_{O-max} \quad (5)$$

这意味着为了确定最坏情况下的 V_I ，用户必须取 LDO 数据表中规定的用于额定输出电流（即 200mA）的 V_{DO} 和 V_O 最大值并将其相加。还规定推挽式整流器在规定负载电流下的输出电压等于或高于 V_{I-min} 。如果不是这样，LDO 将丧失线路调节功能，输入端的任何变化都会直接传递到输出端。因此，在低于 V_{I-min} 时，输出电压会跟随输入，调节器的行为就像一个简单的导体。

- 最大稳压器输入电压必须高于空载时的整流器输出。在这种情况下，没有次级电流反射回初级，因此使 R_{DS-on} 上的电压降可以忽略不计，并允许整个转换器输入电压在初级上下降。此时，次级达到其最大电压

$$V_{S-max} = V_{IN-max} \times N \quad (6)$$

其中 V_{IN-max} 为最大转换器输入电压， n 为变压器匝数比。因此，为了防止 LDO 损坏，稳压器的最大输入电压必须高于 V_{S-max} 。表 9-2 列出了推挽式转换器中常用的各种匝数比的最大次级电压。

表 9-2. 各种推挽配置所需的最大 LDO 输入电压

推挽式转换器				LDO
配置	V_{IN-max} [V]	匝数比 (N)	V_{S-max} [V]	V_{I-max} [V]
24V _{IN} 至 15V _{OUT}	25	1.38:1	18	25
12V _{IN} 至 15V _{OUT}	12.5	1:1.5	19	25

9.2.2.3 二极管选型

整流二极管应始终具有低正向电压，以便为转换器输出提供尽可能高的电压。不过，当 SN6507 用于高频开关应用时，二极管还必须具有低总电容、短恢复时间和大于负载电流的额定电流。肖特基二极管满足这些要求，因此强烈建议在 SN6507 推挽式转换器设计中使用肖特基二极管。

必要的二极管反向电压额定值 V_R 由变压器次级侧电压加上任何电压振铃决定。不过，电压振铃很难预测，因为它取决于多种因素，例如回路电阻、变压器的漏电感和二极管结电容。根据经验，二极管额定电压应大于变压器匝数比乘以最大输入电压的 1.5 倍。由于两个次级绕组跨接在整流桥上，因此需要系数二，从而产生二极管的最大直流阻断电压额定值：

$$\text{Diode } V_R > 1.5 \times 2 \times N \times V_{IN(MAX)} \quad (7)$$

对于高效率设计，可以使用具有低正向电压 V_F 和二极管电容 C_T 的二极管，例如可以使用 BAT165E6327HTSA1 或等效产品以实现高效率 15V 输出。这些寄生效应和反向恢复等二极管参数会影响系统效率并可能影响发射。对于低发射设计，可以使用低发射二极管，例如可以使用 PMEG200G20ELRX 或等效产品以实现高达 100V 的低发射输出。

9.2.2.4 电容器和电感器选型

电容器选型

推挽式转换器电路中的电容器通常是片式多层陶瓷芯片 (MLCC) 电容器。与许多高速 CMOS IC 一样，该器件需要一个 100nF 的旁路电容器。确保该电容器放置在距 SN6507 VCC 引脚 2mm 的范围内。

在快速开关瞬态期间，变压器初级侧中心抽头处的输入大容量电容器支持流入初级绕组的大电流。为实现最小的纹波，应使该电容器处于 1 μ F 至 10 μ F 的范围内，最好是 10 μ F。将该电容器放置在靠近变压器初级绕组中心抽头的位置，以尽量减小引线电感。如果放置在 PCB 的与变压器相反的一侧，则可以在同一层并靠近变压器中心抽头放置一个额外的 100nF 电容器。为这些电容器与变压器中心抽头之间的每个连接使用两个并联过孔，以确保实现低电感路径。

整流器输出端的大容量电容器可使输出电压变得平滑。在 $1\ \mu\text{F}$ 至 $10\ \mu\text{F}$ 的范围内设置该电容器。为避免在从软启动到稳态的转换过程中达到 OCP，建议输出电容器 C_{OUT} 小于连接到 SS/ILIM 引脚的 C_{SS} 的 10 倍。否则，如果由于 C_{SS} 值较小而导致软启动时间较短，则输出电容器仅被部分充电，并且在器件退出软启动模式后的第一个开关周期中会出现高电流尖峰。

如果在嘈杂的环境中工作，则可以将值处于 1nF 和 4.7nF 之间的可选电容器连接到 SN6507 的控制引脚以进行滤波。

如果使用 LDO，则不一定需要在 LDO 输入端增加一个小电容。不过，良好的模拟设计实践表明使用 47nF 至 100nF 的较小值可以改善稳压器的瞬态响应和噪声抑制。

如果使用 LDO，则 LDO 输出端的附加电容器会缓冲稳压输出电源，以供后续隔离器和收发器电路使用。输出电容器的选择取决于数据表中规定的 LDO 稳定性要求。不过，在大多数情况下， $4.7\ \mu\text{F}$ 至 $10\ \mu\text{F}$ 范围内的低 ESR 陶瓷电容器可以满足这些要求。

电感器选型

电感器仅用于占空比功能。可以通过 [方程式 2](#) 计算最小电感器感值 (L_{MIN})。更高的电感可以实现更佳的调节和更低的电压纹波，但相应地需要尺寸更大的电感器。理想电感值是通过考虑调节性能和尺寸之间的折衷来确定的。

例如，当 $V_{\text{OUT}} = 15\text{V}$ 、 $V_{\text{IN TYP}} = 15\text{V}$ 、 $V_{\text{IN MAX}} = 18\text{V}$ 、 $I_{\text{LOAD MIN}} = 250\text{mA}$ 、 $f_{\text{SW}} = 1\text{MHz}$ 、 $D = 0.25$ 时，计算得出的最小电感是 $50\ \mu\text{H}$ 。

$$L_{\text{MIN}} = 15\text{V} \times \frac{1 - 2 \times 0.25 \times (15\text{V}/18\text{V})}{4 \times 0.25\text{A} \times 1\text{MHz}} = 8.75\ \mu\text{H} \quad (8)$$

9.2.2.5 变压器选型

9.2.2.5.1 V-t 积计算

为了防止变压器饱和，其 V-t 乘积必须大于器件施加的最大 V-t 乘积：在指定输入电压下，该电压在最低频率的一半周期内施加到初级的最长时间。对于使用占空比控制的设计，可以通过在最低开关频率的四分之一周期内施加的典型电压来计算器件施加的最大 V-t。对于使用由 R_{CLK} 设置的时钟频率的系统，可以估算 f_{min} 比 [节 可编程开关频率](#) 中相应 R_{CLK} 的典型或近似开关频率值 f_{SW} 低 15%。对于 CLK 引脚连接至 GND 的系统，应使用 [节 6](#) 中的指定 F_{SW} 。因此，对于固定输入，可以通过 [方程式 9](#) 来确定变压器的最小 V-t 乘积；对于使用占空比控制的宽范围输入，可以通过 [方程式 10](#) 来进行确定：

$$Vt_{\text{min}} \geq V_{\text{IN(max)}} \times \frac{T_{\text{max}}}{2} = \frac{V_{\text{IN(max)}}}{2 \times f_{\text{min}}} \quad (9)$$

$$Vt_{\text{min}} \geq V_{\text{IN(typ)}} \times \frac{T_{\text{max}}}{4} = \frac{V_{\text{IN(typ)}}}{4 \times f_{\text{min}}} \quad (10)$$

固定输入示例：

对于 $f_{\text{SW(min)}}$ 为 780kHz 、电源 $V_{\text{IN}} = 24\text{V}$ (容差为 $\pm 10\%$) 的固定输入系统，通过 [方程式 9](#) 可得出最小 V-t 乘积为：

$$Vt_{\text{min}} \geq \frac{26.4\text{V}}{2 \times 780\text{kHz}} = 16.9\ \text{V}\mu\text{s} \quad (11)$$

宽范围输入示例：

假设 $f_{\text{SW(min)}}$ 为 780kHz ，电源 $V_{\text{IN(typ)}}$ 为 24V ，通过 [方程式 10](#) 可得出最小 V-t 乘积为：

$$Vt_{\text{min}} \geq \frac{24\text{V}}{4 \times 780\text{kHz}} = 7.7\ \text{V}\mu\text{s} \quad (12)$$

尽管在 Vt 范围内所有这些变压器都可以由该器件驱动，但在做出最终决定之前必须考虑其他重要因素，例如隔离电压、变压器功率和匝数比。

9.2.2.5.2 匝数比估算

上一节已经确定所选变压器的 $V \cdot t$ 乘积必须为 $15V \mu s$ 。不过，在搜索制造商网站以寻找合适的变压器之前，用户仍需要了解允许推挽式转换器在指定的电流和温度范围内正常运行的最小匝数比。该最小变压比表示为最小次级电压与最小初级电压之比乘以将变压器典型效率 97% 考虑在内的校正因数：

$$V_{P-min} = V_{IN-min} - V_{DS-max} \quad (13)$$

V_{S-min} 必须足够大，以允许整流二极管上的最大压降 V_{F-max} 并且仍然为稳压器提供足够的输入电压以保持稳压。由 [节 9.2.2.2](#) 可知，该最小输入电压是已知的，通过添加 V_{F-max} 可以提供最小次级电压，如下所示：

$$V_{S-min} = V_{F-max} + V_{DO-max} + V_{O-max} \quad (14)$$

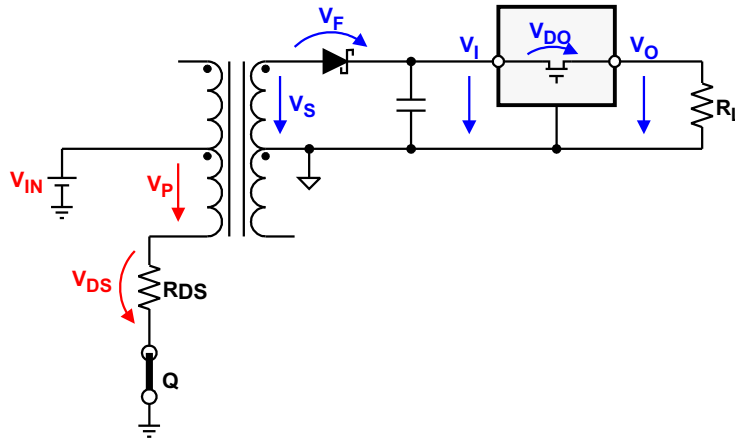


图 9-5. 通过 $N_{min} = 1.03 \times V_{S-min}/V_{P-min}$ 来确定所需的最小匝数比

然后，可用的最小初级电压 V_{P-min} 计算包括从最小转换器输入电压 V_{IN-min} 中减去器件的最大可能漏源电压 V_{DS-max} ：

$$V_{P-min} = V_{IN-min} - V_{DS-max} \quad (15)$$

不过， V_{DS-max} 是数据表中指定电源的最大 $R_{DS(on)}$ 和 I_D 值的乘积：

$$V_{DS-max} = R_{DS-max} \times I_{Dmax} \quad (16)$$

然后将 [方程式 16](#) 插入 [方程式 15](#) 可得到：

$$V_{P-min} = V_{IN-min} - R_{DS-max} \times I_{Dmax} \quad (17)$$

将 [方程式 17](#) 和 [方程式 14](#) 插入 [方程式 13](#) 可得出最小匝数比，如下所示：

$$N_{min} = 1.03 \times \frac{V_{F-max} + V_{DO-max} + V_{O-max}}{V_{IN-min} - R_{DS-max} \times I_{D-max}} \quad (18)$$

提供了有关计算方法的示例。一个示例是针对无占空比控制的固定输入情况。另一个示例是针对有或无占空比控制的宽范围输入情况。

固定输入示例：

对于使用整流二极管 PMEG200G20ELRX 和 LM317A LDO 的固定 24V V_{IN} 至 15V V_{OUT} 转换器，针对 500mA 负载电流和 85°C 最大温度的数据表值为 $V_{F-max} = 0.5V$ 、 $V_{DO-max} = 0.7V$ 、 $V_{O-max} = 15.15V$ 。

然后假设转换器输入电压来自具有最大 $\pm 2\%$ 精度的 24V 稳压电源，则 $V_{IN-min} = 23.52V$ 。最后，24V 下的漏源电阻和漏极电流的最大值来自数据表，其中 $R_{DS-max} = 1\Omega$ ， $I_{D-max} = 0.5A$ 。

将上述值插入上述公式可得出最小匝数比为：

$$N_{min} = 1.03 \times \frac{0.5V + 0.7V + 15.1V}{23.52V - 1\Omega \times 0.5A} = 0.72 \quad (19)$$

宽范围输入示例：

• 无占空比控制的宽范围输入

对于具有宽输入范围但无占空比控制的转换器设计，匝数比需要考虑最小输入电压。

假设使用相同的二极管和 LDO，则计算结果为 $V_{F-max} = 0.5V$ 、 $V_{DO-max} = 0.7V$ 、 $V_{O-max} = 15.15V$ 。

18V 至 30V 的输入范围使 $V_{IN-min} = 18V$ 。18V 至 30V 的输入范围（典型值为 24V）使 $V_{IN-min} = 18V$ 。将相同的 $R_{DS-max} = 1\Omega$ 和 $I_{D-max} = 0.5A$ 代入上述公式可得出最小匝数比为：

$$N_{min} = 1.03 \times \frac{0.5V + 0.7V + 15.1V}{18V - 1\Omega \times 0.5A} = 0.96 \quad (20)$$

• 具有占空比控制的宽范围输入

对于具有宽输入范围的转换器设计，占空比功能可用于补偿输入变化。但必须注意确保高匝数比不会导致初级电流超过器件的指定电流限制。

$$N_{min} = 1.03 \times \frac{V_{F-max} + V_{DO-max} + V_{O-max}}{V_{IN-typ} - R_{DS-max} \times I_{D-max}} \times \frac{1}{2D_{typ}} \quad (21)$$

假设使用相同的二极管和 LDO，则 $V_{F-max} = 0.5V$ 、 $V_{DO-max} = 0.7V$ 、 $V_{O-max} = 15.15V$ 。

建议用户在 V_{IN-typ} 典型值 = 24V 时设置 $DC = 25\%$ 。将相同的 $R_{DS-max} = 1\Omega$ 和 $I_{D-max} = 0.5A$ 代入上述公式可得出最小匝数比为：

$$N_{min} = 1.03 \times \frac{0.5V + 0.7V + 15.1V}{24V - 1\Omega \times 0.5A} \times \frac{1}{2 \times 0.25} = 1.38 \quad (22)$$

9.2.2.6 低发射设计

对于需要低水平辐射和传导发射的隔离式电源设计，以下建议有助于最大限度地减少 SN6507 及其周围元件的发射：

- 确保使用具有低寄生效应（例如漏电感和寄生电容）的推挽式隔离变压器。
- 使用低发射整流二极管，例如 PMEG200G20ELRX 或等效产品。
- 将 SN6507 配置为最慢的压摆率设置。
- 在隔离变压器的次级侧包含一个缓冲电路。

图 9-6 展示了遵循这些建议并符合 CISPR 32 标准的 SN6507 的辐射发射数据。使用这些配置可能都会影响系统级效率。可以使用 SN6507DGGQEVMM 来评估这些设计选项。

9.2.4 系统示例

9.2.4.1 更高的输出电压设计

该器件可以驱动推挽式转换器，这些转换器通过不同的整流器拓扑提供双倍输出电压或双极输出。图 9-7 至图 9-9 展示了其中一些拓扑及其各自的开路输出电压。

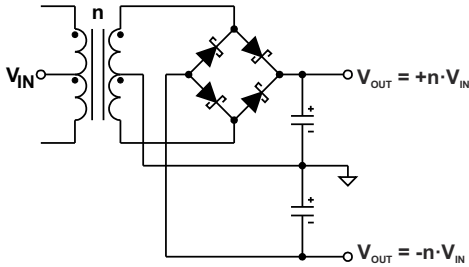


图 9-7. 具有中心抽头次级的桥式整流器可实现双极输出

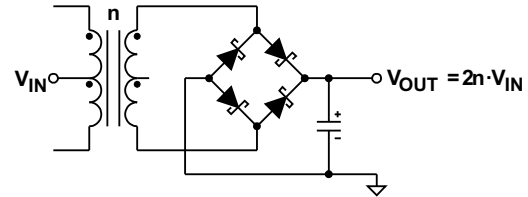


图 9-8. 无中心抽头次级的桥式整流器执行电压加倍

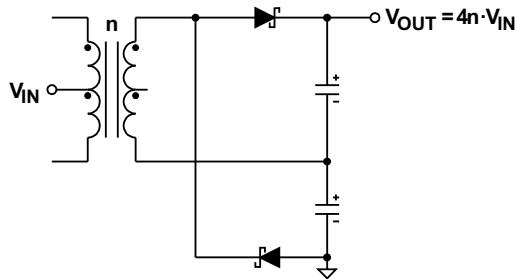


图 9-9. 无中心接地和中心抽头次级的半波整流器执行两次电压加倍，因此使 V_{IN} 变为原来的四倍

9.2.4.2 市售变压器

表 9-3 展示了适用于 SN6507 的建议商用变压器设计。这些器件型号或同等产品经过优化，可与 SN6507 配合使用。

表 9-3. 适用于 SN6507 的建议中心抽头式变压器

应用	匝数比 (1:N)	V-t 乘积最小值 ($V \mu s$)	隔离 (V_{RMS})	尺寸 (mm) (L, W, H)	器件型号 1
24V → 15V	0.73	15	2.5k	(8.5, 12.87, 5.16)	Würth 750319696
	0.71	30	2.5k	(10.3, 12.07, 5.97)	Coilcraft TX1-ZB1459-BE
	0.73	25	2.5k	(11.8, 13.2, 11.1)	Bourns SM91207L-E
	0.75	25	3.75k Ω	(10.3, 13.2, 12.5)	Pulse PAG6356.086NLT
12V → 15V	1.4	22	2.5k	(10.3, 12.07, 5.97)	Coilcraft TX1-ZB1445-CE
	1.4	22	2.5k	(8.5, 12.87, 5.16)	Würth 750319692
	1.2	15	2.5k	(11.8, 13.2, 11.1)	Bourns SM91208L-E
24V → 30V	1.4	30	2.5k	(10.3, 12.07, 5.97)	Coilcraft TX1-ZC1891-AE
	1.4	30	2.5k	(8.5, 12.87, 5.16)	Würth 750319948
12V → 30V	2.6	22	2.5k	(8.5, 12.87, 5.16)	Würth 750319949
	2.8	22	2.5k	(10.3, 12.07, 5.97)	Coilcraft TX1-ZC1892-AE
24V → 24V	1.09	15	2.5k	(8.5, 12.87, 5.16)	Würth 750319697

表 9-3. 适用于 SN6507 的建议中心抽头式变压器 (continued)

应用	匝数比 (1:N)	V-t 乘积最小值 (V μs)	隔离 (V _{RMS})	尺寸 (mm) (L、W、H)	器件型号 1
24V → 12V	0.55	15	2.5k	(8.5、12.87、5.16)	Würth 750319695
	0.625	50	3.75k Ω	(10.3、13.2、12.5)	Pulse PAG6356.085NLT
24V → 5V	0.27	15	2.5k	(8.5、12.87、5.16)	Würth 750319694
	0.25	50	3.75k Ω	(10.3、13.2、12.5)	Pulse PAG6356.082NLT
12V → 24V	2.13	7.5	2.5k	(8.5、12.87、5.16)	Würth 750319693
12V → 12V	1.13	7.5	2.5k	(8.5、12.87、5.16)	Würth 750319691
12V → 5V	0.5	7.5	2.5k	(8.5、12.87、5.16)	Würth 750319690
24V → 3.3V	0.125	50	3.75k Ω	(10.3、13.2、12.5)	Pulse PAG6356.081NLT

- 并非所有建议的器件型号都经过德州仪器 (TI) 的验证。请参阅最新的变压器规格以确定与 SN6507 的兼容性。

9.3 电源相关建议

该器件设计为在介于 3V 和 36V 之间的标称输入电源电压范围内工作。如果输入电源距离器件超过几英寸，则应在尽可能靠近器件 V_{CC} 引脚的位置连接一个 0.1 μF 旁路电容器，并在靠近变压器中心抽头引脚的位置连接一个 10 μF 电容器。

9.4 布局

9.4.1 布局指南

- V_{IN} 引脚必须通过低 ESR 陶瓷旁路电容器缓冲至接地。建议的电容器容值范围为 1 μF 至 10 μF。电容器必须具有 10V 最小值的额定电压和 X5R 或 X7R 电介质。
- 理想位置最靠近电路板入口处的 V_{IN} 和 GND 引脚，以尽量减小由旁路电容器接头、V_{IN} 端子和 GND 引脚形成的环路面积。有关 PCB 布局示例，请参阅图 9-10。
- 器件 SW1 和 SW2 引脚与变压器初级端之间的接头以及器件 V_{CC} 引脚与变压器中心抽头之间的接头必须尽可能接近，以尽可能减小引线电感。
- 器件 V_{CC} 引脚和变压器中心抽头之间的接头必须通过低 ESR 陶瓷旁路电容器缓冲至接地。建议的电容器容值范围为 1 μF 至 10 μF。电容器必须具有 16V 最小值的额定电压和 X5R 或 X7R 电介质。
- 必须使用两个过孔将器件 GND 引脚连接到 PCB 接地平面，以尽可能减小电感。
- 电容器和接地平面的接地连接应使用两个过孔，以尽可能减小电感。
- 整流二极管应该是具有低正向电压和低电容的肖特基二极管，以最大限度地提高效率。
- V_{OUT} 引脚必须通过低 ESR 陶瓷旁路电容器缓冲至 ISO 接地。建议的电容器容值范围为 1 μF 至 10 μF。

9.4.2 布局示例

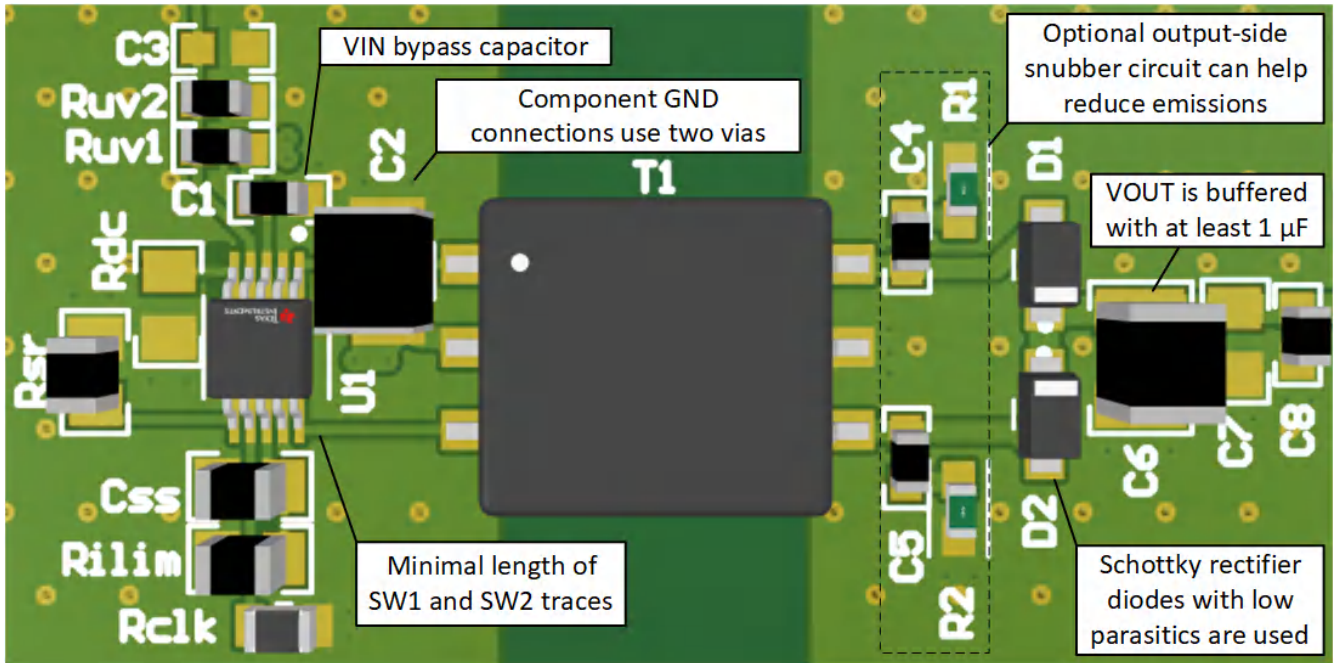


图 9-10. 2 层板的布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [《数字隔离器设计指南》](#)
- 德州仪器 (TI), [隔离相关术语](#)
- 德州仪器 (TI), [如何在隔离式 CAN 系统中隔离信号和电源 TI 技术手册](#)
- 德州仪器 (TI), [如何隔离 RS-485 系统的信号和电源 TI 技术手册](#)
- 德州仪器 (TI), [如何隔离 I²C 的信号和电源 TI 技术手册](#)
- 德州仪器 (TI), [如何减少推挽式隔离电源中的发射 TI 应用手册](#)
- 德州仪器 (TI), [适用于三相逆变器的小型增强型隔离式 IGBT 栅极驱动参考设计 TI 设计](#)
- 德州仪器 (TI), [SN6507DGQEVMM 适用于隔离式电源评估模块的低发射、500mA 推挽式变压器驱动器 TI EVM 用户指南](#)

10.2 接收文档更新通知

若要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。单击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 社区资源

10.4 商标

所有商标均为其各自所有者的财产。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

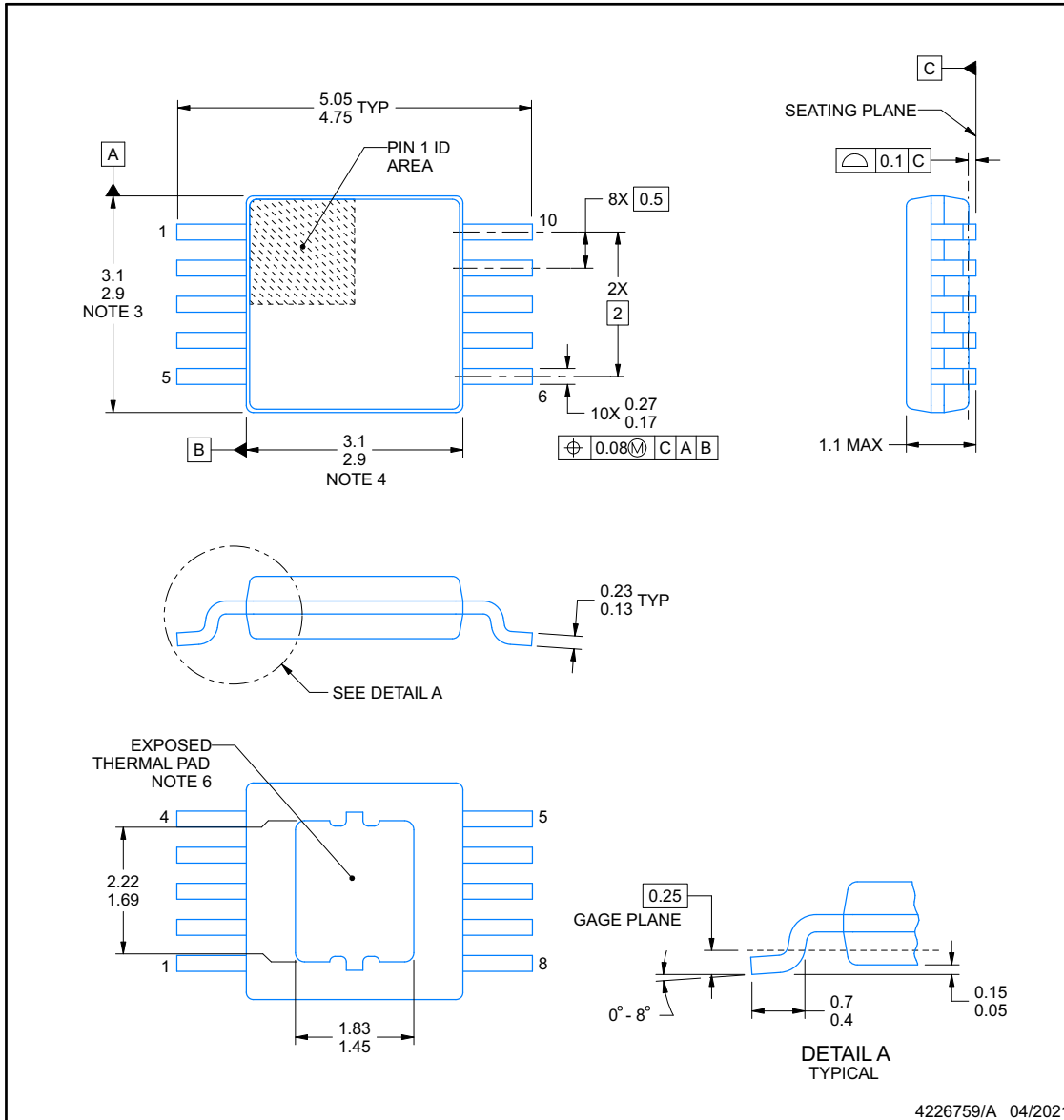


PACKAGE OUTLINE

DGQ0010D-C01

PowerPAD™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

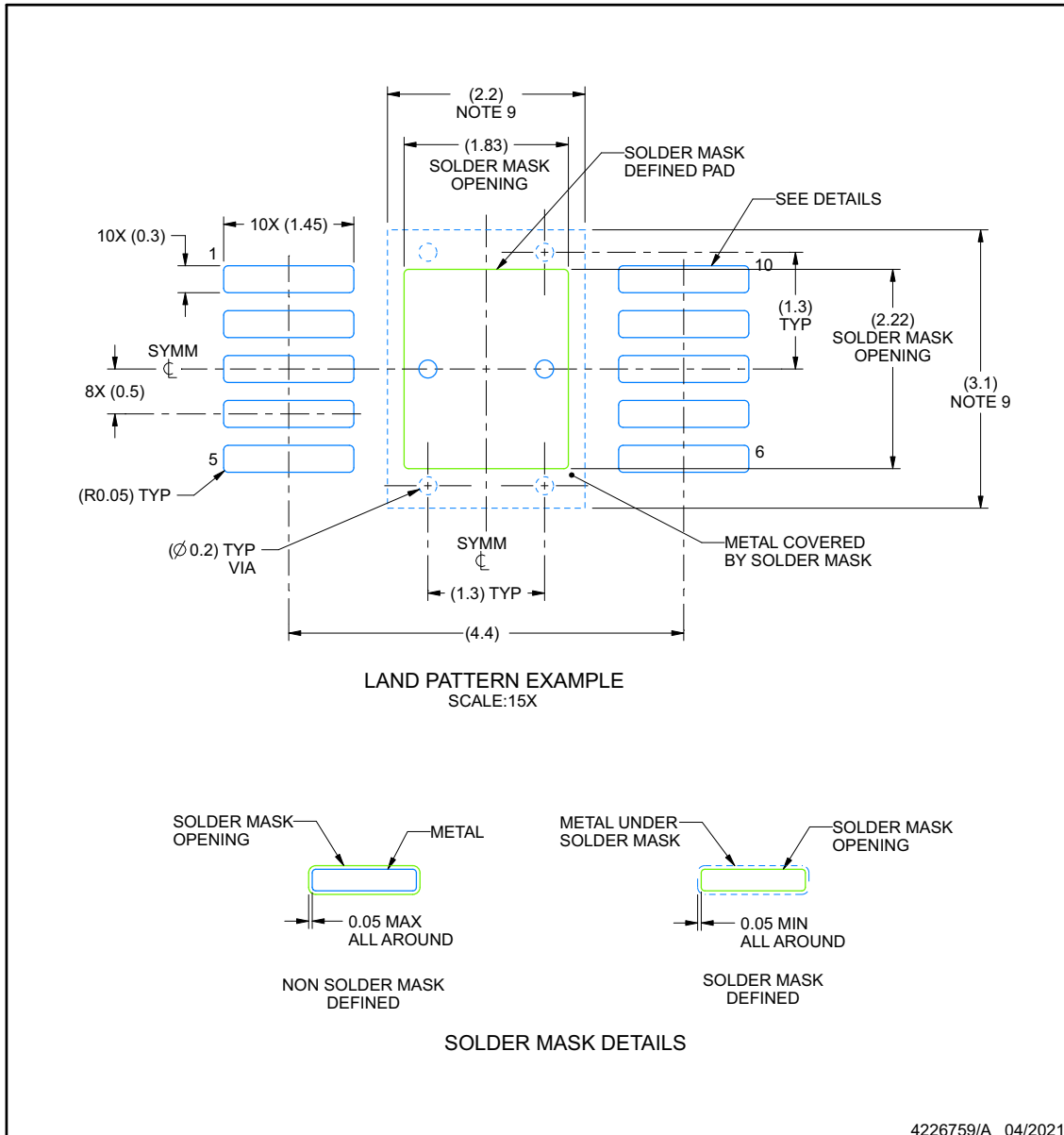
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA-T.
6. The thermal pad design could vary depending on manufacturing site.

EXAMPLE BOARD LAYOUT

DGQ0010D-C01

PowerPAD™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

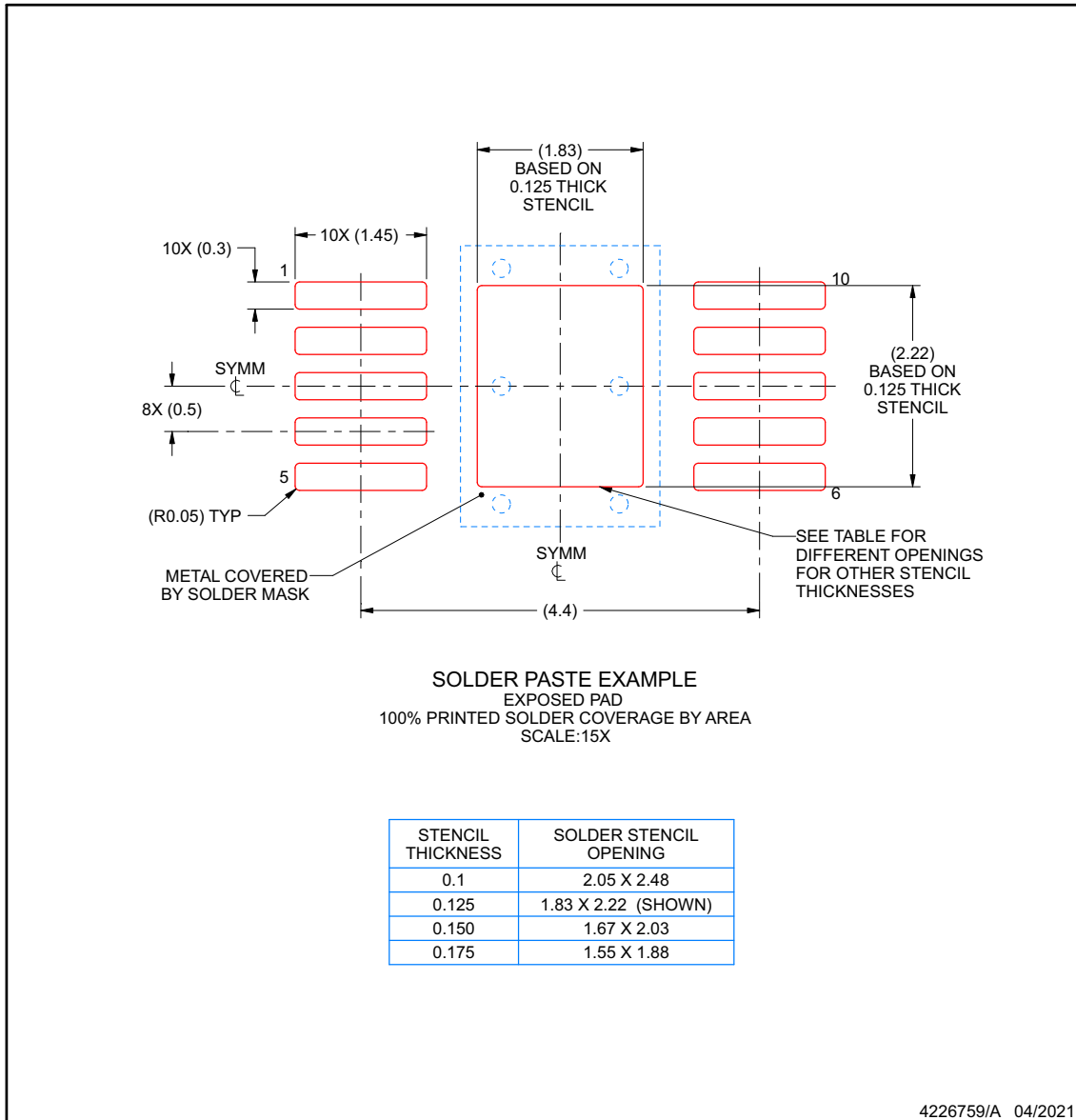
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGQ0010D-C01

PowerPAD™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN6507DGQR	ACTIVE	HVSSOP	DGQ	10	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	6507	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN6507DGQR	HVSSOP	DGQ	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN6507DGQR	HVSSOP	DGQ	10	2500	366.0	364.0	50.0

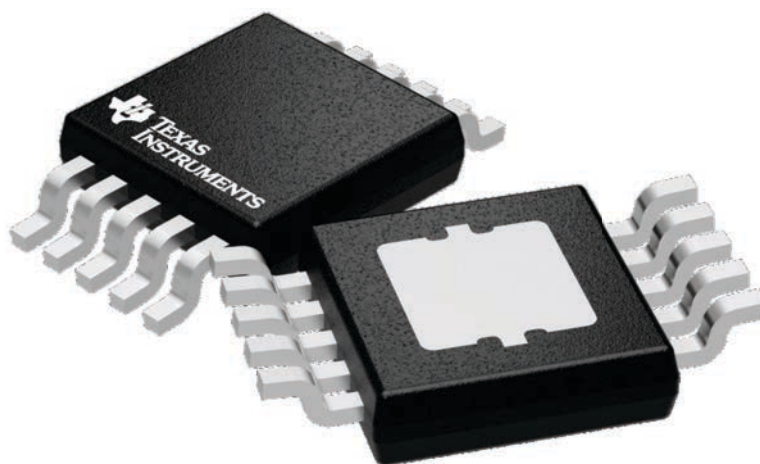
GENERIC PACKAGE VIEW

DGQ 10

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.5 mm pitch

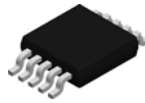
PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224775/A

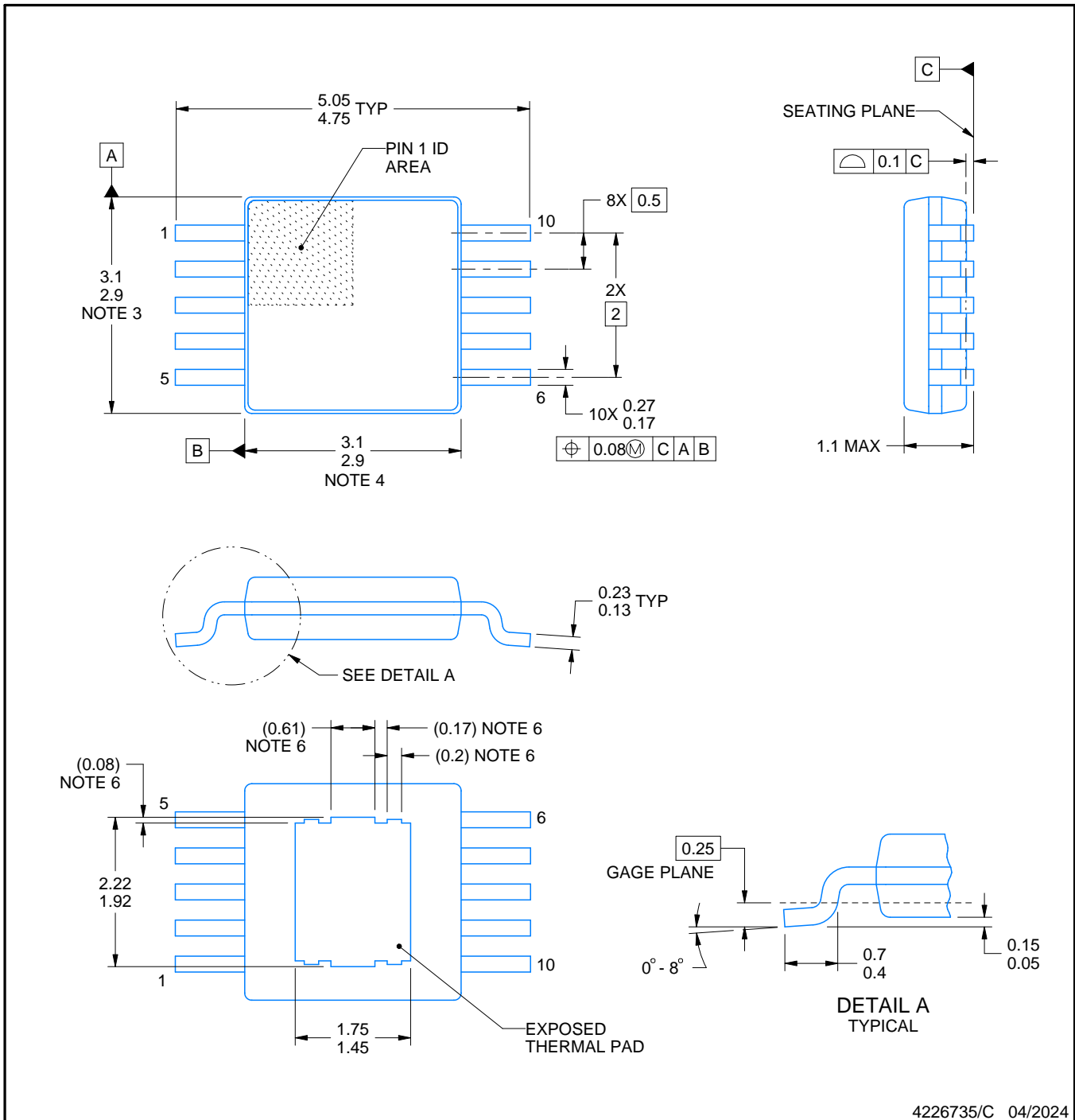
DGQ0010H



PACKAGE OUTLINE

PowerPAD™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



4226735/C 04/2024

PowerPAD is a trademark of Texas Instruments.

NOTES:

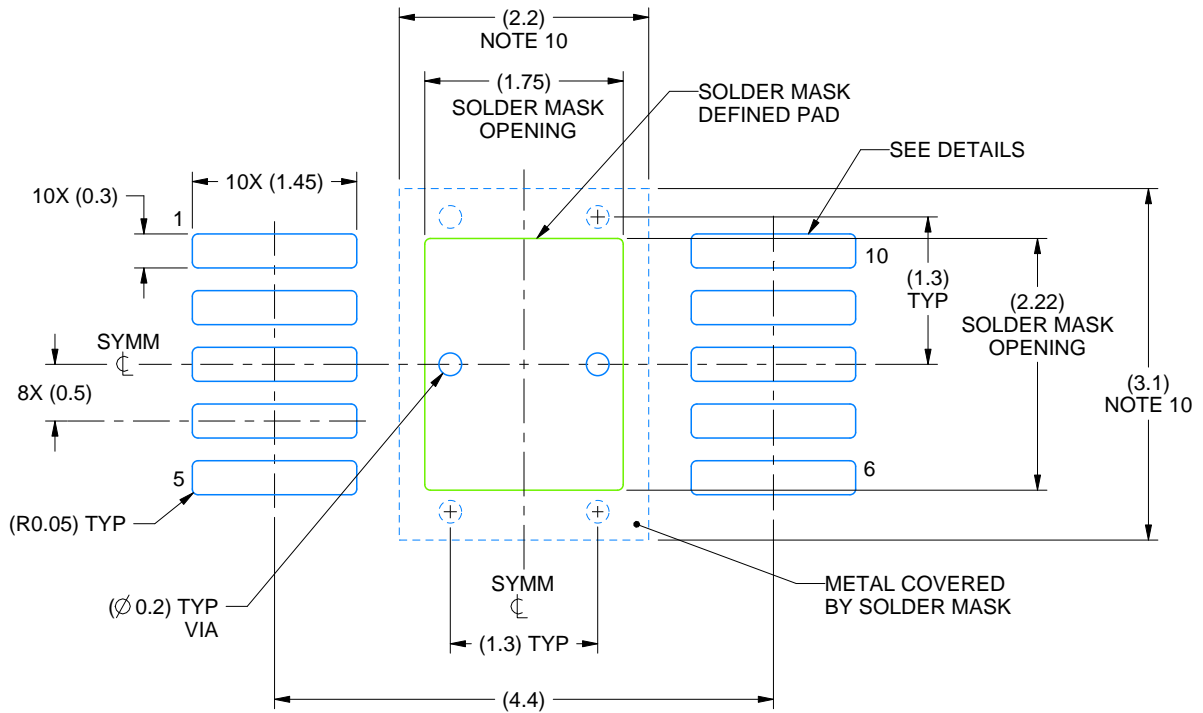
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA-T.
6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

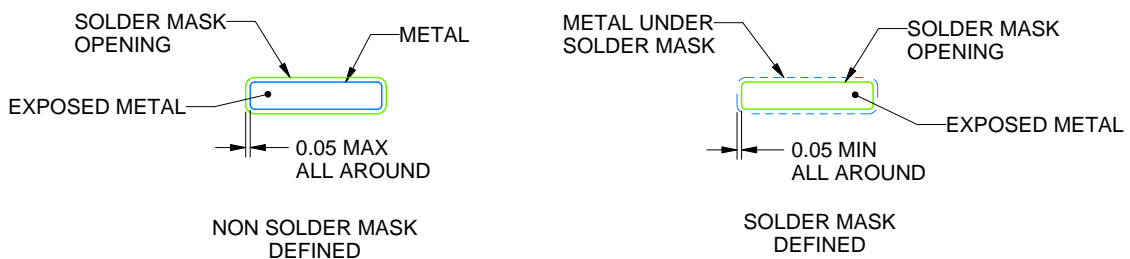
DGQ0010H

PowerPAD™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4226735/C 04/2024

NOTES: (continued)

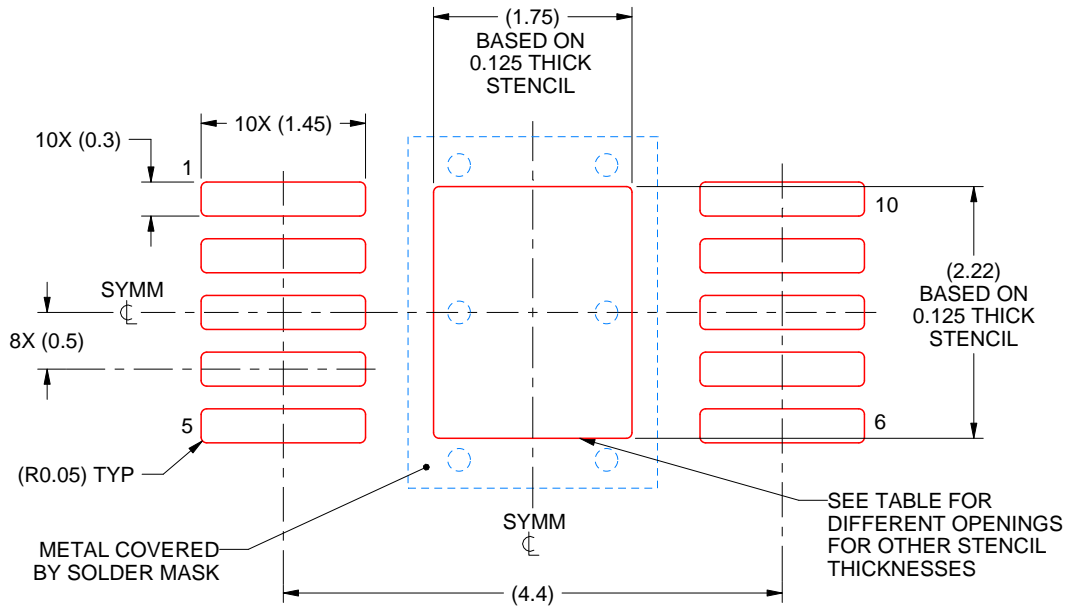
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGQ0010H

PowerPAD™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.100	1.96 X 2.48
0.125	1.75 X 2.22 (SHOWN)
0.150	1.6 X 2.03
0.175	1.48 X 1.88

4226735/C 04/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司