

SN74AHCT125-Q1 具有三态输出的汽车类四路总线缓冲门

1 特性

- 输入兼容 TTL 电压
- 闩锁性能超过 250mA，符合 JESD 17 规范
- 功能安全型
 - 有助于进行安全系统设计的文档

2 应用

- 启用或禁用数字信号
- 控制指示灯 LED
- 对开关进行去抖
- 消除缓慢或嘈杂输入信号

3 说明

SN74AHCT125-Q1 器件是四路总线缓冲门，采用具有三态输出的独立线路驱动器。当每个输出的相关输出使能 (\overline{OE}) 输入为高电平时，输出被禁用。当 \overline{OE} 为低电平时，相应的逻辑门会将来自 A 输入的数据传递到 Y 输出。

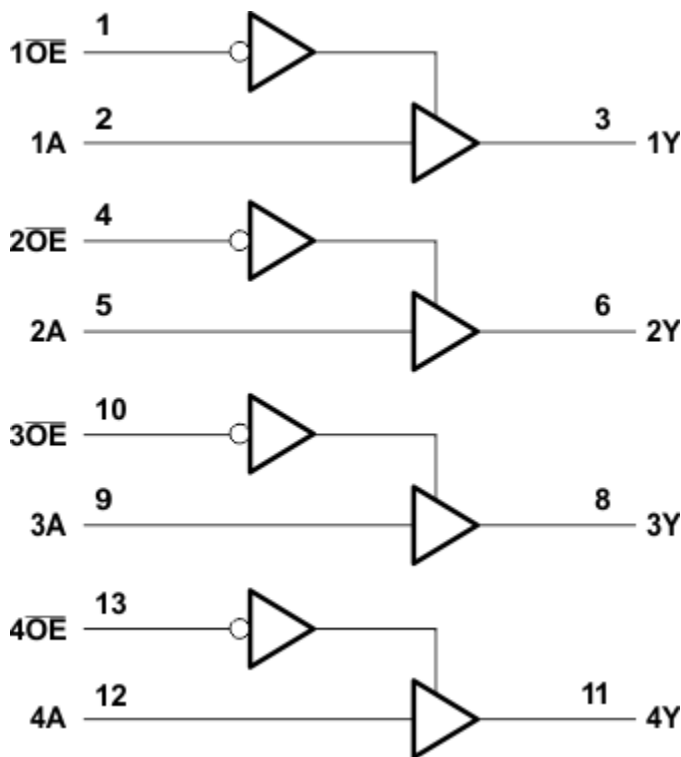
为了确保加电或断电期间的高阻抗状态， \overline{OE} 应通过一个上拉电阻器被连接至 V_{CC} ；该电阻器的最小值由驱动器的电流吸收能力来决定。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
SN74AHCT125-Q1	D (SOIC, 14)	8.65mm x 6mm
	PW (TSSOP, 14)	5mm x 6.4mm
	BQA (TSSOP, 14)	3mm x 2.5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 x 宽) 为标称值，并包括引脚 (如适用)。



逻辑图 (正逻辑)



内容

1 特性.....	1	8.1 概述.....	8
2 应用.....	1	8.2 功能方框图.....	8
3 说明.....	1	8.3 特性说明.....	8
4 修订历史记录.....	2	8.4 器件功能模式.....	8
5 引脚配置和功能.....	3	9 应用和实施.....	9
6 规格.....	4	9.1 应用信息.....	9
6.1 绝对最大额定值.....	4	9.2 典型应用.....	9
6.2 ESD 等级.....	4	9.3 电源相关建议.....	10
6.3 建议的工作条件.....	4	9.4 布局.....	10
6.4 热性能信息.....	5	10 器件和文档支持.....	12
6.5 电气特性.....	5	10.1 文档支持 (模拟).....	12
6.6 开关特性.....	5	10.2 接收文档更新通知.....	12
6.7 噪声特性 ⁽¹⁾	6	10.3 支持资源.....	12
6.8 工作特性.....	6	10.4 商标.....	12
6.9 典型特性.....	6	10.5 静电放电警告.....	12
7 参数测量信息.....	7	10.6 术语表.....	12
8 详细说明.....	8	11 机械、封装和可订购信息.....	12

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2023) to Revision C (October 2023)	Page
• 更新了 $R_{\theta JA}$ 值：PW = 113 至 147.7，所有值均以 °C/W 为单位.....	5

Changes from Revision A (February 2008) to Revision B (June 2023)	Page
• 添加了 <i>应用</i> 部分.....	1
• 添加了 <i>BQA</i> 封装.....	1
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了 <i>引脚功能表</i>	3
• 添加了 <i>ESD</i> 等级表.....	4
• 添加了 <i>热性能信息</i>	5

5 引脚配置和功能

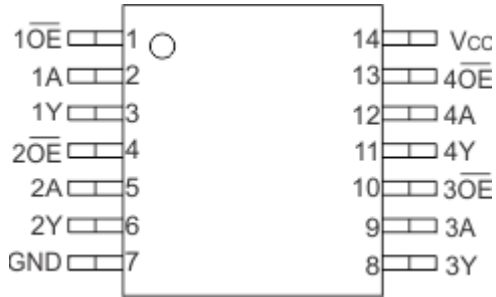


图 5-1. D 或 PW 封装，14 引脚 SOIC 或 TSSOP (顶视图)

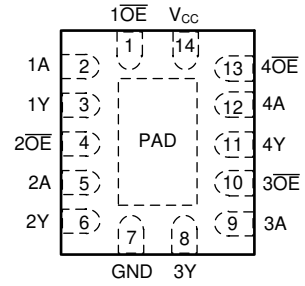


图 5-2. BQA 封装，14 引脚 WQFN (顶视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
1 OE	1	I	输出使能测试点
1A	2	I	输入
1Y	3	O	输出
2 OE	4	I	输出使能测试点
2A	5	I	输入
2Y	6	O	输出
3 OE	8	I	输出使能测试点
3A	9	I	输入
3Y	10	I	输出
4 OE	13	I	输出使能测试点
4A	12	I	输入
4Y	11	O	输出
GND	7	-	接地
V _{CC}	14	I	电源电压

(1) I = 输入，O = 输出

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V_{CC}	电源电压	-0.5	7.0	V
V_I	输入电压 ⁽²⁾	-0.5	7.0	V
V_O	输出电压 ⁽²⁾	-0.5	$V_{CC} + 0.5V$	V
I_{IK}	输入钳位电流, ($V_I < 0$)		-20	mA
I_{OK}	输出钳位电流, ($V_O < 0$ 或 $V_O > V_{CC}$)		± 20	mA
I_O	持续输出电流, ($V_O = 0$ 至 V_{CC})		± 25	mA
	通过 V_{CC} 或 GND 的持续输出电流		± 50	mA
T_{stg}	贮存温度	-65	150	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出电流额定值, 输入和输出电压可超过额定值。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级	± 2000
		充电器件模型 (CDM), 符合 AEC Q100-011 CDM ESD 分类等级	± 1000

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议的工作条件

在自然通风条件下的工作温度范围内测得 (除非另外注明) ⁽¹⁾

		SN74AHCT125-Q1		单位
		最小值	最大值	
V_{CC}	电源电压	4.5	5.5	V
V_{IH}	高电平输入电压	2		V
V_{IL}	低电平输入电压		0.8	V
V_I	输入电压	0	5.5	V
V_O	输出电压	0	V_{CC}	V
I_{OH}	高电平输出电流		-8	mA
I_{OL}	低电平输出电流		8	mA
$\Delta t / \Delta v$	输入转换上升或下降速率		20	ns/V
T_A	自然通风条件下的工作温度范围	-40	85	°C

- (1) 器件所有的未使用输入必须被保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 CMOS 输入缓慢变化或悬空的影响, 文献编号 SCBA004。

6.4 热性能信息

热指标		SN74AHCT125-Q1			单位
		D	PW	BQA	
		14	14	14	
R _{θJA}	封装热阻 ⁽¹⁾	86	147.7	88.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告](#)。

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	T _A = 25°C			SN74AHCT125		单位
			最小值	典型值	最大值	最小值	最大值	
V _{OH}	I _{OH} = -50μA	4.5V	4.4	4.5		4.4		V
	I _{OH} = -8mA		3.94			3.8		
V _{OL}	I _{OL} = 50μA	4.5V			0.1		0.1	V
	I _{OL} = 8mA				0.36		0.44	
I _I	V _I = 5.5V 或 GND	0V 至 5.5V			±0.1		±1	μA
I _{OZ}	V _O = V _{CC} 或 GND	5.5V			±0.25		±2.5	μA
I _{CC}	V _I = V _{CC} 或 GND, I _O = 0	5.5V			2		20	μA
ΔI _{CC} ⁽¹⁾	一个输入电压为 3.4V, 其他输入电压为 V _{CC} 或 GND	5.5V			1.35		1.5	mA
C _i	V _I = V _{CC} 或 GND	5V		4	10		10	pF
C _o	V _O = V _{CC} 或 GND	5V		15				pF

(1) 这是每个输入在指定 TTL 电压电平之一而不是 0V 或 V_{CC} 时电源电流的增加情况。

6.6 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	从 (输入)	到 (输出)	负载电容	T _A = 25°C			SN74AHCT125		单位
				最小值	典型值	最大值	最小值	最大值	
t _{PLH}	A	Y	C _L = 15pF		3.8	5.5	1	6.5	ns
t _{PHL}					3.8	5.5	1	6.5	
t _{PZH}	OE	Y	C _L = 15pF		3.6	5.1	1	6	ns
t _{PZL}					3.6	5.1	1	6	
t _{PHZ}	OE	Y	C _L = 15pF		4.6	6.8	1	8	ns
t _{PLZ}					4.6	6.8	1	8	
t _{PLH}	A	Y	C _L = 50pF		5.3	7.5	1	8.5	ns
t _{PHL}					5.3	7.5	1	8.5	
t _{PZH}	OE	Y	C _L = 50pF		5.1	7.1	1	8	ns
t _{PZL}					5.1	7.1	1	8	
t _{PHZ}	OE	Y	C _L = 50pF		6.1	8.8	1	10	ns
t _{PLZ}					6.1	8.8	1	10	
t _{sk(o)}			C _L = 50pF			1		1	ns

6.7 噪声特性⁽¹⁾

$V_{CC} = 5V$, $C_L = 50pF$, $T_A = 25^\circ C$

参数		SN74AHCT125		单位
		最小值	最大值	
$V_{OL(P)}$	安静输出, 最大动态 V_{OL}		0.8	V
$V_{OL(V)}$	安静输出, 最小动态 V_{OL}		-0.8	V
$V_{OH(V)}$	安静输出, 最小动态 V_{OH}	4.4		V
$V_{IH(D)}$	高电平动态输入电压	2		V
$V_{IL(D)}$	低电平动态输入电压		0.8	V

(1) 特性仅适用于表面贴装封装。

6.8 工作特性

$V_{CC} = 5V$, $T_A = 25^\circ C$

参数		测试条件	典型值	单位
C_{pd}	功率耗散电容	无负载, $f = 1MHz$	14	pF

6.9 典型特性

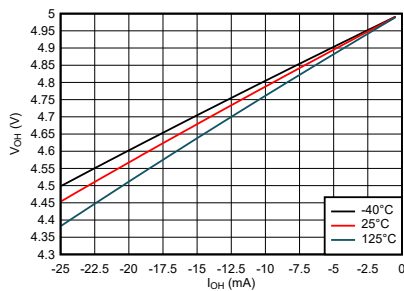


图 6-1. 高电平状态下输出电压与电流间的关系

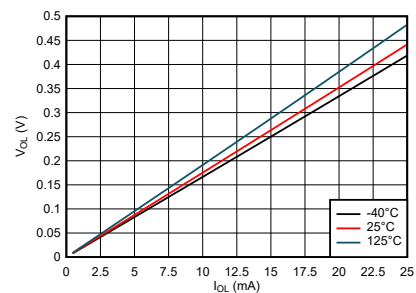
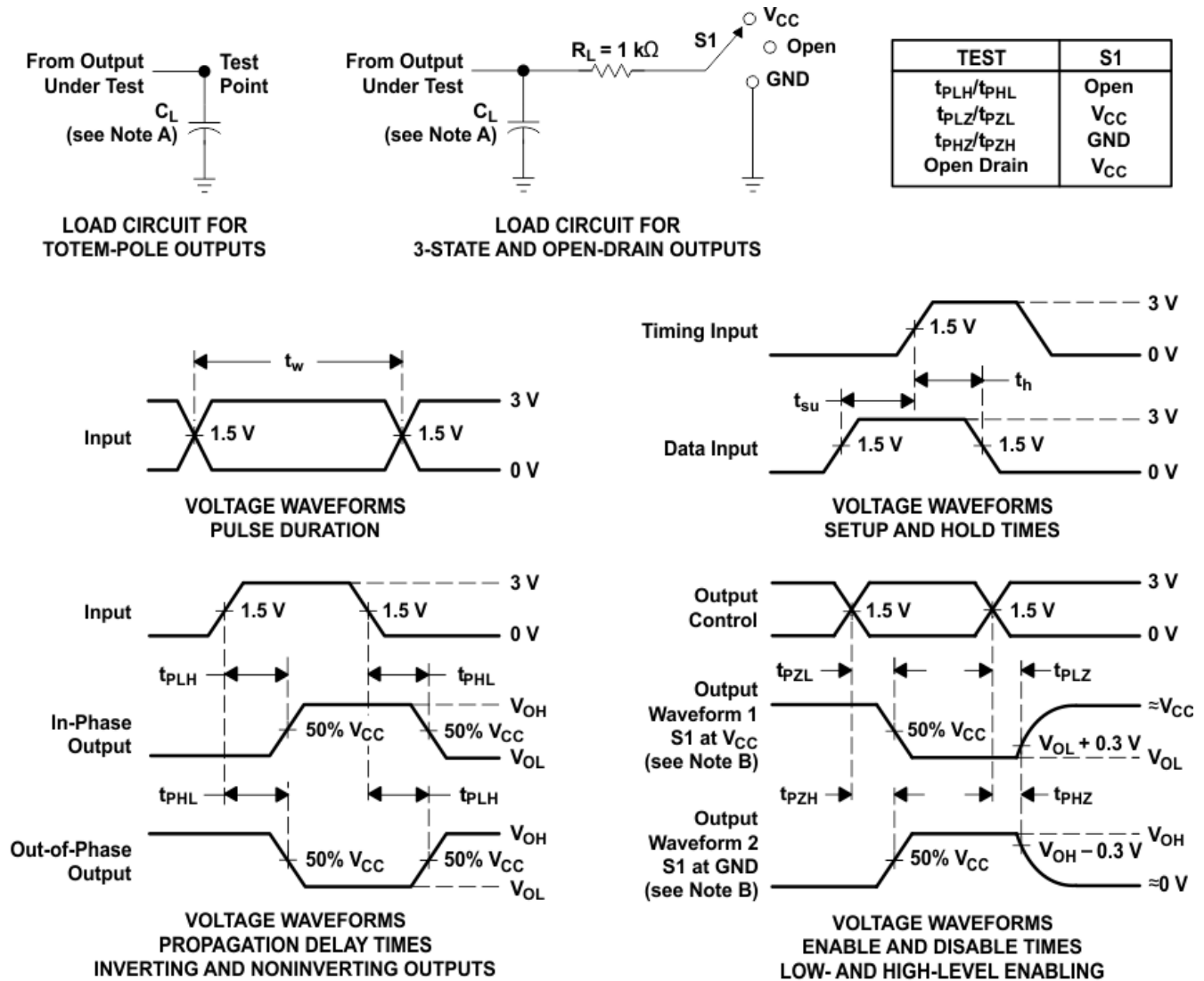


图 6-2. 低电平状态下输出电压与电流间的关系

7 参数测量信息



- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: PRR $\leq 1\text{ MHz}$, $Z_O = 50\ \Omega$, $t_r \leq 3\text{ ns}$, $t_f \leq 3\text{ ns}$.
 D. The outputs are measured one at a time with one input transition per measurement.
 E. All parameters and waveforms are not applicable to all devices.

图 7-1. 负载电路和电压波形

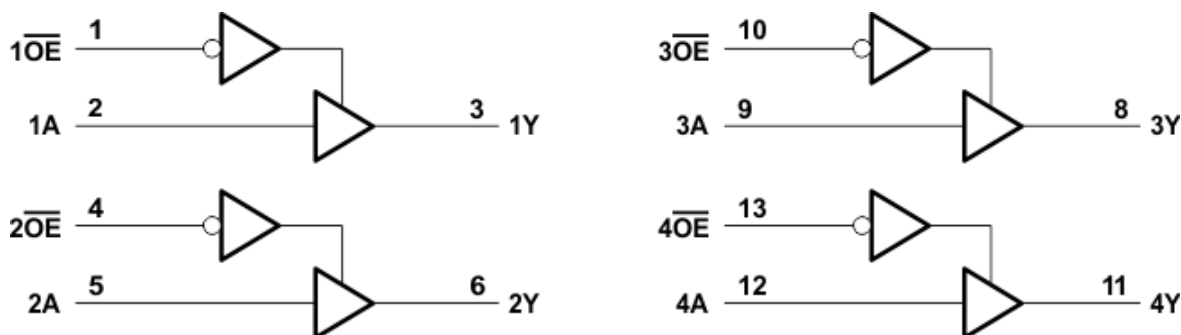
8 详细说明

8.1 概述

SN74AHCT125-Q1 器件是四路总线缓冲门，采用具有三态输出的独立线路驱动器。当每个输出的相关输出使能 (\overline{OE}) 输入为高电平时，输出被禁用。当 \overline{OE} 为低电平时，相应的逻辑门会将来自 A 输入的数据传递到 Y 输出。

为了确保加电或断电期间的高阻抗状态， \overline{OE} 应通过一个上拉电阻器被连接至 V_{CC} ；该电阻器的最小值由驱动器的电流吸收能力来决定。

8.2 功能方框图



所示引脚编号用于 D、DB、DGV、J、N、NS、PW、RGY 和 W 封装。

8.3 特性说明

每个缓冲器都有自己的输出使能。这允许单独控制每个缓冲器。当输出使能为低电平时，输入被传递到输出。当输出使能为高电平时，输出为高阻抗。此功能在可能需要隔离的应用中非常有用。

8.4 器件功能模式

表 8-1. 功能表 (每个缓冲器)

输入		输出 Y
\overline{OE}	A	
L	H	H
L	L	L
H	X	Z

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

此应用中使用具有三态输出的缓冲器来禁用数据信号，如图 9-1 中所示。其余三个缓冲器可用于系统中其他地方的信号调节，或者可将输入接地，并且通道保持不适用。

9.2 典型应用

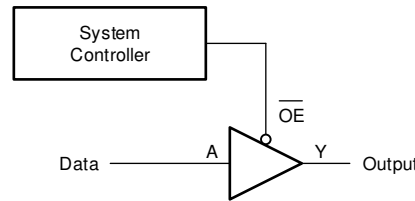


图 9-1. 典型应用框图

9.2.1 设计要求

9.2.1.1 电源注意事项

确保所需电源电压在 *建议运行条件* 中规定的范围内。电源电压按照 *电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74AHCT125-Q1 所有输出端拉出的总电流加上最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74AHCT125-Q1 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

SN74AHCT125-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74AHCT125-Q1 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用 *标准线性逻辑 (SLL) 封装和器件的热特性* 中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 *绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

9.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过 *绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默

认低电平状态。控制器的驱动电流、进入 SN74AHCT125-Q1 的漏电流（如 *电气特性* 中所规定）以及所需输入转换率会限制电阻大小。由于这些因素，通常使用 $10\text{k}\Omega$ 的电阻值。

SN74AHCT125-Q1 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如 *建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅 *特性描述* 部分。

9.2.1.3 输出注意事项

正电源电压用于产生输出高电平电压。根据 *电气特性* 中 V_{OH} 规范的规定，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电平电压。根据 *电气特性* 中 V_{OL} 规范的规定，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅 *特性描述* 部分。

9.2.2 应用曲线

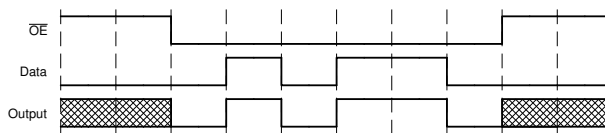


图 9-2. 应用时序图

9.3 电源相关建议

电源可以是 *建议的工作条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。旁路电容器应安装在尽可能靠近电源端子的位置，以获得更佳效果，如下布局示例所示。

9.4 布局

9.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能（例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时）。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC} ，以对逻辑功能更有意义或更方便者为准。

9.4.2 布局示例

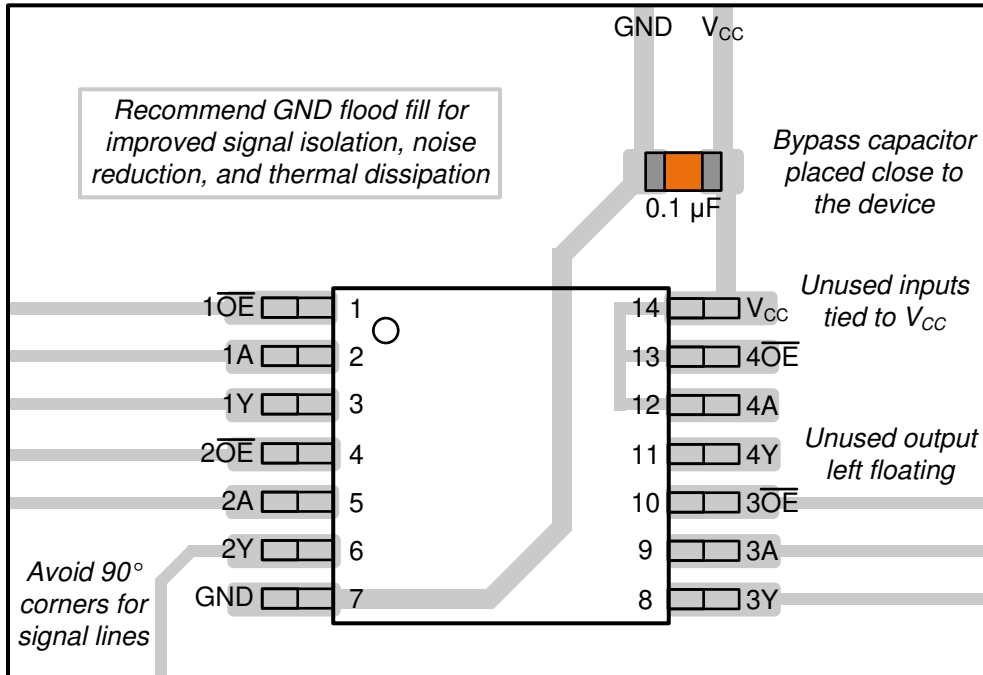


图 9-3. SN74AHCT125-Q1 的示例布局

10 器件和文档支持

10.1 文档支持 (模拟)

10.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [CMOS 功耗与 Cpd 计算应用手册](#)
- 德州仪器 (TI), [使用逻辑器件进行设计应用手册](#)
- 德州仪器 (TI), [标准线性和逻辑 \(SLL\) 封装和器件的热特性应用手册](#)
- 德州仪器 (TI), [CMOS 输入缓慢或悬空的影响应用手册](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CAHCT125QPWRG4Q1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q	Samples
CAHCT125QWBQARQ1	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AT125Q	Samples
SN74AHCT125QDRG4Q1	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q	Samples
SN74AHCT125QDRQ1	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125Q	Samples
SN74AHCT125QPWRQ1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHCT125-Q1 :

- Catalog : [SN74AHCT125](#)
- Enhanced Product : [SN74AHCT125-EP](#)
- Military : [SN54AHCT125](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CAHCT125QPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CAHCT125QWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CAHCT125QPWRG4Q1	TSSOP	PW	14	2000	356.0	356.0	35.0
CAHCT125QWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHCT125QPWRQ1	TSSOP	PW	14	2000	356.0	356.0	35.0



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

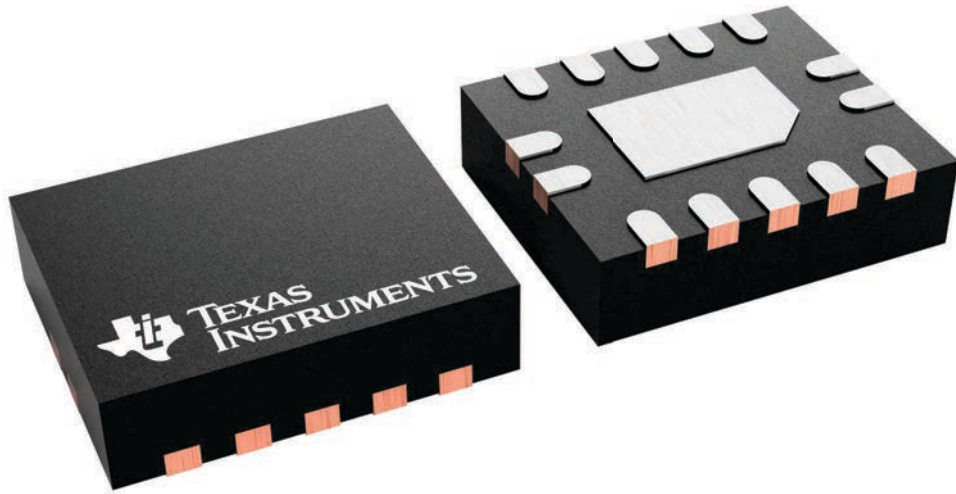
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

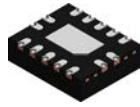
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A

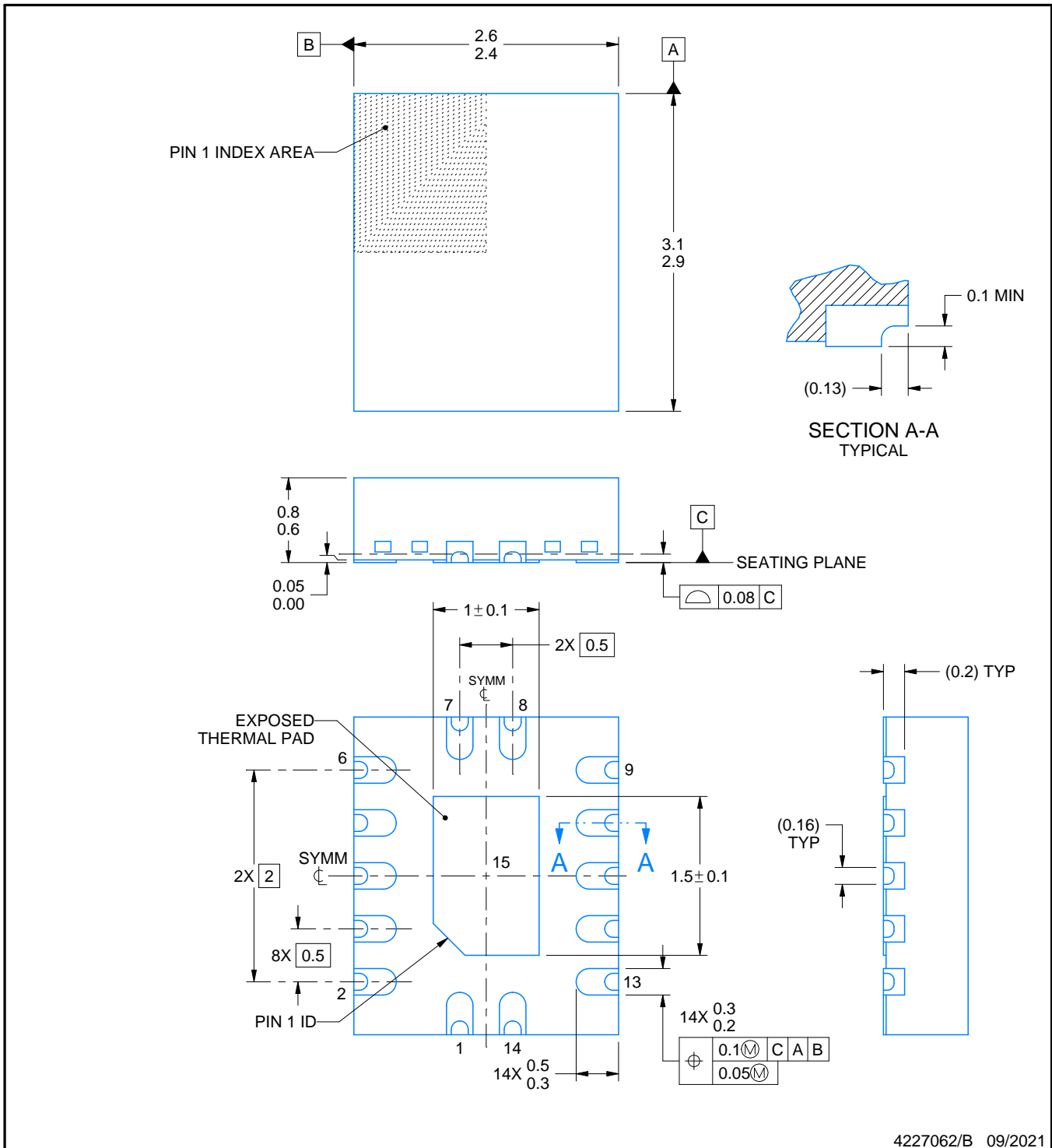
BQA0014B



PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4227062/B 09/2021

NOTES:

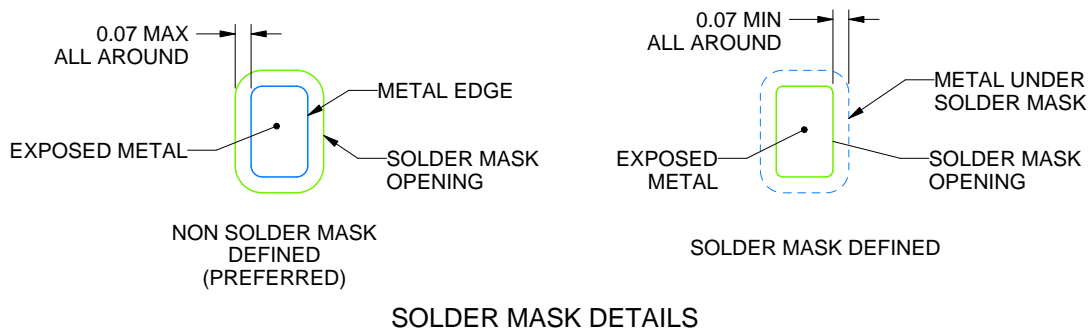
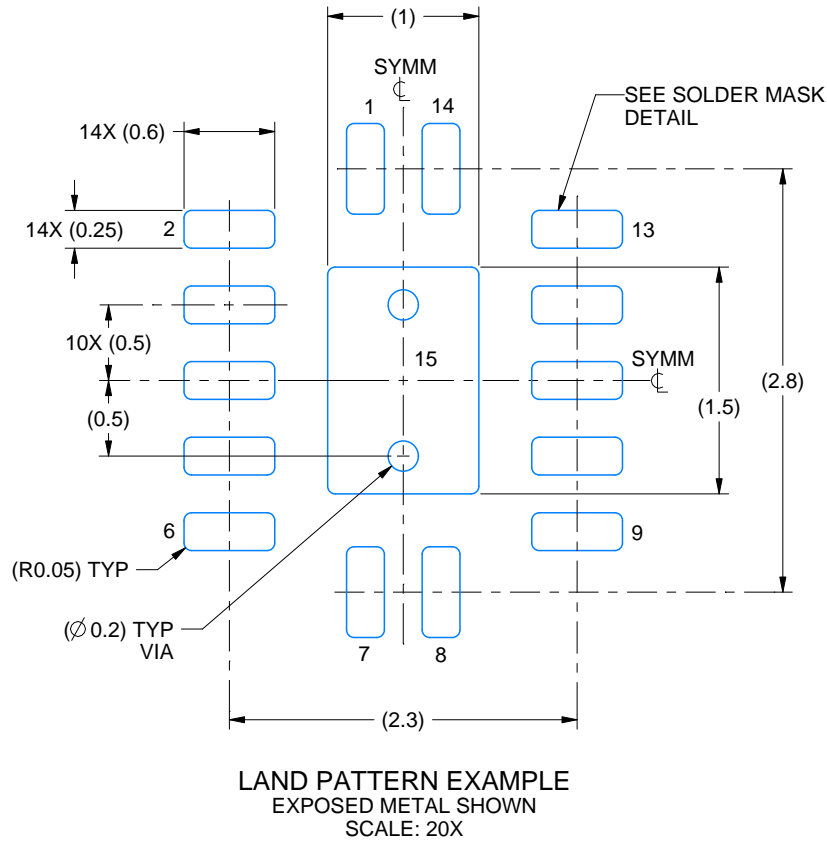
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4227062/B 09/2021

NOTES: (continued)

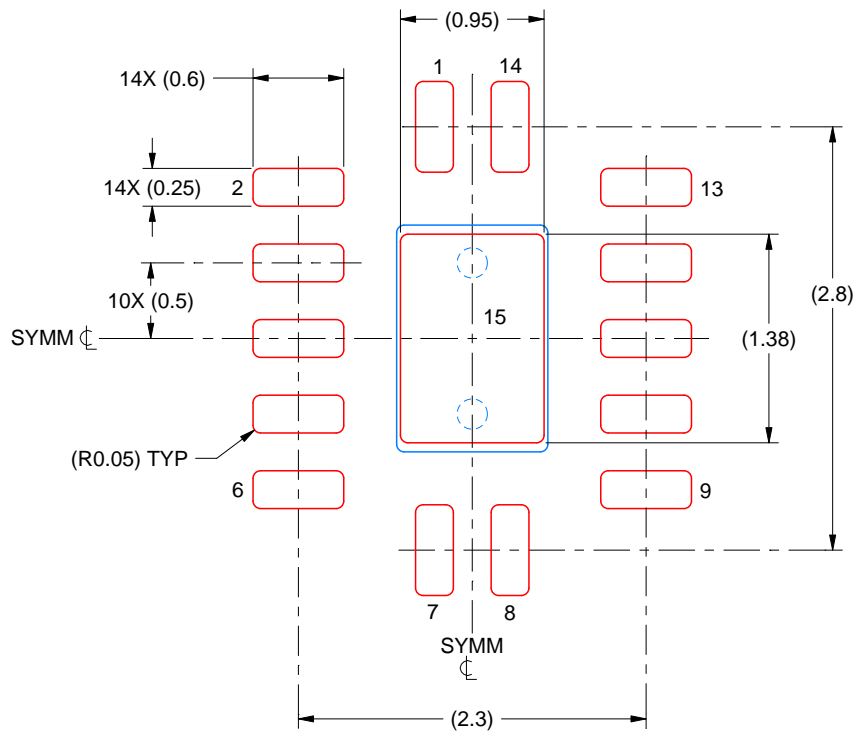
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

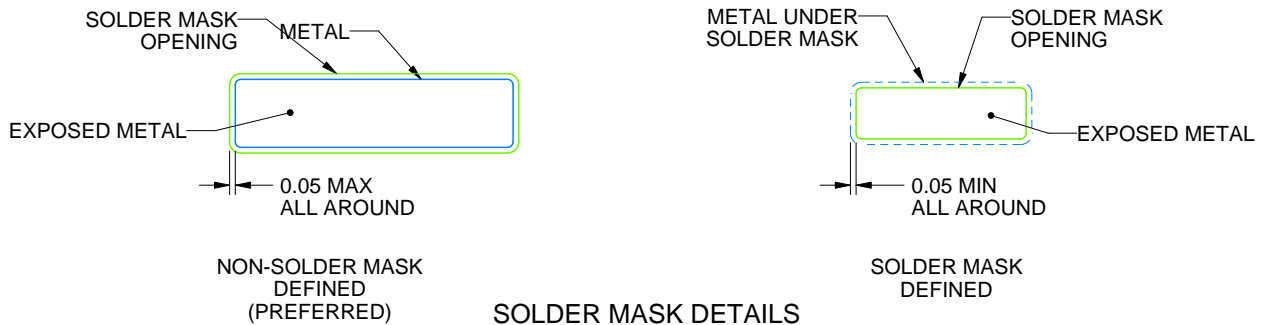
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司