

## SN74AHCT595-Q1 具有三态输出寄存器的汽车级 8 位移位寄存器

### 1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 器件温度等级 1：-40°C 至 +125°C
  - 器件 HBM ESD 分类等级 2
  - 器件 CDM ESD 分类等级 C4B
- 采用具有可湿性侧面的 QFN 封装
- 工作范围为 4.5V 至 5.5V  $V_{CC}$
- TTL 兼容输入
- 低延迟，6ns typ (25°C, 5V)
- 闩锁性能超过 250mA，符合 JESD 17 规范

### 2 应用

- 网络交换机
- 电力基础设施
- PC 和笔记本电脑
- LED 显示屏
- 服务器

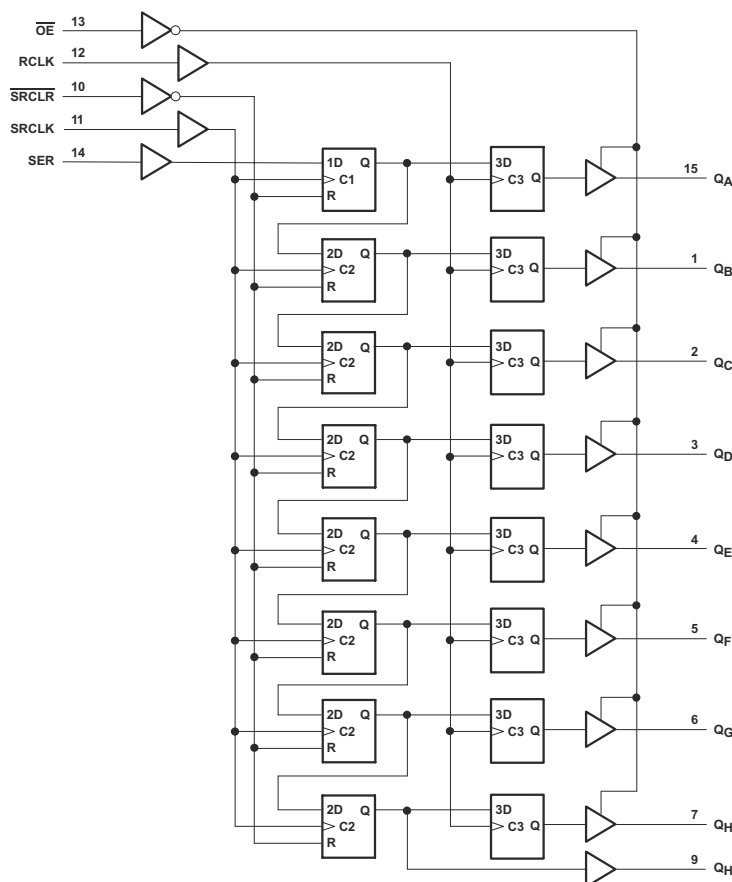
### 3 说明

SN74AHCT595-Q1 器件包含可对 8 位 D 类存储寄存器进行馈送的 8 位串行输入、并行输出移位寄存器。移位寄存器时钟 (SRCLK) 和存储寄存器时钟 (RCLK) 均为正边沿触发。

#### 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>	本体尺寸 (标称值) <sup>(3)</sup>
SN74AHCT595-Q1	BQB ( WQFN , 16 )	3.5mm x 2.5mm	3.5mm x 2.5mm
	PW ( TSSOP , 16 )	5.0mm x 6.4mm	5.0mm x 4.4mm

- 有关更多信息，请参阅节 11。
- 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。
- 本体尺寸 (长 × 宽) 为标称值，不包括引脚。



所示引脚编号适用于 PW 和 BQB 封装。

#### 简化原理图



## 内容

<b>1 特性</b> .....	1	7.2 功能方框图.....	9
<b>2 应用</b> .....	1	7.3 特性说明.....	10
<b>3 说明</b> .....	1	7.4 器件功能模式.....	12
<b>4 引脚配置和功能</b> .....	3	<b>8 应用和实施</b> .....	13
<b>5 规格</b> .....	4	8.1 应用信息.....	13
5.1 绝对最大额定值.....	4	8.2 典型应用.....	13
5.2 ESD 等级.....	4	8.3 电源相关建议.....	14
5.3 建议运行条件.....	4	8.4 布局.....	14
5.4 热性能信息.....	4	<b>9 器件和文档支持</b> .....	15
5.5 电气特性.....	5	9.1 文档支持.....	15
5.6 时序特性.....	5	9.2 接收文档更新通知.....	15
5.7 开关特性.....	6	9.3 支持资源.....	15
5.8 噪声特性.....	6	9.4 商标.....	15
5.9 典型特性.....	7	9.5 静电放电警告.....	15
<b>6 参数测量信息</b> .....	8	9.6 术语表.....	15
<b>7 详细说明</b> .....	9	<b>10 修订历史记录</b> .....	15
7.1 概述.....	9	<b>11 机械、封装和可订购信息</b> .....	15

## 4 引脚配置和功能

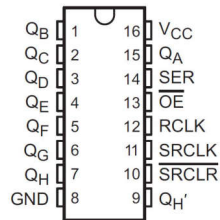


图 4-1.

SN74AHCT595-Q1 PW 封装 (顶视图)

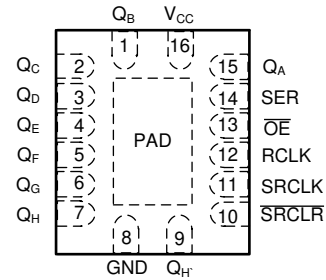


图 4-2. SN74AHCT595-Q1 BQB 封装, 16 引脚 WQFN (顶视图)

表 4-1. 引脚功能

引脚		类型 <sup>(1)</sup>	说明
名称	编号		
Q <sub>B</sub>	1	O	Q <sub>B</sub> 输出
Q <sub>C</sub>	2	O	Q <sub>C</sub> 输出
Q <sub>D</sub>	3	O	Q <sub>D</sub> 输出
Q <sub>E</sub>	4	O	Q <sub>E</sub> 输出
Q <sub>F</sub>	5	O	Q <sub>F</sub> 输出
Q <sub>G</sub>	6	O	Q <sub>G</sub> 输出
Q <sub>H</sub>	7	O	Q <sub>H</sub> 输出
GND	8	—	接地引脚
Q <sub>H</sub> '	9	O	Q <sub>H</sub> 输出
SRCLR	10	I	SRCLR 输入
SRCLK	11	I	SRCLK 输入
RCLK	12	I	RCLK 输入
OE	13	I	输出使能
SER	14	I	SER 输入
Q <sub>A</sub>	15	O	Q <sub>A</sub> 输出
V <sub>CC</sub>	16	—	电源引脚
散热焊盘 <sup>(2)</sup>		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) I = 输入, O = 输出

(2) 仅限 BQB 封装

## 5 规格

### 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）<sup>(1)</sup>

		最小值	最大值	单位	
V <sub>CC</sub>	电源电压范围	-0.5	7	V	
V <sub>I</sub>	输入电压范围 <sup>(2)</sup>	-0.5	7	V	
V <sub>O</sub>	在高阻抗或断电状态对任一输出施加的电压范围 <sup>(2)</sup>	-0.5	7	V	
V <sub>O</sub>	输出电压范围 <sup>(2)</sup>	-0.5	V <sub>CC</sub> +0.5	V	
I <sub>IK</sub>	输入钳位电流	V <sub>I</sub> < -0.5V	-20	mA	
I <sub>OK</sub>	输出钳位电流	V <sub>O</sub> < -0.5V 或 V <sub>O</sub> > V <sub>CC</sub> + 0.5V	±20	mA	
I <sub>O</sub>	持续输出电流	V <sub>O</sub> = 0 至 V <sub>CC</sub>	±25	mA	
	通过 V <sub>CC</sub> 或 GND 的持续输出电流		±75	mA	
T <sub>J</sub>	结温		150	°C	
T <sub>stg</sub>	贮存温度		-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

### 5.2 ESD 等级

		值	单位
V <sub>(ESD)</sub>	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 HBM ESD 分类等级 2 <sup>(1)</sup>	±2000
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	±1000

- (1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

### 5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

规格	说明	条件	最小值	最大值	单位
V <sub>CC</sub>	电源电压		4.5	5.5	V
V <sub>IH</sub>	高电平输入电压	V <sub>CC</sub> = 5V	2		V
V <sub>IL</sub>	低电平输入电压	V <sub>CC</sub> = 5V		0.8	V
V <sub>I</sub>	输入电压		0	5.5	V
V <sub>O</sub>	输出电压		0	V <sub>CC</sub>	V
I <sub>OH</sub>	高电平输出电流	V <sub>CC</sub> = 5V ± 0.5V		-8	mA
I <sub>OL</sub>	低电平输出电流	V <sub>CC</sub> = 5V ± 0.5V		8	mA
Δt/Δv	输入转换上升或下降速率	V <sub>CC</sub> = 5V ± 0.5V		20	ns/V
T <sub>A</sub>	自然通风条件下的工作温度范围		-40	125	°C

### 5.4 热性能信息

热性能指标 <sup>(1)</sup>		WBQB (WQFN)	PW (TSSOP)	单位
		16 引脚	16 引脚	
R <sub>θJA</sub>	结至环境热阻	105.6	135.9	°C/W
R <sub>θJC(top)</sub>	结至外壳（顶部）热阻	96.6	70.3	°C/W
R <sub>θJB</sub>	结至电路板热阻	75.4	81.3	°C/W

## 5.4 热性能信息 (续)

热性能指标 <sup>(1)</sup>		WBQB (WQFN)	PW (TSSOP)	单位
		16 引脚	16 引脚	
$\Psi_{JT}$	结至顶部特征参数	19.1	22.5	°C/W
$\Psi_{JB}$	结至电路板特征参数	75.4	80.8	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	56.1	不适用	°C/W

(1) 有关新旧热性能指标的更多信息, 请参阅[半导体和 IC 封装热性能指标应用报告](#)。

## 5.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	$V_{CC}$	$T_A = 25^\circ\text{C}$			$-40^\circ\text{C}$ 至 $125^\circ\text{C}$			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
$V_{OH}$	$I_{OH} = -50 \mu\text{A}$	4.5V	4.4	4.5	4.4			V	
	$I_{OH} = -8\text{mA}$	4.5V	3.94		3.8				
$V_{OL}$	$I_{OL} = 50 \mu\text{A}$	4.5V					0.1	V	
	$I_{OL} = 8\text{mA}$	4.5V					0.44		
$I_I$	$V_I = 5.5\text{V}$ 或 GND 并且 $V_{CC} = 0\text{V}$ 至 $5.5\text{V}$	0V 至 5.5V			$\pm 0.1$		$\pm 1$	$\mu\text{A}$	
$I_{OZ}$	$V_O = V_{CC}$ 或 GND 且 $V_{CC} = 5.5\text{V}$	5.5V			$\pm 0.25$		$\pm 2.5$	$\mu\text{A}$	
$I_{CC}$	$V_I = V_{CC}$ 或 GND, $I_O = 0$ , $V_{CC} = 5.5\text{V}$	5.5V			4		40	$\mu\text{A}$	
$\Delta I_{CC}$	一个输入电压为 3.4V, 其他输入电压为 $V_{CC}$ 或 GND	5V			1.35		1.5	mA	
$C_I$	$V_I = V_{CC}$ 或 GND	5V		4	10		10	pF	
$C_O$	$V_O = V_{CC}$ 或 GND	5V		5				pF	
$C_{PD}$	空载, $F = 1\text{MHz}$	5V		129				pF	

## 5.6 时序特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数	说明	条件	$V_{CC}$	$T_A = 25^\circ\text{C}$		$-40^\circ\text{C}$ 至 $125^\circ\text{C}$		单位
				最小值	最大值	最小值	最大值	
$t_H$	保持时间	SER 在 SRCLK $\uparrow$ 之后	$5\text{V} \pm 0.5\text{V}$	2		2		ns
$t_{SU}$	设置时间	SER 在 SRCLK $\uparrow$ 之前	$5\text{V} \pm 0.5\text{V}$	3		3		ns
$t_{SU}$	设置时间	SRCLK $\uparrow$ 在 RCLK $\uparrow$ 之前	$5\text{V} \pm 0.5\text{V}$	5		5		ns
$t_{SU}$	设置时间	SRCLR 在 SRCLK $\uparrow$ 之前为高电平 (无效)	$5\text{V} \pm 0.5\text{V}$	2.9		3.8		ns
$t_{SU}$	设置时间	SRCLR 在 RCLK $\uparrow$ 之前为低电平	$5\text{V} \pm 0.5\text{V}$	5		5		ns
$t_W$	脉冲持续时间	RCLK 或 SRCLK 为高电平或低电平	$5\text{V} \pm 0.5\text{V}$	5		5.5		ns
$t_W$	脉冲持续时间	SRCLR 为低电平	$5\text{V} \pm 0.5\text{V}$	5		5.5		ns

## 5.7 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。请参阅参数测量信息

参数	从 (输入)	到 (输出)	负载电容	V <sub>CC</sub>	T <sub>A</sub> = 25°C			-40°C 至 125°C			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
F <sub>MAX</sub>	-	-	C <sub>L</sub> = 15pF	5V ± 0.5V	135	175		115			MHz
t <sub>PZL</sub>	$\overline{OE}$	Q	C <sub>L</sub> = 15pF	5V ± 0.5V		5.4	8.6			12	ns
t <sub>PZH</sub>	$\overline{OE}$	Q	C <sub>L</sub> = 15pF	5V ± 0.5V		4.3	8.6			12	ns
t <sub>PLZ</sub>	$\overline{OE}$	Q	C <sub>L</sub> = 15pF	5V ± 0.5V		3.8	8	1		10.5	ns
t <sub>PHZ</sub>	$\overline{OE}$	Q	C <sub>L</sub> = 15pF	5V ± 0.5V		3.8	8	1		10.5	ns
t <sub>PLH</sub>	RCLK	QA-QH	C <sub>L</sub> = 15pF	5V ± 0.5V		4.3	7.4	1		9.5	ns
t <sub>PHL</sub>	RCLK	QA-QH	C <sub>L</sub> = 15pF	5V ± 0.5V		4.3	7.4	1		9.5	ns
t <sub>PLH</sub>	SRCLK	QH'	C <sub>L</sub> = 15pF	5V ± 0.5V		4.5	8.2	1		10.4	ns
t <sub>PHL</sub>	SRCLK	QH'	C <sub>L</sub> = 15pF	5V ± 0.5V		4.5	8.2	1		10.4	ns
t <sub>PHL</sub>	SRCLR	QH'	C <sub>L</sub> = 15pF	5V ± 0.5V		4.5	8	1		10.1	ns
F <sub>MAX</sub>	-	-	C <sub>L</sub> = 50pF	5V ± 0.5V	120	140		95			MHz
t <sub>PZL</sub>	$\overline{OE}$	Q	C <sub>L</sub> = 50pF	5V ± 0.5V		6.8	10.6			14.4	ns
t <sub>PZH</sub>	$\overline{OE}$	Q	C <sub>L</sub> = 50pF	5V ± 0.5V		5.7	10.6			14.4	ns
t <sub>PLZ</sub>	$\overline{OE}$	Q	C <sub>L</sub> = 50pF	5V ± 0.5V		3.4	10.3			13.2	ns
t <sub>PHZ</sub>	$\overline{OE}$	Q	C <sub>L</sub> = 50pF	5V ± 0.5V		3.5	10.3			13.2	ns
t <sub>PLH</sub>	RCLK	QA-QH	C <sub>L</sub> = 50pF	5V ± 0.5V		5.6	9.4	1		11.5	ns
t <sub>PHL</sub>	RCLK	QA-QH	C <sub>L</sub> = 50pF	5V ± 0.5V		5.6	9.4	1		11.5	ns
t <sub>PLH</sub>	SRCLK	QH'	C <sub>L</sub> = 50pF	5V ± 0.5V		6.4	10.2	1		12.4	ns
t <sub>PHL</sub>	SRCLK	QH'	C <sub>L</sub> = 50pF	5V ± 0.5V		6.4	10.2	1		12.4	ns
t <sub>PHL</sub>	SRCLR	QH'	C <sub>L</sub> = 50pF	5V ± 0.5V		6.4	10	1		12.1	ns

## 5.8 噪声特性

V<sub>CC</sub> = 5V, C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C

参数	说明	最小值	典型值	最大值	单位
V <sub>OL(P)</sub>	安静输出, 最大动态 V <sub>OL</sub>		0.2	0.8	V
V <sub>OL(V)</sub>	安静输出, 最小动态 V <sub>OL</sub>	-0.9	-0.2		V
V <sub>OH(V)</sub>	安静输出, 最小动态 V <sub>OH</sub>	4.4	4.7		V
V <sub>IH(D)</sub>	高电平动态输入电压	2			V
V <sub>IL(D)</sub>	低电平动态输入电压			0.8	V

## 5.9 典型特性

$T_A = 25^\circ\text{C}$  (除非另外注明)

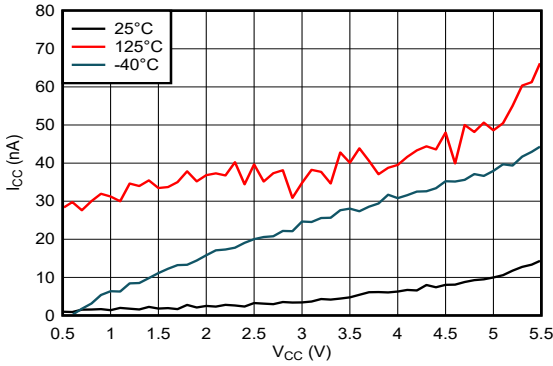


图 5-1. 电源电压两端的电源电流

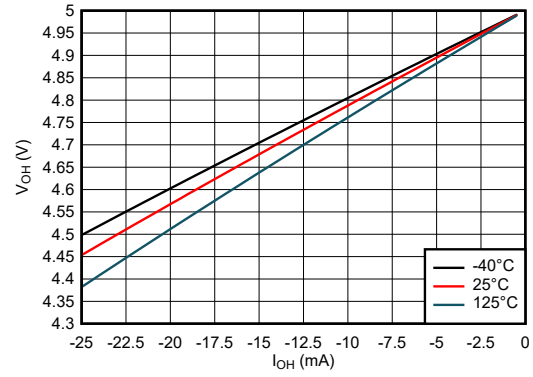


图 5-2. 高电平状态下输出电压与电流间的关系 (5V 电源)

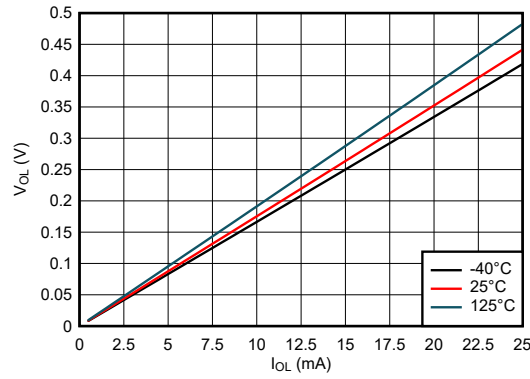


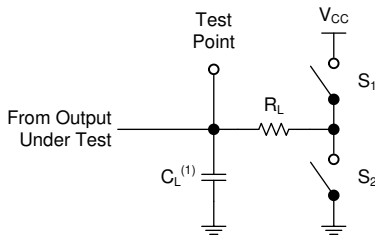
图 5-3. 低电平状态下输出电压与电流间的关系 (5V 电源)

## 6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：  
PRR ≤ 1MHz，Z<sub>O</sub> = 50Ω，t<sub>r</sub> < 2.5ns。

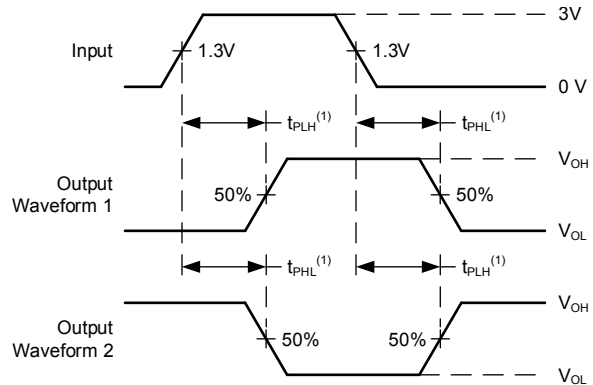
输出单独测量，每次测量一个输入转换。

测试	S1	S2	R <sub>L</sub>	C <sub>L</sub>	ΔV	V <sub>CC</sub>
t <sub>PLH</sub> 、t <sub>PHL</sub>	断开	断开	—	15pF、50pF	—	全部
t <sub>PLZ</sub> 、t <sub>PZL</sub>	闭合	断开	1kΩ	15pF、50pF	0.15V	≤ 2.5V
t <sub>PHZ</sub> 、t <sub>PZH</sub>	断开	闭合	1kΩ	15pF、50pF	0.15V	≤ 2.5V
t <sub>PLZ</sub> 、t <sub>PZL</sub>	闭合	断开	1kΩ	15pF、50pF	0.3V	> 2.5V
t <sub>PHZ</sub> 、t <sub>PZH</sub>	断开	闭合	1kΩ	15pF、50pF	0.3V	> 2.5V



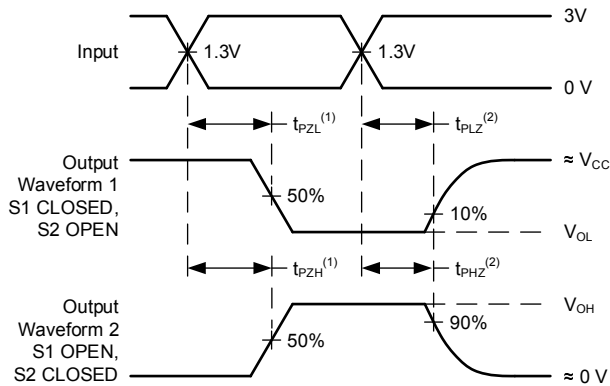
(1) C<sub>L</sub> 包括探头和测试夹具电容。

图 6-1. 三态输出的负载电路



(1) t<sub>PLH</sub> 和 t<sub>PHL</sub> 之间的较大者与 t<sub>pd</sub> 相同。

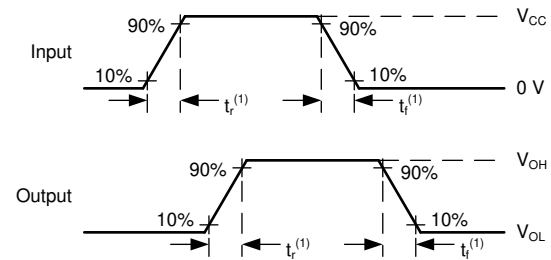
图 6-2. 电压波形传播延迟



(1) t<sub>PZL</sub> 和 t<sub>PZH</sub> 之间的较大者与 t<sub>en</sub> 相同。

(2) t<sub>PLZ</sub> 和 t<sub>PHZ</sub> 之间的较大者与 t<sub>dis</sub> 相同。

图 6-3. 电压波形传播延迟



(1) t<sub>r</sub> 和 t<sub>f</sub> 之间的较大值与 t<sub>t</sub> 相同。

图 6-4. 电压波形，输入和输出转换时间

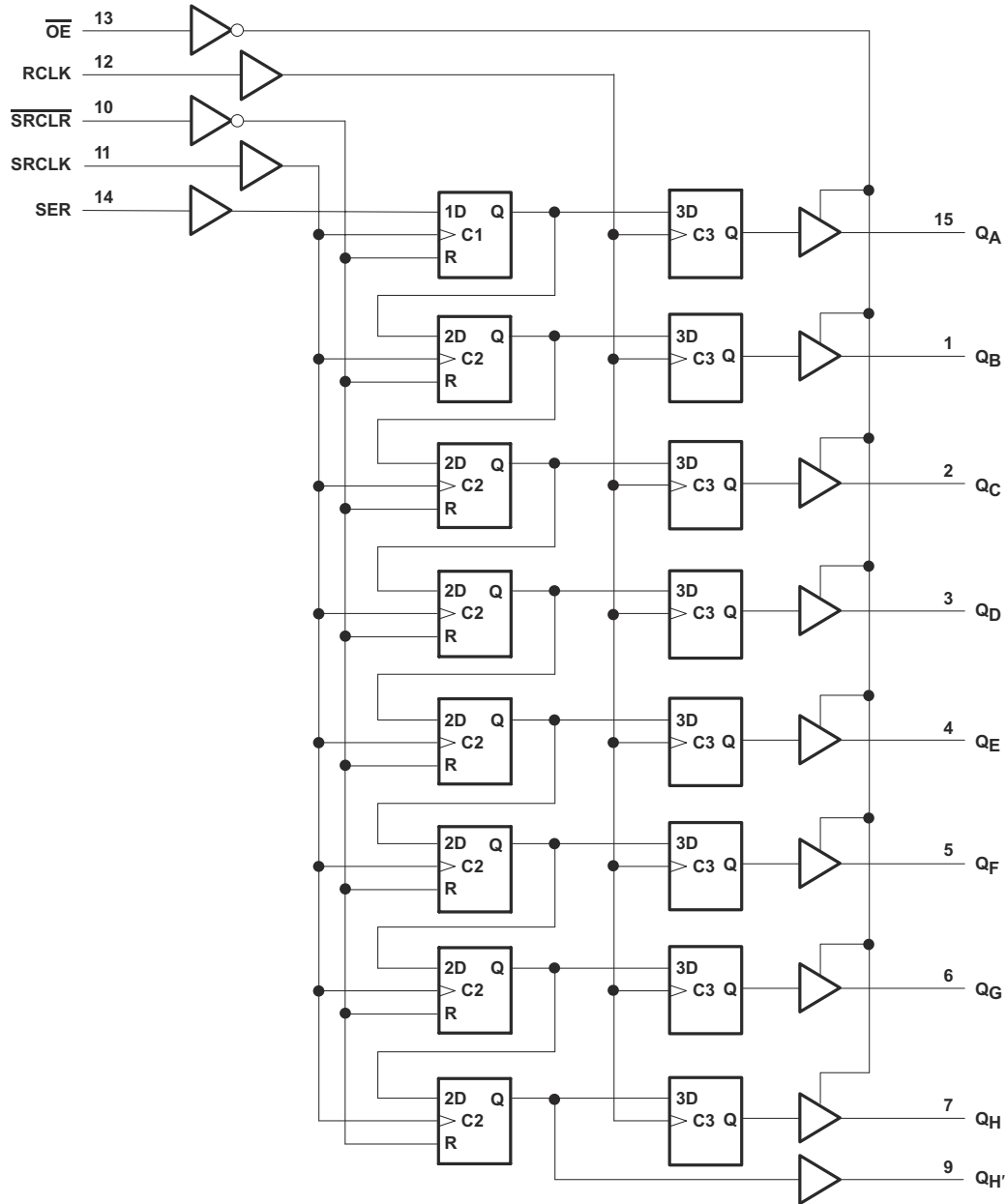


## 7 详细说明

### 7.1 概述

SN74AHCT595-Q1 器件包含可对 8 位 D 类存储寄存器进行馈送的 8 位串行输入、并行输出移位寄存器。存储寄存器具有并行三态输出。移位寄存器和存储寄存器均具有单独的时钟。移位寄存器具有一个直接覆盖清零 (SRCLR) 输入以及用于级联结构的串行 (SER) 输入和串行输出。当输出使能 ( $\overline{OE}$ ) 输入为高电平时，输出处于高阻抗状态。移位寄存器时钟 (SRCLK) 和存储寄存器时钟 (RCLK) 均为正边沿触发。如果将两个时钟连接在一起，则移位寄存器始终比存储寄存器早一个时钟脉冲。

### 7.2 功能方框图



所示引脚编号适用于 PW 和 BQB 封装。

## 7.3 特性说明

### 7.3.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以处于三种状态：高驱动、低驱动和高阻抗。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但 *电气特性* 表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10kΩ 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

### 7.3.2 锁存逻辑

该器件包含锁存逻辑电路。锁存电路通常包括 D 型锁存器和 D 型触发器，但包括所有用作易失性存储器的逻辑电路。

当器件上电时，每个锁存器的状态是未知的。每个锁存器在启动时都没有默认状态。

只要在 *建议运行条件* 表中规定的电源电压范围内为器件供电，每个锁存逻辑电路的输出状态就会保持稳定。

### 7.3.3 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 ( $R = V \div I$ ) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议的工作条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 [CMOS 输入缓慢变化或悬空的影响](#) 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V<sub>CC</sub> 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

### 7.3.4 可润湿侧翼

该器件采用至少一种具有可润湿侧翼的封装。请参阅数据表首页上的 *特性* 部分，了解哪些封装包含此特性。

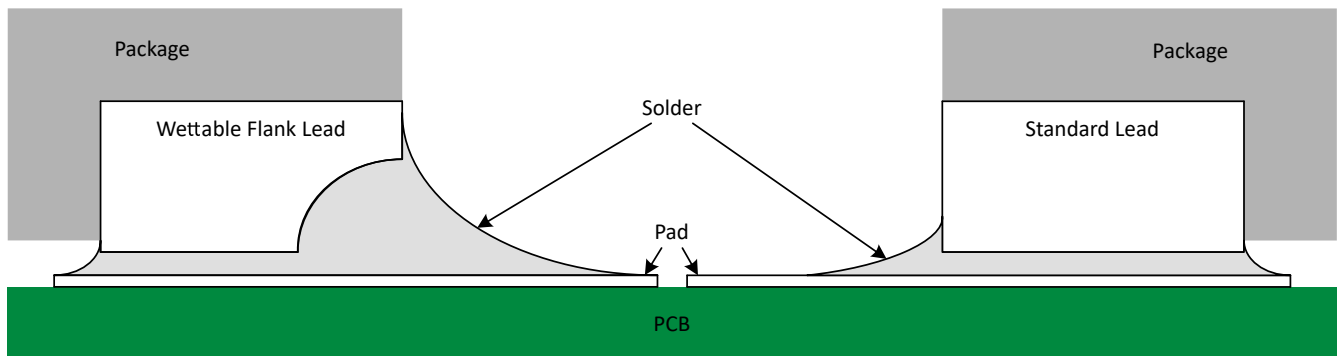


图 7-1. 焊接后具有可润湿侧翼的 QFN 封装和标准 QFN 封装的简化剖面图

可润湿侧翼有助于改善焊接后的侧翼润湿性，从而使 QFN 封装可通过自动光学检测 (AOI) 轻松检测。如图 7-1 所示，可润湿侧翼可做出凹陷或进行阶梯切割，为焊接粘附提供额外的表面积，有助于可靠创建侧面填角。有关更多详细信息，请参阅机械图。

### 7.3.5 钳位二极管结构

该器件的输出同时具有正负钳位二极管，而该器件的输入只有负钳位二极管，如图 7-2 所示。

**小心**

电压超出 *绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

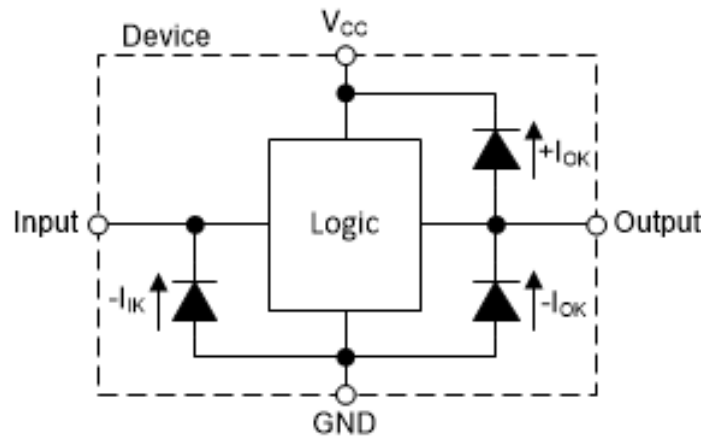


图 7-2. 每个输入和输出的钳位二极管的电气布置

## 7.4 器件功能模式

表 7-1. 功能表

输入					功能
SER	SRCLK	SRCLR	RCLK	$\overline{OE}$	
X	X	X	X	H	输出 $Q_A - Q_H$ 被禁用。
X	X	X	X	L	输出 $Q_A - Q_H$ 被启用。
X	X	L	X	X	移位寄存器清零。
L	↑	H	X	X	移位寄存器的第一级变为低电平。 其他级分别存储前一级的数据。
H	↑	H	X	X	移位寄存器的第一级变为高电平。 其他级分别存储前一级的数据。
X	X	X	↑	X	移位寄存器数据存储存储在存储寄存器中。

## 8 应用和实施

### 备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

### 8.1 应用信息

SN74AHCT595-Q1 是一款低驱动 CMOS 器件，可用于需要考虑输出振铃的多种总线接口类型应用。低驱动和慢速边沿速率将更大限度地减少输出上的过冲和下冲。输入开关电平已降低，以适应  $0.8V_{IL}$  和  $2V_{IH}$  的 TTL 输入。此特性使得该器件非常适合用于从 3.3V 到 5V 进行升压转换。图 8-1 显示了此类型的转换。

### 8.2 典型应用

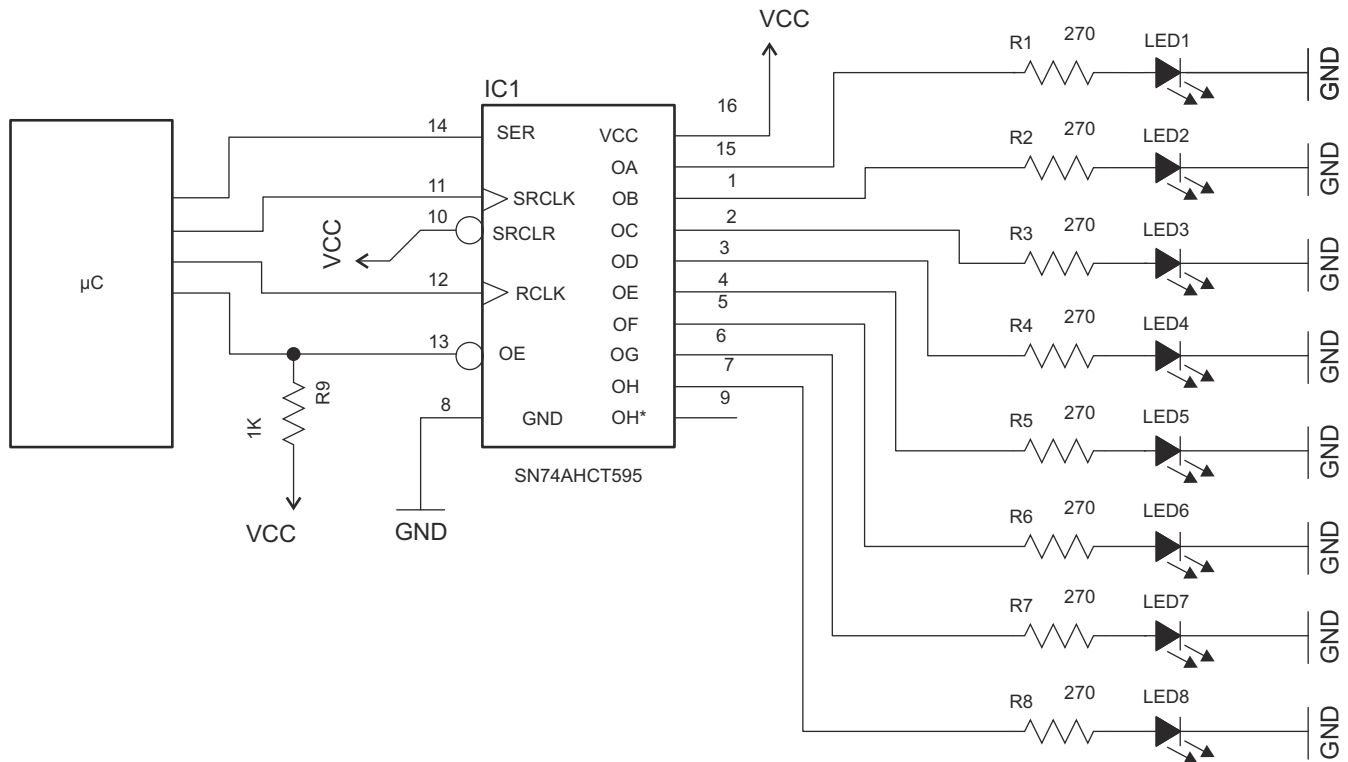


图 8-1. 特定应用原理图

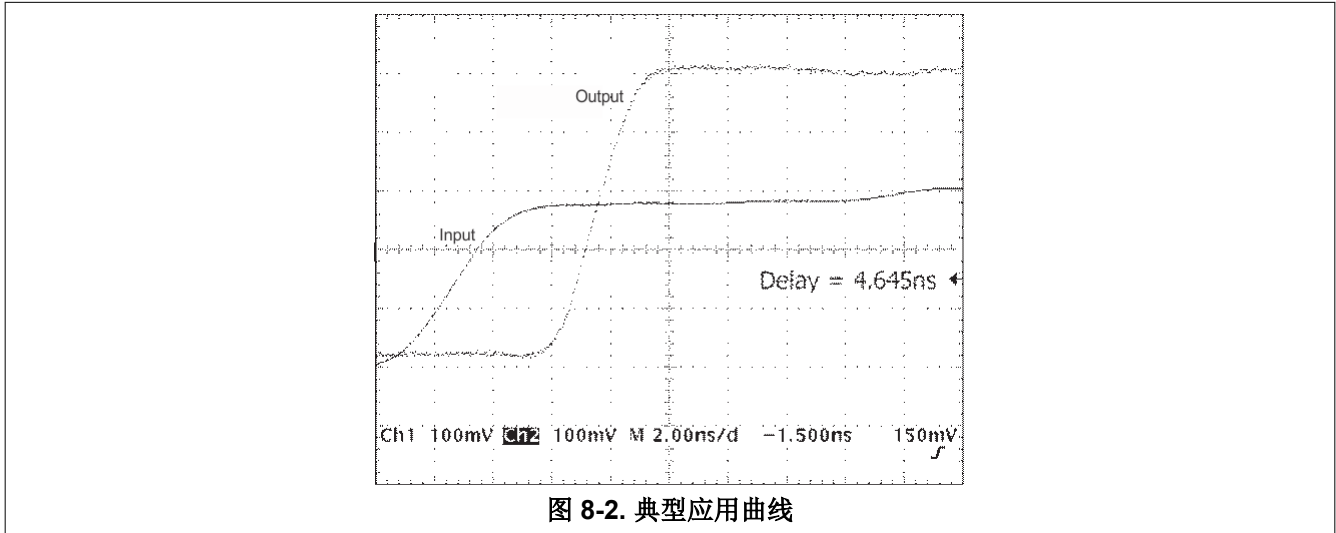
#### 8.2.1 设计要求

此器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限制的电流。高驱动也会在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。

#### 8.2.2 详细设计过程

- 建议的输入条件
  - 指定的高电平和低电平。请参阅 [建议运行条件](#) 表中的  $V_{IH}$  和  $V_{IL}$ 。
  - 指定的高电平和低电平。请参阅 [建议运行条件](#) 表中的  $V_{IH}$  和  $V_{IL}$ 。
  - 输入具有过压容限，允许它们在任何有效  $V_{CC}$  下高达 5.5V
- 建议的输出条件
  - 每个输出的负载电流不应超过 25mA，该器件的总电流不应超过 50mA
  - 输出不应被拉至高于  $V_{CC}$

### 8.2.3 应用曲线



### 8.3 电源相关建议

电源可以是 [建议运行条件](#) 表中最小和最大电源电压额定值之间的任何电压。

每个  $V_{CC}$  引脚应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用  $0.1\ \mu\text{f}$ ；如果有多个  $V_{CC}$  引脚，则建议每个电源引脚使用  $0.01\ \mu\text{f}$  或  $0.022\ \mu\text{f}$ 。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$  和  $1\ \mu\text{F}$  通常并联使用。为了获得更佳效果，旁路电容器应尽可能靠近电源引脚安装。

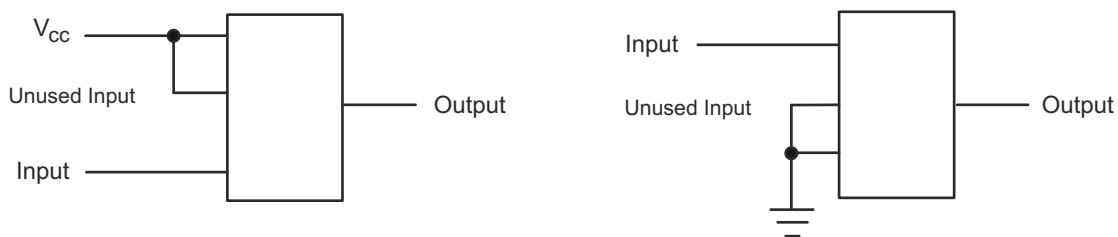
### 8.4 布局

#### 8.4.1 布局指南

当使用多位逻辑器件时，输入不应悬空。

在许多情况下，数字逻辑器件的功能或部分功能未被使用；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类输入引脚不应悬空，因为外部连接处的未定义电压会导致未定义的操作状态。[图 8-3](#) 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至一个高或低偏置以防止悬空。应为任何特定未使用输入应用的逻辑电平取决于器件的功能。通常，将这些输入连接到  $GND$  或  $V_{CC}$ ，具体取决于哪种更合理或更方便。使输出悬空是可以接受的，除非该器件是收发器。如果收发器有一个输出使能引脚，它会在置位时禁用该器件的输出部分。这不会禁用 I/O 的输入部分，因此输入在禁用后也不能悬空。

#### 8.4.2 布局示例



**图 8-3. 布局图**

## 9 器件和文档支持

### 9.1 文档支持

#### 9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [CMOS 功耗与 Cpd 计算](#)
- 德州仪器 (TI), [CMOS 输入缓慢变化或悬空的影响](#)
- 德州仪器 (TI), [标准线性和逻辑 \(SLL\) 封装和器件的热特性](#)
- 德州仪器 (TI), [了解施密特触发](#)

#### 9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

#### 9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

#### 9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

#### 9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

#### 9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
2024 年 3 月	*	初始发行版

## 11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CAHCT595QWBQBRQ1	ACTIVE	WQFN	BQB	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AT595Q	Samples
SN74AHCT595QPWRQ1	ACTIVE	TSSOP	PW	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHT595Q	Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



**OTHER QUALIFIED VERSIONS OF SN74AHCT595-Q1 :**

- Catalog : [SN74AHCT595](#)

## NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CAHCT595QWBQRQ1	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
SN74AHCT595QPWRQ1	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CAHCT595QWBQBRQ1	WQFN	BQB	16	3000	210.0	185.0	35.0
SN74AHCT595QPWRQ1	TSSOP	PW	16	3000	356.0	356.0	35.0



4220204/A 02/2017

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

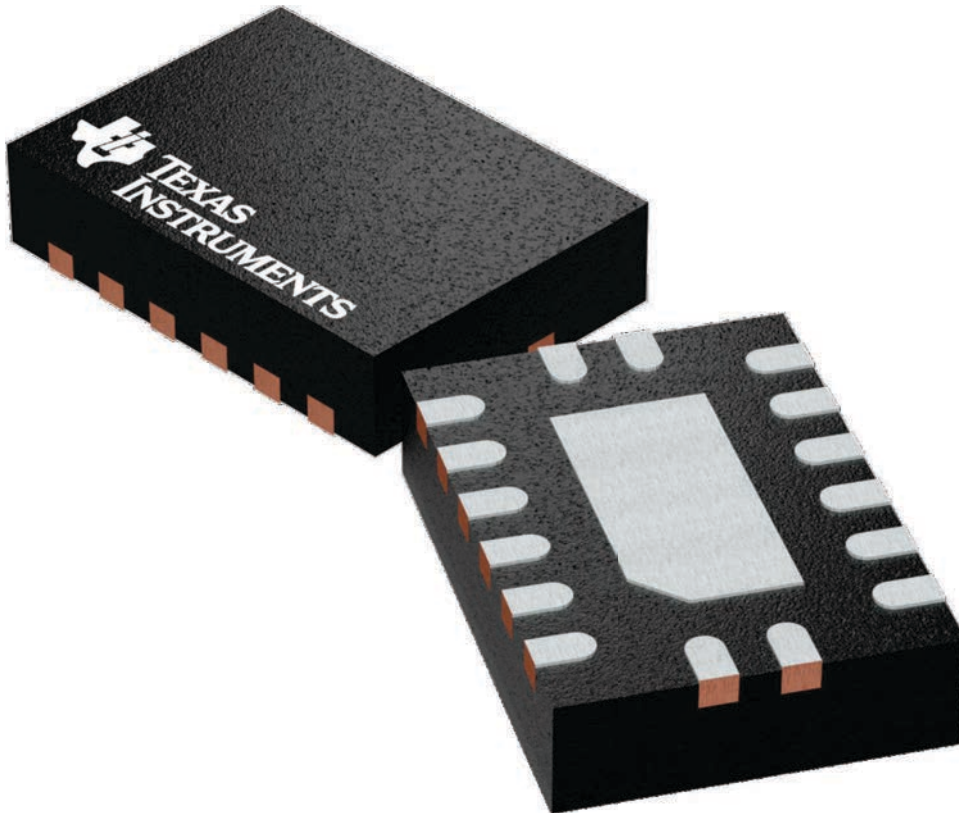
**BQB 16**

**WQFN - 0.8 mm max height**

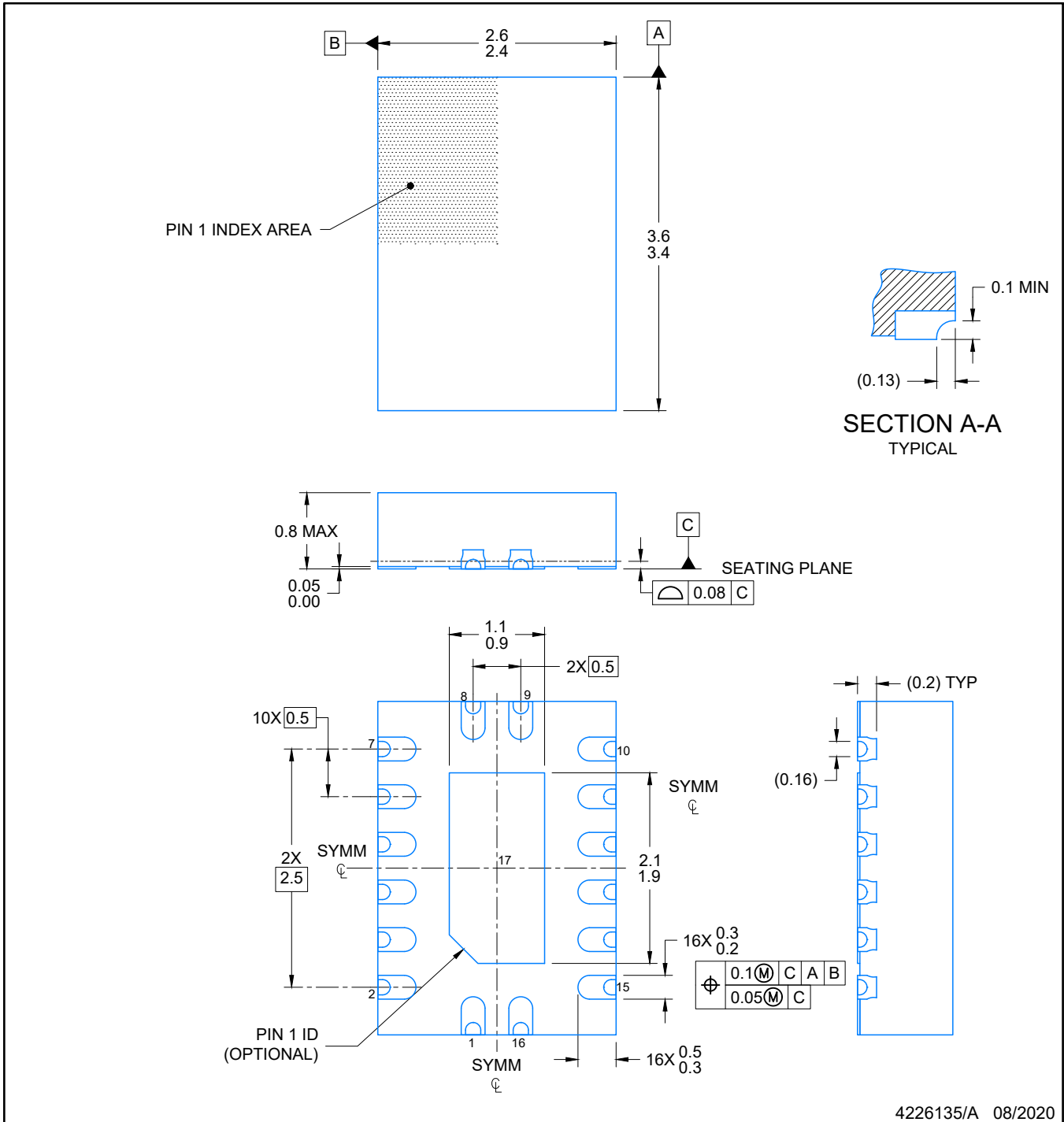
2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4226161/A



4226135/A 08/2020

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.







SOLDER PASTE EXAMPLE  
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
 85% PRINTED COVERAGE BY AREA  
 SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024，德州仪器 (TI) 公司