

SN74AVCH1T45 具有可配置电平转换、电压转换和三态输出的汽车类 Single-Bit 双电源总线收发器

1 特性

- 采用德州仪器 (TI) 的 NanoStar™ 集成电路封装
- 采用德州仪器 (TI) NanoFree™ 封装
- 控制输入 (DIR) V_{IH} 和 V_{IL} 电平以 V_{CCA} 电压为基准
- 总线保持数据输入消除了对外部上拉或下拉电阻器的需求
- V_{CC} 隔离
- 完全可配置的双轨设计
- I/O 可耐受 4.6V 电压
- I_{off} 支持局部关断模式运行
- 最大数据速率典型值
 - 500Mbps (1.8V 至 3.3V 转换)
 - 320Mbps (<1.8V 至 3.3V 转换)
 - 320Mbps (转换至 2.5V 或 1.8V)
 - 280Mbps (转换至 1.5V)
 - 240Mbps (转换至 1.2V)
- 闩锁性能超过 100mA, 符合 JESD 78 II 类规范
- ESD 保护性能超过 JESD 22 规范要求
 - 人体放电模型 (A114-A) : 2000V
 - 机器放电模型 (A115-A) : 200V
 - 充电器件模型 (C101) : 1000V

2 应用

- 个人电子产品
- 工业
- 企业
- 电信

3 说明

SN74AVCH1T45 是一款采用两个独立可配置电源轨的单比特位同相总线收发器。A 端口用于跟踪 V_{CCA} , 该端口也可支持 1.2V 至 3.6V 范围内的任何电源电压。B 端口用于跟踪 V_{CCB} , 该端口也可支持 1.2V 至 3.6V 范围内的任何电源电压。因此可在 1.2V、1.5V、1.8V、2.5V 和 3.3V 电压节点之间进行通用的低电压双向转换。

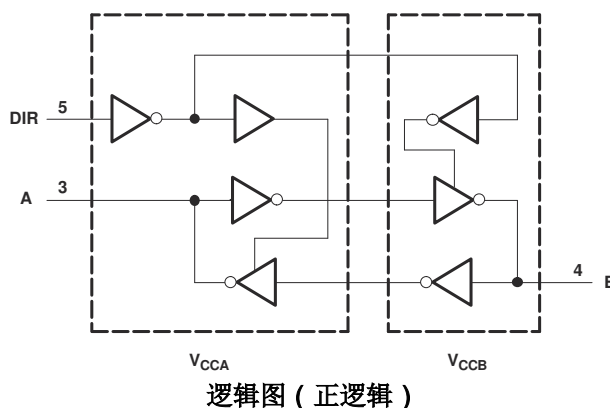
SN74AVCH1T45 旨在实现两条数据总线间的异步通信。根据方向控制 (DIR) 输入上的逻辑电平, 此器件将数据从 A 总线发送至 B 总线, 或者将数据从 B 总线发送至 A 总线。

SN74AVCH1T45 设计成 DIR 输入电路以 V_{CCA} 为基准。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
SN74AVCH1T45	DCK (SC70, 6)	2.00mm × 1.25mm
	DBV (SOT-23, 6)	2.90mm × 1.60mm
	YZP (DSBGA, 6)	1.50mm × 0.90mm

(1) 有关所有可用封装, 请参阅节 14。



内容

1 特性	1	8.1 概述	17
2 应用	1	8.2 功能方框图	17
3 说明	1	8.3 特性说明	17
4 说明 (续)	3	8.4 器件功能模式	18
5 引脚配置和功能	3	9 应用和实施	19
6 规格	4	9.1 应用信息	19
6.1 绝对最大额定值.....	4	9.2 典型应用	19
6.2 ESD 等级.....	4	10 电源相关建议	23
6.3 建议运行条件.....	4	11 布局	24
6.4 热性能信息.....	5	11.1 布局指南.....	24
6.5 电气特性.....	6	11.2 布局示例.....	24
6.6 开关特性, $V_{CCA} = 1.2V$	8	12 器件和文档支持	25
6.7 开关特性, $V_{CCA} = 1.5V \pm 0.1V$	9	12.1 文档支持.....	25
6.8 开关特性, $V_{CCA} = 1.8V \pm 0.15V$	10	12.2 接收文档更新通知.....	25
6.9 开关特性, $V_{CCA} = 2.5V \pm 0.2V$	11	12.3 支持资源.....	25
6.10 开关特性, $V_{CCA} = 3.3V \pm 0.3V$	12	12.4 商标.....	25
6.11 工作特性.....	13	12.5 静电放电警告.....	25
6.12 典型特性.....	14	12.6 术语表.....	25
7 参数测量信息	16	13 修订历史记录	25
8 详细说明	17	14 机械、封装和可订购信息	25

4 说明 (续)

有源总线保持电路会将未使用或未驱动的输出保持在有效逻辑状态。TI 不建议在总线保持电路上使用上拉或下拉电阻。

该器件完全符合使用 I_{off} 的部分断电应用的规范要求。 I_{off} 电路禁用输出，从而可防止破坏性电流从该器件回流。

当 V_{CCA} 或 V_{CCB} 接地 (GND) 时， V_{CC} 隔离特性会将输出置于高阻抗状态。上电侧的总线保持电路始终保持有效状态。

NanoFree 封装技术是 IC 封装概念的一项重大突破，它将硅晶片用作封装。

5 引脚配置和功能

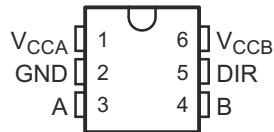


图 5-1. DBV 或 DCK 封装 6 引脚 SOT-23 或 SC70 顶视图

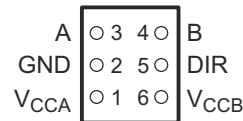


图 5-2. YZP 封装 6 引脚 DSBGA 底视图

表 5-1. 引脚功能

引脚		I/O	说明
名称	编号		
A	3	I/O	输入/输出 A。以 V_{CCA} 为基准
B	4	I/O	输入/输出 B。以 V_{CCB} 为基准
DIR	5	I	方向控制信号。以 V_{CCA} 为基准
GND	2	—	接地
V_{CCA}	1	—	A 端口电源电压。 $1.2V \leq V_{CCA} \leq 3.6V$
V_{CCB}	6	—	B 端口电源。 $1.2V \leq V_{CCB} \leq 3.6V$

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压	V_{CCA} 和 V_{CCB}	-0.5	4.6	V
输入电压 ⁽²⁾	I/O 端口 (A 端口)	-0.5	4.6	V
	I/O 端口 (B 端口)	-0.5	4.6	
	控制输入	-0.5	4.6	
施加到任一处于高阻抗或断电状态输出的电压 ⁽²⁾	A 端口	-0.5	4.6	V
	B 端口	-0.5	4.6	
施加到任一处于高电平或低电平状态输出的电压 ^{(2) (3)}	A 端口	-0.5	$V_{CCA} + 0.5$	V
	B 端口	-0.5	$V_{CCB} + 0.5$	
输入钳位电流	$V_I < 0$		-50	mA
输出钳位电流	$V_O < 0$		-50	mA
持续输出电流			± 50	mA
持续通过电流	V_{CCA} 、 V_{CCB} 或 GND		± 100	mA
结温, T_J		-40	150	°C
贮存温度, T_{stg}		-65	150	°C

- (1) 超出绝对最大额定值下列出的压力可能会对器件造成损坏。这些仅仅是压力额定值,并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出电流额定值,则可能会超过输入电压和输出负电压额定值。
- (3) 如果遵守输出电流额定值,则输出正电压额定值可能超过最大 4.6V。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 1000	
	机器放电模型, 符合 A115-A 标准	± 200	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

请参阅^{(1) (2) (3) (4) (5)}

		最小值	最大值	单位	
V_{CCA}	电源电压	1.2	3.6	V	
V_{CCB}	电源电压	1.2	3.6	V	
V_{IH}	高电平输入电压 ⁽¹⁾	数据输入 ⁽⁴⁾	$V_{CCI} = 1.2V$ 至 $1.95V$	$V_{CCI} \times 0.65$	V
			$V_{CCI} = 1.95V$ 至 $2.7V$	1.6	
			$V_{CCI} = 2.7V$ 至 $3.6V$	2	
V_{IL}	低电平输入电压 ⁽¹⁾	数据输入 ⁽⁴⁾	$V_{CCI} = 1.2V$ 至 $1.95V$	$V_{CCI} \times 0.35$	V
			$V_{CCI} = 1.95V$ 至 $2.7V$	0.7	
			$V_{CCI} = 2.7V$ 至 $3.6V$	0.8	
V_{IH}	高电平输入电压	DIR (以 V_{CCA} 为基准) ⁽⁵⁾	$V_{CCI} = 1.2V$ 至 $1.95V$	$V_{CCA} \times 0.65$	V
			$V_{CCI} = 1.95V$ 至 $2.7V$	1.6	
			$V_{CCI} = 2.7V$ 至 $3.6V$	2	

6.3 建议运行条件 (续)

请参阅(1) (2) (3) (4) (5)

			最小值	最大值	单位
V _{IL}	低电平输入电压	DIR (以 V _{CCA} 为基准) (5)	V _{CCI} = 1.2V 至 1.95V	V _{CCA} × 0.35	V
			V _{CCI} = 1.95V 至 2.7V	0.7	
			V _{CCI} = 2.7V 至 3.6V	0.8	
V _I	输入电压	控制输入(3)	0	3.6	V
V _O	输出电压(2)	有效状态	0	V _{CCO}	V
		三态	0	3.6	
I _{OH}	高电平输出电流		V _{CCO} = 1.2V	-3	mA
			V _{CCO} = 1.4V 至 1.6V	-6	
			V _{CCO} = 1.65V 至 1.95V	-8	
			V _{CCO} = 2.3V 至 2.7V	-9	
			V _{CCO} = 3V 至 3.6V	-12	
I _{OL}	低电平输出电流		V _{CCO} = 1.2V	3	mA
			V _{CCO} = 1.4V 至 1.6V	6	
			V _{CCO} = 1.65V 至 1.95V	8	
			V _{CCO} = 2.3V 至 2.7V	9	
			V _{CCO} = 3V 至 3.6V	12	
Δt/Δv	输入转换上升或下降速率			5	ns/V
T _A	自然通风条件下的工作温度范围		-40	85	°C

- (1) V_{CCI} 是与输入端口相关的 V_{CC}。
- (2) V_{CCO} 是与输出端口相关的 V_{CC}。
- (3) 器件所有未使用的控制输入必须保持在 V_{CCI} 或 GND，以确保器件正常运行。
- (4) 对于数据表中未指定的 V_{CCI} 值，V_{IH min} = V_{CCI} × 0.7V，V_{IL max} = V_{CCI} × 0.3V。
- (5) 对于数据表中未指定的 V_{CCI} 值，V_{IH min} = V_{CCA} × 0.7V，V_{IL max} = V_{CCA} × 0.3V。

6.4 热性能信息

热指标(1)	SN74AVCH1T45			单位	
	DBV (SOT-23)	DCK (SC70)	YZP (DSBGA)		
	6 引脚	6 引脚	6 引脚		
R _{θJA}	结至环境热阻(2)	210.5	239.9	130	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	130.6	175.0	54	°C/W
R _{θJB}	结至电路板热阻	93.3	94.4	51	°C/W
ψ _{JT}	结至顶部特征参数	69.0	75.6	1	°C/W
ψ _{JB}	结至电路板特征参数	不适用	93.9	50	°C/W

- (1) 有关新旧热性能指标的更多信息，请参阅 [半导体和 IC 封装热性能指标](#) 应用手册。
- (2) 封装热阻抗根据 JESD 51-7 计算。

6.5 电气特性

所有典型限值适用于 $T_A = 25^\circ\text{C}$ ；所有最大和最小限值适用于 $T_A = -40^\circ\text{C}$ 至 85°C （除非另有说明）。(1) (2) (5) (6)

参数	测试条件		最小值	典型值	最大值	单位
V_{OH} 高电平输出电压 ⁽¹⁾	$I_{OH} = -100\ \mu\text{A}$, $V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$ 至 3.6V	$V_{CCO} - 0.2\text{V}$			V
	$I_{OH} = -3\text{mA}$, $V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$	0.95			
	$I_{OH} = -6\text{mA}$, $V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 1.4\text{V}$	1.05			
	$I_{OH} = -8\text{mA}$, $V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 1.65\text{V}$	1.2			
	$I_{OH} = -9\text{mA}$, $V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 2.3\text{V}$	1.75			
	$I_{OH} = -12\text{mA}$, $V_I = V_{IH}$	$V_{CCA} = V_{CCB} = 3\text{V}$	2.3			
V_{OL} 低电平输出电压	$I_{OL} = 100\ \mu\text{A}$, $V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$ 至 3.6V			0.2	V
	$I_{OL} = 3\text{mA}$, $V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$	0.15			
	$I_{OL} = 6\text{mA}$, $V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 1.4\text{V}$			0.35	
	$I_{OL} = 8\text{mA}$, $V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 1.65\text{V}$			0.45	
	$I_{OL} = 9\text{mA}$, $V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 2.3\text{V}$			0.55	
	$I_{OL} = 12\text{mA}$, $V_I = V_{IL}$	$V_{CCA} = V_{CCB} = 3\text{V}$			0.7	
I_I 控制输入 (DIR)	$V_I = V_{CCA}$ 或 GND	$V_{CCA} = V_{CCB} = 1.2\text{V}$ 至 3.6V	± 0.025		± 1	μA
I_{BHL} 总线保持低持续电流 ⁽³⁾	$V_I = 0.42\text{V}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$	25			μA
	$V_I = 0.49\text{V}$	$V_{CCA} = V_{CCB} = 1.4\text{V}$	15			
	$V_I = 0.58\text{V}$	$V_{CCA} = V_{CCB} = 1.65\text{V}$	25			
	$V_I = 0.7\text{V}$	$V_{CCA} = V_{CCB} = 2.3\text{V}$	45			
	$V_I = 0.8\text{V}$	$V_{CCA} = V_{CCB} = 3.3\text{V}$	100			
I_{BHH} 总线保持高持续电流 ⁽⁴⁾	$V_I = 0.78\text{V}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$	-25			μA
	$V_I = 0.91\text{V}$	$V_{CCA} = V_{CCB} = 1.4\text{V}$	-15			
	$V_I = 1.07\text{V}$	$V_{CCA} = V_{CCB} = 1.65\text{V}$	-25			
	$V_I = 1.6\text{V}$	$V_{CCA} = V_{CCB} = 2.3\text{V}$	-45			
	$V_I = 2\text{V}$	$V_{CCA} = V_{CCB} = 3.3\text{V}$	-100			
I_{BHLO} 总线保持低过驱电流 ⁽⁵⁾	$V_I = 0\text{V}$ 至 V_{CC}	$V_{CCA} = V_{CCB} = 1.2\text{V}$	50			μA
		$V_{CCA} = V_{CCB} = 1.6\text{V}$	125			
		$V_{CCA} = V_{CCB} = 1.95\text{V}$	200			
		$V_{CCA} = V_{CCB} = 2.7\text{V}$	300			
		$V_{CCA} = V_{CCB} = 3.6\text{V}$	500			
I_{BHHO} 总线保持高过驱电流 ⁽⁶⁾	$V_I = 0\text{V}$ 至 V_{CC}	$V_{CCA} = V_{CCB} = 1.2\text{V}$	-50			μA
		$V_{CCA} = V_{CCB} = 1.6\text{V}$	-125			
		$V_{CCA} = V_{CCB} = 1.95\text{V}$	-200			
		$V_{CCA} = V_{CCB} = 2.7\text{V}$	-300			
		$V_{CCA} = V_{CCB} = 3.6\text{V}$	-500			
I_{off} 输入/输出 断电 漏电流	$V_I = 0\text{V}$ 至 3.6V , $V_O = 0\text{V}$ 至 3.6V	$V_{CCA} = 0\text{V}$, $V_{CCB} = 0\text{V}$ 至 3.6V	A 端口	± 0.1	± 5	μA
		$V_{CCA} = 0\text{V}$ 至 3.6V , $V_{CCB} = 0\text{V}$	B 端口	± 0.1	± 5	
I_{OZ} 关断状态输出电流 ⁽⁷⁾	$V_I = V_{CCI}$ 或 GND, $V_O = V_{CCO}$ 或 GND	$V_{CCA} = 0\text{V}$, $V_{CCB} = 3.6\text{V}$	A 端口	± 0.5	± 5	μA
		$V_{CCA} = 3.6\text{V}$, $V_{CCB} = 0\text{V}$	B 端口	± 0.5	± 5	
I_{CCA} 电源电流 - A 端口	$V_I = V_{CCI}$ 或 GND, $I_O = 0$	$V_{CCA} = V_{CCB} = 1.2\text{V}$ 至 3.6V		10		μA
		$V_{CCA} = 0\text{V}$, $V_{CCB} = 3.6\text{V}$		-2		
		$V_{CCA} = 3.6\text{V}$, $V_{CCB} = 0\text{V}$		10		

6.5 电气特性 (续)

所有典型限值适用于 $T_A = 25^\circ\text{C}$ ；所有最大和最小限值适用于 $T_A = -40^\circ\text{C}$ 至 85°C (除非另有说明)。(1) (2) (5) (6)

参数	测试条件	最小值	典型值	最大值	单位
I_{CCB} 电源电流 - B 端口	$V_I = V_{CCI}$ 或 GND, $I_O = 0$	$V_{CCA} = V_{CCB} = 1.2\text{V}$ 至 3.6V		10	μA
		$V_{CCA} = 0\text{V}$, $V_{CCB} = 3.6\text{V}$		10	
		$V_{CCA} = 3.6\text{V}$, $V_{CCB} = 0\text{V}$		-2	
$I_{CCA} + I_{CCB}$ 联合电源电流	$V_I = V_{CCI}$ 或 GND, $I_O = 0$	$V_{CCA} = V_{CCB} = 1.2\text{V}$ 至 3.6V		20	μA
C_i 输入电容控制引脚 (DIR)	$V_I = 3.3\text{V}$ 或 GND	$V_{CCA} = V_{CCB} = 3.3\text{V}$		2.5	pF
C_{io} 输入和输出电容 - A 或 B 端口	$V_O = 3.3\text{V}$ 或 GND	$V_{CCA} = V_{CCB} = 3.3\text{V}$		6	pF

- (1) V_{CCO} 是与输出端口相关的 V_{CC} 。
- (2) V_{CCI} 是与输入端口相关的 V_{CC} 。
- (3) 在 V_{IL} 为最大值时，总线保持电路至少能够灌入最小低持续电流。 I_{BHL} 应在将 V_{IN} 降至 GND 然后再升至 V_{IL} 最大值后进行测量。
- (4) 在 V_{IH} 为最小值时，总线保持电路至少能够提供最小高持续电流。 I_{BHH} 应在将 V_{IN} 升至 V_{CC} 然后再降至 V_{IH} 最小值后进行测量。
- (5) 外部驱动器必须至少提供 I_{BHLO} 才能将该节点从低电平切换为高电平。
- (6) 外部驱动器必须至少灌入 I_{BHHO} 才能将该节点从高电平切换为低电平。
- (7) 对于 I/O 端口，参数 I_{OZ} 包括输入漏电流。

6.6 开关特性, $V_{CCA} = 1.2V$

$T_A = 25^\circ C$ (请参阅图 7-1)。

参数	从 (输入)	到 (输出)	测试条件	最小值	典型值	最大值	单位
t_{PLH} , t_{PHL} 传播延迟时间: 低电平至高电平输出和 高电平至低电平输出	A	B	$V_{CCB} = 1.2V$		3.3		ns
			$V_{CCB} = 1.5V$		2.7		
			$V_{CCB} = 1.8V$		2.4		
			$V_{CCB} = 2.5V$		2.3		
			$V_{CCB} = 3.3V$		2.4		
t_{PLH} , t_{PHL} 传播延迟时间: 低电平至高电平输出和 高电平至低电平输出	B	A	$V_{CCB} = 1.2V$		3.3		ns
			$V_{CCB} = 1.5V$		3.1		
			$V_{CCB} = 1.8V$		2.9		
			$V_{CCB} = 2.5V$		2.8		
			$V_{CCB} = 3.3V$		2.7		
t_{PZH} , t_{PZL} 启用时间: 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	A	$V_{CCB} = 1.2V$		5.1		ns
			$V_{CCB} = 1.5V$		5.2		
			$V_{CCB} = 1.8V$		5.3		
			$V_{CCB} = 2.5V$		5.2		
			$V_{CCB} = 3.3V$		3.7		
t_{PZH} , t_{PZL} 启用时间: 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	B	$V_{CCB} = 1.2V$		5.3		ns
			$V_{CCB} = 1.5V$		4.3		
			$V_{CCB} = 1.8V$		4		
			$V_{CCB} = 2.5V$		3.3		
			$V_{CCB} = 3.3V$		3.7		
t_{PHZ} , t_{PLZ} 禁用时间: 从高电平和 从低电平	DIR	A	$V_{CCB} = 1.2V$		8.5		ns
			$V_{CCB} = 1.5V$		6.9		
			$V_{CCB} = 1.8V$		6.4		
			$V_{CCB} = 2.5V$		5.5		
			$V_{CCB} = 3.3V$		6.1		
t_{PHZ} , t_{PLZ} 禁用时间: 从高电平和 从低电平	DIR	B	$V_{CCB} = 1.2V$		8.3		ns
			$V_{CCB} = 1.5V$		7.8		
			$V_{CCB} = 1.8V$		7.7		
			$V_{CCB} = 2.5V$		7.5		
			$V_{CCB} = 3.3V$		5.9		

(1) 启用时间是计算得出的值, 使用 *启用时间* 部分中显示的公式推导得出。

6.7 开关特性, $V_{CCA} = 1.5V \pm 0.1V$

所有典型限值适用于 $T_A = 25^\circ C$; 所有最大和最小限值适用于 $T_A = -40^\circ C$ 至 $85^\circ C$ (除非另有说明)。图 7-1

参数	从 (输入)	到 (输出)	测试条件	最小值	典型值	最大值	单位
t_{PLH} , t_{PHL} 传播延迟时间: 低电平至高电平输出和 高电平至低电平输出	A	B	$V_{CCB} = 1.2V$		2.9		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.7	5.6		
			$V_{CCB} = 1.8V \pm 0.15V$	0.6	4.2		
			$V_{CCB} = 2.5V \pm 0.2V$	0.5	4.2		
			$V_{CCB} = 3.3V \pm 0.3V$	0.5	3.8		
t_{PLH} , t_{PHL} 传播延迟时间: 低电平至高电平输出和 高电平至低电平输出	B	A	$V_{CCB} = 1.2V$		2.6		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.6	5.5		
			$V_{CCB} = 1.8V \pm 0.15V$	0.4	5.3		
			$V_{CCB} = 2.5V \pm 0.2V$	0.3	4.9		
			$V_{CCB} = 3.3V \pm 0.3V$	0.3	4.8		
t_{PZH} , t_{PZL} 启用时间: 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	A	$V_{CCB} = 1.2V$		3.8		ns
			$V_{CCB} = 1.5V \pm 0.1V$	1.6	6.7		
			$V_{CCB} = 1.8V \pm 0.15V$	1.5	6.8		
			$V_{CCB} = 2.5V \pm 0.2V$	0.3	6.9		
			$V_{CCB} = 3.3V \pm 0.3V$	0.9	6.9		
t_{PZH} , t_{PZL} 启用时间: 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	B	$V_{CCB} = 1.2V$		5.1		ns
			$V_{CCB} = 1.5V \pm 0.1V$	1.8	8.1		
			$V_{CCB} = 1.8V \pm 0.15V$	1.6	7.1		
			$V_{CCB} = 2.5V \pm 0.2V$	1.1	4.7		
			$V_{CCB} = 3.3V \pm 0.3V$	1.4	4.5		
t_{PHZ} , t_{PLZ} 禁用时间: 从高电平和 从低电平	DIR	A	$V_{CCB} = 1.2V$		7.7		ns
			$V_{CCB} = 1.5V \pm 0.1V$		13.6		
			$V_{CCB} = 1.8V \pm 0.15V$		12.4		
			$V_{CCB} = 2.5V \pm 0.2V$		9.6		
			$V_{CCB} = 3.3V \pm 0.3V$		9.3		
t_{PHZ} , t_{PLZ} 禁用时间: 从高电平和 从低电平	DIR	B	$V_{CCB} = 1.2V$		6.7		ns
			$V_{CCB} = 1.5V \pm 0.1V$		12.3		
			$V_{CCB} = 1.8V \pm 0.15V$		12		
			$V_{CCB} = 2.5V \pm 0.2V$		11.1		
			$V_{CCB} = 3.3V \pm 0.3V$		10.7		

(1) 启用时间是计算得出的值, 使用 *启用时间* 部分中显示的公式推导得出。

6.8 开关特性, $V_{CCA} = 1.8V \pm 0.15V$

所有典型限值适用于 $T_A = 25^\circ C$; 所有最大和最小限值适用于 $T_A = -40^\circ C$ 至 $85^\circ C$ (除非另有说明)。图 7-1

参数	从 (输入)	到 (输出)	测试条件	最小值	典型值	最大值	单位
t_{PLH} 、 t_{PHL} 传播延迟时间： 低电平至高电平输出和 高电平至低电平输出	A	B	$V_{CCB} = 1.2V$		2.8		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.6		5.3	
			$V_{CCB} = 1.8V \pm 0.15V$	0.5		5	
			$V_{CCB} = 2.5V \pm 0.2V$	0.4		3.9	
			$V_{CCB} = 3.3V \pm 0.3V$	0.4		3.4	
t_{PLH} 、 t_{PHL} 传播延迟时间： 低电平至高电平输出和 高电平至低电平输出	B	A	$V_{CCB} = 1.2V$		2.3		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.5		5.2	
			$V_{CCB} = 1.8V \pm 0.15V$	0.4		5	
			$V_{CCB} = 2.5V \pm 0.2V$	0.3		4.6	
			$V_{CCB} = 3.3V \pm 0.3V$	0.2		4.4	
t_{PZH} 、 t_{PZL} 启用时间： 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	A	$V_{CCB} = 1.2V$		3.8		ns
			$V_{CCB} = 1.5V \pm 0.1V$	1.6		5.9	
			$V_{CCB} = 1.8V \pm 0.15V$	1.6		5.9	
			$V_{CCB} = 2.5V \pm 0.2V$	1.6		5.9	
			$V_{CCB} = 3.3V \pm 0.3V$	0.5		6	
t_{PZH} 、 t_{PZL} 启用时间： 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	B	$V_{CCB} = 1.2V$		5		ns
			$V_{CCB} = 1.5V \pm 0.1V$	1.8		7.7	
			$V_{CCB} = 1.8V \pm 0.15V$	1.4		6.8	
			$V_{CCB} = 2.5V \pm 0.2V$	1		4.4	
			$V_{CCB} = 3.3V \pm 0.3V$	1.4		4.3	
t_{PHZ} 、 t_{PLZ} 禁用时间： 从高电平和 从低电平	DIR	A	$V_{CCB} = 1.2V$		7.3		ns
			$V_{CCB} = 1.5V \pm 0.1V$			12.9	
			$V_{CCB} = 1.8V \pm 0.15V$			11.8	
			$V_{CCB} = 2.5V \pm 0.2V$			9	
			$V_{CCB} = 3.3V \pm 0.3V$			8.7	
t_{PHZ} 、 t_{PLZ} 禁用时间： 从高电平和 从低电平	DIR	B	$V_{CCB} = 1.2V$		6.5		ns
			$V_{CCB} = 1.5V \pm 0.1V$			11.2	
			$V_{CCB} = 1.8V \pm 0.15V$			10.9	
			$V_{CCB} = 2.5V \pm 0.2V$			9.8	
			$V_{CCB} = 3.3V \pm 0.3V$			9.4	

(1) 启用时间是计算得出的值，使用 *启用时间* 部分中显示的公式推导得出。

6.9 开关特性, $V_{CCA} = 2.5V \pm 0.2V$

所有典型限值适用于 $T_A = 25^\circ C$; 所有最大和最小限值适用于 $T_A = -40^\circ C$ 至 $85^\circ C$ (除非另有说明)。图 7-1

参数	从 (输入)	到 (输出)	测试条件	最小值	典型值	最大值	单位
t_{PLH} , t_{PHL} 传播延迟时间: 低电平至高电平输出和 高电平至低电平输出	A	B	$V_{CCB} = 1.2V$		2.6		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.5		4.9	
			$V_{CCB} = 1.8V \pm 0.15V$	0.4		4.6	
			$V_{CCB} = 2.5V \pm 0.2V$	0.3		3.4	
			$V_{CCB} = 3.3V \pm 0.3V$	0.3		3	
t_{PLH} , t_{PHL} 传播延迟时间: 低电平至高电平输出和 高电平至低电平输出	B	A	$V_{CCB} = 1.2V$		2.2		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.4		4.2	
			$V_{CCB} = 1.8V \pm 0.15V$	0.3		3.8	
			$V_{CCB} = 2.5V \pm 0.2V$	0.2		3.4	
			$V_{CCB} = 3.3V \pm 0.3V$	0.2		3.3	
t_{PZH} , t_{PZL} 启用时间: 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	A	$V_{CCB} = 1.2V$		2.8		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.3		3.8	
			$V_{CCB} = 1.8V \pm 0.15V$	0.8		3.8	
			$V_{CCB} = 2.5V \pm 0.2V$	0.4		3.8	
			$V_{CCB} = 3.3V \pm 0.3V$	0.5		3.8	
t_{PZH} , t_{PZL} 启用时间: 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	B	$V_{CCB} = 1.2V$		4.9		ns
			$V_{CCB} = 1.5V \pm 0.1V$	2		7.6	
			$V_{CCB} = 1.8V \pm 0.15V$	1.5		6.5	
			$V_{CCB} = 2.5V \pm 0.2V$	0.6		4.1	
			$V_{CCB} = 3.3V \pm 0.3V$	1		4	
t_{PHZ} , t_{PLZ} 禁用时间: 从高电平和 从低电平	DIR	A	$V_{CCB} = 1.2V$		7.1		ns
			$V_{CCB} = 1.5V \pm 0.1V$			11.8	
			$V_{CCB} = 1.8V \pm 0.15V$			10.3	
			$V_{CCB} = 2.5V \pm 0.2V$			7.5	
			$V_{CCB} = 3.3V \pm 0.3V$			7.3	
t_{PHZ} , t_{PLZ} 禁用时间: 从高电平和 从低电平	DIR	B	$V_{CCB} = 1.2V$		5.4		ns
			$V_{CCB} = 1.5V \pm 0.1V$			8.6	
			$V_{CCB} = 1.8V \pm 0.15V$			8.1	
			$V_{CCB} = 2.5V \pm 0.2V$			7	
			$V_{CCB} = 3.3V \pm 0.3V$			6.6	

(1) 启用时间是计算得出的值, 使用 *启用时间* 部分中显示的公式推导得出。

6.10 开关特性, $V_{CCA} = 3.3V \pm 0.3V$

所有典型限值适用于 $T_A = 25^\circ\text{C}$ ；所有最大和最小限值适用于 $T_A = -40^\circ\text{C}$ 至 85°C （除非另有说明）。图 7-1

参数	从 (输入)	到 (输出)	测试条件	最小值	典型值	最大值	单位
t_{PLH} , t_{PHL} 传播延迟时间： 低电平至高电平输出和 高电平至低电平输出	A	B	$V_{CCB} = 1.2V$		2.6		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.4		4.7	
			$V_{CCB} = 1.8V \pm 0.15V$	0.3		4.4	
			$V_{CCB} = 2.5V \pm 0.2V$	0.2		3.3	
			$V_{CCB} = 3.3V \pm 0.3V$	0.2		2.8	
t_{PLH} , t_{PHL} 传播延迟时间： 低电平至高电平输出和 高电平至低电平输出	B	A	$V_{CCB} = 1.2V$		2.2		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.4		3.8	
			$V_{CCB} = 1.8V \pm 0.15V$	0.3		3.4	
			$V_{CCB} = 2.5V \pm 0.2V$	0.2		3	
			$V_{CCB} = 3.3V \pm 0.3V$	0.1		2.8	
t_{PZH} , t_{PZL} 启用时间： 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	A	$V_{CCB} = 1.2V$		3.1		ns
			$V_{CCB} = 1.5V \pm 0.1V$	1.3		4.3	
			$V_{CCB} = 1.8V \pm 0.15V$	1.3		4.3	
			$V_{CCB} = 2.5V \pm 0.2V$	1.3		4.3	
			$V_{CCB} = 3.3V \pm 0.3V$	1.3		4.3	
t_{PZH} , t_{PZL} 启用时间： 至高电平 ⁽¹⁾ 和 至低电平 ⁽¹⁾	DIR	B	$V_{CCB} = 1.2V$		4		ns
			$V_{CCB} = 1.5V \pm 0.1V$	0.7		7.4	
			$V_{CCB} = 1.8V \pm 0.15V$	0.6		6.5	
			$V_{CCB} = 2.5V \pm 0.2V$	0.7		4	
			$V_{CCB} = 3.3V \pm 0.3V$	1.5		3.9	
t_{PHZ} , t_{PLZ} 禁用时间： 从高电平和 从低电平	DIR	A	$V_{CCB} = 1.2V$		6.2		ns
			$V_{CCB} = 1.5V \pm 0.1V$			11.2	
			$V_{CCB} = 1.8V \pm 0.15V$			9.9	
			$V_{CCB} = 2.5V \pm 0.2V$			7	
			$V_{CCB} = 3.3V \pm 0.3V$			6.7	
t_{PHZ} , t_{PLZ} 禁用时间： 从高电平和 从低电平	DIR	B	$V_{CCB} = 1.2V$		5.7		ns
			$V_{CCB} = 1.5V \pm 0.1V$			8.9	
			$V_{CCB} = 1.8V \pm 0.15V$			8.5	
			$V_{CCB} = 2.5V \pm 0.2V$			7.2	
			$V_{CCB} = 3.3V \pm 0.3V$			6.8	

(1) 启用时间是计算得出的值，使用 *启用时间* 部分中显示的公式推导得出。

6.11 工作特性

$T_A = 25^\circ\text{C}$

参数	从 (输入)	到 (输出)	测试条件	典型值	单位	
C_{pdA} 每个收发器的功率耗散电容 ⁽¹⁾ 端口 A	A	B	$C_L = 0\text{pF}$, $f = 10\text{MHz}$, $t_r = t_f = 1\text{ns}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$	3	pF
				$V_{CCA} = V_{CCB} = 1.5\text{V}$	3	
				$V_{CCA} = V_{CCB} = 1.8\text{V}$	3	
				$V_{CCA} = V_{CCB} = 2.5\text{V}$	3	
				$V_{CCA} = V_{CCB} = 3.3\text{V}$	4	
	B	A	$C_L = 0\text{pF}$, $f = 10\text{MHz}$, $t_r = t_f = 1\text{ns}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$	14	pF
				$V_{CCA} = V_{CCB} = 1.5\text{V}$	14	
				$V_{CCA} = V_{CCB} = 1.8\text{V}$	14	
				$V_{CCA} = V_{CCB} = 2.5\text{V}$	15	
				$V_{CCA} = V_{CCB} = 3.3\text{V}$	16	
C_{pdB} 每个收发器的功率耗散电容 ⁽¹⁾ 端口 B	A	B	$C_L = 0\text{pF}$, $f = 10\text{MHz}$, $t_r = t_f = 1\text{ns}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$	14	pF
				$V_{CCA} = V_{CCB} = 1.5\text{V}$	14	
				$V_{CCA} = V_{CCB} = 1.8\text{V}$	14	
				$V_{CCA} = V_{CCB} = 2.5\text{V}$	15	
				$V_{CCA} = V_{CCB} = 3.3\text{V}$	16	
	B	A	$C_L = 0\text{pF}$, $f = 10\text{MHz}$, $t_r = t_f = 1\text{ns}$	$V_{CCA} = V_{CCB} = 1.2\text{V}$	3	pF
				$V_{CCA} = V_{CCB} = 1.5\text{V}$	3	
				$V_{CCA} = V_{CCB} = 1.8\text{V}$	3	
				$V_{CCA} = V_{CCB} = 2.5\text{V}$	3	
				$V_{CCA} = V_{CCB} = 3.3\text{V}$	4	

(1) 请参阅 [CMOS 功耗与 Cpd 计算](#)。

6.12 典型特性

T_A = 25°C

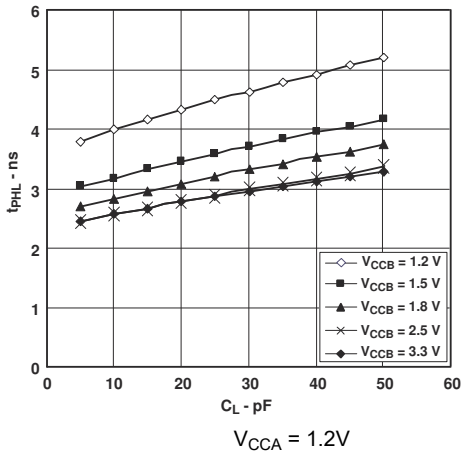


图 6-1. 典型传播延迟 (A 至 B) 与负载电容间的关系

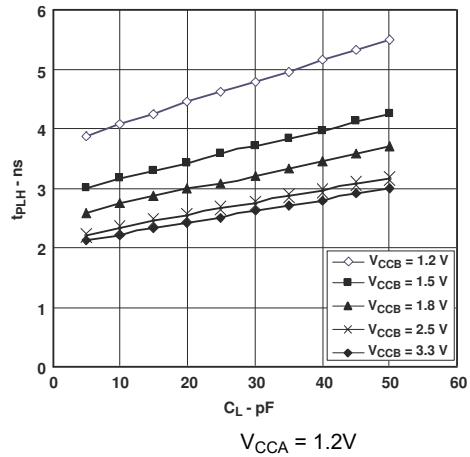


图 6-2. 典型传播延迟 (A 至 B) 与负载电容间的关系

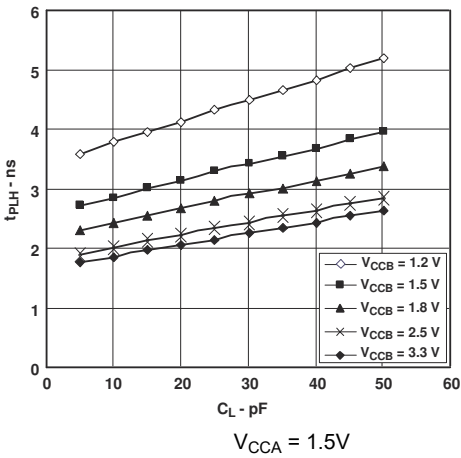


图 6-3. 典型传播延迟 (A 至 B) 与负载电容间的关系

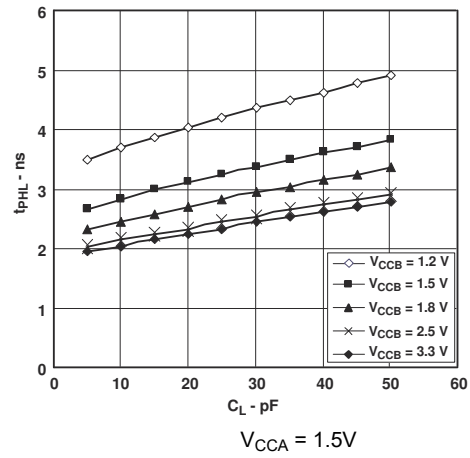


图 6-4. 典型传播延迟 (A 至 B) 与负载电容间的关系

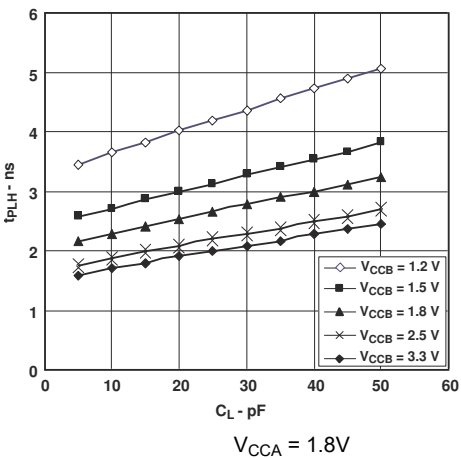


图 6-5. 典型传播延迟 (A 至 B) 与负载电容间的关系

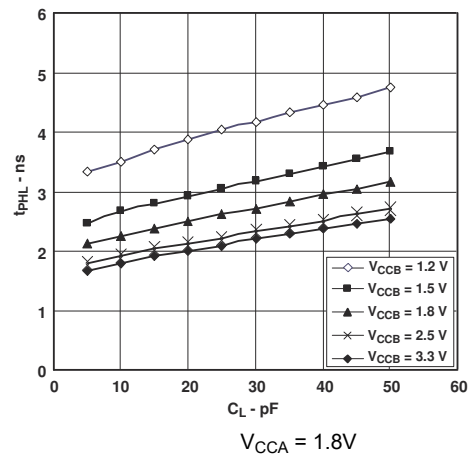


图 6-6. 典型传播延迟 (A 至 B) 与负载电容间的关系

6.12 典型特性 (续)

$T_A = 25^\circ\text{C}$

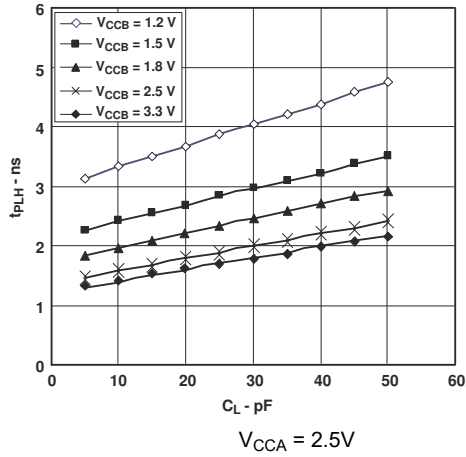


图 6-7. 典型传播延迟 (A 至 B) 与负载电容间的关系

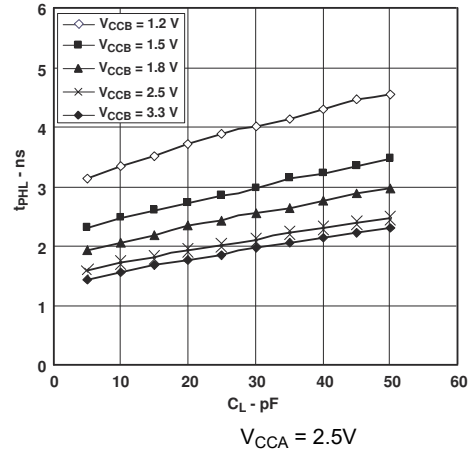


图 6-8. 典型传播延迟 (A 至 B) 与负载电容间的关系

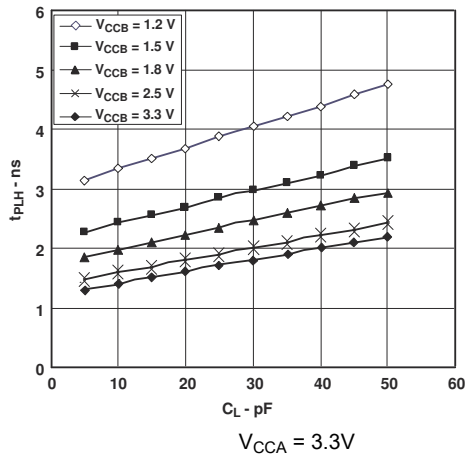


图 6-9. 典型传播延迟 (A 至 B) 与负载电容间的关系

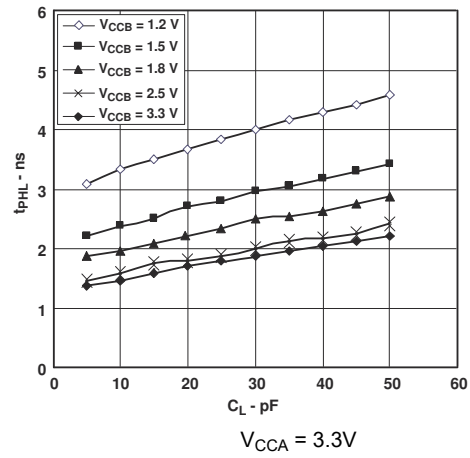
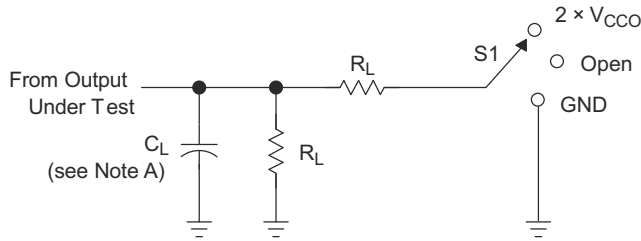


图 6-10. 典型传播延迟 (A 至 B) 与负载电容间的关系

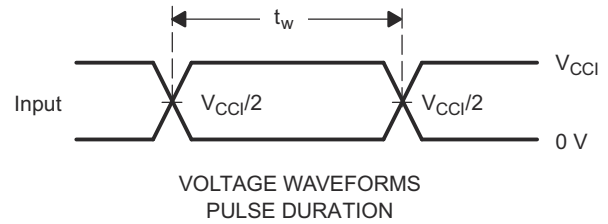
7 参数测量信息



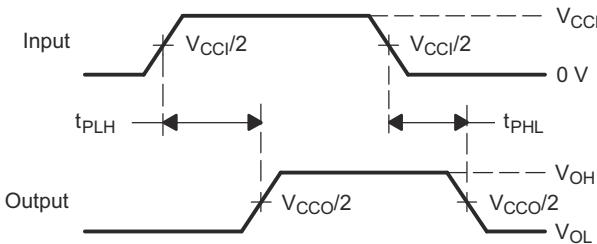
LOAD CIRCUIT

TEST	S1
t_{pd}	Open
t_{PLZ}/t_{PZL}	$2 \times V_{CCO}$
t_{PHZ}/t_{PZH}	GND

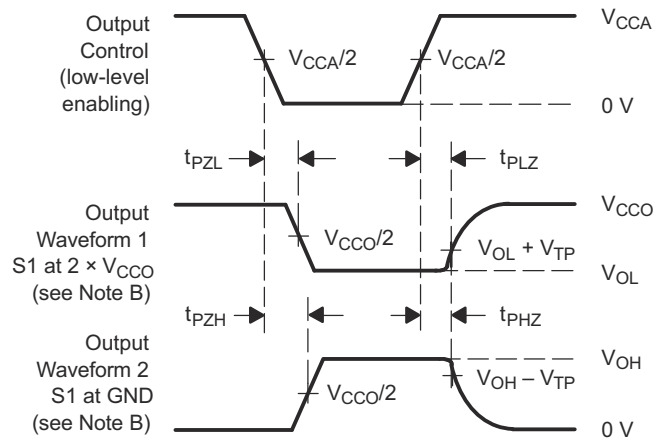
V_{CCO}	C_L	R_L	V_{TP}
1.2 V	15 pF	2 kW	0.1 V
$1.5 V \pm 0.1 V$	15 pF	2 kW	0.1 V
$1.8 V \pm 0.15 V$	15 pF	2 kW	0.15 V
$2.5 V \pm 0.2 V$	15 pF	2 kW	0.15 V
$3.3 V \pm 0.3 V$	15 pF	2 kW	0.3 V



VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES

- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: PRR = 10 MHz, $Z_O = 50 \Omega$, $dv/dt \geq 1 V/ns$.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 F. t_{PZL} and t_{PZH} are the same as t_{en} .
 G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 H. V_{CCI} is the V_{CC} associated with the input port.
 I. V_{CCO} is the V_{CC} associated with the output port.

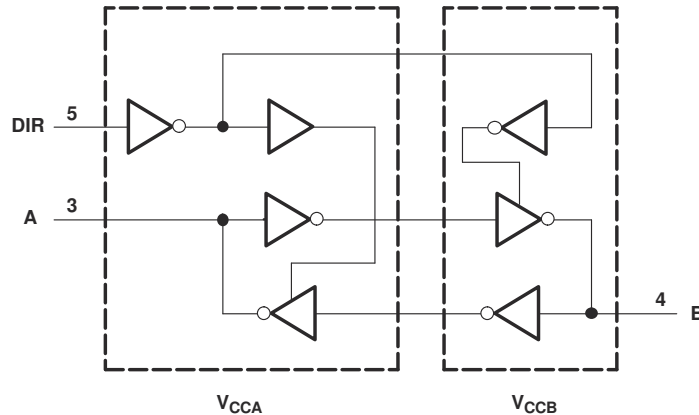
图 7-1. 负载电路和电压波形

8 详细说明

8.1 概述

SN74AVCH1T45 是一款 single-bit 双电源同相双向电压电平转换器。引脚 A 和 DIR 以 V_{CCA} 为基准，而引脚 B 以 V_{CCB} 为基准。A 端口和 B 端口都能够接受 1.2V 至 3.6V 的 I/O 电压。DIR 上为高电平时允许数据从端口 A 传输到端口 B，DIR 上为低电平时允许数据从端口 B 传输到端口 A。有关更多信息，请参阅应用报告 [AVC 逻辑系列技术和应用](#)。

8.2 功能方框图



8.3 特性说明

8.3.1 完全可配置的双轨设计

可以在 1.2V 至 3.6V 的任何电压下为 V_{CCA} 和 V_{CCB} 供电，因而该器件非常适合在任何电压节点 (1.2V、1.8V、2.5V 和 3.3V) 之间进行转换。

8.3.2 支持高速转换

SN74AVCH1T45 可以支持高数据速率应用，而数据速率可以根据最大传播延迟来计算。该支持取决于输出负载。例如，对于 1.8V 至 3.3V 的转换，最大数据速率为 500Mbps。

8.3.3 局部关断模式运行

I_{OFF} 电路可禁用输出，以防在 SN74AVCH1T45 掉电时电流回流损坏该器件。此事件可能在系统子部分断电 (局部关断) 以降低功耗的应用中发生。

8.3.4 有源总线保持电路

有源总线保持电路会将未使用或未驱动的数据输入保持在有效逻辑状态，这有助于节省布板空间并降低元件成本。TI 不建议在总线保持电路上使用上拉或下拉电阻。有关更多信息，请参阅应用报告 [总线保持电路](#)。

8.3.5 V_{CC} 隔离

如果 V_{CCA} 或 V_{CCB} 接地 (GND) (或者 $< 0.4V$)， V_{CC} 隔离特性会将两个端口都置于高阻抗状态 (I_{OZ} 如 [电气特性](#) 中所示)。该特性可以防止错误逻辑电平出现在任一总线上。

8.4 器件功能模式

表 8-1 列出了 SN74AVCH1T45 器件的功能模式。

表 8-1. 功能表

DIR	操作
L	B 数据到 A 总线
H	A 数据到 B 总线

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

SN74AVCH1T45 器件可在电平转换应用中用于将在不同接口电压下运行的器件或系统相互连接起来。当器件将信号从 1.8V 转换为 3.3V 时，最大数据速率可高达 500Mbps。

9.2 典型应用

9.2.1 单向逻辑电平转换应用

图 9-1 展示了 SN74AVCH1T45 用于单向逻辑电平转换应用的示例。

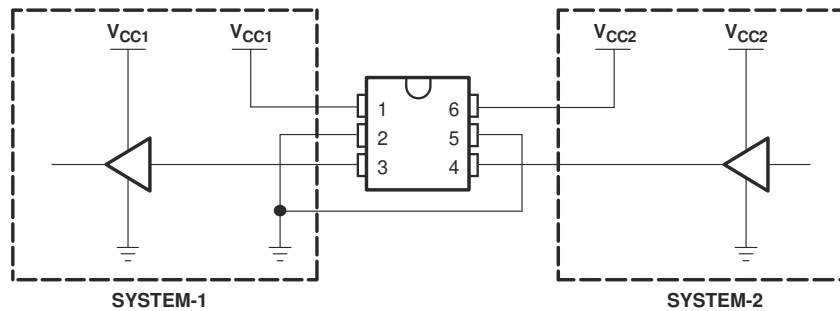


图 9-1. 单向逻辑电平转换应用示意图

表 9-1. 数据传输：SYSTEM-1 和 SYSTEM-2

引脚	名称	功能	说明
1	V _{CCA}	V _{CC1}	SYSTEM-1 电源电压 (1.2V 至 3.6V)
2	GND	GND	器件 GND
3	A	OUT	输出电平取决于 V _{CC1} 电压。
4	B	IN	输入阈值取决于 V _{CC2} 电压。
5	DIR	DIR	GND (低电平) 决定 B 端口至 A 端口方向。
6	V _{CCB}	V _{CC2}	SYSTEM-2 电源电压 (1.2V 至 3.6V)

9.2.1.1 设计要求

对于这个设计示例，请使用表 9-2 中列出的参数。

表 9-2. 设计参数

设计参数	示例值
输入电压	1.2V 至 3.6V
输出电压	1.2V 至 3.6V

9.2.1.2 详细设计过程

要开始设计过程，请确定以下内容：

- 输入电压范围
 - 使用正在驱动 SN74AVCH1T45 器件的器件电源电压来确定输入电压范围。要获得有效的逻辑高电平，此值必须超过输入端口的 V_{IH} 。要获得有效的逻辑低电平，此值必须小于输入端口的 V_{IL} 。
- 输出电压范围
 - 使用 SN74AVCH1T45 器件正在驱动的器件的电源电压来确定输出电压范围。

9.2.1.3 应用曲线

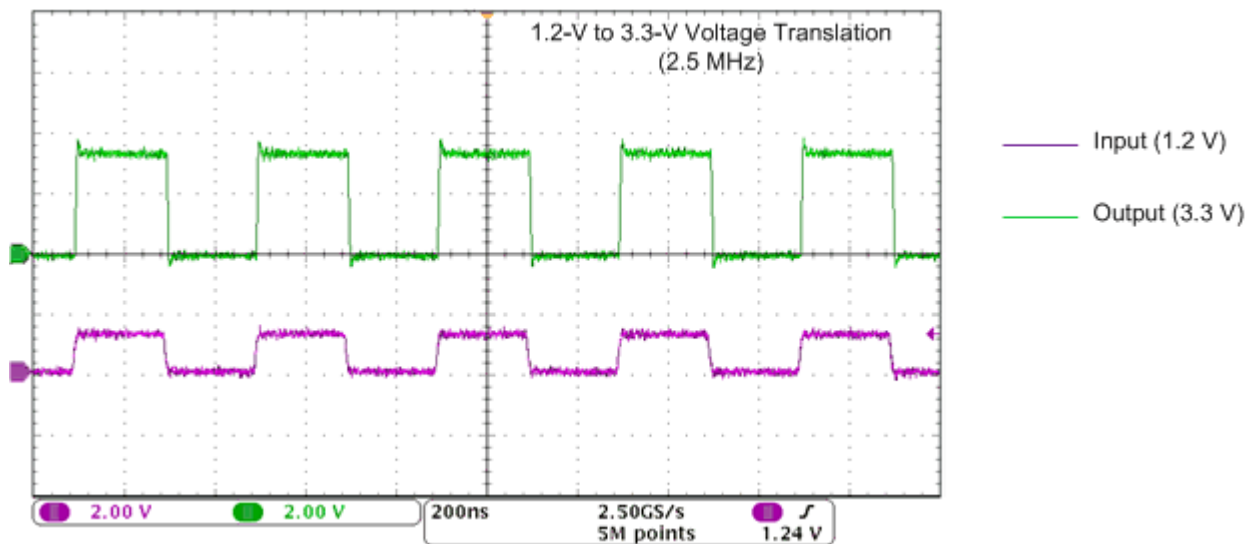


图 9-2. 在 2.5MHz 时向上转换 (1.2V 至 3.3V)

9.2.2 双向逻辑电平转换应用

图 9-3 展示了 SN74AVCH1T45 用于双向逻辑电平转换应用。由于 SN74AVCH1T45 没有输出使能 (OE) 引脚，因此应采取预防措施，以避免在改变方向时 SYSTEM-1 和 SYSTEM-2 之间发生总线争用。

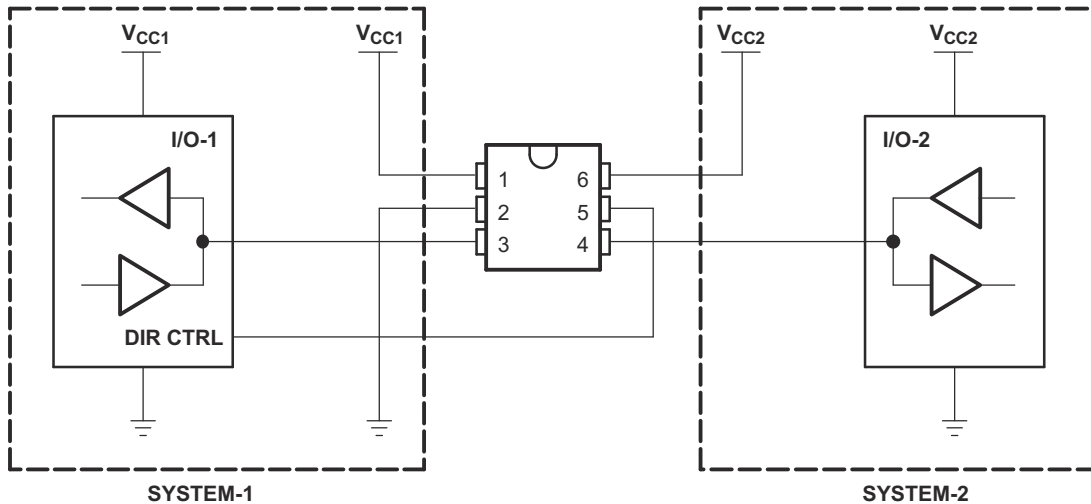


图 9-3. 双向逻辑电平转换应用示意图

下表展示了从 SYSTEM-1 到 SYSTEM-2，然后从 SYSTEM-2 到 SYSTEM-1 的数据传输。

表 9-3. 数据传输：SYSTEM-1 和 SYSTEM-2

状态	方向控制	I/O-1	I/O-2	说明
1	H	输出	输入	将 SYSTEM-1 数据发送到 SYSTEM-2
2	H	高阻态	高阻态	SYSTEM-2 已准备好向 SYSTEM-1 发送数据。I/O-1 和 I/O-2 被禁用。
3	L	高阻态	高阻态	DIR 位被翻转。I/O-1 和 I/O-2 仍被禁用。
4	L	输入	输出	将 SYSTEM-2 数据发送到 SYSTEM-1

9.2.2.1 设计要求

请参阅 [单向逻辑电平转换应用](#) 中的 [设计要求](#)。

9.2.2.2 详细设计过程

9.2.2.2.1 启用时间

使用以下公式计算 SN74AVCH1T45 的启用时间：

- $t_{pZH}(\text{DIR 至 A}) = t_{pLZ}(\text{DIR 至 B}) + t_{pLH}(\text{B 至 A})$
- $t_{pZL}(\text{DIR 至 A}) = t_{pHZ}(\text{DIR 至 B}) + t_{pHL}(\text{B 至 A})$
- $t_{pZH}(\text{DIR 至 B}) = t_{pLZ}(\text{DIR 至 A}) + t_{pLH}(\text{A 至 B})$
- $t_{pZL}(\text{DIR 至 B}) = t_{pHZ}(\text{DIR 至 A}) + t_{pHL}(\text{A 至 B})$

在双向应用中，这些启用时间提供了从切换 DIR 位直至获得预期输出的最大延迟。例如，如果 SN74AVCH1T45 最初是从 A 传输到 B，则切换 DIR 位；必须先禁用器件的 B 端口，然后才能为其提供输入。在 B 端口被禁用后，施加到它的输入信号会在指定的传播延迟后出现在相应的 A 端口上。

9.2.2.3 应用曲线

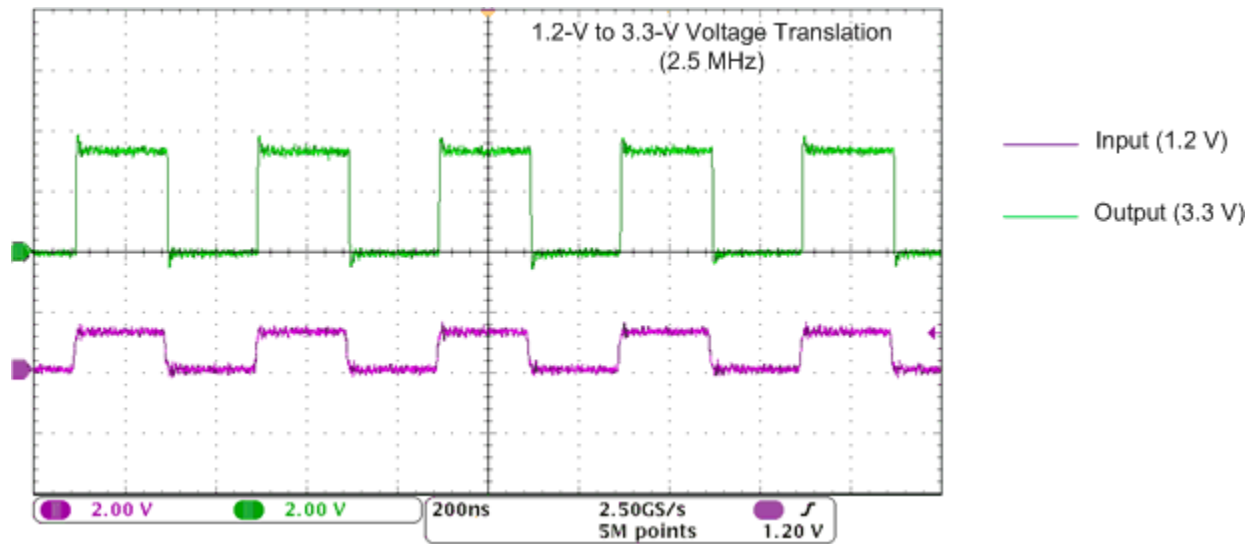


图 9-4. 在 2.5MHz 时向上转换 (1.2V 至 3.3V)

10 电源相关建议

必须遵循适当的上电序列，以避免出现电源电流过大、总线争用、振荡或其他异常。为了防止出现此类上电问题，请采取以下预防措施：

1. 在施加任何电源电压之前先接地。
2. 为 V_{CCA} 上电。
3. V_{CCB} 可以随 V_{CCA} 一起或在其之后斜升。

表 10-1. 典型总静态功耗 ($I_{CCA} + I_{CCB}$)

V_{CCB}	V_{CCA}						单位
	0V	1.2V	1.5V	1.8V	2.5V	3.3V	
0V	0	<0.5	<0.5	<0.5	<0.5	<0.5	μA
1.2V	<0.5	<1	<1	<1	<1	1	
1.5V	<0.5	<1	<1	<1	<1	1	
1.8V	<0.5	<1	<1	<1	<1	<1	
2.5V	<0.5	1	<1	<1	<1	<1	
3.3V	<0.5	1	<1	<1	<1	<1	

11 布局

11.1 布局指南

TI 建议遵循以下常见的印刷电路板布局布线指南，以提高器件可靠性。

- 在电源上使用旁路电容器。
- 使用较短的布线长度以避免过大的负载。
- 根据系统要求，在信号路径上放置用于加载电容器或上拉电阻器的焊盘，以帮助调整信号的上升和下降时间。

11.2 布局示例

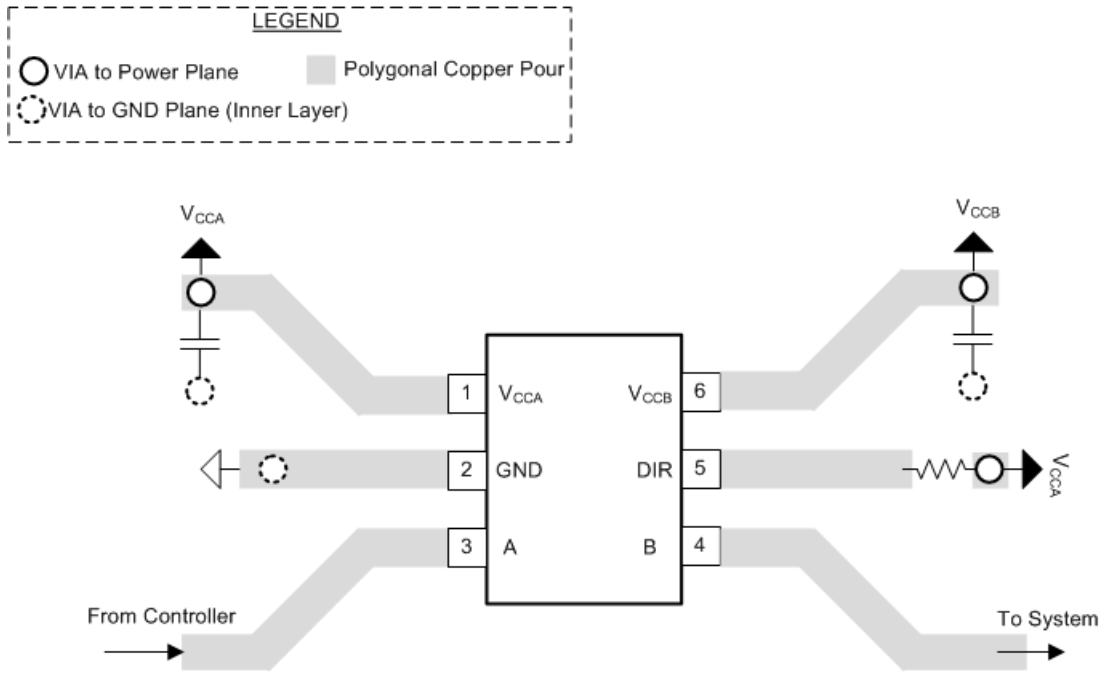


图 11-1. PCB 布局示例

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅以下相关文档：

- [使用 SN74LVCXT245 和 SN74LVCHXT245 系列方向控制型电压转换器/电平转换器进行设计](#) 应用报告
- [总线保持电路](#) 应用报告
- [AVC 逻辑系列技术与应用](#)

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

12.4 商标

NanoStar™, NanoFree™, and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

12.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

13 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (March 2016) to Revision F (March 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了 DBV 和 DCK 热性能信息。.....	5

Changes from Revision D (January 2008) to Revision E (March 2016)	Page
• 添加了 <i>ESD 等级表、特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分</i>	1

14 机械、封装和可订购信息

下述页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
74AVCH1T45DBVRE4	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)	Samples
74AVCH1T45DBVRG4	ACTIVE	SOT-23	DBV	6	3000	TBD	Call TI	Call TI	-40 to 85		Samples
74AVCH1T45DCKRE4	ACTIVE	SC70	DCK	6	3000	RoHS & Green	Call TI	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)	Samples
74AVCH1T45DCKRG4	ACTIVE	SC70	DCK	6	3000	TBD	Call TI	Call TI	-40 to 85		Samples
SN74AVCH1T45DBVR	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)	Samples
SN74AVCH1T45DBVT	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(ET1F, ET1R)	Samples
SN74AVCH1T45DCKR	ACTIVE	SC70	DCK	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)	Samples
SN74AVCH1T45DCKT	ACTIVE	SC70	DCK	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TFF, TFR)	Samples
SN74AVCH1T45YZPR	ACTIVE	DSBGA	YZP	6	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(TE2, TEN)	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

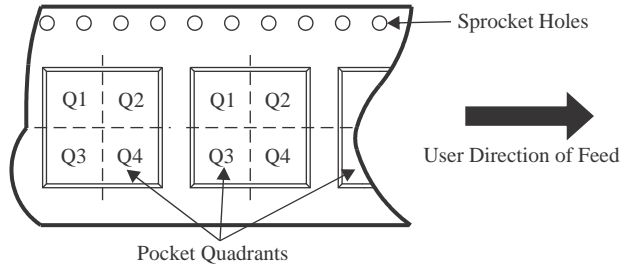
⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AVCH1T45DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74AVCH1T45DBVT	SOT-23	DBV	6	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74AVCH1T45DCKR	SC70	DCK	6	3000	180.0	8.4	2.41	2.41	1.2	4.0	8.0	Q3
SN74AVCH1T45DCKT	SC70	DCK	6	250	180.0	8.4	2.41	2.41	1.2	4.0	8.0	Q3
SN74AVCH1T45YZPR	DSBGA	YZP	6	3000	178.0	9.2	1.02	1.52	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AVCH1T45DBVR	SOT-23	DBV	6	3000	202.0	201.0	28.0
SN74AVCH1T45DBVT	SOT-23	DBV	6	250	202.0	201.0	28.0
SN74AVCH1T45DCKR	SC70	DCK	6	3000	202.0	201.0	28.0
SN74AVCH1T45DCKT	SC70	DCK	6	250	202.0	201.0	28.0
SN74AVCH1T45YZPR	DSBGA	YZP	6	3000	220.0	220.0	35.0



DBV0006A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

YZP0006



PACKAGE OUTLINE

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



D: Max = 1.418 mm, Min = 1.358 mm
 E: Max = 0.918 mm, Min = 0.858 mm

4219524/A 06/2014

NOTES:

NanoFree Is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. NanoFree™ package configuration.

EXAMPLE BOARD LAYOUT

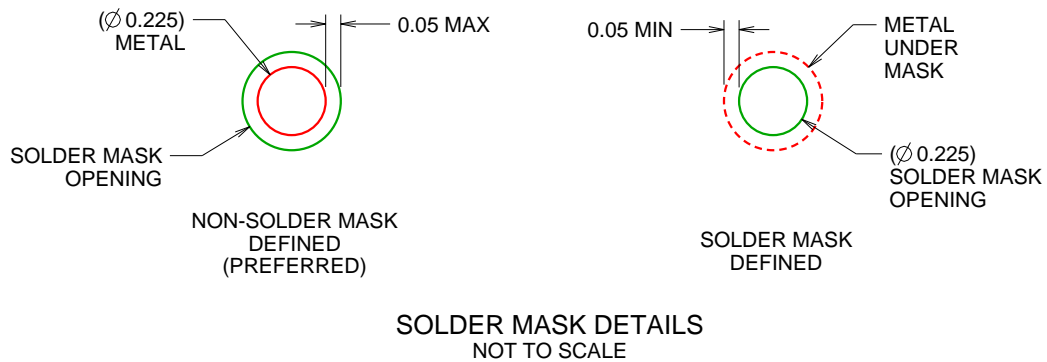
YZP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:40X



4219524/A 06/2014

NOTES: (continued)

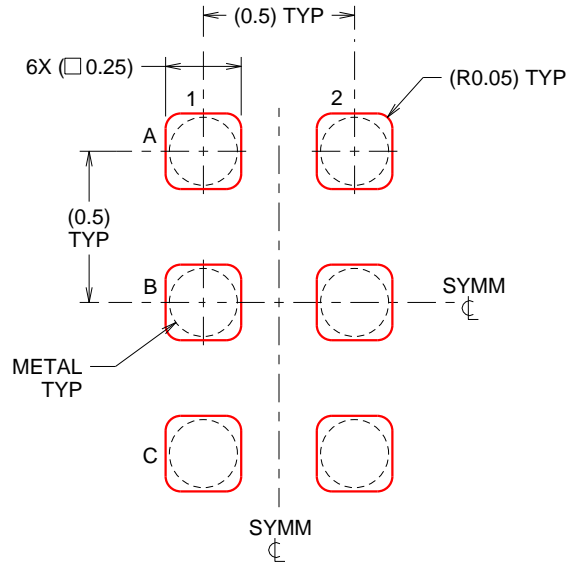
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SBVA017 (www.ti.com/lit/sbva017).

EXAMPLE STENCIL DESIGN

YZP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

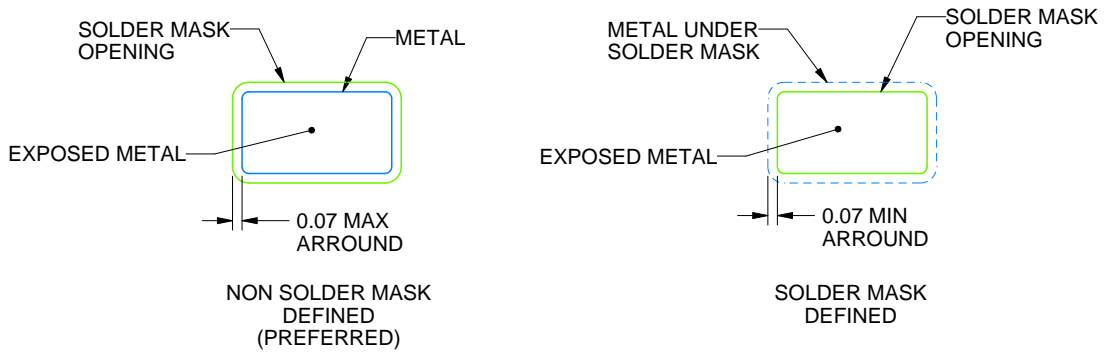
4219524/A 06/2014

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

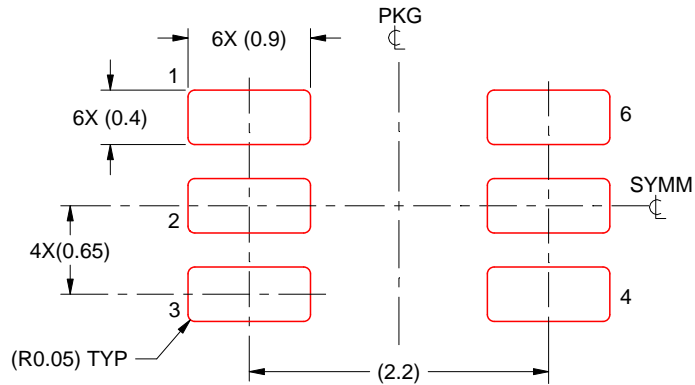


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司