

SN74LV273A-Q1 具有清零功能的汽车类八路 D 型触发器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 器件温度等级 1：
 - 40°C 至 +125°C, T_A
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C6
- 采用具有可湿性侧面的 QFN (WRKS) 封装
- 2V 至 5.5V V_{CC} 运行
- 5V 时 t_{pd} 最大值为 10.5ns
- 所有端口上均支持以混合模式电压运行
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 250mA, 符合 JESD 17 规范

2 应用

- 将数字信号与时钟同步
- 使用更少的输入来监控信号
- 将开关转换为拨动开关

3 说明

SN74LV273A-Q1 器件是一款具有共享直接低电平有效清零 (\overline{CLR}) 输入和时钟 (CLK) 的八路上升沿触发 D 型触发器。

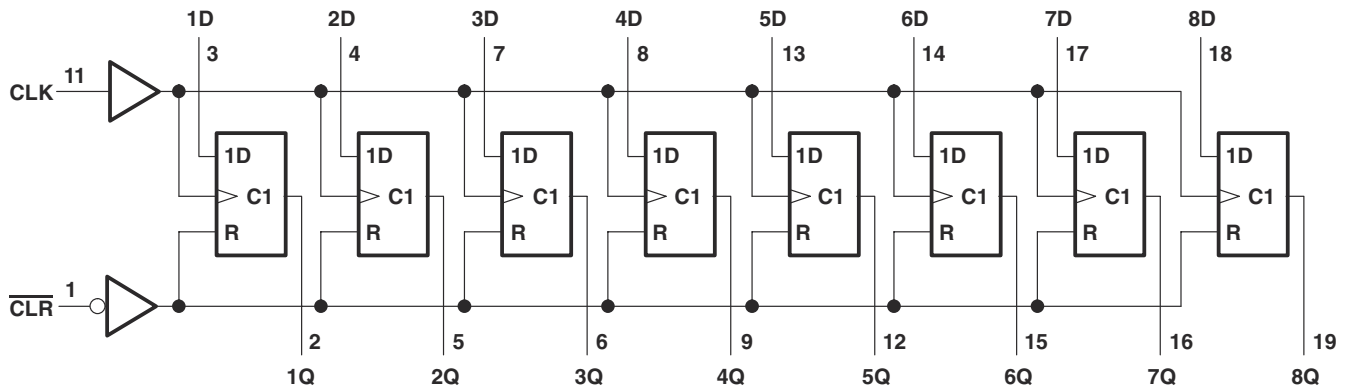
数据 (D) 输入上满足设置时间要求的信息被发送到时钟 (CLK) 脉冲上升沿的 (Q) 输出。时钟触发在一个特定电压电平下发生, 并且不与正向脉冲的转换时间直接相关。当 CLK 处于高电平或低电平或从高电平转为低电平时, D 输入对输出没有影响。数据 (Q) 输出上的信息可通过清零 (\overline{CLR}) 引脚利用低电平输入异步清零。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
SN74LV273A-Q1	WRKS (WQFN, 20)	4.50mm × 2.50mm
	DGS (VSSOP, 20)	5.10mm × 4.9mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



逻辑图 (正逻辑)



内容

1 特性	1	7 详细说明	10
2 应用	1	7.1 概述.....	10
3 说明	1	7.2 功能方框图.....	10
4 引脚配置和功能	3	7.3 特性说明.....	10
5 规格	4	7.4 器件功能模式.....	11
5.1 绝对最大额定值.....	4	8 应用和实施	13
5.2 ESD 等级.....	4	8.1 应用信息.....	13
5.3 建议运行条件.....	4	8.2 典型应用.....	13
5.4 热性能信息.....	5	8.3 电源相关建议.....	14
5.5 电气特性.....	5	8.4 布局.....	15
5.6 时序要求, $V_{CC} = 2.5V \pm 0.2V$	6	9 器件和文档支持	16
5.7 时序要求, $V_{CC} = 3.3V \pm 0.3V$	6	9.1 相关文档.....	16
5.8 时序要求, $V_{CC} = 5V \pm 0.5V$	6	9.2 接收文档更新通知.....	16
5.9 开关特性, $V_{CC} = 2.5V \pm 0.2V$	6	9.3 支持资源.....	16
5.10 开关特性, $V_{CC} = 3.3V \pm 0.3V$	7	9.4 商标.....	16
5.11 开关特性, $V_{CC} = 5V \pm 0.5V$	7	9.5 静电放电警告.....	16
5.12 工作特性.....	7	9.6 术语表.....	16
5.13 噪声特性.....	7	10 修订历史记录	16
5.14 典型特性.....	8	11 机械、封装和可订购信息	16
6 参数测量信息	9		

4 引脚配置和功能

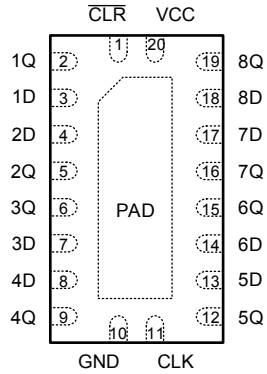


图 4-1. SN74LV273A-Q1 WRKS 封装，20 引脚 WQFN（顶视图）

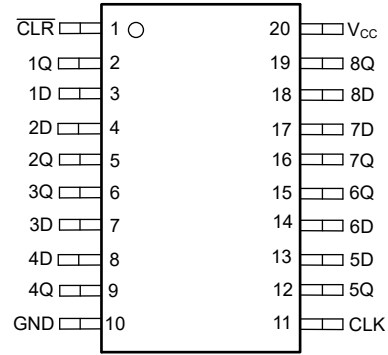


图 4-2. SN74LV273A-Q1 DGS 封装，20 引脚 VSSOP（顶视图）

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
CLR	1	I	清除所有通道，低电平有效
1Q	2	O	通道 1 输出
1D	3	I	通道 1 输入
2D	4	I	通道 2 输入
2Q	5	O	通道 2 输出
3Q	6	O	通道 3 输出
3D	7	I	通道 3 输入
4D	8	I	通道 4 输入
4Q	9	O	通道 4 输出
GND	10	G	接地
CLK	11	I	所有通道的时钟，上升沿触发
5Q	12	O	通道 5 输出
5D	13	I	通道 5 输入
6D	14	I	通道 6 输入
6Q	15	O	通道 6 输出
7Q	16	O	通道 7 输出
7D	17	I	通道 7 输入
8D	18	I	通道 8 输入
8Q	19	O	通道 8 输出
V _{CC}	20	P	正电源
散热焊盘		—	散热焊盘 ⁽²⁾

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

(2) 仅限 WRKS 封装

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V _{CC}	电源电压	-0.5	7	V
V _I	输入电压 ⁽²⁾	-0.5	7	V
V _O	在高阻抗或断电状态对任一输出施加的电压范围 ⁽²⁾	-0.5	7	V
V _O	输出电压 ^{(2) (3)}	-0.5	V _{CC} + 0.5	V
I _{IK}	输入钳位电流	V _I < 0	-20	mA
I _{OK}	输出钳位电流	V _O < 0	-50	mA
I _O	持续输出电流	V _O = 0 至 V _{CC}	±25	mA
	通过 V _{CC} 或 GND 的持续电流		±50	mA
T _{stg}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
- (3) 该值被限制为最大 5.5V。

5.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 HBM ESD 分类等级 2 ⁽¹⁾	±4000
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	±2000

- (1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V _{CC}	电源电压	2	5.5	V
V _{IH}	高电平输入电压	V _{CC} = 2V	1.5	V
		V _{CC} = 2.3V 至 5.5V	V _{CC} × 0.7	
V _{IL}	低电平输入电压	V _{CC} = 2V	0.5	V
		V _{CC} = 2.3V 至 5.5V	V _{CC} × 0.3	
V _I	输入电压	0	5.5	V
V _O	输出电压	0	V _{CC}	V
I _{OH}	高电平输出电流	V _{CC} = 2V	-50	μA
		V _{CC} = 2.3V 至 2.7V	-2	
		V _{CC} = 3V 至 3.6V	-6	
		V _{CC} = 4.5V 至 5.5V	-12	
I _{OL}	低电平输出电流	V _{CC} = 2V	50	μA
		V _{CC} = 2.3V 至 2.7V	2	
		V _{CC} = 3V 至 3.6V	6	
		V _{CC} = 4.5V 至 5.5V	12	

5.3 建议运行条件 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
$\Delta t / \Delta v$	输入转换上升或下降速率	$V_{CC} = 2.3V$ 至 $2.7V$	200	ns/V
		$V_{CC} = 3V$ 至 $3.6V$	100	
		$V_{CC} = 4.5V$ 至 $5.5V$	20	
T_A	自然通风条件下的工作温度	-40	125	°C

(1) 器件所有未使用的输入引脚必须保持连接至 V_{CC} 或 GND, 以确保器件正常工作。请参阅 [CMOS 输入缓慢变化或悬空的影响](#)。

5.4 热性能信息

热指标 ⁽¹⁾		SN74LV273A-Q1		单位
		WRKS (WQFN)	DGS (VSSOP)	
		20 引脚	20 引脚	
$R_{\theta JA}$	结至环境热阻	75.8	125.5	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	80.3	80.0	°C/W
$R_{\theta JB}$	结至电路板热阻	50.5	63.8	°C/W
ψ_{JT}	结至顶部特征参数	16.0	8.4	°C/W
ψ_{JB}	结至电路板特征参数	50.4	79.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	32.3	不适用	°C/W

(1) 有关新旧热性能指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#)。

5.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)。

参数		V_{CC}	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	$I_{OH} = -50mA$	2V 至 5.5V	$V_{CC} - 0.1$		V
		$I_{OH} = -2mA$	2.3V	2		
		$I_{OH} = -6mA$	3V	2.48		
		$I_{OH} = -12mA$	4.5V	3.8		
V_{OL}	低电平输出电压	$I_{OL} = 50mA$	2V 至 5.5V		0.1	V
		$I_{OL} = 2mA$	2.3V		0.4	
		$I_{OL} = 6mA$	3V		0.44	
		$I_{OL} = 12mA$	4.5V		0.55	
I_I	输入漏电流	$V_I = 5.5V$ 或 GND	0V 至 5.5V		± 1	μA
I_{CC}	电源电流	$V_I = V_{CC}$ 或 GND, $I_O = 0$	5.5V		20	μA
I_{off}	输入/输出断电漏电流	V_I 或 $V_O = 0V$ 至 5.5V	0V		5	μA
C_i	输入电容	$V_I = V_{CC}$ 或 GND	3.3V	2		pF

5.6 时序要求, $V_{CC} = 2.5V \pm 0.2V$

在自然通风条件下的建议工作温度范围内测得 (除非另有说明) (请参阅图 6-1)

参数	测试条件	25°C		-40°C 至 125°C		单位
		最小值	最大值	最小值	最大值	
t_w	脉冲持续时间	CLR 为低电平		7.5		ns
		CLK 高电平或低电平		9		
t_{su}	建立时间	CLK ↑ 之前的数据		12		ns
		CLR 在 CLK ↑ 之前无效		4.5		
t_h	保持时间	CLK ↑ 之后的数据		2.5		ns

5.7 时序要求, $V_{CC} = 3.3V \pm 0.3V$

在建议的自然通风条件下的工作温度范围内 (除非另有说明) (请见图 6-1)

参数	测试条件	25°C		-40°C 至 125°C		单位
		最小值	最大值	最小值	最大值	
t_w	脉冲持续时间	CLR 为低电平		6.5		ns
		CLK 高电平或低电平		7		
t_{su}	建立时间	CLK ↑ 之前的数据		8		ns
		CLR 在 CLK ↑ 2.5 之前无效		3		
t_h	保持时间	CLK ↑ 之后的数据		2.5		ns

5.8 时序要求, $V_{CC} = 5V \pm 0.5V$

在建议的自然通风条件下的工作温度范围内 (除非另有说明) (请见图 6-1)

参数	测试条件	25°C		-40°C 至 125°C		单位
		最小值	最大值	最小值	最大值	
t_w	脉冲持续时间	CLR 为低电平		5.5		ns
		CLK 高电平或低电平		5.5		
t_{su}	建立时间	CLK ↑ 之前的数据		6		ns
		CLR 在 CLK ↑ 之前无效		2.5		
t_h	保持时间	CLK ↑ 之后的数据		2		ns

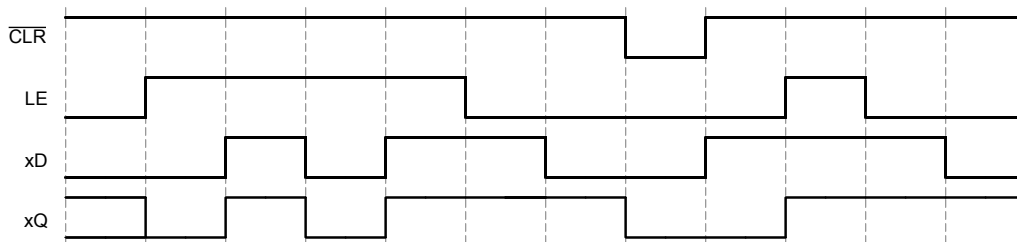


图 5-1. 典型的时钟、加载和清除序列

5.9 开关特性, $V_{CC} = 2.5V \pm 0.2V$

在自然通风条件下的工作温度范围内测得 (除非另有说明, 请参阅图 6-1)

参数	从 (输入)	至 (输出)	负载 电容	25°C			-40°C 至 125°C			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
f_{max}			$C_L = 15pF$	55	95		45			MHz
			$C_L = 50pF$	45	75		40			

在自然通风条件下的工作温度范围内测得（除非另有说明，请参阅图 6-1）

参数	从 (输入)	至 (输出)	负载 电容	25°C			-40°C 至 125°C			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
t _{pd}	CLK	Q	C _L = 15pF	10.4	18.3		1		22.5	ns
	CLR			10.3	19		1		23	
t _{pd}	CLK	Q	C _L = 50pF	12.9	22.1		1		27	ns
	CLR			13.1	22.8		1		27.5	
t _{sk(o)}						2			2	

5.10 开关特性，V_{CC} = 3.3V ± 0.3V

在自然通风条件下的工作温度范围内测得（另有说明者除外），（请参阅图 6-1）

参数	从 (输入)	至 (输出)	负载 电容	25°C			-40°C 至 125°C			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
f _{max}			C _L = 15pF	75	140		65			MHz
			C _L = 50pF	50	110		45			
t _{pd}	CLK	Q	C _L = 15pF	7.1	13.6		1		17.5	ns
	CLR			6.9	13.6		1		17.5	
t _{pd}	CLK	Q	C _L = 50pF	9.1	17.1		1		21	ns
	CLR			8.7	17.1		1		21	
t _{sk(o)}						1.5			1.5	

5.11 开关特性，V_{CC} = 5V ± 0.5V

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅图 6-1）

参数	从 (输入)	至 (输出)	负载 电容	25°C			-40°C 至 125°C			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
f _{max}			C _L = 15pF	120	205		100			MHz
			C _L = 50pF	80	160		70			
t _{pd}	CLK	Q	C _L = 15pF	4.8	9		1		11.5	ns
	CLR			4.7	8.5		1		11	
t _{pd}	CLK	Q	C _L = 50pF	6.2	11		1		14	ns
	CLR			6	10.5		1		13.5	
t _{sk(o)}						1			1	

5.12 工作特性

T_A = 25°C

参数	测试条件	V _{CC}	典型值	单位
C _{pd} 功率耗散电容	C _L = 50pF f = 10MHz	3.3V	15.9	pF
		5V	17.1	

5.13 噪声特性

V_{CC} = 3.3V, C_L = 50pF, T_A = 25°C

参数 ⁽¹⁾	最小值	典型值	最大值	单位
V _{OL(P)} 安静输出, 最大动态 V _{OL}		0.3	0.8	V
V _{OL(V)} 安静输出, 最小动态 V _{OL}		-0.3	-0.8	V

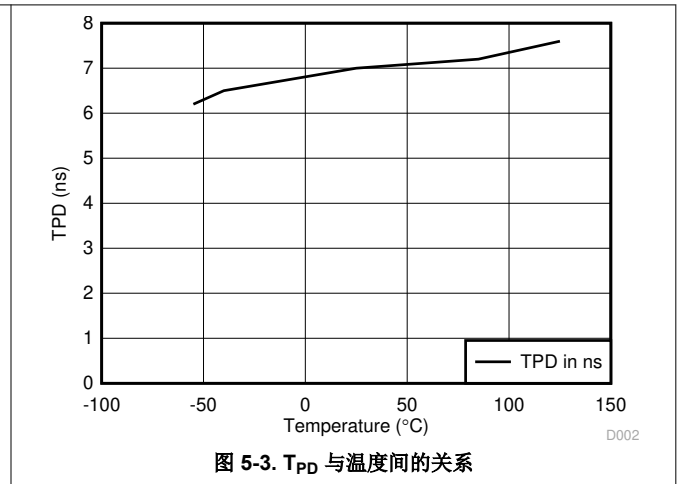
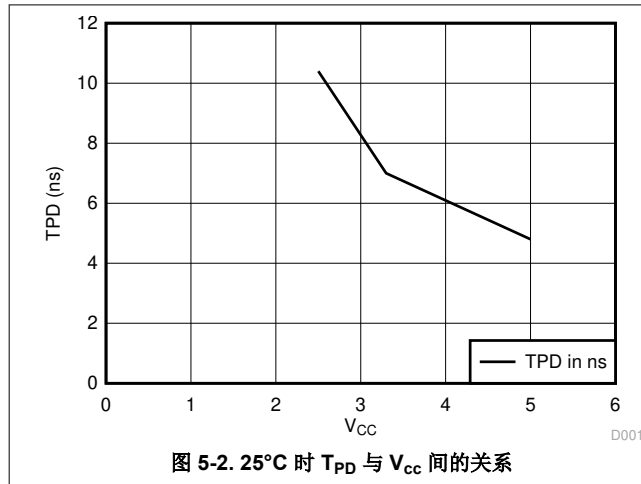
SN74LV273A-Q1

ZHCSQW9C - AUGUST 2022 - REVISED JUNE 2026

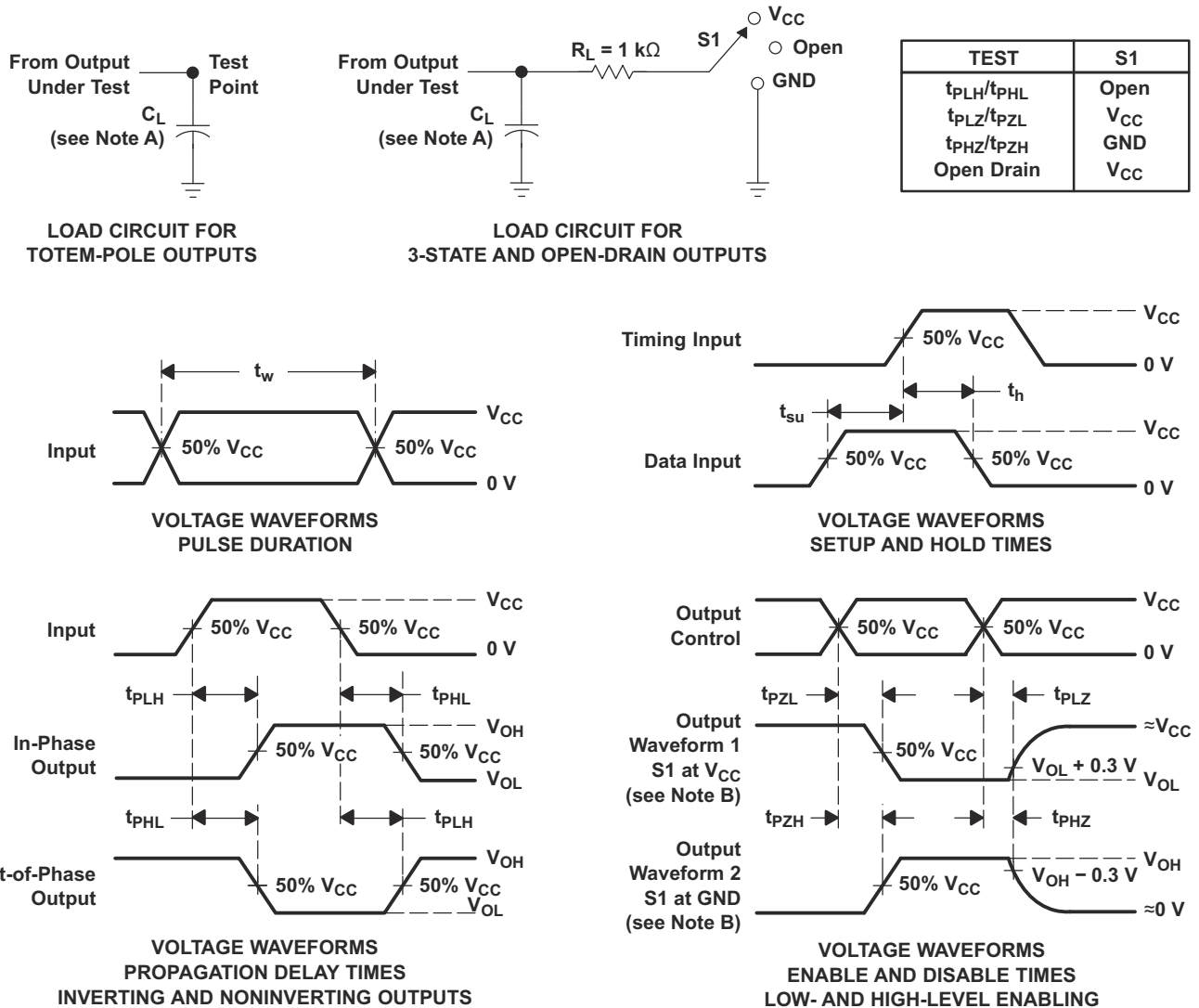
 $V_{CC} = 3.3V$, $C_L = 50pF$, $T_A = 25^\circ C$

参数 ⁽¹⁾		最小值	典型值	最大值	单位
$V_{OH(V)}$	安静输出, 最小动态 V_{OH}		3		V
$V_{IH(D)}$	高电平动态输入电压	2.31			V
$V_{IL(D)}$	低电平动态输入电压			0.99	V

(1) 特性仅适用于表面贴装封装。

5.14 典型特性


6 参数测量信息



- A. C_L 包括探头和夹具电容。
- B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。
波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
- C. 所有输入脉冲均由具有以下特性的发生器提供：PRR $\leq 1\text{ MHz}$ ， $Z_O = 50\ \Omega$ ， $t_r \leq 3\text{ ns}$ 且 $t_f \leq 3\text{ ns}$ 。
- D. 一次测量一个输出，每次测量一个输入转换。
- E. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
- F. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
- G. t_{PHL} 和 t_{PLH} 与 t_{pd} 一样。
- H. 并非所有参数和波形都适用于所有器件。

图 6-1. 负载电路和电压波形

7 详细说明

7.1 概述

SN74LV273A-Q1 器件是一款具有共享直接低电平有效清零 ($\overline{\text{CLR}}$) 输入和时钟 (CLK) 的八路上升沿触发 D 型触发器。

数据 (D) 输入上满足设置时间要求的信息被发送到时钟 (CLK) 脉冲上升沿的 (Q) 输出。时钟触发在一个特定电压电平下发生，并且不与正向脉冲的转换时间直接相关。当 CLK 处于高电平或低电平或从高电平转为低电平时，D 输入对输出没有影响。数据 (Q) 输出上的信息可通过清零 ($\overline{\text{CLR}}$) 引脚利用低电平输入异步清零。

SN74LV273A-Q1 完全符合使用 I_{off} 的部分断电应用的规范要求。 I_{off} 电路会禁用输出，从而在器件断电时防止电流回流损坏器件。

7.2 功能方框图

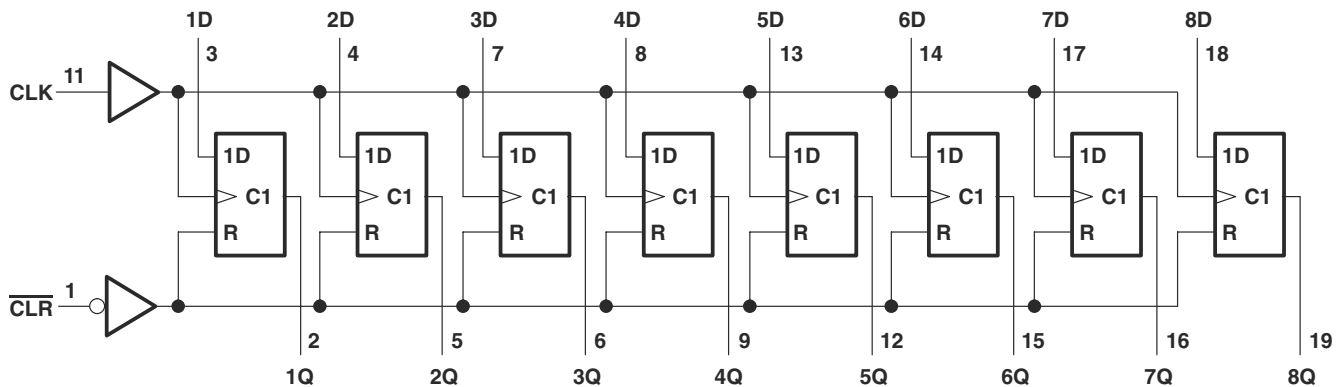


图 7-1. 逻辑图 (正逻辑)

7.3 特性说明

7.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

未使用的推挽 CMOS 输出应保持断开状态。

7.3.2 锁存逻辑

该器件包含锁存逻辑电路。锁存电路通常包括 D 型锁存器和 D 型触发器，但包括所有用作易失性存储器的逻辑电路。

当器件上电时，每个锁存器的状态是未知的。每个锁存器在启动时都没有默认状态。

只要在 *建议运行条件* 表中规定的电源电压范围内为器件供电，每个锁存逻辑电路的输出状态就会保持稳定。

7.3.3 局部断电 (I_{off})

该器件包含当电源引脚保持为 0V 时禁用所有输出的电路。禁用时，无论施加的输入电压是多少，输出都不会拉出或灌入电流。每个输出端的漏电流大小由电气特性表中的 I_{off} 规格定义。

7.3.4 可润湿侧翼

该器件采用至少一种具有可润湿侧翼的封装。请参阅数据表首页上的特性部分，了解哪些封装包含此特性。

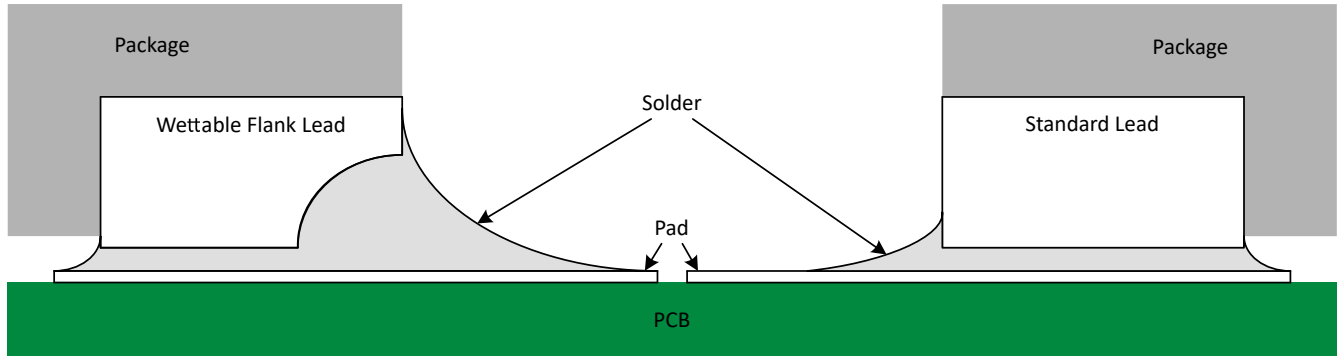


图 7-2. 焊接后具有可润湿侧翼的 QFN 封装和标准 QFN 封装的简化剖面图

可润湿侧翼有助于改善焊接后的侧翼润湿性，从而使 QFN 封装可通过自动光学检测 (AOI) 轻松检测。如图 7-2 所示，可润湿侧翼可做出凹陷或进行阶梯切割，为焊接粘附提供额外的表面积，有助于可靠创建侧面填角。有关更多详细信息，请参阅机械制图。

7.3.5 钳位二极管结构

图 7-3 展示了该器件的输入和输出仅布置负钳位二极管。

小心

电压超出绝对最大额定值表中规定的值可能会损坏器件。如果遵守输入和输出钳位电流额定值，则可以超过输入和输出电压额定值。

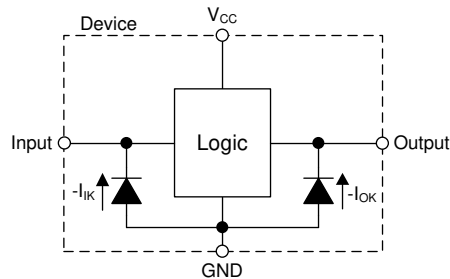


图 7-3. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1. 功能表

输入 ⁽¹⁾			输出 ⁽²⁾
CLR	CLK	D	Q
L	X	X	L
H	L、H、↓	X	Q ₀
H	↑	L	L

表 7-1. 功能表 (续)

输入 ⁽¹⁾			输出 ⁽²⁾
$\overline{\text{CLR}}$	CLK	D	Q
H	↑	H	H

- (1) L = 输入低电平, H = 输入高电平, ↑ = 输入从低电平转换到高电平, ↓ = 输入从高电平转换到低电平, X = 不用考虑
- (2) L = 输出低电平, H = 输出高电平, Q_0 = 上一状态

8 应用和和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

在此应用中，SN74LV273A-Q1 用于将传入数据与 8 位总线上的系统时钟同步。

8.2 典型应用

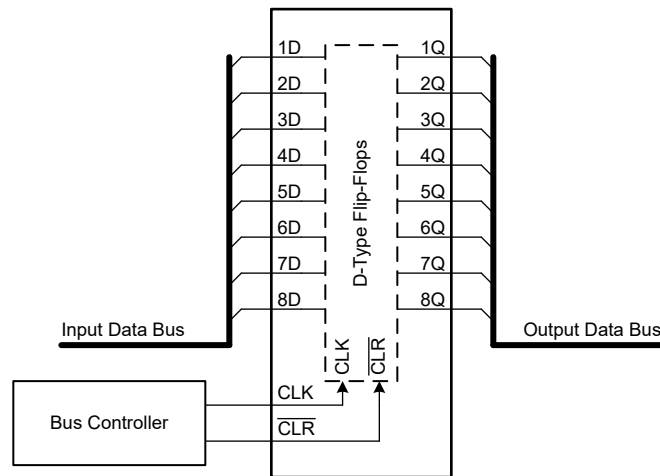


图 8-1. 典型应用图

8.2.1 电源注意事项

确保所需电源电压在 *建议运行条件* 中规定的范围内。电源电压按照 *电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74LV273A-Q1 所有输出端拉出的总电流加上最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74LV273A-Q1 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

SN74LV273A-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74LV273A-Q1 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用 *标准线性逻辑 (SLL) 封装和器件的热特性* 中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 *绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过绝对最大额定值中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LV273A-Q1 的漏电流（如电气特性中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 $10k\Omega$ 的电阻值。

SN74LV273A-Q1 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如建议运行条件表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的其他信息，请参阅特性说明部分。

8.2.3 输出注意事项

正电源电压用于产生高电平输出电压。根据电气特性中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据电气特性中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅特性说明部分。

8.2.4 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。确保此电容器在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。布局部分展示了示例布局。
2. 验证输出端的容性负载是否 $\leq 50pF$ 。这不是硬性限制；但这样可以获得峰值性能。这可以通过从 SN74LV273A-Q1 向一个或多个接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 $(V_{CC} / I_{O(max)})\Omega$ 。这样可以确保不会违反绝对最大额定值中的最大输出电流。大多数 CMOS 输入具有以 $M\Omega$ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用手册 CMOS 功耗与 Cpd 计算中提供的步骤计算功耗和热量。

8.2.5 应用曲线

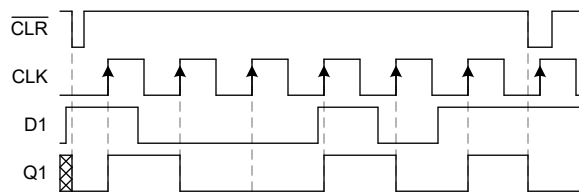


图 8-2. 应用时序图

8.3 电源相关建议

电源可以是绝对最大额定值部分中最小与最大电源电压额定值之间的任何电压。每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，TI 建议使用 $0.1\mu F$ 电容器；如果有多个 V_{CC} 端子，则 TI 建议为每个电源端子使用 $0.01\mu F$ 或 $0.022\mu F$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\mu F$ 和 $1\mu F$ 的频率通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

当使用多位逻辑器件时，输入不应悬空。在许多情况下，数字逻辑器件的功能或部分功能未被使用。例如，在仅使用三输入与门的两个输入，或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

8.4.2 布局示例

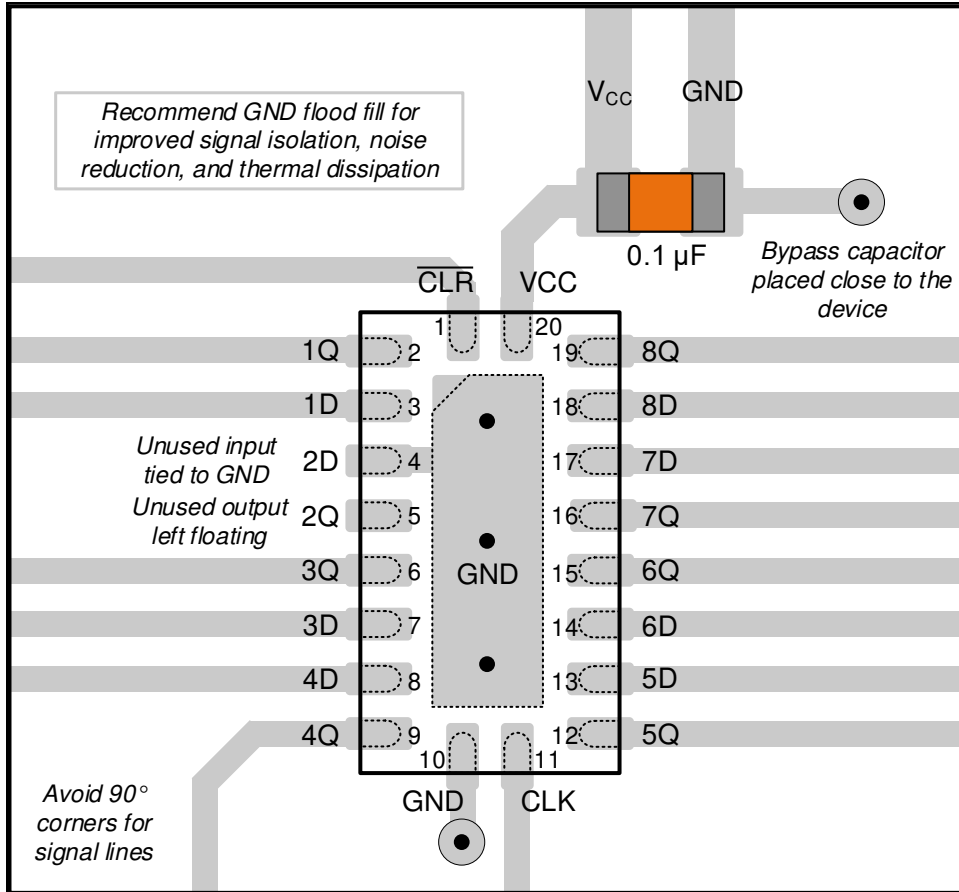


图 8-3. 采用 WRKS 封装的 SN74LV273A-Q1 布局示例

9 器件和文档支持

9.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，[计时器件的上电行为应用手册](#)
- 德州仪器 (TI)，[逻辑简介应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知（包括器件勘误表），请转至 [ti.com](https://www.ti.com) 上您的器件对应的产品文件夹。单击右上角的 *提醒我* 按钮。完成注册后，即可收到包含任何产品信息更改内容（如有）的每周摘要。有关更改的详细信息，请查阅已修订文档的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (January 2023) to Revision C (June 2026) Page

- | | |
|---|---|
| 更新了 引脚配置和功能 中的 PW 引脚排列图（顶视图）..... | 3 |
|---|---|

Changes from Revision A (October 2022) to Revision B (January 2023) Page

- | | |
|---------------------------------------|---|
| 向数据表添加了 DGS 封装信息..... | 1 |
|---------------------------------------|---|

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV273AQDGSRQ1	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L273Q
SN74LV273AQDGSRQ1.A	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L273Q
SN74LV273AQWRKSRQ1	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273AQ
SN74LV273AQWRKSRQ1.A	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV273AQ

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV273A-Q1 :

- Catalog : [SN74LV273A](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV273AQDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV273AQWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV273AQDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LV273AQWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0

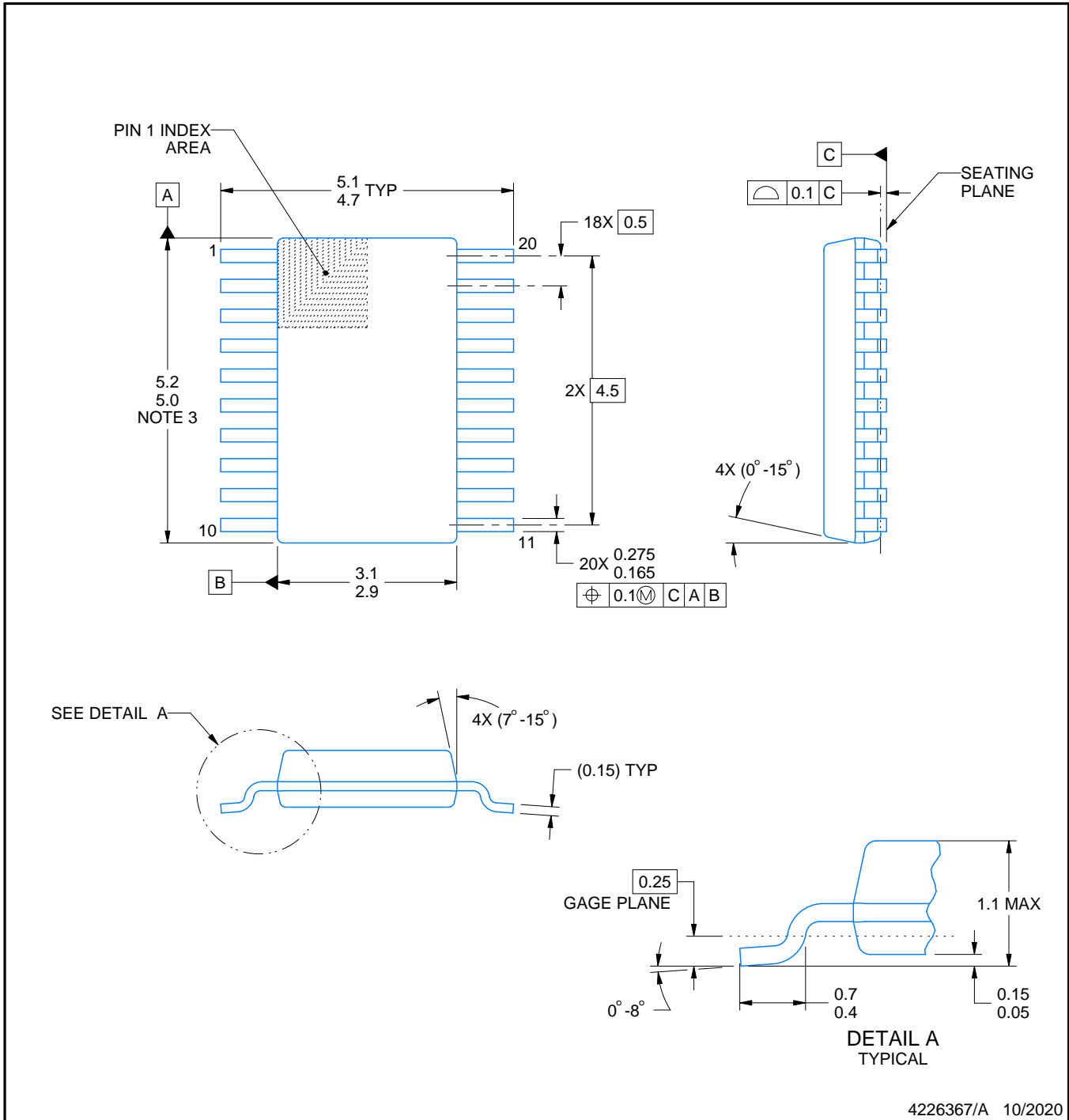
DGS0020A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

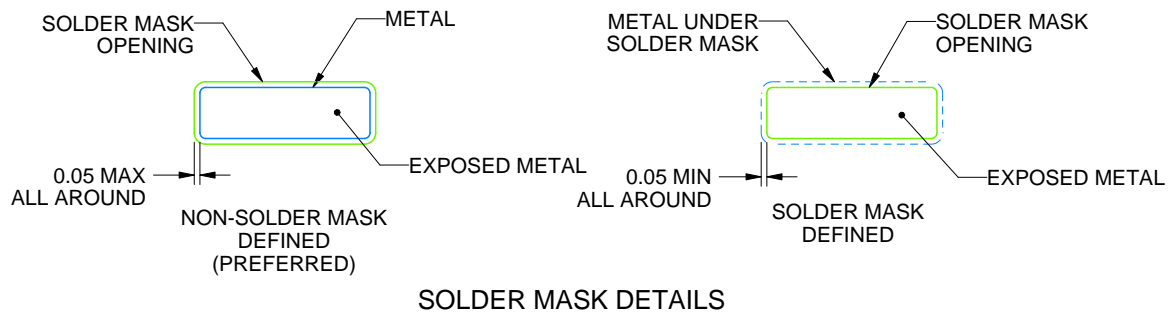
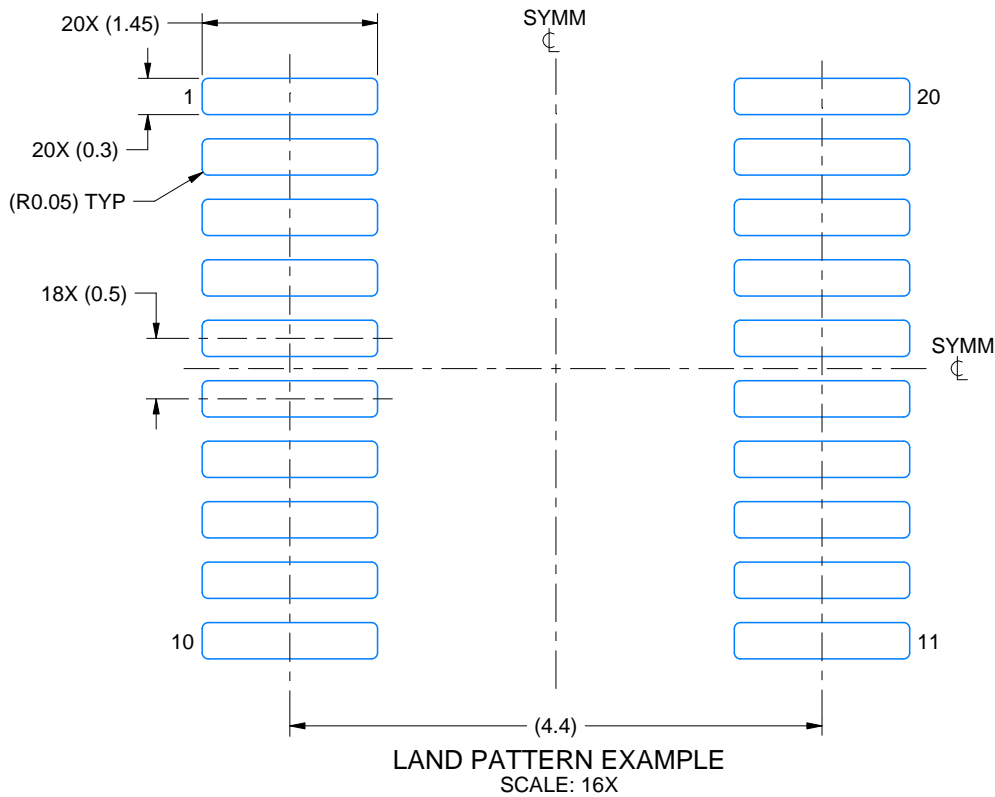
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

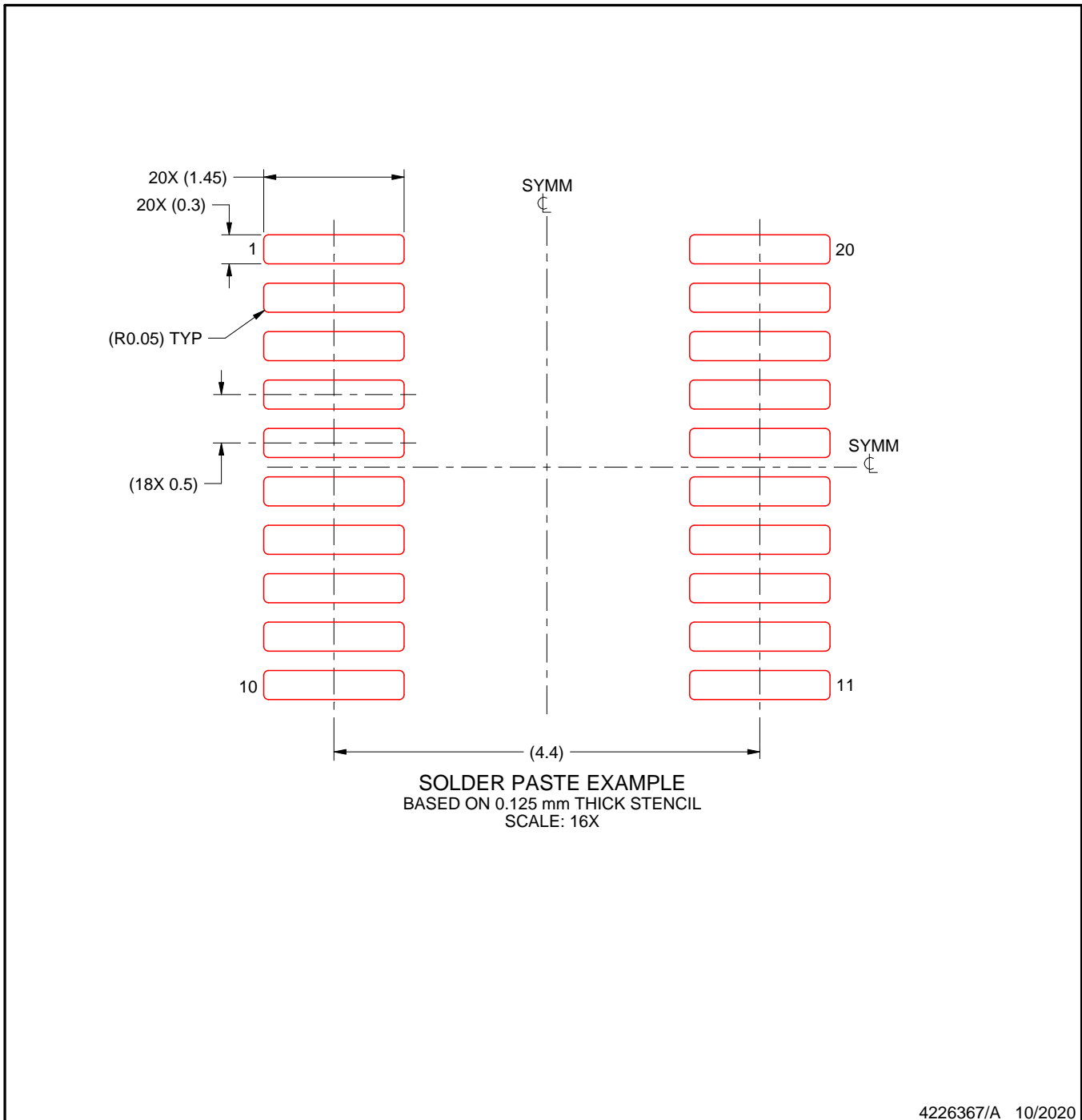
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

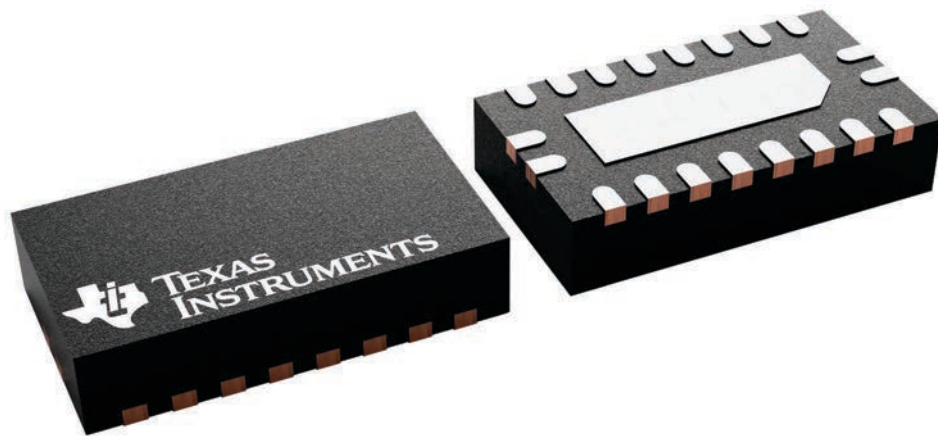
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月