

## SN74LVC1T45 具有可配置电压转换和三态输出的一位双电源总线收发器

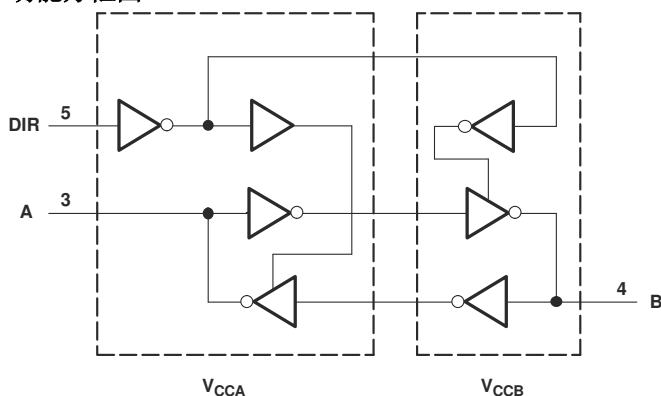
### 1 特性

- ESD 保护性能超过 JESD 22 规范要求：
  - 2000V 人体放电模型 (A114-A)
  - 200V 机器放电模型 (A115-A)
  - 1000V 充电器件模型 (C101)
- 采用德州仪器 (TI) NanoFree™ 封装
- 完全可配置的双轨设计，支持各个端口在 1.65V 至 5.5V 的整个电源电压范围内运行
- V<sub>CC</sub> 隔离特性 - 如果任何一个 V<sub>CC</sub> 输入接地 (GND)，则两个端口均处于高阻抗状态
- DIR 输入电路以 V<sub>CCA</sub> 为基准
- 低功耗，I<sub>CC</sub> 最大值为 4μA
- 3.3V 时，输出驱动为 ±24mA
- I<sub>off</sub> 支持局部省电模式运行
- 最大数据速率
  - 420Mbps (3.3V 至 5V 转换)
  - 210Mbps (转换至 3.3V)
  - 140Mbps (转换至 2.5V)
  - 75Mbps (转换至 1.8V)
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求

### 2 应用

- 个人电子产品
- 工业
- 企业
- 电信

#### 功能方框图



### 3 说明

该一位同相总线收发器使用两个独立的可配置电源轨。A 端口旨在跟踪 V<sub>CCA</sub>。V<sub>CCA</sub> 可接受从 1.65V 至 5.5V 间的任一电源电压值。B 端口旨在跟踪 V<sub>CCB</sub>。V<sub>CCB</sub> 可接受从 1.65V 至 5.5V 间的任一电源电压值。这可实现 1.8V、2.5V、3.3V 和 5V 电压节点间的通用低压双向转换。

SN74LVC1T45 旨在实现两条数据总线间的异步通信。方向控制 (DIR) 输入的逻辑电平将会激活 B 端口或 A 端口输出。当 B 端口输出被激活时，此器件将数据从 A 总线发送到 B 总线，而当 A 端口输出被激活时，此器件将数据从 B 总线发送到 A 总线。A 端口和 B 端口上的输入电路一直处于激活状态并且必须施加一个逻辑高或低电平，从而防止过大的 I<sub>CC</sub> 和 I<sub>CCZ</sub>。

SN74LVC1T45 旨在实现通过 V<sub>CCA</sub> 对 DIR 输入供电。该器件专用于使用 I<sub>off</sub> 的局部断电应用。I<sub>off</sub> 电路可禁用输出，以防在器件断电时电流回流对器件造成损坏。V<sub>CC</sub> 隔离特性可确保任一 V<sub>CC</sub> 输入接地时，两个端口都处于高阻抗状态。

NanoFree™ 封装技术是 IC 封装概念的一项重大突破，它将硅晶片用作封装。

#### 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
SN74LVC1T45	DRL (SOT, 6)	1.6mm × 1.6mm
	DBV (SOT-23, 6)	2.9mm × 2.8mm
	DCK (SC70, 6)	2mm × 2.1mm
	DPK (USON, 6)	1.6mm × 1.6mm
	YZP (DSBGA, 6)	1mm × 0.5mm

(1) 有关更多信息，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



## 内容

1 特性.....	1	7.1 概述.....	13
2 应用.....	1	7.2 功能方框图.....	13
3 说明.....	1	7.3 特性说明.....	13
4 引脚配置和功能.....	2	7.4 器件功能模式.....	14
5 规格.....	4	8 应用和实施.....	15
5.1 绝对最大额定值.....	4	8.1 应用信息.....	15
5.2 ESD 等级.....	4	8.2 典型应用.....	15
5.3 建议运行条件.....	4	8.3 电源相关建议.....	17
5.4 热性能信息.....	5	8.4 布局.....	17
5.5 电气特性.....	6	9 器件和文档支持.....	19
5.6 开关特性 ( $V_{CCA} = 1.8V \pm 0.15V$ ).....	7	9.1 文档支持.....	19
5.7 开关特性 ( $V_{CCA} = 2.5V \pm 0.2V$ ).....	7	9.2 接收文档更新通知.....	19
5.8 开关特性 ( $V_{CCA} = 3.3V \pm 0.3V$ ).....	8	9.3 支持资源.....	19
5.9 开关特性 ( $V_{CCA} = 5V \pm 0.5V$ ).....	8	9.4 商标.....	19
5.10 工作特性.....	9	9.5 静电放电警告.....	19
5.11 典型特性.....	10	9.6 术语表.....	19
6 参数测量信息.....	12	10 修订历史记录.....	19
7 详细说明.....	13	11 机械、封装和可订购信息.....	20

## 4 引脚配置和功能

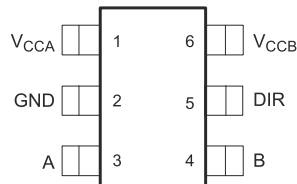


图 4-1. DBV 封装，6 引脚 SOT-23（顶视图）

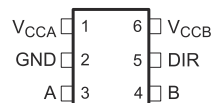


图 4-3. DRL 封装，6 引脚 SOT（顶视图）

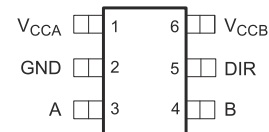


图 4-2. DCK 封装，6 引脚 SC70（顶视图）

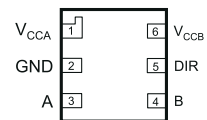


图 4-4. DPK 封装，6 引脚 USON（顶视图）

表 4-1. 引脚功能

引脚		类型 <sup>(1)</sup>	说明
名称	DBV、DCK、DRL、DPK		
$V_{CCA}$	1	P	SYSTEM-1 电源电压 ( 1.65V 至 5.5V )
GND	2	G	器件 GND
A	3	I/O	输出电平取决于 $V_{CC1}$ 电压。
B	4	I/O	输入阈值取决于 $V_{CC2}$ 电压。
DIR	5	I	GND ( 低电平 ) 决定 B 端口至 A 端口方向。
$V_{CCB}$	6	P	SYSTEM-2 电源电压 ( 1.65V 至 5.5V )

(1) P = 电源，G = 接地，I/O = 输入和输出，I = 输入

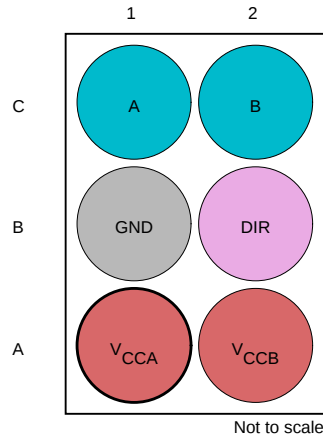


图 4-5. YZP 封装、6 引脚 DSBGA (底视图)

图例	
电源	输入
输入或输出	接地

表 4-2. 引脚功能

引脚		类型 <sup>(1)</sup>	说明
编号	名称		
A1	$V_{CCA}$	P	SYSTEM-1 电源电压 ( 1.65V 至 5.5V )
A2	$V_{CCB}$	P	SYSTEM-2 电源电压 ( 1.65V 至 5.5V )
B1	GND	G	器件 GND
B2	DIR	I	GND ( 低电平 ) 决定 B 端口至 A 端口方向。
C1	A	I/O	输出电平取决于 $V_{CC1}$ 电压。
C2	B	I/O	输入阈值取决于 $V_{CC2}$ 电压。

(1) P = 电源, G = 接地, I/O = 输入和输出, I = 输入

## 5 规格

### 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）<sup>(1)</sup>

		最小值	最大值	单位	
$V_{CCA}$ $V_{CCB}$	电源电压	-0.5	6.5	V	
$V_I$	输入电压 <sup>(2)</sup>	-0.5	6.5	V	
$V_O$	在高阻抗或断电状态对任一输出施加的电压范围 <sup>(2)</sup>	-0.5	6.5	V	
$V_O$	应用到任一处于高电平或低电平状态输出的电压范围 <sup>(2)</sup> <sup>(3)</sup>	A 端口	-0.5	$V_{CCA} + 0.5$	V
		B 端口	-0.5	$V_{CCB} + 0.5$	
$I_{IK}$	输入钳位电流	$V_I < 0$	-50	mA	
$I_{OK}$	输出钳位电流	$V_O < 0$	-50	mA	
$I_O$	持续输出电流		±50	mA	
	通过 $V_{CC}$ 或 GND 的持续电流		±100	mA	
$T_J$	结温		150	°C	
$T_{stg}$	贮存温度	-65	150	°C	

- (1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出钳位电流额定值，则可能会超过输入和输出负电压额定值。
- (3)  $V_{CC}$  的值在建议运行条件表中提供。

### 5.2 ESD 等级

		值	单位	
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup>	±2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 <sup>(2)</sup>	±1000	
		机器放电模型	±200	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

### 5.3 建议运行条件

请参阅<sup>(1)</sup> <sup>(2)</sup> <sup>(3)</sup>

		$V_{CCI}$	$V_{CCO}$	最小值	最大值	单位
$V_{CCA}$ $V_{CCB}$	电源电压			1.65	5.5	V
				1.65	5.5	
$V_{IH}$	高电平 输入电压	数据输入 <sup>(4)</sup>	1.65V 至 1.95V	$V_{CCI} \times 0.65$		V
			2.3V 至 2.7V	1.7		
			3V 至 3.6V	2		
			4.5V 至 5.5V	$V_{CCI} \times 0.7$		
$V_{IL}$	低电平 输入电压	数据输入 <sup>(4)</sup>	1.65V 至 1.95V	$V_{CCI} \times 0.35$		V
			2.3V 至 2.7V	0.7		
			3V 至 3.6V	0.8		
			4.5V 至 5.5V	$V_{CCI} \times 0.3$		

### 5.3 建议运行条件 (续)

请参阅(1) (2) (3)

		V <sub>CCI</sub>	V <sub>CCO</sub>	最小值	最大值	单位	
V <sub>IH</sub>	高电平 输入电压	DIR (以 V <sub>CCA</sub> 为基准) (5)	1.65V 至 1.95V		V <sub>CCA</sub> × 0.65	V	
			2.3V 至 2.7V		1.7		
			3V 至 3.6V		2		
			4.5V 至 5.5V		V <sub>CCA</sub> × 0.7		
V <sub>IL</sub>	低电平 输入电压	DIR (以 V <sub>CCA</sub> 为基准) (5)	1.65V 至 1.95V		V <sub>CCA</sub> × 0.35	V	
			2.3V 至 2.7V		0.7		
			3V 至 3.6V		0.8		
			4.5V 至 5.5V		V <sub>CCA</sub> × 0.3		
V <sub>I</sub>	输入电压			0	5.5	V	
V <sub>O</sub>	输出电压			0	V <sub>CCO</sub>	V	
I <sub>OH</sub>	高电平输出电流		1.65V 至 1.95V			-4	mA
			2.3V 至 2.7V			-8	
			3V 至 3.6V			-24	
			4.5V 至 5.5V			-32	
I <sub>OL</sub>	低电平输出电流		1.65V 至 1.95V			4	mA
			2.3V 至 2.7V			8	
			3V 至 3.6V			24	
			4.5V 至 5.5V			32	
Δt/Δv	输入转换 上升或下降速率	数据输入	1.65V 至 1.95V			20	ns/V
			2.3V 至 2.7V			20	
			3V 至 3.6V			10	
			4.5V 至 5.5V			5	
		控制输入	1.65V 至 5.5V			5	
T <sub>A</sub>	自然通风条件下的工作温度范围			-40	85	°C	

- (1) V<sub>CCI</sub> 是与输入端口相关的 V<sub>CC</sub>。
- (2) V<sub>CCO</sub> 是与输出端口相关的 V<sub>CC</sub>。
- (3) 器件所有的未使用数据输入必须保持在 V<sub>CCI</sub> 或 GND，以确保器件正常运行。请参阅 TI 应用报告 [CMOS 输入缓慢或悬空的影响](#)，SCBA004。
- (4) 对于数据表中未指定的 V<sub>CCI</sub> 值，V<sub>IH</sub> min = V<sub>CCI</sub> × 0.7V，V<sub>IL</sub> max = V<sub>CCI</sub> × 0.3V。
- (5) 对于数据表中未指定的 V<sub>CCI</sub> 值，V<sub>IH</sub> min = V<sub>CCA</sub> × 0.7V，V<sub>IL</sub> max = V<sub>CCA</sub> × 0.3V。

### 5.4 热性能信息

热指标 <sup>(1)</sup>	SN74LVC1T45					单位	
	DBV (SOT-23)	DCK (SC70)	DPK (USON)	DRL (SOT)	YZP (DSBGA)		
	6 引脚						
R <sub>θJA</sub>	结至环境热阻	215.1	210.9	278.3	223.7	131.0	°C/W
R <sub>θJC(top)</sub>	结至外壳 (顶部) 热阻	136.5	139.2	133.4	88.7	1.3	°C/W
R <sub>θJB</sub>	结至电路板热阻	96.6	72	174.1	58.4	22.6	°C/W
ψ <sub>JT</sub>	结至顶部特征参数	71.5	54.9	23.4	5.9	5.2	°C/W
ψ <sub>JB</sub>	结至电路板特征参数	96.3	71.7	173.5	58.1	22.6	°C/W

- (1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

## 5.5 电气特性

在自然通风条件下的建议工作温度范围内测得， $T_A = -40$  至  $+85^\circ\text{C}$  (除非另有说明) <sup>(1) (2)</sup>

参数		测试条件		$V_{CCA}$	$V_{CCB}$	最小值	典型值	最大值	单位
$V_{OH}$		$I_{OH} = -100 \mu\text{A}$	$V_I = V_{IH}$	1.65V 至 4.5V	1.65V 至 4.5V	$V_{CCO} - 0.1$			V
				1.65V	1.65V	1.2			
				2.3V	2.3V	1.9			
				3V	3V	2.4			
				4.5V	4.5V	3.8			
$V_{OL}$		$I_{OL} = 100 \mu\text{A}$	$V_I = V_{IL}$	1.65V 至 4.5V	1.65V 至 4.5V			0.1	V
				1.65V	1.65V			0.45	
				2.3V	2.3V			0.3	
				3V	3V			0.55	
				4.5V	4.5V			0.55	
$I_I$	DIR	$V_I = V_{CCA}$ 或 GND		1.65V 至 5.5V	1.65V 至 5.5V	$T_A = 25^\circ\text{C}$		$\pm 1$	$\mu\text{A}$
						$T_A = -40$ 至 $+85^\circ\text{C}$		$\pm 2$	
$I_{off}$	A 端口	$V_I$ 或 $V_O = 0\text{V}$ 至 $5.5\text{V}$		0V	0V 至 5.5V	$T_A = 25^\circ\text{C}$		$\pm 1$	$\mu\text{A}$
						$T_A = -40$ 至 $+85^\circ\text{C}$		$\pm 2$	
	B 端口					$T_A = 25^\circ\text{C}$		$\pm 1$	
						$T_A = -40$ 至 $+85^\circ\text{C}$		$\pm 2$	
$I_{OZ}$	A 端口 或 B 端口	$V_O = V_{CCO}$ 或 GND		1.65V 至 5.5V	1.65V 至 5.5V	$T_A = 25^\circ\text{C}$		$\pm 1$	$\mu\text{A}$
						$T_A = -40$ 至 $+85^\circ\text{C}$		$\pm 2$	
$I_{CCA}$		$V_I = V_{CCI}$ 或 GND ,	$I_O = 0$	1.65V 至 5.5V	1.65V 至 5.5V			3	$\mu\text{A}$
				5.5V	0V			2	
				0V	5.5V			-2	
$I_{CCB}$		$V_I = V_{CCI}$ 或 GND ,	$I_O = 0$	1.65V 至 5.5V	1.65V 至 5.5V			3	$\mu\text{A}$
				5.5V	0V			-2	
				0V	5.5V			2	
$I_{CCA} + I_{CCB}$ (请参阅表 7-1)		$V_I = V_{CCI}$ 或 GND ,	$I_O = 0$	1.65V 至 5.5V	1.65V 至 5.5V			4	$\mu\text{A}$
$\Delta I_{CCA}$	A 端口	A 端口为 $V_{CCA} - 0.6\text{V}$ , DIR 为 $V_{CCA}$ , B 端口 = 开路		3V 至 5.5V	3V 至 5.5V			50	$\mu\text{A}$
	DIR	DIR 为 $V_{CCA} - 0.6\text{V}$ , B 端口 = 开路 , A 端口为 $V_{CCA}$ 或 GND						50	
$\Delta I_{CCB}$ B 端口		B 端口为 $V_{CCB} - 0.6\text{V}$ , DIR 为 GND , A 端口 = 开路		3V 至 5.5V	3V 至 5.5V			50	$\mu\text{A}$
$C_i$	DIR	$V_I = V_{CCA}$ 或 GND		3.3V	3.3V	$T_A = 25^\circ\text{C}$		2.5	pF
$C_{io}$	A 端口 或 B 端口	$V_O = V_{CCA/B}$ 或 GND		3.3V	3.3V	$T_A = 25^\circ\text{C}$		6	pF

(1)  $V_{CCO}$  是与输出端口相关的  $V_{CC}$ 。

(2)  $V_{CCI}$  是与输入端口相关的  $V_{CC}$ 。

## 5.6 开关特性 ( $V_{CCA} = 1.8V \pm 0.15V$ )

在建议的自然通风条件下的工作温度范围内测得， $V_{CCA} = 1.8V \pm 0.15V$  ( 请参阅图 6-1 )

参数	从 ( 输入 )	至 ( 输出 )	$V_{CCB} = 1.8V \pm 0.15V$		$V_{CCB} = 2.5V \pm 0.2V$		$V_{CCB} = 3.3V \pm 0.3V$		$V_{CCB} = 5V \pm 0.5V$		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
$t_{PLH}$	A	B	3	17.7	2.2	10.3	1.7	8.3	1.4	7.2	ns
$t_{PHL}$			2.8	14.3	2.2	8.5	1.8	7.1	1.7	7	
$t_{PLH}$	B	A	3	17.7	2.3	16	2.1	15.5	1.9	15.1	ns
$t_{PHL}$			2.8	14.3	2.1	12.9	2	12.6	1.8	12.2	
$t_{PHZ}$	DIR	A	5.2	19.4	4.8	18.5	4.7	18.4	5.1	17.1	ns
$t_{PLZ}$			2.3	10.5	2.1	10.5	2.4	10.7	3.1	10.9	
$t_{PHZ}$	DIR	B	5.2	21.9	4.9	11.5	4.6	10.3	2.8	8.2	ns
$t_{PLZ}$			4.2	16	3.7	9.2	3.3	8.4	2.4	6.4	
$t_{PZH}^{(1)}$	DIR	A		33.7		25.2		23.9		21.5	ns
$t_{PZL}^{(1)}$				36.2		24.4		22.9		20.4	
$t_{PZH}^{(1)}$	DIR	B		28.2		20.8		19		18.1	ns
$t_{PZL}^{(1)}$				33.7		27		25.5		24.1	

(1) 启用时间是计算得出的值，使用 [启用时间](#) 部分中显示的公式推导得出。

## 5.7 开关特性 ( $V_{CCA} = 2.5V \pm 0.2V$ )

在建议的自然通风条件下的工作温度范围内测得， $V_{CCA} = 2.5V \pm 0.2V$  ( 请参阅图 6-1 )

参数	从 ( 输入 )	至 ( 输出 )	$V_{CCB} = 1.8V \pm 0.15V$		$V_{CCB} = 2.5V \pm 0.2V$		$V_{CCB} = 3.3V \pm 0.3V$		$V_{CCB} = 5V \pm 0.5V$		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
$t_{PLH}$	A	B	2.3	16	1.5	8.5	1.3	6.4	1.1	5.1	ns
$t_{PHL}$			2.1	12.9	1.4	7.5	1.3	5.4	0.9	4.6	
$t_{PLH}$	B	A	2.2	10.3	1.5	8.5	1.4	8	1	7.5	ns
$t_{PHL}$			2.2	8.5	1.4	7.5	1.3	7	0.9	6.2	
$t_{PHZ}$	DIR	A	3	8.1	3.1	8.1	2.8	8.1	3.2	8.1	ns
$t_{PLZ}$			1.3	5.9	1.3	5.9	1.3	5.9	1	5.8	
$t_{PHZ}$	DIR	B	5.2	23.7	4.1	11.4	3.9	10.2	2.4	7.1	ns
$t_{PLZ}$			3.9	18.9	3.2	9.6	2.8	8.4	1.8	5.3	
$t_{PZH}^{(1)}$	DIR	A		29.2		18.1		16.4		12.8	ns
$t_{PZL}^{(1)}$				32.2		18.9		17.2		13.3	
$t_{PZH}^{(1)}$	DIR	B		21.9		14.4		12.3		10.9	ns
$t_{PZL}^{(1)}$				21		15.6		13.5		12.7	

(1) 启用时间是计算得出的值，使用 [启用时间](#) 部分中显示的公式推导得出。

## 5.8 开关特性 ( $V_{CCA} = 3.3V \pm 0.3V$ )

在建议的自然通风条件下的工作温度范围内测得,  $V_{CCA} = 3.3V \pm 0.3V$  (请参阅图 6-1)

参数	从 (输入)	至 (输出)	$V_{CCB} = 1.8V \pm 0.15V$		$V_{CCB} = 2.5V \pm 0.2V$		$V_{CCB} = 3.3V \pm 0.3V$		$V_{CCB} = 5V \pm 0.5V$		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
$t_{PLH}$	A	B	2.1	15.5	1.4	8	0.7	5.8	0.7	4.4	ns
$t_{PHL}$			2	12.6	1.3	7	0.8	5	0.7	4	
$t_{PLH}$	B	A	1.7	8.3	1.3	6.4	0.7	5.8	0.6	5.4	ns
$t_{PHL}$			1.8	7.1	1.3	5.4	0.8	5	0.7	4.5	
$t_{PHZ}$	DIR	A	2.9	7.3	3	7.3	2.8	7.3	3.4	7.3	ns
$t_{PLZ}$			1.8	5.6	1.6	5.6	2.2	5.7	2.2	5.7	
$t_{PHZ}$	DIR	B	5.4	20.5	3.9	10.1	2.9	8.8	2.4	6.8	ns
$t_{PLZ}$			3.3	14.5	2.9	7.8	2.4	7.1	1.7	4.9	
$t_{PZH}^{(1)}$	DIR	A		22.8		14.2		12.9		10.3	ns
$t_{PZL}^{(1)}$				27.6		15.5		13.8		11.3	
$t_{PZH}^{(1)}$	DIR	B		21.1		13.6		11.5		10.1	ns
$t_{PZL}^{(1)}$				19.9		14.3		12.3		11.3	

(1) 启用时间是计算得出的值, 使用 [启用时间](#) 部分中显示的公式推导得出。

## 5.9 开关特性 ( $V_{CCA} = 5V \pm 0.5V$ )

在建议的自然通风条件下的工作温度范围内测得,  $V_{CCA} = 5V \pm 0.5V$  (请参阅图 6-1)

参数	从 (输入)	至 (输出)	$V_{CCB} = 1.8V \pm 0.15V$		$V_{CCB} = 2.5V \pm 0.2V$		$V_{CCB} = 3.3V \pm 0.3V$		$V_{CCB} = 5V \pm 0.5V$		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
$t_{PLH}$	A	B	1.9	15.1	1	7.5	0.6	5.4	0.5	3.9	ns
$t_{PHL}$			1.8	12.2	0.9	6.2	0.7	4.5	0.5	3.5	
$t_{PLH}$	B	A	1.4	7.2	1	5.1	0.7	4.4	0.5	3.9	ns
$t_{PHL}$			1.7	7	0.9	4.6	0.7	4	0.5	3.5	
$t_{PHZ}$	DIR	A	2.1	5.4	2.2	5.4	2.2	5.5	2.2	5.4	ns
$t_{PLZ}$			0.9	3.8	1	3.8	0.7	3.7	0.7	3.7	
$t_{PHZ}$	DIR	B	4.8	20.2	2.5	9.8	1	8.5	2.5	6.5	ns
$t_{PLZ}$			3.2	14.8	2.5	7.4	2.5	7	1.6	4.5	
$t_{PZH}^{(1)}$	DIR	A		22		12.5		11.4		8.4	ns
$t_{PZL}^{(1)}$				27.2		14.4		12.5		10	
$t_{PZH}^{(1)}$	DIR	B		18.9		11.3		9.1		7.6	ns
$t_{PZL}^{(1)}$				17.6		11.6		10		8.6	

(1) 启用时间是计算得出的值, 使用 [启用时间](#) 部分中显示的公式推导得出。



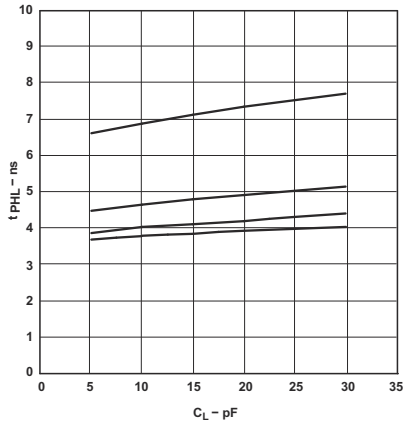
## 5.10 工作特性

$T_A = 25^\circ\text{C}$

参数		测试条件	$V_{CCA} =$ $V_{CCB} = 1.8\text{V}$	$V_{CCA} =$ $V_{CCB} = 2.5\text{V}$	$V_{CCA} =$ $V_{CCB} = 3.3\text{V}$	$V_{CCA} =$ $V_{CCB} = 5\text{V}$	单位
			典型值	典型值	典型值	典型值	
$C_{pdA}$ (1)	A 端口输入, B 端口输出	$C_L = 0\text{pF}$ , $f = 10\text{MHz}$ , $t_r = t_f = 1\text{ns}$	3	4	4	4	pF
	B 端口输入, A 端口输出		18	19	20	21	
$C_{pdB}$ (1)	A 端口输入, B 端口输出	$C_L = 0\text{pF}$ , $f = 10\text{MHz}$ , $t_r = t_f = 1\text{ns}$	18	19	20	21	pF
	B 端口输入, A 端口输出		3	4	4	4	

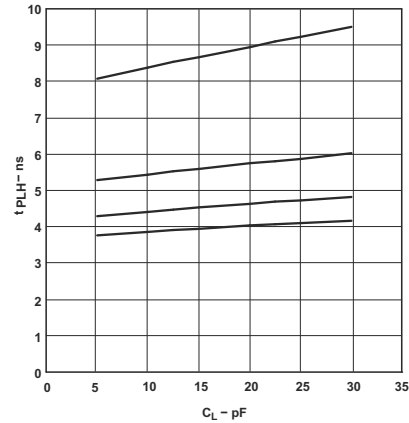
(1) 每个收发器的功率耗散电容

### 5.11 典型特性



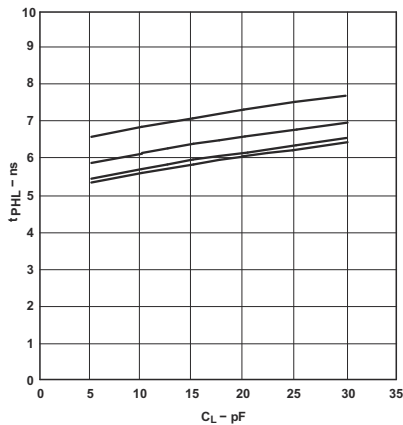
$T_A = 25^\circ\text{C}$ ,  $V_{CC} = 1.8\text{V}$

图 5-1. 典型传播延迟 (A 至 B) 与负载电容间的关系



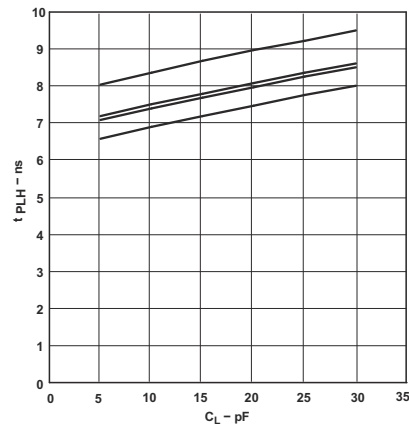
$T_A = 25^\circ\text{C}$ ,  $V_{CC} = 1.8\text{V}$

图 5-2. 典型传播延迟 (B 至 A) 与负载电容间的关系



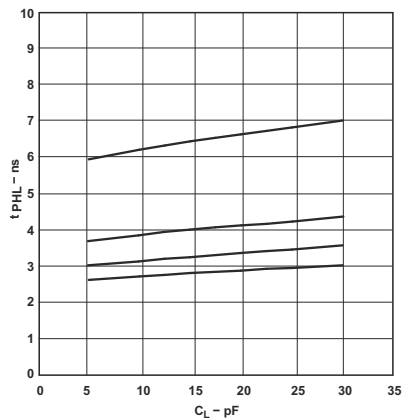
$T_A = 25^\circ\text{C}$ ,  $V_{CC} = 2.5\text{V}$

图 5-3. 典型传播延迟 (A 至 B) 与负载电容间的关系



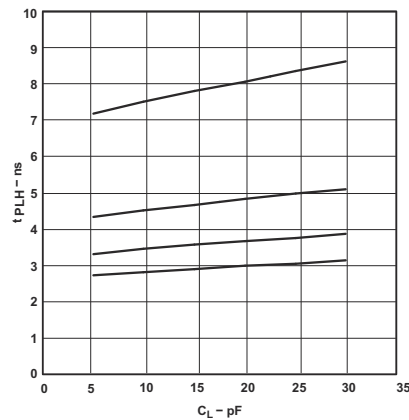
$T_A = 25^\circ\text{C}$ ,  $V_{CC} = 2.5\text{V}$

图 5-4. 典型传播延迟 (B 至 A) 与负载电容间的关系



$T_A = 25^\circ\text{C}$ ,  $V_{CC} = 3.3\text{V}$

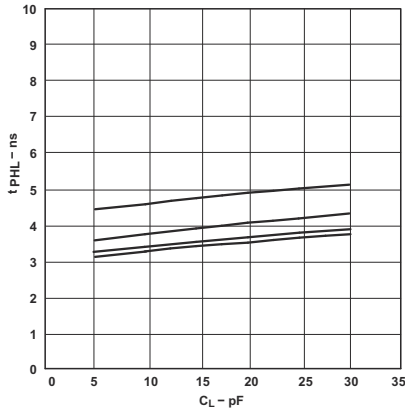
图 5-5. 典型传播延迟 (A 至 B) 与负载电容间的关系



$T_A = 25^\circ\text{C}$ ,  $V_{CC} = 3.3\text{V}$

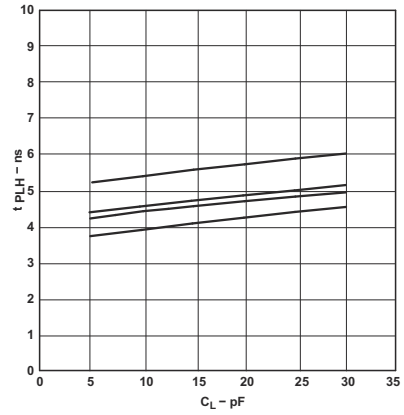
图 5-6. 典型传播延迟 (B 至 A) 与负载电容间的关系

### 5.11 典型特性 (续)



$T_A = 25^\circ\text{C}$ ,  $V_{CC} = 5\text{V}$

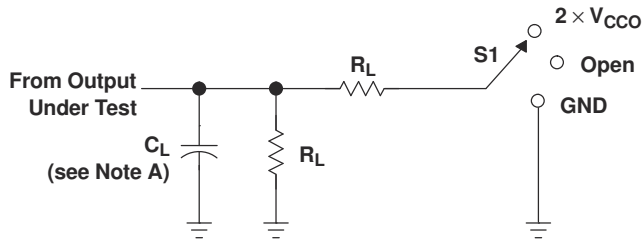
图 5-7. 典型传播延迟 (A 至 B) 与负载电容间的关系



$T_A = 25^\circ\text{C}$ ,  $V_{CC} = 5\text{V}$

图 5-8. 典型传播延迟 (B 至 A) 与负载电容间的关系

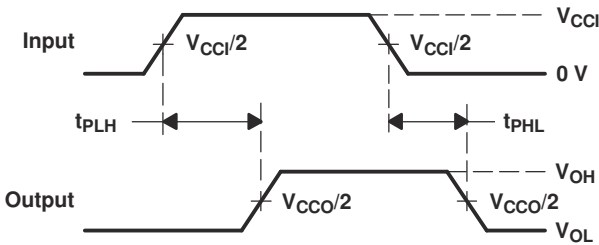
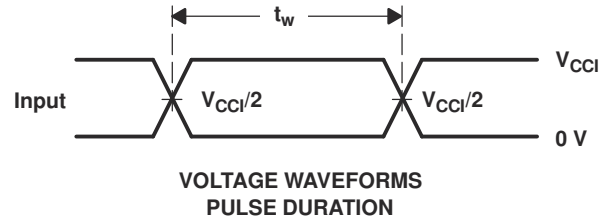
## 6 参数测量信息



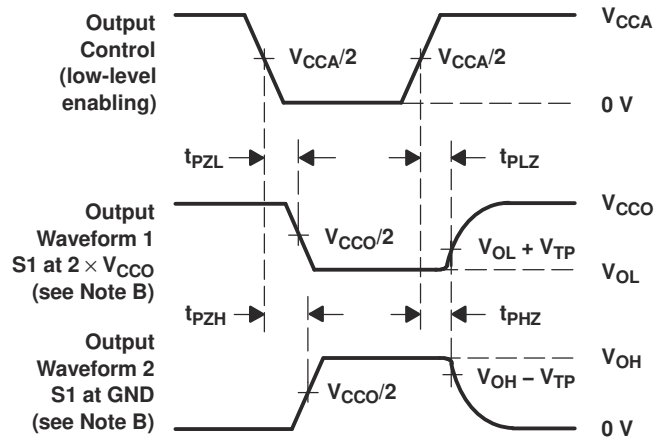
LOAD CIRCUIT

V <sub>CCO</sub>	C <sub>L</sub>	R <sub>L</sub>	V <sub>TP</sub>
1.8 V ± 0.15 V	15 pF	2 kΩ	0.15 V
2.5 V ± 0.2 V	15 pF	2 kΩ	0.15 V
3.3 V ± 0.3 V	15 pF	2 kΩ	0.3 V
5 V ± 0.5 V	15 pF	2 kΩ	0.3 V

TEST	S1
t <sub>pd</sub>	Open
t <sub>PLZ</sub> /t <sub>PZL</sub>	2 × V <sub>CCO</sub>
t <sub>PHZ</sub> /t <sub>PZH</sub>	GND



VOLTAGE WAVEFORMS PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS ENABLE AND DISABLE TIMES

- NOTES: A. C<sub>L</sub> includes probe and jig capacitance.  
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.  
 C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z<sub>O</sub> = 50 Ω, dv/dt ≥ 1 V/ns.  
 D. The outputs are measured one at a time, with one transition per measurement.  
 E. t<sub>PLZ</sub> and t<sub>PHZ</sub> are the same as t<sub>dis</sub>.  
 F. t<sub>PZL</sub> and t<sub>PZH</sub> are the same as t<sub>en</sub>.  
 G. t<sub>PLH</sub> and t<sub>PHL</sub> are the same as t<sub>pd</sub>.  
 H. V<sub>CCI</sub> is the V<sub>CC</sub> associated with the input port.  
 I. V<sub>CCO</sub> is the V<sub>CC</sub> associated with the output port.  
 J. All parameters and waveforms are not applicable to all devices.

图 6-1. 负载电路和电压波形

## 7 详细说明

### 7.1 概述

SN74LVC1T45 是一款一位双电源同相电压电平收发器。引脚 A 和方向控制引脚 (DIR) 由  $V_{CCA}$  支持，而引脚 B 由  $V_{CCB}$  支持。A 端口能够接受的 I/O 电压范围为 1.65V 至 5.5V，B 端口能够接受的 I/O 电压范围为 1.65V 至 5.5V。DIR 上为高电平时允许数据从 A 传输到 B，DIR 上为低电平时允许数据从 B 传输到 A。

### 7.2 功能方框图

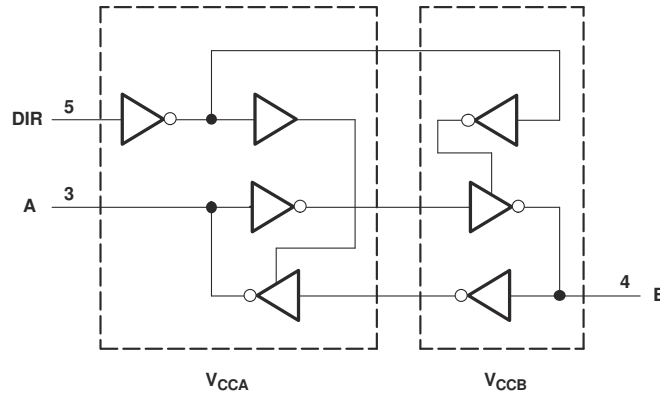


图 7-1. 逻辑图 (正逻辑)

### 7.3 特性说明

#### 7.3.1 完全可配置的双轨设计，支持各个端口在 1.65V 至 5.5V 的整个电源电压范围内运行

可以在 1.65V 至 5.5V 之间的任何电压下为  $V_{CCA}$  和  $V_{CCB}$  供电；因而使得器件适合在任何电压节点 (1.8V、2.5V、3.3V 和 5V) 之间进行转换。

#### 7.3.2 支持高速转换

SN74LVC1T45 器件支持高数据速率应用。当信号从 3.3V 转换到 5V 时，转换的信号数据速率可高达 420Mbps。

#### 7.3.3 $I_{off}$ 支持局部省电模式运行

当器件断电时，该器件的输入和输出会进入高阻抗状态，从而抑制电流回流到器件中。进出器件任何输入或输出引脚的最大漏电流由 [电气特性](#) 中的  $I_{off}$  指定。

#### 7.3.4 平衡型高驱动 CMOS 推挽式输出

平衡输出使器件能够灌入和拉取相似的电流。此器件的高驱动能力能够在轻负载时产生快速边沿，因此应考虑阻抗匹配和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。可以将两个输出连接在一起，以获得更高的输出驱动强度。必须始终遵守 [绝对最大额定值](#) 中规定的电气和热限值。

#### 7.3.5 无干扰电源时序

任一电源轨都可以按任何顺序通电或断电，且不会在 I/O 上产生干扰 (即，应该保持低电平时输出错误地转换至 VCC，反之亦然)。这种性质的干扰脉冲可能会被外设误认为是有效的数据位，这可能会触发外设的器件错误复位、外设的错误器件配置甚至外设的数据初始化错误。

#### 7.3.6 $V_{CC}$ 隔离

当任一电源电压为 GND 时，两个端口的 I/O 将进入高阻抗状态，而另一个电源仍连接到器件。进出器件任何输入或输出引脚的最大漏电流由 [电气特性](#) 中的  $I_{off}$  指定。

## 7.4 器件功能模式

表 7-1. 功能表 <sup>(1)</sup>

输入 DIR	操作
L	B 数据到 A 总线
H	A 数据到 B 总线

(1) 数据 I/O 的输入电路始终处于激活状态。

## 8 应用和实例

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

### 8.1 应用信息

SN74LVC1T45 器件可在电平转换应用中用于将在不同接口电压下运行的器件或系统相互连接起来。当器件将信号从 3.3V 转换为 5V 时，最大数据速率可高达 420Mbps。

### 8.2 典型应用

#### 8.2.1 单向逻辑电平转换应用

图 8-1 展示了 SN74LVC1T45 用于单向逻辑电平转换应用的示例。

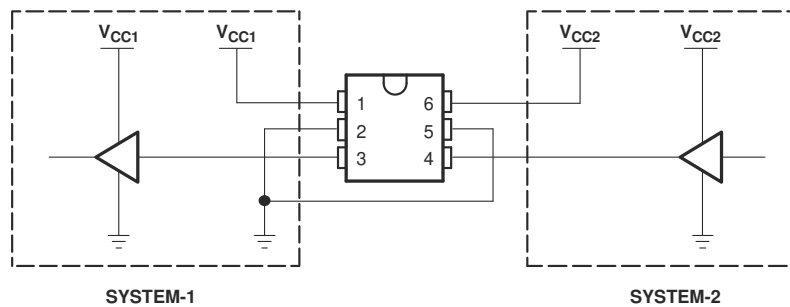


图 8-1. 单向逻辑电平转换应用

#### 8.2.1.1 设计要求

对于这个设计示例，请使用表 8-1 中列出的参数。

表 8-1. 设计参数

设计参数	示例值
输入电压范围	1.65V 至 5.5V
输出电压范围	1.65V 至 5.5V

#### 8.2.1.2 详细设计过程

要开始设计过程，请确定以下内容：

- 输入电压范围
  - 使用正在驱动 SN74LVC1T45 器件的器件电源电压来确定输入电压范围。要获得有效的逻辑高电平，此值必须超过输入端口的  $V_{IH}$ 。要获得有效的逻辑低电平，此值必须小于输入端口的  $V_{IL}$ 。
- 输出电压范围
  - 使用 SN74LVC1T45 器件正在驱动的器件电源电压来确定输出电压范围。

8.2.1.3 应用曲线

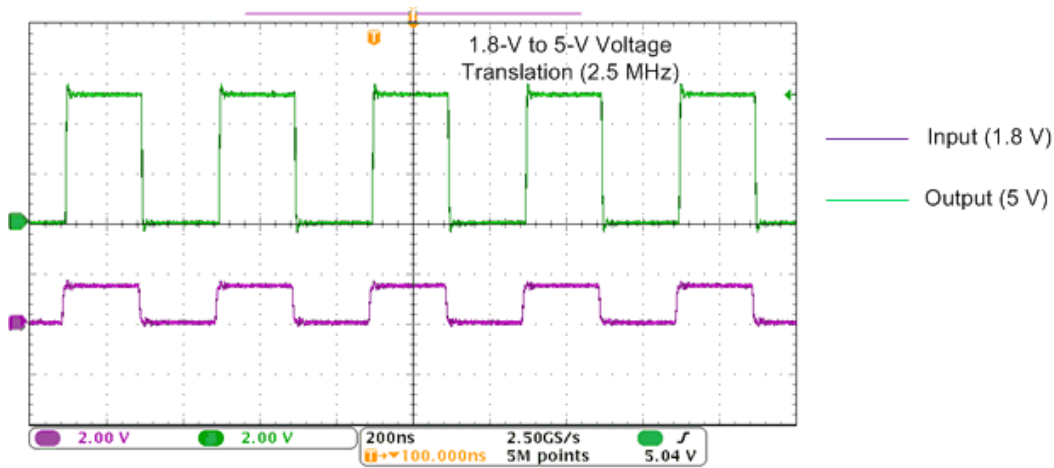


图 8-2. 在 2.5 MHz 时向上转换 (1.8V 至 5V)

8.2.2 双向逻辑电平转换应用

图 8-3 显示了 SN74LVC1T45 用于双向逻辑电平转换应用。由于 SN74LVC1T45 没有输出使能 ( $\overline{OE}$ ) 引脚，因此系统设计人员在改变方向时应采取预防措施，避免 SYSTEM-1 和 SYSTEM-2 之间发生总线争用。

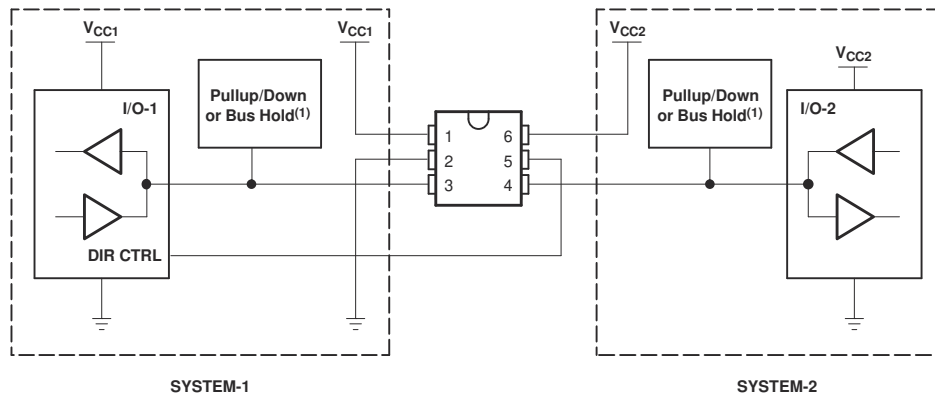


图 8-3. 双向逻辑电平转换应用

8.2.2.1 设计要求

请参阅 节 8.2.1.1。

8.2.2.2 详细设计过程

表 8-2 显示了从 SYSTEM-1 到 SYSTEM-2，然后从 SYSTEM-2 到 SYSTEM-1 的数据传输。

表 8-2. SYSTEM-1 和 SYSTEM-2 数据传输

状态	方向控制	I/O-1	I/O-2	说明
1	H	输出	输入	将 SYSTEM-1 数据发送到 SYSTEM-2
2	H	高阻态	高阻态	SYSTEM-2 已准备好向 SYSTEM-1 发送数据。I/O-1 和 I/O-2 被禁用。总线状态取决于上拉或下拉。(1)
3	L	高阻态	高阻态	DIR 位被翻转。I/O-1 和 I/O-2 仍被禁用。总线状态取决于上拉或下拉。(1)
4	L	输入	输出	将 SYSTEM-2 数据发送到 SYSTEM-1

(1) SYSTEM-1 和 SYSTEM-2 必须使用相同的条件，即同时上拉或同时下拉。



### 8.2.2.2.1 启用时间

使用以下公式计算 SN74LVC1T45 的启用时间：

- $t_{pZH}(\text{DIR 至 A}) = t_{pLZ}(\text{DIR 至 B}) + t_{pLH}(\text{B 至 A})$
- $t_{pZL}(\text{DIR 至 A}) = t_{pHZ}(\text{DIR 至 B}) + t_{pHL}(\text{B 至 A})$
- $t_{pZH}(\text{DIR 至 B}) = t_{pLZ}(\text{DIR 至 A}) + t_{pLH}(\text{A 至 B})$
- $t_{pZL}(\text{DIR 至 B}) = t_{pHZ}(\text{DIR 至 A}) + t_{pHL}(\text{A 至 B})$

在双向应用中，这些启用时间提供了从切换 DIR 位直至获得预期输出的最大延迟。例如，如果 SN74LVC1T45 最初是从 A 传输到 B，则切换 DIR 位；必须先禁用器件的 B 端口，然后为其提供输入。在 B 端口被禁用后，施加到它的输入信号会在指定的传播延迟后出现在相应的 A 端口上。

### 8.2.2.3 应用曲线

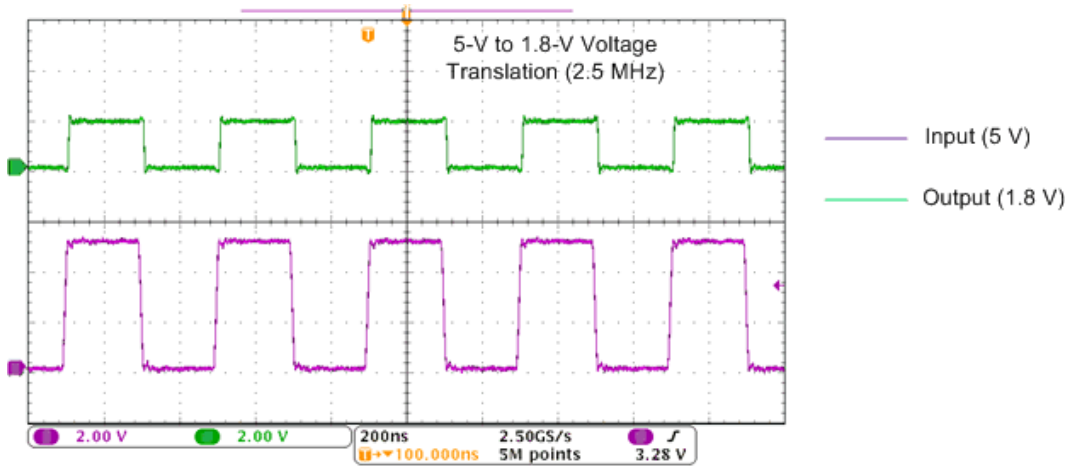


图 8-4. 在 2.5MHz 时向下转换 (5V 至 1.8V)

## 8.3 电源相关建议

始终首先对 GND 引脚应用接地基准。该器件专为无干扰电源时序而设计，没有任何电源时序要求，例如斜坡阶数或斜坡速率。

该器件在设计时考虑了各种电源时序方法，以帮助防止意外触发下游器件，如 [无干扰电源时序](#) 中所述。

## 8.4 布局

### 8.4.1 布局指南

为确保器件的可靠性，建议按照以下常见印刷电路板布局布线指南进行操作：

- 应该在电源上使用旁路电容器。
- 为了避免过多负载，应该使用短布线。
- 应根据系统要求在信号路径上放置用于加载电容器或上拉电阻器的焊盘，以帮助调整信号的上升和下降时间。

### 8.4.2 布局示例

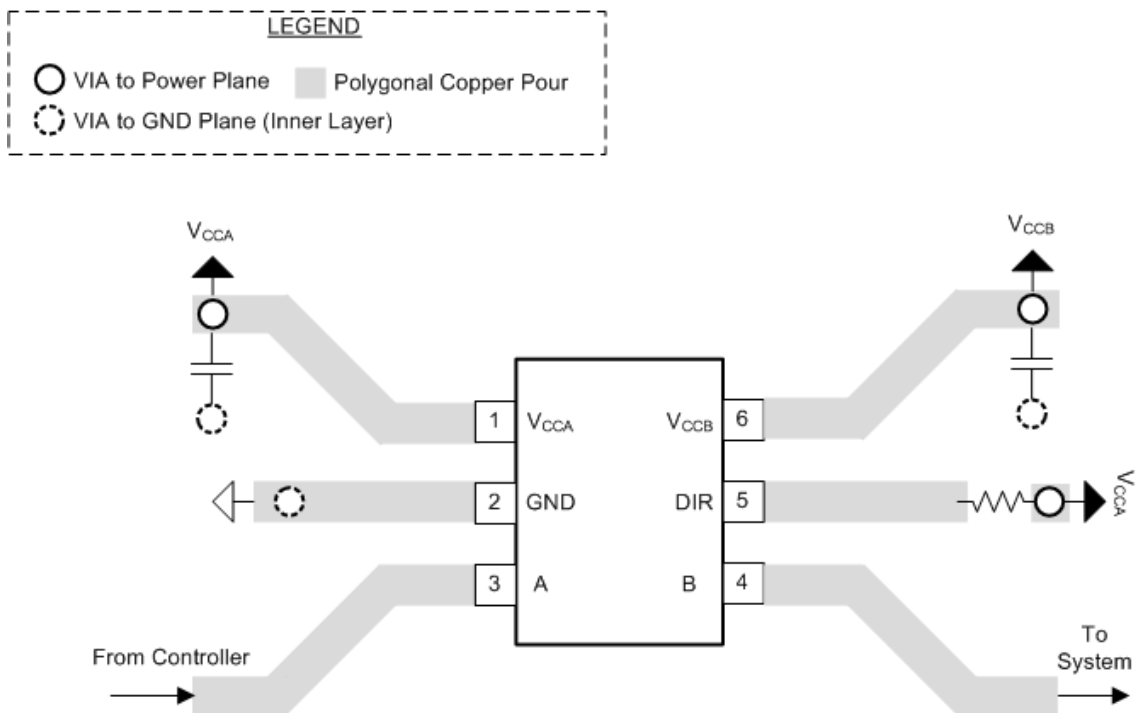


图 8-5. 布局示例

## 9 器件和文档支持

### 9.1 文档支持

#### 9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[CMOS 输入缓慢变化或悬空的影响](#)

### 9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](http://ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

### 9.4 商标

NanoFree™ is a trademark of Texas Instruments.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

### Changes from Revision M (November 2022) to Revision N (June 2024) Page

- 更新了 [电源相关建议](#) 部分..... **17**

### Changes from Revision L (February 2017) to Revision M (November 2022) Page

- 通篇更新了表格、图和交叉参考的编号格式..... **1**
- 更新了 [热性能信息](#) 部分中的所有热性能..... **5**
- 更新了 [开关特性](#) 部分：扩展了一些最小规格以实现更低的延迟..... **7**
- 更新了  $I_{off}$  [支持局部省电模式运行](#) 部分..... **13**
- 添加了 [平衡型高驱动 CMOS 推挽式输出](#) 和  $V_{CC}$  [隔离](#) 部分..... **13**

## 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LVC1T45DBVR	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 85	(2PUH, CT15, CT1F, CT1R)	<a href="#">Samples</a>
SN74LVC1T45DBVRE4	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(CT15, CT1F, CT1R)	<a href="#">Samples</a>
SN74LVC1T45DBVRG4	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(CT15, CT1F, CT1R)	<a href="#">Samples</a>
SN74LVC1T45DBVT	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 85	(CT15, CT1F, CT1R)	<a href="#">Samples</a>
SN74LVC1T45DBVTG4	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(CT15, CT1F, CT1R)	<a href="#">Samples</a>
SN74LVC1T45DCKR	ACTIVE	SC70	DCK	6	3000	RoHS & Green	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 85	(TA5, TAF, TAR)	<a href="#">Samples</a>
SN74LVC1T45DCKRE4	ACTIVE	SC70	DCK	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TA5, TAF, TAR)	<a href="#">Samples</a>
SN74LVC1T45DCKRG4	ACTIVE	SC70	DCK	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TA5, TAF, TAR)	<a href="#">Samples</a>
SN74LVC1T45DCKT	ACTIVE	SC70	DCK	6	250	RoHS & Green	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 85	(TA5, TAF, TAR)	<a href="#">Samples</a>
SN74LVC1T45DCKTE4	ACTIVE	SC70	DCK	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(TA5, TAF, TAR)	<a href="#">Samples</a>
SN74LVC1T45DPKR	ACTIVE	USON	DPK	6	5000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TA7	<a href="#">Samples</a>
SN74LVC1T45DRLR	ACTIVE	SOT-5X3	DRL	6	4000	RoHS & Green	NIPDAU   NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	(1JX, TA7, TAR)	<a href="#">Samples</a>
SN74LVC1T45DRLRG4	ACTIVE	SOT-5X3	DRL	6	4000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(1JX, TA7, TAR)	<a href="#">Samples</a>
SN74LVC1T45YZPR	ACTIVE	DSBGA	YZP	6	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(TA2, TA7, TAN)	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

#### **OTHER QUALIFIED VERSIONS OF SN74LVC1T45 :**

- Automotive : [SN74LVC1T45-Q1](#)
- Enhanced Product : [SN74LVC1T45-EP](#)

#### **NOTE: Qualified Version Definitions:**

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

## TAPE AND REEL INFORMATION



### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1T45DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DBVRE4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DBVRE4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DBVT	SOT-23	DBV	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DBVT	SOT-23	DBV	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DBVTG4	SOT-23	DBV	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DBVTG4	SOT-23	DBV	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1T45DCKR	SC70	DCK	6	3000	180.0	8.4	2.3	2.5	1.2	4.0	8.0	Q3
SN74LVC1T45DCKRE4	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1T45DCKT	SC70	DCK	6	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1T45DCKT	SC70	DCK	6	250	180.0	8.4	2.3	2.5	1.2	4.0	8.0	Q3
SN74LVC1T45DPKR	USON	DPK	6	5000	180.0	9.5	1.75	1.75	0.7	4.0	8.0	Q2
SN74LVC1T45DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3

---

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1T45YZPR	DSBGA	YZP	6	3000	178.0	9.2	1.02	1.52	0.63	4.0	8.0	Q1



**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1T45DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1T45DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1T45DBVRE4	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1T45DBVRE4	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1T45DBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1T45DBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1T45DBVT	SOT-23	DBV	6	250	210.0	185.0	35.0
SN74LVC1T45DBVT	SOT-23	DBV	6	250	210.0	185.0	35.0
SN74LVC1T45DBVTG4	SOT-23	DBV	6	250	210.0	185.0	35.0
SN74LVC1T45DBVTG4	SOT-23	DBV	6	250	210.0	185.0	35.0
SN74LVC1T45DCKR	SC70	DCK	6	3000	210.0	185.0	35.0
SN74LVC1T45DCKRE4	SC70	DCK	6	3000	180.0	180.0	18.0
SN74LVC1T45DCKT	SC70	DCK	6	250	180.0	180.0	18.0
SN74LVC1T45DCKT	SC70	DCK	6	250	210.0	185.0	35.0
SN74LVC1T45DPKR	USON	DPK	6	5000	184.0	184.0	19.0
SN74LVC1T45DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
SN74LVC1T45YZPR	DSBGA	YZP	6	3000	220.0	220.0	35.0

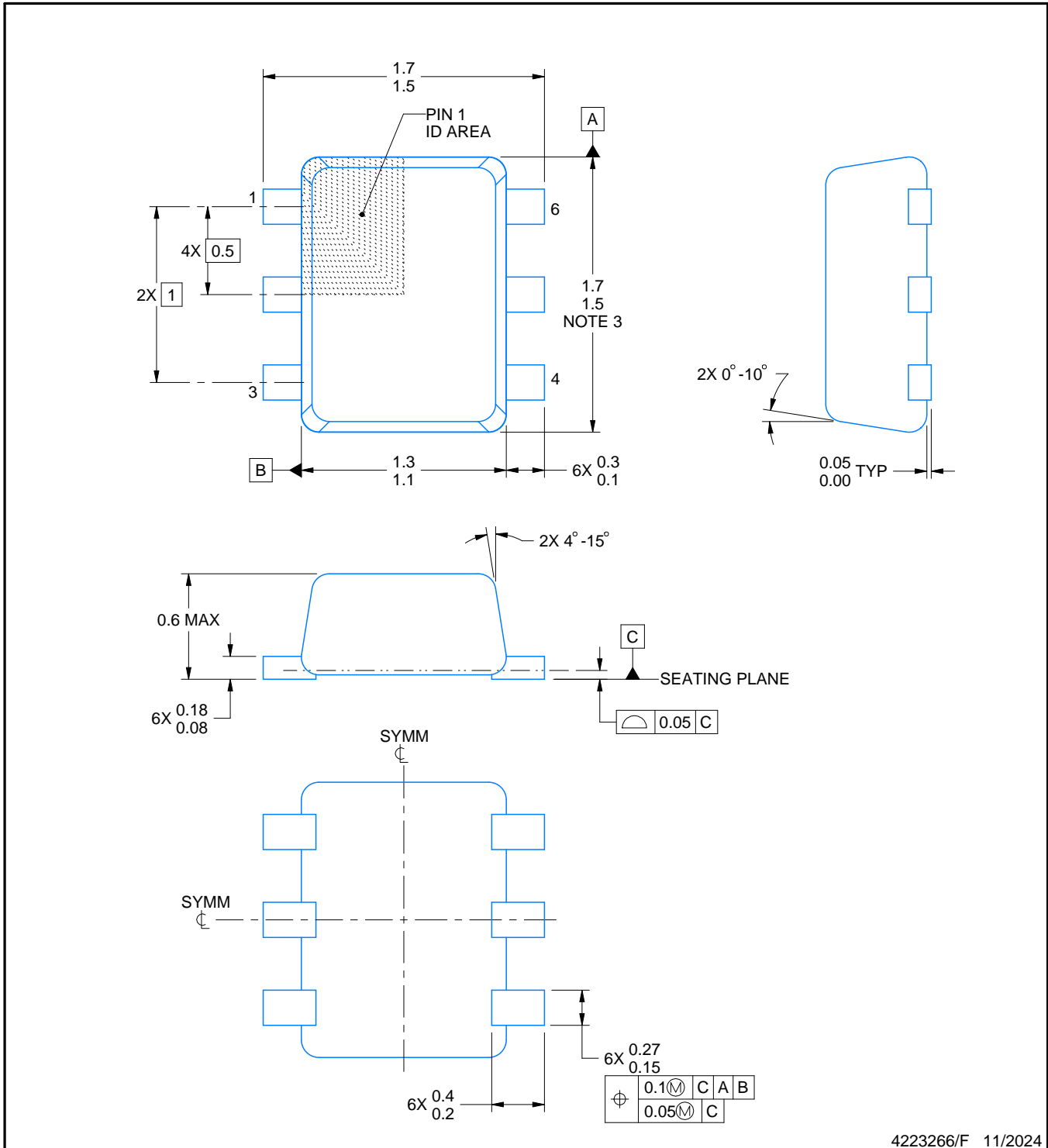
# DRL0006A



# PACKAGE OUTLINE

## SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



4223266/F 11/2024

### NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

# EXAMPLE BOARD LAYOUT

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

# EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# DBV0006A



# PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

# EXAMPLE BOARD LAYOUT

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

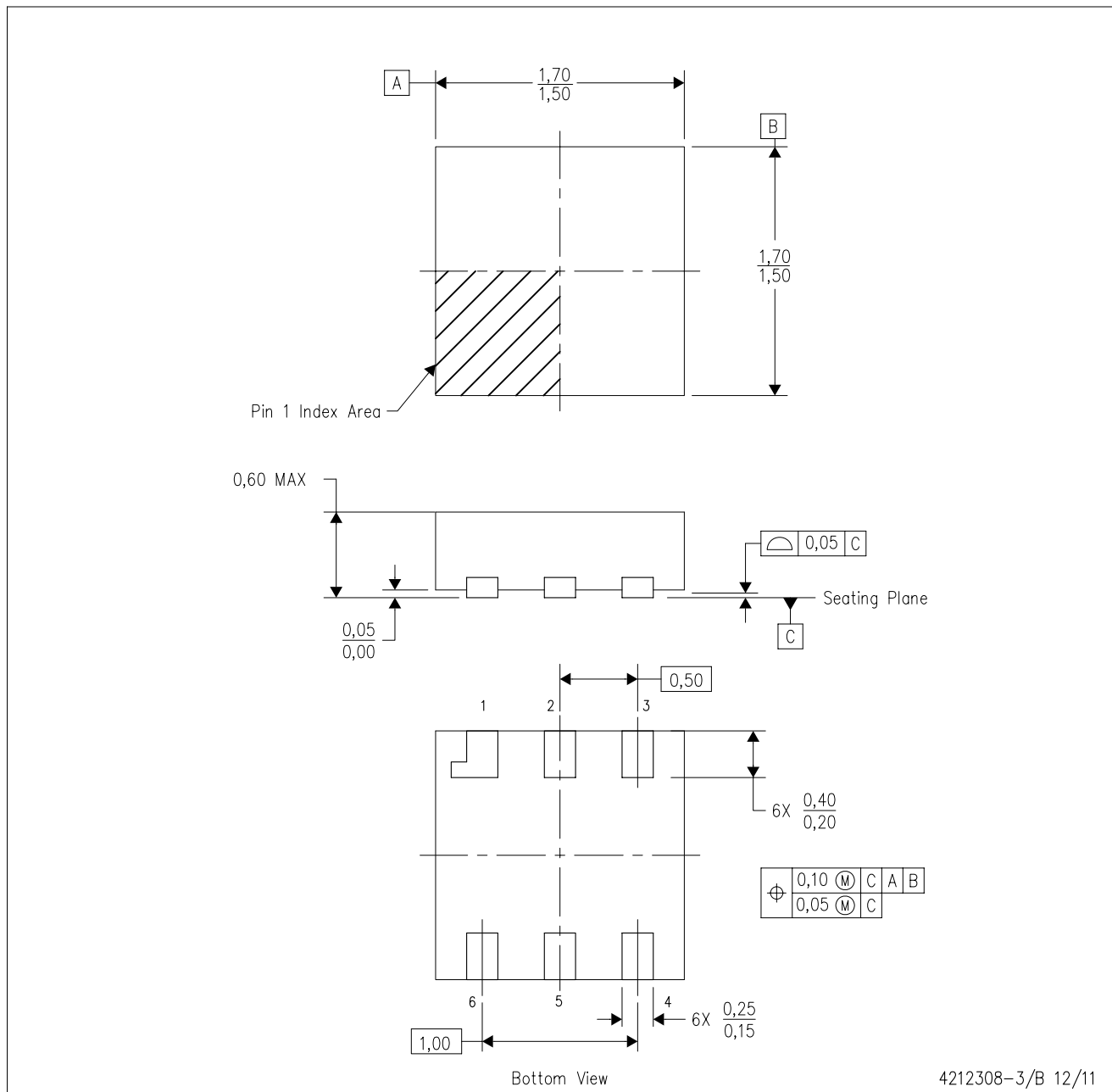
4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

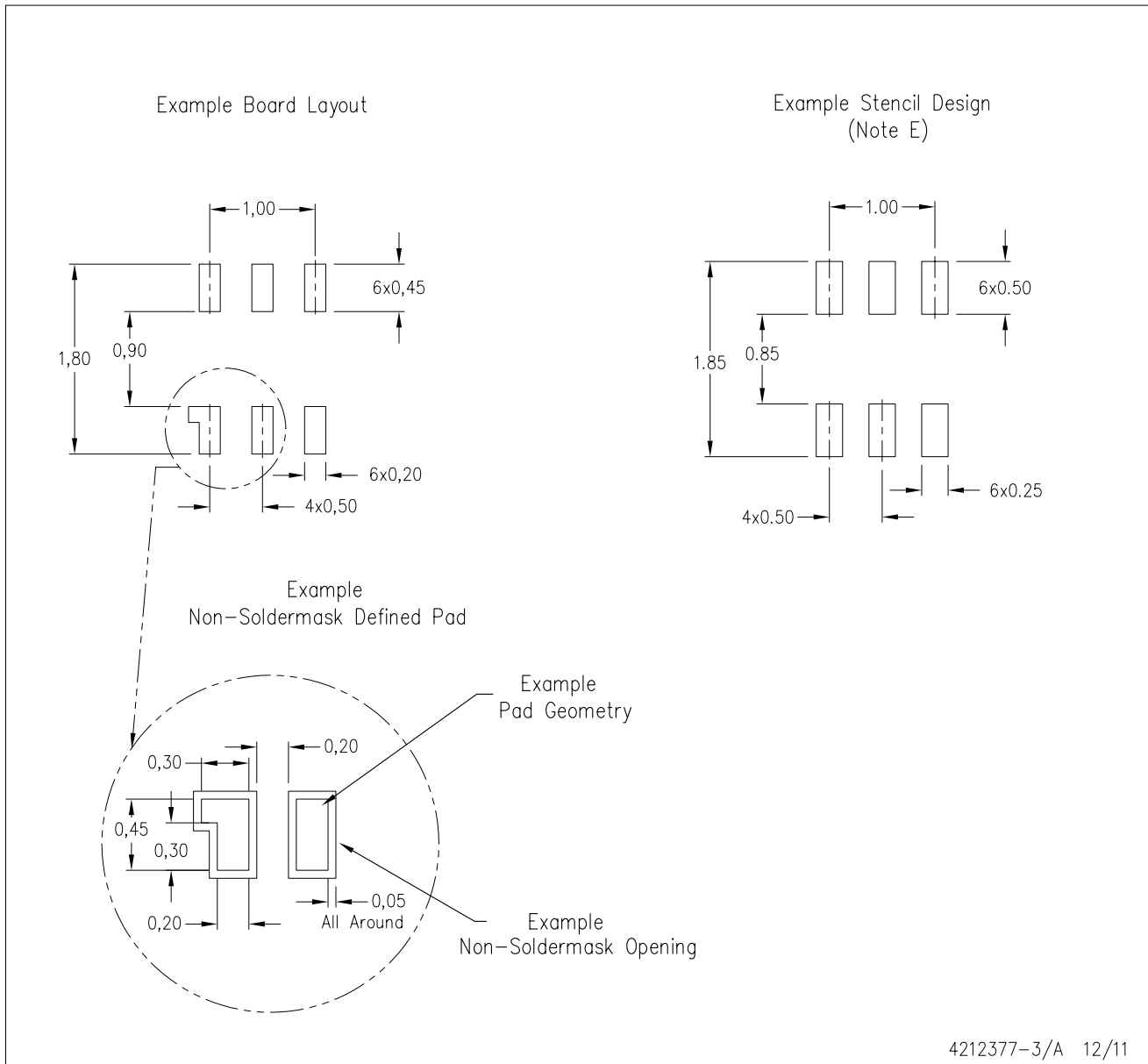
DPK (S-PUSON-N6)

PLASTIC SMALL OUTLINE NO-LEAD



NOTES: A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.  
 B. This drawing is subject to change without notice.





- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.
  - E. Maximum stencil thickness 0,127 mm (5 mils). All linear dimensions are in millimeters.
  - F. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
  - G. Side aperture dimensions over-print land for acceptable area ratio > 0.66. Customer may reduce side aperture dimensions if stencil manufacturing process allows for sufficient release at smaller opening.

YZP0006



PACKAGE OUTLINE

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



4219524/A 06/2014

NOTES:

NanoFree Is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. NanoFree™ package configuration.

# EXAMPLE BOARD LAYOUT

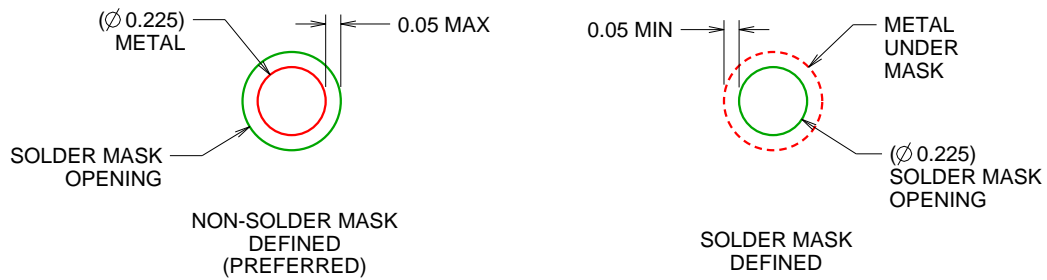
YZP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE  
SCALE:40X



SOLDER MASK DETAILS  
NOT TO SCALE

4219524/A 06/2014

NOTES: (continued)

- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SBVA017 ([www.ti.com/lit/sbva017](http://www.ti.com/lit/sbva017)).

# EXAMPLE STENCIL DESIGN

YZP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:40X

4219524/A 06/2014

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

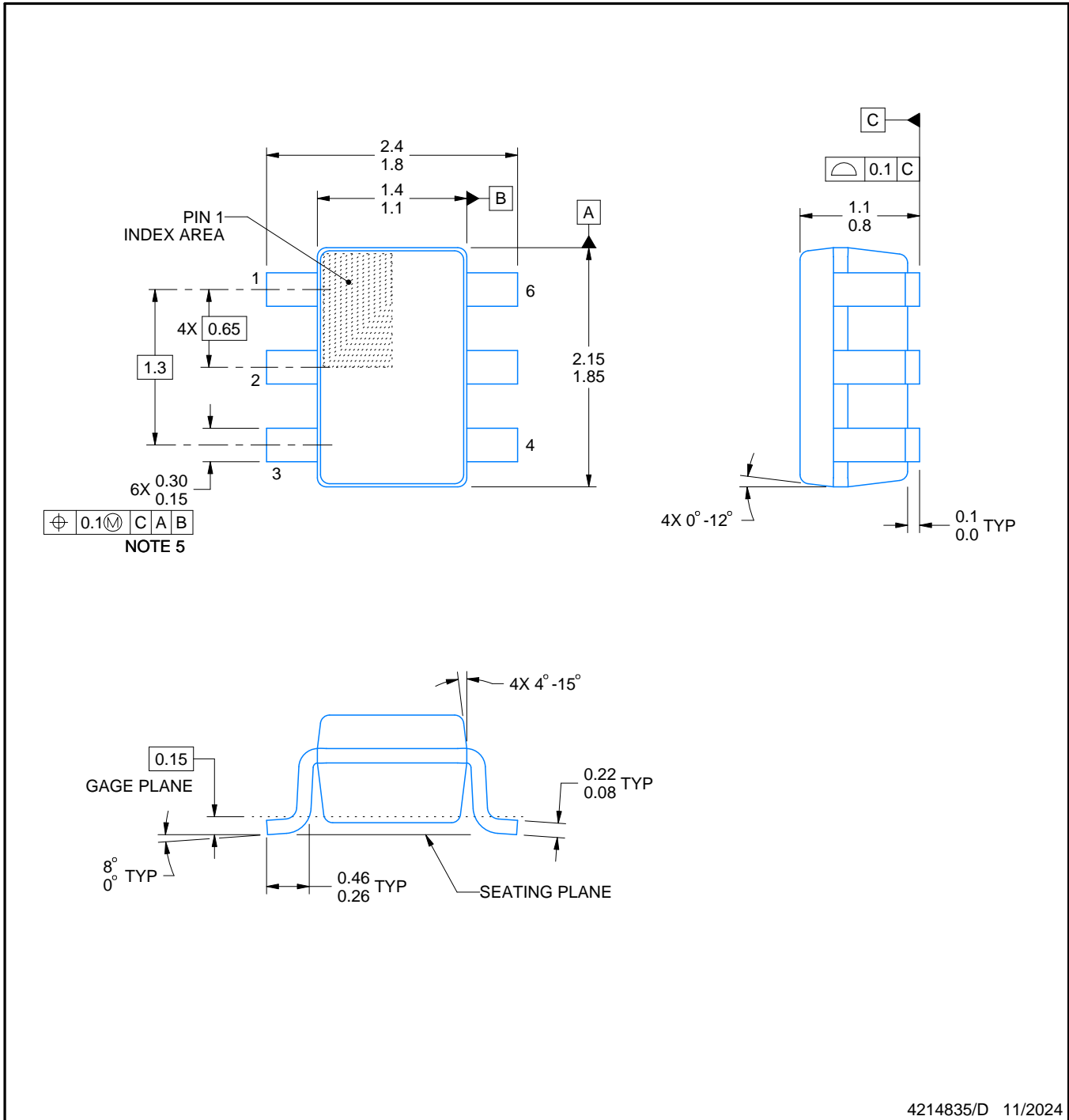
# DCK0006A



# PACKAGE OUTLINE

SOT - 1.1 max height

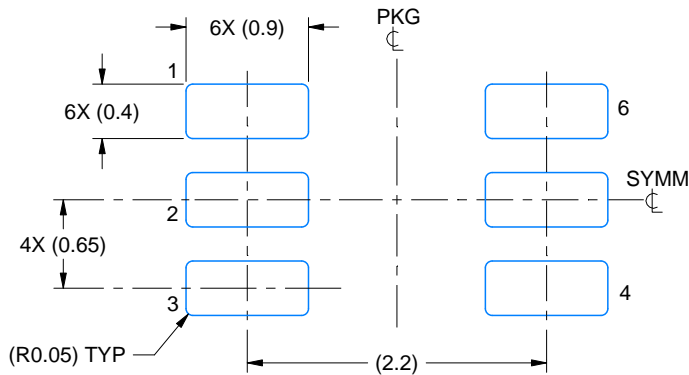
SMALL OUTLINE TRANSISTOR



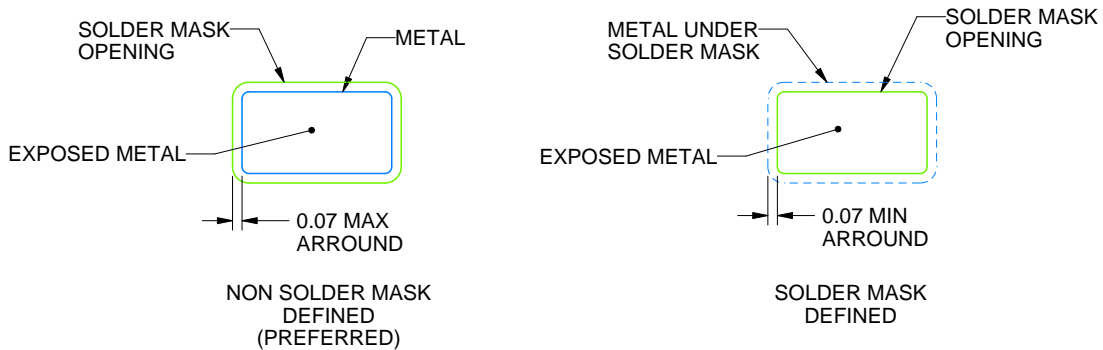
4214835/D 11/2024

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:18X



SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE  
BASED ON 0.125 THICK STENCIL  
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
版权所有 © 2025，德州仪器 (TI) 公司