

SN74LVCC4245A 具有可配置输出电压和三态输出的八路双电源总线收发器

1 特性

- 8 位方向控制型转换总线收发器
- A 端口的电压范围为 4.5V 至 5.5V，B 端口的电压范围为 2.7V 至 5.5V
- 稳健、无干扰供电时序
- V_{CC} 隔离和 V_{CC} 断开特性
 - 如果任何一个 V_{CC} 输入低于 100mV 或保持悬空，则所有 I/O 输出均禁用且变为高阻态
- 控制输入 V_{IH} 和 V_{IL} 电平以 V_{CCA} 电压为基准
- 高驱动强度，可承担更重的负载：3V 电源下的 24mA 驱动
- 闩锁性能超过 250mA，符合 JESD 17 规范
- 工作温度范围：-40°C 至 85°C
- ESD 保护性能超过 JESD 22 规范要求
 - 2000V 人体放电模型 (A114-A)
 - 1000V 充电器件模型 (C101)
- 与 SN74LVCC4245 兼容

2 应用

- 数据集中器：
- 三相 UPS
- 伺服驱动器功率级模块
- 空调室外机
- 串式逆变器
- 通信模块
- PLC、DCS 和 PAC

3 说明

这款 8 位（八路）同相总线收发器采用两个独立的电源轨。A 端口 V_{CCA} 专用于接受 5V 电源电平，可配置的 B 端口（旨在跟踪 V_{CCB} ）可接受 3V 至 5V 的电压。这可以实现从 3.3V 到 5V 环境的转换，反之亦然。

SN74LVCC4245A 器件旨在实现数据总线间的异步通信。根据方向控制 (DIR) 输入上的逻辑电平，SN74LVCC4245A 将数据从 A 总线发送至 B 总线，或者将数据从 B 总线发送至 A 总线。输出使能 (\overline{OE}) 输入可用于禁用器件，这样可有效隔离总线。控制电路 (DIR, OE) 由 V_{CCA} 供电。

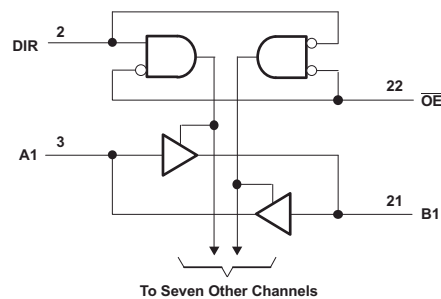
该器件专用于使用 I_{off} 的局部断电应用。 I_{off} 电路可禁用输出，以防在器件断电时电流回流对器件造成损坏。 V_{CC} 隔离特性经过设计，可确保当 V_{CCA} 或 V_{CCB} 低于 100mV 时，I/O 端口均禁用其输出并进入高阻态。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
SN74LVCC4245A	DB (SSOP, 24)	8.2mm × 7.8mm
	DW (SOIC, 24)	15.5mm × 10.3mm
	NS (SOP, 24)	15mm × 7.8mm
	PW (TSSOP, 24)	9.7mm × 6.4mm

(1) 有关更多信息，请参阅节 14

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



逻辑图 (正逻辑)



内容

1 特性	1	10 详细说明	13
2 应用	1	10.1 概述.....	13
3 说明	1	10.2 功能方框图.....	13
4 引脚配置和功能	3	10.3 特性说明.....	13
5 规格	4	10.4 器件功能模式.....	14
5.1 绝对最大额定值.....	4	11 应用和实施	15
5.2 ESD 等级.....	4	11.1 应用信息.....	15
5.3 建议运行条件.....	5	11.2 典型应用.....	15
5.4 热性能信息.....	6	11.3 电源相关建议.....	16
5.5 电气特性.....	6	11.4 布局.....	16
5.6 开关特性.....	7	12 器件和文档支持	18
5.7 工作特性.....	7	12.1 文档支持.....	18
5.8 典型特性.....	8	12.2 接收文档更新通知.....	18
6 A 到 B 参数测量信息 : $V_{CCA} = 4.5V$ 至 $5.5V$, V_{CCB} = $2.7V$ 至 $3.6V$	9	12.3 支持资源.....	18
7 A 到 B 参数测量信息 : $V_{CCA} = 4.5V$ 至 $5.5V$, V_{CCB} = $3.6V$ 至 $5.5V$	10	12.4 商标.....	18
8 B 到 A 参数测量信息 : $V_{CCA} = 4.5V$ 至 $5.5V$, V_{CCB} = $2.7V$ 至 $3.6V$	11	12.5 静电放电警告.....	18
9 B 到 A 参数测量信息 : $V_{CCA} = 4.5V$ 至 $5.5V$, V_{CCB} = $3.6V$ 至 $5.5V$	12	12.6 术语表.....	18
		13 修订历史记录	19
		14 机械、封装和可订购信息	19

4 引脚配置和功能

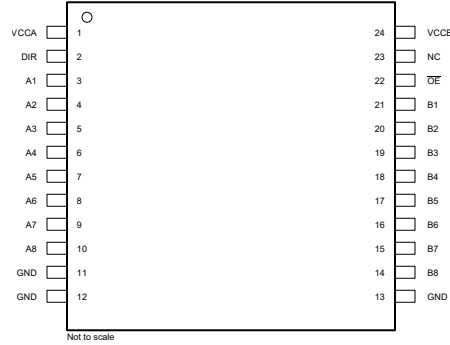


图 4-1. DB、DW、NS 或 PW 封装，SSOP、SOIC、SOP 或 TSSOP (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
VCCA	1	—	A 端口电源
DIR	2	I	DIR 输入
A1	3	I/O	A1 端口
A2	4	I/O	A2 端口
A3	5	I/O	A3 端口
A4	6	I/O	A4 端口
A5	7	I/O	A5 端口
A6	8	I/O	A6 端口
A7	9	I/O	A7 端口
A8	10	I/O	A8 端口
GND	11	—	接地
GND	12	—	
GND	13	—	
B8	14	I/O	B8 端口
B7	15	I/O	B7 端口
B6	16	I/O	B6 端口
B5	17	I/O	B5 端口
B4	18	I/O	B4 端口
B3	19	I/O	B3 端口
B2	20	I/O	B2 端口
B1	21	I/O	B1 端口
OE	22	I	输出使能低电平有效
NC	23	—	未连接
VCCB	24	—	B 端口电源

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位	
V_{CCA} V_{CCB}	电源电压范围	-0.5	6	V	
V_I	输入电压范围 ⁽²⁾	I/O 端口 (A 端口)	-0.5	$V_{CCA} + 0.5$	V
		I/O 端口 (B 端口)	-0.5	$V_{CCB} + 0.5$	
		除了 I/O 端口	-0.5	$V_{CCA} + 0.5$	
V_O	输出电压范围 ⁽²⁾	A 端口	-0.5	$V_{CCA} + 0.5$	V
		B 端口	-0.5	$V_{CCB} + 0.5$	
I_{IK}	输入钳位电流	$V_I < 0$		-50	mA
I_{OK}	输出钳位电流	$V_O < 0$		-50	mA
I_O	持续输出电流			± 50	mA
	通过 V_{CCA} 、 V_{CCB} 或 GND 的连续电流			± 100	mA
θ_{JA}	封装热阻 ⁽³⁾	DW 封装		46	°C/W
		NS 封装		65	
T_{stg}	贮存温度范围	-65	150	°C	

(1) 应力超出绝对最大额定值中列出的值时，可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，并不表示器件在这些条件下以及在“建议工作条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 该值被限制为最大 6V。

(3) 封装热阻根据 JESD 51-7 计算。

5.2 ESD 等级

参数	定义	值	单位
$V_{(ESD)}$	静电放电		
	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	2000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

(1)

		V _{CCA}	V _{CCB}	最小值	标称值	最大值	单位
V _{CCA}	电源电压			4.5	5	5.5	V
V _{CCB}	电源电压			2.7	3.3	5.5	V
V _{IHA}	高电平输入电压	4.5V	2.7V	2		V	
			3.6V	2			
			5.5V	2			
V _{IHB}	高电平输入电压	4.5V	2.7V	2		V	
			3.6V	2			
			5.5V	3.85			
V _{ILA}	低电平输入电压	4.5V	2.7V	0.8		V	
			3.6V	0.8			
			5.5V	0.8			
V _{ILB}	低电平输入电压	4.5V	2.7V	0.8		V	
			3.6V	0.8			
			5.5V	1.65			
V _{IH}	高电平输入电压 (控制引脚) (以 V _{CCA} 为基准)	4.5V	2.7V	2		V	
			3.6V	2			
			5.5V	2			
V _{IL}	低电平输入电压 (控制引脚) (以 V _{CCA} 为基准)	4.5V	2.7V	0.8		V	
			3.6V	0.8			
			5.5V	0.8			
V _{IA}	输入电压			0		V _{CCA}	V
V _{IB}	输入电压			0		V _{CCB}	V
V _{OA}	输出电压			0		V _{CCA}	V
V _{OB}	输出电压			0		V _{CCB}	V
I _{OHA}	高电平输出电流	4.5V	3V			-24	mA
I _{OHB}	高电平输出电流	4.5V	2.7V 至 4.5V			-24	mA
I _{OLA}	低电平输出电流	4.5V	3V			24	mA
I _{OLB}	低电平输出电流	4.5V	2.7V 至 4.5V			24	mA
T _A	自然通风条件下的工作温度			-40		85	°C

(1) 器件所有的未使用输入必须被保持在关联的 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告, CMOS 输入缓慢或悬空的影响, 文献编号 SCBA004。

5.4 热性能信息

热指标 ⁽¹⁾		SN74LVCC4245A		单位
		PW (TSSOP)	DB (SSOP)	
		24 引脚	24 引脚	
$R_{\theta JA}$	结至环境热阻	100.6	90.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	44.7	51.9	°C/W
$R_{\theta JB}$	结至电路板热阻	55.8	49.7	°C/W
ψ_{JT}	结至顶部特征参数	6.8	18.8	°C/W
ψ_{JB}	结至电路板特征参数	55.4	49.3	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数		测试条件	V_{CCA}	V_{CCB}	最小值	典型值	最大值	单位
V_{OHA}		$I_{OH} = -100\mu A$	4.5V	3V	4.4	4.49		V
		$I_{OH} = -24mA$	4.5V	3V	3.76	4.25		
V_{OHB}		$I_{OH} = -100\mu A$	4.5V	3V	2.9	2.99		V
		$I_{OH} = -12mA$	4.5V	2.7V	2.2	2.5		
				3V	2.46	2.85		
		$I_{OH} = -24mA$	4.5V	2.7V	2.1	2.3		
3V	2.25			2.65				
V_{OLA}		$I_{OL} = 100\mu A$	4.5V	3V			0.1	V
		$I_{OL} = 24mA$	4.5V	3V		0.21	0.44	
V_{OLB}		$I_{OL} = 100\mu A$	4.5V	3V			0.1	V
		$I_{OL} = 12mA$	4.5V	2.7V		0.22	0.5	
				3V		0.21	0.44	
		$I_{OL} = 24mA$	4.5V	4.5V		0.18	0.44	
I_I	控制输入	$V_I = V_{CCA}$ 或 GND	5.5V	3.6V	± 0.1	± 1	μA	
I_{off}	输入和输出断电 泄漏电流	V_I 或 $V_O = 0V$ 至 5.5V	$V_{CCA} = 0$ 至 5.5V	$V_{CCB} = 0V$	± 0.5	± 2	μA	
			$V_{CCA} = 0$ 至 5.5V	$V_{CCB} = 0V$	± 0.5	± 2	μA	
$I_{OZ}^{(1)}$	A 或 B 端口	$V_O = V_{CCA/B}$ 或 GND, $V_I = V_{IL}$ 或 V_{IH}	5.5V	3.6V	± 0.5	± 5	μA	
I_{CCA}	B 转 A	$A_n = V_{CC}$ 或 GND	5.5V	开路	8	18	μA	
		I_O (A 端口) = 0, $B_n = V_{CCB}$ 或 GND	5.5V	3.6V	8	18		
I_{CCB}	A 转 B	$A_n = V_{CCA}$ 或 GND, I_O (B 端口) = 0	5.5V	3.6V	5	15	μA	
				5.5V	8	18		

5.5 电气特性 (续)

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数		测试条件	V _{CCA}	V _{CCB}	最小值	典型值	最大值	单位
ΔI_{CCA} (2)	A 端口	V _I = V _{CCA} - 2.1V, V _{CCA} 或 GND 时的其他输入, GND 时为 \overline{OE} , V _{CCA} 时为 DIR	5.5V	5.5V	1.35	1.5		mA
	\overline{OE}	V _I = V _{CCA} - 2.1V, V _{CCA} 或 GND 时为其他输入, V _{CCA} 或 GND 时为 DIR	5.5V	5.5V	1	1.5		
	DIR	V _I = V _{CCA} - 2.1V, V _{CCA} 或 GND 时为其他输入, V _{CCA} 或 GND 时为 \overline{OE}	5.5V	3.6V	1	1.5		
ΔI_{CCB} (2)	B 端口	V _I = V _{CCB} - 0.6V, V _{CCB} 或 GND 时为其他输入, GND 时为 \overline{OE} , GND 时为 DIR	5.5V	3.6V	0.35	0.5		mA
C _i	控制输入	V _I = V _{CCA} 或 GND	开路	开路	5			pF
C _{io}	A 或 B 端口	V _O = V _{CCA/B} 或 GND	5V	3.3V	11			pF

(1) 对于 I/O 端口, 参数 I_{OZ} 包括输入漏电流。

(2) 这是每个输入在指定 TTL 电压电平之一而不是 0V 或关联 V_{CC} 时电源电流的增加情况。

5.6 开关特性

在自然通风条件下的建议工作温度范围内测得, C_L = 50pF (除非另有说明) (请参阅图 6-1 和图 9-1)

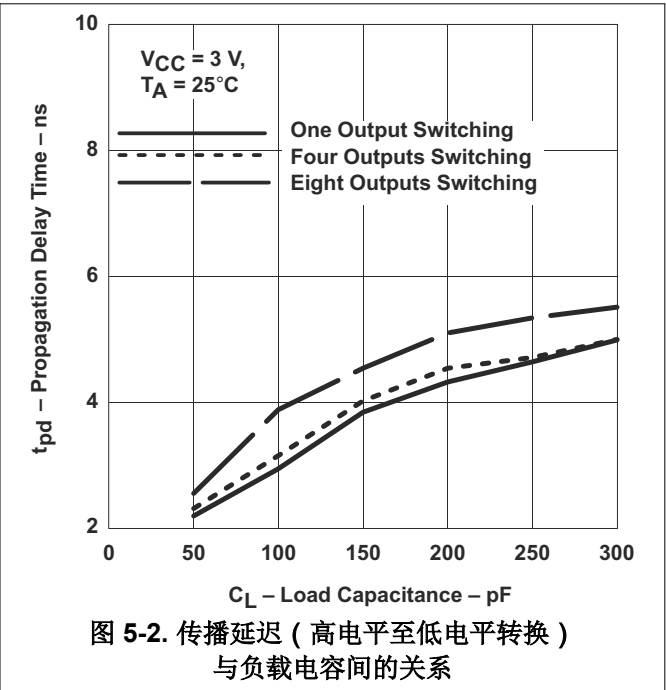
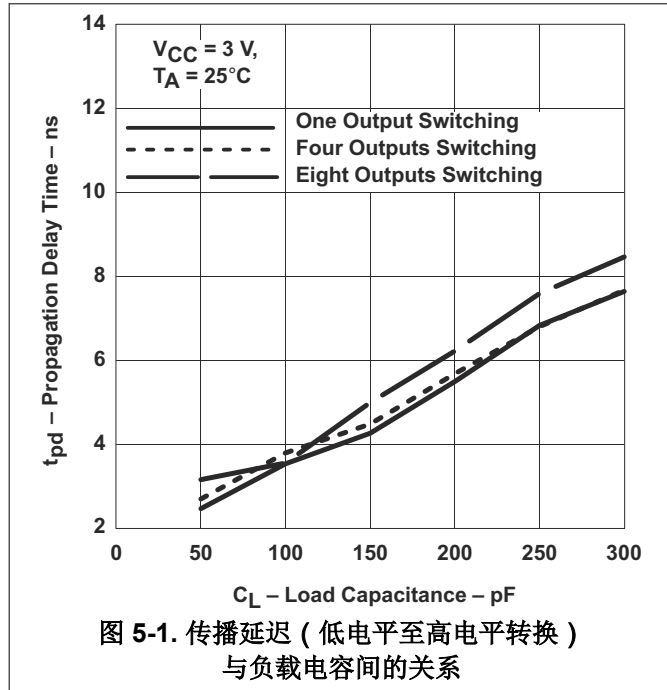
参数	从 (输入)	至 (输出)	V _{CCA} = 5V ± 0.5V, V _{CCB} = 5V ± 0.5V		V _{CCA} = 5V ± 0.5V, V _{CCB} = 2.7V 至 3.6V		单位
			最小值	最大值	最小值	最大值	
t _{PHL}	A	B	1	7.1	1	7	ns
t _{PLH}			1	6	1	7	
t _{PHL}	B	A	1	6.8	1	6.2	ns
t _{PLH}			1	6.1	1	5.3	
t _{PZL}	\overline{OE}	A	1	9	1	9	ns
t _{PZH}			1	8.3	1	8	
t _{PZL}	\overline{OE}	B	1	8.2	1	10	ns
t _{PZH}			1	8.1	1	10.2	
t _{PLZ}	\overline{OE}	A	1	4.7	1	5.2	ns
t _{PHZ}			1	4.9	1	5.2	
t _{PLZ}	\overline{OE}	B	1	5.4	1	5.9	ns
t _{PHZ}			1	6.3	1	7.4	

5.7 工作特性

V_{CCA} = 5V, V_{CCB} = 3.3V, T_A = 25°C

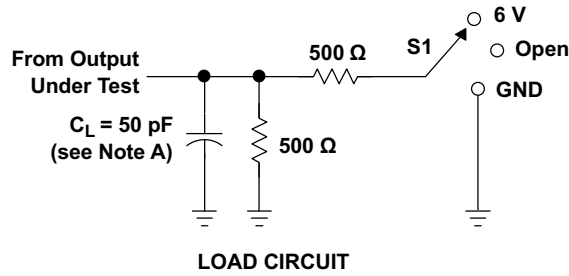
参数		测试条件	典型值	单位
C _{pd} 每个收发器的功率耗散电容	输出已启用	C _L = 0, f = 10MHz	20	pF
	输出已禁用		6.5	

5.8 典型特性

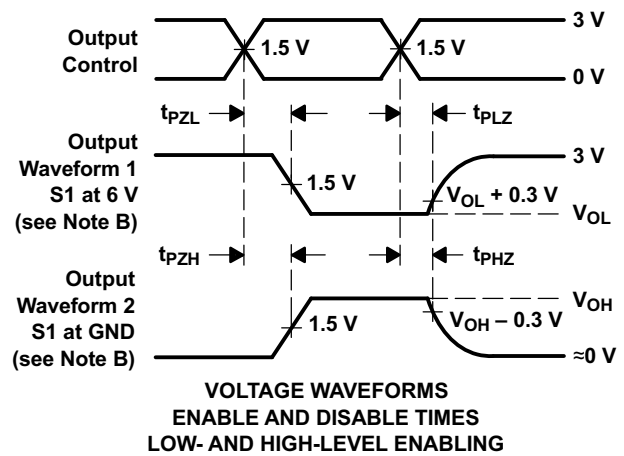
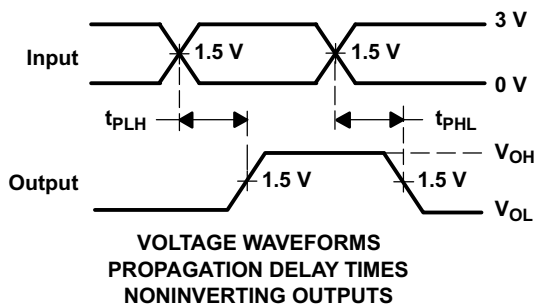
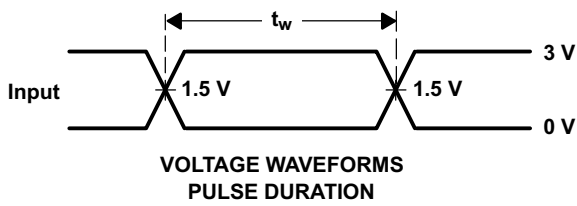


6 A 到 B 参数测量信息：

$V_{CCA} = 4.5V$ 至 $5.5V$, $V_{CCB} = 2.7V$ 至 $3.6V$



TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	6 V
t_{PHZ}/t_{PZH}	GND

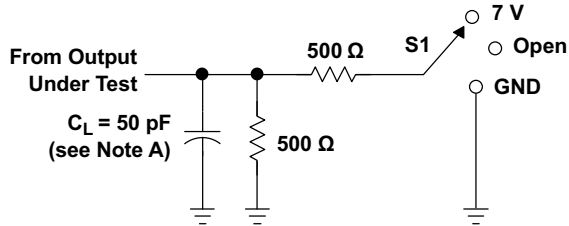


- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, $Z_O = 50 \Omega$, $t_r \leq 2.5$ ns, $t_f \leq 2.5$ ns.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. All parameters and waveforms are not applicable to all devices.

图 6-1. 负载电路和电压波形

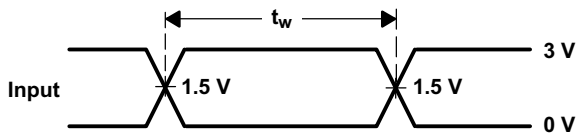
7 A 到 B 参数测量信息：

$V_{CCA} = 4.5V$ 至 $5.5V$, $V_{CCB} = 3.6V$ 至 $5.5V$

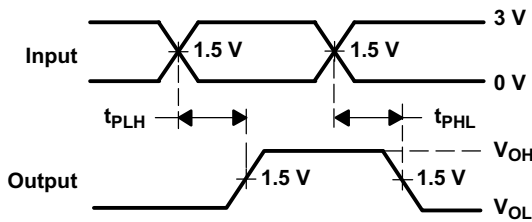


LOAD CIRCUIT

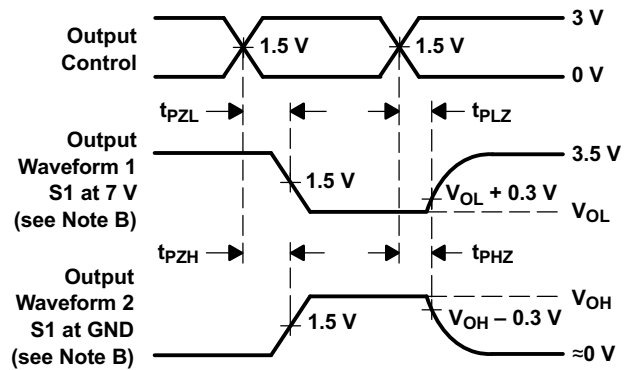
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	7 V
t_{PHZ}/t_{PZH}	GND



**VOLTAGE WAVEFORMS
PULSE DURATION**



**VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
NONINVERTING OUTPUTS**



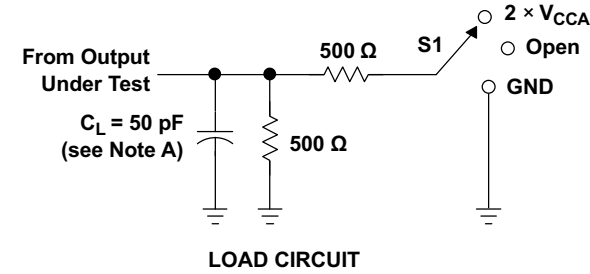
**VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING**

- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, $Z_O = 50 \Omega$, $t_r \leq 2.5$ ns, $t_f \leq 2.5$ ns.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. All parameters and waveforms are not applicable to all devices.

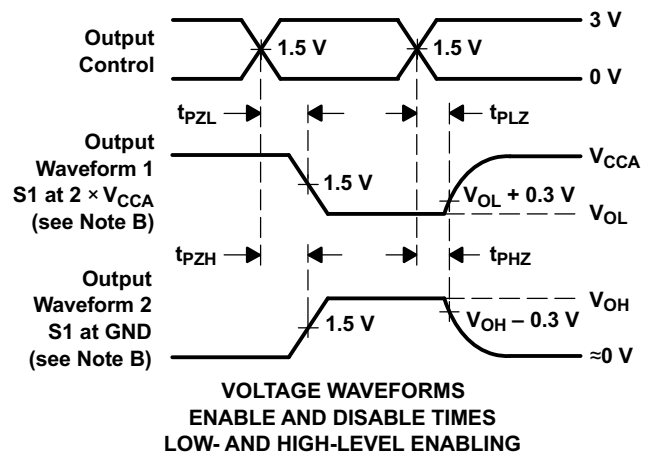
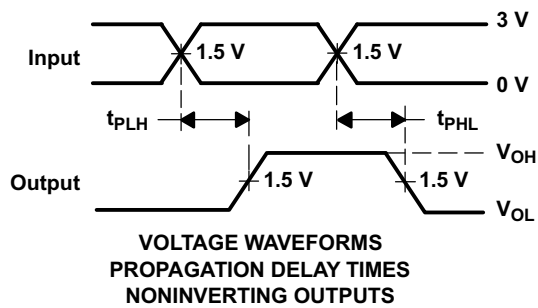
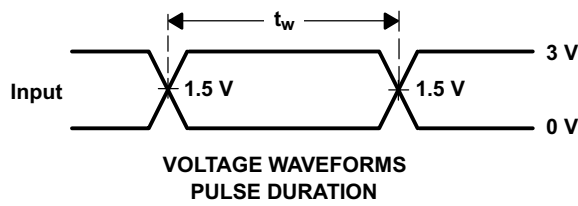
图 7-1. 负载电路和电压波形

8 B 到 A 参数测量信息：

$V_{CCA} = 4.5V$ 至 $5.5V$, $V_{CCB} = 2.7V$ 至 $3.6V$



TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	$2 \times V_{CCA}$
t_{PHZ}/t_{PZH}	GND

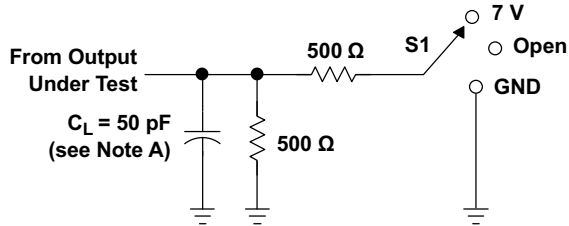


- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 10$ MHz, $Z_O = 50 \Omega$, $t_r \leq 2.5$ ns, $t_f \leq 2.5$ ns.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. All parameters and waveforms are not applicable to all devices.

图 8-1. 负载电路和电压波形

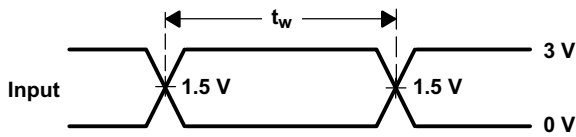
9 B 到 A 参数测量信息：

$V_{CCA} = 4.5V$ 至 $5.5V$, $V_{CCB} = 3.6V$ 至 $5.5V$

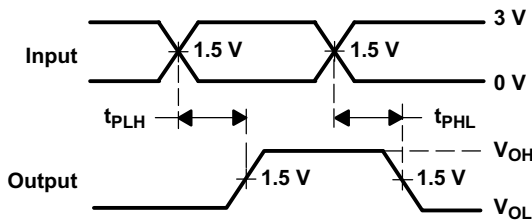


LOAD CIRCUIT

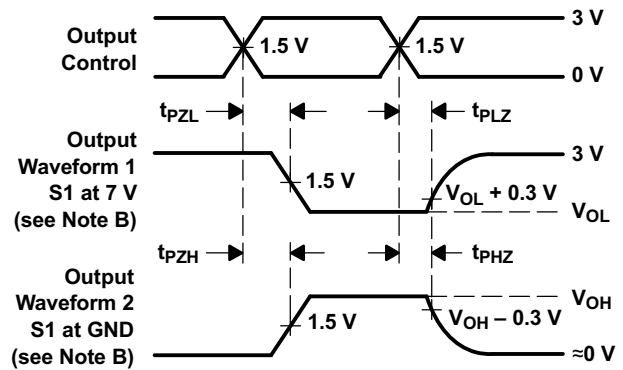
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	7 V
t_{PHZ}/t_{PZH}	GND



**VOLTAGE WAVEFORMS
PULSE DURATION**



**VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
NONINVERTING OUTPUTS**



**VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING**

- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 10$ MHz, $Z_O = 50 \Omega$, $t_r \leq 2.5$ ns, $t_f \leq 2.5$ ns.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. All parameters and waveforms are not applicable to all devices.

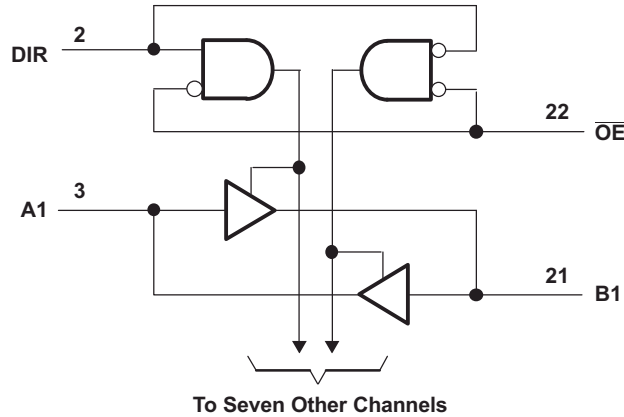
图 9-1. 负载电路和电压波形

10 详细说明

10.1 概述

SN74LVCC4245A 是一款 8 位 (八路) 同相总线收发器，包含两个独立的电源轨；B 端口具有 V_{CCB} ，设置为 3.3V；A 端口具有 V_{CCA} ，设置为 5V。这样可实现从 3.3V 到 5V 的环境转换 (反之亦然) 专为数据总线之间的异步通信而设计。无干扰电源时序使电源轨能以任何顺序打开或关断，从而提供强大的电源时序性能。根据方向控制 (DIR) 输入上的逻辑电平，此器件将数据从 A 总线发送至 B 总线，或者将数据从 B 总线发送至 A 总线。输出使能 (\overline{OE}) 输入可用于禁用器件，这样可有效隔离总线。控制电路 (DIR, \overline{OE}) 由 V_{CCA} 供电。

10.2 功能方框图



10.3 特性说明

- 3V 电源下的 24mA 驱动
 - 适合较重的负载和较长的布线
- 低 V_{IH}
 - 允许在 3.3V 至 5V 之间转换

10.3.1 无干扰供电时序

任一电源轨都可以按任何顺序通电或断电，且不会在 I/O 上产生干扰 (即，必须保持低电平时输出错误地转换至 VCC，反之亦然)。这种性质的干扰脉冲可能会被外设误认为是有效的数据位，这可能会触发外设的器件错误复位、外设的错误器件配置甚至外设的数据初始化错误。

10.3.2 V_{CC} 隔离和 V_{CC} 断开

当任一电源低于 100mV 或保持悬空 (断开) 时，I/O 会进入高阻抗状态，而另一个电源仍连接到该器件。建议在将任一电源悬空 (断开) 之前，不要驱动此器件的 I/O 或将其保持低电平状态。进出器件任何输入或输出引脚的最大漏电流由 *电气特性* 中的 I_{off} 指定。

10.4 器件功能模式

表 10-1. 功能表
(每个收发器)

输入		OPERATION
OE	DIR	
L	L	B 数据到 A 总线
L	H	A 数据到 B 总线
H	X	隔离

11 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

11.1 应用信息

SN74LVCC4245A 器件的引脚排列允许设计人员切换到正常的全 3.3V 或全 5V 20 引脚 '245 器件，而无需重新设计电路板。设计人员可以使用 SN74LVCC4245A 的 2 到 11 和 14 到 23 引脚的数据路径来与传统的 SN74LVCC4245A 器件的引脚排列保持一致。SN74LVCC4245A 是一款高驱动 CMOS 器件，可用于需要考虑输出驱动或 PCB 布线长度的多种总线接口类型应用。

11.2 典型应用

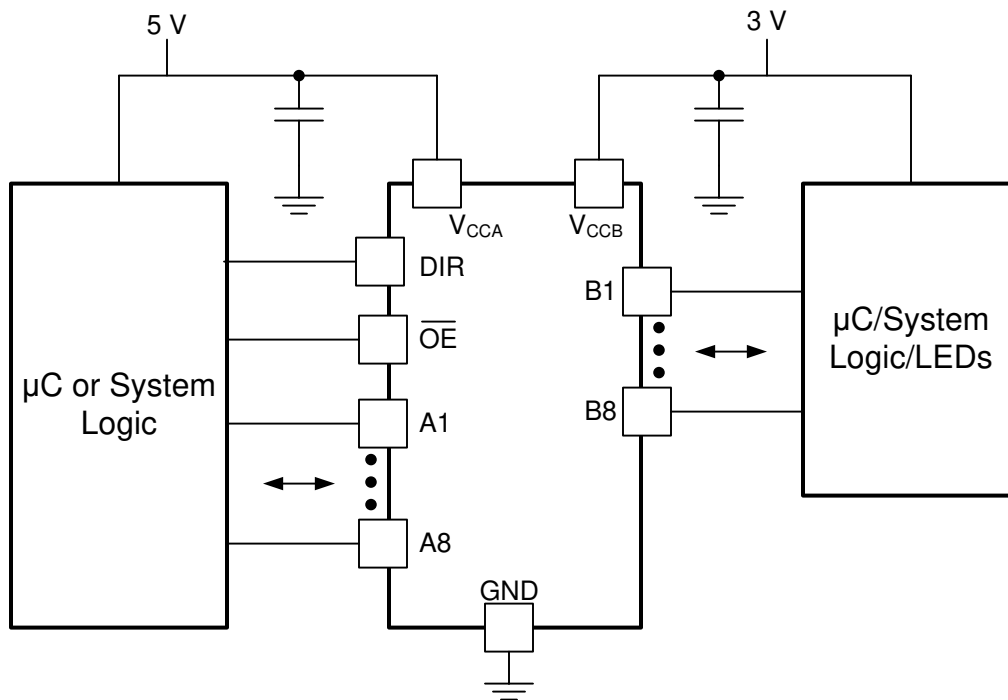


图 11-1. 典型应用原理图

11.2.1 设计要求

此器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限制的电流。高驱动也会在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。

11.2.2 详细设计过程

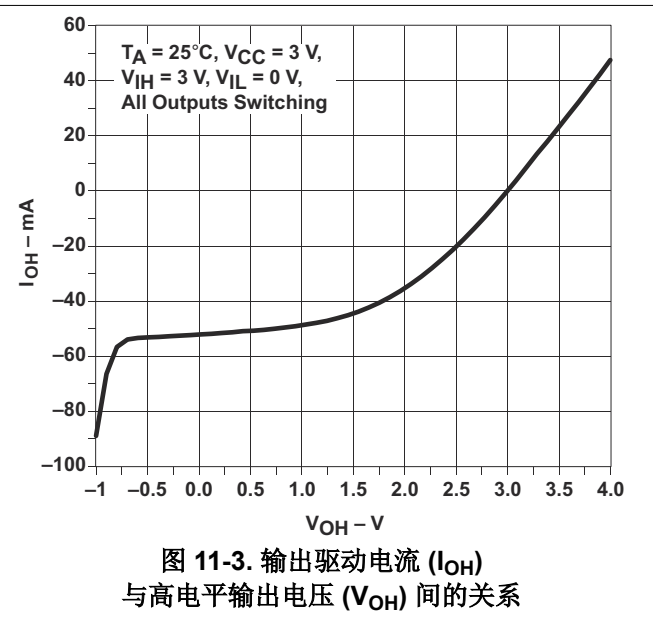
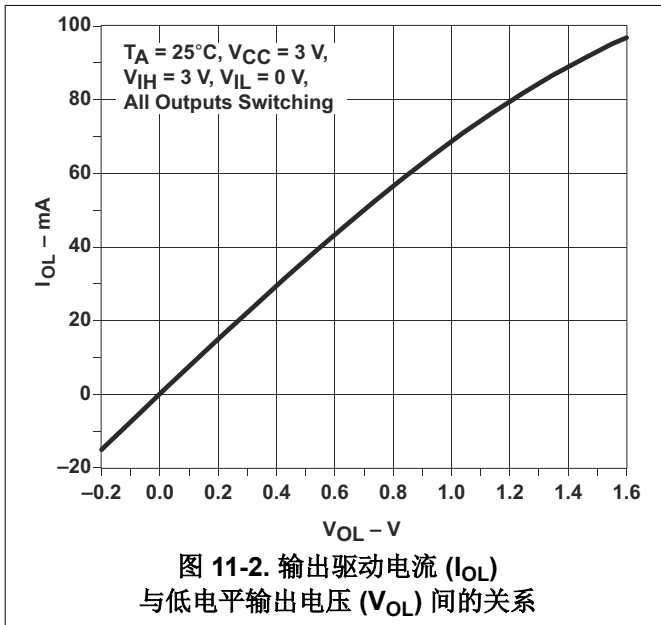
1. 建议的输入条件：

- 有关上升时间和下降时间规格，请参阅 [建议运行条件](#) 表中的 ($\Delta t / \Delta V$)。
- 有关指定的高电平和低电平，请参阅 [建议运行条件](#) 表中的 (V_{IH} 和 V_{IL})。

2. 建议的输出条件：

- 每路输出的负载电流不应超过 (I_O 最大值)，且不能超过该器件的总电流 (通过 V_{CC} 或 GND 的持续电流)。这些限值位于 [绝对最大额定值](#) 表中。
- 输出不应被拉至高于 V_{CC} 。
- 如果用户希望降低输出边沿信号的速度或限制输出电流，则可以在输出端使用串联电阻器。

11.2.3 应用曲线



11.3 电源相关建议

始终首先对 GND 引脚应用接地基准。该器件专为无干扰电源时序而设计，没有任何电源时序要求，例如斜坡阶数。该器件在设计时考虑了各种电源时序方法，以帮助防止意外触发下游器件，如无干扰电源时序中所述

11.4 布局

11.4.1 布局指南

当使用多位逻辑器件时，输入不应悬空。在许多情况下，数字逻辑器件的功能或部分功能未被使用。例如，在仅使用三输入与门的两个输入，或仅使用 4 个缓冲门中的 3 个时。此类输入引脚不应悬空，因为外部连接处的未定义电压会导致未定义的运行状态。

图 11-4 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至高或低偏置以防悬空。应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，将这些输入连接到 GND 或 V_{CC} ，具体取决于哪种方式更合理或更方便。

11.4.2 布局示例

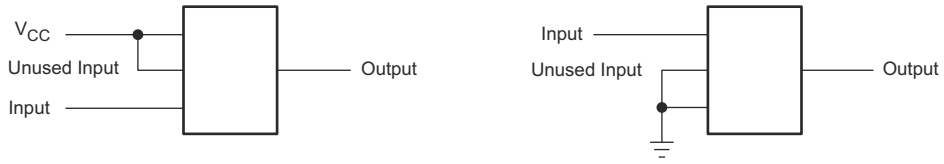


图 11-4. 布局图

12 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

12.1 文档支持

12.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，[电压电平转换器件应用手册](#)

12.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ [中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

13 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision N (December 2022) to Revision O (May 2026)	Page
• 添加了额外特性.....	1
• 更新了说明.....	1
• 更新了 <i>电气特性</i> 部分.....	6
• 移除了加电注意事项.....	12
• 添加了节 10.3.1	13
• 添加了节 10.3.2	13
• 更新了节 11.3	16

Changes from Revision M (March 2005) to Revision N (December 2022)	Page
• 删除了订购信息.....	1
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了 <i>引脚配置和功能、详细说明、应用和实施、布局</i> 部分.....	1
• 添加了 PW 封装的热性能值.....	6

14 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVCC4245ADBR	Active	Production	SSOP (DB) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245ADBR.B	Active	Production	SSOP (DB) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245ADBRG4	Active	Production	SSOP (DB) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245ADBRG4.B	Active	Production	SSOP (DB) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245ADW	Active	Production	SOIC (DW) 24	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ADW.B	Active	Production	SOIC (DW) 24	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ADWE4	Active	Production	SOIC (DW) 24	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ADWR	Active	Production	SOIC (DW) 24	2000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ADWR.B	Active	Production	SOIC (DW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ADWRG4	Active	Production	SOIC (DW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ADWRG4.B	Active	Production	SOIC (DW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ANSR	Active	Production	SOP (NS) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ANSR.B	Active	Production	SOP (NS) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ANSRG4	Active	Production	SOP (NS) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245ANSRG4.B	Active	Production	SOP (NS) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCC4245A
SN74LVCC4245APW	Active	Production	TSSOP (PW) 24	60 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245APW.B	Active	Production	TSSOP (PW) 24	60 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245APWR	Active	Production	TSSOP (PW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245APWR.A	Active	Production	TSSOP (PW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245APWRE4	Active	Production	TSSOP (PW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245APWRG4	Active	Production	TSSOP (PW) 24	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245APWT	Active	Production	TSSOP (PW) 24	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245APWT.B	Active	Production	TSSOP (PW) 24	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A
SN74LVCC4245APWTE4	Active	Production	TSSOP (PW) 24	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LG245A

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVCC4245A :

- Enhanced Product : [SN74LVCC4245A-EP](#)

NOTE: Qualified Version Definitions:

- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVCC4245ADBR	SSOP	DB	24	2000	330.0	16.4	8.2	8.8	2.5	12.0	16.0	Q1
SN74LVCC4245ADBRG4	SSOP	DB	24	2000	330.0	16.4	8.2	8.8	2.5	12.0	16.0	Q1
SN74LVCC4245ADWR	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1
SN74LVCC4245ADWRG4	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1
SN74LVCC4245APWR	TSSOP	PW	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
SN74LVCC4245APWT	TSSOP	PW	24	250	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVCC4245ADBR	SSOP	DB	24	2000	353.0	353.0	32.0
SN74LVCC4245ADBRG4	SSOP	DB	24	2000	353.0	353.0	32.0
SN74LVCC4245ADWR	SOIC	DW	24	2000	350.0	350.0	43.0
SN74LVCC4245ADWRG4	SOIC	DW	24	2000	350.0	350.0	43.0
SN74LVCC4245APWR	TSSOP	PW	24	2000	353.0	353.0	32.0
SN74LVCC4245APWT	TSSOP	PW	24	250	353.0	353.0	32.0

TUBE


*All dimensions are nominal

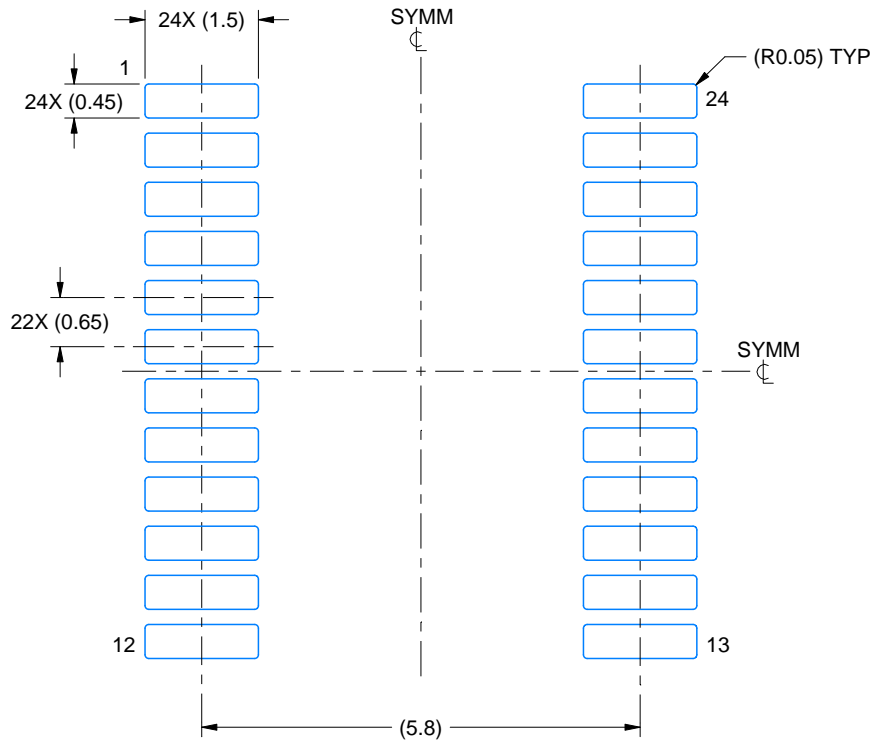
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74LVCC4245ADW	DW	SOIC	24	25	506.98	12.7	4826	6.6
SN74LVCC4245ADW.B	DW	SOIC	24	25	506.98	12.7	4826	6.6
SN74LVCC4245ADWE4	DW	SOIC	24	25	506.98	12.7	4826	6.6
SN74LVCC4245APW	PW	TSSOP	24	60	530	10.2	3600	3.5
SN74LVCC4245APW.B	PW	TSSOP	24	60	530	10.2	3600	3.5

EXAMPLE BOARD LAYOUT

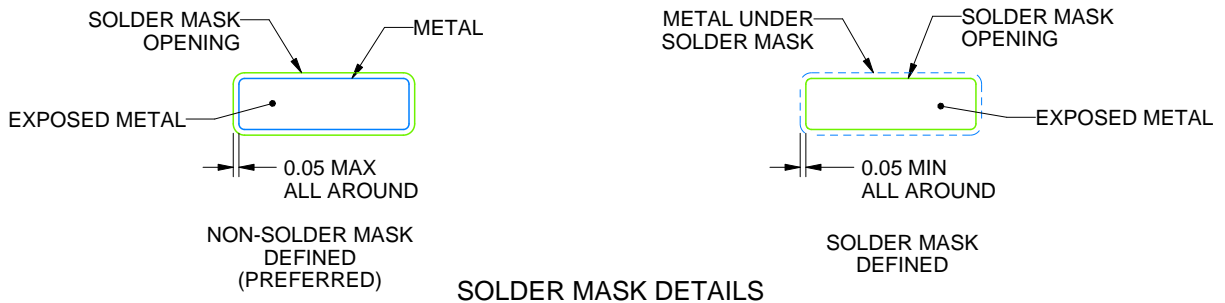
PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220208/A 02/2017

NOTES: (continued)

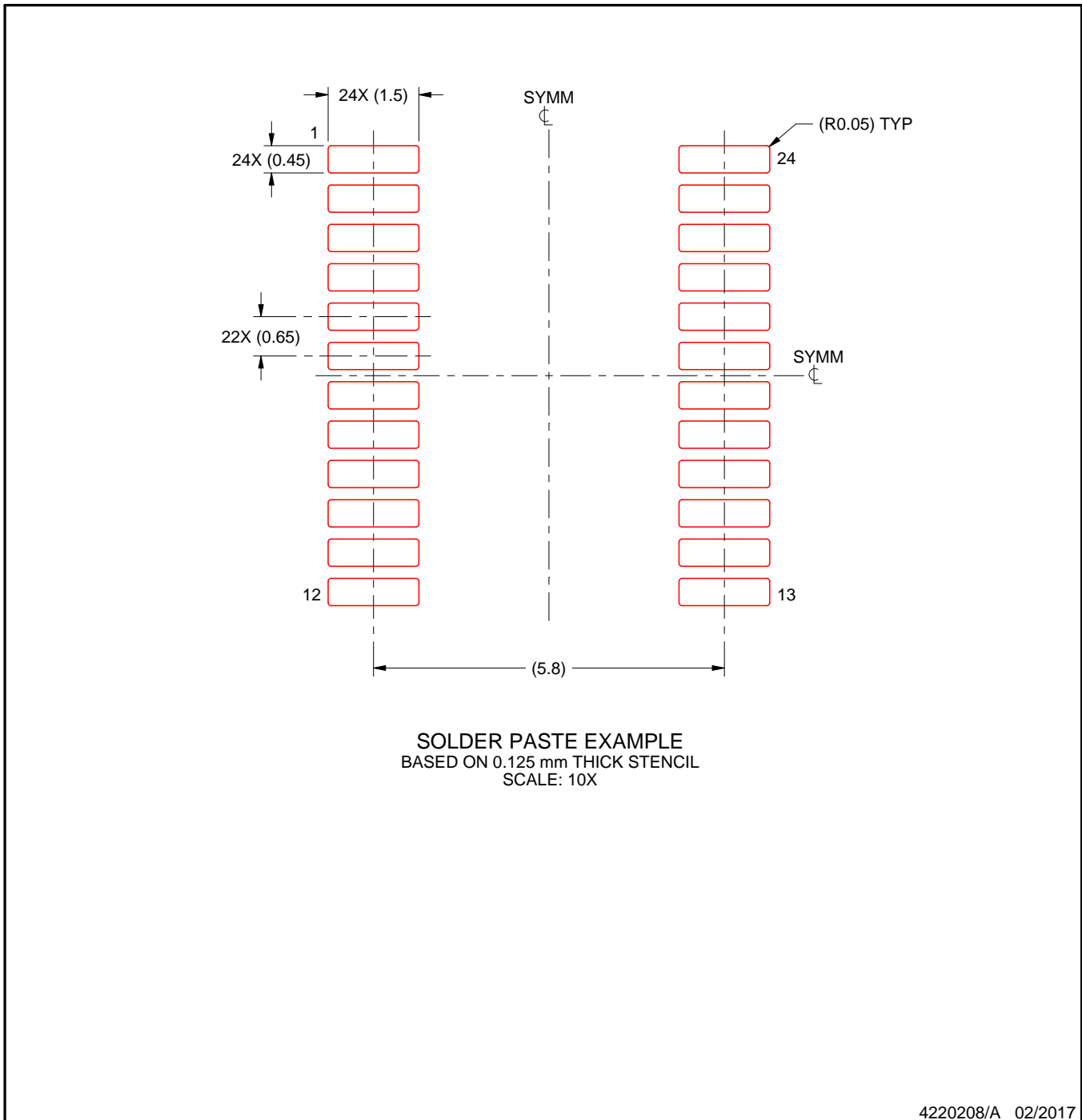
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

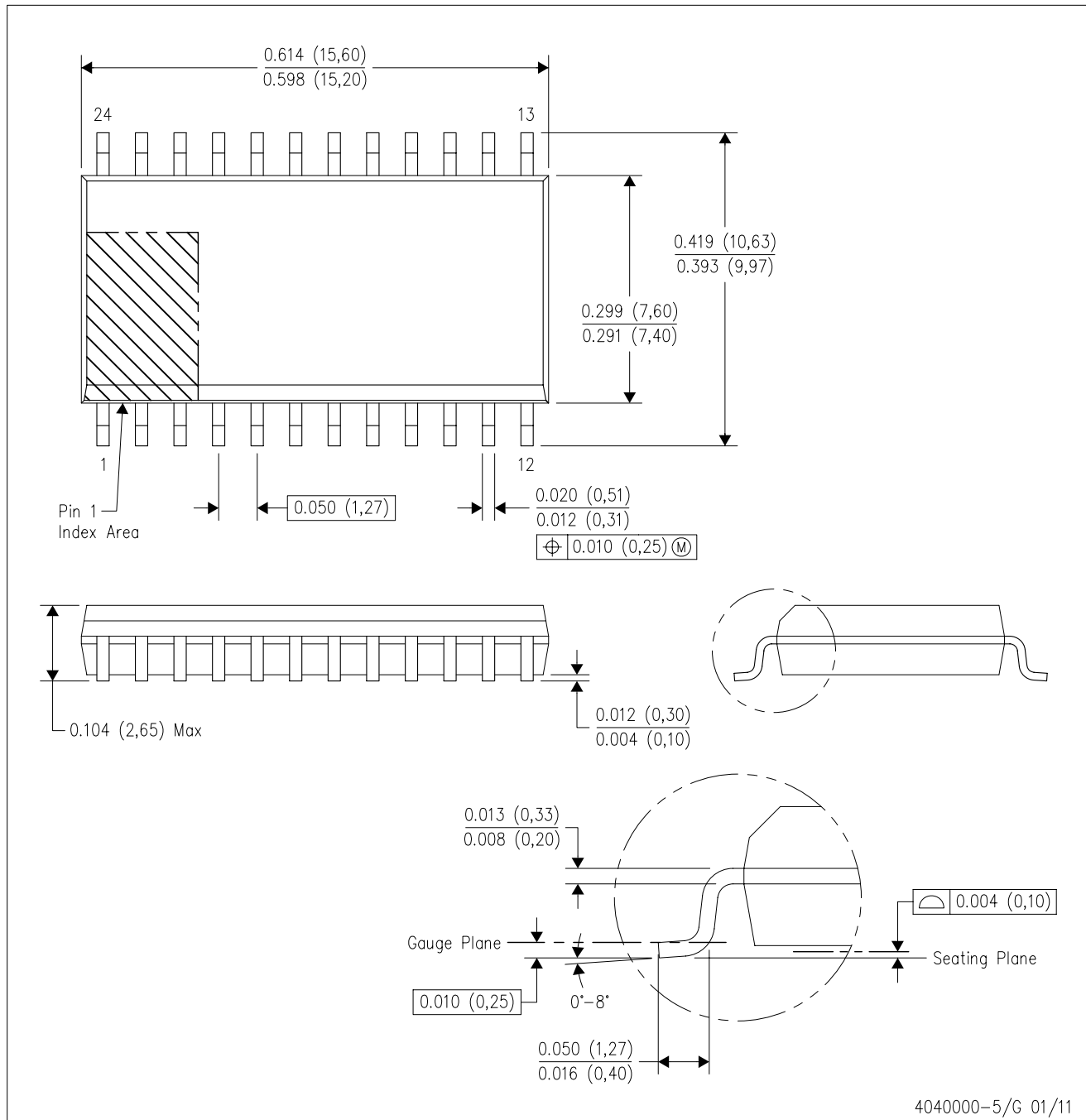
14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

DW (R-PDSO-G24)

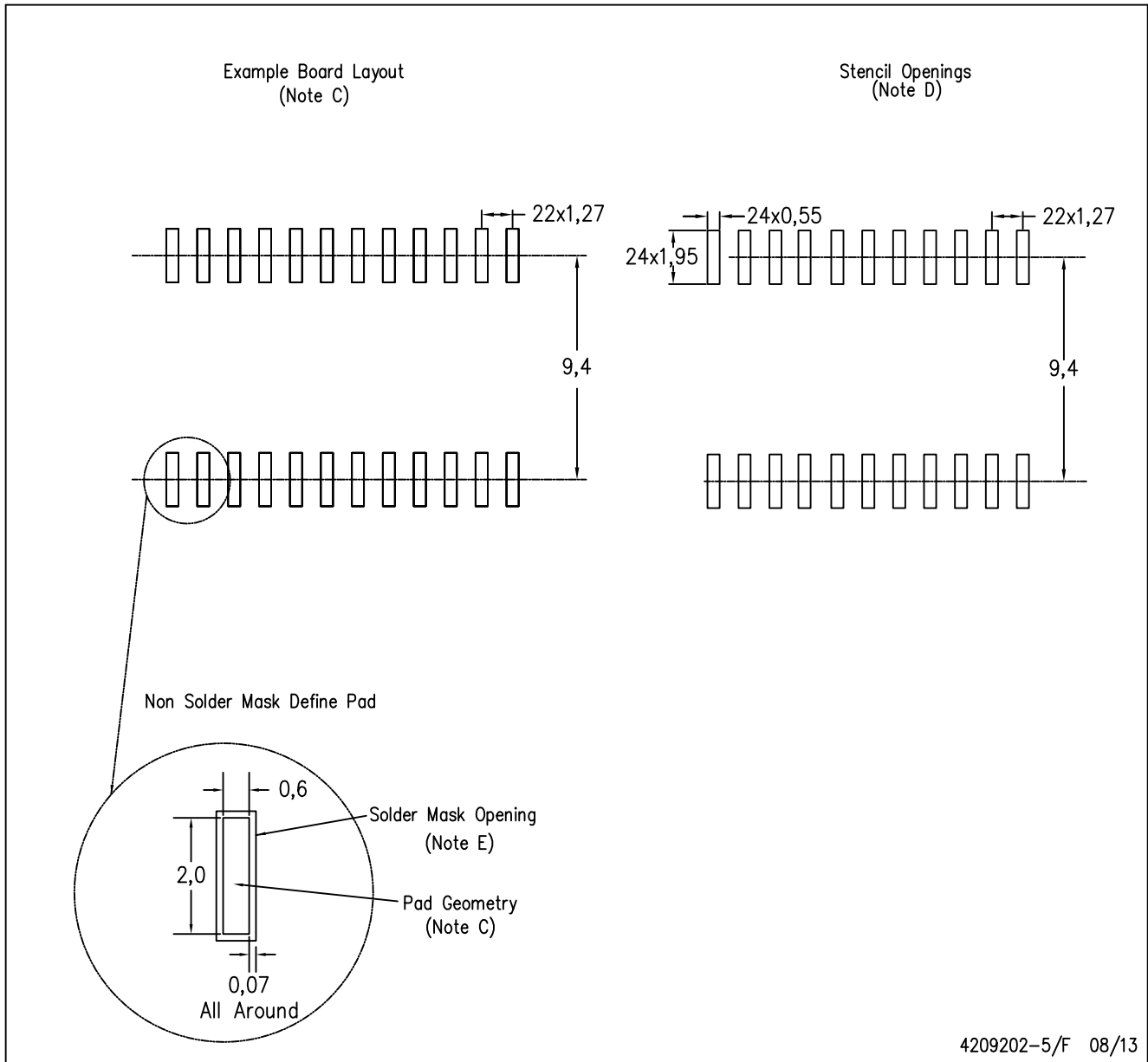
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters). Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
 - D. Falls within JEDEC MS-013 variation AD.

DW (R-PDSO-G24)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Refer to IPC7351 for alternate board design.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

DB (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

28 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 D. Falls within JEDEC MO-150

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月