

TAA3020 2 通道、768kHz、104dB 动态范围音频 ADC

1 特性

- 多通道高性能 ADC：
 - 2 通道模拟麦克风输入或线路输入
 - 4 通道数字 PDM 麦克风
 - 多达 2 个模拟和多达 2 个数字麦克风通道
- ADC 线路和麦克风差分输入性能：
 - 动态范围 (DR)：104dB
 - THD+N：-95dB
- ADC 通道相加模式，DR 性能：
 - 107dB，2 通道相加
- ADC 输入电压：
 - 差分 $2V_{RMS}$ 满量程输入
 - 单端 $1V_{RMS}$ 满量程输入
- ADC 采样速率 (f_s) = 8kHz 至 768kHz
- 可编程通道设置：
 - 通道增益：0dB 至 42dB，步长 0.5dB
 - 数字音量控制：-100dB 至 27dB
 - 增益校准分辨率为 0.1dB
 - 相位校准分辨率为 163ns
- 可编程麦克风偏置或电源电压生成
- 低延迟信号处理滤波器选择
- 可编程 HPF 和双二阶数字滤波器
- 自动增益控制器 (AGC)
- 语音活动检测 (VAD)
- I²C 控制接口
- 集成高性能音频 PLL
- 自动时钟分频器设置配置
- 音频串行数据接口：
 - 格式：TDM、I²S 或左对齐 (LJ)
 - 字长：16 位、20 位、24 位或 32 位
 - 主/从接口
- 单电源运行：3.3V 或 1.8V
- I/O 电源运行：3.3V 或 1.8V
- 1.8V AVDD 电源电压下的功耗：
 - 48kHz 采样率下为 9.5mW/通道

2 应用

- 智能扬声器
- IP 网络摄像头
- 专业麦克风和无线系统
- 视频会议系统

3 说明

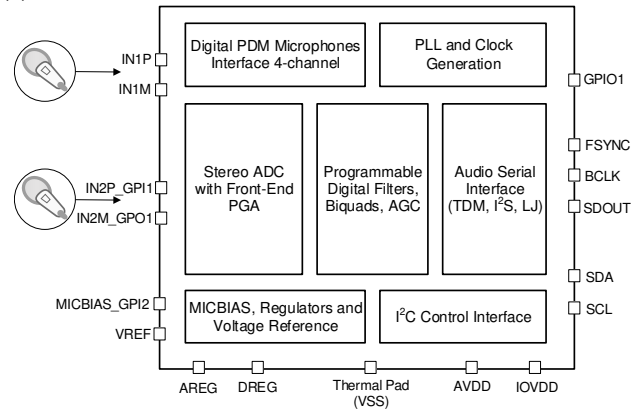
TAA3020 是一款高性能音频模数转换器 (ADC)，最多可支持对脉冲密度调制 (PDM) 麦克风输入的两个模拟通道或四个数字通道进行同步采样。该器件支持线路和麦克风输入，并能够实现单端和差分输入配置。该器件可实现高达 768kHz 的采样速率，并集成了可编程通道增益、数字音量控制、可编程麦克风偏置电压、锁相环 (PLL)、可编程高通滤波器 (HPF)、双二阶滤波器和低延迟滤波器模式。该器件支持时分多路复用 (TDM)、I²S 或左对齐 (LJ) 音频格式，并可通过 I²C 接口进行控制。这些集成的高性能特性，以及采用 1.8V 或 3.3V 单电源供电的功能，使该器件非常适用于远场麦克风录音应用中空间受限的音频系统。

TAA3020 的额定工作温度范围为 -40°C 至 +105°C，并且采用 20 引脚 WQFN 封装。

器件信息 (1)

器件型号	封装	封装尺寸 (标称值)
TAA3020	WQFN (20)	3.00mm x 3.00mm，间距为 0.5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。



简化版方框图



内容

1 特性	1	7 寄存器映射	55
2 应用	1	7.1 器件配置寄存器.....	55
3 说明	1	7.2 Page_0 寄存器.....	56
4 引脚配置和功能	3	7.3 Page_1 寄存器.....	83
5 规格	4	7.4 可编程系数寄存器.....	85
5.1 绝对最大额定值.....	4	8 应用和实施	93
5.2 ESD 等级.....	4	8.1 应用信息.....	93
5.3 建议运行条件.....	5	8.2 典型应用.....	93
5.4 热性能信息.....	5	8.3 应做事项和禁止事项.....	99
5.5 电气特性.....	6	8.4 电源相关建议.....	99
5.6 时序要求：I ² C 接口.....	9	8.5 布局.....	99
5.7 开关特性：I ² C 接口.....	10	9 器件和文档支持	101
5.8 时序要求：TDM、I ² S 或 LJ 接口.....	10	9.1 文档支持.....	101
5.9 开关特性：TDM、I ² S 或 LJ 接口.....	10	9.2 接收文档更新通知.....	101
5.10 时序要求：PDM 数字麦克风接口.....	10	9.3 支持资源.....	101
5.11 开关特性：PDM 数字麦克风接口.....	11	9.4 商标.....	101
5.12 时序图.....	11	9.5 静电放电警告.....	101
6 详细说明	13	9.6 术语表.....	101
6.1 概述.....	13	10 修订历史记录	101
6.2 功能方框图.....	14	11 机械、封装和可订购信息	101
6.3 特性说明.....	14	11.1 封装选项附录.....	105
6.4 器件功能模式.....	51	11.2 卷带包装信息.....	106
6.5 编程.....	52		

4 引脚配置和功能

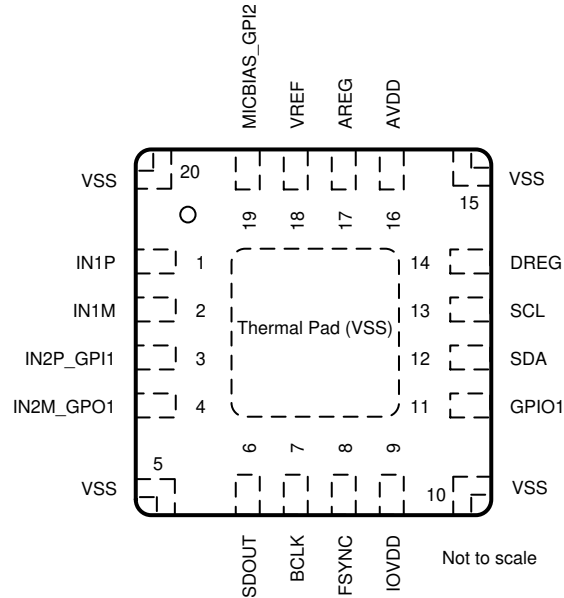


图 4-1. RTE 封装，20 引脚 WQFN (带外露散热焊盘) 顶视图

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
1	IN1P	模拟输入	模拟输入 1P 引脚
2	IN1M	模拟输入	模拟输入 1M 引脚
3	IN2P_GPI1	模拟输入/数字输入	模拟输入 2P 引脚或通用数字输入 1 (数字麦克风数据、PLL 输入时钟源等通用功能)。
4	IN2M_GPO1	模拟输入/数字输出	模拟输入 2M 引脚或通用数字输出 1 (数字麦克风时钟、中断等通用功能)。
5	VSS	接地电源	器件接地内部短接至散热焊盘。将该封装转角引脚直接短接至电路板接地平面。有关转角引脚尺寸，请参阅本文档末尾的封装图。
6	SDOUT	数字输出	音频串行数据接口总线输出
7	BCLK	数字 I/O	音频串行数据接口总线位时钟
8	FSYNC	数字 I/O	音频串行数据接口总线帧同步信号
9	IOVDD	数字电源	数字 I/O 电源 (标称值为 1.8V 或 3.3V)
10	VSS	接地电源	器件接地内部短接至散热焊盘。将该封装转角引脚直接短接至电路板接地平面。有关转角引脚尺寸，请参阅本文档末尾的封装图。
11	GPIO1	数字 I/O	通用数字输入/输出 1 (数字麦克风时钟或数据、PLL 输入时钟源、中断等通用功能)。
12	SDA	数字 I/O	I ² C 控制总线的数据引脚
13	SCL	数字输入	I ² C 控制总线的时钟引脚
14	DREG	数字电源	数字内核电源的数字稳压器输出电压 (标称值为 1.5V)。以并联方式将 10μF 和 0.1μF 低 ESR 电容器连接到器件地 (VSS)。
15	VSS	接地电源	器件接地内部短接至散热焊盘。将该封装转角引脚直接短接至电路板接地平面。有关转角引脚尺寸，请参阅本文档末尾的封装图。
16	AVDD	模拟电源	模拟电源 (标称值为 1.8V 或 3.3V)
17	AREG	模拟电源	模拟电源 (标称值为 1.8V) 或外部模拟电源 (标称值为 1.8V) 的模拟片上稳压器输出电压。将 10μF 和 0.1μF 低 ESR 电容器并联连接到模拟地 (AVSS)。
18	VREF	模拟	模拟基准电压滤波器输出。将 1μF 电容器连接到模拟地 (AVSS)。

表 4-1. 引脚功能 (续)

引脚		类型	说明
编号	名称		
19	MICBIAS_GPI2	模拟输出/数字输入	MICBIAS 输出或通用数字输入 2 (数字麦克风数据、PLL 输入时钟源等通用功能)。如果用作 MICBIAS 输出, 则将 1 μ F 电容器连接到模拟地 (AVSS)。
20	VSS	接地电源	器件接地内部短接至散热焊盘。将该封装转角引脚直接短接至电路板接地平面。有关转角引脚尺寸, 请参阅本文档末尾的封装图。
散热焊盘	散热焊盘 (VSS)	接地电源	散热焊盘短接至内部器件接地。将散热焊盘直接短接至电路板接地平面。

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压	AVDD 至 AVSS	-0.3	3.9	V
	AREG 至 AVSS	-0.3	2.0	
	IOVDD 至 VSS (散热焊盘)	-0.3	3.9	
接地电压差	AVSS 至 VSS (散热焊盘)	-0.3	0.3	V
模拟输入电压	模拟输入引脚电压至 AVSS	-0.3	AVDD + 0.3	V
数字输入电压	除 IN2P_GPI1 和 MICBIAS_GPI2 外的数字输入引脚电压至 VSS (散热焊盘)	-0.3	IOVDD + 0.3	V
	数字输入 IN2P_GPI1 和 MICBIAS_GPI2 引脚电压至 VSS (散热焊盘)	-0.3	AVDD + 0.3	
温度	工作环境温度, T _A	-40	105	°C
	结温, T _J	-40	150	
	贮存温度, T _{stg}	-65	150	

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	标称值	最大值	单位
电源					
AVDD、AREG ⁽¹⁾	模拟电源电压 AVDD 至 AVSS (AREG 使用片上稳压器生成) : AVDD 3.3V 运行电压	3.0	3.3	3.6	V
	模拟电源电压 AVDD 和 AREG 到 AVSS (AREG 内部稳压器关断) : AVDD 1.8V 运行电压	1.7	1.8	1.9	
IOVDD	IO 电源电压至 VSS (散热焊盘) : IOVDD 3.3V 运行电压	3.0	3.3	3.6	V
	IO 电源电压至 VSS (散热焊盘) : IOVDD 1.8V 运行电压	1.65	1.8	1.95	
输入					
	模拟输入引脚电压至 AVSS	0		AVDD	V
	除 IN2P_GPI1 和 MICBIAS_GPI2 外的数字输入引脚电压至 VSS (散热焊盘)	0		IOVDD	V
	数字输入 IN2P_GPI1 和 MICBIAS_GPI2 引脚电压至 VSS (散热焊盘)	0		AVDD	V
温度					
T _A	工作环境温度	-40		105	°C
其他					
	GPIOx 或 GPIx (用作 MCLK 输入) 时钟频率			36.864	MHz
C _b	I ² C 接口的 SCL 和 SDA 总线电容支持标准模式和快速模式			400	pF
	I ² C 接口的 SCL 和 SDA 总线电容支持快速+ 模式			550	
C _L	数字输出负载电容		20	50	pF

(1) AVSS 和 VSS (散热焊盘) : 所有接地引脚必须连接在一起, 并且电压差异不得超过 0.2V。

5.4 热性能信息

热指标 ⁽¹⁾		TAA3020		单位
		RTE (WQFN)		
		20 引脚		
R _{θJA}	结至环境热阻	55.9		°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	33.1		°C/W
R _{θJB}	结至电路板热阻	23.4		°C/W
ψ _{JT}	结至顶部特征参数	0.6		°C/W
ψ _{JB}	结至电路板特征参数	23.3		°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	16.7		°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体](#)和[IC 封装热指标](#)应用报告。

5.5 电气特性

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 从模式且 PLL 开启 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
ADC 配置					
交流输入阻抗	输入引脚 INxP 或 INxM, 10k Ω 输入阻抗选择		10		k Ω
	输入引脚 INxP 或 INxM, 20k Ω 输入阻抗选择		20		
通道增益范围	可编程范围, 步长为 0.5dB	0		42	dB
线路/麦克风输入录音的 ADC 性能: AVDD 3.3V 运行电压					
	差分输入满量程交流信号电压	交流耦合输入		2	V_{RMS}
	单端输入满量程交流信号电压	交流耦合输入		1	V_{RMS}
SNR	信噪比, A 加权 ^{(1) (2)}	选择 IN1 差分输入且交流信号对地短路, 10k Ω 输入阻抗选择, 0dB 通道增益	98	104	dB
		选择 IN1 差分输入且交流信号对地短路, 10k Ω 输入阻抗选择, 12dB 通道增益		98	
DR	动态范围, A 加权 ⁽²⁾	选择 IN1 差分输入和 -60dB 满量程交流信号输入, 10k Ω 输入阻抗选择, 0dB 通道增益		104	dB
		选择 IN1 差分输入和 -72dB 满量程交流信号输入, 10k Ω 输入阻抗选择, 12dB 通道增益		98	
THD+N	总谐波失真 ^{(2) (3)}	选择 IN1 差分输入和 -1dB 满量程交流信号输入, 10k Ω 输入阻抗选择, 0dB 通道增益		-95	dB
		选择 IN1 差分输入和 -13dB 满量程交流信号输入, 10k Ω 输入阻抗选择, 12dB 通道增益		-80	
线路/麦克风输入录音的 ADC 性能: AVDD 1.8V 运行电压					
	差分输入满量程交流信号电压	交流耦合输入		1	V_{RMS}
	单端输入满量程交流信号电压	交流耦合输入		0.5	V_{RMS}
SNR	信噪比, A 加权 ^{(1) (2)}	选择 IN1 差分输入且交流信号对地短路, 10k Ω 输入阻抗选择, 0dB 通道增益		98	dB
DR	动态范围, A 加权 ⁽²⁾	选择 IN1 差分输入和 -60dB 满量程交流信号输入, 10k Ω 输入阻抗选择, 0dB 通道增益		99	dB
THD+N	总谐波失真 ^{(2) (3)}	选择 IN1 差分输入和 -2dB 满量程交流信号输入, 10k Ω 输入阻抗选择, 0dB 通道增益		-90	dB
ADC 其他参数					
	数字音量控制范围	可编程 0.5dB 阶跃		-100	27
	输出数据采样速率	可编程		7.35	768
	输出数据样本字长	可编程		16	32
	数字高通滤波器截止频率	具有可编程系数的一阶 IIR 滤波器, -3dB 点 (默认设置)		12	Hz
	通道间隔离	-1dB 满量程交流信号输入至非测量通道		-124	dB
	通道间增益不匹配	-6dB 满量程交流信号输入和 0dB 通道增益		0.1	dB
	增益漂移 ⁽⁴⁾	0dB 通道增益, 在 -40 $^\circ\text{C}$ 至 105 $^\circ\text{C}$ 的温度范围		36.8	ppm/ $^\circ\text{C}$
	通道间相位不匹配	1kHz 正弦信号		0.02	度
	相位漂移 ⁽⁵⁾	1kHz 正弦信号, 在 -40 $^\circ\text{C}$ 至 105 $^\circ\text{C}$ 的温度范围内		0.0005	度/ $^\circ\text{C}$
PSRR	电源抑制比	100mV _{PP} , AVDD 上 1kHz 正弦信号, 选择差分输入, 0dB 通道增益		102	dB
CMRR	共模抑制比	选择差分麦克风输入, 0dB 通道增益, 100mV _{PP} 、两个引脚上都为 1kHz 信号并在输出端测量电平		60	dB
麦克风偏置					
	MICBIAS 噪声	BW = 20Hz 至 20kHz, A 加权, MICBIAS 和 AVSS 之间具有 1 μF 电容器		2.1	μV_{RMS}

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 从模式且 PLL 开启 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
MICBIAS 电压		MICBIAS 编程为 VREF, VREF 编程为 2.75V、2.5V 或 1.375V		VREF		V
		MICBIAS 编程为 $VREF \times 1.096$, VREF 编程为 2.75V、2.5V 或 1.375V		$VREF \times 1.096$		
		通过 5mA 负载旁路至 AVDD		$AVDD - 0.2$		
MICBIAS 电流驱动					5	mA
MICBIAS 负载调节		MICBIAS 编程为 VREF 或 $VREF \times 1.096$, 最高在最大负载下测量	0	0.6	1	%
MICBIAS 过流保护阈值			6.1			mA
数字 I/O						
V_{IL}	低电平数字输入逻辑电压阈值	除 IN2P_GPI1 和 MICBIAS_GPI2、SDA 和 SCL 以外的所有数字引脚, IOVDD 1.8V 工作电压	-0.3		$0.35 \times IOVDD$	V
		除 IN2P_GPI1 和 MICBIAS_GPI2、SDA 和 SCL 以外的所有数字引脚, IOVDD 3.3V 工作电压	-0.3		0.8	
V_{IH}	高电平数字输入逻辑电压阈值	除 IN2P_GPI1 和 MICBIAS_GPI2、SDA 和 SCL 以外的所有数字引脚, IOVDD 1.8V 工作电压	$0.65 \times IOVDD$		$IOVDD + 0.3$	V
		除 IN2P_GPI1 和 MICBIAS_GPI2、SDA 和 SCL 以外的所有数字引脚, IOVDD 3.3V 工作电压	2		$IOVDD + 0.3$	
V_{OL}	低电平数字输出电压	除 IN2M_GPO1、SDA 和 SCL 以外的所有数字引脚, $I_{OL} = -2\text{mA}$, IOVDD 1.8V 工作电压			0.45	V
		除 IN2M_GPO1、SDA 和 SCL 以外的所有数字引脚, $I_{OL} = -2\text{mA}$, IOVDD 3.3V 工作电压			0.4	
V_{OH}	高电平数字输出电压	除 IN2M_GPO1、SDA 和 SCL 以外的所有数字引脚, $I_{OH} = 2\text{mA}$, IOVDD 1.8V 工作电压	$IOVDD - 0.45$			V
		除 IN2M_GPO1、SDA 和 SCL 以外的所有数字引脚, $I_{OH} = 2\text{mA}$, IOVDD 3.3V 工作电压	2.4			
$V_{IL(I2C)}$	低电平数字输入逻辑电压阈值	SDA 和 SCL	-0.5		$0.3 \times IOVDD$	V
$V_{IH(I2C)}$	高电平数字输入逻辑电压阈值	SDA 和 SCL	$0.7 \times IOVDD$		$IOVDD + 0.5$	V
$V_{OL1(I2C)}$	低电平数字输出电压	SDA, $I_{OL(I2C)} = -3\text{mA}$, IOVDD > 2V			0.4	V
$V_{OL2(I2C)}$	低电平数字输出电压	SDA, $I_{OL(I2C)} = -2\text{mA}$, IOVDD $\leq 2\text{V}$			$0.2 \times IOVDD$	V
$I_{OL(I2C)}$	低电平数字输出电流	SDA, $V_{OL(I2C)} = 0.4\text{V}$, 标准模式或快速模式	3			mA
		SDA, $V_{OL(I2C)} = 0.4\text{V}$, 快速+ 模式	20			
I_{IH}	数字输入的输入逻辑高电平漏电流	除 IN2P_GPI1 和 MICBIAS_GPI2 引脚以外的所有数字引脚, 输入 = IOVDD	-5	0.1	5	μA
I_{IL}	数字输入的输入逻辑低电平漏电流	除 IN2P_GPI1 和 MICBIAS_GPI2 引脚以外的所有数字引脚, 输入 = 0V	-5	0.1	5	μA
$V_{IL(GPIx)}$	低电平数字输入逻辑电压阈值	IN2P_GPI1 和 MICBIAS_GPI2 数字引脚, AVDD 1.8V 运行电压	-0.3		$0.35 \times AVDD$	V
		IN2P_GPI1 和 MICBIAS_GPI2 数字引脚, AVDD 3.3V 运行电压	-0.3		0.8	
$V_{IH(GPIx)}$	高电平数字输入逻辑电压阈值	IN2P_GPI1 和 MICBIAS_GPI2 数字引脚, AVDD 1.8V 运行电压	$0.65 \times AVDD$		$AVDD + 0.3$	V
		IN2P_GPI1 和 MICBIAS_GPI2 数字引脚, AVDD 3.3V 运行电压	2		$AVDD + 0.3$	
$V_{OL(GPOx)}$	低电平数字输出电压	IN2M_GPO2 数字引脚, $I_{OL} = -2\text{mA}$, AVDD 1.8V 运行			0.45	V
		IN2M_GPO2 数字引脚, $I_{OL} = -2\text{mA}$, AVDD 3.3V 运行			0.4	
$V_{OH(GPOx)}$	高电平数字输出电压	IN2M_GPO2 数字引脚, $I_{OH} = 2\text{mA}$, AVDD 1.8V 运行	$AVDD - 0.45$			V
		IN2M_GPO2 数字引脚, $I_{OH} = 2\text{mA}$, AVDD 3.3V 运行	2.4			
$I_{IH(GPIx)}$	数字输入的输入逻辑高电平漏电流	IN2P_GPI1 和 MICBIAS_GPI2 数字引脚, 输入 = AVDD	-5	0.1	5	μA

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$ 正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 从模式且 PLL 开启 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
$I_{IL}(\text{GPIOx})$	数字输入的输入逻辑高电平漏电流	IN2P_GPIO1 和 MICBIAS_GPIO2 数字引脚, 输入 = 0V	-5	0.1	5	μA
C_{IN}	数字输入的输入电容	所有数字引脚		5		pF
R_{PD}	置位时数字 I/O 引脚的下拉电阻			20		$\text{k}\Omega$
典型电源电流消耗						
I_{AVDD}	睡眠模式 (软件关断模式) 下的电流消耗	所有外部时钟均停止, $AVDD = 3.3\text{V}$, 内部 AREG		5		μA
I_{AVDD}		所有外部时钟均停止, $AVDD = 1.8\text{V}$, 外部 AREG 电源 (AREG 短接至 AVDD)		10		
I_{IOVDD}		所有外部时钟均停止, $IOVDD = 3.3\text{V}$		0.5		
I_{IOVDD}		所有外部时钟均停止, $IOVDD = 1.8\text{V}$		0.5		
I_{AVDD}	ADC 2 通道在 $f_S 48\text{kHz}$ 、PLL 关闭且 $BCLK = 512 \times f_S$ 时的电流消耗	$AVDD = 3.3\text{V}$, 内部 AREG		11.1		mA
I_{AVDD}		$AVDD = 1.8\text{V}$, 外部 AREG 电源 (AREG 短接至 AVDD)		10.5		
I_{IOVDD}		$IOVDD = 3.3\text{V}$		0.1		
I_{IOVDD}		$IOVDD = 1.8\text{V}$		0.05		
I_{AVDD}	ADC 2 通道在 $f_S 16\text{kHz}$ 、PLL 开启且 $BCLK = 256 \times f_S$ 时的电流消耗	$AVDD = 3.3\text{V}$, 内部 AREG		11.3		mA
I_{AVDD}		$AVDD = 1.8\text{V}$, 外部 AREG 电源 (AREG 短接至 AVDD)		10.6		
I_{IOVDD}		$IOVDD = 3.3\text{V}$		0.05		
I_{IOVDD}		$IOVDD = 1.8\text{V}$		0.02		
I_{AVDD}	ADC 2 通道在 $f_S 48\text{kHz}$ 、PLL 开启且 $BCLK = 256 \times f_S$ 时的电流消耗	$AVDD = 3.3\text{V}$, 内部 AREG		12.2		mA
I_{AVDD}		$AVDD = 1.8\text{V}$, 外部 AREG 电源 (AREG 短接至 AVDD)		11.6		
I_{IOVDD}		$IOVDD = 3.3\text{V}$		0.1		
I_{IOVDD}		$IOVDD = 1.8\text{V}$		0.05		

- 在 1kHz 满量程正弦波输入时的输出电平与交流信号输入对地短路时的输出电平之比, 使用音频分析仪在 20Hz 至 20kHz 的带宽范围内测量并进行 A 加权。
- 所有性能测量均使用 20kHz 低通滤波器以及 A 加权滤波器 (如注明) 完成。如果不使用此类滤波器, 可能会导致比“电气特性”中所示更高的 THD 以及更低的 SNR 与动态范围读数。低通滤波器可消除带外噪声, 尽管这种噪声不可闻, 但可能会影响动态规格值。
- 为了获得出色的失真性能, 请使用具有低电压系数的输入交流耦合电容器。
- 增益漂移 = 增益变化 (在温度范围内) / 典型增益值 (室温下的增益) / 温度范围 $\times 10^6$, 增益以线性标度测量。
- 相位漂移 = 相位偏差 (在温度范围内) / (温度范围)。

5.6 时序要求：I²C 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V (除非另有说明)；时序图详见图 5-1

		最小值	标称值	最大值	单位
标准模式					
f _{SCL}	SCL 时钟频率	0		100	kHz
t _{HD,STA}	(重复)启动条件后的保持时间。 在此周期后,生成第一个时钟脉冲。	4			μs
t _{LOW}	SCL 时钟的低电平周期	4.7			μs
t _{HIGH}	SCL 时钟的高电平周期	4			μs
t _{SU,STA}	重复 START 条件的建立时间	4.7			μs
t _{HD,DAT}	数据保持时间	0		3.45	μs
t _{SU,DAT}	数据建立时间	250			ns
t _r	SDA 和 SCL 上升时间			1000	ns
t _f	SDA 和 SCL 下降时间			300	ns
t _{SU,STO}	STOP 条件的建立时间	4			μs
t _{BUF}	STOP 与 START 条件之间的总线空闲时间	4.7			μs
快速模式					
f _{SCL}	SCL 时钟频率	0		400	kHz
t _{HD,STA}	(重复)启动条件后的保持时间。 在此周期后,生成第一个时钟脉冲。	0.6			μs
t _{LOW}	SCL 时钟的低电平周期	1.3			μs
t _{HIGH}	SCL 时钟的高电平周期	0.6			μs
t _{SU,STA}	重复 START 条件的建立时间	0.6			μs
t _{HD,DAT}	数据保持时间	0		0.9	μs
t _{SU,DAT}	数据建立时间	100			ns
t _r	SDA 和 SCL 上升时间	20		300	ns
t _f	SDA 和 SCL 下降时间	20 × (IOVDD / 5.5V)		300	ns
t _{SU,STO}	STOP 条件的建立时间	0.6			μs
t _{BUF}	STOP 与 START 条件之间的总线空闲时间	1.3			μs
快速+模式					
f _{SCL}	SCL 时钟频率	0		1000	kHz
t _{HD,STA}	(重复)启动条件后的保持时间。 在此周期后,生成第一个时钟脉冲。	0.26			μs
t _{LOW}	SCL 时钟的低电平周期	0.5			μs
t _{HIGH}	SCL 时钟的高电平周期	0.26			μs
t _{SU,STA}	重复 START 条件的建立时间	0.26			μs
t _{HD,DAT}	数据保持时间	0			μs
t _{SU,DAT}	数据建立时间	50			ns
t _r	SDA 和 SCL 上升时间			120	ns
t _f	SDA 和 SCL 下降时间	20 × (IOVDD / 5.5V)		120	ns
t _{SU,STO}	STOP 条件的建立时间	0.26			μs
t _{BUF}	STOP 与 START 条件之间的总线空闲时间	0.5			μs

5.7 开关特性：I²C 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V (除非另有说明)；时序图详见图 5-1

参数		测试条件	最小值	典型值	最大值	单位
t _d (SDA)	SCL 至 SDA 延迟	标准模式	250		1250	ns
		快速模式	250		850	
		快速+ 模式			400	

5.8 时序要求：TDM、I²S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载 (除非另有说明)；时序图详见图 5-2

参数			最小值	标称值	最大值	单位
t _(BCLK)	BCLK 周期		40			ns
t _H (BCLK)	BCLK 高电平脉冲持续时间 ⁽¹⁾		25			ns
t _L (BCLK)	BCLK 低电平脉冲持续时间 ⁽¹⁾		25			ns
t _{SU} (FSYNC)	FSYNC 设置时间		8			ns
t _{HLD} (FSYNC)	FSYNC 保持时间		8			ns
t _r (BCLK)	BCLK 上升时间	10% 至 90% 上升时间 ⁽²⁾			10	ns
t _f (BCLK)	BCLK 下降时间	90% 至 10% 下降时间 ⁽²⁾			10	ns

- (1) 如果 SDOUT 数据线锁存在与器件用于传输 SDOUT 数据的边沿相同的 BCLK 边沿极性上，则 BCLK 最高电平或低电平脉冲持续时间可放宽至 14ns (以满足时序规格)。
- (2) 如果系统中使用的 BCLK 频率低于 20MHz，则 BCLK 最大上升和下降时间可放宽至 13ns。由于较高的时钟抖动，放宽 BCLK 上升和下降时间可能会导致噪声增加。

5.9 开关特性：TDM、I²S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载 (除非另有说明)；时序图详见图 5-2

参数		测试条件	最小值	典型值	最大值	单位
t _d (SDOUT-BCLK)	BCLK 到 SDOUT 延迟	BCLK 的 50% 至 SDOUT 的 50%	3		18	ns
t _d (SDOUT-FSYNC)	TDM 或 LJ 模式下的 FSYNC 到 SDOUT 延迟 (对于 TX_OFFSET = 0 的 MSB 数据)	FSYNC 的 50% 至 SDOUT 的 50%			18	ns
f _(BCLK)	BCLK 输出时钟频率：主模式 ⁽¹⁾				24.576	MHz
t _H (BCLK)	BCLK 高电平脉冲持续时间：主模式		14			ns
t _L (BCLK)	BCLK 低电平脉冲持续时间：主模式		14			ns
t _d (FSYNC)	BCLK 至 FSYNC 延迟：主模式	BCLK 的 50% 至 FSYNC 的 50%	3		18	ns
t _r (BCLK)	BCLK 上升时间：主模式	10% 至 90% 上升时间			8	ns
t _f (BCLK)	BCLK 下降时间：主模式	90% 至 10% 下降时间			8	ns

- (1) 如果 SDOUT 数据线锁存在与器件用于传输 SDOUT 数据的边沿相反的 BCLK 边沿极性上，则 BCLK 输出时钟频率必须低于 18.5MHz (以满足时序规格)。

5.10 时序要求：PDM 数字麦克风接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载 (除非另有说明)；时序图见图 5-3

参数		测试条件	最小值	标称值	最大值	单位
t _{SU} (PDM DINx)	PDM DINx 建立时间		30			ns
t _{HLD} (PDM DINx)	PDM DINx 保持时间		0			ns

5.11 开关特性：PDM 数字麦克风接口

$T_A = 25^\circ\text{C}$ 、 $\text{IOVDD} = 3.3\text{V}$ 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图见图 5-3

参数	测试条件	最小值	典型值	最大值	单位
$f_{\text{r}}(\text{PDMCLK})$	PDMCLK 时钟频率	0.768		6.144	MHz
$t_{\text{H}}(\text{PDMCLK})$	PDMCLK 高电平脉冲持续时间	72			ns
$t_{\text{L}}(\text{PDMCLK})$	PDMCLK 低电平脉冲持续时间	72			ns
$t_{\text{r}}(\text{PDMCLK})$	PDMCLK 上升时间	10% 至 90% 上升时间		18	ns
$t_{\text{f}}(\text{PDMCLK})$	PDMCLK 下降时间	90% 至 10% 下降时间		18	ns

5.12 时序图

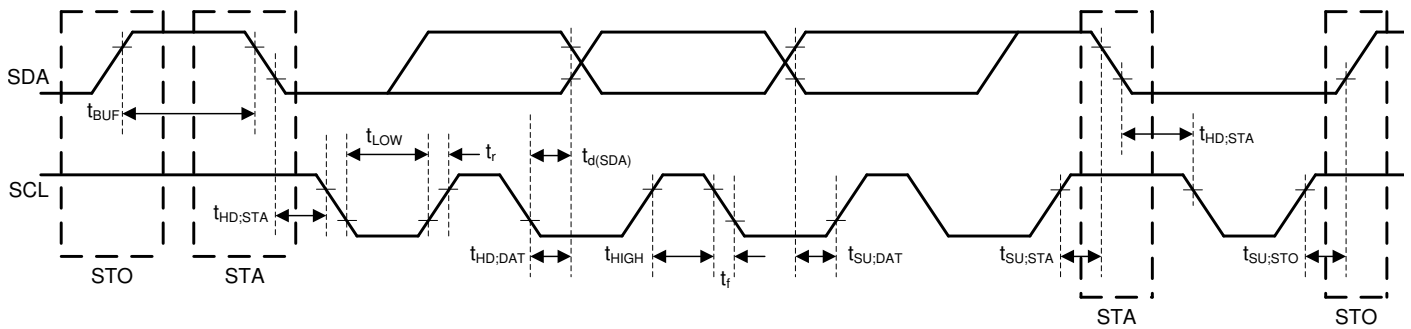


图 5-1. I²C 接口时序图

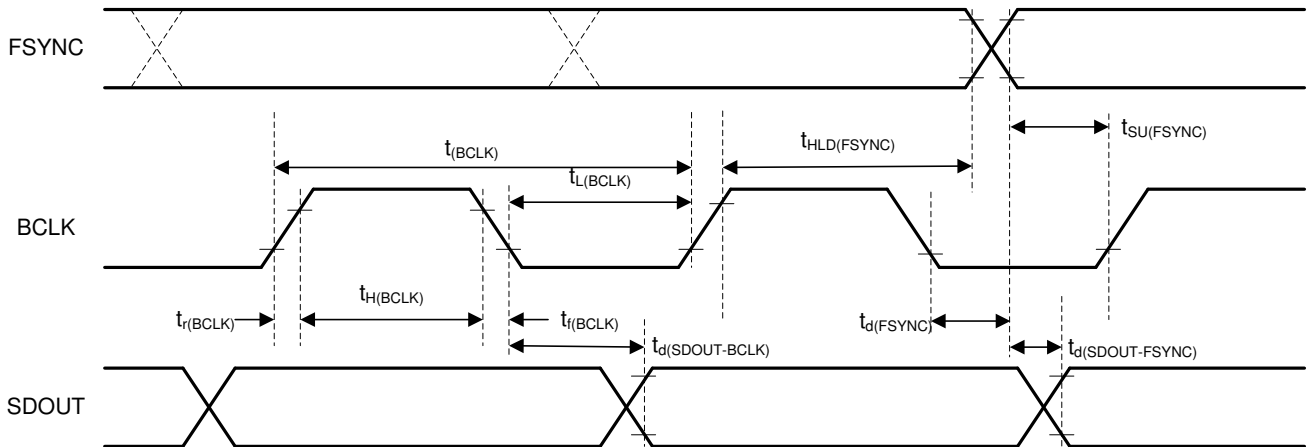


图 5-2. TDM (其中 BCLK_POL = 1)、I²S 和 LJ 接口时序图

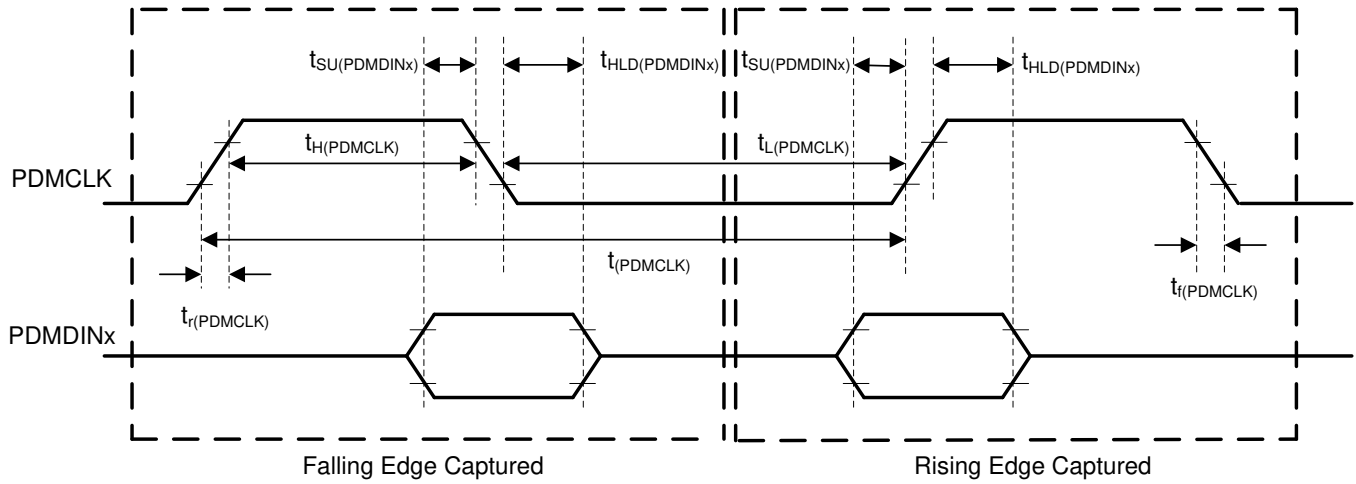


图 5-3. PDM 数字麦克风接口时序图

6 详细说明

6.1 概述

TAA3020 是一款灵活的高性能、低功耗、2 通道音频模数转换器 (ADC)，具有广泛的功能集成。该器件适用于声控系统、专业麦克风、音频会议、便携式计算、通信和娱乐应用。该器件具有高动态范围，可实现高保真的远场音频录制。该器件集成了多种功能，可在空间受限、电池供电的消费类、家庭和工业应用中降低成本、布板空间和功耗。

TAA3020 由以下模块组成：

- 2 通道、多位、高性能 Δ - Σ ADC
- 可配置单端或差分音频输入
- 低噪声、可编程麦克风偏置输出
- 自动增益控制器 (AGC)
- 具有线性相位滤波器或低延时滤波器的可编程抽取滤波器
- 每个通道的可编程通道增益、音量控制、双二阶滤波器
- 每个通道都具有分辨率超高的可编程相位和增益校准
- 可编程高通滤波器 (HPF) 和数字通道混频器
- 配备高性能抽取滤波器的脉冲密度调制 (PDM) 麦克风 4 通道接口
- 支持多种系统时钟的集成低抖动锁相环 (PLL)
- 集成数字和模拟稳压器，用于支持单电源运行

TAA3020 支持使用 I²C 接口进行通信，用于配置控制寄存器。该器件支持高度灵活的音频串行接口 (时分多路复用 (TDM)、I²S 或左对齐 (LJ))，以在系统中各个器件之间无缝传输音频数据。

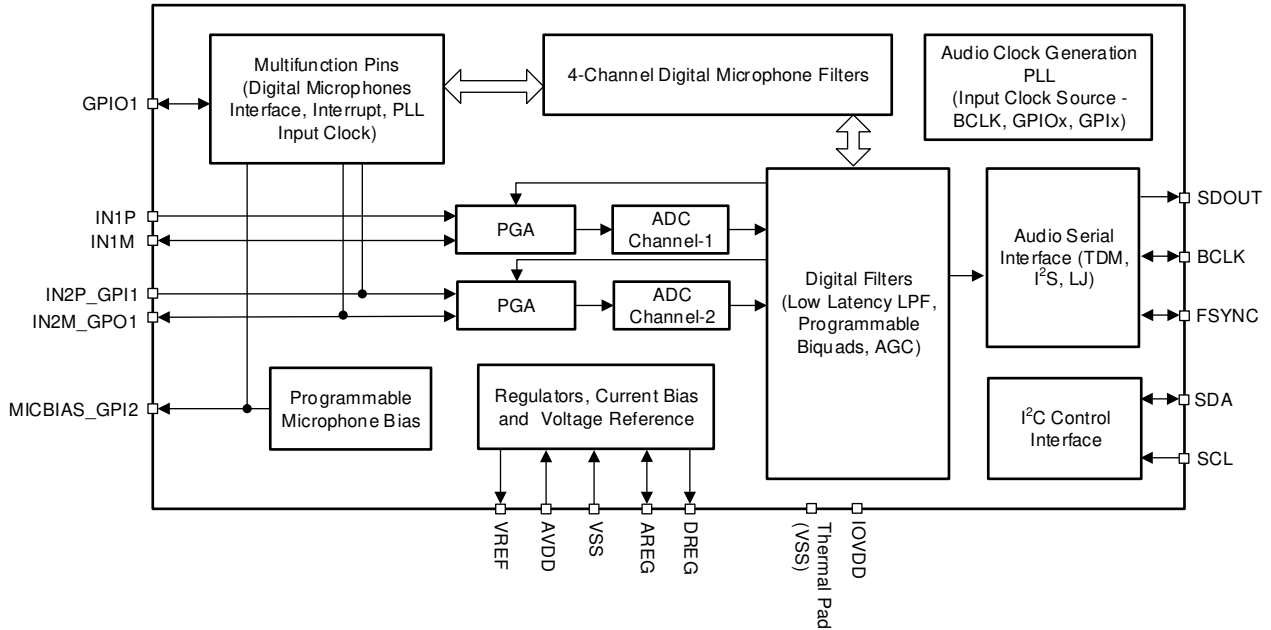
通过在器件之间共享公共 TDM 总线，TAA3020 可以支持多个器件。此外，该器件还包含菊花链功能。为需要高音频数据带宽的应用运行多个器件时，这些特性可以降低共享 TDM 总线时序要求和电路板设计复杂性。

表 6-1 列出了本文档中用于控制器件的寄存器的参考缩写。

表 6-1. 寄存器引用缩写

基准	缩写	说明	示例
页 y，寄存器 z，位 k	Py_Rz_Dk	单个数据位。寄存器中单个位的值。	页 4，寄存器 36，位 0 = P4_R36_D0
页 y，寄存器 z，位 k-m	Py_Rz_D[k:m]	数据位的范围。数据位的范围 (含)。	页 4，寄存器 36，位 3-0 = P4_R36_D[3:0]
页 y，寄存器 z	Py_Rz	一整个寄存器。将寄存器中的全部八位用作一个单元。	页 4，寄存器 36 = P4_R36
页 y，寄存器 z-n	Py_Rz-Rn	寄存器的范围。同一页中的一系列寄存器。	页 4，寄存器 36、37、38 = P4_R36-R38

6.2 功能方框图



6.3 特性说明

6.3.1 串行接口

该器件有两个串行接口：控制接口和音频数据接口。控制串行接口用于器件配置。音频数据串行接口用于将音频数据传输到主机器件。

6.3.1.1 控制串行接口

该器件包含配置寄存器和可编程系数，这些系数可以设置为特定系统和应用用例所需的值。所有寄存器均可通过 I²C 与器件通信来进行访问。如需更多信息，请参阅 [节 6.5](#) 部分。

6.3.1.2 音频串行接口

数字音频数据通过数字音频串行接口 (ASI) 或音频总线，在主机处理器和 TAA3020 之间流动。这个高度灵活的 ASI 总线包含用于多通道运行的 TDM 模式、I²S 或左对齐协议格式支、可编程数据长度选项、各总线时钟线的主从灵活配置，以及直接与系统中多个器件进行通信的能力。

总线协议 TDM、I²S 或左平衡 (LJ) 格式可以通过使用 ASI_FORMAT[1:0] (P0_R7_D[7:6]) 寄存器位进行选择。如表 6-2 和表 6-3 所示，这些模式都是最高有效字节 (MSB) 优先的脉冲编码调制 (PCM) 数据格式，输出通道数据字长可以通过配置 ASI_WLEN[1:0] (P0_R7_D[5:4]) 寄存器位编程为 16、20、24 或 32 位。

表 6-2. 音频串行接口格式

P0_R7_D[7:6] : ASI_FORMAT[1:0]	音频串行接口格式
00 (默认值)	时分多路复用 (TDM) 模式
01	IC 间音频 (I ² S) 模式
10	左对齐 (LJ) 模式
11	保留 (不使用此设置)

表 6-3. 音频输出通道数据字长

P0_R7_D[5:4] : ASI_WLEN[1:0]	音频输出通道数据字长
00	输出通道数据字长设置为 16 位
01	输出通道数据字长设置为 20 位
10	输出通道数据字长设置为 24 位
11 (默认值)	输出通道数据字长设置为 32 位

帧同步引脚 FSYNC 在该音频总线协议中用于定义帧的起始，并具有与输出数据采样速率相同的频率。位时钟引脚 BCLK 用于通过串行总线在时钟沿输出数字音频数据。一个帧中的位时钟周期数必须能够容纳具有编程数据字长的多个器件活动输出通道。

一个帧包含多个时分通道时隙 (最多 64 个)，以允许一个 TAA3020 器件或共享同一音频总线的多个该器件在音频总线上完成所有输出通道音频数据传输。该器件支持最多 4 个输出通道，这些通道可配置为将其音频数据放在总线时隙 0 至时隙 63 上。表 6-4 列出了输出通道时隙配置设置。在 I²S 和 LJ 模式下，时隙分为两组，即左通道时隙和右通道时隙，如 IC 间音频 (I²S) 接口和左对齐 (LJ) 接口一节所述。

表 6-4. 输出通道时隙分配设置

P0_R11_D[5:0] : CH1_SLOT[5:0]	输出通道 1 时隙分配
00 0000 = 0d (默认值)	时隙 0 用于 TDM，或左侧时隙 0 用于 I ² S、LJ。
00 0001 = 1d	时隙 1 用于 TDM，或左侧时隙 1 用于 I ² S、LJ。
...	...
01 1111 = 31d	时隙 31 用于 TDM，或左侧时隙 31 用于 I ² S、LJ。
10 0000 = 32d	时隙 32 用于 TDM，或右侧时隙 0 用于 I ² S、LJ。
...	...
11 1110 = 62d	时隙 62 用于 TDM，或右侧时隙 30 用于 I ² S、LJ。
11 1111 = 63d	时隙 63 用于 TDM，或右侧时隙 31 用于 I ² S、LJ。

同样，可以分别使用 CH2_SLOT (P0_R12) 至 CH8_SLOT (P0_R18) 寄存器来完成输出通道 2 至通道 8 的时隙分配设置。

时隙字长与为器件设置的输出通道数据字长相同。如果所有 TAA3020 器件在系统中共用同一 ASI 总线，则必须将所有器件的输出通道数据字长设置为相同的值。系统中 ASI 总线可能的最大时隙数受限于可用总线带宽，该带宽取决于 BCLK 频率、使用的输出数据采样速率以及配置的通道数据字长。

该器件还包括一项功能，可将时隙数据传输开始相对于帧同步偏移多达 31 个位时钟周期。表 6-5 列出了可编程的偏移配置设置。

表 6-5. ASI 时隙开始的可编程偏移设置

P0_R8_D[4:0] : TX_OFFSET[4:0]	时隙数据传输开始的可编程偏移设置
0 0000 = 0d (默认值)	该器件遵循标准协议时序，没有任何偏移。
0 0001 = 1d	与标准协议时序相比，时隙开始会偏移一个 BCLK 周期。 对于 I ² S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移一个 BCLK 周期。
.....
1 1110 = 30d	与标准协议时序相比，时隙开始会偏移 30 个 BCLK 周期。 对于 I ² S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 30 个 BCLK 周期。
1 1111 = 31d	与标准协议时序相比，时隙开始会偏移 31 个 BCLK 周期。 对于 I ² S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 31 个 BCLK 周期。

与标准协议时序中使用的默认 FSYNC 极性相比，该器件还能够反转帧同步引脚 FSYNC 的极性，用于传输音频数据。该功能可以使用 FSYNC_POL (P0_R7_D3) 寄存器位来设置。同样，该器件可以反转位时钟引脚 BCLK 的极性，而这可以使用 BCLK_POL (P0_R7_D2) 寄存器位来设置。

6.3.1.2.1 时分多路复用 (TDM) 音频接口

在 TDM 模式 (也称为 DSP 模式) 下，FSYNC 的上升沿会首先从时隙 0 数据开始数据传输。紧接着时隙 0 数据传输，会按顺序传输剩余的时隙数据。FSYNC 和每个数据位 (TX_OFFSET 等于 0 时，时隙 0 的 MSB 除外) 会在 BCLK 的上升沿传输。图 6-1 至图 6-4 展示了各种配置下 TDM 运行的协议时序。

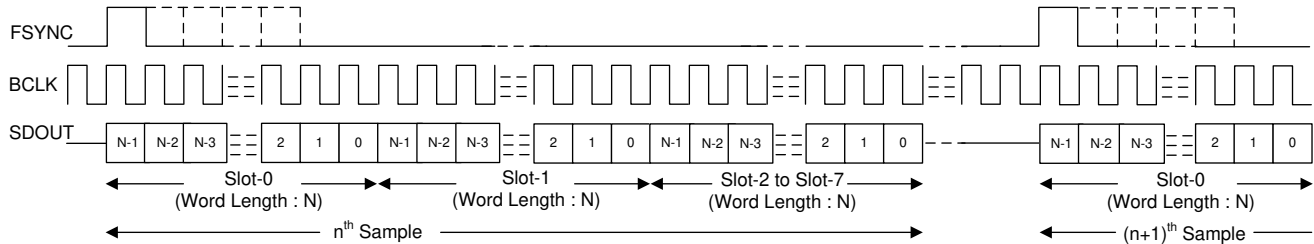


图 6-1. TDM 模式标准协议时序 (TX_OFFSET = 0)

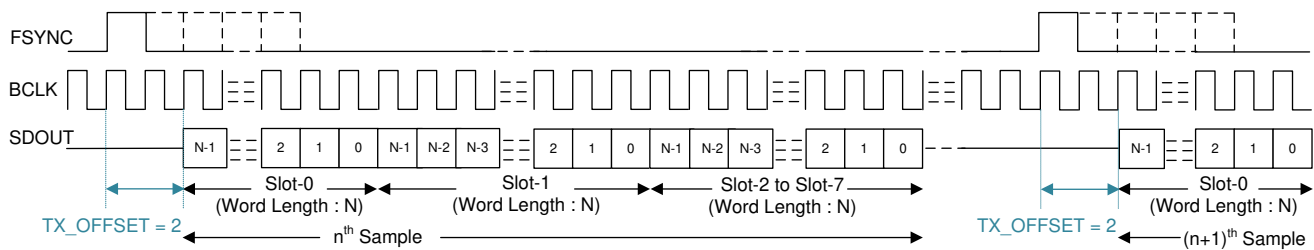


图 6-2. TDM 模式协议时序 (TX_OFFSET = 2)

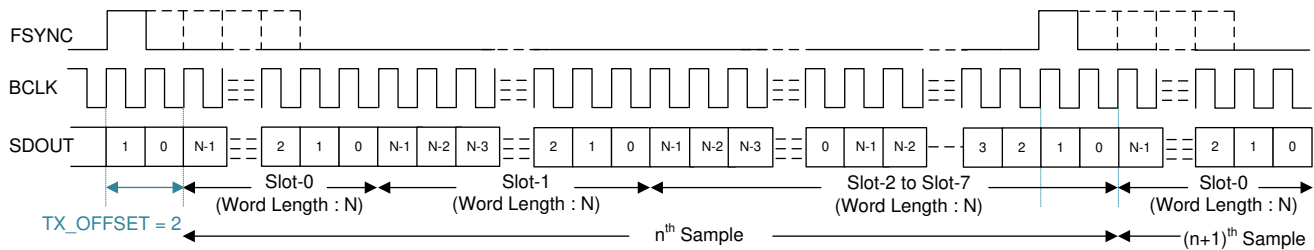


图 6-3. TDM 模式协议时序 (无空闲 BCLK 周期, TX_OFFSET = 2)

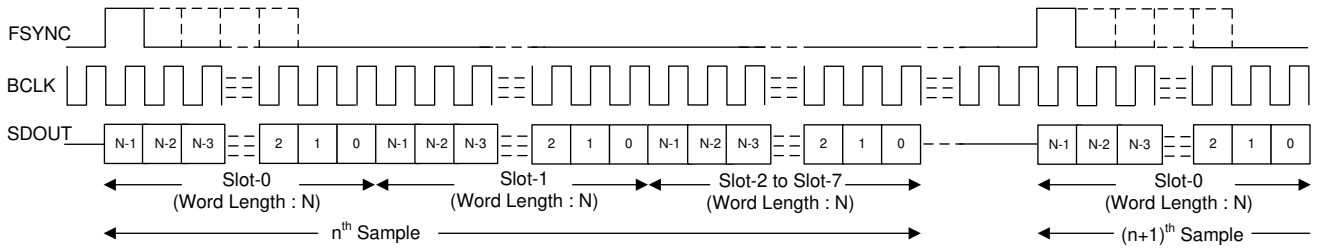


图 6-4. TDM 模式协议时序 (TX_OFFSET = 0 且 BCLK_POL = 1)

为了使音频总线在 TDM 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道数乘以输出通道数据的编程字长。该器件支持 FSYNC 作为具有 1 周期宽位时钟的脉冲，同时也支持倍数。对于更高 BCLK 频率的运行，建议使用 TX_OFFSET 值大于 0 的 TDM 模式。

6.3.1.2.2 IC 间音频 (I²S) 接口

标准 I²S 协议仅针对两个通道进行定义：左通道和右通道。该器件为多通道运行扩展了相同的协议时序。在 I²S 模式下，左时隙 0 的 MSB 会在 FSYNC 下降沿之后第二个周期中的 BCLK 下降沿上传输。紧接着左侧时隙 0 数据传输，剩余的左侧时隙数据按顺序传输。右时隙 0 的 MSB 会在 FSYNC 上升沿之后第二个周期中的 BCLK 下降沿上传输。紧接着右侧时隙 0 数据传输，剩余的右侧时隙数据按顺序传输。FSYNC 和每个数据位在 BCLK 的下降沿传输。图 6-5 至图 6-8 展示了各种配置下 I²S 运行的协议时序。

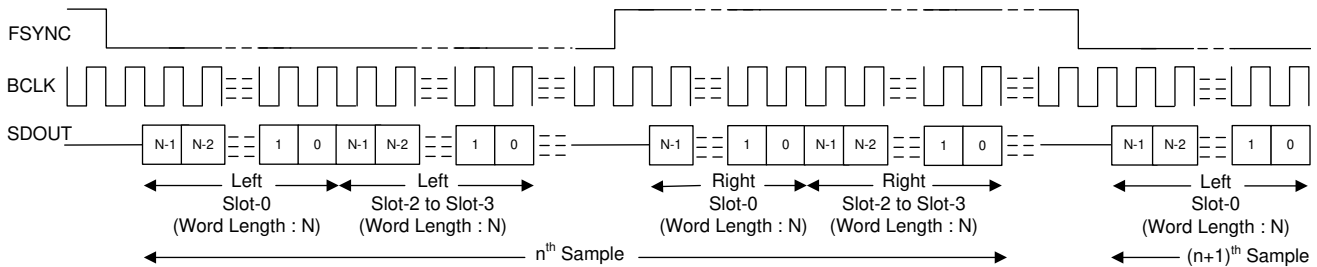


图 6-5. I²S 模式标准协议时序 (TX_OFFSET = 0)

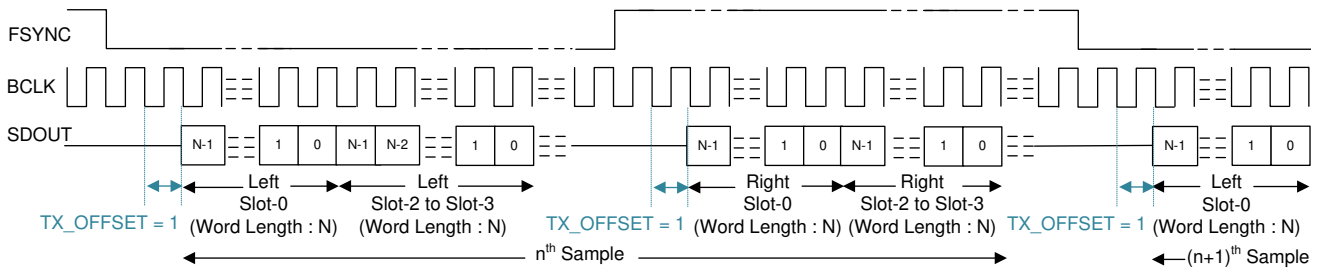


图 6-6. I²S 协议时序 (TX_OFFSET = 1)

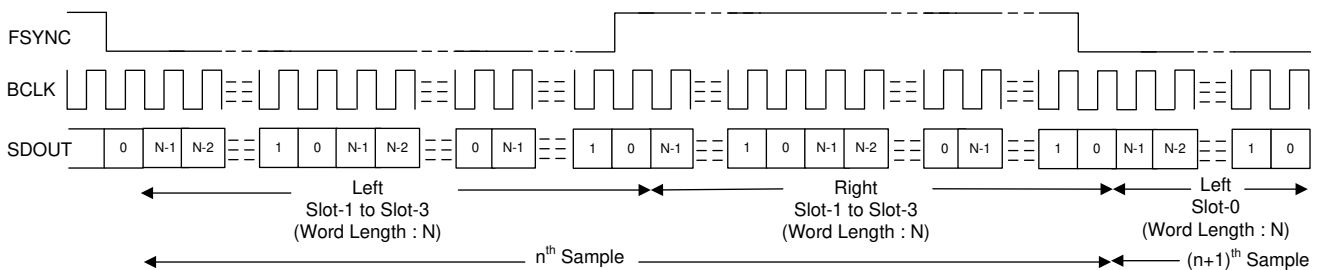


图 6-7. I²S 协议时序 (无空闲 BCLK 周期, TX_OFFSET = 0)

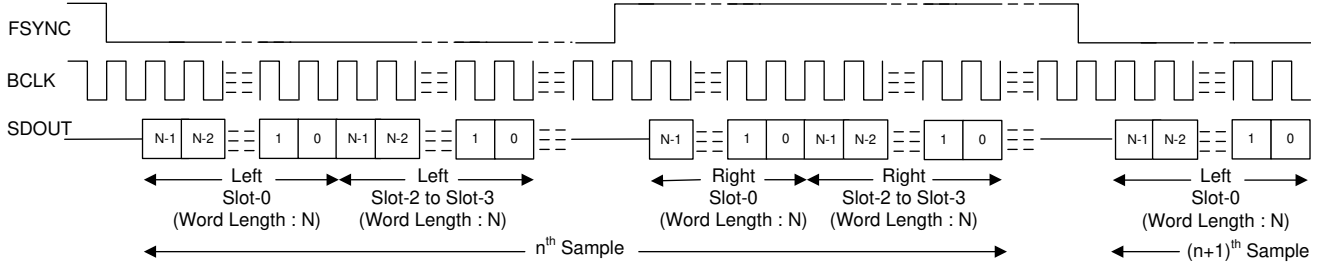


图 6-8. I²S 协议时序 (TX_OFFSET = 0 且 BCLK_POL = 1)

为了使音频总线在 I²S 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的编程字长。器件 FSYN 低电平脉冲必须是大于或等于活动左时隙数量乘以所配置的数据字长的 BCLK 周期数。同样，FSYN 高电平脉冲必须是大于或等于活动右时隙数量乘以所配置的数据字长的 BCLK 周期数。

6.3.1.2.3 左对齐(LJ) 接口

标准 LJ 协议仅针对两个通道进行定义：左通道和右通道。该器件为多通道运行扩展了相同的协议时序。在 LJ 模式下，左侧时隙 0 的 MSB 在 FSYN 上升沿之后的同一 BCLK 周期内传输。后续的数据位都在 BCLK 的下降沿传输。紧接着左侧时隙 0 数据传输，剩余的左侧时隙数据按顺序传输。右侧时隙 0 的 MSB 在 FSYN 下降沿后的同一 BCLK 周期内传输。后续的数据位都在 BCLK 的下降沿传输。紧接着右侧时隙 0 数据传输，剩余的右侧时隙数据按顺序传输。FSYN 在 BCLK 的下降沿传输。图 6-9 至图 6-12 展示了各种配置下 LJ 运行的协议时序。

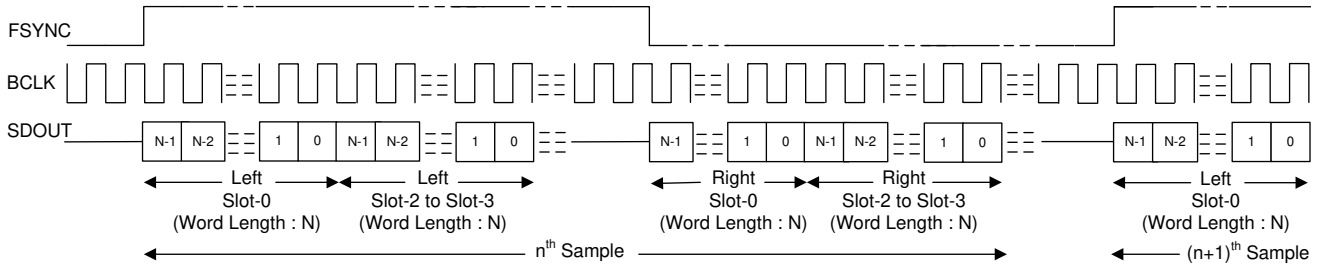


图 6-9. LJ 模式标准协议时序 (TX_OFFSET = 0)

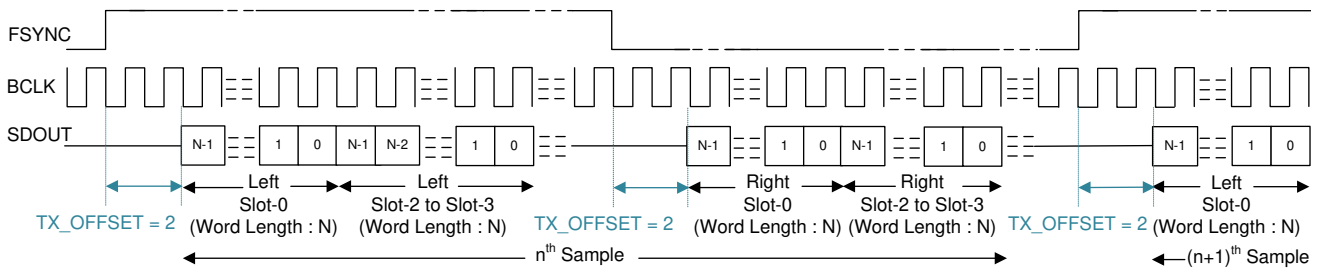


图 6-10. LJ 协议时序 (TX_OFFSET = 2)

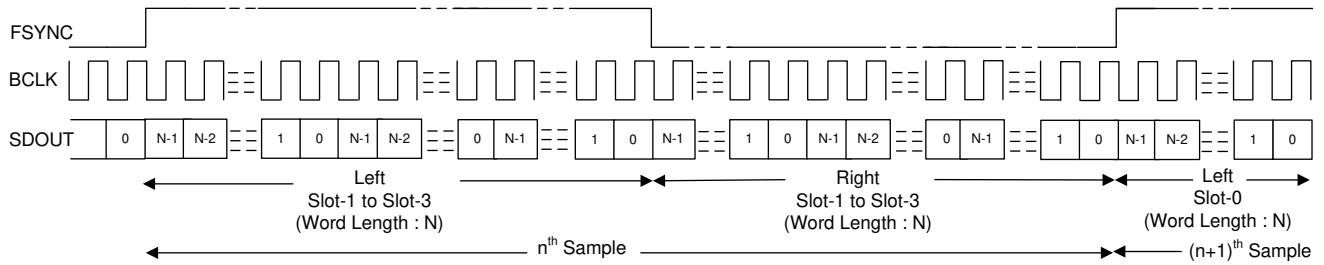


图 6-11. LJ 协议时序 (无空闲 BCLK 周期, TX_OFFSET = 0)

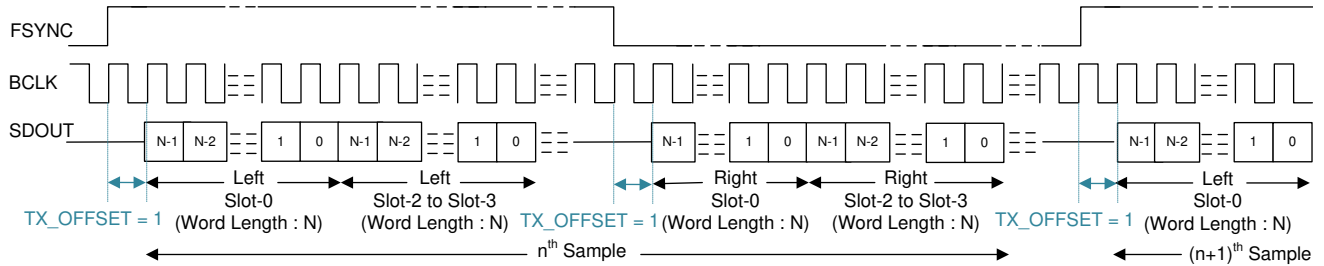


图 6-12. LJ 协议时序 (TX_OFFSET = 1 且 BCLK_POL = 1)

为了使音频总线在 LJ 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的编程字长。器件 FSYNC 高电平脉冲必须是大于或等于活动左时隙数量乘以所配置的数据字长的 BCLK 周期数。同样，FSYNC 低电平脉冲必须是大于或等于活动右时隙数量乘以所配置的数据字长的 BCLK 周期数。对于更高 BCLK 频率的运行，建议使用 TX_OFFSET 值大于 0 的 LJ 模式。

6.3.1.3 通过共享总线使用多个器件

该器件具有许多支持的功能和灵活选项，可在系统中用于通过共享单个公共 I²C 控制总线和音频串行接口总线无缝连接 TAA3020 和任何其他音频器件。这种架构使得能够在需要使用麦克风阵列进行波束形成操作、音频会议、噪声消除等的系统中实现多个应用。图 6-13 展示了 TAA3020 和 TLV320ADCx140 器件共享控制总线和音频数据总线的配置图。

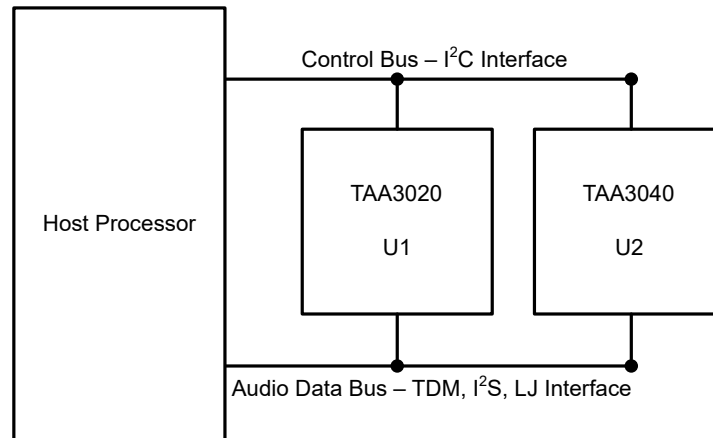


图 6-13. 多个器件使用共享控制和音频数据总线

TAA3020 包含以下特性，用于通过共享总线实现多个器件的无缝连接和交互：

- I²C 广播同时写入 (或触发) 所有 TAA3020 和 TLV320ADCx140 器件
- 支持多达 64 个用于音频串行接口的配置输出通道时隙
- 针对器件中未使用的音频数据时隙提供三态特性 (具有启用和禁用)
- 支持总线保持器特性 (具有启用和禁用)，以保持音频总线上最后驱动的值
- GPIO1 或 GPOx 引脚可配置为音频串行接口的辅助输出数据通道
- GPIO1 或 GPIx 引脚可用于多个器件的菊花链配置
- 支持一个 BCLK 周期数据锁存时序，以降低高速接口的时序要求
- 提供音频串行接口的可编程主器件和从器件选项
- 能够同步多个器件，来满足不同器件的同步采样要求

有关更多详细信息，请参阅[具有共享 TDM 和 I²C 总线的多个 TLV320ADCx140 器件应用报告](#)。

6.3.2 锁相环 (PLL) 和时钟生成

该器件具有智能自动配置模块，可生成 ADC 调制器和用于信号处理的数字滤波器引擎所需的所有必要内部时钟。该配置通过监测音频总线上 FSYNC 和 BCLK 信号的频率来完成。

该器件支持 (FSYNC 信号频率的) 各种输出数据采样速率和 BCLK 与 FSYNC 之比，以便在内部配置所有时钟分频器 (包括 PLL 配置) ，而无需主机编程。表 6-6 和表 6-7 列出了支持的 FSYNC 和 BCLK 频率。

表 6-6. 支持的 FSYNC (48kHz 的倍数或约数) 和 BCLK 频率

BCLK 与 FSYNC 之比	BCLK (MHz)								
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)	FSYNC (384kHz)	FSYNC (768kHz)
16	保留	0.256	0.384	0.512	0.768	1.536	3.072	6.144	12.288
24	保留	0.384	0.576	0.768	1.152	2.304	4.608	9.216	18.432
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144	12.288	24.576
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216	18.432	保留
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288	24.576	保留
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432	保留	保留
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576	保留	保留
192	1.536	3.072	4.608	6.144	9.216	18.432	保留	保留	保留
256	2.048	4.096	6.144	8.192	12.288	24.576	保留	保留	保留
384	3.072	6.144	9.216	12.288	18.432	保留	保留	保留	保留
512	4.096	8.192	12.288	16.384	24.576	保留	保留	保留	保留
1024	8.192	16.384	24.576	保留	保留	保留	保留	保留	保留
2048	16.384	保留	保留	保留	保留	保留	保留	保留	保留

表 6-7. 支持的 FSYNC (44.1kHz 的倍数或约数) 和 BCLK 频率

BCLK 与 FSYNC 之比	BCLK (MHz)								
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)	FSYNC (352.8kHz)	FSYNC (705.6kHz)
16	保留	保留	0.3528	0.4704	0.7056	1.4112	2.8224	5.6448	11.2896
24	保留	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336	8.4672	16.9344
32	保留	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448	11.2896	22.5792
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672	16.9344	保留
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896	22.5792	保留
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344	保留	保留
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792	保留	保留
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	保留	保留	保留
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	保留	保留	保留
384	2.8224	5.6448	8.4672	11.2896	16.9344	保留	保留	保留	保留
512	3.7632	7.5264	11.2896	15.0528	22.5792	保留	保留	保留	保留
1024	7.5264	15.0528	22.5792	保留	保留	保留	保留	保留	保留
2048	15.0528	保留	保留	保留	保留	保留	保留	保留	保留

状态寄存器 ASI_STS (P0_R21) 捕获 FSYNC 频率和 BCLK 与 FSYNC 之比的器件自动检测结果。如果器件找到任何不受支持的 FSYNC 频率和 BCLK 与 FSYNC 之比组合，器件会生成 ASI 时钟错误中断，并相应地使录音通道静音。

该器件使用集成的低抖动锁相环 (PLL) 来生成 ADC 调制器和数字滤波器引擎以及其他控制块所需的内部时钟。该器件还支持使用 BCLK、GPIO1 或 GPIOx 引脚 (作为 MCLK) 作为音频时钟源，而无需使用 PLL，从而降低功

耗。但是，ADC 性能可能会因外部时钟源的抖动而下降，如果外部音频时钟源频率不够高，则可能无法支持某些处理功能。因此，TI 建议在高性能应用中使用 PLL。[不同使用场景下的 TLV320ADCx120 功耗矩阵应用报告](#)论述了有关如何在低功耗模式下不使用 PLL 时配置和使用器件的更多细节和信息。

该器件还支持使用 GPIO1 或 GPIx 引脚（作为 MCLK）作为基准输入时钟源来实现音频总线主模式运行，并支持各种灵活选项和各种系统时钟。有关主模式配置和操作的更多详细信息和信息，请参阅[配置和操作 TLV320ADCx120 作为音频总线主器件应用报告](#)。

音频总线时钟错误检测和自动检测功能会自动生成所有内部时钟，但可以分别使用 ASI_ERR (P0_R9_D5) 和 AUTO_CLK_CFG (P0_R19_D6) 寄存器位来禁用。在系统中，该禁用功能可用于支持自动检测方案未涵盖的自定义时钟频率。对于此类应用用例，必须注意确保多个时钟分频器均已正确配置。因此，TI 建议使用 PPC3 GUI 进行器件配置设置；有关更多详细信息，请参阅[ADCx120EVM-PDK 评估模块用户指南](#)和[PurePath™ 控制台图形开发套件](#)。

6.3.3 输入通道配置

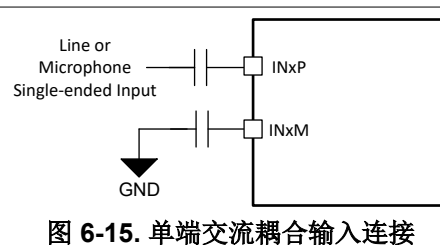
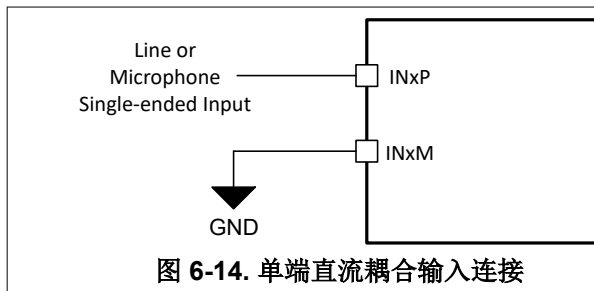
该器件包含两对模拟输入引脚（INxP 和 INxM），这些引脚可以配置为差分输入或单端输入，用于录音通道。该器件支持使用高性能多通道 ADC 同时对多达两个通道进行录音。模拟引脚的输入源可以来自驻极体电容式模拟麦克风、微机电系统 (MEMS) 模拟麦克风，或来自系统板的线路输入（辅助输入）。此外，如果应用使用数字 PDM 麦克风进行录音，则可以在器件中重新配置 IN2P_GPI1、IN2M_GPO1、GPIO1 和 MICBIAS_GPI2 引脚，以便支持最多 4 个通道来进行数字麦克风录音。该器件还支持在两个模拟和两个数字麦克风通道上同时录音。[表 6-8](#)展示了录音通道的输入源选择。

表 6-8. 录音通道的输入源选择

P0_R60_D[6:5] : CH1_INSRC[1:0]	输入通道 1 录音源选择
00 (默认值)	通道 1 的模拟差分输入 (仅当禁用 GPI1 和 GPO1 引脚功能时此设置才有效)
01	通道 1 的模拟单端输入 (仅当禁用 GPI1 和 GPO1 引脚功能时此设置才有效)
10	通道 1 的数字 PDM 输入 (为 PDMDIN1 和 PDMCLK 相应地配置 GPIx 和 GPOx 引脚)
11	保留 (不使用此设置)

同样，输入通道 2、通道 3 和通道 4 的输入源选择设置可以分别使用 CH2_INSRC[1:0] (P0_R65_D[6:5])、CH3_INSRC[1:0] (P0_R70_D[6:5]) 和 CH4_INSRC[1:0] (P0_R75_D) 寄存器位进行配置。

通常，语音或音频信号输入通过电容耦合（交流耦合）连接到器件；但该器件也支持直流耦合输入选项，以节省电路板空间。可以通过设置 CH1_DC (P0_R60_D4)、CH2_DC (P0_R65_D4)、CH3_DC (P0_R70_D4) 和 CH4_DC (P0_R75_D4) 寄存器位为每个通道独立完成该配置。对于单端输入配置，在直流耦合模式下，INxM 引脚可以直接接地（请参阅[图 6-14](#)），但在交流耦合模式下，INxM 引脚必须在交流耦合电容器之后接地（请参阅[图 6-15](#)）。为了获得出色的动态范围性能，必须使用差分交流耦合输入。



借助该器件，可以根据输入源阻抗灵活地从 2.5kΩ（默认）、10kΩ 和 20kΩ 中选择 INxP 或 INxM 上的典型输入阻抗。当输入阻抗较高时，对应的噪声会稍高或动态范围较低。[表 6-9](#)列出了录音通道输入阻抗的配置寄存器设置。

表 6-9. 录音通道的输入阻抗选择

P0_R60_D[3:2] : CH1_IMP[1:0]	通道 1 输入阻抗选择
00 (默认值)	INxP 或 INxM 上的通道 1 输入阻抗典型值为 2.5kΩ
01	INxP 或 INxM 上的通道 1 输入阻抗典型值为 10kΩ
10	INxP 或 INxM 上的通道 1 输入阻抗典型值为 20kΩ
11	保留 (不使用此设置)

同样，可以使用 CH2_IMP[1:0] (P0_R65_D[3:2]) 寄存器位来配置输入通道 2 的输入阻抗选择设置。

在交流耦合模式下，选择的耦合电容值必须确保由耦合电容器和输入阻抗形成的高通滤波器不影响信号内容。该耦合电容器必须在上电时充电至共模电压，然后才能开始进行正确录音。为了实现快速充电，该器件提供了可加快耦合电容器充电速度的模式。快速充电时序的默认值是针对耦合电容器高达 1μF 进行设置的。但是，如果系统中使用容值更大的电容器，则可以通过使用 INCAP_QCHG (P0_R5_D[5:4]) 寄存器位来增加快速充电时序。为了获得出色的失真性能，请使用低电压系数电容器进行交流耦合。

TAA3020 还可以支持更高的输入共模容差，代价是噪声性能降级几分贝。该器件支持三种具有不同共模容差的不同模式，可以使用 CH1_INP_CM_TOL_CFG[1:0] (P0_R58_D[7:6]) 寄存器位对进行配置。表 6-10 列出了录音通道输入阻抗的配置寄存器设置。

表 6-10. 录制通道的共模容差模式选择

P0_R58_D[7:6] : CH1_INP_CM_TOL_CFG[1:0]	通道 1 输入共模容差
00 (默认值)	通道 1 输入共模容差：交流耦合输入 = 100mV _{pp} ，直流耦合输入 = 2.82V _{pp} 。
01	通道 1 输入共模容差：交流/直流耦合输入 = 1V _{pp} 。
10 (高 CMRR 模式)	通道 1 输入共模容差：交流/直流耦合输入 = 0AVDD (仅在输入阻抗为 10kΩ 和 20kΩ 时才支持)。对于 2.5kΩ 的输入阻抗，输入共模公差为 0.4V 至 2.6V。
11	保留 (不使用此设置)

同样，可以使用 CH2_INP_CM_TOL_CFG[1:0] (P0_R58_D[5:4]) 寄存器位来配置输入通道 2 的共模容差设置。有关更多详细信息，请参阅 [TLV320ADCx120 器件的输入共模容差和高 CMRR 模式应用报告](#)。

6.3.4 基准电压

所有音频数据转换器都需要直流基准电压。TAA3020 通过在内部生成低噪声基准电压来实现低噪声性能。该基准电压由具有高 PSRR 性能的带隙电路生成。该音频转换器基准电压必须在 VREF 引脚与模拟地 (AVSS) 之间使用一个最低 1μF 的电容器从外部进行滤波。

该基准电压值可以使用 P0_R59_D[1:0] 寄存器位进行配置，并且必须根据器件所需的满量程输入和系统中可用的 AVDD 电源电压，将其设置为适当的值。默认 VREF 值设置为 2.75V，能使器件支持 2V_{RMS} 差分满量程输入。该模式所需的最小 AVDD 电压为 3V。表 6-11 列出了支持的各种 VREF 设置以及所需的 AVDD 范围和该配置支持的满量程输入信号。

表 6-11. VREF 可编程设置

P0_R59_D[1:0] : ADC_FSCALE[1:0]	VREF 输出电压 (与内部 ADC VREF 相同)	支持差分满量程输入	支持单端满量程输入	AVDD 范围要求
00 (默认值)	2.75V	2V _{RMS}	1V _{RMS}	3V 至 3.6V
01	2.5V	1.818V _{RMS}	0.909V _{RMS}	2.8V 至 3.6V
10	1.375V	1V _{RMS}	0.5V _{RMS}	1.7V 至 1.9V
11	保留	保留	保留	保留

为了实现低功耗，该音频参考块会按 [睡眠模式或软件关断](#) 一节中所述的方式断电。退出睡眠模式时，音频基准模块使用内部快速充电方案上电，而 VREF 引脚在稳定时间 (与 VREF 引脚上的去耦电容器有关) 后稳定到其稳态

电压。使用 $1\ \mu\text{F}$ 去耦电容器时，该时间大约等于 3.5ms 。如果在 VREF 引脚上使用较高值的去耦电容器，则必须使用 VREF_QCHG (P0_R2_D[4:3]) 寄存器位重新配置快速充电设置，这些位支持 3.5ms (默认值)、 10ms 、 50ms 或 100ms 的选项。

6.3.5 可编程麦克风偏置

该器件集成一个内置低噪声麦克风偏置引脚，该引脚可在系统中用于偏置驻极体电容式麦克风或为 MEMS 模拟或数字麦克风提供电源。集成的偏置放大器支持高达 5mA 的负载电流，可用于多个麦克风，旨在提供高 PSRR、低噪声和可编程偏置电压的组合，以便针对特定的麦克风组合对偏置进行微调。

当使用该 MICBIAS 引脚对多个麦克风进行偏置或供电时，请避免在用于 MICBIAS 连接的电路板布局布线上出现任何公共阻抗，以尽可能地减小麦克风之间的耦合。表 6-12 展示了可用的麦克风偏置可编程选项。

表 6-12. MICBIAS 可编程设置

P0_R59_D[6:4] : MBIAS_VAL[2:0]	P0_R59_D[1:0] : ADC_FSCALE[1:0]	MICBIAS 输出电压
000 (默认值)	00 (默认值)	2.75V (与 VREF 输出相同)
	01	2.5V (与 VREF 输出相同)
	10	1.375V (与 VREF 输出相同)
001	00 (默认值)	3.014V (VREF 输出的 1.096 倍)
	01	2.740V (VREF 输出的 1.096 倍)
	10	1.507V (VREF 输出的 1.096 倍)
010 至 101	XX	保留 (不使用这些设置)
110	XX	与 AVDD 相同
111	XX	保留 (不使用此设置)

通过配置 MICBIAS_PDZ (P0_R117_D7) 寄存器位可以打开或关闭 (默认) 麦克风偏置输出。此外，该器件还提供配置 GPIO1 或 GPIx 引脚的选项，以直接控制麦克风偏置输出的打开或关闭。该功能对于直接控制麦克风非常有用，无需主机进行 I²C 通信。如果 GPIO1 或 GPIx 引脚配置为打开或关闭麦克风偏置，则 MICBIAS_PDZ (P0_R117_D7) 寄存器位值将被忽略。

6.3.6 信号链处理

TAA3020 信号链由超低噪声、高性能和低功耗的模拟块以及高度灵活的可编程数字处理块组成。高性能和灵活性与紧凑的封装相结合，使得 TAA3020 非常适合需要多通道音频采集的各种终端设备和应用。图 6-16 展示了一个概念方框图，其中突出显示了信号链中使用的各种构建块以及这些块在信号链中的交互方式。

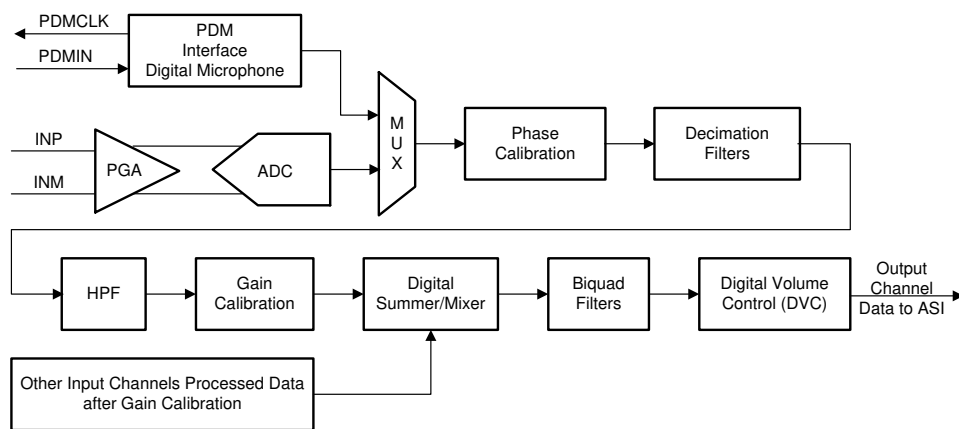


图 6-16. 信号链处理流程图

前端 PGA 噪声非常低，并具有 120dB 的动态范围性能。与具有低噪声和低失真的多位 Δ - Σ ADC 相结合，前端 PGA 还能够让 TAA3020 在安静和嘈杂的环境中实现超高保真的远场音频信号录制。此外，ADC 架构具有固有的抗混叠滤波功能，能够很好地抑制多个调制器频率分量附近的带外频率噪声。因此，该器件可在 ADC 采样期间防止噪声混叠到音频频带中。此外，在信号链中，集成的高性能多级数字抽取滤波器会通过高阻带衰减来急剧削减任何带外频率噪声。

该器件还具有集成的可编程双二阶滤波器，可实现自定义低通、高通或任何其他所需的频率整形。因此，整体信号链架构无需添加用于抗混叠低通滤波的外部元件，从而显著节省外部系统元件成本和布板空间。有关更多详细信息，请参阅 [TLV320ADCx140 集成模拟抗混叠滤波器和灵活数字滤波器应用报告](#)。

信号链还包含各种高度可编程的数字处理块，例如相位校准、增益校准、高通滤波器、数字加法器或混频器、双二阶滤波器和音量控制。本节将进一步讨论这些处理块的详细信息。当不使用模拟录制通道时，该器件还支持多达四个数字 PDM 麦克风录制通道。图 6-16 信号链方框图中的通道 1 至 2 与本节中所述相同。然而，通道 3 至 4 仅支持数字麦克风录制选项，不支持数字加法器或混频器选项。

可使用 IN_CH_EN (P0_R115) 寄存器启用或禁用所需的录音输入通道，并可使用 ASI_OUT_EN (P0_R116) 寄存器启用或禁用音频串行接口的输出通道。通常，该器件支持所有活动通道同时上电和断电，以进行同步录制。但是，根据应用需求，如果某些通道必须在另一个通道录制处于开启状态时动态上电或断电，则可以通过将 DYN_CH_PUPD_EN (P0_R117_D4) 寄存器位设置为 1'b1 来支持该用例。

该器件支持高达 80kHz 的输入信号带宽，这允许使用 176.4kHz (或更高) 采样速率来录制高频非音频信号。

对于 48kHz 或更低的输出采样速率，该器件支持用于 4 通道录音的所有功能和各种可编程处理块。不过，对于高于 48kHz 的输出采样速率，支持的同时通道录音数量和双二阶滤波器数量等都存在限制。有关更多详细信息，请参阅 [TLV320ADCx140 采样速率和受支持的可编程处理块应用报告](#)。

6.3.6.1 可编程通道增益和数字音量控制

该器件的每个输入通道都具有独立的可编程通道增益设置，用户可以根据系统中预期的最大输入信号和使用的 ADC VREF 设置 (请参阅 [基准电压](#) 部分) 将其设置为适当的值，其中 ADC VREF 设置决定了 ADC 满量程信号电平。

请在给 ADC 通道上电之前配置所需的通道增益设置，并且在 ADC 处于通电状态期间不要更改该设置。每个通道增益支持的可编程范围为 0dB 至 42dB，步长为 0.5dB。为了实现低噪声性能，器件内部逻辑会首先尽量增加前端低噪声模拟 PGA 的增益 (该 PGA 支持 120dB 的动态范围)，然后在数字处理块中应用任何剩余的编程通道增益。

表 6-13 展示了可用于通道增益的可编程选项。

表 6-13. 通道增益可编程设置

P0_R61_D[7:1] : CH1_GAIN[6:0]	输入通道 1 的通道增益设置
000 0000 = 0d (默认值)	输入通道 1 增益设置为 0dB
000 0001 = 1d	输入通道 1 增益设置为 0.5dB
000 0010 = 2d	输入通道 1 增益设置为 1dB
...	...
101 0011 = 83d	输入通道 1 增益设置为 41.5dB
101 0100 = 84d	输入通道 1 增益设置为 42dB
101 0101 至 111 1111 = 85d 至 127d	保留 (不使用这些设置)

同样，可以使用 CH2_GAIN (P0_R66_D[7:1]) 寄存器位来配置输入通道 2 的通道增益设置。通道增益功能不适用于数字麦克风录音路径。

启用 ADC 时，该器件还支持增益更改。该器件支持多种配置，以限制动态增益更改期间的可闻失真。可以通过使用 OTF_GAIN_CHANGE_CFG (P0_R113_D[7:6]) 寄存器位来配置该特性。

该器件还具有可编程数字音量控制功能，其范围为 -100dB 至 $+27\text{dB}$ （步长为 0.5dB ），并提供通道录音静音选项。当 ADC 通道加电并录音期间，可以动态更改数字音量控制值。在音量控制变化期间，内部使用软调高或调低音量功能来避免任何可闻失真。可以使用 `DISABLE_SOFT_STEP (P0_R108_D4)` 寄存器位来完全禁用软步进。

每个输出通道（包括数字麦克风录音通道）都具有独立的数字音量控制设置。不过，该器件还支持使用通道 1 数字音量控制设置将所有通道的音量控制设置组合在一起的选项，而无论通道 1 是通电还是断电。可以使用 `DVOL_GANG (P0_R108_D7)` 寄存器位来启用该组合。

表 6-14 展示了可用于数字音量控制的可编程选项。

表 6-14. 数字音量控制 (DVC) 可编程设置

P0_R62_D[7:0] : CH1_DVOL[7:0]	输出通道 1 的 DVC 设置
0000 0000 = 0d	输出通道 1 DVC 设置为静音
0000 0001 = 1d	输出通道 1 DVC 设置为 -100dB
0000 0010 = 2d	输出通道 1 DVC 设置为 -99.5dB
0000 0011 = 3d	输出通道 1 DVC 设置为 -99dB
...	...
1100 1000 = 200d	输出通道 1 DVC 设置为 -0.5dB
1100 1001 = 201d (默认值)	输出通道 1 DVC 设置为 0dB
1100 1010 = 202d	输出通道 1 DVC 设置为 0.5dB
...	...
1111 1101 = 253d	输出通道 1 DVC 设置为 26dB
1111 1110 = 254d	输出通道 1 DVC 设置为 26.5dB
1111 1111 = 255d	输出通道 1 DVC 设置为 27dB

同样，输出通道 2 至通道 4 的数字音量控制设置可以分别使用 CH2_DVOL (P0_R67) 至 CH4_DVOL (P0_R77) 寄存器位进行配置。

当该通道上电时，内部数字处理引擎会将音量从静音级别软斜升至编程的音量级别，当该通道断电时，内部数字处理引擎会将音量从编程的音量软斜降至静音。这种音量软步进是为了防止录音通道突然上电和断电。也可以使用 DISABLE_SOFT_STEP (P0_R108_D4) 寄存器位来完全禁用该功能。

6.3.6.2 可编程通道增益校准

除了可编程通道增益和数字音量外，该器件还提供可编程通道增益校准。每个通道的增益能够以 0.1dB 的步长进行精细校准或调整，增益误差范围为 -0.8dB 至 0.7dB。当尝试匹配外部元件和麦克风灵敏度导致的通道间增益时，此调整非常有用。该功能与常规数字音量控制相结合，可以在宽增益误差范围内实现所有通道上的增益匹配，分辨率为 0.1dB。表 6-15 展示了可用于通道增益校准的可编程选项。

表 6-15. 通道增益校准可编程设置

P0_R63_D[7:4] : CH1_GCAL[3:0]	输入通道 1 的通道增益校准设置
0000 = 0d	输入通道 1 增益校准设置为 -0.8dB
0001 = 1d	输入通道 1 增益校准设置为 -0.7dB
...	...
1000 = 8d (默认值)	输入通道 1 增益校准设置为 0dB
...	...
1110 = 14d	输入通道 1 增益校准设置为 0.6dB
1111 = 15d	输入通道 1 增益校准设置为 0.7dB

同样，可以分别使用 CH2_GCAL (P0_R68) 至 CH4_GCAL (P0_R78) 寄存器位来配置输入通道 2 至通道 4 的通道增益校准设置。

6.3.6.3 可编程通道相位校准

除了增益校准外，每个通道的相位延迟可进行精细校准或调整。具体来说，对于模拟麦克风的相位误差，可以在 0 至 255 个调制器时钟周期范围内，以一个时钟周期为步长进行调整。调制器时钟与用于 ADC_MOD_CLK 的时钟相同，为 6.144MHz (输出数据采样速率为 48kHz 的倍数或约数) 或 5.6448MHz (输出数据采样速率为 44.1kHz 的倍数或约数)。对于数字麦克风接口，相位校准时钟取决于使用的 PDM 时钟。对于 6.144MHz 的 PDM_CLK (输出数据采样速率为 48kHz 的倍数或约数) 或 5.6448MHz (输出数据采样速率为 44.1kHz 的倍数或约数)，相位校准时钟与 PDM_CLK 相同。当 PDM_CLK 等于或低于 3.072MHz (输出数据采样速率是 48kHz 的倍数或约数) 时，使用的相位校准时钟为 3.072MHz。同样，对于 2.8224MHz、1.4112MHz 或 705.6kHz 的 PDM_CLK (输出数据采样速率是 44.1kHz 的倍数或约数)，使用的相位校准时钟为 2.8224MHz。对于必须在每个通道之间以高分辨率进行相位匹配的应用 (包括由外部元件或麦克风导致的任何通道间相位不匹配)，该功能非常有用。表 6-16 展示了使用 6.144MHz 或 5.6448MHz 的 PDM_CLK 时，模拟或数字麦克风的通道相位校准的可用可编程选项。

表 6-16. 通道相位校准可编程设置

P0_R64_D[7:0] : CH1_PCAL[7:0]	输入通道 1 的通道相位校准设置
0000 0000 = 0d (默认值)	输入通道 1 相位校准，无延迟
0000 0001 = 1d	输入通道 1 相位校准延迟设置为一个调制器时钟周期
0000 0010 = 2d	输入通道 1 相位校准延迟设置为两个调制器时钟周期
...	...
1111 1110 = 254d	输入通道 1 相位校准延迟设置为 254 个调制器时钟周期
1111 1111 = 255d	输入通道 1 相位校准延迟设置为 255 个调制器时钟周期

对于 PDM_CLK 频率低于 3.072MHz 的数字麦克风接口，相位校准范围为相位校准时钟的 0 至 127 (如果输出数据采样率是 48kHz 的倍数或约数，为 3.072MHz；如果输出数据采样率是 44.1kHz 的倍数或约数，为 2.8224MHz)。可以使用 CH1_PCAL[7:1] 配置通道 1 的该范围。

同样，可以分别使用 CH2_PCAL (P0_R69) 到 CH4_PCAL (P0_R79) 寄存器位来配置输入通道 2 到通道 4 的通道相位校准设置。

当模拟输入和 PDM 输入一起用于同步转换时，不得使用相位校准功能。

6.3.6.4 可编程数字高通滤波器

为了去除直流偏移分量并衰减录音数据中不需要的低频噪声成分，该器件支持可编程高通滤波器 (HPF)。HPF 不是独立于通道的滤波器设置，但全局适用于所有 ADC 通道。该 HPF 使用一阶无限脉冲响应 (IIR) 滤波器构建，并具有足够高的效率来滤除信号中可能的直流分量。表 6-17 展示了可用的预定义 -3dB 截止频率，该频率可使用 P0_R107 的 HPF_SEL[1] 寄存器位进行设置。此外，为了针对特定应用实现自定义的 -3dB 截止频率，该器件还允许在 HPF_SEL[1:0] 寄存器位设置为 2'b00 时对一阶 IIR 滤波器系数进行编程。图 6-17 展示了 HPF 滤波器的频率响应图。

表 6-17. HPF 可编程设置

P0_R107_D[1:0] : HPF_SEL[1:0]	-3dB 截止频率设置	16kHz 采样速率下的 -3dB 截止频率	48kHz 采样速率下的 -3dB 截止频率
00	可编程一阶 IIR 滤波器	可编程一阶 IIR 滤波器	可编程一阶 IIR 滤波器
01 (默认值)	$0.00025 \times f_s$	4Hz	12Hz
10	$0.002 \times f_s$	32Hz	96Hz
11	$0.008 \times f_s$	128Hz	384Hz

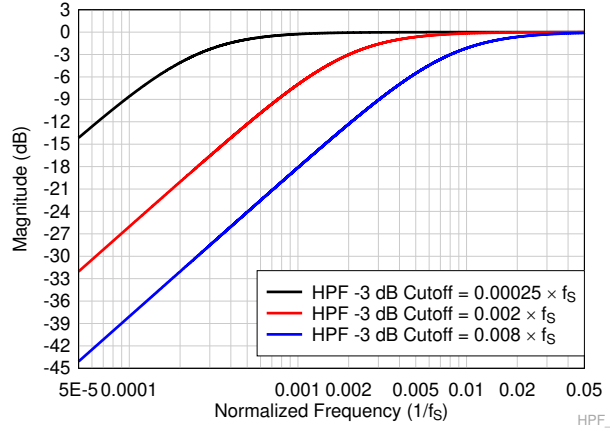


图 6-17. HPF 滤波器频率响应图

方程式 1 给出了一阶可编程 IIR 滤波器的传递函数：

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \quad (1)$$

对于具有默认系数的该一阶可编程 IIR 滤波器，其频率响应在增益为 0dB（全通滤波器）时是平坦的。主机器件可以通过对表 6-18 中的 IIR 系数进行编程来覆盖频率响应，从而实现高通滤波或任何其他必要滤波所需的频率响应。如果 HPF_SEL[1:0] 设置为 2'b00，则主机器件必须写入这些系数值以实现所需的频率响应，然后再对任何 ADC 通道上电以进行录音。表 6-18 展示了一阶 IIR 滤波器的滤波器系数。

表 6-18. 一阶 IIR 滤波器系数

滤波器	滤波器系数	默认系数值	系数寄存器映射
可编程一阶 IIR 滤波器（可分配至 HPF 或任何其他所需滤波器）	N ₀	0x7FFFFFFF	P4_R72-R75
	N ₁	0x00000000	P4_R76-R79
	D ₁	0x00000000	P4_R80-R83

6.3.6.5 可编程数字双二阶滤波器

该器件支持多达 12 个可编程数字双二阶滤波器。这些高效滤波器可实现所需的频率响应。在数字信号处理中，数字双二阶滤波器是具有两个极点和两个零点的二阶递归线性滤波器。方程式 2 给出了每个双二阶滤波器的传递函数：

$$H(z) = \frac{N_0 + 2N_1z^{-1} + N_2z^{-2}}{2^{31} - 2D_1z^{-1} - D_2z^{-2}} \quad (2)$$

对于具有默认系数的双二阶滤波器部分，其频率响应在增益为 0dB（全通滤波器）时是平坦的。主机器件可以通过对双二阶系数进行编程来覆盖频率响应，从而实现低通、高通或任何其他必要频率整形所需的频率响应。节 7.4.1 和 节 7.4.2 介绍了混频器操作的可编程系数。如果需要双二阶滤波，那么主机器件必须先写入这些系数值，然后再为任何 ADC 通道上电以进行录音。如表 6-19 所述，可以根据 P0_R108 的 BIQUAD_CFG[1] 寄存器设置为每个输出通道分配这些双二阶滤波器。通过将 BIQUAD_CFG[1:0] 设置为 2'b00，会禁用所有录音通道的双二阶滤波，并且如果系统应用不需要额外的滤波，则主机器件可以选择该设置。有关更多详细信息，请参阅 TLV320ADCx140 可编程双二阶滤波器配置和应用应用报告。

表 6-19. 双二阶滤波器在记录输出通道中的分配

可编程双二阶滤波器	使用 P0_R108_D[6:5] 寄存器设置的记录输出通道分配		
	BIQUAD_CFG[1:0] = 2'b01 (每通道 1 个双二阶滤波器)	BIQUAD_CFG[1:0] = 2'b10 (默认值) (每通道 2 个双二阶滤波器)	BIQUAD_CFG[1:0] = 2'b11 (每通道 3 个双二阶滤波器)
双二阶滤波器 1	分配至输出通道 1	分配至输出通道 1	分配至输出通道 1
双二阶滤波器 2	分配至输出通道 2	分配至输出通道 2	分配至输出通道 2
双二阶滤波器 3	分配至输出通道 3	分配至输出通道 3	分配至输出通道 3
双二阶滤波器 4	分配至输出通道 4	分配至输出通道 4	分配至输出通道 4
双二阶滤波器 5	未使用	分配至输出通道 1	分配至输出通道 1
双二阶滤波器 6	未使用	分配至输出通道 2	分配至输出通道 2
双二阶滤波器 7	未使用	分配至输出通道 3	分配至输出通道 3
双二阶滤波器 8	未使用	分配至输出通道 4	分配至输出通道 4
双二阶滤波器 9	未使用	未使用	分配至输出通道 1
双二阶滤波器 10	未使用	未使用	分配至输出通道 2
双二阶滤波器 11	未使用	未使用	分配至输出通道 3
双二阶滤波器 12	未使用	未使用	分配至输出通道 4

表 6-20 所示为寄存器空间中的双二阶滤波器系数映射。

表 6-20. 双二阶滤波器系数寄存器映射

可编程双二阶滤波器	双二阶滤波器系数寄存器映射	可编程双二阶滤波器	双二阶滤波器系数寄存器映射
双二阶滤波器 1	P2_R8-R27	双二阶滤波器 7	P3_R8-R27
双二阶滤波器 2	P2_R28-R47	双二阶滤波器 8	P3_R28-R47
双二阶滤波器 3	P2_R48-R67	双二阶滤波器 9	P3_R48-R67
双二阶滤波器 4	P2_R68-R87	双二阶滤波器 10	P3_R68-R87
双二阶滤波器 5	P2_R88-R107	双二阶滤波器 11	P3_R88-R107
双二阶滤波器 6	P2_R108-R127	双二阶滤波器 12	P3_R108-R127

6.3.6.6 可编程通道加法器和数字混频器

如果应用所需的 SNR 高于每个通道支持的 SNR，可以使用器件数字求和模式。在该模式下，数字录音数据会以相等的权重因子在通道上求和，这有助于降低等效录音噪声。表 6-21 列出了通道求和模式可用的配置设置。

表 6-21. 通道求和模式可编程设置

P0_R107_D[3:2] : CH_SUM[1:0]	输入通道的通道加法模式	SNR 和动态范围提升
00 (默认值)	通道求和模式禁用	不适用
01	输出通道 1 = (输入通道 1 + 输入通道 2) / 2 输出通道 2 = (输入通道 1 + 输入通道 2) / 2	SNR 和动态范围提升约 3dB
10	保留 (不使用此设置)	不适用
11	保留 (不使用此设置)	不适用

该器件还支持完全可编程的混频器功能，该功能可以将各种输入通道与其自定义可编程比例因子进行混频，以生成最终输出通道。可编程混频器功能仅在 CH_SUM[1:0] 设置为 2'b00 时可用。所有输入通道都支持混频器功能。图 6-18 所示的方框图描述了混频器 1 用于生成输出通道 1 的操作。节 7.4.3 介绍了混频器操作的可编程系数。

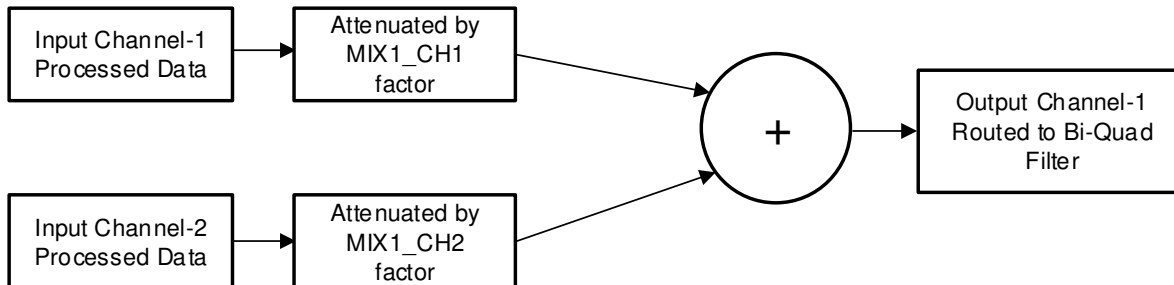


图 6-18. 可编程数字混频器方框图

混频器 2 会执行类似的混频器操作以生成输出通道 2。

6.3.6.7 可配置数字抽取滤波器

器件录音通道包括一个内置的高动态范围数字抽取滤波器，用于处理来自多位 Δ - Σ 调制器的过采样数据，从而与 **FSYNC** 速率相同的奈奎斯特采样速率生成数字数据。如图 6-16 所示，该抽取滤波器也可用于处理来自数字麦克风的过采样 PDM 流。根据目标应用所需的频率响应、群延迟和相位线性度要求，可以从三种不同的类型中选择抽取滤波器。可以通过配置 **DECI_FILT** (**P0_R107_D[5:4]**) 寄存器位来选择抽取滤波器选项。表 6-22 展示了录音通道抽取滤波器模式选择的配置寄存器设置。

表 6-22. 录音通道的抽取滤波器模式选择

P0_R107_D[5:4] : DECI_FILT[1:0]	抽取滤波器模式选择
00 (默认值)	线性相位滤波器用于抽取
01	低延时滤波器用于抽取
10	超低延时滤波器用于抽取
11	保留 (不使用此设置)

6.3.6.7.1 线性相位滤波器

线性相位抽取滤波器是器件设置的默认滤波器，可用于需要在滤波器通带规格范围内具有良好线性相位和零相位偏差的所有应用。本节列出了所有受支持输出采样速率的滤波器性能规格和各种图。

6.3.6.7.1.1 采样速率：7.35kHz 至 8kHz

图 6-19 和图 6-20 分别展示了采样速率为 7.35kHz 至 8kHz 时抽取滤波器的幅度响应和通带纹波。表 6-23 列出了采样速率为 7.35kHz 至 8kHz 时抽取滤波器的规格。

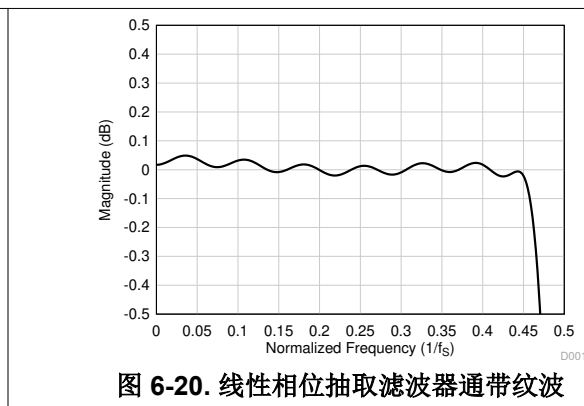
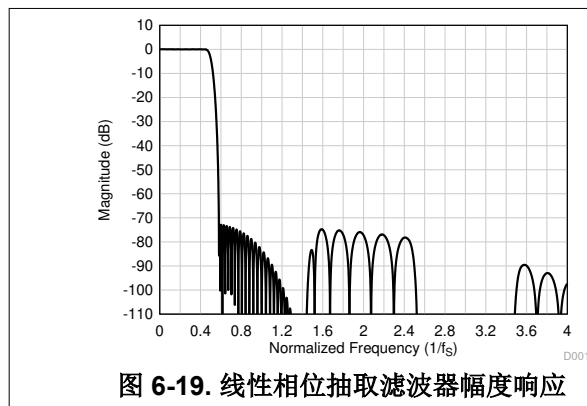


表 6-23. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	72.7			dB
	频率范围为 $4 \times f_s$ 以上	81.2			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		17.1		$1/f_s$

6.3.6.7.1.2 采样速率：14.7kHz 至 16kHz

图 6-21 和图 6-22 分别展示了采样速率为 14.7kHz 至 16kHz 时抽取滤波器的幅度响应和通带纹波。表 6-24 列出了采样速率为 14.7kHz 至 16kHz 时抽取滤波器的规格。

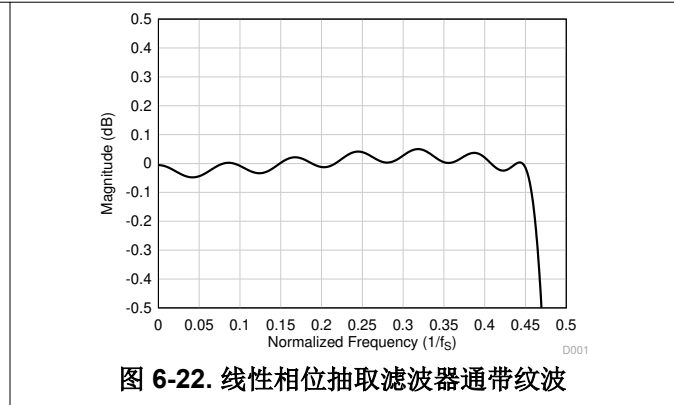
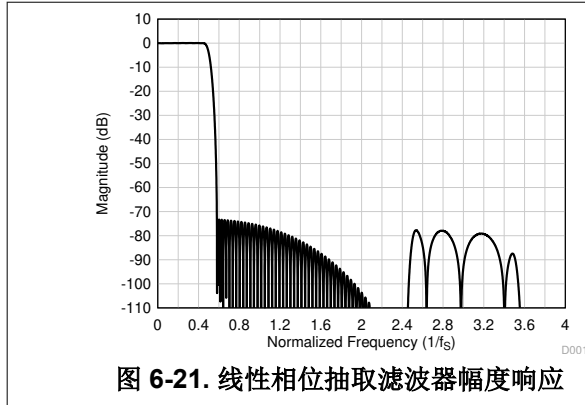


表 6-24. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.3			dB
	频率范围为 $4 \times f_s$ 以上	95.0			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		15.7		$1/f_s$

6.3.6.7.1.3 采样速率：22.05kHz 至 24kHz

图 6-23 和图 6-24 分别展示了采样速率为 22.05kHz 至 24kHz 时抽取滤波器的幅度响应和通带纹波。表 6-25 列出了采样速率为 22.05kHz 至 24kHz 时抽取滤波器的规格。

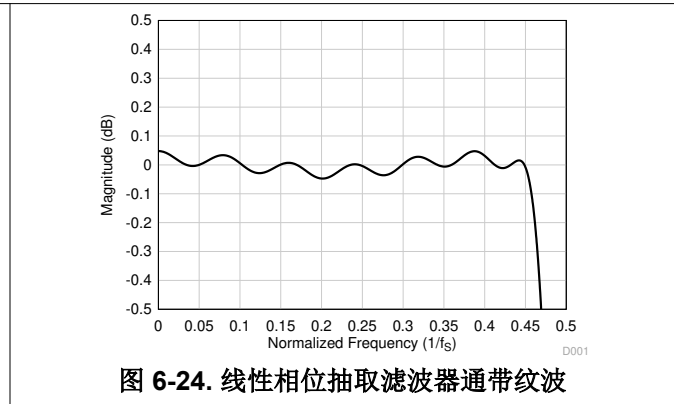
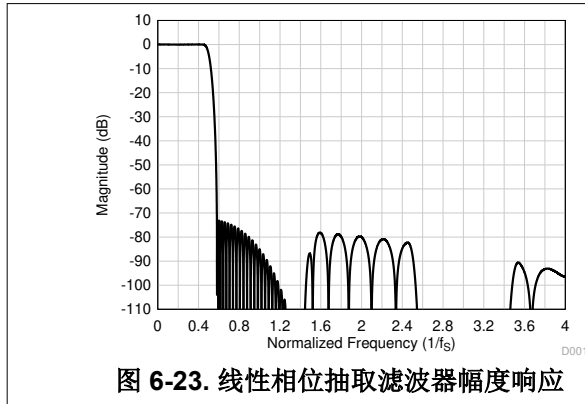


表 6-25. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.0			dB
	频率范围为 $4 \times f_s$ 以上	96.4			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		16.6		$1/f_s$

6.3.6.7.1.4 采样速率：29.4kHz 至 32kHz

图 6-25 和图 6-26 分别展示了采样速率为 29.4kHz 至 32kHz 时抽取滤波器的幅度响应和通带纹波。表 6-26 列出了采样速率为 29.4kHz 至 32kHz 时抽取滤波器的规格。

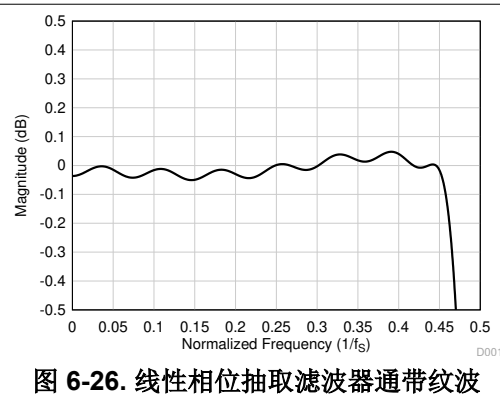
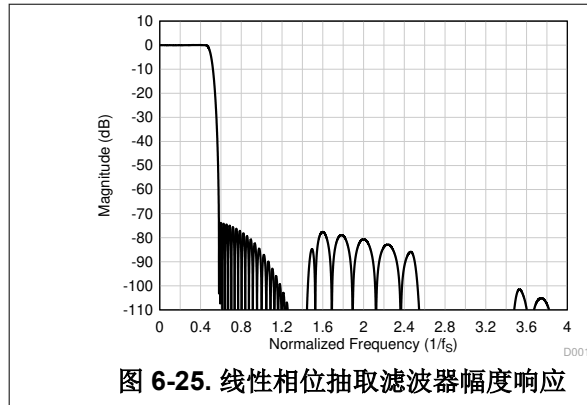


表 6-26. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.7			dB
	频率范围为 $4 \times f_s$ 以上	107.2			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		16.9		$1/f_s$

6.3.6.7.1.5 采样速率：44.1kHz 至 48kHz

图 6-27 和图 6-28 分别展示了采样速率为 44.1kHz 至 48kHz 时抽取滤波器的幅度响应和通带纹波。表 6-27 列出了采样速率为 44.1kHz 至 48kHz 时抽取滤波器的规格。

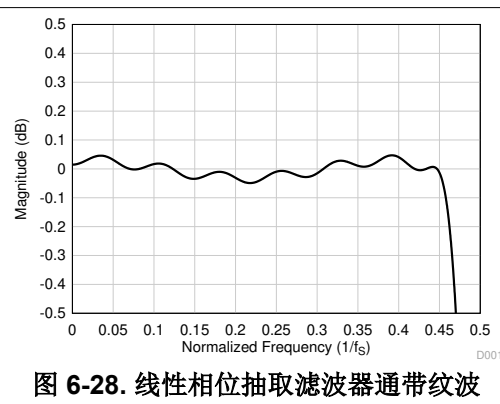
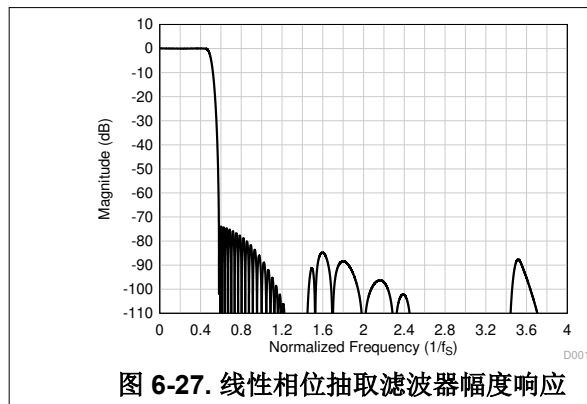


表 6-27. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.8			dB
	频率范围为 $4 \times f_s$ 以上	98.1			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		17.1		$1/f_s$

6.3.6.7.1.6 采样速率：88.2kHz 至 96kHz

图 6-29 和图 6-30 分别展示了采样速率为 88.2kHz 至 96kHz 时抽取滤波器的幅度响应和通带纹波。表 6-28 列出了采样速率为 88.2kHz 至 96kHz 时抽取滤波器的规格。

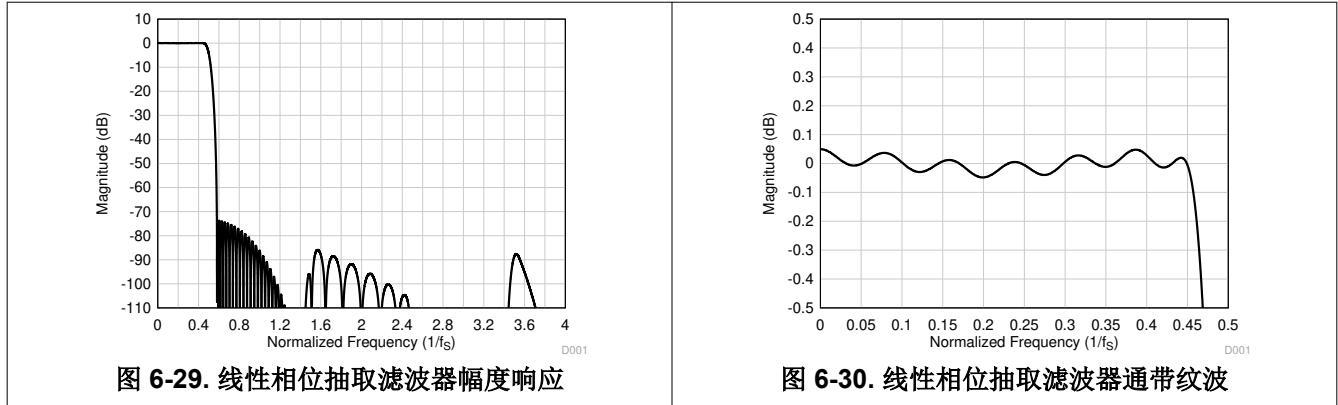


图 6-29. 线性相位抽取滤波器幅度响应

图 6-30. 线性相位抽取滤波器通带纹波

表 6-28. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.6			dB
	频率范围为 $4 \times f_s$ 以上	97.9			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		17.1		$1/f_s$

6.3.6.7.1.7 采样速率：176.4kHz 至 192kHz

图 6-31 和图 6-32 分别展示了采样速率为 176.4kHz 至 192kHz 时抽取滤波器的幅度响应和通带纹波。表 6-29 列出了采样速率为 176.4kHz 至 192kHz 时抽取滤波器的规格。

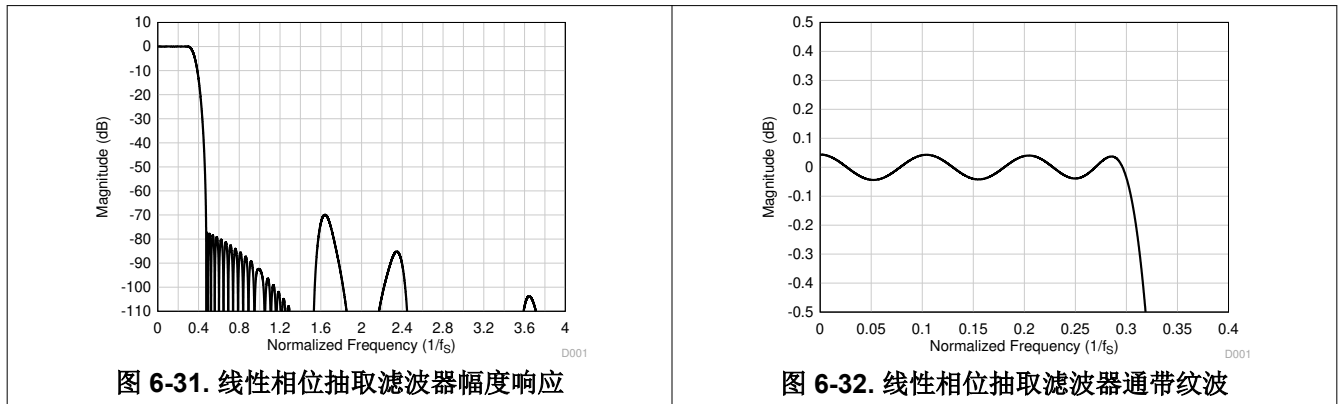


图 6-31. 线性相位抽取滤波器幅度响应

图 6-32. 线性相位抽取滤波器通带纹波

表 6-29. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.3 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.473 \times f_s$ 至 $4 \times f_s$	70.0			dB
	频率范围为 $4 \times f_s$ 以上	111.0			
群延迟或延时	频率范围为 0 至 $0.3 \times f_s$		11.9		$1/f_s$

6.3.6.7.1.8 采样速率：352.8kHz 至 384kHz

图 6-33 和图 6-34 分别展示了采样速率为 352.8kHz 至 384kHz 时抽取滤波器的幅度响应和通带纹波。表 6-30 列出了采样速率为 352.8kHz 至 384kHz 时抽取滤波器的规格。

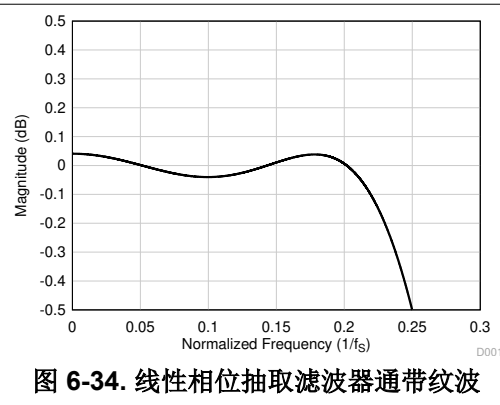
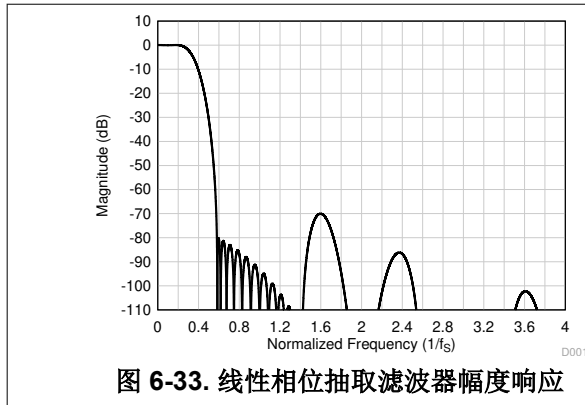


表 6-30. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.212 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	70.0			dB
	频率范围为 $4 \times f_s$ 以上	108.8			
群延迟或延时	频率范围为 0 至 $0.212 \times f_s$		7.2		$1/f_s$

6.3.6.7.1.9 采样速率：705.6kHz 至 768kHz

图 6-35 和图 6-36 分别展示了采样速率为 705.6kHz 至 768kHz 时抽取滤波器的幅度响应和通带纹波。表 6-31 列出了采样速率为 705.6kHz 至 768kHz 时抽取滤波器的规格。

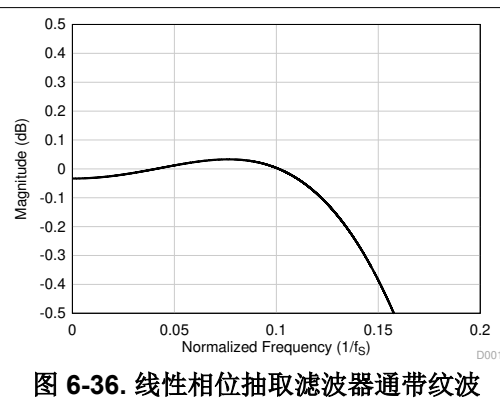
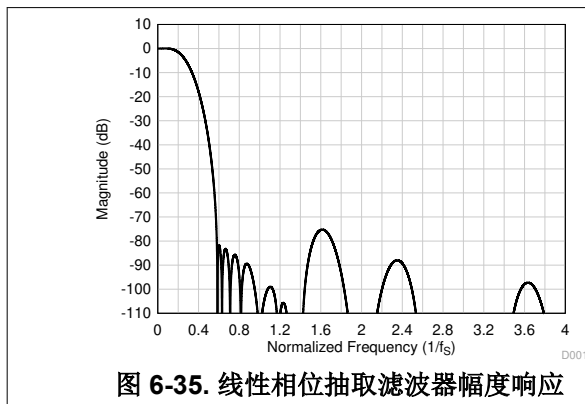


表 6-31. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.113 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $2 \times f_s$	75.0			dB
	频率范围为 $2 \times f_s$ 以上	88.0			
群延迟或延时	频率范围为 0 至 $0.113 \times f_s$		5.9		$1/f_s$

6.3.6.7.2 低延迟滤波器

对于低延迟和最小相位偏差（在音频频带内）至关重要的应用，可以使用 TAA3020 上的低延迟抽取滤波器。该器件支持这些滤波器，其群延迟约为七个样本，在 $0.365 \times f_S$ 频带内具有几乎为线性的相位响应。本节提供了低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

6.3.6.7.2.1 采样速率：14.7kHz 至 16kHz

图 6-37 展示了采样速率为 14.7kHz 至 16kHz 时抽取滤波器的幅度响应，而图 6-38 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-32 列出了采样速率为 14.7kHz 至 16kHz 时抽取滤波器的规格。

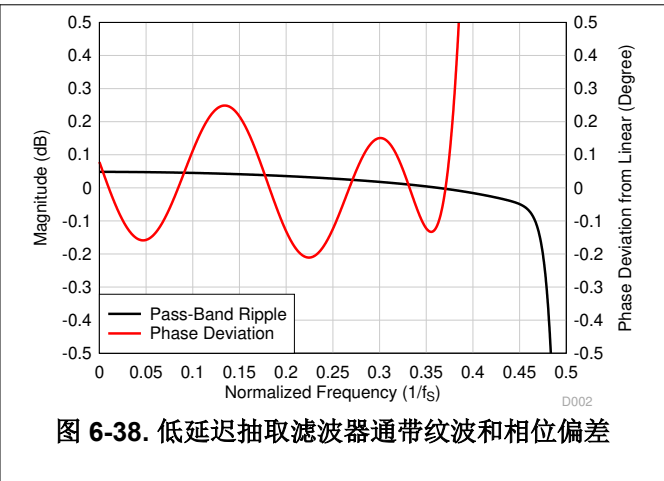
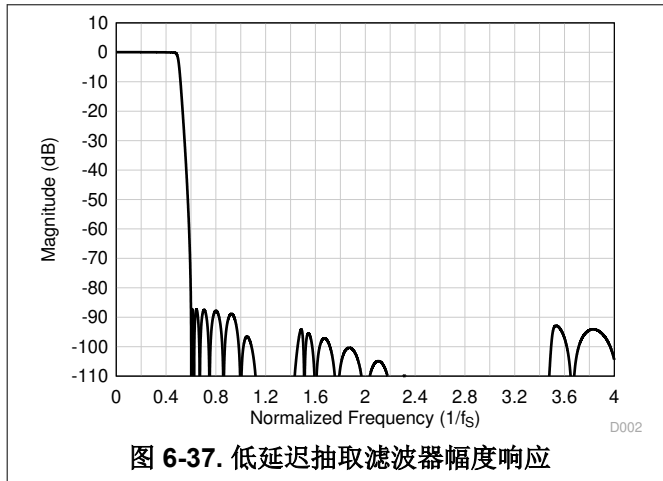


表 6-32. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.451 \times f_S$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.61 \times f_S$ 以上	87.3			dB
群延迟或延时	频率范围为 0 至 $0.363 \times f_S$		7.6		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.363 \times f_S$	-0.022		0.022	$1/f_S$
相位偏差	频率范围为 0 至 $0.363 \times f_S$	-0.21		0.25	度

6.3.6.7.2.2 采样速率：22.05kHz 至 24kHz

图 6-39 展示了采样速率为 22.05kHz 至 24kHz 时抽取滤波器的幅度响应，而图 6-40 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-33 列出了采样速率为 22.05kHz 至 24kHz 时抽取滤波器的规格。

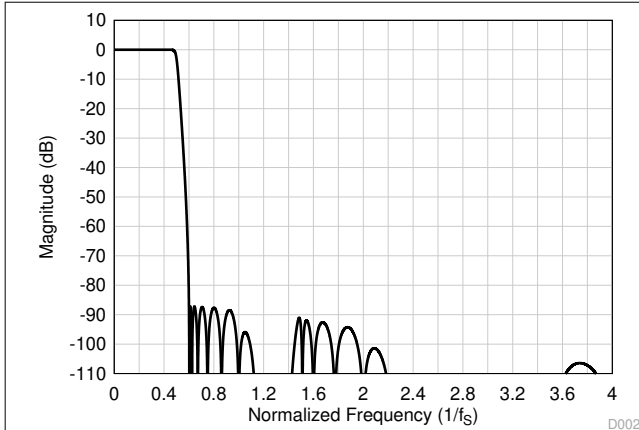


图 6-39. 低延迟抽取滤波器幅度响应

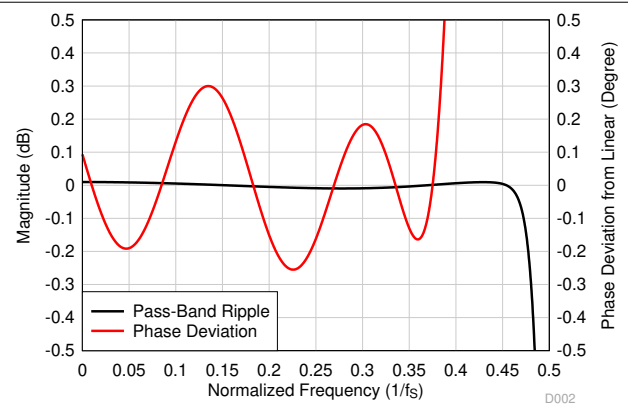


图 6-40. 低延迟抽取滤波器通带纹波和相位偏差

表 6-33. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.459 \times f_s$	-0.01		0.01	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	87.2			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_s$		7.5		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.365 \times f_s$	-0.026		0.026	$1/f_s$
相位偏差	频率范围为 0 至 $0.365 \times f_s$	-0.26		0.30	度

6.3.6.7.2.3 采样速率：29.4kHz 至 32kHz

图 6-41 展示了采样速率为 29.4kHz 至 32kHz 时抽取滤波器的幅度响应，而图 6-42 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-34 列出了采样速率为 29.4kHz 至 32kHz 时抽取滤波器的规格。

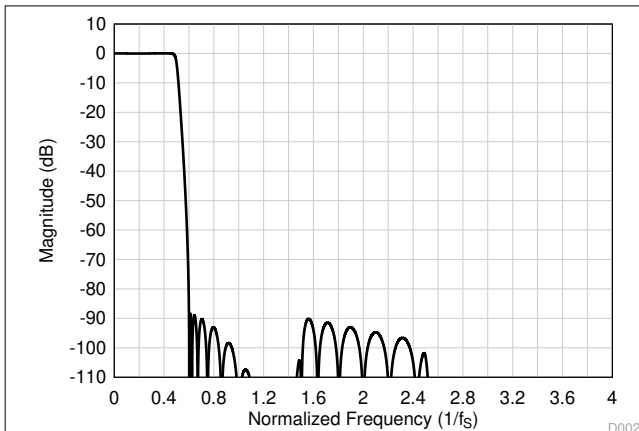


图 6-41. 低延迟抽取滤波器幅度响应

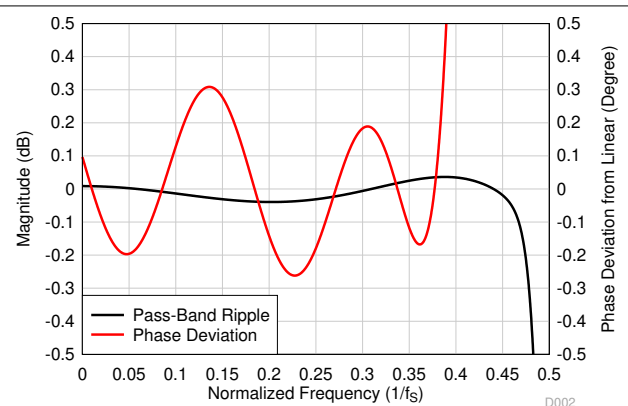


图 6-42. 低延迟抽取滤波器通带纹波和相位偏差

表 6-34. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.457 \times f_s$	-0.04		0.04	dB

表 6-34. 低延迟抽取滤波器规格 (续)

参数	测试条件	最小值	典型值	最大值	单位
阻带衰减	频率范围为 $0.6 \times f_S$ 以上	88.3			dB
群延迟或延时	频率范围为 0 至 $0.368 \times f_S$		8.7		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.368 \times f_S$	-0.026		0.026	$1/f_S$
相位偏差	频率范围为 0 至 $0.368 \times f_S$	-0.26		0.31	度

6.3.6.7.2.4 采样速率：44.1kHz 至 48kHz

图 6-43 展示了采样速率为 44.1kHz 至 48kHz 时抽取滤波器的幅度响应，而图 6-44 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-35 列出了采样速率为 44.1kHz 至 48kHz 时抽取滤波器的规格。

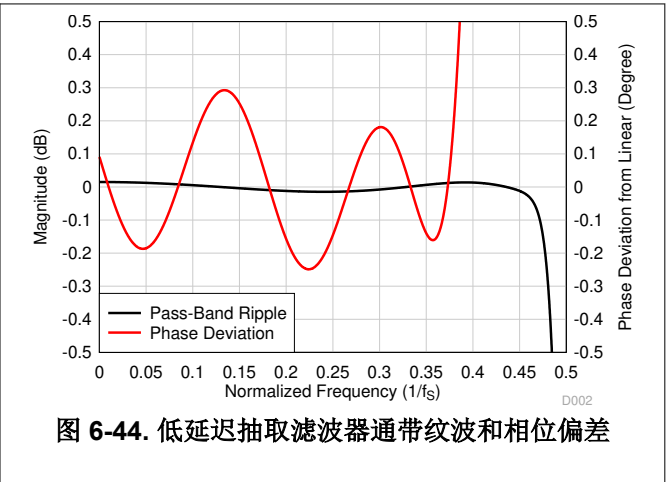
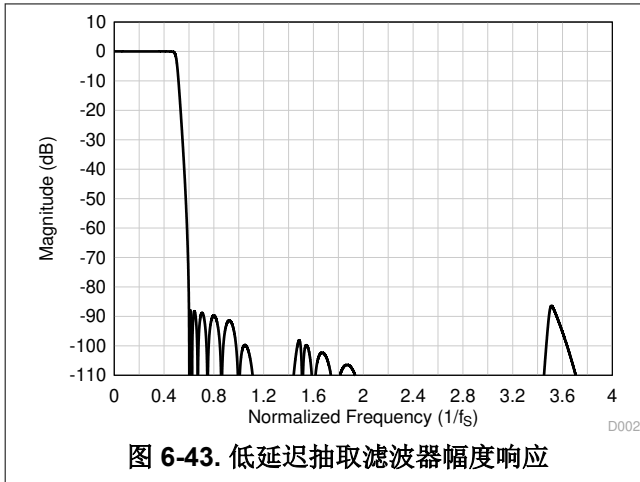


表 6-35. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.452 \times f_S$	-0.015		0.015	dB
阻带衰减	频率范围为 $0.6 \times f_S$ 以上	86.4			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_S$		7.7		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.365 \times f_S$	-0.027		0.027	$1/f_S$
相位偏差	频率范围为 0 至 $0.365 \times f_S$	-0.25		0.30	度

6.3.6.7.2.5 采样速率：88.2kHz 至 96kHz

图 6-45 展示了采样速率为 88.2kHz 至 96kHz 时抽取滤波器的幅度响应，而图 6-46 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-36 列出了采样速率为 88.2kHz 至 96kHz 时抽取滤波器的规格。

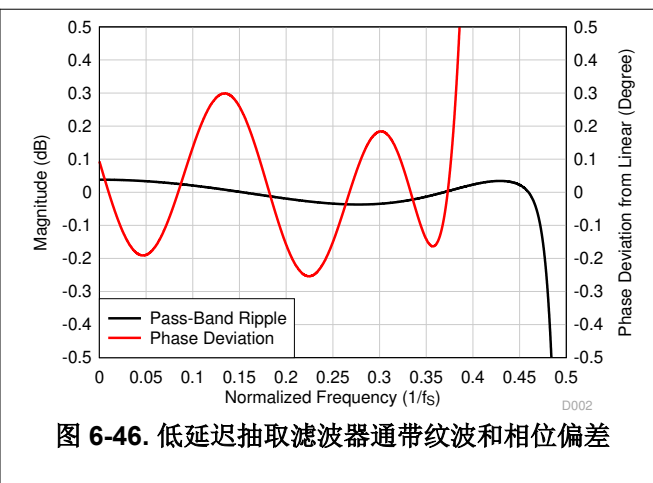
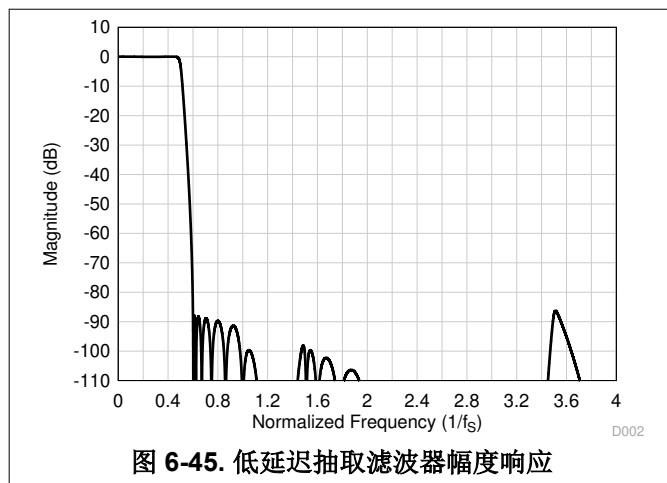


表 6-36. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.466 \times f_s$	-0.04		0.04	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	86.3			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_s$		7.7		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.365 \times f_s$	-0.027		0.027	$1/f_s$
相位偏差	频率范围为 0 至 $0.365 \times f_s$	-0.26		0.30	度

6.3.6.7.2.6 采样速率：176.4kHz 至 192kHz

图 6-47 展示了采样速率为 176.4kHz 至 192kHz 时抽取滤波器的幅度响应，而图 6-48 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-37 列出了采样速率为 176.4kHz 至 192kHz 时抽取滤波器的规格。

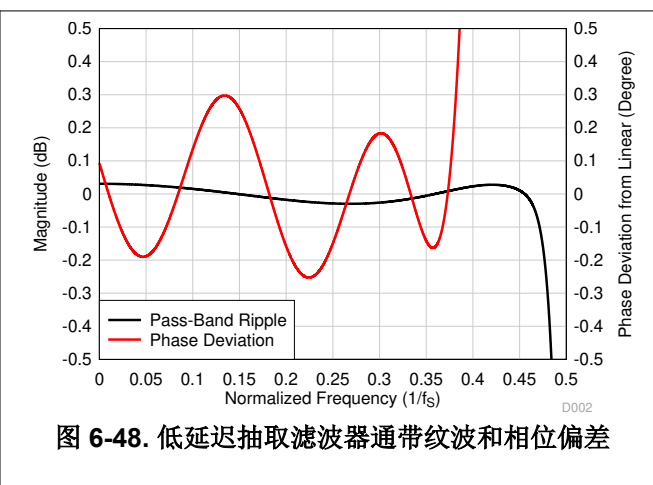
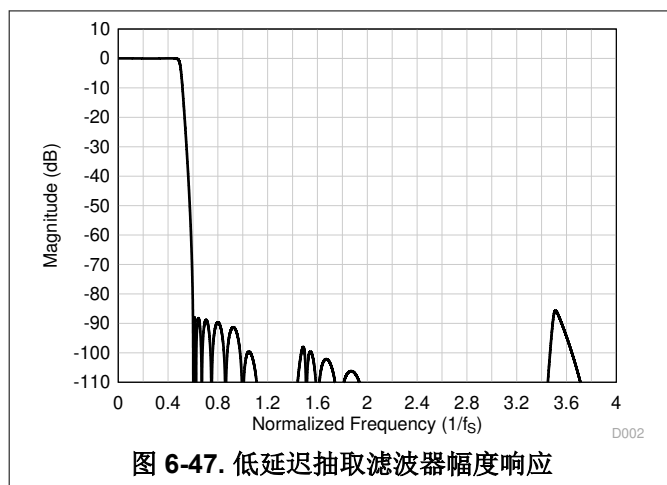


表 6-37. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $463 \times f_s$	-0.03		0.03	dB

表 6-37. 低延迟抽取滤波器规格 (续)

参数	测试条件	最小值	典型值	最大值	单位
阻带衰减	频率范围为 $0.6 \times f_S$ 以上	85.6			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_S$		7.7		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.365 \times f_S$	-0.027		0.027	$1/f_S$
相位偏差	频率范围为 0 至 $0.365 \times f_S$	-0.26		0.30	度

6.3.6.7.3 超低延迟滤波器

对于注重超低延迟 (在音频频带内) 的应用, 可以使用 TAA3020 上的超低延迟抽取滤波器。该器件支持这些滤波器, 其群延迟约为四个样本, 在 $0.325 \times f_S$ 频带内具有几乎为线性的相位响应。本节提供了超低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

6.3.6.7.3.1 采样速率: 14.7kHz 至 16kHz

图 6-49 展示了采样速率为 14.7kHz 至 16kHz 时抽取滤波器的幅度响应, 而图 6-50 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-38 列出了采样速率为 14.7kHz 至 16kHz 时抽取滤波器的规格。

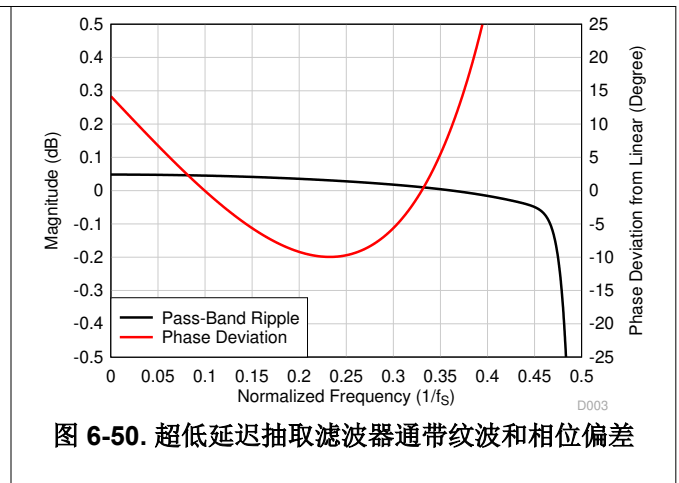
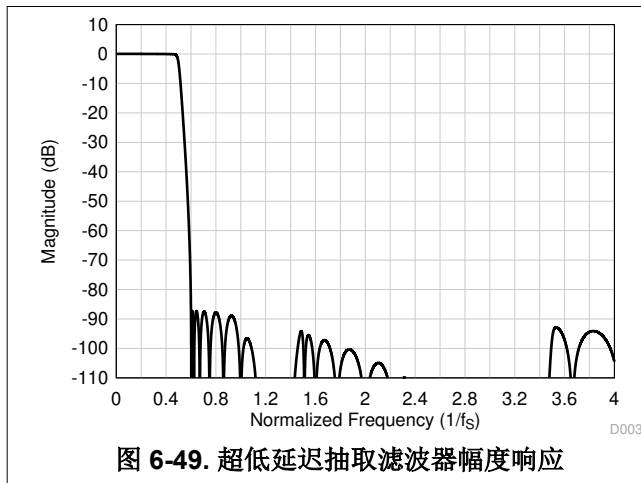


表 6-38. 超低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.45 \times f_S$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.6 \times f_S$ 以上	87.2			dB
群延迟或延时	频率范围为 0 至 $0.325 \times f_S$		4.3		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.325 \times f_S$	-0.512		0.512	$1/f_S$
相位偏差	频率范围为 0 至 $0.325 \times f_S$	-10.0		14.2	度

6.3.6.7.3.2 采样速率：22.05kHz 至 24kHz

图 6-51 展示了采样速率为 22.05kHz 至 24kHz 时抽取滤波器的幅度响应，而图 6-52 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-39 列出了采样速率为 22.05kHz 至 24kHz 时抽取滤波器的规格。

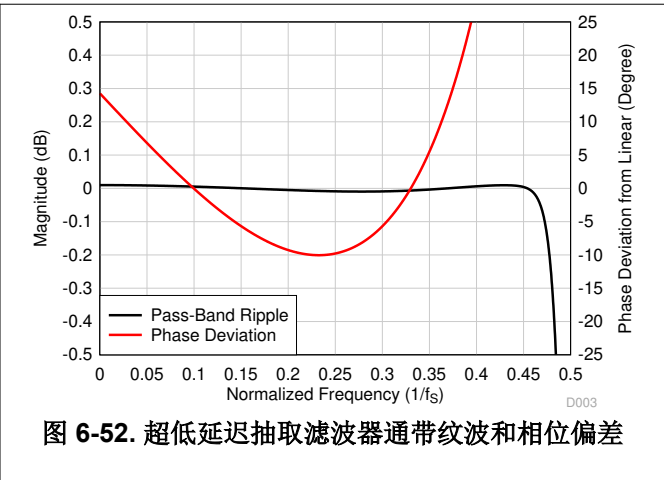
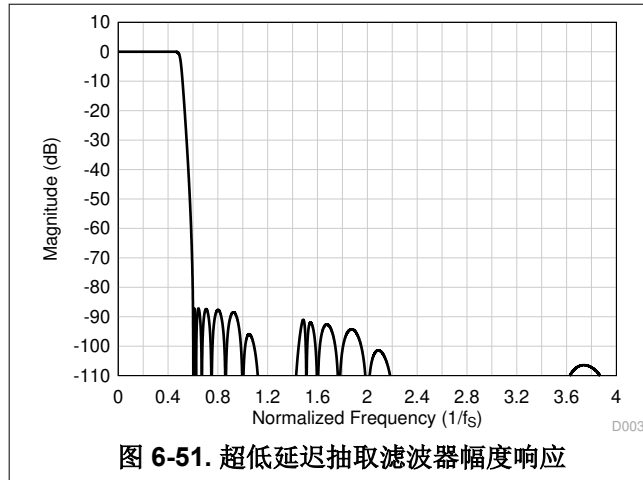


表 6-39. 超低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.46 \times f_s$	-0.01		0.01	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	87.1			dB
群延迟或延时	频率范围为 0 至 $0.325 \times f_s$		4.1		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.325 \times f_s$	-0.514		0.514	$1/f_s$
相位偏差	频率范围为 0 至 $0.325 \times f_s$	-10.0		14.3	度

6.3.6.7.3.3 采样速率：29.4kHz 至 32kHz

图 6-53 展示了采样速率为 29.4kHz 至 32kHz 时抽取滤波器的幅度响应，而图 6-54 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-40 列出了采样速率为 29.4kHz 至 32kHz 时抽取滤波器的规格。

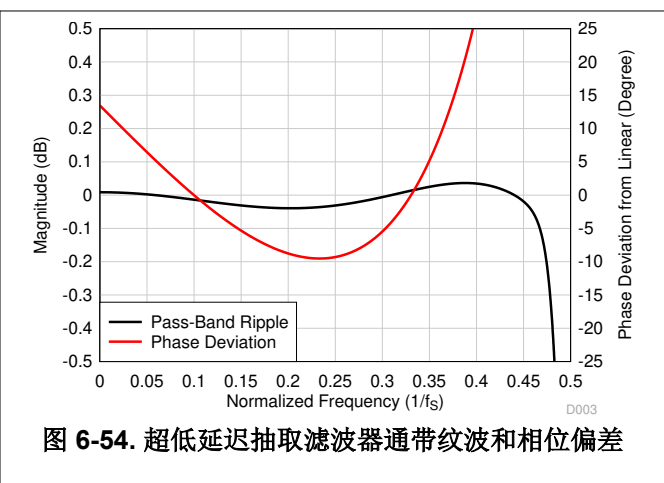
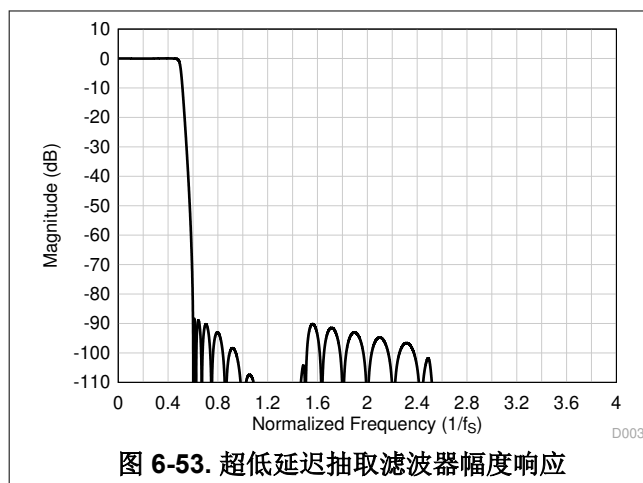


表 6-40. 超低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.457 \times f_s$	-0.04		0.04	dB

表 6-40. 超低延迟抽取滤波器规格 (续)

参数	测试条件	最小值	典型值	最大值	单位
阻带衰减	频率范围为 $0.6 \times f_S$ 以上	88.3			dB
群延迟或延时	频率范围为 0 至 $0.325 \times f_S$		5.2		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.325 \times f_S$	-0.492		0.492	$1/f_S$
相位偏差	频率范围为 0 至 $0.325 \times f_S$	-9.5		13.5	度

6.3.6.7.3.4 采样速率：44.1kHz 至 48kHz

图 6-55 展示了采样速率为 44.1kHz 至 48kHz 时抽取滤波器的幅度响应，而图 6-56 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-41 列出了采样速率为 44.1kHz 至 48kHz 时抽取滤波器的规格。

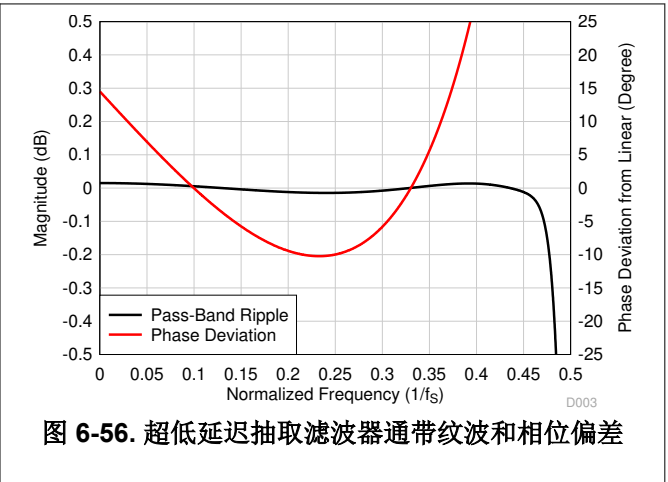
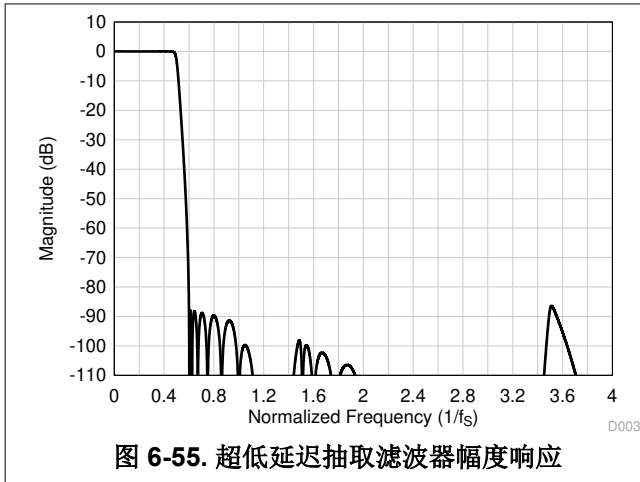


表 6-41. 超低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.452 \times f_S$	-0.015		0.015	dB
阻带衰减	频率范围为 $0.6 \times f_S$ 以上	86.4			dB
群延迟或延时	频率范围为 0 至 $0.325 \times f_S$		4.1		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.325 \times f_S$	-0.525		0.525	$1/f_S$
相位偏差	频率范围为 0 至 $0.325 \times f_S$	-10.3		14.5	度

6.3.6.7.3.5 采样速率：88.2kHz 至 96kHz

图 6-57 展示了采样速率为 88.2kHz 至 96kHz 时抽取滤波器的幅度响应，而图 6-58 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-42 列出了采样速率为 88.2kHz 至 96kHz 时抽取滤波器的规格。

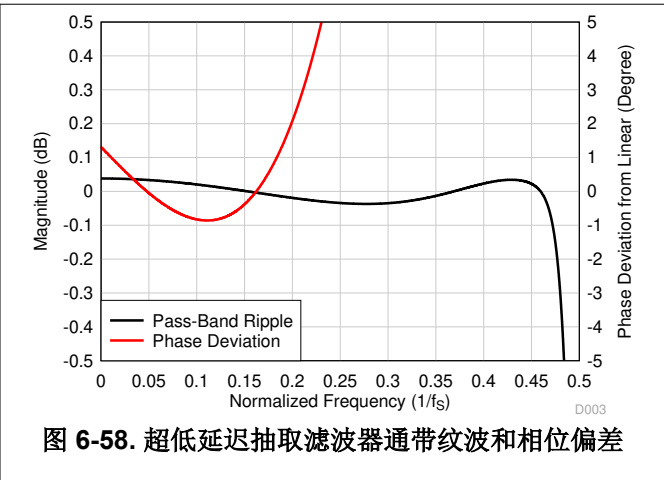
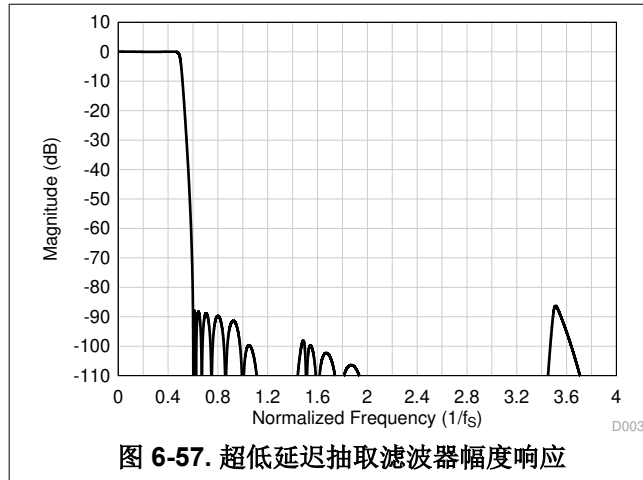


表 6-42. 超低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.466 \times f_s$	-0.04		0.04	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	86.3			dB
群延迟或延时	频率范围为 0 至 $0.1625 \times f_s$		3.7		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.1625 \times f_s$	-0.091		0.091	$1/f_s$
相位偏差	频率范围为 0 至 $0.1625 \times f_s$	-0.86		1.30	度

6.3.6.7.3.6 采样速率：176.4kHz 至 192kHz

图 6-59 展示了采样速率为 176.4kHz 至 192kHz 时抽取滤波器的幅度响应，而图 6-60 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-43 列出了采样速率为 176.4kHz 至 192kHz 时抽取滤波器的规格。

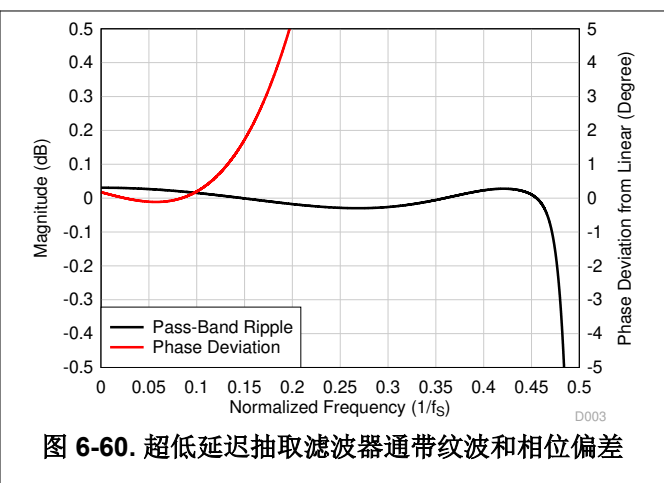
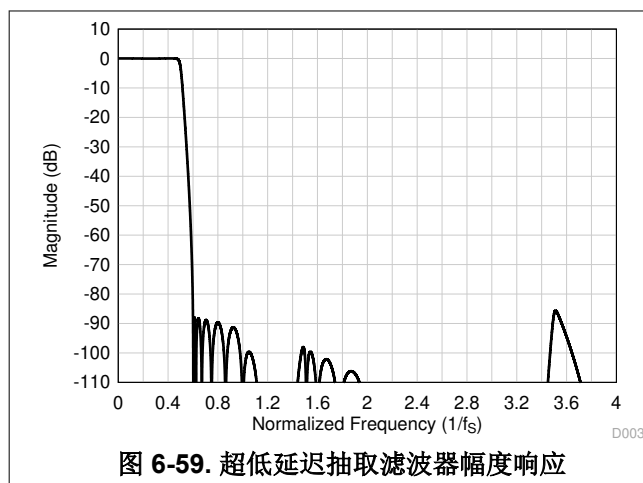


表 6-43. 超低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.463 \times f_s$	-0.03		0.03	dB

表 6-43. 超低延迟抽取滤波器规格 (续)

参数	测试条件	最小值	典型值	最大值	单位
阻带衰减	频率范围为 $0.6 \times f_S$ 以上	85.6			dB
群延迟或延时	频率范围为 0 至 $0.085 \times f_S$		3.7		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.085 \times f_S$	-0.024		0.024	$1/f_S$
相位偏差	频率范围为 0 至 $0.085 \times f_S$	-0.12		0.18	度

6.3.6.7.3.7 采样速率：352.8kHz 至 384kHz

图 6-61 展示了采样速率为 352.8kHz 至 384kHz 时抽取滤波器的幅度响应，而图 6-62 展示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-44 列出了采样速率为 352.8kHz 至 384kHz 时抽取滤波器的规格。

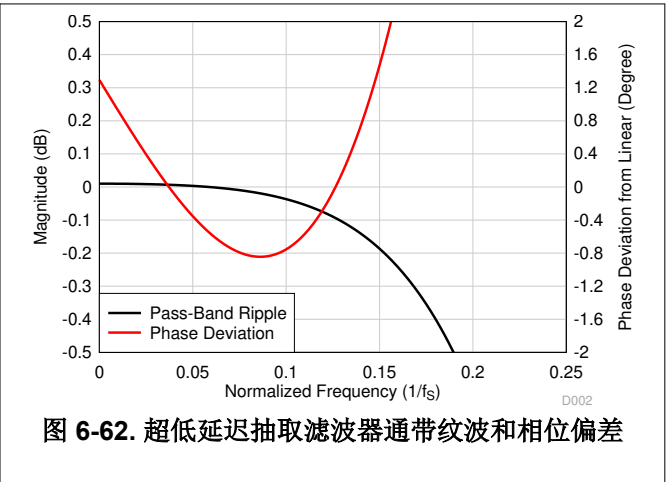
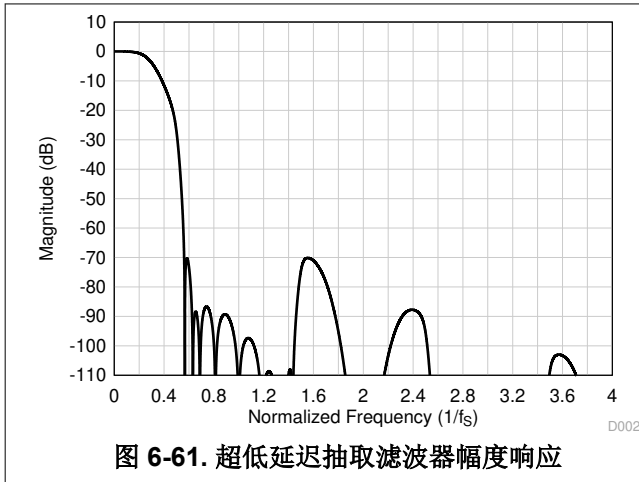


表 6-44. 超低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.1 \times f_S$	-0.04		0.01	dB
阻带衰减	频率范围为 $0.56 \times f_S$ 以上	70.1			dB
群延迟或延时	频率范围为 0 至 $0.157 \times f_S$		4.1		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.157 \times f_S$	-0.18		0.18	$1/f_S$
相位偏差	频率范围为 0 至 $0.157 \times f_S$	-0.85		2.07	度

6.3.7 自动增益控制器 (AGC)

该器件包含一个用于 ADC 录音的自动增益控制器 (AGC)。如图 6-63 所示，在录制语音时，AGC 可用于保持标称恒定输出电平。当输入信号过大或非常弱时，例如当对着麦克风讲话的人靠近或远离麦克风时，该电路会自动调整通道增益，而不用在 AGC 模式下手动设置通道增益。AGC 算法具有多个可编程参数，包括目标电平、允许的最大增益、起音和减小 (或衰减) 时间常数以及噪声阈值，允许针对任何特定应用对该算法进行微调。

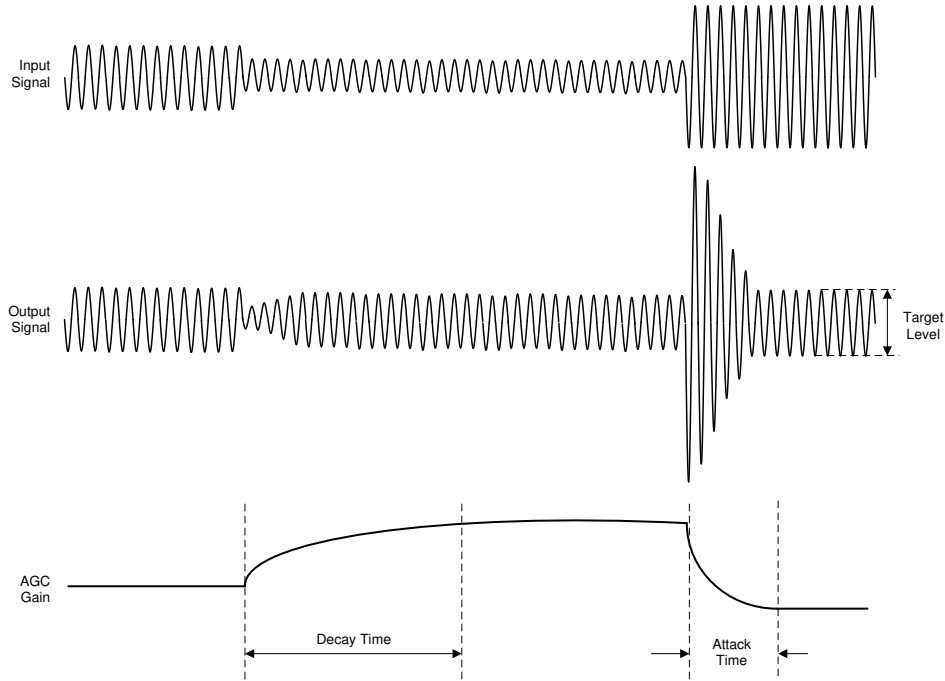


图 6-63. AGC 特性

目标电平 (AGC_LVL) 表示 AGC 尝试将 ADC 输出信号电平保持为的标称近似输出电平。TAA3020 允许对不同的目标电平进行编程，可编程范围为相对于满量程信号的 -6dB 至 -36dB ，并且 AGC_LVL 默认值设置为 -34dB 。建议为目标电平设置足够的裕度，以防止在出现响亮的声音时出现削波。表 6-45 列出了 AGC 目标电平配置设置。

表 6-45. AGC 目标电平可编程设置

P0_R112_D[7:4] : AGC_LVL[3:0]	输出的 AGC 目标电平
0000	AGC 目标电平是 -6dB 输出信号电平
0001	AGC 目标电平是 -8dB 输出信号电平
0010	AGC 目标电平是 -10dB 输出信号电平
...	...
1110 (默认值)	AGC 目标电平是 -34dB 输出信号电平
1111	AGC 目标电平是 -36dB 输出信号电平

允许的最大增益 (AGC_MAXGAIN) 使设计人员可以灵活地限制 AGC 应用的最大增益。在环境噪声大于编程噪声阈值的情况下，此功能会限制通道增益。AGC_MAXGAIN 的可编程范围为 3dB 至 42dB，步长为 3dB，默认值设置为 24dB。表 6-46 列出了 AGC_MAXGAIN 配置设置。

表 6-46. AGC 最大增益可编程设置

P0_R112_D[3:0] : AGC_MAXGAIN[3:0]	允许的 AGC 最大增益
0000	允许的 AGC 最大增益为 3dB
0001	允许的 AGC 最大增益为 6dB
0010	允许的 AGC 最大增益为 9dB
...	...
0111 (默认值)	允许的 AGC 最大增益为 24dB
...	...
1110	允许的 AGC 最大增益为 39dB
1111	允许的 AGC 最大增益为 42dB

有关 AGC 各种可配置参数和应用用例的更多详细信息，请参阅 [使用 TLV320ADCx120 系列中的自动增益控制器 \(AGC\) 应用报告](#)。

6.3.8 语音活动检测 (VAD)

TAA3020 支持语音活动检测 (VAD) 模式。在此模式下，TAA3020 持续监控其中一个输入通道以进行语音检测。在此模式下，器件消耗较低的静态电流（由 AVDD 电源提供）。可以通过将 VAD_EN (P0_R117_D0) 设置为 1'b1 来启用该特性。在检测到语音活动时，TAA3020 可以通过中断或自动唤醒向主机发出警报，并根据 I²C 编程配置开始录音。该警报可以通过 VAD_MODE (P1_R30_D[7:6]) 寄存器位进行配置。

模拟和数字麦克风接口均支持此功能。要实现超低功耗 VAD，建议使用数字麦克风接口。可以通过将 VAD_CH_SEL (P1_R30_D[5:4]) 寄存器位设置为适当的值来选择 VAD 的输入通道。有关更多详细信息，请参阅 [使用 TLV320ADC5120 和 TLV320ADC6120 中的语音活动检测器 \(VAD\) 应用报告](#)。

6.3.9 数字 PDM 麦克风录音通道

除了支持模拟麦克风外，该器件还可与数字脉冲密度调制 (PDM) 麦克风连接，并使用高阶、高性能的抽取滤波器来生成脉冲编码调制 (PCM) 输出数据，这些数据可通过音频串行接口传输到主机。该器件支持多达四个数字麦克风录音通道。如果系统中未使用第二个通道模拟麦克风，则模拟输入引脚 (IN2P 和 IN2M) 可以分别改为用作 GPIO1 和 GPIO1 引脚，并且可以针对 PDMDIN1 和 PDMCLK 时钟进行配置来进行数字 PDM 麦克风录音。GPIO1 或 GPIO2 (与 MICBIAS 进行多路复用) 可用作 PDMDIN2，以启用四通道 PDM 麦克风录音。如果需要双通道模拟输入录音，则可以将 MICBIAS (配置为 GPIO2) 和 GPIO1 分别用作 PDMDIN 和 PDMCLK，以启用双通道 DMIC 录音和双通道 AIN 录音。该器件在输入端总共支持四个通道 (模拟和数字)。

该器件在内部生成 PDMCLK，其频率可使用 PDMCLK_DIV[1:0] (P0_R31_D[1:0]) 寄存器位编程为 6.144MHz、3.072MHz、1.536MHz 或 768kHz (输出数据采样速率为 48kHz 的倍数或约数时)，或者 5.6448MHz、2.8224MHz、1.4112MHz 或 705.6kHz (输出数据采样速率为 44.1kHz 的倍数和约数时)。PDMCLK 可在 GPIO1 和 GPIO1 引脚上布线。连接外部数字麦克风设备。图 6-64 展示了数字 PDM 麦克风的连接图。

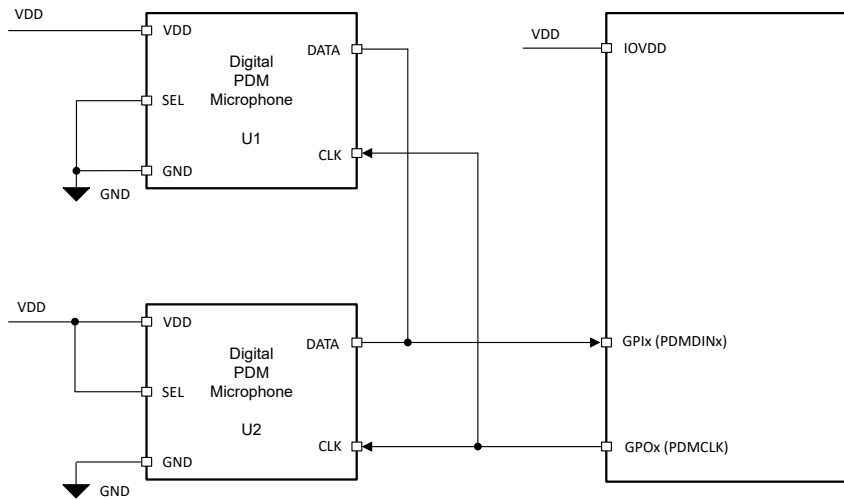


图 6-64. TAA3020 的数字 PDM 麦克风连接图

外部数字麦克风设备的一位输出可以连接到 GPIOx 引脚。该单一数据线路可由两个数字麦克风共享，以将其数据放置在 PDMCLK 的相反边沿上。在内部，该器件根据 P0_R32_D[7:4] 中设置的配置寄存器位，在 PDMCLK 的上升沿或下降沿锁存数据的稳定值。图 6-65 展示了数字 PDM 麦克风接口时序图。

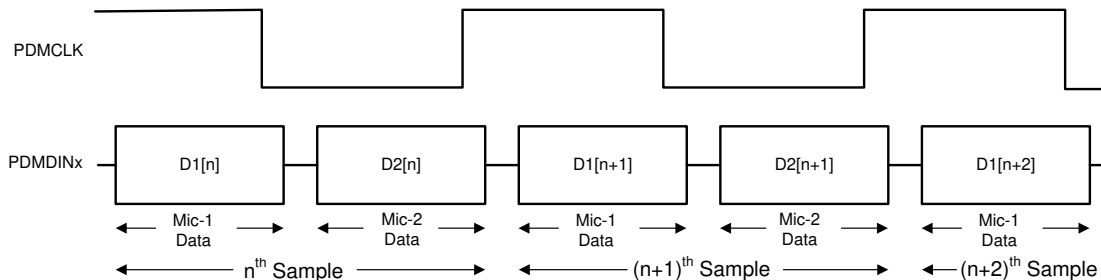


图 6-65. 数字 PDM 麦克风协议时序图

使用数字麦克风进行录音时，相应 ADC 通道的模拟块将断电并被旁路，以提高功效。可以使用 CH1_INSRC[1:0] (P0_R60_D[6:5]) 和 CH2_INSRC[1:0] (P0_R65_D[6:5]) 寄存器位来为通道 1 至通道 2 选择模拟麦克风或数字麦克风。通道 3 和通道 4 仅支持数字麦克风接口。

6.3.10 中断、状态和数字 I/O 引脚多路复用

该器件中的某些事件可能需要主机处理器干预，并可用于触发主机处理器的中断。一个此类事件是音频串行接口 (ASI) 总线错误。如果检测到 ASI 总线错误时钟出现任何故障，该器件会关闭录音通道，例如：

- FSYNC 频率无效
- 无效的 SBCLK 与 FSYNC 之比
- SBCLK 或 FSYNC 时钟具有长暂停时间

当检测到 ASI 总线时钟错误时，该器件会尽快关闭录音通道。解决所有 ASI 总线时钟错误后，器件音量会恢复到之前的状态，以恢复录音通道。在 ASI 总线时钟错误期间，如果将时钟错误中断屏蔽寄存器位 INT_MASK0[7] (P0_R51_D7) 设置为低电平，则内部中断请求 (IRQ) 中断信号会置为低电平。此外还可以通过锁存故障状态寄存器位 INT_LTCH0 (P0_R54) 回读该时钟故障，该寄存器是一个只读寄存器。读取锁存故障状态寄存器 INT_LTCH0 会清除所有锁存故障状态。此外，该器件可配置为在 GPIO1 或 GPOx 引脚上路由内部 IRQ 中断信号，也可配置为开漏输出，以便这些引脚与其他器件的开漏中断输出进行线与连接。

通过设置 INT_POL (P0_R50_D7) 寄存器位，可以将 IRQ 中断信号配置为低电平有效或高电平有效极性。通过对 INT_EVENT[1:0] (P0_R50_D[6:5]) 寄存器位进行编程，该信号也可以配置为单个脉冲或一系列脉冲。如果中断配置为一系列脉冲，则事件将触发脉冲开始；当读取锁存的故障状态寄存器以确定中断原因时，脉冲将停止。

该器件还支持只读实时状态寄存器，以确定通道是上电还是断电，以及器件是否处于睡眠模式。这些状态寄存器位于 DEV_STS0 (P0_R118) 和 DEV_STS1 (P0_R119) 寄存器位中。

该器件具有一个多功能 GPIO1 引脚，该引脚可针对所需的特定功能进行配置。此外，如果通道不用于模拟输入录音，则可以通过配置位于 CHx_CFG0 寄存器中的 CHx_INSRC[1:0] 寄存器位，将该通道的模拟输入引脚 (INxP 和 INxM) 改为多功能引脚 (GPIx 和 GPOx)。该器件最多支持四个 GPO 引脚和四个 GPI 引脚。表 6-47 列出了这些多功能引脚用于各种功能的所有可能分配。

表 6-47. 多功能引脚分配

行	引脚功能 ⁽³⁾	GPIO1	GPO1	GPI1	GPI2
—	—	GPIO1_CFG	GPO1_CFG	GPI1_CFG	GPI2_CFG
—	—	P0_R33[7:4]	P0_R34[7:4]	P0_R43[6:4]	P0_R43[2:0]
A	引脚禁用	S ⁽¹⁾	S (默认值)	S (默认值)	S (默认值)
B	通用输出 (GPO)	S	S	NS ⁽²⁾	NS
C	中断输出 (IRQ)	S (默认值)	S	NS	NS
D	所有 ADC 通道断电	S	NS	S	S
E	PDM 时钟输出 (PDMCLK)	S	S	NS	NS
F	MICBIAS 开/关输入 (BIASEN)	S	NS	NS	NS
G	通用输入 (GPI)	S	NS	S	S
H	主时钟输入 (MCLK)	S	NS	S	S
I	ASI 菊花链输入 (SDIN)	S	NS	S	S
J	PDM 数据输入 1 (PDMIN1)	S	NS	S	S
K	PDM 数据输入 2 (PDMIN2)	S	NS	S	S

- (1) S 表示此列中提到的相应 GPIO1、GPOx 或 GPIx 引脚支持此行中提到的功能。
 (2) NS 表示此列中提到的相应 GPIO1、GPOx 或 GPIx 引脚不支持此行中提到的功能。
 (3) 只有 GPIO1 引脚以 IOVDD 电源为基准，其他 GPOx 和 GPIx 引脚以 AVDD 电源为基准，其主要引脚功能用于 PDMCLK 或 PDMIN 功能。

每个 GPOx 或 GPIOx 引脚都可以通过使用 GPOx_DRV[3:0] 或 GPIO1_DRV[3:0] 寄存器位，独立设置为所需的驱动配置设置。表 6-48 列出了驱动配置设置。

表 6-48. GPIO 或 GPOx 引脚驱动配置设置

P0_R33_D[3:0] : GPIO1_DRV[3:0]	GPIO1 的 GPIO 输出驱动配置设置
000	GPIO1 引脚设置为高阻抗 (悬空)
001	GPIO1 引脚设置为驱动为低电平有效或高电平有效
010 (默认值)	GPIO1 引脚设置为驱动为低电平有效或弱高电平 (片上上拉)
011	GPIO1 引脚设置为驱动为低电平有效或高阻态 (悬空)
100	GPIO1 引脚设置为驱动为弱低电平 (片上下拉) 或高电平有效
101	GPIO1 引脚设置为驱动为高阻态 (悬空) 或高电平有效
110 和 111	保留 (不使用这些设置)

同样，GPO1 引脚可以使用 GPO1_DRV(P0_R34) 寄存器位进行配置。

当配置为通用输出 (GPO) 时，可以通过写入 GPIO_VAL 或 GPOx_VAL (P0_R41) 寄存器来驱动 GPIO1 或 GPOx 引脚值。当配置为通用输入 (GPI) 时，GPIO_MON (P0_R42) 寄存器可用于读回 GPIO1 引脚的状态。同样，当配置为通用输入 (GPI) 时，GPI_MON (P0_R47) 寄存器可用于读回 GPIx 引脚的状态。

6.4 器件功能模式

6.4.1 睡眠模式或软件关断

在睡眠模式或软件关断模式下，该器件会从 AVDD 电源消耗极低的静态电流，同时允许 I²C 通信唤醒器件使其运行。

当主机器件将 SLEEP_ENZ (P0_R2_D0) 位设置为 1'b0 时，该器件也会进入睡眠模式。如果器件处于工作模式时 SLEEP_ENZ 位置为低电平有效，该器件会缓慢降低录音数据的音量、关闭模拟块和数字块，并进入睡眠模式。但是，该器件仍会继续保留器件配置寄存器和可编程系数的最后一个编程值。

在睡眠模式下，请勿执行任何 I²C 事务，除非为了进入工作模式而退出睡眠模式。进入睡眠模式后，至少等待 10ms，然后再启动 I²C 事务以退出睡眠模式。

退出睡眠模式时，主机器件必须将 TAA3020 配置为使用外部 1.8V AREG 电源（默认设置）或使用片上稳压器生成的 AREG 电源。要配置 AREG 电源，请写入同一 P0_R2 寄存器中的 AREG_SELECT 位 D7。

6.4.2 工作模式

如果主机器件通过将 SLEEP_ENZ 位设置为 1'b1 退出睡眠模式，则该器件将进入工作模式。在工作模式下，可执行 I²C 事务来配置器件并为其加电以实现活动运行。进入工作模式后，在开始任何 I²C 事务之前至少等待 1ms，以便器件完成内部唤醒序列。

对第 2 页、第 3 页和第 4 页的可编程系数寄存器以及第 0 页的通道配置寄存器 (CHx_CFG[1:4]) 和 AGC_CFG0 的读写操作必须在退出睡眠模式 10ms 后进行。

为目标应用和系统设置配置所有其他寄存器后，分别配置输入和输出通道启用寄存器 IN_CH_EN (P0_R115) 和 ASI_OUT_CH_EN (P0_R116)。最后，配置器件上电寄存器 PWR_CFG (P0_R117)。在给相应通道上电之前，必须写入所有可编程系数值。

在工作模式下，通过读取 DEV_STS0 (P0_R117) 和 DEV_STS1 (P0_R118) 寄存器中的只读器件状态位，监视各个模块的上电和断电状态。

6.4.3 软件复位

通过将 SW_RESET (P0_R1_D0) 寄存器位（自清零位）置为有效，可以随时完成软件复位。该软件复位会立即关断器件，并将所有器件配置寄存器和可编程系数恢复为默认值。

6.5 编程

该器件包含配置寄存器和可编程系数，这些系数可以设置为特定系统和应用用例所需的值。这些寄存器称为 *器件控制寄存器*，每个宽度均为 8 位并使用页方案进行映射。

每页包含 128 个配置寄存器。所有器件配置寄存器都存储在页 0 中，这是上电时和软件复位后的默认页设置。所有可编程系数寄存器都位于页 2、页 3 和页 4 中。通过使用每页上寄存器 0 中的 PAGE[7:0] 位，可以将器件的当前页切换到所需的新页。

6.5.1 控制串行接口

可以使用 I²C 与器件通信来访问器件控制寄存器。该器件使用固定的 I²C 地址工作，可以使用该地址进行配置。

6.5.1.1 I²C 控制接口

该器件作为从器件支持 I²C 控制协议，能够在标准模式、快速模式和快速模式增强版下运行。I²C 控制协议需要一个 7 位从器件地址。7 位从器件地址固定为 1001110，不可更改。如果 I2C_BRDCAST_EN (P0_R2_D2) 位设置为 1'b1，则 I²C 从器件地址固定为 1001100，以便允许同时与系统中的多个器件（包括 TLV320ADCx140、PCMD3140 和 PCMD3180 器件）进行 I²C 广播通信。表 6-49 列出了此配置可能产生的器件地址。

表 6-49. I²C 从器件地址设置

I2C_BRDCAST_EN (P0_R2_D2)	I ² C 从器件地址
0 (默认值)	1001 110
1	1001 100

6.5.1.1.1 常规 I²C 运行

I²C 总线使用 SDA（数据）和 SCL（时钟）这两个信号，通过串行数据传输在系统中的集成电路之间进行通信。地址和数据 8 位字节优先以 MSB 的形式传输。此外，总线上传输的每个字节都由接收器件通过一个响应位进行响应。每次传输操作从主器件在总线上驱动启动条件开始，到主器件在总线上驱动停止条件结束。当时钟处于逻辑高电平时，总线使用数据引脚 (SDA) 上的转换来指示启动和停止条件。SDA 上从高电平转换到低电平表示启动，而从低电平转换到高电平表示停止。正常的的数据位转换必须发生在时钟周期的低电平时间内。

主器件会驱动一个启动条件，后跟 7 位从器件地址和读取/写入 (R/W) 位，以打开与另一个器件的通信，然后等待确认条件。从器件会在确认时钟期间将 SDA 保持为低电平以指示确认。当发生这种情况时，主器件会传输序列的下一个字节。每个从器件都通过一个唯一的 7 位从器件地址加上 R/W 位（1 个字节）进行寻址。所有兼容器件均使用线与连接，通过双向总线共享相同的信号。

在启动和停止条件之间可以传输的字节数没有限制。在传输最后一个字时，主器件会生成一个停止条件以释放总线。图 6-66 展示了一般的数据传输序列。

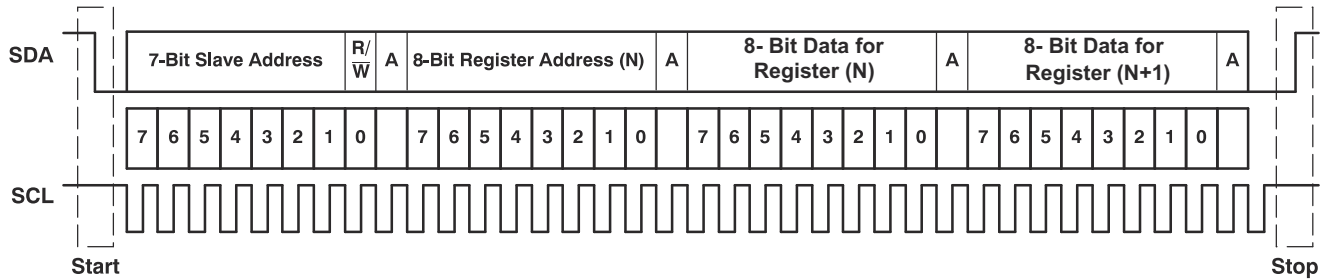


图 6-66. 典型的 I²C 序列

在系统中，对 SDA 和 SCL 信号使用外部上拉电阻器，以设置总线的逻辑高电平。SDA 和 SCL 电压不得超过器件电源电压 IOVDD。

6.5.1.1.1.1 I²C 单字节和多字节传输

该器件的 I²C 接口支持对所有寄存器进行单字节和多字节读取/写入操作。在多字节读取操作期间，只要主器件继续响应，器件就会从分配的寄存器开始，一次一个字节地以数据进行响应。

该器件支持顺序 I²C 寻址。对于写入事务，如果发出一个寄存器，然后是该寄存器的数据以及随后的所有剩余寄存器，则发生了顺序 I²C 写入事务。对于 I²C 顺序写入事务，发出的寄存器作为起始点，随后在传输停止或开始之前传输的数据量决定了写入的寄存器数量。

6.5.1.1.1.1.1 I²C 单字节写入

如图 6-67 所示，单字节数据写入传输始于主器件发送启动条件，然后是 I²C 器件地址和读取/写入位。读/写位决定数据传输的方向。对于写入数据传输，读取/写入位必须设置为 0。在接收到正确的 I²C 从器件地址和读取/写入位后，该器件会以一个确认位 (ACK) 进行响应。接下来，主器件传输对应于正在访问的器件内部寄存器地址的寄存器字节。收到寄存器字节之后，器件会再次用一个响应位 (ACK) 进行响应。然后，主器件将要写入的数据字节发送到指定的寄存器。完成后，从器件以一个确认位 (ACK) 进行响应。最后，主器件发送停止条件以完成单字节数据写入传输。

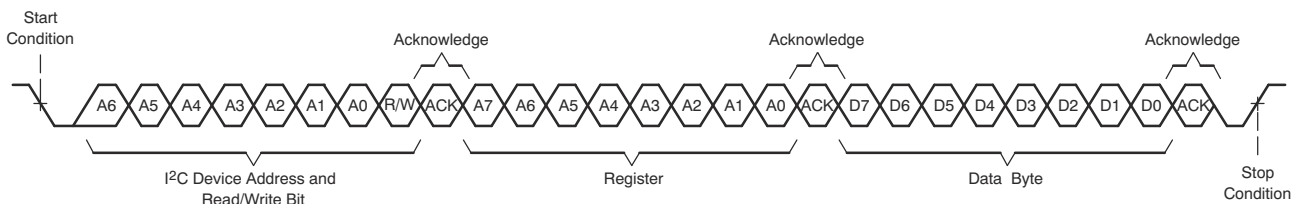


图 6-67. I²C 单字节写入传输

6.5.1.1.1.2 I²C 多字节写入

如图 6-68 所示，多字节数据写入传输与单字节数据写入传输完全相同，唯一的例外是主器件将多个数据字节传输到从器件。收到每个数据字节之后，器件会用一个响应位 (ACK) 进行响应。最后，在完成最后一个数据字节传输后，主器件发送停止条件。

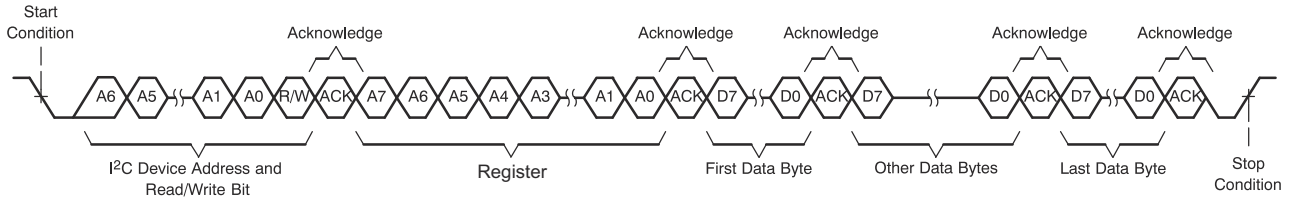


图 6-68. I²C 多字节写入传输

6.5.1.1.1.3 I²C 单字节读取

如图 6-69 所示，单字节数据写入传输始于主器件发送启动条件，然后是 I²C 从器件地址和读取/写入位。对于数据读取传输，先后完成了写入和读取操作。最初，执行写入以传输要读取的内部寄存器地址的地址字节。因此，将读取/写入位设置为 0。

在接收到从器件地址和读取/写入位后，器件会以一个确认位 (ACK) 进行响应。然后，主器件发送内部寄存器地址字节，之后器件发出一个确认位 (ACK)。主器件再次发送另一个启动条件，然后是从器件地址和读取/写入位。这次，将读取/写入位设置为 1，指示读取传输。接下来，该器件从正在读取的寄存器地址传输数据字节。接收到数据字节后，主器件发送一个非确认 (NACK)，然后是一个停止条件，以完成单字节数据读取传输。

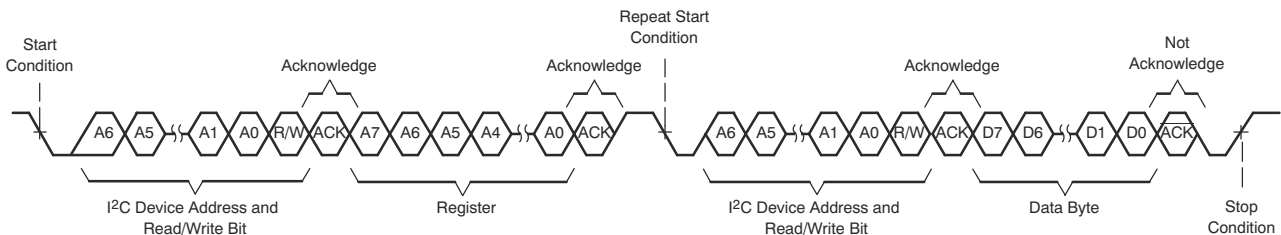


图 6-69. I²C 单字节读取传输

6.5.1.1.1.4 I²C 多字节读取

如图 6-70 所示，多字节数据读取传输与单字节数据读取传输完全相同，唯一的例外是器件将多个数据字节传输到主器件。除最后一个数据字节外，主器件在收到每个数据字节后都会用一个应答位进行响应。收到最后一个数据字节后，主器件发送一个无应答 (NACK) 信号，然后是一个停止条件，以完成数据读取传输。

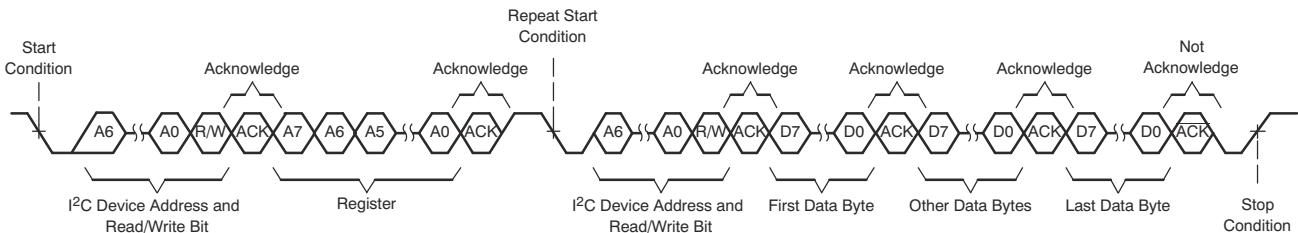


图 6-70. I²C 多字节读取传输

7 寄存器映射

本节详细介绍了器件的控制寄存器。所有寄存器均具有 8 位宽度，并分配给器件配置和可编程系数设置。这些寄存器使用页方案在内部进行映射，可以通过 I²C 与器件通信来控制该方案。每页包含 128 字节的寄存器。所有器件配置寄存器都存储在页 0 中，这是上电时（和软件复位后）的默认页设置。所有可编程系数寄存器都位于页 2、页 3 和页 4 中。通过使用每页上寄存器 0 中的 PAGE[7:0] 位，可以将器件当前页切换到所需的新页。

请勿从保留页或保留寄存器读取数据或向其写入数据。仅写入有效寄存器中保留位的默认值。

跨页访问寄存器的步骤如下：

- 选择页 **N**（将数据 **N** 写入寄存器 0，无论当前页码如何）
- 从页 **N** 中的有效寄存器读取数据或向其中写入数据
- 选择新页 **M**（将数据 **M** 写入寄存器 0，而不管当前页码如何）
- 从页 **M** 中的有效寄存器读取数据或向其中写入数据
- 根据需要重复

7.1 器件配置寄存器

本节介绍了页面 0 和页面 1 的器件配置寄存器。

7.2 Page_0 寄存器

表 7-1 列出了 Page_0 寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-1. PAGE_0 寄存器

地址	首字母缩写词	寄存器名称	复位值	部分
0x0	PAGE_CFG	器件页寄存器	0x00	节 7.2.1
0x1	SW_RESET	软件复位寄存器	0x00	节 7.2.2
0x2	SLEEP_CFG	睡眠模式寄存器	0x00	节 7.2.3
0x5	SHDN_CFG	关断配置寄存器	0x05	节 7.2.4
0x7	ASI_CFG0	ASI 配置寄存器 0	0x30	节 7.2.5
0x8	ASI_CFG1	ASI 配置寄存器 1	0x00	节 7.2.6
0x9	ASI_CFG2	ASI 配置寄存器 2	0x00	节 7.2.7
0xA	ASI_MIX_CFG	ASI 输入混合配置寄存器	0x00	节 7.2.8
0xB	ASI_CH1	通道 1 ASI 时隙配置寄存器	0x00	节 7.2.9
0xC	ASI_CH2	通道 2 ASI 时隙配置寄存器	0x01	节 7.2.10
0xD	ASI_CH3	通道 3 ASI 时隙配置寄存器	0x02	节 7.2.11
0xE	ASI_CH4	通道 4 ASI 时隙配置寄存器	0x03	节 7.2.12
0x13	MST_CFG0	ASI 主模式配置寄存器 0	0x02	节 7.2.13
0x14	MST_CFG1	ASI 主模式配置寄存器 1	0x48	节 7.2.14
0x15	ASI_STS	ASI 总线时钟监控状态寄存器	0xFF	节 7.2.15
0x16	CLK_SRC	时钟源配置寄存器 0	0x10	节 7.2.16
0x1F	PDMCLK_CFG	PDM 时钟生成配置寄存器	0x40	节 7.2.17
0x20	PDMIN_CFG	PDM DINx 采样边沿寄存器	0x00	节 7.2.18
0x21	GPIO_CFG0	GPIO 配置寄存器 0	0x22	节 7.2.19
0x22	GPO_CFG0	GPO 配置寄存器 0	0x00	节 7.2.20
0x29	GPO_VAL	GPIO、GPO 输出值寄存器	0x00	节 7.2.21
0x2A	GPIO_MON	GPIO 监控值寄存器	0x00	节 7.2.22
0x2B	GPI_CFG0	GPI 配置寄存器 0	0x00	节 7.2.23
0x2F	GPI_MON	GPI 监控值寄存器	0x00	节 7.2.24
0x32	INT_CFG	中断配置寄存器	0x00	节 7.2.25
0x33	INT_MASK0	中断屏蔽寄存器 0	0xFF	节 7.2.26
0x36	INT_LTCH0	锁存中断读回寄存器 0	0x00	节 7.2.27
0x3A	CM_TOL_CFG	ADC 共模配置寄存器	0x00	节 7.2.28
0x3B	BIAS_CFG	偏置和 ADC 配置寄存器	0x00	节 7.2.29
0x3C	CH1_CFG0	通道 1 配置寄存器 0	0x00	节 7.2.30
0x3D	CH1_CFG1	通道 1 配置寄存器 1	0x00	节 7.2.31
0x3E	CH1_CFG2	通道 1 配置寄存器 2	0xC9	节 7.2.32
0x3F	CH1_CFG3	通道 1 配置寄存器 3	0x80	节 7.2.33
0x40	CH1_CFG4	通道 1 配置寄存器 4	0x00	节 7.2.34
0x41	CH2_CFG0	通道 2 配置寄存器 0	0x00	节 7.2.35
0x42	CH2_CFG1	通道 2 配置寄存器 1	0x00	节 7.2.36
0x43	CH2_CFG2	通道 2 配置寄存器 2	0xC9	节 7.2.37
0x44	CH2_CFG3	通道 2 配置寄存器 3	0x80	节 7.2.38

表 7-1. PAGE_0 寄存器 (续)

地址	首字母缩写词	寄存器名称	复位值	部分
0x45	CH2_CFG4	通道 2 配置寄存器 4	0x00	节 7.2.39
0x48	CH3_CFG2	通道 3 配置寄存器 2	0xC9	节 7.2.40
0x49	CH3_CFG3	通道 3 配置寄存器 3	0x80	节 7.2.41
0x4A	CH3_CFG4	通道 3 配置寄存器 4	0x00	节 7.2.42
0x4D	CH4_CFG2	通道 4 配置寄存器 2	0xC9	节 7.2.43
0x4E	CH4_CFG3	通道 4 配置寄存器 3	0x80	节 7.2.44
0x4F	CH4_CFG4	通道 4 配置寄存器 4	0x00	节 7.2.45
0x6B	DSP_CFG0	DSP 配置寄存器 0	0x01	节 7.2.46
0x6C	DSP_CFG1	DSP 配置寄存器 1	0x40	节 7.2.47
0x70	AGC_CFG0	AGC 配置寄存器 0	0xE7	节 7.2.48
0x71	GAIN_CFG	增益变化配置	0x00	节 7.2.49
0x73	IN_CH_EN	输入通道使能配置寄存器	0xC0	节 7.2.50
0x74	ASI_OUT_CH_EN	ASI 输出通道使能配置寄存器	0x00	节 7.2.51
0x75	PWR_CFG	上电配置寄存器	0x00	节 7.2.52
0x76	DEV_STS0	器件状态值寄存器 0	0x00	节 7.2.53
0x77	DEV_STS1	器件状态值寄存器 1	0x80	节 7.2.54
0x7E	I2C_CKSUM	I ² C 校验和寄存器	0x00	节 7.2.55

7.2.1 PAGE_CFG 寄存器 (地址 = 0x0) [复位 = 0x00]

表 7-2 展示了 PAGE_CFG。

返回到[汇总表](#)。

器件存储器映射分为多个页面。该寄存器设置页。

表 7-2. PAGE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	00000000b	这些位设置器件页。 0d = 第 0 页 1d = 第 1 页 2d 至 254d = 第 2 页至第 254 页 255d = 第 255 页

7.2.2 SW_RESET 寄存器 (地址 = 0x1) [复位 = 0x00]

表 7-3 展示了 SW_RESET。

返回到[汇总表](#)。

该寄存器是软件复位寄存器。软件复位置为有效会将所有寄存器值置于其默认上电复位 (POR) 状态。

表 7-3. SW_RESET 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	0b	保留位；仅写入复位值
0	SW_RESET	R/W	0b	软件复位。此位可自行清除。 0d = 不复位 1d = 将所有寄存器复位为其复位值

7.2.3 SLEEP_CFG 寄存器 (地址 = 0x2) [复位 = 0x00]

表 7-4 中展示了 SLEEP_CFG。

返回到[汇总表](#)。

该寄存器用于配置稳压器、VREF 快速充电、I²C 广播和睡眠模式。

表 7-4. SLEEP_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	AREG_SELECT	R/W	0b	从内部稳压器电源或外部 AREG 电源选择模拟电源。 0d = 外部 1.8V AREG 电源 (当 AVDD 为 1.8V 且 AREG 与 AVDD 短接时使用该设置) 1d = 内部使用片上稳压器生成的 1.8V AREG 电源 (当 AVDD 为 3.3V 时使用该设置)
6-5	RESERVED	R	0b	保留位; 仅写入复位值
4-3	VREF_QCHG[1:0]	R/W	00b	VREF 外部电容器的快速充电持续时间使用 200 Ω 的内部串联电阻来设置。 0d = VREF 快速充电持续时间为 3.5ms (典型值) 1d = VREF 快速充电持续时间为 10ms (典型值) 2d = VREF 快速充电持续时间为 50ms (典型值) 3d = VREF 快速充电持续时间为 100ms (典型值)
2	I2C_BRDCAST_EN	R/W	0b	I ² C 广播寻址设置。 0d = 禁用 I ² C 广播模式 1d = 启用 I ² C 广播模式; I ² C 目标地址固定为 1001 100
1	RESERVED	R	0b	保留位; 仅写入复位值
0	SLEEP_ENZ	R/W	0b	睡眠模式设置。 0d = 器件处于睡眠模式 1d = 器件未处于睡眠模式

7.2.4 SHDN_CFG 寄存器 (地址 = 0x5) [复位 = 0x05]

表 7-5 中展示了 SHDN_CFG。

返回到[汇总表](#)。

该寄存器配置器件关断。

表 7-5. SHDN_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0b	保留位; 仅写入复位值
5-4	INCAP_QCHG[1:0]	R/W	00b	外部交流耦合电容器的快速充电持续时间使用 800 Ω 的内部串联电阻来设置。 0d = INxP、INxM 快速充电持续时间为 2.5ms (典型值) 1d = INxP、INxM 快速充电持续时间为 12.5ms (典型值) 2d = INxP、INxM 快速充电持续时间为 25ms (典型值) 3d = INxP、INxM 快速充电持续时间为 50ms (典型值)
3-2	RESERVED	R	0b	保留位; 仅写入复位值
1-0	RESERVED	R	0b	保留位; 仅写入复位值

7.2.5 ASI_CFG0 寄存器 (地址 = 0x7) [复位 = 0x30]

表 7-6 展示了 ASI_CFG0。

返回到[汇总表](#)。

该寄存器是 ASI 配置寄存器 0。

表 7-6. ASI_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-6	ASI_FORMAT[1:0]	R/W	00b	ASI 协议格式。 0d = TDM 模式 1d = I ² S 模式 2d = LJ (左平衡) 模式 3d = 保留；不使用
5-4	ASI_WLEN[1:0]	R/W	11b	ASI 字长或时隙长度。 0d = 16 位 (建议将此设置与 10kΩ 或 20kΩ 输入阻抗配置一起使用) 1d = 20 位 2d = 24 位 3d = 32 位
3	FSYNC_POL	R/W	0b	ASI FSYNC 极性。 0d = 符合标准协议的默认极性 1d = 相对于标准协议的反向极性
2	BCLK_POL	R/W	0b	ASI BCLK 极性。 0d = 符合标准协议的默认极性 1d = 相对于标准协议的反向极性
1	TX_EDGE	R/W	0b	ASI 数据输出 (在主要和辅助数据引脚上) 发送边沿。 0d = 基于位 2 (BCLK_POL) 中协议配置设置的默认边沿 1d = 相对于默认边沿设置的反相随后边沿 (半个周期延迟)
0	TX_FILL	R/W	0b	任何未使用周期的 ASI 数据输出 (在主要和辅助数据引脚上) 0d = 针对未使用周期始终发送 0 1d = 针对未使用周期始终使用高阻态

7.2.6 ASI_CFG1 寄存器 (地址 = 0x8) [复位 = 0x00]

表 7-7 展示了 ASI_CFG1。

返回到汇总表。

该寄存器是 ASI 配置寄存器 1。

表 7-7. ASI_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	TX_LSB	R/W	0b	用于 LSB 传输的 ASI 数据输出 (在主要和辅助数据引脚上)。 0d = 在一个完整周期内发送 LSB 1d = 在前半个周期内发送 LSB, 在后半个周期内发送高阻态
6-5	TX_KEEPER[1:0]	R/W	00b	ASI 数据输出 (在主要和辅助数据引脚上) 总线保持器。 0d = 始终禁用总线保持器 1d = 始终启用总线保持器 2d = 总线保持器仅在 LSB 传输期间启用一个周期 3d = 总线保持器仅在 LSB 传输期间启用一个半周期
4-0	TX_OFFSET[4:0]	R/W	00000b	ASI 数据 MSB 时隙 0 偏移 (在主要和辅助数据引脚上)。 0d = ASI 数据 MSB 位置没有偏移, 并符合标准协议 1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I ² S, LJ 模式是左侧和右侧时隙 0) 偏移 2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I ² S, LJ 模式是左侧和右侧时隙 0) 的偏移 3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I ² S, LJ 模式是左侧和右侧时隙 0) 偏移 31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I ² S, LJ 模式是左侧和右侧时隙 0) 偏移

7.2.7 ASI_CFG2 寄存器 (地址 = 0x9) [复位 = 0x00]

表 7-8 展示了 ASI_CFG2。

返回到[汇总表](#)。

该寄存器是 ASI 配置寄存器 2。

表 7-8. ASI_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	ASI_DAISY	R/W	0b	ASI 菊花链连接。 0d = 所有器件都连接在通用 ASI 总线中 1d = 所有器件都以菊花链形式连接 ASI 总线。仅在禁用 ASI 输入混合时才支持此功能，有关 ASI 输入混合特性的详细信息，请参阅寄存器 10。
6	RESERVED	R	0b	保留位；仅写入复位值
5	ASI_ERR	R/W	0b	ASI 总线错误检测。 0d = 启用总线错误检测 1d = 禁用总线错误检测
4	ASI_ERR_RCOV	R/W	0b	ASI 总线错误自动恢复。 0d = 启用总线错误恢复后自动恢复 1d = 禁用总线错误恢复后自动恢复，并在主机配置器件之前保持断电状态
3	RESERVED	R	0b	保留位；仅写入复位值
2-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.8 ASI_MIX_CFG 寄存器 (地址 = 0xA) [复位 = 0x00]

表 7-9 中展示了 ASI_MIX_CFG。

返回到[汇总表](#)。

该寄存器是 ASI 输入混合配置寄存器。

表 7-9. ASI_MIX_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	ASI_MIX_SEL[1:0]	R/W	00b	ASI 输入 (来自 GPIx 或 GPIO) 与通道数据混合选择。 0d = 无混合 1d = 通道 1 和通道 2 输出数据与通道 1 (时隙 0) 上的 ASI 输入数据混合 2d = 通道 1 和通道 2 输出数据与通道 2 (时隙 1) 上的 ASI 输入数据混合 3d = 两个通道的数据分别与 ASI 输入数据混合。将 asi_in_ch_1 与通道 1 输出数据混合，并以类似方式将 asi_in_ch_2 与通道 2 输出数据混合
5-4	ASI_GAIN_SEL[1:0]	R/W	00b	混合到通道数据之前的 ASI 输入数据增益选择。 0d = 无增益 1d = asi 输入数据增益为 -6dB 2d = asi 输入数据增益为 -12dB 3d = asi 输入数据增益为 -18dB
3	ASI_IN_INVERSE	R/W	0b	在混合到通道数据之前反转 ASI 输入数据。 0d = ASI 输入数据未反转 1d = 在与通道数据混合之前对 ASI 输入数据反转
2	RESERVED	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值
0	RESERVED	R	0b	保留位；仅写入复位值

7.2.9 ASI_CH1 寄存器 (地址 = 0xB) [复位 = 0x00]

表 7-10 展示了 ASI_CH1。

返回到[汇总表](#)。

该寄存器是通道 1 的 ASI 时隙配置寄存器。

表 7-10. ASI_CH1 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0b	保留位；仅写入复位值
5-0	CH1_SLOT[5:0]	R/W	000000b	通道 1 时隙分配。 0d = TDM 是时隙 0 或 I ² S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I ² S，LJ 是左侧时隙 1 2d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I ² S，LJ 是左侧时隙 31 32d = TDM 是时隙 32 或 I ² S，LJ 是右侧时隙 0 33d = TDM 是时隙 33 或 I ² S，LJ 是右侧时隙 1 34d 至 62d = 分配的时隙视配置而定 63d = TDM 是时隙 63 或 I ² S，LJ 是右侧时隙 31

7.2.10 ASI_CH2 寄存器 (地址 = 0xC) [复位 = 0x01]

表 7-11 展示了 ASI_CH2。

返回到[汇总表](#)。

该寄存器是通道 2 的 ASI 时隙配置寄存器。

表 7-11. ASI_CH2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0b	保留位；仅写入复位值
5-0	CH2_SLOT[5:0]	R/W	000001b	通道 2 时隙分配。 0d = TDM 是时隙 0 或 I ² S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I ² S，LJ 是左侧时隙 1 2d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I ² S，LJ 是左侧时隙 31 32d = TDM 是时隙 32 或 I ² S，LJ 是右侧时隙 0 33d = TDM 是时隙 33 或 I ² S，LJ 是右侧时隙 1 34d 至 62d = 分配的时隙视配置而定 63d = TDM 是时隙 63 或 I ² S，LJ 是右侧时隙 31

7.2.11 ASI_CH3 寄存器 (地址 = 0xD) [复位 = 0x02]

表 7-12 展示了 ASI_CH3。

返回到[汇总表](#)。

该寄存器是通道 3 的 ASI 时隙配置寄存器。

表 7-12. ASI_CH3 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0b	保留位；仅写入复位值

表 7-12. ASI_CH3 寄存器字段说明 (续)

位	字段	类型	复位	说明
5-0	CH3_SLOT[5:0]	R/W	000010b	通道 3 时隙分配。 0d = TDM 是时隙 0 或 I ² S, LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I ² S, LJ 是左侧时隙 1 2d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I ² S, LJ 是左侧时隙 31 32d = TDM 是时隙 32 或 I ² S, LJ 是右侧时隙 0 33d = TDM 是时隙 33 或 I ² S, LJ 是右侧时隙 1 34d 至 62d = 分配的时隙视配置而定 63d = TDM 是时隙 63 或 I ² S, LJ 是右侧时隙 31

7.2.12 ASI_CH4 寄存器 (地址 = 0xE) [复位 = 0x03]

表 7-13 展示了 ASI_CH4。

返回到[汇总表](#)。

该寄存器是通道 4 的 ASI 时隙配置寄存器。

表 7-13. ASI_CH4 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0b	保留位；仅写入复位值
5-0	CH4_SLOT[5:0]	R/W	000011b	通道 4 时隙分配。 0d = TDM 是时隙 0 或 I ² S, LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I ² S, LJ 是左侧时隙 1 2d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I ² S, LJ 是左侧时隙 31 32d = TDM 是时隙 32 或 I ² S, LJ 是右侧时隙 0 33d = TDM 是时隙 33 或 I ² S, LJ 是右侧时隙 1 34d 至 62d = 分配的时隙视配置而定 63d = TDM 是时隙 63 或 I ² S, LJ 是右侧时隙 31

7.2.13 MST_CFG0 寄存器 (地址 = 0x13) [复位 = 0x02]

表 7-14 展示了 MST_CFG0。

返回到[汇总表](#)。

该寄存器是 ASI 主模式配置寄存器 0。

表 7-14. MST_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	MST_SLV_CFG	R/W	0b	ASI 主器件或从器件配置寄存器设置。 0d = 器件处于从模式 (BCLK 和 FSYNC 都是器件的输入) 1d = 器件处于主模式 (BCLK 和 FSYNC 都由器件生成)
6	AUTO_CLK_CFG	R/W	0b	自动时钟配置设置。 0d = 启用自动时钟配置 (所有内部时钟分频器和 PLL 配置都是自动派生的) 1d = 禁用自动时钟配置 (必须将自定义模式和器件 GUI 用于器件配置设置)
5	AUTO_MODE_PLL_DIS	R/W	0b	自动模式 PLL 设置。 0d = 在自动时钟配置中启用 PLL 1d = 在自动时钟配置中禁用 PLL

表 7-14. MST_CFG0 寄存器字段说明 (续)

位	字段	类型	复位	说明
4	BCLK_FSYNC_GATE	R/W	0b	BCLK 和 FSYNC 时钟选通 (当器件处于主模式时有效)。 0d = 不选通 BCLK 和 FSYNC 1d = 在主模式下从器件发送 BCLK 和 FSYNC 时强制选通 BCLK 和 FSYNC
3	FS_MODE	R/W	0b	采样速率设置 (器件处于主模式时有效)。 0d = f_s 是 48kHz 的倍数 (或约数) 1d = f_s 是 44.1kHz 的倍数 (或约数)
2-0	MCLK_FREQ_SEL[2:0]	R/W	010b	这些位为 PLL 源时钟输入选择 MCLK (GPIO 或 GPIx) 频率 (在器件处于主模式且 MCLK_FREQ_SEL_MODE = 0 时有效)。 0d = 12MHz 1d = 12.288MHz 2d = 13MHz 3d = 16MHz 4d = 19.2MHz 5d = 19.68MHz 6d = 24MHz 7d = 24.576MHz

7.2.14 MST_CFG1 寄存器 (地址 = 0x14) [复位 = 0x48]

表 7-15 展示了 MST_CFG1。

返回到[汇总表](#)。

该寄存器是 ASI 主模式配置寄存器 1。

表 7-15. MST_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-4	FS_RATE[3:0]	R/W	0100b	ASI 总线的已编程采样速率 (当器件配置为从模式自动时钟配置时不使用)。 0d = 7.35kHz 或 8kHz 1d = 14.7kHz 或 16kHz 2d = 22.05kHz 或 24kHz 3d = 29.4kHz 或 32kHz 4d = 44.1kHz 或 48kHz 5d = 88.2kHz 或 96kHz 6d = 176.4kHz 或 192kHz 7d = 352.8kHz 或 384kHz 8d = 705.6kHz 或 768kHz 9d 至 15d = 保留; 不使用
3-0	FS_BCLK_RATIO[3:0]	R/W	1000b	ASI 总线的已编程 BCLK 与 FSYNC 频率比 (当器件配置为从模式自动时钟配置时不使用)。 0d = 比率为 16 1d = 比率为 24 2d = 比率为 32 3d = 比率为 48 4d = 比率为 64 5d = 比率为 96 6d = 比率为 128 7d = 比率为 192 8d = 比率为 256 9d = 比率为 384 10d = 比率为 512 11d = 比率为 1024 12d = 比率为 2048 13d 至 15d = 保留; 不使用

7.2.15 ASI_STS 寄存器 (地址 = 0x15) [复位 = 0xFF]

表 7-16 中展示了 ASI_STS。

返回到[汇总表](#)。

该寄存器是 ASI 总线时钟监控状态寄存器。

表 7-16. ASI_STS 寄存器字段说明

位	字段	类型	复位	说明
7-4	FS_RATE_STS[3:0]	R	1111b	检测到的 ASI 总线采样速率。 0d = 7.35kHz 或 8kHz 1d = 14.7kHz 或 16kHz 2d = 22.05kHz 或 24kHz 3d = 29.4kHz 或 32kHz 4d = 44.1kHz 或 48kHz 5d = 88.2kHz 或 96kHz 6d = 176.4kHz 或 192kHz 7d = 352.8kHz 或 384kHz 8d = 705.6kHz 或 768kHz 9d 至 14d = 保留状态 15d = 无效采样速率
3-0	FS_RATIO_STS[3:0]	R	1111b	检测到的 ASI 总线 BCLK 与 FSYNC 频率比。 0d = 比率为 16 1d = 比率为 24 2d = 比率为 32 3d = 比率为 48 4d = 比率为 64 5d = 比率为 96 6d = 比率为 128 7d = 比率为 192 8d = 比率为 256 9d = 比率为 384 10d = 比率为 512 11d = 比率为 1024 12d = 比率为 2048 13d 至 14d = 保留状态 15d = 无效的比率

7.2.16 CLK_SRC 寄存器 (地址 = 0x16) [复位 = 0x10]

表 7-17 中展示了 CLK_SRC。

返回到[汇总表](#)。

该寄存器是时钟源配置寄存器。

表 7-17. CLK_SRC 寄存器字段说明

位	字段	类型	复位	说明
7	DIS_PLL_SLV_CLK_SRC	R/W	0b	当器件配置为在从模式的自动时钟配置中禁用 PLL 时的音频根时钟源设置 (AUTO_MODE_PLL_DIS = 1)。 0d = BCLK 用作音频根时钟源 1d = MCLK (GPIO 或 GPIx) 用作音频根时钟源 (MCLK 与 FSYNC 之比视 MCLK_RATIO_SEL 设置而定)
6	MCLK_FREQ_SEL_MODE	R/W	0b	主模式 MCLK (GPIO 或 GPIx) 频率选择模式 (当器件处于自动时钟配置时有效)。 0d = MCLK 频率基于 MCLK_FREQ_SEL (P0_R19) 配置 1d = MCLK 频率在 MCLK_RATIO_SEL (P0_R22) 配置中指定为 FSYNC 的倍数

表 7-17. CLK_SRC 寄存器字段说明 (续)

位	字段	类型	复位	说明
5-3	MCLK_RATIO_SEL[2:0]	R/W	010b	这些位为主模式或当 MCLK 在从模式下用作音频根时钟源时选择 MCLK (GPIO 或 GP1x) 与 FSYNC 之比。 0d = 比率为 64 1d = 比率为 256 2d = 比率为 384 3d = 比率为 512 4d = 比率为 768 5d = 比率为 1024 6d = 比率为 1536 7d = 比率为 2304
2	RESERVED	R	0b	保留位; 仅写入复位值
1	INV_BCLK_FOR_FSYNC	R/W	0b	在主模式配置中, 仅对 BCLK 的极性进行反转来生成 FSYNC。 0d = 不反转 BCLK 极性来生成 FSYNC 1d = 反转 BCLK 极性来生成 FSYNC
0	RESERVED	R	0b	保留位; 仅写入复位值

7.2.17 PDMCLK_CFG 寄存器 (地址 = 0x1F) [复位 = 0x40]

表 7-18 中展示了 PDMCLK_CFG。

返回到[汇总表](#)。

该寄存器是 PDM 时钟生成配置寄存器。

表 7-18. PDMCLK_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位; 仅写入复位值
6-2	RESERVED	R	0b	保留位; 仅写入复位值
1-0	PDMCLK_DIV[1:0]	R/W	00b	PDMCLK 分频器值。 0d = PDMCLK 为 2.8224MHz 或 3.072MHz 1d = PDMCLK 为 1.4112MHz 或 1.536MHz 2d = PDMCLK 为 705.6kHz 或 768kHz 3d = PDMCLK 为 5.6448MHz 或 6.144MHz (仅适用于 PDM 通道 1 和 2)

7.2.18 PDMIN_CFG 寄存器 (地址 = 0x20) [复位 = 0x00]

表 7-19 中展示了 PDMIN_CFG。

返回到[汇总表](#)。

该寄存器是 PDM DINx 采样边沿配置寄存器。

表 7-19. PDMIN_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	PDMDIN1_EDGE	R/W	0b	用于通道 1 和通道 2 数据的 PDMCLK 锁存边沿。 0d = 通道 1 数据在负边沿上锁存, 通道 2 数据在正边沿上锁存 1d = 通道 1 数据在正边沿上锁存, 通道 2 数据在负边沿上锁存
6	RESERVED	R	0b	保留位; 仅写入复位值
5-0	RESERVED	R	0b	保留位; 仅写入复位值

7.2.19 GPIO_CFG0 寄存器 (地址 = 0x21) [复位 = 0x22]

表 7-20 展示了 GPIO_CFG0。

返回到[汇总表](#)。

该寄存器是 GPIO 配置寄存器 0。

表 7-20. GPIO_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-4	GPIO1_CFG[3:0]	R/W	0010b	GPIO1 配置。 0d = 禁用 GPIO1 1d = GPIO1 配置为通用输出 (GPO) 2d = GPIO1 配置为器件中断输出 (IRQ) 3d = 保留；不使用 4d = GPIO1 配置为 PDM 时钟输出 (PDMCLK) 5d = 保留；不使用 6d = 保留；不使用 7d = PD 所有 ADC 通道 8d = GPIO1 配置为控制 MICBIAS 何时开启或关闭的输入 (MICBIAS_EN) 9d = GPIO1 配置为通用输入 (GPI) 10d = GPIO1 配置为主时钟输入 (MCLK) 11d = GPIO1 配置为菊花链的 ASI 输入或用于混音的 ASI 输入 (SDIN) 12d = GPIO1 配置为通道 1 和通道 2 的 PDM 数据输入 (PDMDIN1) 13d = GPIO1 配置为通道 3 和通道 4 的 PDM 数据输入 (PDMDIN2) 14d 至 15d = 保留；不使用
3	RESERVED	R	0b	保留位；仅写入复位值
2-0	GPIO1_DRV[2:0]	R/W	010b	GPIO1 输出驱动配置。 0d = 高阻态输出 1d = 驱动低电平有效和高电平有效 2d = 驱动低电平有效和弱高电平 3d = 驱动低电平有效和高阻态 4d = 驱动弱低电平和高电平有效 5d = 驱动高阻态和高电平有效 6d 至 7d = 保留；不使用

7.2.20 GPO_CFG0 寄存器 (地址 = 0x22) [复位 = 0x00]

表 7-21 展示了 GPO_CFG0。

返回到[汇总表](#)。

该寄存器是 GPO 配置寄存器 0。

表 7-21. GPO_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-4	GPO1_CFG[3:0]	R/W	0000b	IN2M_GPO1 (GPO1) 配置。 0d = GPO1 禁用 1d = GPO1 配置为通用输出 (GPO) 2d = GPO1 配置为器件中断输出 (IRQ) 3d = 保留；不使用 4d = GPO1 配置为 PDM 时钟输出 (PDMCLK) 5d 至 15d = 保留；不使用
3	RESERVED	R	0b	保留位；仅写入复位值

表 7-21. GPO_CFG0 寄存器字段说明 (续)

位	字段	类型	复位	说明
2-0	GPO1_DRV[2:0]	R/W	000b	IN2M_GPO1 (GPO1) 输出驱动配置。 0d = 高阻态输出 1d = 驱动低电平有效和高电平有效 2d = 保留；不使用 3d = 驱动低电平有效和高阻态 4d = 保留；不使用 5d = 驱动高阻态和高电平有效 6d 至 7d = 保留；不使用

7.2.21 GPO_VAL 寄存器 (地址 = 0x29) [复位 = 0x00]

表 7-22 中展示了 GPO_VAL。

返回到[汇总表](#)。

该寄存器是 GPIO 和 GPO 输出值寄存器。

表 7-22. GPO_VAL 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO1_VAL	R/W	0b	配置为 GPO 时的 GPIO1 输出值。 0d = 驱动值为 0 的输出 1d = 驱动值为 1 的输出
6	GPO1_VAL	R/W	0b	配置为 GPO 时的 GPO1 输出值。 0d = 驱动值为 0 的输出 1d = 驱动值为 1 的输出
5-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.22 GPIO_MON 寄存器 (地址 = 0x2A) [复位 = 0x00]

表 7-23 中展示了 GPIO_MON。

返回到[汇总表](#)。

该寄存器是 GPIO 监控值寄存器。

表 7-23. GPIO_MON 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO1_MON	R	0b	配置为 GPI 时的 GPIO1 监控值。 0d = 输入监控值 0 1d = 输入监控值 1
6-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.23 GPI_CFG0 寄存器 (地址 = 0x2B) [复位 = 0x00]

表 7-24 展示了 GPI_CFG0。

返回到[汇总表](#)。

该寄存器是 GPI 配置寄存器 0。

表 7-24. GPI_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值

表 7-24. GPI_CFG0 寄存器字段说明 (续)

位	字段	类型	复位	说明
6-4	GPI1_CFG[2:0]	R/W	000b	IN2P_GPI1 (GPI1) 配置。 0d = 禁用 GPI1 1d = GPI1 配置为通用输入 (GPI) 2d = GPI1 配置为主时钟输入 (MCLK) 3d = GPI1 配置为菊花链的 ASI 输入或用于混音的 ASI 输入 (SDIN) 4d = GPI1 配置为通道 1 和通道 2 的 PDM 数据输入 (PDMDIN1) 5d = GPI1 配置为通道 3 和通道 4 的 PDM 数据输入 (PDMDIN2) 6d = 保留; 不使用 7d = PD 所有 ADC 通道
3	RESERVED	R	0b	保留位; 仅写入复位值
2-0	GPI2_CFG[2:0]	R/W	000b	MICBIAS 作为 GPI2 配置。 0d = 禁用 GPI2 1d = GPI2 配置为通用输入 (GPI) 2d = GPI2 配置为主时钟输入 (MCLK) 3d = GPI2 配置为菊花链的 ASI 输入或用于混音的 ASI 输入 (SDIN) 4d = GPI2 配置为通道 1 和通道 2 的 PDM 数据输入 (PDMDIN1) 5d = GPI2 配置为通道 3 和通道 4 的 PDM 数据输入 (PDMDIN2) 6d = 保留; 不使用 7d = PD 所有 ADC 通道

7.2.24 GPI_MON 寄存器 (地址 = 0x2F) [复位 = 0x00]

表 7-25 中展示了 GPI_MON。

返回到[汇总表](#)。

该寄存器是 GPI 监控值寄存器。

表 7-25. GPI_MON 寄存器字段说明

位	字段	类型	复位	说明
7	GPI1_MON	R	0b	配置为 GPI 时的 GPI1 监控值。 0d = 输入监控值 0 1d = 输入监控值 1
6	GPI2_MON	R	0b	MICBIAS 配置为 GPI 时的 GPI2 监控值。 0d = 输入监控值 0 1d = 输入监控值 1
5-0	RESERVED	R	0b	保留位; 仅写入复位值

7.2.25 INT_CFG 寄存器 (地址 = 0x32) [复位 = 0x00]

表 7-26 展示了 INT_CFG。

返回到[汇总表](#)。

该寄存器是中断配置寄存器。

表 7-26. INT_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	INT_POL	R/W	0b	中断极性。 0d = 低电平有效 (IRQZ) 1d = 高电平有效 (IRQ)

表 7-26. INT_CFG 寄存器字段说明 (续)

位	字段	类型	复位	说明
6-5	INT_EVENT[1:0]	R/W	00b	中断事件配置。 0d = INT 在发生任何未屏蔽的锁存中断事件时置为有效不使用 2d = 在发生任何未屏蔽的锁存中断事件时, INT 每 4ms (典型值) 置为有效并持续 2ms (典型值) 3d = 在发生任何未屏蔽的中断事件时, INT 每次在每个脉冲上置为有效并持续 2ms (典型值)
4-3	RESERVED	R	0b	保留位; 仅写入复位值
2	LTCH_READ_CFG	R/W	0b	中断锁存寄存器回读配置。 0d = 所有中断都可以通过 LTCH 寄存器读取 1d = 只有未屏蔽的中断可以通过 LTCH 寄存器读取
1-0	RESERVED	R	0b	保留位; 仅写入复位值

7.2.26 INT_MASK0 寄存器 (地址 = 0x33) [复位 = 0xFF]

表 7-27 展示了 INT_MASK0。

返回到[汇总表](#)。

该寄存器是中断屏蔽寄存器 0。

表 7-27. INT_MASK0 寄存器字段说明

位	字段	类型	复位	说明
7	INT_MASK0	R/W	1b	ASI 时钟错误屏蔽。 0d = 不屏蔽 1d = 屏蔽
6	INT_MASK0	R/W	1b	PLL 锁定中断屏蔽。 0d = 不屏蔽 1d = 屏蔽
5	INT_MASK0	R/W	1b	ASI 输入混合饱和和警报屏蔽。 0d = 不屏蔽 1d = 屏蔽
4	INT_MASK0	R/W	1b	VAD 上电检测中断屏蔽。 0d = 不屏蔽 1d = 屏蔽
3	INT_MASK0	R/W	1b	VAD 断电检测中断屏蔽。 0d = 不屏蔽 1d = 屏蔽
2	RESERVED	R	0b	保留位; 仅写入复位值
1	RESERVED	R	0b	保留位; 仅写入复位值
0	RESERVED	R	0b	保留位; 仅写入复位值

7.2.27 INT_LTCH0 寄存器 (地址 = 0x36) [复位 = 0x00]

表 7-28 展示了 INT_LTCH0。

返回到[汇总表](#)。

该寄存器是锁存中断读回寄存器 0。

表 7-28. INT_LTCH0 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LTCH0	R	0b	ASI 总线时钟错误引起的中断 (自行清零位)。 0d = 无中断 1d = 中断
6	INT_LTCH0	R	0b	PLL LOCK 引起的中断 (自行清零位)。 0d = 无中断 1d = 中断
5	INT_LTCH0	R	0b	ASI 输入混合通道饱和和警报引起的中断 (自行清零位)。 0d = 无中断 1d = 中断
4	INT_LTCH0	R	0b	VAD 上电检测导致的中断 (自行清零位)。 0d = 无中断 1d = 中断
3	INT_LTCH0	R	0b	VAD 断电检测导致的中断 (自行清零位)。 0d = 无中断 1d = 中断
2	RESERVED	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值
0	RESERVED	R	0b	保留位；仅写入复位值

7.2.28 CM_TOL_CFG 寄存器 (地址 = 0x3A) [复位 = 0x00]

表 7-29 中展示了 CM_TOL_CFG。

返回到[汇总表](#)。

该寄存器是 ADC 共模配置寄存器

表 7-29. CM_TOL_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	CH1_INP_CM_TOL_CFG[1:0]	R/W	00b	通道 1 输入共模变化容差配置。 0d = 交流耦合为 100mVpp 和直流耦合为 2.82Vpp 时的共模变化容差 1d = 交流/直流耦合输入为 1V 峰峰值时的共模容差 2d = 交流/直流耦合输入为 0AVDD 时的共模容差 (仅在输入阻抗为 10kΩ/20kΩ 时才支持)。对于 2.5kΩ 的输入阻抗, 输入共模公差为 0.4V 至 2.6V。 3d = 保留；不使用
5-4	CH2_INP_CM_TOL_CFG[1:0]	R/W	00b	通道 2 输入共模变化容差配置。 0d = 交流耦合为 100mVpp 和直流耦合为 2.82Vpp 时的共模变化容差 1d = 交流/直流耦合输入为 1V 峰峰值时的共模容差 2d = 交流/直流耦合输入为 0AVDD 时的共模容差 (仅在输入阻抗为 10kΩ/20kΩ 时才支持)。对于 2.5kΩ 的输入阻抗, 输入共模公差为 0.4V 至 2.6V。 3d = 保留；不使用
3-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.29 BIAS_CFG 寄存器 (地址 = 0x3B) [复位 = 0x00]

表 7-30 中展示了 BIAS_CFG。

返回到[汇总表](#)。

该寄存器是偏置和 ADC 配置寄存器

表 7-30. BIAS_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-4	MBIAS_VAL[2:0]	R/W	000b	MICBIAS 值。 0d = 麦克风偏置电压设置为 VREF (2.750V、2.500V 或 1.375V) 1d = 麦克风偏置电压设置为 VREF x 1.096 (3.014V、2.740V 或 1.507V) 2d = 麦克风偏置电压设置为 VCM = IN1M, 对于 ADC 单端配置 3d = 麦克风偏置电压设置为 VCM = IN2M, 对于 ADC 单端配置 4d = 麦克风偏置电压设置为 VCM = IN1M 和 IN2M 的平均值, 对于 ADC 单端配置 5d = 麦克风偏置电压设置为 VCM = 内部粗共模 6d = 麦克风偏置电压设置为 AVDD 7d = MICBIAS 配置为 GPI2
3-2	RESERVED	R	0b	保留位；仅写入复位值
1-0	ADC_FSCALE[1:0]	R/W	00b	ADC 满量程设置 (根据使用的 AVDD 电源电压最小值配置此设置)。 0d = VREF 设置为 2.75V 以支持 2V _{RMS} (对于差分输入) 或 1V _{RMS} (对于单端输入) 1d = VREF 设置为 2.5V 以支持 1.818V _{RMS} (对于差分输入) 或 0.909V _{RMS} (对于单端输入) 2d = VREF 设置为 1.375V 以支持 1V _{RMS} (对于差分输入) 或 0.5V _{RMS} (对于单端输入) 3d = 保留；不使用

7.2.30 CH1_CFG0 寄存器 (地址 = 0x3C) [复位 = 0x00]

表 7-31 展示了 CH1_CFG0。

返回到[汇总表](#)。

该寄存器是通道 0 的配置寄存器 1。

表 7-31. CH1_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	CH1_INTYP	R/W	0b	通道 1 输入类型。 0d = 麦克风输入 1d = 线路输入
6-5	CH1_INSRC[1:0]	R/W	00b	通道 1 输入配置。 0d = 模拟差分输入 1d = 模拟单端输入 2d = 数字麦克风 PDM 输入 (为 PDMDIN1 和 PDMCLK 相应地配置 GPO 和 GPI 引脚) 3d = 保留；不使用
4	CH1_DC	R/W	0b	通道 1 输入耦合 (适用于模拟输入)。 0d = 交流耦合输入 1d = 直流耦合输入
3-2	CH1_IMP[1:0]	R/W	00b	通道 1 输入阻抗 (适用于模拟输入)。 0d = 典型 2.5k Ω 输入阻抗 1d = 典型 10k Ω 输入阻抗 2d = 典型 20k Ω 输入阻抗 3d = 保留；不使用
1	RESERVED	R	0b	保留位；仅写入复位值
0	CH1_AGCEN	R/W	0b	通道 1 自动增益控制器 (AGC) 设置。 0d = 禁用 AGC 1d = 根据寄存器 108 (P0_R108) 中位 3 的配置启用 AGC

7.2.31 CH1_CFG1 寄存器 (地址 = 0x3D) [复位 = 0x00]

表 7-32 展示了 CH1_CFG1。

返回到[汇总表](#)。

该寄存器是通道 1 的配置寄存器 1。

表 7-32. CH1_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-1	CH1_GAIN[6:0]	R/W	0000000b	通道 1 增益。 0d = 通道增益设置为 0dB 1d = 通道增益设置为 0.5dB 2d = 通道增益设置为 1dB 3d 至 83d = 通道增益根据配置进行设置 84d = 通道增益设置为 42dB 85d 至 127d = 保留；不使用
0	CH1_GAIN_SIGN_BIT	R/W	0b	通道 1 增益符号配置。 0d = 正通道增益 1d = 负通道增益 (支持的最小通道增益为 -11dB；仅在通道输入阻抗为 10kΩ 和 20kΩ 时支持)

7.2.32 CH1_CFG2 寄存器 (地址 = 0x3E) [复位 = 0xC9]

表 7-33 展示了 CH1_CFG2。

返回到[汇总表](#)。

该寄存器是通道 2 的配置寄存器 1。

表 7-33. CH1_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH1_DVOL[7:0]	R/W	11001001b	通道 1 数字音量控制。 0d = 数字音量静音 1d = 数字音量控制设置为 -100dB 2d = 数字音量控制设置为 -99.5dB 3d 至 200d = 数字音量控制根据配置进行设置 201d = 数字音量控制设置为 0dB 202d = 数字音量控制设置为 0.5dB 203d 至 253d = 数字音量控制根据配置进行设置 254d = 数字音量控制设置为 26.5dB 255d = 数字音量控制设置为 27dB

7.2.33 CH1_CFG3 寄存器 (地址 = 0x3F) [复位 = 0x80]

表 7-34 展示了 CH1_CFG3。

返回到[汇总表](#)。

该寄存器是通道 3 的配置寄存器 1。

表 7-34. CH1_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7-4	CH1_GCAL[3:0]	R/W	1000b	通道 1 增益校准。 0d = 增益校准设置为 -0.8dB 1d = 增益校准设置为 -0.7dB 2d = 增益校准设置为 -0.6dB 3d 至 7d = 增益校准根据配置进行设置 8d = 增益校准设置为 0dB 9d = 增益校准设置为 0.1dB 10d 至 13d = 增益校准根据配置进行设置 14d = 增益校准设置为 0.6dB 15d = 增益校准设置为 0.7dB
3-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.34 CH1_CFG4 寄存器 (地址 = 0x40) [复位 = 0x00]

表 7-35 展示了 CH1_CFG4。

返回到[汇总表](#)。

该寄存器是通道 4 的配置寄存器 1。

表 7-35. CH1_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH1_PCAL[7:0]	R/W	00000000b	具有调制器时钟分辨率的通道 1 相位校准。 0d = 无相位校准 1d = 相位校准延迟设置为一个调制器时钟周期 2d = 相位校准延迟设置为两个调制器时钟周期 3d 至 254d = 相位校准延迟视配置而定 255d = 相位校准延迟设置为 255 个调制器时钟周期

7.2.35 CH2_CFG0 寄存器 (地址 = 0x41) [复位 = 0x00]

表 7-36 展示了 CH2_CFG0。

返回到[汇总表](#)。

该寄存器是通道 0 的配置寄存器 2。

表 7-36. CH2_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	CH2_INTYP	R/W	0b	通道 2 输入类型。 0d = 麦克风输入 1d = 线路输入
6-5	CH2_INSRC[1:0]	R/W	00b	通道 2 输入配置。 0d = 模拟差分输入 (必须禁用 GPI1 和 GPO1 引脚功能) 1d = 模拟单端输入 (必须禁用 GPI1 和 GPO1 引脚功能) 2d = 数字麦克风 PDM 输入 (为 PDMDIN1 和 PDMCLK 相应地配置 GPO 和 GPI 引脚) 3d = 保留；不使用
4	CH2_DC	R/W	0b	通道 2 输入耦合 (适用于模拟输入)。 0d = 交流耦合输入 1d = 直流耦合输入

表 7-36. CH2_CFG0 寄存器字段说明 (续)

位	字段	类型	复位	说明
3-2	CH2_IMP[1:0]	R/W	00b	通道 2 输入阻抗 (适用于模拟输入)。 0d = 典型 2.5k Ω 输入阻抗 1d = 典型 10k Ω 输入阻抗 2d = 典型 20k Ω 输入阻抗 3d = 保留; 不使用
1	RESERVED	R	0b	保留位; 仅写入复位值
0	CH2_AGCEN	R/W	0b	通道 2 自动增益控制器 (AGC) 设置。 0d = 禁用 AGC 1d = 根据寄存器 108 (P0_R108) 中位 3 的配置启用 AGC

7.2.36 CH2_CFG1 寄存器 (地址 = 0x42) [复位 = 0x00]

表 7-37 展示了 CH2_CFG1。

返回到[汇总表](#)。

该寄存器是通道 1 的配置寄存器 2。

表 7-37. CH2_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-1	CH2_GAIN[6:0]	R/W	0000000b	通道 2 增益。 0d = 通道增益设置为 0dB 1d = 通道增益设置为 0.5dB 2d = 通道增益设置为 1dB 3d 至 83d = 通道增益根据配置进行设置 84d = 通道增益设置为 42dB 85d 至 127d = 保留; 不使用
0	CH2_GAIN_SIGN_BIT	R/W	0b	通道 2 增益符号配置。 0d = 正通道增益 1d = 负通道增益 (支持的最小通道增益为 -11dB; 仅在通道输入阻抗为 10k Ω 和 20k Ω 时支持)

7.2.37 CH2_CFG2 寄存器 (地址 = 0x43) [复位 = 0xC9]

表 7-38 展示了 CH2_CFG2。

返回到[汇总表](#)。

该寄存器是通道 2 的配置寄存器 2。

表 7-38. CH2_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH2_DVOL[7:0]	R/W	11001001b	通道 2 数字音量控制。 0d = 数字音量静音 1d = 数字音量控制设置为 -100dB 2d = 数字音量控制设置为 -99.5dB 3d 至 200d = 数字音量控制根据配置进行设置 201d = 数字音量控制设置为 0dB 202d = 数字音量控制设置为 0.5dB 203d 至 253d = 数字音量控制根据配置进行设置 254d = 数字音量控制设置为 26.5dB 255d = 数字音量控制设置为 27dB

7.2.38 CH2_CFG3 寄存器 (地址 = 0x44) [复位 = 0x80]

表 7-39 展示了 CH2_CFG3。

返回到[汇总表](#)。

该寄存器是通道 3 的配置寄存器 2。

表 7-39. CH2_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7-4	CH2_GCAL[3:0]	R/W	1000b	通道 2 增益校准。 0d = 增益校准设置为 -0.8dB 1d = 增益校准设置为 -0.7dB 2d = 增益校准设置为 -0.6dB 3d 至 7d = 增益校准根据配置进行设置 8d = 增益校准设置为 0dB 9d = 增益校准设置为 0.1dB 10d 至 13d = 增益校准根据配置进行设置 14d = 增益校准设置为 0.6dB 15d = 增益校准设置为 0.7dB
3-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.39 CH2_CFG4 寄存器 (地址 = 0x45) [复位 = 0x00]

表 7-40 展示了 CH2_CFG4。

返回到[汇总表](#)。

该寄存器是通道 4 的配置寄存器 2。

表 7-40. CH2_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH2_PCAL[7:0]	R/W	00000000b	具有调制器时钟分辨率的通道 2 相位校准。 0d = 无相位校准 1d = 相位校准延迟设置为一个调制器时钟周期 2d = 相位校准延迟设置为两个调制器时钟周期 3d 至 254d = 相位校准延迟视配置而定 255d = 相位校准延迟设置为 255 个调制器时钟周期

7.2.40 CH3_CFG2 寄存器 (地址 = 0x48) [复位 = 0xC9]

表 7-41 展示了 CH3_CFG2。

返回到[汇总表](#)。

该寄存器是通道 2 的配置寄存器 3。

表 7-41. CH3_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH3_DVOL[7:0]	R/W	11001001b	通道 3 数字音量控制。 0d = 数字音量静音 1d = 数字音量控制设置为 -100dB 2d = 数字音量控制设置为 -99.5dB 3d 至 200d = 数字音量控制根据配置进行设置 201d = 数字音量控制设置为 0dB 202d = 数字音量控制设置为 0.5dB 203d 至 253d = 数字音量控制根据配置进行设置 254d = 数字音量控制设置为 26.5dB 255d = 数字音量控制设置为 27dB

7.2.41 CH3_CFG3 寄存器 (地址 = 0x49) [复位 = 0x80]

表 7-42 展示了 CH3_CFG3。

返回到[汇总表](#)。

该寄存器是通道 3 的配置寄存器 3。

表 7-42. CH3_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7-4	CH3_GCAL[3:0]	R/W	1000b	通道 3 增益校准。 0d = 增益校准设置为 -0.8dB 1d = 增益校准设置为 -0.7dB 2d = 增益校准设置为 -0.6dB 3d 至 7d = 增益校准根据配置进行设置 8d = 增益校准设置为 0dB 9d = 增益校准设置为 0.1dB 10d 至 13d = 增益校准根据配置进行设置 14d = 增益校准设置为 0.6dB 15d = 增益校准设置为 0.7dB
3-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.42 CH3_CFG4 寄存器 (地址 = 0x4A) [复位 = 0x00]

表 7-43 展示了 CH3_CFG4。

返回到[汇总表](#)。

该寄存器是通道 4 的配置寄存器 3。

表 7-43. CH3_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH3_PCAL[7:0]	R/W	00000000b	具有调制器时钟分辨率的通道 3 相位校准。 0d = 无相位校准 1d = 相位校准延迟设置为一个调制器时钟周期 2d = 相位校准延迟设置为两个调制器时钟周期 3d 至 254d = 相位校准延迟视配置而定 255d = 相位校准延迟设置为 255 个调制器时钟周期

7.2.43 CH4_CFG2 寄存器 (地址 = 0x4D) [复位 = 0xC9]

表 7-44 展示了 CH4_CFG2。

返回到[汇总表](#)。

该寄存器是通道 2 的配置寄存器 4。

表 7-44. CH4_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH4_DVOL[7:0]	R/W	11001001b	通道 4 数字音量控制。 0d = 数字音量静音 1d = 数字音量控制设置为 -100dB 2d = 数字音量控制设置为 -99.5dB 3d 至 200d = 数字音量控制根据配置进行设置 201d = 数字音量控制设置为 0dB 202d = 数字音量控制设置为 0.5dB 203d 至 253d = 数字音量控制根据配置进行设置 254d = 数字音量控制设置为 26.5dB 255d = 数字音量控制设置为 27dB

7.2.44 CH4_CFG3 寄存器 (地址 = 0x4E) [复位 = 0x80]

表 7-45 展示了 CH4_CFG3。

返回到[汇总表](#)。

该寄存器是通道 3 的配置寄存器 4。

表 7-45. CH4_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7-4	CH4_GCAL[3:0]	R/W	1000b	通道 4 增益校准。 0d = 增益校准设置为 -0.8dB 1d = 增益校准设置为 -0.7dB 2d = 增益校准设置为 -0.6dB 3d 至 7d = 增益校准根据配置进行设置 8d = 增益校准设置为 0dB 9d = 增益校准设置为 0.1dB 10d 至 13d = 增益校准根据配置进行设置 14d = 增益校准设置为 0.6dB 15d = 增益校准设置为 0.7dB
3-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.45 CH4_CFG4 寄存器 (地址 = 0x4F) [复位 = 0x00]

表 7-46 展示了 CH4_CFG4。

返回到[汇总表](#)。

该寄存器是通道 4 的配置寄存器 4。

表 7-46. CH4_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH4_PCAL[7:0]	R/W	00000000b	具有调制器时钟分辨率的通道 4 相位校准。 0d = 无相位校准 1d = 相位校准延迟设置为一个调制器时钟周期 2d = 相位校准延迟设置为两个调制器时钟周期 3d 至 254d = 相位校准延迟视配置而定 255d = 相位校准延迟设置为 255 个调制器时钟周期

7.2.46 DSP_CFG0 寄存器 (地址 = 0x6B) [复位 = 0x01]

表 7-47 展示了 DSP_CFG0。

返回到[汇总表](#)。

该寄存器是数字信号处理器 (DSP) 配置寄存器 0。

表 7-47. DSP_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	DIS_DVOL_OTF_CHG	R/W	0b	禁用对 DVOL 设置的运行时更改。 0d = ADC 上电时支持数字音量控制更改 1d = ADC 上电时不支持数字音量控制更改。如果需要多个通道处理, 这对于 384kHz 及更高的采样速率非常有用。
6	RESERVED	R	0b	保留位; 仅写入复位值
5-4	DECI_FILT[1:0]	R/W	00b	抽取滤波器响应。 0d = 线性相位 1d = 低延迟 2d = 超低延迟 3d = 保留; 不使用
3-2	CH_SUM[1:0]	R/W	00b	实现更高 SNR 的通道求和模式 0d = 禁用通道求和模式 1d = 启用 2 通道求和模式以生成 (CH1 + CH2) / 2 输出 2d = 保留; 不使用 3d = 保留; 不使用
1-0	HPF_SEL[1:0]	R/W	01b	高通滤波器 (HPF) 选择。 0d = 使用可编程一阶 IIR 滤波器来实现自定义 HPF, 在 P4_R72 至 P4_R83 范围内, 默认系数值设置为实现全通滤波器 1d = 选择截止频率为 $0.00025 \times f_S$ ($f_S = 48\text{kHz}$ 时为 12Hz) 的 HPF 2d = 选择截止频率为 $0.002 \times f_S$ ($f_S = 48\text{kHz}$ 时为 96Hz) 的 HPF 3d = 选择截止频率为 $0.008 \times f_S$ ($f_S = 48\text{kHz}$ 时为 384Hz) 的 HPF

7.2.47 DSP_CFG1 寄存器 (地址 = 0x6C) [复位 = 0x40]

表 7-48 展示了 DSP_CFG1。

返回到[汇总表](#)。

该寄存器是数字信号处理器 (DSP) 配置寄存器 1。

表 7-48. DSP_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	DVOL_GANG	R/W	0b	DVOL 控制成组跨通道。 0d = 每个通道均有自己的 DVOL CTRL 设置, 基于 CHx_DVOL 位的编程 1d = 无论通道 1 是否打开, 所有活动通道都必须使用通道 1 DVOL 设置 (CH1_DVOL)
6-5	BIQUAD_CFG[1:0]	R/W	10b	每个通道配置的双二阶滤波器数。 0d = 每个通道均无双二阶滤波器; 双二阶滤波器全部禁用 1d = 每个通道 1 个双二阶滤波器 2d = 每个通道 2 个双二阶滤波器 3d = 每个通道 3 个双二阶滤波器
4	DISABLE_SOFT_STEP	R/W	0b	在 DVOL 更改、静音和取消静音期间禁用软步进。 0d = 启用软步进 1d = 禁用软步进
3	AGC_SEL	R/W	0b	当为任何通道启用时选择 AGC 0d = 未选择 AGC 1d = 选择 AGC

表 7-48. DSP_CFG1 寄存器字段说明 (续)

位	字段	类型	复位	说明
2	RESERVED	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值
0	EN_AVOID_CLIP	R/W	0b	通道增益大于 0dB 且启用 AGC 模式时的抗削波器。 0d = 根据用户编程值保持通道增益 1d = 当通道增益大于 0dB 且信号电平超过第 4 页中设置的编程阈值设置时，信号电平被压缩以避免削波。

7.2.48 AGC_CFG0 寄存器 (地址 = 0x70) [复位 = 0xE7]

表 7-49 展示了 AGC_CFG0。

返回到[汇总表](#)。

该寄存器是自动增益控制器 (AGC) 配置寄存器 0。

表 7-49. AGC_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-4	AGC_LVL[3:0]	R/W	1110b	AGC 输出信号目标电平。 0d = 输出信号目标电平为 -6dB 1d = 输出信号目标电平为 -8dB 2d = 输出信号目标电平为 -10dB 3d 至 13d = 输出信号目标电平视配置而定 14d = 输出信号目标电平为 -34dB 15d = 输出信号目标电平为 -36dB
3-0	AGC_MAXGAIN[3:0]	R/W	0111b	允许的 AGC 最大增益。 0d = 允许的最大增益为 3dB 1d = 允许的最大增益为 6dB 2d = 允许的最大增益为 9dB 3d 至 11d = 允许的最大增益为视配置而定 12d = 允许的最大增益为 39dB 13d = 允许的最大增益为 42dB 14d 至 15d = 保留；不使用

7.2.49 GAIN_CFG 寄存器 (地址 = 0x71) [复位 = 0x00]

表 7-50 中展示了 GAIN_CFG。

返回到[汇总表](#)。

该寄存器是通道增益配置寄存器。

表 7-50. GAIN_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	OTF_GAIN_CHANGE_CFG[1:0]	R/W	00b	动态通道增益更改配置 0d = 由于立即应用增益更改而产生一些伪影的动态增益更改 1d = 启用动态增益更改，减少了伪影，但没有软步进功能 2d = 启用动态增益更改，每大约 20μs 软步进 0.5dB，在 10kΩ 输入阻抗模式下，支持的通道增益最高可达 30dB；在 20kΩ 输入阻抗模式下，支持的通道增益最高可达 24dB 3d = 启用动态增益更改，每大约 40μs 软步进 0.5dB，在 10kΩ 输入阻抗模式下，支持的通道增益最高可达 30dB；在 20kΩ 输入阻抗模式下，支持的通道增益最高可达 24dB
5	RESERVED	R	0b	保留位；仅写入复位值
4-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.50 IN_CH_EN 寄存器 (地址 = 0x73) [复位 = 0xC0]

表 7-51 中展示了 IN_CH_EN。

返回到[汇总表](#)。

该寄存器是输入通道启用配置寄存器。

表 7-51. IN_CH_EN 寄存器字段说明

位	字段	类型	复位	说明
7	IN_CH1_EN	R/W	1b	输入通道 1 使能设置。 0d = 通道 1 禁用 1d = 通道 1 启用
6	IN_CH2_EN	R/W	1b	输入通道 2 使能设置。 0d = 通道 2 禁用 1d = 通道 2 启用
5	IN_CH3_EN	R/W	0b	输入通道 3 (仅限 PDM) 使能设置。 0d = 通道 3 禁用 1d = 通道 3 启用
4	IN_CH4_EN	R/W	0b	输入通道 4 (仅限 PDM) 使能设置。 0d = 通道 4 禁用 1d = 通道 4 启用
3-0	RESERVED	R	0b	保留位; 仅写入复位值

7.2.51 ASI_OUT_CH_EN 寄存器 (地址 = 0x74) [复位 = 0x00]

表 7-52 中展示了 ASI_OUT_CH_EN。

返回到[汇总表](#)。

该寄存器是 ASI 输出通道启用配置寄存器。

表 7-52. ASI_OUT_CH_EN 寄存器字段说明

位	字段	类型	复位	说明
7	ASI_OUT_CH1_EN	R/W	0b	ASI 输出通道 1 启用设置。 0d = 通道 1 输出时隙处于三态条件 1d = 通道 1 输出时隙已启用
6	ASI_OUT_CH2_EN	R/W	0b	ASI 输出通道 2 启用设置。 0d = 通道 2 输出时隙处于三态条件 1d = 通道 2 输出时隙已启用
5	ASI_OUT_CH3_EN	R/W	0b	ASI 输出通道 3 启用设置。 0d = 通道 3 输出时隙处于三态条件 1d = 通道 3 输出时隙已启用
4	ASI_OUT_CH4_EN	R/W	0b	ASI 输出通道 4 启用设置。 0d = 通道 4 输出时隙处于三态条件 1d = 通道 4 输出时隙已启用
3-0	RESERVED	R	0b	保留位; 仅写入复位值

7.2.52 PWR_CFG 寄存器 (地址 = 0x75) [复位 = 0x00]

表 7-53 展示了 PWR_CFG。

返回到[汇总表](#)。

该寄存器是上电配置寄存器。

表 7-53. PWR_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	MICBIAS_PDZ	R/W	0b	MICBIAS 的电源控制。 0d = MICBIAS 断电 1d = MICBIAS 上电
6	ADC_PDZ	R/W	0b	ADC 和 PDM 通道的电源控制。 0d = 所有 ADC 和 PDM 通道断电 1d = 所有已启用的 ADC 和 PDM 通道上电
5	PLL_PDZ	R/W	0b	PLL 的电源控制。 0d = PLL 断电 1d = PLL 上电
4	DYN_CH_PUPD_EN	R/W	0b	动态通道上电/断电使能。 0d = 如果任何通道录音处于开启状态，则不支持通道上电/断电 1d = 即使通道录音处于开启状态，通道也可以单独上电或断电
3-2	DYN_MAXCH_SEL[1:0]	R/W	00b	动态模式最大通道选择配置。 0d = 启用动态通道上电/断电功能时使用通道 1 和通道 2 1d = 启用动态通道上电/断电功能时使用通道 1 至通道 4 2d = 保留；不使用 3d = 保留；不使用
1	RESERVED	R	0b	保留位；仅写入复位值
0	VAD_EN	R/W	0b	启用语音活动检测 (VAD) 算法。 0d = 禁用 VAD 1d = 启用 VAD

7.2.53 DEV_STS0 寄存器 (地址 = 0x76) [复位 = 0x00]

表 7-54 展示了 DEV_STS0。

返回到[汇总表](#)。

该寄存器是器件状态值寄存器 0。

表 7-54. DEV_STS0 寄存器字段说明

位	字段	类型	复位	说明
7	CH1_STATUS	R	0b	ADC 或 PDM 通道 1 电源状态。 0d = ADC 或 PDM 通道断电 1d = ADC 或 PDM 通道上电
6	CH2_STATUS	R	0b	ADC 或 PDM 通道 2 电源状态。 0d = ADC 或 PDM 通道断电 1d = ADC 或 PDM 通道上电
5-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.54 DEV_STS1 寄存器 (地址 = 0x77) [复位 = 0x80]

表 7-55 展示了 DEV_STS1。

返回到[汇总表](#)。

该寄存器是器件状态值寄存器 1。

表 7-55. DEV_STS1 寄存器字段说明

位	字段	类型	复位	说明
7-5	MODE_STS[2:0]	R	100b	器件模式状态。 4d = 器件处于睡眠模式或软件关断模式 6d = 器件处于工作模式且所有 ADC 或 PDM 通道都关闭 7d = 器件处于工作模式且至少一个 ADC 或 PDM 通道开启
4-0	RESERVED	R	0b	保留位；仅写入复位值

7.2.55 I2C_CKSUM 寄存器 (地址 = 0x7E) [复位 = 0x00]

表 7-56 展示了 I2C_CKSUM。

返回到[汇总表](#)。

该寄存器返回 I²C 事务校验和值。

表 7-56. I2C_CKSUM 寄存器字段说明

位	字段	类型	复位	说明
7-0	I2C_CKSUM[7:0]	R/W	00000000b	这些位返回 I ² C 事务校验和值。写入此寄存器会将校验和复位为写入值。此寄存器在所有页上的其他寄存器进行写操作时更新。

7.3 Page_1 寄存器

表 7-57 列出了 Page_1 寄存器的存储器映射寄存器。表 7-57 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-57. PAGE_1 寄存器

地址	首字母缩写词	寄存器名称	复位值	部分
0x0	PAGE_CFG	器件页寄存器	0x00	节 7.3.1
0x1E	VAD_CFG1	语音活动检测配置寄存器 1	0x20	节 7.3.2
0x1F	VAD_CFG2	语音活动检测配置寄存器 2	0x08	节 7.3.3

7.3.1 PAGE_CFG 寄存器 (地址 = 0x0) [复位 = 0x00]

表 7-58 展示了 PAGE_CFG。

返回到[汇总表](#)。

器件存储器映射分为多个页面。该寄存器设置页。

表 7-58. PAGE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	00000000b	这些位设置器件页。 0d = 第 0 页 1d = 第 1 页 2d 至 254d = 第 2 页至第 254 页 255d = 第 255 页

7.3.2 VAD_CFG1 寄存器 (地址 = 0x1E) [复位 = 0x20]

表 7-59 展示了 VAD_CFG1。

返回到[汇总表](#)。

此寄存器是用于语音活动检测的配置寄存器 1。

表 7-59. VAD_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-6	VAD_MODE[1:0]	R/W	00b	自动 ADC 上电/断电配置选择。 0d = 用户启动的 ADC 上电和 ADC 断电 1d = 基于 VAD 中断的 ADC 上电和 ADC 断电 2d = 基于 VAD 中断的 ADC 上电，但用户启动的 ADC 断电 3d = 用户启动的 ADC 上电，但基于 VAD 中断的 ADC 断电
5-4	VAD_CH_SEL[1:0]	R/W	10b	VAD 通道选择。 0d = 在通道 1 上监控 VAD 活动 1d = 在通道 2 上监控 VAD 活动 2d = 在通道 3 上监控 VAD 活动 3d = 在通道 4 上监控 VAD 活动
3-2	VAD_CLK_CFG[1:0]	R/W	00b	VAD 的时钟选择 0d = 使用内部振荡器时钟的 VAD 处理 1d = 使用 BCLK 输入上的外部时钟的 VAD 处理 2d = 使用 MCLK 输入上的外部时钟的 VAD 处理 3d = 基于页面 0 中的 MST_CFG、CLK_SRC 和 CLKGEN_CFG 寄存器的自定义时钟配置

表 7-59. VAD_CFG1 寄存器字段说明 (续)

位	字段	类型	复位	说明
1-0	VAD_EXT_CLK_CFG[1:0]	R/W	00b	使用外部时钟的 VAD 时钟配置。 0d = 外部时钟为 3.072MHz 1d = 外部时钟为 6.144MHz 2d = 外部时钟为 12.288MHz 3d = 外部时钟为 18.432MHz

7.3.3 VAD_CFG2 寄存器 (地址 = 0x1F) [复位 = 0x08]

表 7-60 展示了 VAD_CFG2。

返回到[汇总表](#)。

此寄存器是用于语音活动检测的配置寄存器 2。

表 7-60. VAD_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6	SDOUT_INT_CFG	R/W	0b	SDOUT 中断配置。 0d = 未使 SDOUT 引脚支持中断功能 1d = 使 SDOUT 引脚在未记录通道数据期间支持中断输出
5	RESERVED	R	0b	保留位；仅写入复位值
4	RESERVED	R	0b	保留位；仅写入复位值
3	VAD_PD_DET_EN	R/W	1b	在 VAD 活动期间启用 ASI 输出数据。 0d = 在 ADC 记录期间不启用 VAD 处理 1d = 在 ADC 记录期间启用 VAD 处理，并按照配置生成 VAD 中断
2-0	RESERVED	R	0b	保留位；仅写入复位值

7.4 可编程系数寄存器

7.4.1 可编程系数寄存器：第 2 页

该寄存器页面（如表 7-61 所示）包含双二阶滤波器 1 至双二阶滤波器 6 的可编程系数。为了优化页面 2、页面 3 和页面 4 的系数寄存器事务时间，该器件还支持（默认情况下）用于 I²C 写入和读取的自动递增页面。在寄存器地址 0x7F 事务之后，该器件会自动递增到寄存器 0x08 处的下一页，以处理下一个系数值。

表 7-61. 页面 2 可编程系数寄存器

地址	首字母缩写词	寄存器名称	复位值
0x00	PAGE[7:0]	器件页寄存器	0x00
0x08	BQ1_N0_BYT1[7:0]	可编程双二阶滤波器 1, N0 系数字节[31:24]	0x7F
0x09	BQ1_N0_BYT2[7:0]	可编程双二阶滤波器 1, N0 系数字节[23:16]	0xFF
0x0A	BQ1_N0_BYT3[7:0]	可编程双二阶滤波器 1, N0 系数字节[15:8]	0xFF
0x0B	BQ1_N0_BYT4[7:0]	可编程双二阶滤波器 1, N0 系数字节[7:0]	0xFF
0x0C	BQ1_N1_BYT1[7:0]	可编程双二阶滤波器 1, N1 系数字节[31:24]	0x00
0x0D	BQ1_N1_BYT2[7:0]	可编程双二阶滤波器 1, N1 系数字节[23:16]	0x00
0x0E	BQ1_N1_BYT3[7:0]	可编程双二阶滤波器 1, N1 系数字节[15:8]	0x00
0x0F	BQ1_N1_BYT4[7:0]	可编程双二阶滤波器 1, N1 系数字节[7:0]	0x00
0x10	BQ1_N2_BYT1[7:0]	可编程双二阶滤波器 1, N2 系数字节[31:24]	0x00
0x11	BQ1_N2_BYT2[7:0]	可编程双二阶滤波器 1, N2 系数字节[23:16]	0x00
0x12	BQ1_N2_BYT3[7:0]	可编程双二阶滤波器 1, N2 系数字节[15:8]	0x00
0x13	BQ1_N2_BYT4[7:0]	可编程双二阶滤波器 1, N2 系数字节[7:0]	0x00
0x14	BQ1_D1_BYT1[7:0]	可编程双二阶滤波器 1, D1 系数字节[31:24]	0x00
0x15	BQ1_D1_BYT2[7:0]	可编程双二阶滤波器 1, D1 系数字节[23:16]	0x00
0x16	BQ1_D1_BYT3[7:0]	可编程双二阶滤波器 1, D1 系数字节[15:8]	0x00
0x17	BQ1_D1_BYT4[7:0]	可编程双二阶滤波器 1, D1 系数字节[7:0]	0x00
0x18	BQ1_D2_BYT1[7:0]	可编程双二阶滤波器 1, D2 系数字节[31:24]	0x00
0x19	BQ1_D2_BYT2[7:0]	可编程双二阶滤波器 1, D2 系数字节[23:16]	0x00
0x1A	BQ1_D2_BYT3[7:0]	可编程双二阶滤波器 1, D2 系数字节[15:8]	0x00
0x1B	BQ1_D2_BYT4[7:0]	可编程双二阶滤波器 1, D2 系数字节[7:0]	0x00
0x1C	BQ2_N0_BYT1[7:0]	可编程双二阶滤波器 2, N0 系数字节[31:24]	0x7F
0x1D	BQ2_N0_BYT2[7:0]	可编程双二阶滤波器 2, N0 系数字节[23:16]	0xFF
0x1E	BQ2_N0_BYT3[7:0]	可编程双二阶滤波器 2, N0 系数字节[15:8]	0xFF
0x1F	BQ2_N0_BYT4[7:0]	可编程双二阶滤波器 2, N0 系数字节[7:0]	0xFF
0x20	BQ2_N1_BYT1[7:0]	可编程双二阶滤波器 2, N1 系数字节[31:24]	0x00
0x21	BQ2_N1_BYT2[7:0]	可编程双二阶滤波器 2, N1 系数字节[23:16]	0x00
0x22	BQ2_N1_BYT3[7:0]	可编程双二阶滤波器 2, N1 系数字节[15:8]	0x00
0x23	BQ2_N1_BYT4[7:0]	可编程双二阶滤波器 2, N1 系数字节[7:0]	0x00
0x24	BQ2_N2_BYT1[7:0]	可编程双二阶滤波器 2, N2 系数字节[31:24]	0x00
0x25	BQ2_N2_BYT2[7:0]	可编程双二阶滤波器 2, N2 系数字节[23:16]	0x00
0x26	BQ2_N2_BYT3[7:0]	可编程双二阶滤波器 2, N2 系数字节[15:8]	0x00
0x27	BQ2_N2_BYT4[7:0]	可编程双二阶滤波器 2, N2 系数字节[7:0]	0x00
0x28	BQ2_D1_BYT1[7:0]	可编程双二阶滤波器 2, D1 系数字节[31:24]	0x00
0x29	BQ2_D1_BYT2[7:0]	可编程双二阶滤波器 2, D1 系数字节[23:16]	0x00
0x2A	BQ2_D1_BYT3[7:0]	可编程双二阶滤波器 2, D1 系数字节[15:8]	0x00
0x2B	BQ2_D1_BYT4[7:0]	可编程双二阶滤波器 2, D1 系数字节[7:0]	0x00
0x2C	BQ2_D2_BYT1[7:0]	可编程双二阶滤波器 2, D2 系数字节[31:24]	0x00
0x2D	BQ2_D2_BYT2[7:0]	可编程双二阶滤波器 2, D2 系数字节[23:16]	0x00
0x2E	BQ2_D2_BYT3[7:0]	可编程双二阶滤波器 2, D2 系数字节[15:8]	0x00

表 7-61. 页面 2 可编程系数寄存器 (续)

地址	首字母缩写词	寄存器名称	复位值
0x2F	BQ2_D2_BYT4[7:0]	可编程双二阶滤波器 2, D2 系数字节[7:0]	0x00
0x30	BQ3_N0_BYT1[7:0]	可编程双二阶滤波器 3, N0 系数字节[31:24]	0x7F
0x31	BQ3_N0_BYT2[7:0]	可编程双二阶滤波器 3, N0 系数字节[23:16]	0xFF
0x32	BQ3_N0_BYT3[7:0]	可编程双二阶滤波器 3, N0 系数字节[15:8]	0xFF
0x33	BQ3_N0_BYT4[7:0]	可编程双二阶滤波器 3, N0 系数字节[7:0]	0xFF
0x34	BQ3_N1_BYT1[7:0]	可编程双二阶滤波器 3, N1 系数字节[31:24]	0x00
0x35	BQ3_N1_BYT2[7:0]	可编程双二阶滤波器 3, N1 系数字节[23:16]	0x00
0x36	BQ3_N1_BYT3[7:0]	可编程双二阶滤波器 3, N1 系数字节[15:8]	0x00
0x37	BQ3_N1_BYT4[7:0]	可编程双二阶滤波器 3, N1 系数字节[7:0]	0x00
0x38	BQ3_N2_BYT1[7:0]	可编程双二阶滤波器 3, N2 系数字节[31:24]	0x00
0x39	BQ3_N2_BYT2[7:0]	可编程双二阶滤波器 3, N2 系数字节[23:16]	0x00
0x3A	BQ3_N2_BYT3[7:0]	可编程双二阶滤波器 3, N2 系数字节[15:8]	0x00
0x3B	BQ3_N2_BYT4[7:0]	可编程双二阶滤波器 3, N2 系数字节[7:0]	0x00
0x3C	BQ3_D1_BYT1[7:0]	可编程双二阶滤波器 3, D1 系数字节[31:24]	0x00
0x3D	BQ3_D1_BYT2[7:0]	可编程双二阶滤波器 3, D1 系数字节[23:16]	0x00
0x3E	BQ3_D1_BYT3[7:0]	可编程双二阶滤波器 3, D1 系数字节[15:8]	0x00
0x3F	BQ3_D1_BYT4[7:0]	可编程双二阶滤波器 3, D1 系数字节[7:0]	0x00
0x40	BQ3_D2_BYT1[7:0]	可编程双二阶滤波器 3, D2 系数字节[31:24]	0x00
0x41	BQ3_D2_BYT2[7:0]	可编程双二阶滤波器 3, D2 系数字节[23:16]	0x00
0x42	BQ3_D2_BYT3[7:0]	可编程双二阶滤波器 3, D2 系数字节[15:8]	0x00
0x43	BQ3_D2_BYT4[7:0]	可编程双二阶滤波器 3, D2 系数字节[7:0]	0x00
0x44	BQ4_N0_BYT1[7:0]	可编程双二阶滤波器 4, N0 系数字节[31:24]	0x7F
0x45	BQ4_N0_BYT2[7:0]	可编程双二阶滤波器 4, N0 系数字节[23:16]	0xFF
0x46	BQ4_N0_BYT3[7:0]	可编程双二阶滤波器 4, N0 系数字节[15:8]	0xFF
0x47	BQ4_N0_BYT4[7:0]	可编程双二阶滤波器 4, N0 系数字节[7:0]	0xFF
0x48	BQ4_N1_BYT1[7:0]	可编程双二阶滤波器 4, N1 系数字节[31:24]	0x00
0x49	BQ4_N1_BYT2[7:0]	可编程双二阶滤波器 4, N1 系数字节[23:16]	0x00
0x4A	BQ4_N1_BYT3[7:0]	可编程双二阶滤波器 4, N1 系数字节[15:8]	0x00
0x4B	BQ4_N1_BYT4[7:0]	可编程双二阶滤波器 4, N1 系数字节[7:0]	0x00
0x4C	BQ4_N2_BYT1[7:0]	可编程双二阶滤波器 4, N2 系数字节[31:24]	0x00
0x4D	BQ4_N2_BYT2[7:0]	可编程双二阶滤波器 4, N2 系数字节[23:16]	0x00
0x4E	BQ4_N2_BYT3[7:0]	可编程双二阶滤波器 4, N2 系数字节[15:8]	0x00
0x4F	BQ4_N2_BYT4[7:0]	可编程双二阶滤波器 4, N2 系数字节[7:0]	0x00
0x50	BQ4_D1_BYT1[7:0]	可编程双二阶滤波器 4, D1 系数字节[31:24]	0x00
0x51	BQ4_D1_BYT2[7:0]	可编程双二阶滤波器 4, D1 系数字节[23:16]	0x00
0x52	BQ4_D1_BYT3[7:0]	可编程双二阶滤波器 4, D1 系数字节[15:8]	0x00
0x53	BQ4_D1_BYT4[7:0]	可编程双二阶滤波器 4, D1 系数字节[7:0]	0x00
0x54	BQ4_D2_BYT1[7:0]	可编程双二阶滤波器 4, D2 系数字节[31:24]	0x00
0x55	BQ4_D2_BYT2[7:0]	可编程双二阶滤波器 4, D2 系数字节[23:16]	0x00
0x56	BQ4_D2_BYT3[7:0]	可编程双二阶滤波器 4, D2 系数字节[15:8]	0x00
0x57	BQ4_D2_BYT4[7:0]	可编程双二阶滤波器 4, D2 系数字节[7:0]	0x00
0x58	BQ5_N0_BYT1[7:0]	可编程双二阶滤波器 5, N0 系数字节[31:24]	0x7F
0x59	BQ5_N0_BYT2[7:0]	可编程双二阶滤波器 5, N0 系数字节[23:16]	0xFF
0x5A	BQ5_N0_BYT3[7:0]	可编程双二阶滤波器 5, N0 系数字节[15:8]	0xFF
0x5B	BQ5_N0_BYT4[7:0]	可编程双二阶滤波器 5, N0 系数字节[7:0]	0xFF
0x5C	BQ5_N1_BYT1[7:0]	可编程双二阶滤波器 5, N1 系数字节[31:24]	0x00

表 7-61. 页面 2 可编程系数寄存器 (续)

地址	首字母缩写词	寄存器名称	复位值
0x5D	BQ5_N1_BYT2[7:0]	可编程双二阶滤波器 5, N1 系数字节[23:16]	0x00
0x5E	BQ5_N1_BYT3[7:0]	可编程双二阶滤波器 5, N1 系数字节[15:8]	0x00
0x5F	BQ5_N1_BYT4[7:0]	可编程双二阶滤波器 5, N1 系数字节[7:0]	0x00
0x60	BQ5_N2_BYT1[7:0]	可编程双二阶滤波器 5, N2 系数字节[31:24]	0x00
0x61	BQ5_N2_BYT2[7:0]	可编程双二阶滤波器 5, N2 系数字节[23:16]	0x00
0x62	BQ5_N2_BYT3[7:0]	可编程双二阶滤波器 5, N2 系数字节[15:8]	0x00
0x63	BQ5_N2_BYT4[7:0]	可编程双二阶滤波器 5, N2 系数字节[7:0]	0x00
0x64	BQ5_D1_BYT1[7:0]	可编程双二阶滤波器 5, D1 系数字节[31:24]	0x00
0x65	BQ5_D1_BYT2[7:0]	可编程双二阶滤波器 5, D1 系数字节[23:16]	0x00
0x66	BQ5_D1_BYT3[7:0]	可编程双二阶滤波器 5, D1 系数字节[15:8]	0x00
0x67	BQ5_D1_BYT4[7:0]	可编程双二阶滤波器 5, D1 系数字节[7:0]	0x00
0x68	BQ5_D2_BYT1[7:0]	可编程双二阶滤波器 5, D2 系数字节[31:24]	0x00
0x69	BQ5_D2_BYT2[7:0]	可编程双二阶滤波器 5, D2 系数字节[23:16]	0x00
0x6A	BQ5_D2_BYT3[7:0]	可编程双二阶滤波器 5, D2 系数字节[15:8]	0x00
0x6B	BQ5_D2_BYT4[7:0]	可编程双二阶滤波器 5, D2 系数字节[7:0]	0x00
0x6C	BQ6_N0_BYT1[7:0]	可编程双二阶滤波器 6, N0 系数字节[31:24]	0x7F
0x6D	BQ6_N0_BYT2[7:0]	可编程双二阶滤波器 6, N0 系数字节[23:16]	0xFF
0x6E	BQ6_N0_BYT3[7:0]	可编程双二阶滤波器 6, N0 系数字节[15:8]	0xFF
0x6F	BQ6_N0_BYT4[7:0]	可编程双二阶滤波器 6, N0 系数字节[7:0]	0xFF
0x70	BQ6_N1_BYT1[7:0]	可编程双二阶滤波器 6, N1 系数字节[31:24]	0x00
0x71	BQ6_N1_BYT2[7:0]	可编程双二阶滤波器 6, N1 系数字节[23:16]	0x00
0x72	BQ6_N1_BYT3[7:0]	可编程双二阶滤波器 6, N1 系数字节[15:8]	0x00
0x73	BQ6_N1_BYT4[7:0]	可编程双二阶滤波器 6, N1 系数字节[7:0]	0x00
0x74	BQ6_N2_BYT1[7:0]	可编程双二阶滤波器 6, N2 系数字节[31:24]	0x00
0x75	BQ6_N2_BYT2[7:0]	可编程双二阶滤波器 6, N2 系数字节[23:16]	0x00
0x76	BQ6_N2_BYT3[7:0]	可编程双二阶滤波器 6, N2 系数字节[15:8]	0x00
0x77	BQ6_N2_BYT4[7:0]	可编程双二阶滤波器 6, N2 系数字节[7:0]	0x00
0x78	BQ6_D1_BYT1[7:0]	可编程双二阶滤波器 6, D1 系数字节[31:24]	0x00
0x79	BQ6_D1_BYT2[7:0]	可编程双二阶滤波器 6, D1 系数字节[23:16]	0x00
0x7A	BQ6_D1_BYT3[7:0]	可编程双二阶滤波器 6, D1 系数字节[15:8]	0x00
0x7B	BQ6_D1_BYT4[7:0]	可编程双二阶滤波器 6, D1 系数字节[7:0]	0x00
0x7C	BQ6_D2_BYT1[7:0]	可编程双二阶滤波器 6, D2 系数字节[31:24]	0x00
0x7D	BQ6_D2_BYT2[7:0]	可编程双二阶滤波器 6, D2 系数字节[23:16]	0x00
0x7E	BQ6_D2_BYT3[7:0]	可编程双二阶滤波器 6, D2 系数字节[15:8]	0x00
0x7F	BQ6_D2_BYT4[7:0]	可编程双二阶滤波器 6, D2 系数字节[7:0]	0x00

7.4.2 可编程系数寄存器：第 3 页

该寄存器页面（如表 7-62 所示）包含双二阶滤波器 7 至双二阶滤波器 12 的可编程系数。为了优化页面 2、页面 3 和页面 4 的系数寄存器事务时间，该器件还支持（默认情况下）用于 I²C 写入和读取的自动递增页面。在寄存器地址 0x7F 事务之后，该器件会自动递增到寄存器 0x08 处的下一页，以处理下一个系数值。

表 7-62. 页面 3 可编程系数寄存器

地址	首字母缩写词	寄存器名称	复位值
0x00	PAGE[7:0]	器件页寄存器	0x00
0x08	BQ7_N0_BYT1[7:0]	可编程双二阶滤波器 7, N0 系数字节[31:24]	0x7F
0x09	BQ7_N0_BYT2[7:0]	可编程双二阶滤波器 7, N0 系数字节[23:16]	0xFF
0x0A	BQ7_N0_BYT3[7:0]	可编程双二阶滤波器 7, N0 系数字节[15:8]	0xFF
0x0B	BQ7_N0_BYT4[7:0]	可编程双二阶滤波器 7, N0 系数字节[7:0]	0xFF
0x0C	BQ7_N1_BYT1[7:0]	可编程双二阶滤波器 7, N1 系数字节[31:24]	0x00
0x0D	BQ7_N1_BYT2[7:0]	可编程双二阶滤波器 7, N1 系数字节[23:16]	0x00
0x0E	BQ7_N1_BYT3[7:0]	可编程双二阶滤波器 7, N1 系数字节[15:8]	0x00
0x0F	BQ7_N1_BYT4[7:0]	可编程双二阶滤波器 7, N1 系数字节[7:0]	0x00
0x10	BQ7_N2_BYT1[7:0]	可编程双二阶滤波器 7, N2 系数字节[31:24]	0x00
0x11	BQ7_N2_BYT2[7:0]	可编程双二阶滤波器 7, N2 系数字节[23:16]	0x00
0x12	BQ7_N2_BYT3[7:0]	可编程双二阶滤波器 7, N2 系数字节[15:8]	0x00
0x13	BQ7_N2_BYT4[7:0]	可编程双二阶滤波器 7, N2 系数字节[7:0]	0x00
0x14	BQ7_D1_BYT1[7:0]	可编程双二阶滤波器 7, D1 系数字节[31:24]	0x00
0x15	BQ7_D1_BYT2[7:0]	可编程双二阶滤波器 7, D1 系数字节[23:16]	0x00
0x16	BQ7_D1_BYT3[7:0]	可编程双二阶滤波器 7, D1 系数字节[15:8]	0x00
0x17	BQ7_D1_BYT4[7:0]	可编程双二阶滤波器 7, D1 系数字节[7:0]	0x00
0x18	BQ7_D2_BYT1[7:0]	可编程双二阶滤波器 7, D2 系数字节[31:24]	0x00
0x19	BQ7_D2_BYT2[7:0]	可编程双二阶滤波器 7, D2 系数字节[23:16]	0x00
0x1A	BQ7_D2_BYT3[7:0]	可编程双二阶滤波器 7, D2 系数字节[15:8]	0x00
0x1B	BQ7_D2_BYT4[7:0]	可编程双二阶滤波器 7, D2 系数字节[7:0]	0x00
0x1C	BQ8_N0_BYT1[7:0]	可编程双二阶滤波器 8, N0 系数字节[31:24]	0x7F
0x1D	BQ8_N0_BYT2[7:0]	可编程双二阶滤波器 8, N0 系数字节[23:16]	0xFF
0x1E	BQ8_N0_BYT3[7:0]	可编程双二阶滤波器 8, N0 系数字节[15:8]	0xFF
0x1F	BQ8_N0_BYT4[7:0]	可编程双二阶滤波器 8, N0 系数字节[7:0]	0xFF
0x20	BQ8_N1_BYT1[7:0]	可编程双二阶滤波器 8, N1 系数字节[31:24]	0x00
0x21	BQ8_N1_BYT2[7:0]	可编程双二阶滤波器 8, N1 系数字节[23:16]	0x00
0x22	BQ8_N1_BYT3[7:0]	可编程双二阶滤波器 8, N1 系数字节[15:8]	0x00
0x23	BQ8_N1_BYT4[7:0]	可编程双二阶滤波器 8, N1 系数字节[7:0]	0x00
0x24	BQ8_N2_BYT1[7:0]	可编程双二阶滤波器 8, N2 系数字节[31:24]	0x00
0x25	BQ8_N2_BYT2[7:0]	可编程双二阶滤波器 8, N2 系数字节[23:16]	0x00
0x26	BQ8_N2_BYT3[7:0]	可编程双二阶滤波器 8, N2 系数字节[15:8]	0x00
0x27	BQ8_N2_BYT4[7:0]	可编程双二阶滤波器 8, N2 系数字节[7:0]	0x00
0x28	BQ8_D1_BYT1[7:0]	可编程双二阶滤波器 8, D1 系数字节[31:24]	0x00
0x29	BQ8_D1_BYT2[7:0]	可编程双二阶滤波器 8, D1 系数字节[23:16]	0x00
0x2A	BQ8_D1_BYT3[7:0]	可编程双二阶滤波器 8, D1 系数字节[15:8]	0x00
0x2B	BQ8_D1_BYT4[7:0]	可编程双二阶滤波器 8, D1 系数字节[7:0]	0x00
0x2C	BQ8_D2_BYT1[7:0]	可编程双二阶滤波器 8, D2 系数字节[31:24]	0x00
0x2D	BQ8_D2_BYT2[7:0]	可编程双二阶滤波器 8, D2 系数字节[23:16]	0x00
0x2E	BQ8_D2_BYT3[7:0]	可编程双二阶滤波器 8, D2 系数字节[15:8]	0x00
0x2F	BQ8_D2_BYT4[7:0]	可编程双二阶滤波器 8, D2 系数字节[7:0]	0x00
0x30	BQ9_N0_BYT1[7:0]	可编程双二阶滤波器 9, N0 系数字节[31:24]	0x7F

表 7-62. 页面 3 可编程系数寄存器 (续)

地址	首字母缩写词	寄存器名称	复位值
0x31	BQ9_N0_BYT2[7:0]	可编程双二阶滤波器 9, N0 系数字节[23:16]	0xFF
0x32	BQ9_N0_BYT3[7:0]	可编程双二阶滤波器 9, N0 系数字节[15:8]	0xFF
0x33	BQ9_N0_BYT4[7:0]	可编程双二阶滤波器 9, N0 系数字节[7:0]	0xFF
0x34	BQ9_N1_BYT1[7:0]	可编程双二阶滤波器 9, N1 系数字节[31:24]	0x00
0x35	BQ9_N1_BYT2[7:0]	可编程双二阶滤波器 9, N1 系数字节[23:16]	0x00
0x36	BQ9_N1_BYT3[7:0]	可编程双二阶滤波器 9, N1 系数字节[15:8]	0x00
0x37	BQ9_N1_BYT4[7:0]	可编程双二阶滤波器 9, N1 系数字节[7:0]	0x00
0x38	BQ9_N2_BYT1[7:0]	可编程双二阶滤波器 9, N2 系数字节[31:24]	0x00
0x39	BQ9_N2_BYT2[7:0]	可编程双二阶滤波器 9, N2 系数字节[23:16]	0x00
0x3A	BQ9_N2_BYT3[7:0]	可编程双二阶滤波器 9, N2 系数字节[15:8]	0x00
0x3B	BQ9_N2_BYT4[7:0]	可编程双二阶滤波器 9, N2 系数字节[7:0]	0x00
0x3C	BQ9_D1_BYT1[7:0]	可编程双二阶滤波器 9, D1 系数字节[31:24]	0x00
0x3D	BQ9_D1_BYT2[7:0]	可编程双二阶滤波器 9, D1 系数字节[23:16]	0x00
0x3E	BQ9_D1_BYT3[7:0]	可编程双二阶滤波器 9, D1 系数字节[15:8]	0x00
0x3F	BQ9_D1_BYT4[7:0]	可编程双二阶滤波器 9, D1 系数字节[7:0]	0x00
0x40	BQ9_D2_BYT1[7:0]	可编程双二阶滤波器 9, D2 系数字节[31:24]	0x00
0x41	BQ9_D2_BYT2[7:0]	可编程双二阶滤波器 9, D2 系数字节[23:16]	0x00
0x42	BQ9_D2_BYT3[7:0]	可编程双二阶滤波器 9, D2 系数字节[15:8]	0x00
0x43	BQ9_D2_BYT4[7:0]	可编程双二阶滤波器 9, D2 系数字节[7:0]	0x00
0x44	BQ10_N0_BYT1[7:0]	可编程双二阶滤波器 10, N0 系数字节[31:24]	0x7F
0x45	BQ10_N0_BYT2[7:0]	可编程双二阶滤波器 10, N0 系数字节[23:16]	0xFF
0x46	BQ10_N0_BYT3[7:0]	可编程双二阶滤波器 10, N0 系数字节[15:8]	0xFF
0x47	BQ10_N0_BYT4[7:0]	可编程双二阶滤波器 10, N0 系数字节[7:0]	0xFF
0x48	BQ10_N1_BYT1[7:0]	可编程双二阶滤波器 10, N1 系数字节[31:24]	0x00
0x49	BQ10_N1_BYT2[7:0]	可编程双二阶滤波器 10, N1 系数字节[23:16]	0x00
0x4A	BQ10_N1_BYT3[7:0]	可编程双二阶滤波器 10, N1 系数字节[15:8]	0x00
0x4B	BQ10_N1_BYT4[7:0]	可编程双二阶滤波器 10, N1 系数字节[7:0]	0x00
0x4C	BQ10_N2_BYT1[7:0]	可编程双二阶滤波器 10, N2 系数字节[31:24]	0x00
0x4D	BQ10_N2_BYT2[7:0]	可编程双二阶滤波器 10, N2 系数字节[23:16]	0x00
0x4E	BQ10_N2_BYT3[7:0]	可编程双二阶滤波器 10, N2 系数字节[15:8]	0x00
0x4F	BQ10_N2_BYT4[7:0]	可编程双二阶滤波器 10, N2 系数字节[7:0]	0x00
0x50	BQ10_D1_BYT1[7:0]	可编程双二阶滤波器 10, D1 系数字节[31:24]	0x00
0x51	BQ10_D1_BYT2[7:0]	可编程双二阶滤波器 10, D1 系数字节[23:16]	0x00
0x52	BQ10_D1_BYT3[7:0]	可编程双二阶滤波器 10, D1 系数字节[15:8]	0x00
0x53	BQ10_D1_BYT4[7:0]	可编程双二阶滤波器 10, D1 系数字节[7:0]	0x00
0x54	BQ10_D2_BYT1[7:0]	可编程双二阶滤波器 10, D2 系数字节[31:24]	0x00
0x55	BQ10_D2_BYT2[7:0]	可编程双二阶滤波器 10, D2 系数字节[23:16]	0x00
0x56	BQ10_D2_BYT3[7:0]	可编程双二阶滤波器 10, D2 系数字节[15:8]	0x00
0x57	BQ10_D2_BYT4[7:0]	可编程双二阶滤波器 10, D2 系数字节[7:0]	0x00
0x58	BQ11_N0_BYT1[7:0]	可编程双二阶滤波器 11, N0 系数字节[31:24]	0x7F
0x59	BQ11_N0_BYT2[7:0]	可编程双二阶滤波器 11, N0 系数字节[23:16]	0xFF
0x5A	BQ11_N0_BYT3[7:0]	可编程双二阶滤波器 11, N0 系数字节[15:8]	0xFF
0x5B	BQ11_N0_BYT4[7:0]	可编程双二阶滤波器 11, N0 系数字节[7:0]	0xFF
0x5C	BQ11_N1_BYT1[7:0]	可编程双二阶滤波器 11, N1 系数字节[31:24]	0x00
0x5D	BQ11_N1_BYT2[7:0]	可编程双二阶滤波器 11, N1 系数字节[23:16]	0x00
0x5E	BQ11_N1_BYT3[7:0]	可编程双二阶滤波器 11, N1 系数字节[15:8]	0x00

表 7-62. 页面 3 可编程系数寄存器 (续)

地址	首字母缩写词	寄存器名称	复位值
0x5F	BQ11_N1_BYT4[7:0]	可编程双二阶滤波器 11, N1 系数字节[7:0]	0x00
0x60	BQ11_N2_BYT1[7:0]	可编程双二阶滤波器 11, N2 系数字节[31:24]	0x00
0x61	BQ11_N2_BYT2[7:0]	可编程双二阶滤波器 11, N2 系数字节[23:16]	0x00
0x62	BQ11_N2_BYT3[7:0]	可编程双二阶滤波器 11, N2 系数字节[15:8]	0x00
0x63	BQ11_N2_BYT4[7:0]	可编程双二阶滤波器 11, N2 系数字节[7:0]	0x00
0x64	BQ11_D1_BYT1[7:0]	可编程双二阶滤波器 11, D1 系数字节[31:24]	0x00
0x65	BQ11_D1_BYT2[7:0]	可编程双二阶滤波器 11, D1 系数字节[23:16]	0x00
0x66	BQ11_D1_BYT3[7:0]	可编程双二阶滤波器 11, D1 系数字节[15:8]	0x00
0x67	BQ11_D1_BYT4[7:0]	可编程双二阶滤波器 11, D1 系数字节[7:0]	0x00
0x68	BQ11_D2_BYT1[7:0]	可编程双二阶滤波器 11, D2 系数字节[31:24]	0x00
0x69	BQ11_D2_BYT2[7:0]	可编程双二阶滤波器 11, D2 系数字节[23:16]	0x00
0x6A	BQ11_D2_BYT3[7:0]	可编程双二阶滤波器 11, D2 系数字节[15:8]	0x00
0x6B	BQ11_D2_BYT4[7:0]	可编程双二阶滤波器 11, D2 系数字节[7:0]	0x00
0x6C	BQ12_N0_BYT1[7:0]	可编程双二阶滤波器 12, N0 系数字节[31:24]	0x7F
0x6D	BQ12_N0_BYT2[7:0]	可编程双二阶滤波器 12, N0 系数字节[23:16]	0xFF
0x6E	BQ12_N0_BYT3[7:0]	可编程双二阶滤波器 12, N0 系数字节[15:8]	0xFF
0x6F	BQ12_N0_BYT4[7:0]	可编程双二阶滤波器 12, N0 系数字节[7:0]	0xFF
0x70	BQ12_N1_BYT1[7:0]	可编程双二阶滤波器 12, N1 系数字节[31:24]	0x00
0x71	BQ12_N1_BYT2[7:0]	可编程双二阶滤波器 12, N1 系数字节[23:16]	0x00
0x72	BQ12_N1_BYT3[7:0]	可编程双二阶滤波器 12, N1 系数字节[15:8]	0x00
0x73	BQ12_N1_BYT4[7:0]	可编程双二阶滤波器 12, N1 系数字节[7:0]	0x00
0x74	BQ12_N2_BYT1[7:0]	可编程双二阶滤波器 12, N2 系数字节[31:24]	0x00
0x75	BQ12_N2_BYT2[7:0]	可编程双二阶滤波器 12, N2 系数字节[23:16]	0x00
0x76	BQ12_N2_BYT3[7:0]	可编程双二阶滤波器 12, N2 系数字节[15:8]	0x00
0x77	BQ12_N2_BYT4[7:0]	可编程双二阶滤波器 12, N2 系数字节[7:0]	0x00
0x78	BQ12_D1_BYT1[7:0]	可编程双二阶滤波器 12, D1 系数字节[31:24]	0x00
0x79	BQ12_D1_BYT2[7:0]	可编程双二阶滤波器 12, D1 系数字节[23:16]	0x00
0x7A	BQ12_D1_BYT3[7:0]	可编程双二阶滤波器 12, D1 系数字节[15:8]	0x00
0x7B	BQ12_D1_BYT4[7:0]	可编程双二阶滤波器 12, D1 系数字节[7:0]	0x00
0x7C	BQ12_D2_BYT1[7:0]	可编程双二阶滤波器 12, D2 系数字节[31:24]	0x00
0x7D	BQ12_D2_BYT2[7:0]	可编程双二阶滤波器 12, D2 系数字节[23:16]	0x00
0x7E	BQ12_D2_BYT3[7:0]	可编程双二阶滤波器 12, D2 系数字节[15:8]	0x00
0x7F	BQ12_D2_BYT4[7:0]	可编程双二阶滤波器 12, D2 系数字节[7:0]	0x00

7.4.3 可编程系数寄存器：第 4 页

该寄存器页面 (如表 7-63 所示) 包含混频器 1 至混频器 4 和一阶 IIR 滤波器的可编程系数。

表 7-63. 页面 4 可编程系数寄存器

地址	首字母缩写词	寄存器名称	复位值
0x00	PAGE[7:0]	器件页寄存器	0x00
0x08	MIX1_CH1_BYT1[7:0]	数字混频器 1, 通道 1 系数字节[31:24]	0x7F
0x09	MIX1_CH1_BYT2[7:0]	数字混频器 1, 通道 1 系数字节[23:16]	0xFF
0x0A	MIX1_CH1_BYT3[7:0]	数字混频器 1, 通道 1 系数字节[15:8]	0xFF
0x0B	MIX1_CH1_BYT4[7:0]	数字混频器 1, 通道 1 系数字节[7:0]	0xFF
0x0C	MIX1_CH2_BYT1[7:0]	数字混频器 1, 通道 2 系数字节[31:24]	0x00
0x0D	MIX1_CH2_BYT2[7:0]	数字混频器 1, 通道 2 系数字节[23:16]	0x00
0x0E	MIX1_CH2_BYT3[7:0]	数字混频器 1, 通道 2 系数字节[15:8]	0x00
0x0F	MIX1_CH2_BYT4[7:0]	数字混频器 1, 通道 2 系数字节[7:0]	0x00
0x10	MIX1_CH3_BYT1[7:0]	数字混频器 1, 通道 3 系数字节[31:24]	0x00
0x11	MIX1_CH3_BYT2[7:0]	数字混频器 1, 通道 3 系数字节[23:16]	0x00
0x12	MIX1_CH3_BYT3[7:0]	数字混频器 1, 通道 3 系数字节[15:8]	0x00
0x13	MIX1_CH3_BYT4[7:0]	数字混频器 1, 通道 3 系数字节[7:0]	0x00
0x14	MIX1_CH4_BYT1[7:0]	数字混频器 1, 通道 4 系数字节[31:24]	0x00
0x15	MIX1_CH4_BYT2[7:0]	数字混频器 1, 通道 4 系数字节[23:16]	0x00
0x16	MIX1_CH4_BYT3[7:0]	数字混频器 1, 通道 4 系数字节[15:8]	0x00
0x17	MIX1_CH4_BYT4[7:0]	数字混频器 1, 通道 4 系数字节[7:0]	0x00
0x18	MIX2_CH1_BYT1[7:0]	数字混频器 2, 通道 1 系数字节[31:24]	0x00
0x19	MIX2_CH1_BYT2[7:0]	数字混频器 2, 通道 1 系数字节[23:16]	0x00
0x1A	MIX2_CH1_BYT3[7:0]	数字混频器 2, 通道 1 系数字节[15:8]	0x00
0x1B	MIX2_CH1_BYT4[7:0]	数字混频器 2, 通道 1 系数字节[7:0]	0x00
0x1C	MIX2_CH2_BYT1[7:0]	数字混频器 2, 通道 2 系数字节[31:24]	0x7F
0x1D	MIX2_CH2_BYT2[7:0]	数字混频器 2, 通道 2 系数字节[23:16]	0xFF
0x1E	MIX2_CH2_BYT3[7:0]	数字混频器 2, 通道 2 系数字节[15:8]	0xFF
0x1F	MIX2_CH2_BYT4[7:0]	数字混频器 2, 通道 2 系数字节[7:0]	0xFF
0x20	MIX2_CH3_BYT1[7:0]	数字混频器 2, 通道 3 系数字节[31:24]	0x00
0x21	MIX2_CH3_BYT2[7:0]	数字混频器 2, 通道 3 系数字节[23:16]	0x00
0x22	MIX2_CH3_BYT3[7:0]	数字混频器 2, 通道 3 系数字节[15:8]	0x00
0x23	MIX2_CH3_BYT4[7:0]	数字混频器 2, 通道 3 系数字节[7:0]	0x00
0x24	MIX2_CH4_BYT1[7:0]	数字混频器 2, 通道 4 系数字节[31:24]	0x00
0x25	MIX2_CH4_BYT2[7:0]	数字混频器 2, 通道 4 系数字节[23:16]	0x00
0x26	MIX2_CH4_BYT3[7:0]	数字混频器 2, 通道 4 系数字节[15:8]	0x00
0x27	MIX2_CH4_BYT4[7:0]	数字混频器 2, 通道 4 系数字节[7:0]	0x00
0x28	MIX3_CH1_BYT1[7:0]	数字混频器 3, 通道 1 系数字节[31:24]	0x00
0x29	MIX3_CH1_BYT2[7:0]	数字混频器 3, 通道 1 系数字节[23:16]	0x00
0x2A	MIX3_CH1_BYT3[7:0]	数字混频器 3, 通道 1 系数字节[15:8]	0x00
0x2B	MIX3_CH1_BYT4[7:0]	数字混频器 3, 通道 1 系数字节[7:0]	0x00
0x2C	MIX3_CH2_BYT1[7:0]	数字混频器 3, 通道 2 系数字节[31:24]	0x00
0x2D	MIX3_CH2_BYT2[7:0]	数字混频器 3, 通道 2 系数字节[23:16]	0x00
0x2E	MIX3_CH2_BYT3[7:0]	数字混频器 3, 通道 2 系数字节[15:8]	0x00
0x2F	MIX3_CH2_BYT4[7:0]	数字混频器 3, 通道 2 系数字节[7:0]	0x00
0x30	MIX3_CH3_BYT1[7:0]	数字混频器 3, 通道 3 系数字节[31:24]	0x7F
0x31	MIX3_CH3_BYT2[7:0]	数字混频器 3, 通道 3 系数字节[23:16]	0xFF

表 7-63. 页面 4 可编程系数寄存器 (续)

地址	首字母缩写词	寄存器名称	复位值
0x32	MIX3_CH3_BYT3[7:0]	数字混频器 3, 通道 3 系数字节[15:8]	0xFF
0x33	MIX3_CH3_BYT4[7:0]	数字混频器 3, 通道 3 系数字节[7:0]	0xFF
0x34	MIX3_CH4_BYT1[7:0]	数字混频器 3, 通道 4 系数字节[31:24]	0x00
0x35	MIX3_CH4_BYT2[7:0]	数字混频器 3, 通道 4 系数字节[23:16]	0x00
0x36	MIX3_CH4_BYT3[7:0]	数字混频器 3, 通道 4 系数字节[15:8]	0x00
0x37	MIX3_CH4_BYT4[7:0]	数字混频器 3, 通道 4 系数字节[7:0]	0x00
0x38	MIX4_CH1_BYT1[7:0]	数字混频器 4, 通道 1 系数字节[31:24]	0x00
0x39	MIX4_CH1_BYT2[7:0]	数字混频器 4, 通道 1 系数字节[23:16]	0x00
0x3A	MIX4_CH1_BYT3[7:0]	数字混频器 4, 通道 1 系数字节[15:8]	0x00
0x3B	MIX4_CH1_BYT4[7:0]	数字混频器 4, 通道 1 系数字节[7:0]	0x00
0x3C	MIX4_CH2_BYT1[7:0]	数字混频器 4, 通道 2 系数字节[31:24]	0x00
0x3D	MIX4_CH2_BYT2[7:0]	数字混频器 4, 通道 2 系数字节[23:16]	0x00
0x3E	MIX4_CH2_BYT3[7:0]	数字混频器 4, 通道 2 系数字节[15:8]	0x00
0x3F	MIX4_CH2_BYT4[7:0]	数字混频器 4, 通道 2 系数字节[7:0]	0x00
0x40	MIX4_CH3_BYT1[7:0]	数字混频器 4, 通道 3 系数字节[31:24]	0x00
0x41	MIX4_CH3_BYT2[7:0]	数字混频器 4, 通道 3 系数字节[23:16]	0x00
0x42	MIX4_CH3_BYT3[7:0]	数字混频器 4, 通道 3 系数字节[15:8]	0x00
0x43	MIX4_CH3_BYT4[7:0]	数字混频器 4, 通道 3 系数字节[7:0]	0x00
0x44	MIX4_CH4_BYT1[7:0]	数字混频器 4, 通道 4 系数字节[31:24]	0x7F
0x45	MIX4_CH4_BYT2[7:0]	数字混频器 4, 通道 4 系数字节[23:16]	0xFF
0x46	MIX4_CH4_BYT3[7:0]	数字混频器 4, 通道 4 系数字节[15:8]	0xFF
0x47	MIX4_CH4_BYT4[7:0]	数字混频器 4, 通道 4 系数字节[7:0]	0xFF
0x48	IIR_N0_BYT1[7:0]	可编程一阶 IIR 滤波器, N0 系数字节[31:24]	0x7F
0x49	IIR_N0_BYT2[7:0]	可编程一阶 IIR 滤波器, N0 系数字节[23:16]	0xFF
0x4A	IIR_N0_BYT3[7:0]	可编程一阶 IIR 滤波器, N0 系数字节[15:8]	0xFF
0x4B	IIR_N0_BYT4[7:0]	可编程一阶 IIR 滤波器, N0 系数字节[7:0]	0xFF
0x4C	IIR_N1_BYT1[7:0]	可编程一阶 IIR 滤波器, N1 系数字节[31:24]	0x00
0x4D	IIR_N1_BYT2[7:0]	可编程一阶 IIR 滤波器, N1 系数字节[23:16]	0x00
0x4E	IIR_N1_BYT3[7:0]	可编程一阶 IIR 滤波器, N1 系数字节[15:8]	0x00
0x4F	IIR_N1_BYT4[7:0]	可编程一阶 IIR 滤波器, N1 系数字节[7:0]	0x00
0x50	IIR_D1_BYT1[7:0]	可编程一阶 IIR 滤波器, D1 系数字节[31:24]	0x00
0x51	IIR_D1_BYT2[7:0]	可编程一阶 IIR 滤波器, D1 系数字节[23:16]	0x00
0x52	IIR_D1_BYT3[7:0]	可编程一阶 IIR 滤波器, D1 系数字节[15:8]	0x00
0x53	IIR_D1_BYT4[7:0]	可编程一阶 IIR 滤波器, D1 系数字节[7:0]	0x00

8 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TAA3020 是一款多通道、高性能音频模数转换器 (ADC)，支持高达 768kHz 的输出采样速率。该器件支持多达两个模拟麦克风或多达四个数字脉冲密度调制 (PDM) 麦克风，适用于同步录音应用。

TAA3020 支持使用 I²C 接口进行通信，用于配置控制寄存器。该器件支持高度灵活的音频串行接口 (TDM、I²S 和 LJ)，可在系统中跨设备无缝传输音频数据。

8.2 典型应用

8.2.1 双通道模拟麦克风录音

图 8-1 展示了典型的 TAA3020 应用配置，该配置使用两个模拟微机电系统 (MEMS) 麦克风，通过 I²C 控制接口和时分多路复用 (TDM) 音频数据从接口进行同步录音操作。为了获得出色的失真性能，请使用具有低电压系数的输入交流耦合电容器。

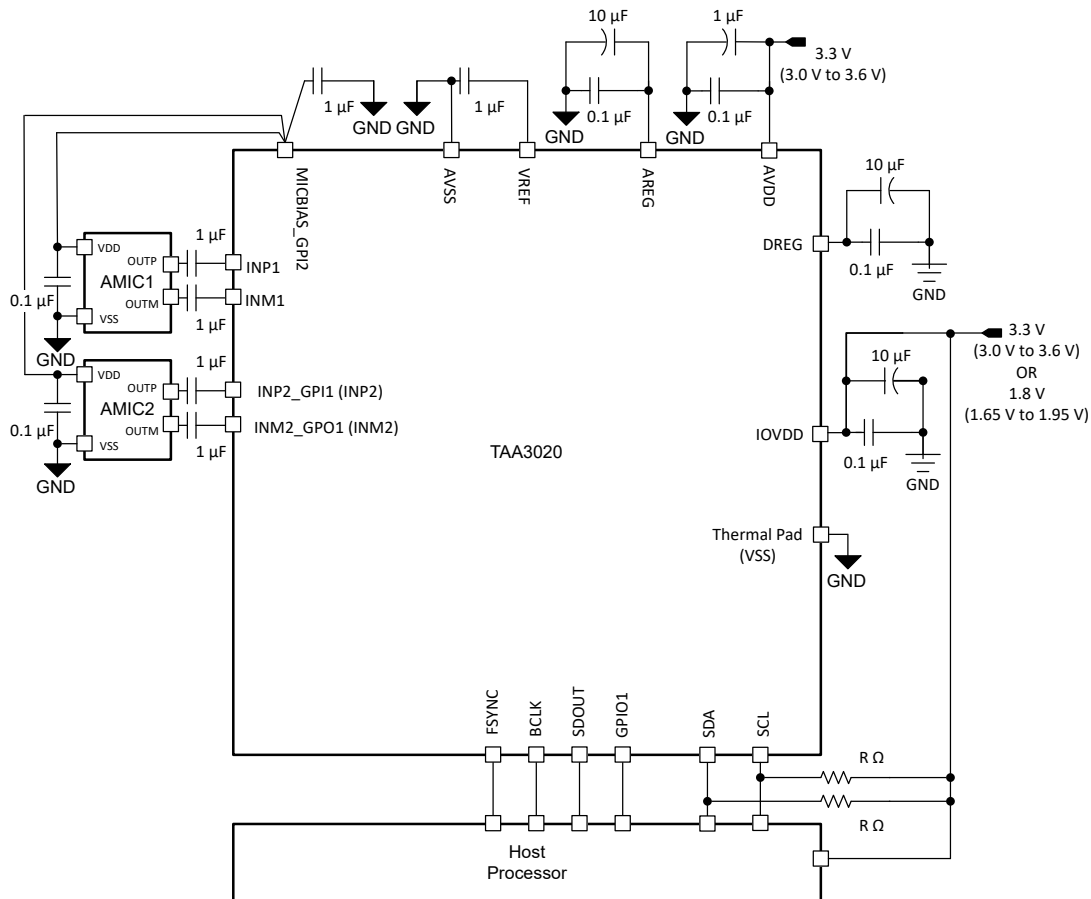


图 8-1. 双通道模拟麦克风录音图

8.2.1.1 设计要求

表 8-1 列出了此应用的设计参数。

表 8-1. 设计参数

关键参数	规格
AVDD	3.3V
AVDD 电源电流消耗	> 14mA (PLL 开启, 双通道录音, $f_S = 48\text{kHz}$)
IOVDD	1.8V 或 3.3V
最大 MICBIAS 电流	5mA (MICBIAS 电压与 AVDD 相同)

8.2.1.2 详细设计过程

本节介绍了为此特定应用配置 TAA3020 的必要步骤。以下步骤提供了从器件上电到从器件读取数据或从一种工作模式转换到另一种工作模式之间必须执行的一系列活动。

1. 为器件通电：
 - a. 为 IOVDD 和 AVDD 电源上电
 - b. 等待至少 1ms，让器件初始化内部寄存器
 - c. 器件现在进入睡眠模式（低功耗模式 < 10 μA ）
2. 每次录音操作需要时，从睡眠模式转换到工作模式：
 - a. 通过写入 P0_R2 以禁用睡眠模式来唤醒器件
 - b. 等待至少 1ms，让器件完成内部唤醒序列
 - c. 根据需要覆盖默认配置寄存器或可编程系数值（这一步是可选操作）
 - d. 通过写入 P0_R115 来启用所有需要的输入通道
 - e. 通过写入 P0_R116 来启用所有需要的音频串行接口输出通道
 - f. 通过写入 P0_R117 来为 ADC、MICBIAS 和 PLL 上电
 - g. 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK

该特定步骤可以在步骤 a 后序列的任意时间点完成。

有关支持的采样速率和 BCLK 与 FSYNC 之比，请参阅 [锁相环 \(PLL\) 和时钟生成](#) 一节。

- h. 器件录音数据现在通过 TDM 音频串行数据总线发送到主机处理器
3. 根据系统的低功耗运行要求，从工作模式（再次）转换到睡眠模式：
 - a. 通过写入 P0_R2 以启用睡眠模式来进入睡眠模式
 - b. 等待至少 6ms（FSYNC = 48kHz 时），让音量下降并让所有模块断电
 - c. 读取 P0_R119 以检查器件关断和睡眠模式状态
 - d. 如果器件 P0_R119_D7 状态位为 1'b1，则停止系统中的 FSYNC 和 BCLK
 - e. 器件现在进入睡眠模式（低功耗模式 < 10 μA ）并保留所有寄存器值
4. 根据录音操作需要，从睡眠模式（再次）转换到工作模式：
 - a. 通过写入 P0_R2 以禁用睡眠模式来唤醒器件
 - b. 等待至少 1ms，让器件完成内部唤醒序列
 - c. 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK
 - d. 器件录音数据现在通过 TDM 音频串行数据总线发送到主机处理器
5. 根据配置更改需要重复步骤 2 至步骤 4，或根据模式转换需要重复步骤 3 至步骤 4

8.2.1.2.1 EVM 设置的器件寄存器配置脚本示例

本节提供了一个典型的 EVM I²C 寄存器控制脚本，其中显示了如何将 TAA3020 设置为具有差分输入的双通道模拟麦克风录音模式。

```

# Key: w 9C XX YY ==> write to I2C address 0x9C, to register 0xxx, data 0xYY
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. There are
# other valid sequences depending on which features are used.
#
# See the TAA3020EVM user guide for jumper settings and audio connections.
#
# Differential 2-channel : INP1/INM1 - Ch1, INP2/INM2 - Ch2
# FSYNC = 44.1 kHz (output data sample rate), BCLK = 11.2896 MHz (BCLK/FSYNC = 256)
#####
#
# Power-up the IOVDD and AVDD power supplies
# wait for the IOVDD and AVDD power supplies to settle to a steady-state operating voltage range.
# wait for 1 ms.
#
# wake-up the device with an I2C write into P0_R2 using an internal AREG
w 9C 02 81
#
# Enable input Ch-1 and Ch-2 by an I2C write into P0_R115
w 9C 73 C0
#
# Enable ASI output Ch-1 and Ch-2 slots by an I2C write into P0_R116
w 9C 74 C0
#
# Power-up the ADC, MICBIAS, and PLL by an I2C write into P0_R117
w 9C 75 E0
#
# Apply FSYNC = 44.1 kHz and BCLK = 11.2896 MHz and
# Start recording data via the host on the ASI bus with a TDM protocol 32-bits channel wordlength
  
```

8.2.2 四通道数字 PDM 麦克风录音

图 8-2 展示了一种 TAA3020 应用的典型配置，该配置使用四个数字 PDM MEMS 麦克风，并采用 I²C 控制接口和 TDM 音频数据从接口进行同步录音操作。如果系统中未使用 MICBIAS 输出，则不必为 MICBIAS 引脚使用 1 μ F 电容器。

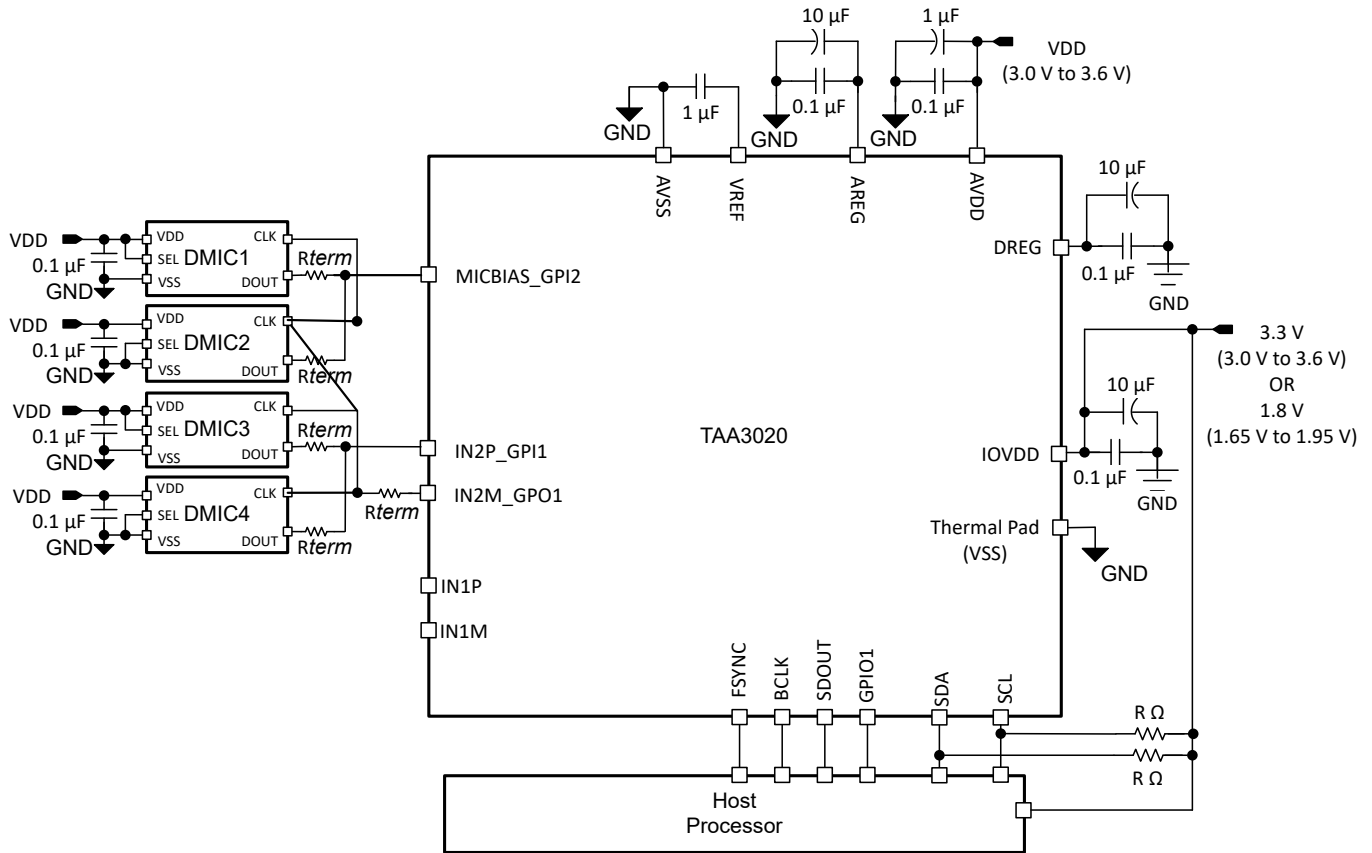


图 8-2. 四通道数字 PDM 麦克风录音图

8.2.2.1 设计要求

表 8-2 列出了此应用的设计参数。

表 8-2. 设计参数

关键参数	规格
AVDD	3.3V
AVDD 电源电流消耗	> 8mA (PLL 开启, 四通道录音, $f_s = 48\text{kHz}$)
IOVDD	1.8V 或 3.3V

8.2.2.2 详细设计过程

本节介绍了为此特定应用配置 TAA3020 的必要步骤。以下步骤提供了从器件上电到从器件读取数据或从一种工作模式转换到另一种工作模式之间必须执行的一系列项。

1. 为器件通电：
 - a. 为 IOVDD 和 AVDD 电源上电
 - b. 等待至少 1ms，让器件初始化内部寄存器
 - c. 器件现在进入睡眠模式（低功耗模式 < 10 μ A）
2. 每次录音操作需要时，从睡眠模式转换到工作模式：
 - a. 通过写入 P0_R2 以禁用睡眠模式来唤醒器件
 - b. 等待至少 1ms，让器件完成内部唤醒序列
 - c. 根据需要覆盖默认配置寄存器或可编程系数值（这一步是可选操作）
 - d. 配置数字麦克风的通道 1 至通道 2 (CHx_INSRC) 作为录音输入源
 - e. 将 GPO1 (GPO1_CFG) 和 GPIO1 (GPIO1_CFG) 配置为 PDMCLK 输出
 - f. 将 GPIx (GPI1x_CFG) 配置为 PDMDINx
 - g. 通过写入 P0_R115 来启用所有需要的输入通道
 - h. 通过写入 P0_R116 来启用所有需要的音频串行接口输出通道
 - i. 通过写入 P0_R117 来为 ADC 和 PLL 上电
 - j. 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK

该特定步骤可以在步骤 a 后序列的任意时间点完成。

有关支持的采样速率和 BCLK 与 FSYNC 之比，请参阅 [锁相环 \(PLL\) 和时钟生成](#) 一节。

- k. 器件录音数据现在通过 TDM 音频串行数据总线发送到主机处理器
3. 根据系统的低功耗运行要求，从工作模式（再次）转换到睡眠模式：
 - a. 通过写入 P0_R2 以启用睡眠模式来进入睡眠模式
 - b. 等待至少 6ms（FSYNC = 48kHz 时），让音量下降并让所有模块断电
 - c. 读取 P0_R119 以检查器件关断和睡眠模式状态
 - d. 如果器件 P0_R119_D7 状态位为 1'b1，则停止系统中的 FSYNC 和 BCLK
 - e. 器件现在进入睡眠模式（低功耗模式 < 10 μ A）并保留所有寄存器值
4. 根据录音操作需要，从睡眠模式（再次）转换到工作模式：
 - a. 通过写入 P0_R2 以禁用睡眠模式来唤醒器件
 - b. 等待至少 1ms，让器件完成内部唤醒序列
 - c. 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK
 - d. 器件录音数据现在通过 TDM 音频串行数据总线发送到主机处理器
5. 根据模式转换需要重复步骤 3 和步骤 4，并根据配置更改需要重复步骤 2 至步骤 4

8.2.2.2.1 EVM 设置的器件寄存器配置脚本示例

本节提供了一个典型的 EVM I²C 寄存器控制脚本，其中显示了如何将 TAA3020 设置为四通道数字 PDM 麦克风录音模式。

```
# Key: w 9C XX YY ==> write to I2C address 0x9C, to register 0xxx, data 0xYY
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. There are
# other valid sequences depending on which features are used.
#
# See the TAA3020EVM user guide for jumper settings and audio connections.
#
# PDM 4-channel : PDMDIN1 - Ch1 and Ch2, PDMDIN2 - Ch3 and Ch4
#
# FSYNC = 44.1 kHz (output data sample rate), BCLK = 11.2896 MHz (BCLK/FSYNC = 256)
#####
#
# Power-up the IOVDD and AVDD power supplies
# wait for the IOVDD and AVDD power supplies to settle to a steady state operating voltage range.
# wait for 1 ms.
#
# Wake-up the device by an I2C write into P0_R2 using an internal AREG
w 9C 02 81
#
# Configure CH2_INSRC as a digital PDM input by an I2C write into P0_R65
w 9C 41 40
#
# Configure MICBIAS_GPI2 as a digital PDM input by an I2C write into P0_R59
w 9C 3B 70
#
# Configure GP01 as PDMCLK by an I2C write into P0_R34
w 9C 22 41
#
# Configure GPI1 and GPI2 as PDMDIN1 and PDMDIN2 by an I2C write into P0_R43
w 9C 2B 45
#
# Enable input Ch-1 to Ch-4 by an I2C write into P0_R115
w 9C 73 F0
#
# Enable ASI output Ch-1 to Ch-4 slots by an I2C write into P0_R116
w 9C 74 F0
#
# Power-up the ADC and PLL by an I2C write into P0_R117
w 9C 75 60
#
# Apply FSYNC = 44.1 kHz and BCLK = 11.2896 MHz and
# Start recording data via the host on the ASI bus with a TDM protocol 32-bits channel wordlength
```

8.3 应做事项和禁止事项

在 VAD 运行模式下，启用自动唤醒时，中断产生存在一些限制。有关这些限制的详细信息，请参阅 [使用 TLV320ADC5120 和 TLV320ADC6120 中的语音活动检测器 \(VAD\) 应用报告](#)。

当使用低于 44.1kHz 的采样速率时，自动增益控制器 (AGC) 功能具有一些限制。有关该限制的更多详细信息，请参阅 [使用 TLV320ADCx120 系列中的自动增益控制器 \(AGC\) 应用报告](#)。

8.4 电源相关建议

IOVDD 和 AVDD 电源轨之间的电源序列可以按任何顺序应用。然而，在所有电源稳定后，只能启动 I²C 事务来初始化器件。

对于电源上电要求， t_1 和 t_2 必须至少为 2ms 才能让器件初始化内部寄存器。有关器件电源稳定至建议的工作电压电平后，该器件如何在各种模式下运行的详细信息，请参阅 [第 6.4 部分](#)。对于电源断电要求， t_3 和 t_4 必须至少为 10ms。该时序（如图 8-3 所示）让器件可以慢慢降低录音数据的音量，关闭模拟和数字块，以及将器件置于关断模式。还可以通过降低电源电压来立即将器件置于关断模式，但这样会导致突然关断。

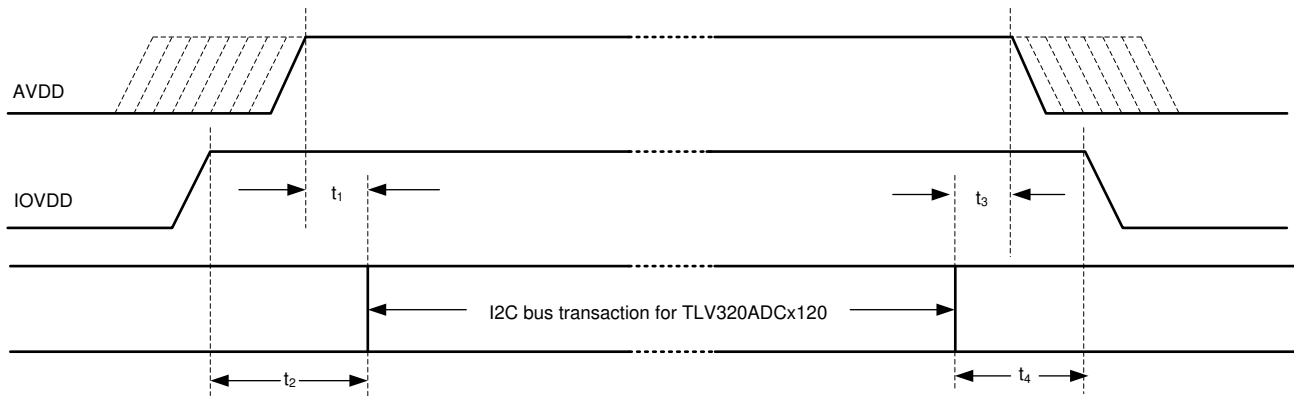


图 8-3. 电源时序要求时序图

确保电源斜坡速率低于 $1V/\mu s$ ，并且断电和上电事件之间的等待时间至少为 100ms。对于低于 $0.1V/ms$ 的电源斜坡速率，主机器件必须在进行任何器件配置之前将软件复位作为第一个事务应用。确保所有数字输入引脚均处于有效的输入电平，并且在电源时序控制期间不会进行切换。

TAA3020 通过集成片上数字稳压器 DREG 和模拟稳压器 AREG，支持单 AVDD 电源运行。但是，如果系统中的 AVDD 电压低于 1.98V，请将板载 AREG 和 AVDD 引脚短接，并通过将 P0_R2 的 AREG_SELECT 位保持为 1b'0（默认值）来不启用内部 AREG。如果系统中使用的 AVDD 电源高于 2.7V，则主机器件可以在退出睡眠模式时将 AREG_SELECT 设置为 1b'1，以便器件内部稳压器可以生成 AREG 电源。

8.5 布局

8.5.1 布局指南

每个系统设计和印刷电路板 (PCB) 布局布线都是独一无二的。必须在特定 PCB 设计的背景下仔细审查布局。但是，以下指南可以优化器件性能：

- 将散热焊盘连接至地。使用过孔布局将器件散热焊盘（即器件正下方的区域）连接到接地平面。该连接有助于散发器件产生的热量。
- 电源的去耦电容器必须放置在靠近器件引脚的位置。
- 电源去耦电容器必须使用具有低 ESR 的陶瓷类型。
- 在 PCB 上以差分方式路由模拟差分音频信号，以获得更好的抗噪性。避免数字和模拟信号交叉，以防止出现不良串扰。
- 必须使用外部电容器对器件内部基准电压进行滤波。将滤波电容器放置在 VREF 引脚附近以获得出色性能。

- 在为多个麦克风布线偏置或电源引线时，直接分接 MICBIAS 引脚以避免公共阻抗，从而避免麦克风之间的耦合。
- 直接将 VREF 和 MICBIAS 外部电容器接地端子短接至 AVSS 引脚，无需为该连接引线使用任何过孔。
- 将 MICBIAS 电容器（具有低等效串联电阻）放置在靠近具有最小引线阻抗的器件处。
- 使用接地平面为器件和去耦电容器之间的电源和信号电流提供最低阻抗。将器件正下方的区域视为器件的中心接地区域，所有器件接地必须直接连接到该区域。

8.5.2 布局示例

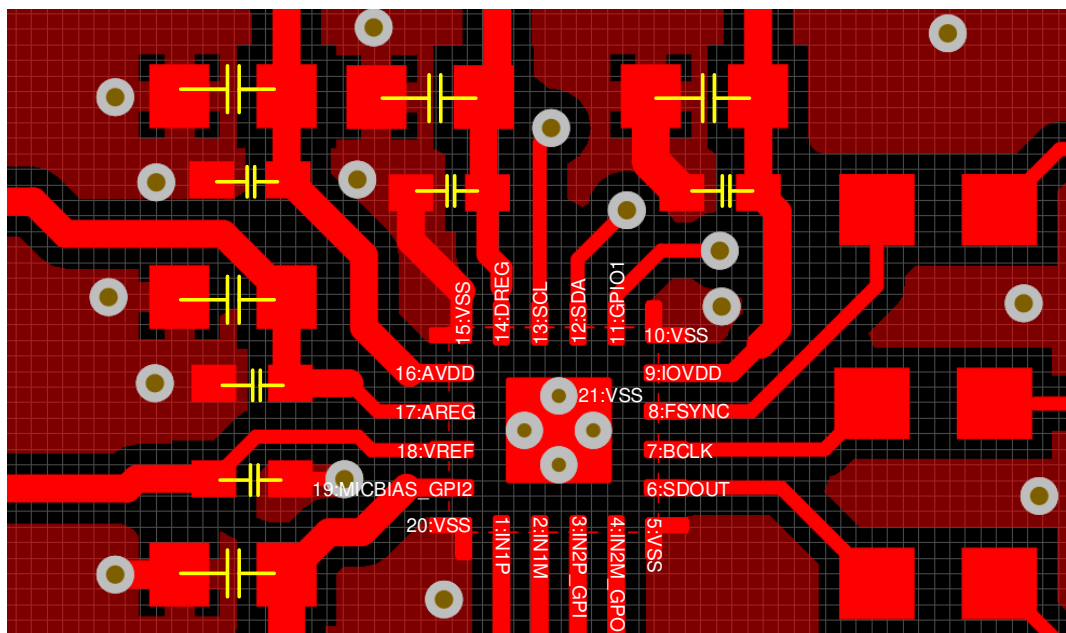


图 8-4. 布局示例

9 器件和文档支持

9.1 文档支持

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
November 2024	*	初始发行版

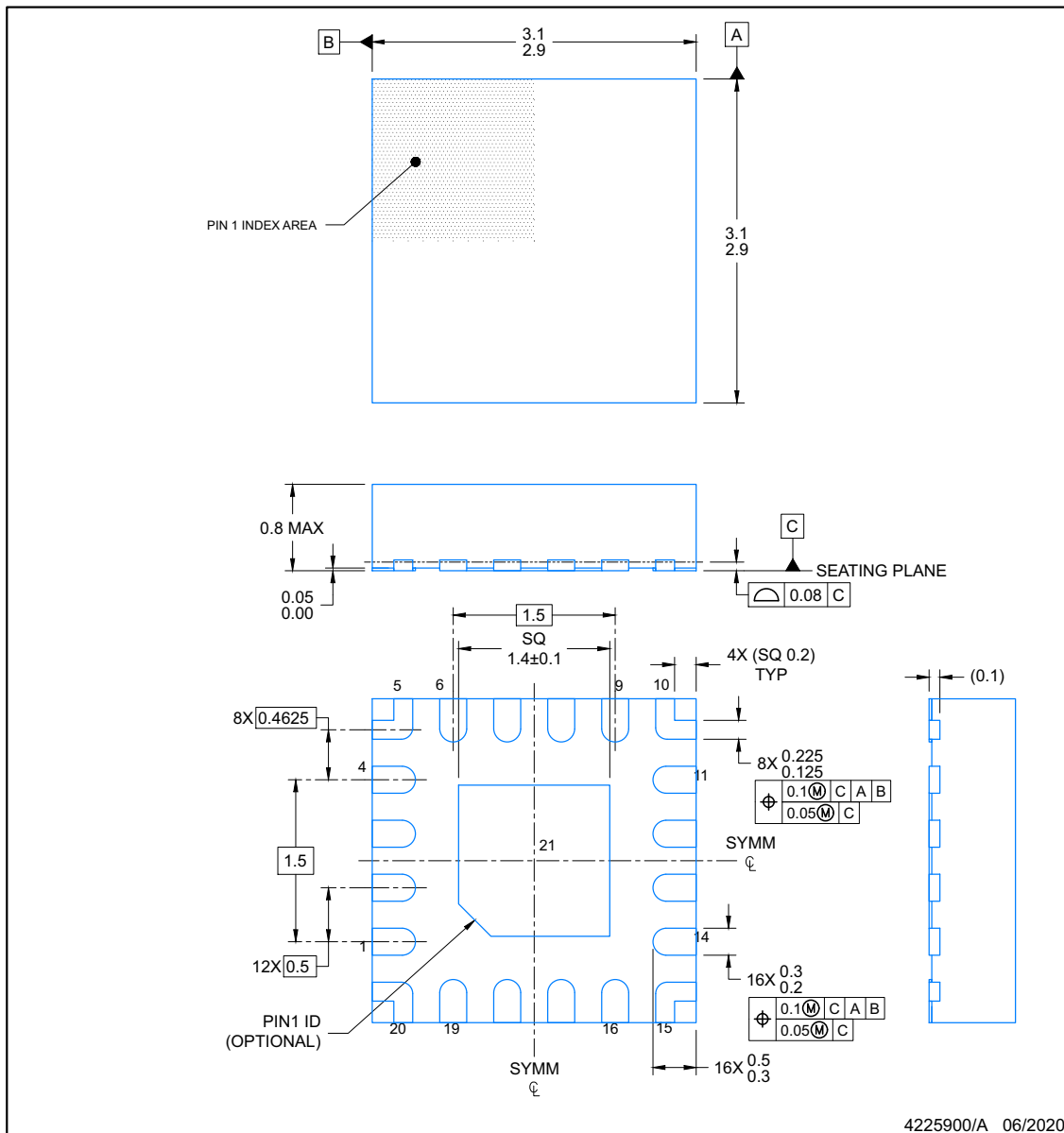
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

RTE0020A

PACKAGE OUTLINE
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



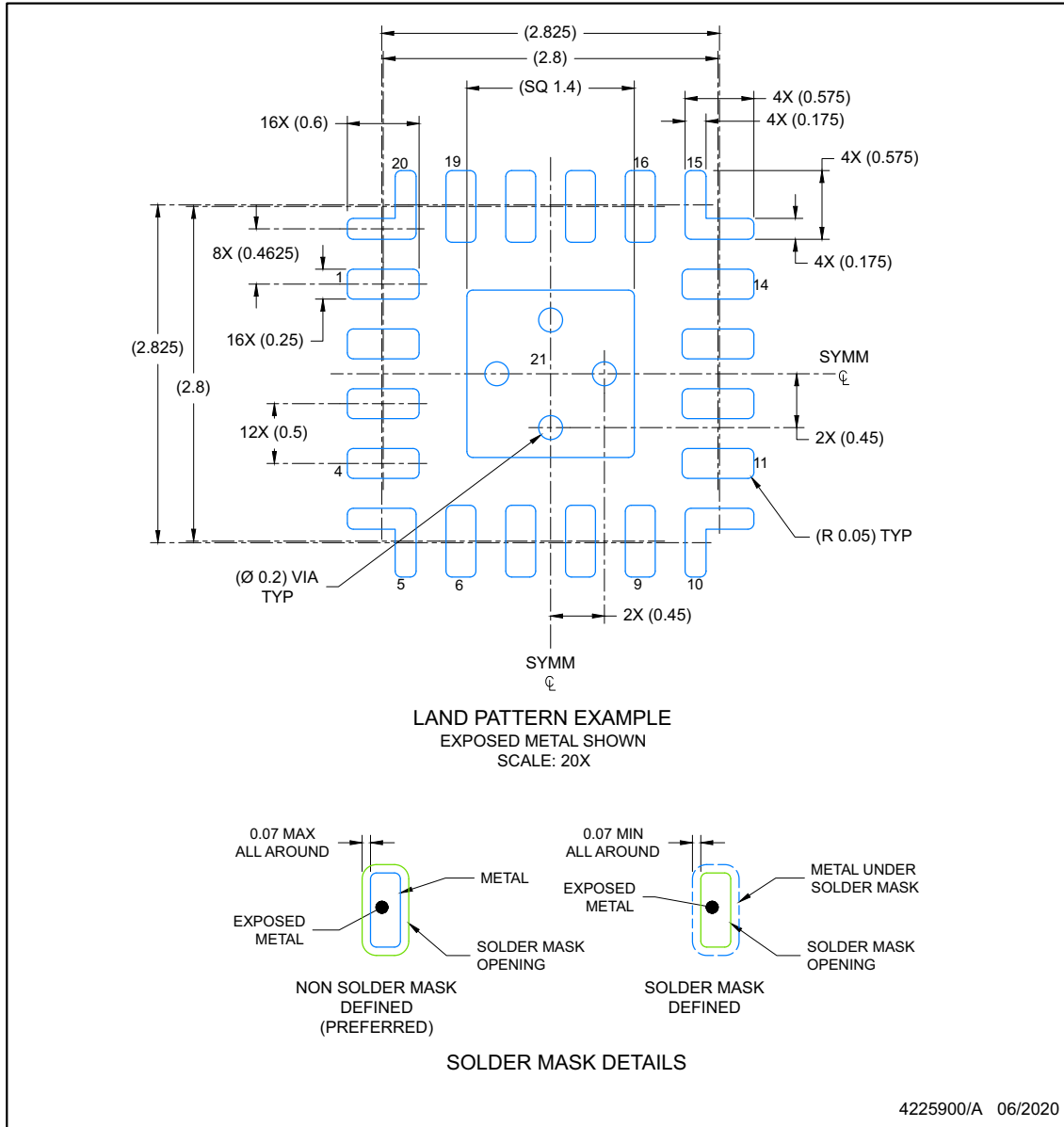
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT
WQFN - 0.8 mm max height

RTE0020A

PLASTIC QUAD FLATPACK- NO LEAD



NOTES: (continued)

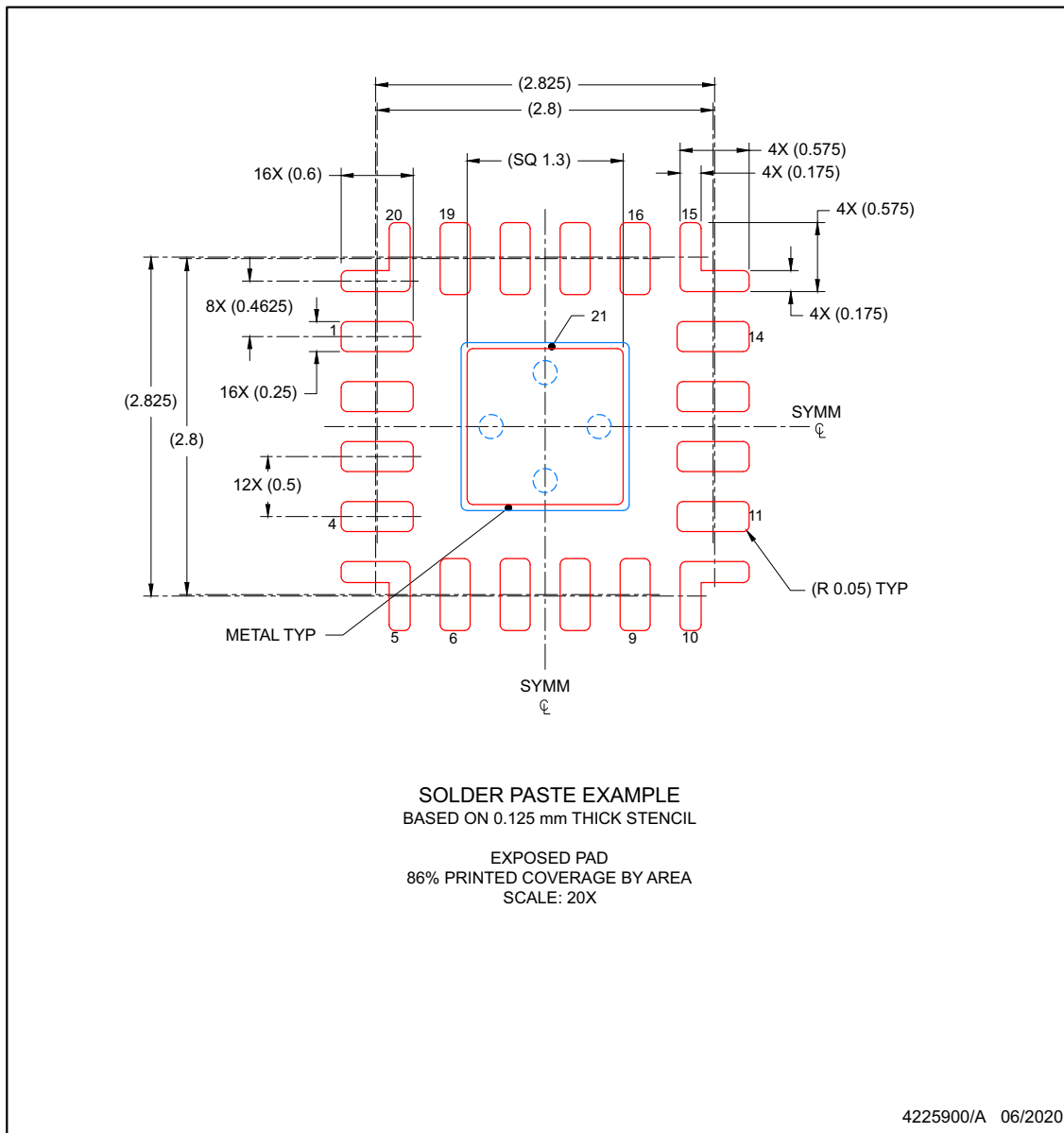
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0020A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

11.1 封装选项附录

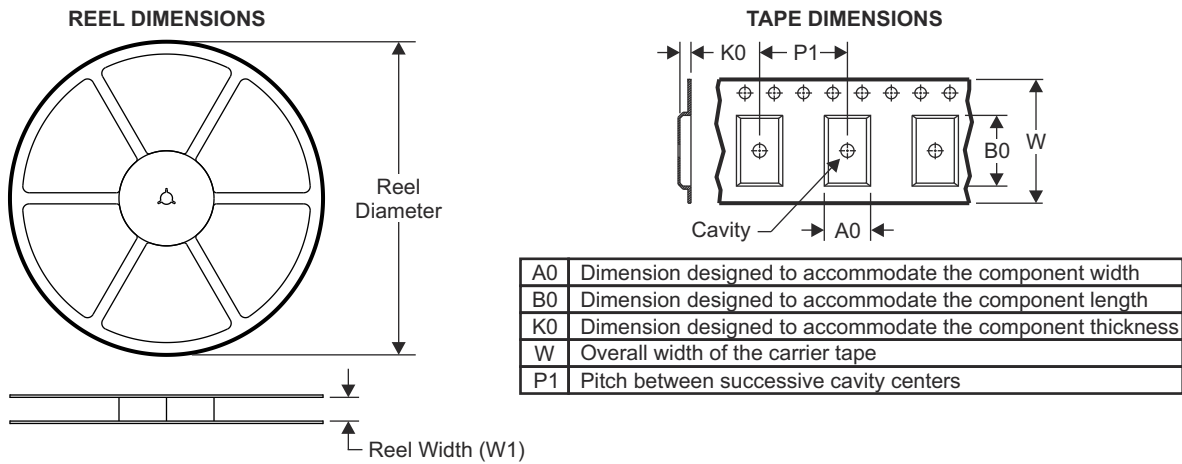
封装信息

可订购器件	状态	封装类型	封装图	引脚	包装数量	环保计划	铅/焊球镀层	MSL 峰值温度	工作温度 (°C)	器件标识
TAA3020RTER	运行	WQFN	RTE	20	3000	RoHS 和绿色 环保	NIPDAU	2 级-260C-1 年	-40 至 125	AD3120

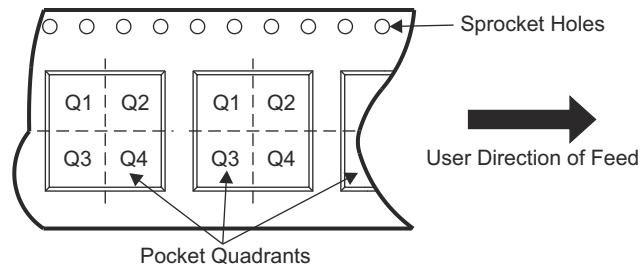
重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

11.2 卷带包装信息



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
TAA3020RTER	WQFN	RTE	20	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TAA3020RTER	WQFN	RTE	20	3000	367.0	367.0	35.0

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TAA3020IRTER	ACTIVE	WQFN	RTE	20	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	AD3120	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

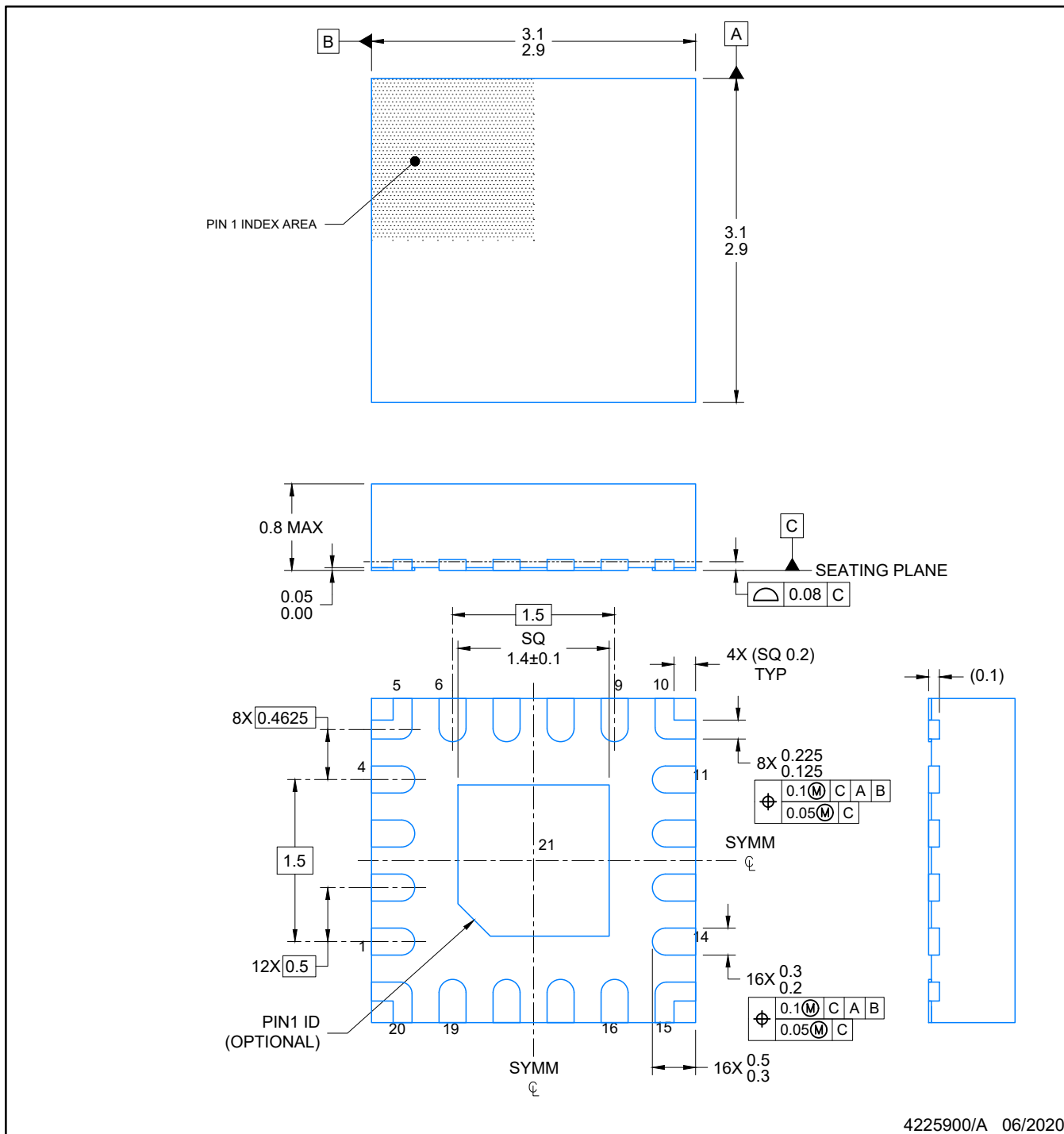
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

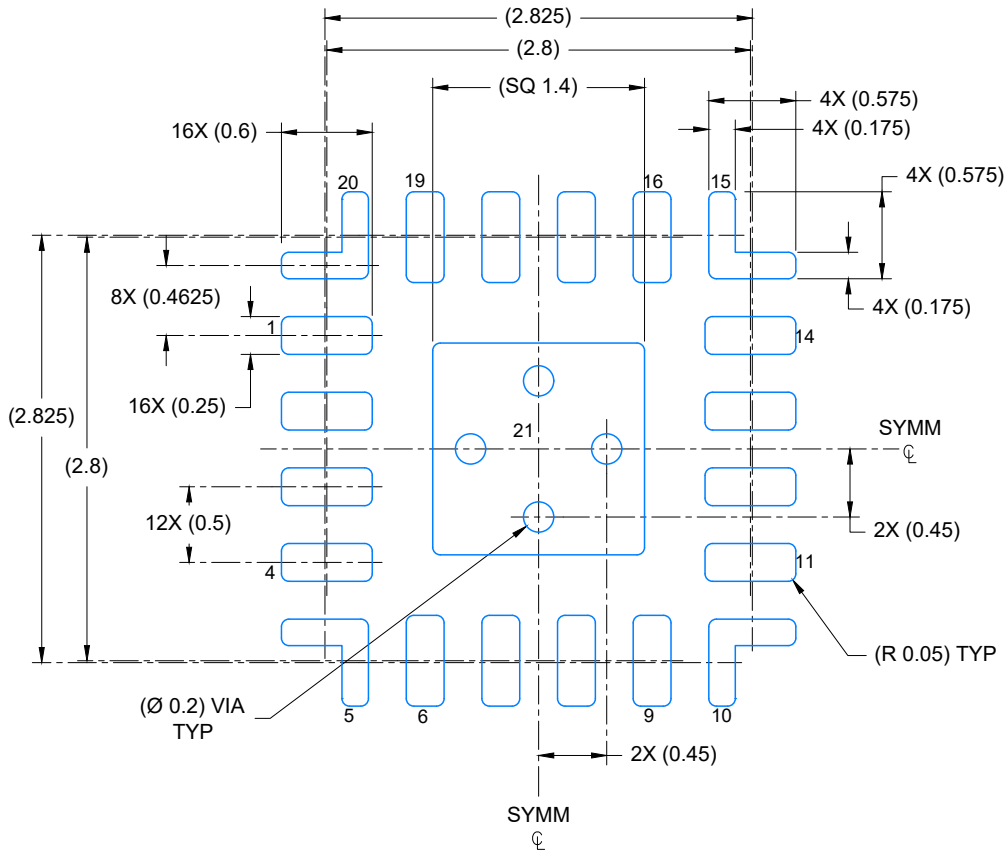
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



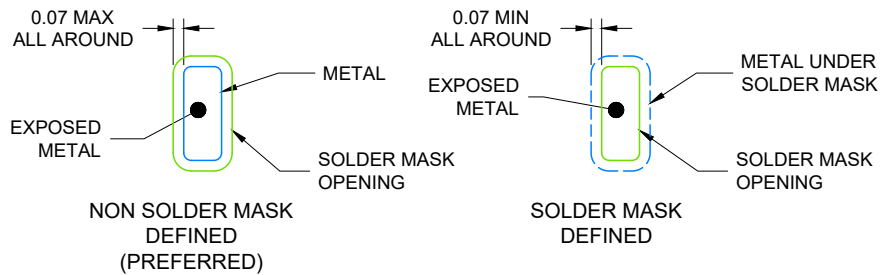
4225900/A 06/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4225900/A 06/2020

NOTES: (continued)

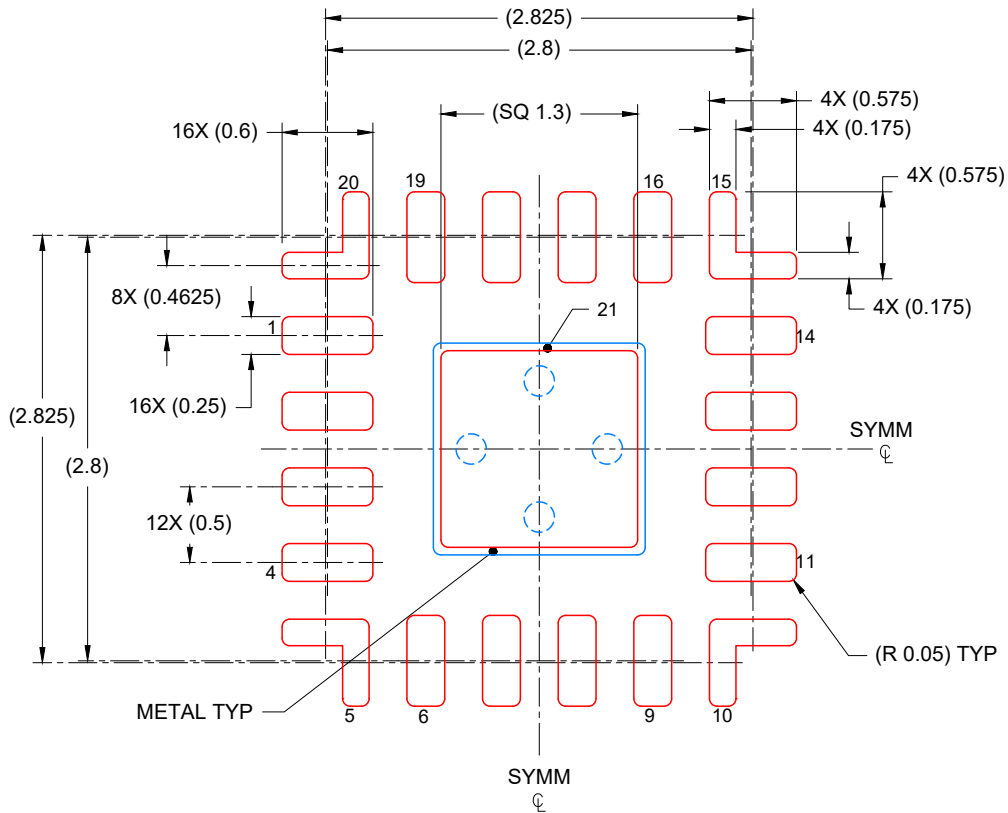
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0020A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
86% PRINTED COVERAGE BY AREA
SCALE: 20X

4225900/A 06/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司