

# 配有 110dB 动态范围以及耳机/线路驱动器的 TAD5112 低功耗立体声音频 DAC

## 1 特性

- 立体声差分或四路单端低功耗音频 DAC
  - 性能：
    - DAC 至差分线路输出动态范围：110dB
    - DAC 至差分耳机输出动态范围：109dB
    - THD+N：-101dB
  - 线路输出/耳机输出电压：
    - 差分  $2V_{RMS}$  满量程
    - 伪差分， $1V_{RMS}$  满量程
    - 单端  $1V_{RMS}$  满量程
  - DAC 采样速率 ( $f_s$ ) = 4kHz 至 768kHz
- 主要特性
  - 模拟输入至输出旁路路径
  - 4 通道 PDM 数字麦克风录音路径
  - 输入和输出混合/多路复用选项
  - 语音活动检测
  - 超声波活动检测
  - 超声波信号或音调发生器
  - 电池和热折返保护
  - 信号失真限制器
  - 低延迟和超低延迟滤波器选项
  - 可编程 HPF 和双二阶滤波器
  - I<sup>2</sup>C 和 SPI 控制接口
  - 音频串行接口
    - 格式：TDM、I<sup>2</sup>S 或左对齐 (LJ)
    - 字长：16、20、24 或 32 位
    - 总线控制器和目标模式
    - TDM 模式下的菊花链
  - 用于灵活时钟的可编程 PLL
  - 自动时钟和采样速率检测
  - 低功耗模式
    - 2 通道回放的功耗为 10.5mW (1.8V 电源)
  - 单电源运行 AVDD：1.8V 或 3.3V
  - I/O 电源运行：1.2V、1.8V 或 3.3V
  - 温度等级 1：-40°C ≤ T<sub>A</sub> ≤ +125°C

## 2 应用

- 条形音箱
- 便携式音频和视频设备
- 智能扬声器
- AV 接收器
- 专业音频混合器/控制平面

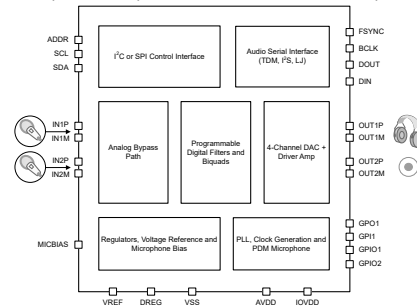
## 3 说明

TAD5112 是一款低功耗音频 DAC，配有  $2V_{RMS}$  差分输出、110dB 动态范围立体声通道或  $1V_{RMS}$  单端输出和 107dB 动态范围四通道。TAD5112 支持差分 and 单端输入与输出。DAC 输出可配置为线路输出或耳机负载。该 DAC 可为  $16\Omega$  耳机负载提供高达 62.5mW 的驱动功率。TAD5112 集成了可编程通道增益、数字音量控制、低抖动锁相环 (PLL)、可编程高通滤波器 (HPF)、可编程 EQ 和双二阶滤波器、低延迟和超低延迟滤波器模式，并可为 DAC 和 PDM 麦克风信号链实现高达 768kHz 的采样速率。TAD5112 支持模拟输入至输出旁路选项，以及通过 PDM 接口录制多达四通道数字麦克风。来自模拟输入和数字输入的数据也可以在器件内部混合。TAD5112 支持时分多路复用 (TDM)、I<sup>2</sup>S 或左对齐 (LJ) 音频格式，并可通过 I<sup>2</sup>C 或 SPI 进行控制。这些集成的高性能特性以及单电源运行，使 TAD5112 特别适用于空间受限的音频应用。

### 器件信息

| 器件型号    | 封装 <sup>(1)</sup> | 封装尺寸 (标称值) <sup>(2)</sup> |
|---------|-------------------|---------------------------|
| TAD5112 | VQFN (24)         | 4mm x 4mm，间距为 0.5mm       |

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版方框图



## 内容

|  |    |                             |     |
|--|----|-----------------------------|-----|
| <b>1 特性</b> .....                      | 1  | 6.2 功能方框图                   | 21  |
| <b>2 应用</b> .....                      | 1  | 6.3 特性说明                    | 22  |
| <b>3 说明</b> .....                      | 1  | 6.4 器件功能模式                  | 73  |
| <b>4 引脚配置和功能</b> .....                 | 3  | 6.5 编程                      | 74  |
| <b>5 规格</b> .....                      | 5  | <b>7 寄存器映射</b> .....        | 79  |
| 5.1 绝对最大额定值                            | 5  | 7.1 器件配置寄存器                 | 79  |
| 5.2 ESD 等级                             | 5  | 7.2 可编程系数寄存器                | 180 |
| 5.3 建议运行条件                             | 5  | <b>8 应用和实施</b> .....        | 212 |
| 5.4 热性能信息                              | 6  | 8.1 应用信息                    | 212 |
| 5.5 电气特性                               | 6  | 8.2 典型应用                    | 212 |
| 5.6 时序要求：I <sup>2</sup> C 接口           | 12 | 8.3 电源相关建议                  | 215 |
| 5.7 开关特性：I <sup>2</sup> C 接口           | 13 | 8.4 布局                      | 216 |
| 5.8 时序要求：SPI 接口                        | 13 | <b>9 器件和文档支持</b> .....      | 218 |
| 5.9 开关特性：SPI 接口                        | 13 | 9.1 文档支持                    | 218 |
| 5.10 时序要求：TDM、I <sup>2</sup> S 或 LJ 接口 | 13 | 9.2 接收文档更新通知                | 218 |
| 5.11 开关特性：TDM、I <sup>2</sup> S 或 LJ 接口 | 14 | 9.3 支持资源                    | 218 |
| 5.12 时序要求：PDM 数字麦克风接口                  | 15 | 9.4 商标                      | 218 |
| 5.13 开关特性：PDM 数字麦克风接口                  | 15 | 9.5 静电放电警告                  | 218 |
| 5.14 时序图                               | 15 | 9.6 术语表                     | 218 |
| 5.15 典型特性                              | 18 | <b>10 修订历史记录</b> .....      | 219 |
| <b>6 详细说明</b> .....                    | 21 | <b>11 机械、封装和可订购信息</b> ..... | 219 |
| 6.1 概述                                 | 21 |                             |     |

## 4 引脚配置和功能

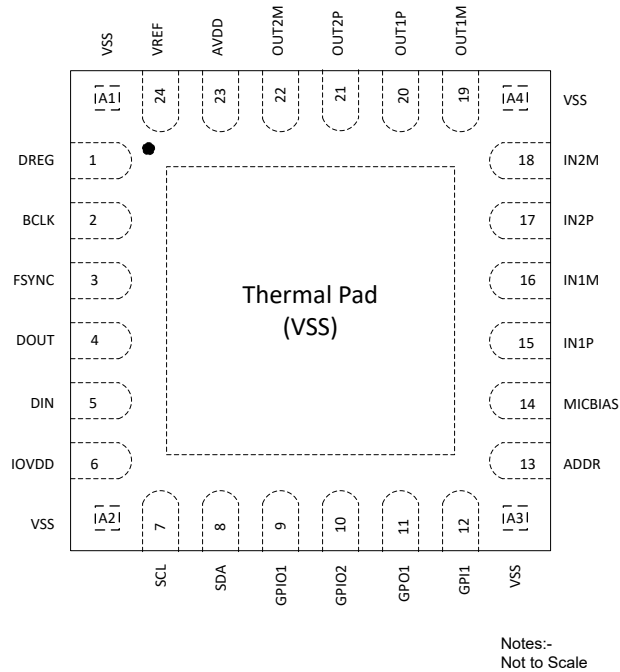


图 4-1. 带有外露散热焊盘和转角引脚的 24 引脚 QFN 封装，顶视图

表 4-1. 引脚功能

| 引脚      |    | 类型 <sup>(1)</sup> | 说明   |
|---------|----|-------------------|--|
| 名称      | 编号 |                   |  |
| VSS     | A1 | 接地                | 接地引脚。直接短接至电路板接地层。                            |
| DREG    | 1  | 数字电源              | 数字电源的数字片上稳压器输出电压 (标称值为 1.55V)                |
| BCLK    | 2  | 数字 I/O            | 音频串行数据接口总线位时钟                                |
| FSYNC   | 3  | 数字 I/O            | 音频串行数据接口总线帧同步信号                              |
| DOUT    | 4  | 数字 I/O            | 音频串行数据接口总线输出                                 |
| DIN     | 5  | 数字输入              | 音频串行数据接口总线输入                                 |
| IOVDD   | 6  | 数字电源              | 数字 I/O 电源 (标称值为 1.2V、1.8V 或 3.3V)            |
| VSS     | A2 | 接地                | 接地引脚。直接短接至电路板接地层。                            |
| SCL     | 7  | 数字输入              | I <sup>2</sup> C 控制接口的时钟                     |
| SDA     | 8  | 数字输入              | I <sup>2</sup> C 控制接口的数据                     |
| GPIO1   | 9  | 数字 I/O            | 通用数字输入/输出 1 (菊花链输入、音频数据输出、PLL 输入时钟源、中断等通用功能) |
| GPIO2   | 10 | 数字 I/O            | 通用数字输入/输出 2 (菊花链输入、音频数据输出、PLL 输入时钟源、中断等通用功能) |
| GPO1    | 11 | 数字输出              | 通用数字输出 1 (音频数据输出、中断等通用功能)                    |
| GPI1    | 12 | 数字输入              | 通用数字输入 1 (菊花链输入、PLL 输入时钟源等通用功能)              |
| VSS     | A3 | 接地                | 接地引脚。直接短接至电路板接地层。                            |
| ADDR    | 13 | 模拟输入              | I <sup>2</sup> C 地址引脚                        |
| MICBIAS | 14 | 模拟                | 麦克风偏置输出 (可编程输出高达 3V)                         |
| IN1P    | 15 | 模拟输入              | 模拟输入 1P 引脚 (模拟旁路路径)                          |
| IN1M    | 16 | 模拟输入              | 模拟输入 1M 引脚 (模拟旁路路径)                          |
| IN2P    | 17 | 模拟输入              | 模拟输入 2P 引脚 (模拟旁路路径)                          |
| IN2M    | 18 | 模拟输入              | 模拟输入 2M 引脚 (模拟旁路路径)                          |

表 4-1. 引脚功能 (续)

| 引脚    |      | 类型 <sup>(1)</sup> | 说明                         |
|-------|------|-------------------|----------------------------|
| 名称    | 编号   |                   |                            |
| VSS   | A4   | 接地                | 接地引脚。直接短接至电路板接地层。          |
| OUT1M | 19   | 模拟输出              | 模拟输出 1M 引脚                 |
| OUT1P | 20   | 模拟输出              | 模拟输出 1P 引脚                 |
| OUT2P | 21   | 模拟输出              | 模拟输出 2P 引脚                 |
| OUT2M | 22   | 模拟输出              | 模拟输出 2M 引脚                 |
| AVDD  | 23   | 模拟电源              | 模拟电源 (标称值为 1.8V 或 3.3V)    |
| VREF  | 24   | 模拟                | 模拟基准电压滤波器输出                |
| VSS   | 散热焊盘 | 接地                | 散热焊盘短接至内部器件接地。直接短接至电路板接地层。 |

(1) I = 输入, O = 输出, I/O = 输入或输出, G = 接地, P = 电源。

## 5 规格

### 5.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) <sup>(1)</sup>

|        |                        | 最小值  | 最大值         | 单位 |
|--------|------------------------|------|-------------|----|
| 电源电压   | AVDD 至 VSS (散热焊盘)      | -0.3 | 3.9         | V  |
| 电源电压   | IOVDD 至 VSS (散热焊盘)     | -0.3 | 3.9         | V  |
| 接地电压差  | VSS 至 VSS (散热焊盘)       | -0.3 | 0.3         | V  |
| 模拟输入电压 | 数字输入引脚电压至 VSS (散热焊盘)   | -0.3 | 5.656       | V  |
| 数字输入电压 | 数字输入引脚电压至 VSS (散热焊盘)   | -0.3 | IOVDD + 0.3 | V  |
| 温度     | 功能环境温度, T <sub>A</sub> | -55  | 125         | °C |
|        | 工作环境温度, T <sub>A</sub> | -40  | 125         |    |
|        | 结温, T <sub>J</sub>     | -40  | 150         |    |
|        | 贮存温度, T <sub>stg</sub> | -65  | 150         |    |

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用,器件可能不会完全正常运行,这可能影响器件的可靠性、功能和性能并缩短器件寿命。

### 5.2 ESD 等级

|                    |      |   | 值     | 单位 |
|--------------------|------|---|-------|----|
| V <sub>(ESD)</sub> | 静电放电 | 人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup> | ±2000 | V  |
| V <sub>(ESD)</sub> | 静电放电 | 充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 <sup>(2)</sup>    | ±500  |    |

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

### 5.3 建议运行条件

在工作环境温度范围内测得 (除非另有说明)

|                     |  | 最小值  | 标称值 | 最大值   | 单位 |
|---------------------|--|------|-----|-------|----|
| <b>POWER</b>        |  |      |     |       |    |
| AVDD <sup>(1)</sup> | 模拟电源电压至 VSS (散热焊盘) - AVDD 3.3V 运行                  | 3.0  | 3.3 | 3.6   | V  |
|                     | 模拟电源电压至 VSS (散热焊盘) - AVDD 1.8V 运行 <sup>(2)</sup>   | 1.65 | 1.8 | 1.95  | V  |
| IOVDD               | IO 电源电压至 VSS (散热焊盘) - IOVDD 3.3V 运行                | 3.0  | 3.3 | 3.6   | V  |
|                     | IO 电源电压至 VSS (散热焊盘) - IOVDD 1.8V 运行 <sup>(3)</sup> | 1.65 | 1.8 | 1.95  |    |
|                     | IO 电源电压至 VSS (散热焊盘) - IOVDD 1.2V 运行 <sup>(3)</sup> | 1.08 | 1.2 | 1.32  | V  |
| <b>输入</b>           |  |      |     |       |    |
| INxx                | 模拟输入引脚电压至 VSS (散热焊盘), 用于线路输入旁路路径                   | 0    |     | AVDD  | V  |
|                     | 数字输入引脚电压至 VSS (散热焊盘)                               | 0    |     | IOVDD | V  |
| ADDR                | ADDR 引脚, 以 VSS 为基准 (散热焊盘)                          | 0    |     | AVDD  | V  |
| <b>温度</b>           |  |      |     |       |    |
| T <sub>A</sub>      | 工作环境温度   | -40  |     | 125   | °C |

在工作环境温度范围内测得（除非另有说明）

|                |  | 最小值 | 标称值 | 最大值                   | 单位  |
|----------------|--|-----|-----|-----------------------|-----|
| <b>其他</b>      |  |     |     |                       |     |
| CCLK           | GPIOx 或 GPIx 控制器模式时钟频率 (CCLK)                  |     |     | 36.864 <sup>(4)</sup> | MHz |
| C <sub>b</sub> | I <sup>2</sup> C 接口的 SCL 和 SDA 总线电容支持标准模式和快速模式 |     |     | 400                   | pF  |
|                | I <sup>2</sup> C 接口的 SCL 和 SDA 总线电容支持快速+ 模式    |     |     | 550                   |     |
| C <sub>L</sub> | 数字输出负载电容                                       |     | 20  | 50                    | pF  |

- (1) VSS 和 VSS (散热焊盘)；所有接地引脚必须连接在一起，并且电压差异不得超过 0.2V。
- (2) 正确设置 AVDD\_MODE 位以实现 AVDD 1.8V 运行。有关更多详细信息，请参阅第 8.3 节。
- (3) 正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。
- (4) CCLK 输入上升时间 (V<sub>IL</sub> 到 V<sub>IH</sub>) 和下降时间 (V<sub>IH</sub> 到 V<sub>IL</sub>) 必须小于 5ns。为了获得更好的音频噪声性能，必须使用低抖动的 CCLK 输入。

## 5.4 热性能信息

| 热指标 <sup>(1)</sup>    |              | TAD5112    |  | 单位   |
|-----------------------|--------------|------------|--|------|
|                       |              | RGE (VQFN) |  |      |
|                       |              | 24 引脚      |  |      |
| R <sub>θJA</sub>      | 结至环境热阻       | 38.4       |  | °C/W |
| R <sub>θJC(top)</sub> | 结至外壳 (顶部) 热阻 | 26.3       |  | °C/W |
| R <sub>θJB</sub>      | 结至电路板热阻      | 15.9       |  | °C/W |
| ψ <sub>JT</sub>       | 结至顶部特征参数     | 0.5        |  | °C/W |
| ψ <sub>JB</sub>       | 结至电路板特征参数    | 15.8       |  | °C/W |
| R <sub>θJC(bot)</sub> | 结至外壳 (底部) 热阻 | 13.8       |  | °C/W |

- (1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

## 5.5 电气特性

T<sub>A</sub> = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f<sub>IN</sub> = 1kHz 正弦信号、f<sub>S</sub> = 48kHz、32 位音频数据、BCLK = 256 × f<sub>S</sub>、TDM 目标模式、PLL 开启、通道增益 = 0dB、线性相位内插滤波器，1200Ω/600Ω 线路输出负载 (差分/单端配置) 或 32Ω/16Ω 接收器/耳机负载 (如适用)，MICBIAS 编程为 VREF 和其他默认配置；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量 (除非另有说明)

| 参数                       | 测试条件                               | 最小值 | 标称值 | 最大值 | 单位               |
|--------------------------|------------------------------------|-----|-----|-----|------------------|
| <b>线路输出/耳机回放的 DAC 性能</b> |                                    |     |     |     |                  |
| 满量程输出电压                  | OUTxP 和 OUTxM 之间的差分输出，AVDD = 3.3V  |     | 2   |     | V <sub>RMS</sub> |
|                          | OUTxP 和 OUTxM 之间的差分输出，AVDD = 1.8V  |     | 1   |     |                  |
|                          | 单端输出，AVDD = 3.3V                   |     | 1   |     |                  |
|                          | 单端输出，AVDD = 1.8V                   |     | 0.5 |     |                  |
|                          | OUTxP 和 OUTxM 之间的伪差分输出，AVDD = 3.3V |     | 1   |     |                  |
|                          | OUTxP 和 OUTxM 之间的伪差分输出，AVDD = 1.8V |     | 0.5 |     |                  |

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 目标模式、PLL 开启、通道增益 = 0dB、线性相位内插滤波器，1200  $\Omega$ /600  $\Omega$  线路输出负载（差分/单端配置）或 32  $\Omega$ /16  $\Omega$  接收器/耳机负载（如适用），MICBIAS 编程为 VREF 和其他默认配置；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

| 参数  |                             | 测试条件  | 最小值 | 标称值 | 最大值 | 单位 |
|---|-----------------------------|---|-----|-----|-----|----|
| SNR   | 信噪比，A 加权 <sup>(1) (2)</sup> | 差分输出，0dBFS 信号，AVDD = 3.3V                             |     | 110 |     | dB |
|   |                             | 单端输出，0dBFS 信号，AVDD = 3.3V                             |     | 107 |     |    |
|   |                             | 伪差分输出，0dBFS 信号，AVDD = 3.3V                            |     | 108 |     |    |
|   |                             | 差分输出，0dBFS 信号，AVDD = 1.8V                             |     | 109 |     |    |
|   |                             | 单端输出，0dBFS 信号，AVDD = 1.8V                             |     | 103 |     |    |
|   |                             | 伪差分输出，0dBFS 信号，AVDD = 1.8V                            |     | 105 |     |    |
|   |                             | 差分输出，0dBFS 信号，AVDD=3.3V，Power Tune 模式 <sup>(3)</sup>  |     | 105 |     |    |
|   |                             | 单端输出，0dBFS 信号，AVDD=3.3V，Power Tune 模式 <sup>(3)</sup>  |     | 103 |     |    |
|   |                             | 伪差分输出，0dBFS 信号，AVDD=3.3V，Power Tune 模式 <sup>(3)</sup> |     | 106 |     |    |
|   |                             | 差分输出，0dBFS 信号，AVDD=1.8V，Power Tune 模式 <sup>(3)</sup>  |     | 107 |     |    |
| 单端输出，0dBFS 信号，AVDD=1.8V，Power Tune 模式 <sup>(3)</sup>  |                             | 99  |     |     |     |    |
| 伪差分输出，0dBFS 信号，AVDD=1.8V，Power Tune 模式 <sup>(3)</sup> |                             | 103   |     |     |     |    |
| SNR   | 信噪比，A 加权 <sup>(1) (2)</sup> | 差分输出，接收器负载，0dBFS 信号，AVDD=3.3V                         |     | 109 |     | dB |
|   |                             | 单端输出，耳机负载，-0dBFS 信号，AVDD=3.3V                         |     | 107 |     |    |
|   |                             | 伪差分输出，接收器负载，-0dBFS 信号，AVDD = 3.3V                     |     | 108 |     |    |
|   |                             | 差分输出，接收器负载，0dBFS 信号，AVDD=1.8V                         |     | 108 |     |    |
|   |                             | 单端输出，耳机负载，-0dBFS 信号，AVDD=1.8V                         |     | 103 |     |    |
|   |                             | 伪差分输出，接收器负载，-0dBFS 信号，AVDD = 1.8V                     |     | 105 |     |    |

**TAD5112**

ZHCSUA4A - DECEMBER 2023 - REVISED JANUARY 2025

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 目标模式、PLL 开启、通道增益 = 0dB、线性相位内插滤波器、 $1200\Omega/600\Omega$  线路输出负载 (差分/单端配置) 或  $32\Omega/16\Omega$  接收器/耳机负载 (如适用)，MICBIAS 编程为 VREF 和其他默认配置；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量 (除非另有说明)

| 参数  |                              | 测试条件   | 最小值 | 标称值       | 最大值 | 单位                         |
|---|------------------------------|--|-----|-----------|-----|----------------------------|
| DR  | 动态范围, A 加权 <sup>(2)</sup>    | 差分输出, -60dBFS 信号, AVDD = 3.3V                              |     | 110       |     | dB                         |
|   |                              | 单端输出, -60dBFS 信号, AVDD = 3.3V                              |     | 107       |     |                            |
|   |                              | 伪差分输出, -60dBFS 信号, AVDD = 3.3V                             |     | 108       |     |                            |
|   |                              | 差分输出, -60dBFS 信号, AVDD = 1.8V                              |     | 109       |     |                            |
|   |                              | 单端输出, -60dBFS 信号, AVDD = 1.8V                              |     | 104       |     |                            |
|   |                              | 伪差分输出, -60dBFS 信号, AVDD = 1.8V                             |     | 105       |     |                            |
|   |                              | 差分输出, -60dBFS 信号, AVDD=3.3V, Power Tune 模式 <sup>(3)</sup>  |     | 105       |     |                            |
|   |                              | 单端输出, -60dBFS 信号, AVDD=3.3V, Power Tune 模式 <sup>(3)</sup>  |     | 103       |     |                            |
|   |                              | 伪差分输出, -60dBFS 信号, AVDD=3.3V, Power Tune 模式 <sup>(3)</sup> |     | 107       |     |                            |
|   |                              | 差分输出, -60dBFS 信号, AVDD=1.8V, Power Tune 模式 <sup>(3)</sup>  |     | 107       |     |                            |
|   |                              | 单端输出, -60dBFS 信号, AVDD=1.8V, Power Tune 模式 <sup>(3)</sup>  |     | 99        |     |                            |
| 伪差分输出, -60dBFS 信号, AVDD=1.8V, Power Tune 模式 |                              | 103  |     |           |     |                            |
| DR  | 动态范围, A 加权 <sup>(2)</sup>    | 差分输出, 接收器负载, -60dBFS 信号, AVDD=3.3V                         |     | 109       |     | dB                         |
|   |                              | 单端输出, 耳机负载, -60dBFS 信号, AVDD = 3.3V                        |     | 107       |     |                            |
|   |                              | 伪差分输出, 接收器负载, -60dBFS 信号, AVDD = 3.3V                      |     | 108       |     |                            |
|   |                              | 差分输出, 接收器负载, -60dBFS 信号, AVDD=1.8V                         |     | 108       |     |                            |
|   |                              | 单端输出, 耳机负载, -60dBFS 信号, AVDD = 1.8V                        |     | 103       |     |                            |
|   |                              | 伪差分输出, 接收器负载, -60dBFS 信号, AVDD = 1.8V                      |     | 105       |     |                            |
| THD+N                                       | 总谐波失真 <sup>(2)</sup>         | 差分输出, -1dBFS 信号, AVDD = 3.3V                               |     | -101      |     | dB                         |
|   | 耳机负载范围                       | 单端   | 4   | 16        | 600 | $\Omega$                   |
|   | 线路输出负载范围                     | 单端   | 600 |           |     | $\Omega$                   |
|   | 耳机/线路输出电容负载                  | 单端   | 0   |           | 2   | nF                         |
| <b>模拟旁路至线路输出/耳机放大器</b>                      |                              |  |     |           |     |                            |
|   | 输入阻抗                         | 输入引脚 INxP 或 INxM, 4.4k $\Omega$ 输入阻抗模式                     |     | 4.4       |     | k $\Omega$                 |
|   |                              | 输入引脚 INxP 或 INxM, 20k $\Omega$ 输入阻抗模式                      |     | 20        |     |                            |
|   | 单端满量程输出                      | AVDD = 3.3V  |     | 1         |     | V <sub>rms</sub>           |
|   | 差分满量程输出                      | AVDD = 3.3V  |     | 2         |     | V <sub>rms</sub>           |
|   |                              | AVDD = 1.8V  |     | 1         |     | V <sub>rms</sub>           |
|   | 增益误差                         | 交流耦合输入, -6dBFS 输入  |     | $\pm 0.1$ |     | dB                         |
|   | 噪声, A 加权                     | 空闲通道, 交流耦合输入对地短路, 差分输出                                     |     | 7.5       |     | $\mu\text{V}_{\text{RMS}}$ |
|   | 噪声, A 加权                     | 空闲通道, 交流耦合输入对地短路, 单端输出                                     |     | 25        |     | $\mu\text{V}_{\text{RMS}}$ |
| SNR   | 信噪比, A 加权 <sup>(1) (2)</sup> | 空闲通道, 交流耦合输入对地短路, 差分输出                                     |     | 108       |     | dB                         |



$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 目标模式、PLL 开启、通道增益 = 0dB、线性相位内插滤波器， $1200\Omega/600\Omega$  线路输出负载（差分/单端配置）或  $32\Omega/16\Omega$  接收器/耳机负载（如适用），MICBIAS 编程为 VREF 和其他默认配置；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

| 参数                |   | 测试条件   | 最小值                 | 标称值        | 最大值                 | 单位                  |
|-------------------|---|--|---------------------|------------|---------------------|---------------------|
| SNR               | 信噪比, A 加权 <sup>(1)</sup> <sup>(2)</sup> | 空闲通道, 交流耦合输入对地短路, 单端输出   |                     | 92         |                     | dB                  |
| THD+N             | 总谐波失真 <sup>(2)</sup>                    | IN1 差分交流耦合输入, -1dBFS 交流信号输入, 0dB 通道增益                                  |                     | -100       |                     | dB                  |
| <b>DAC 通道其他参数</b> |   |  |                     |            |                     |                     |
|                   | 输出偏移                                    | 0 输入, 差分线路输出   |                     | $\pm 0.5$  |                     | mV                  |
|                   | 输出共模                                    | OUTxP 和 OUTxM 的共模电平 $AVDD=1.8\text{V}$ (寄存器可配置)                        |                     | 0.9        |                     | V                   |
|                   |   | OUTxP 和 OUTxM 的共模电平 $AVDD = 3.3\text{V}$ (寄存器可配置)                      |                     | 1.65       |                     |                     |
|                   | 共模误差                                    | 共模电压下的直流误差   |                     | $\pm 20$   |                     | mV                  |
|                   | 输出信号带宽                                  | 高达 192KSPS FS 速率   |                     | 0.46       |                     | FS                  |
|                   |   | >192KSPS   |                     | 90         |                     | kHz                 |
|                   | 输入数据采样速率                                | 可编程  | 4                   |            | 768                 | kHz                 |
|                   | 输入数据样本字长                                | 可编程  | 16                  |            | 32                  | 位                   |
|                   | 数字高通滤波器截止频率                             | 具有可编程系数的一阶 IIR 滤波器, -3dB 点 (默认设置)                                      |                     | 1          |                     | Hz                  |
|                   | 通道间隔离                                   | 差分输出, 非测量通道上的 -1dBFS 输入信号  |                     | -120       |                     | dB                  |
|                   | 增益误差                                    | 差分输出, -6dBFS 输入信号  |                     | $\pm 0.1$  |                     | dB                  |
|                   | 通道间增益不匹配                                | 差分输出, -6dBFS 输入信号  |                     | $\pm 0.1$  |                     | dB                  |
|                   | 通道间相位不匹配                                | 差分输出, -6dBFS 输入信号  |                     | $\pm 0.01$ |                     | 度                   |
| PSRR              | 电源抑制比                                   | 100mV <sub>PP</sub> , $AVDD$ 上 1kHz 正弦信号, 差分输出, 0dB 通道增益               |                     | 110        |                     | dB                  |
|                   | 静音衰减                                    |  |                     | -130       |                     | dB                  |
| $P_{out}$         | 输出电力输送                                  | 单端/伪差分, 耳机 $R_L=16\Omega$ , $THD+N<0.1\%$                              |                     | 62.5       |                     | mW                  |
| <b>麦克风偏置</b>      |   |  |                     |            |                     |                     |
|                   | MICBIAS 噪声                              | 带宽 = 20Hz 至 20kHz, A 加权, MICBIAS 和 VSS (散热焊盘) 之间连接 $1\mu\text{F}$ 电容器  |                     | 2          |                     | $\mu\text{V}_{RMS}$ |
|                   | MICBIAS 电压                              | 旁路至 $AVDD$   |                     | $AVDD$     |                     | V                   |
|                   |   | $AVDD = 1.8\text{V}$   |                     | 1.375      |                     | V                   |
|                   |   | $AVDD = 3.3\text{V}$   |                     | 2.75       |                     | V                   |
| <b>数字 I/O</b>     |   |  |                     |            |                     |                     |
| $V_{IL}$          | 低电平数字输入逻辑电压阈值                           | 除 SDA 和 SCL 以外的所有数字引脚, $IOVDD$ 1.8V 或 1.2V 运行                          | -0.3                |            | $0.35 \times IOVDD$ | V                   |
|                   |   | 除 SDA 和 SCL 以外的所有数字引脚, $IOVDD$ 3.3V 运行                                 | -0.3                |            | 0.8                 |                     |
| $V_{IH}$          | 高电平数字输入逻辑电压阈值                           | 除 SDA 和 SCL 以外的所有数字引脚, $IOVDD$ 1.8V 或 1.2V 运行                          | $0.65 \times IOVDD$ |            | $IOVDD + 0.3$       | V                   |
|                   |   | 除 SDA 和 SCL 以外的所有数字引脚, $IOVDD$ 3.3V 运行                                 | 2                   |            | $IOVDD + 0.3$       |                     |
| $V_{OL}$          | 低电平数字输出电压                               | 除 SDA 和 SCL 以外的所有数字引脚, $I_{OL} = -2\text{mA}$ , $IOVDD$ 1.8V 或 1.2V 运行 |                     |            | 0.45                | V                   |
|                   |   | 除 SDA 和 SCL 以外的所有数字引脚, $I_{OL} = -2\text{mA}$ , $IOVDD$ 3.3V 运行        |                     |            | 0.4                 |                     |

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 目标模式、PLL 开启、通道增益 = 0dB、线性相位内插滤波器， $1200\Omega/600\Omega$  线路输出负载（差分/单端配置）或  $32\Omega/16\Omega$  接收器/耳机负载（如适用），MICBIAS 编程为 VREF 和其他默认配置；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

| 参数              |   | 测试条件   | 最小值                       | 标称值  | 最大值                       | 单位               |
|-----------------|---|--|---------------------------|------|---------------------------|------------------|
| $V_{OH}$        | 高电平数字输出电压   | 除 SDA 和 SCL 以外的所有数字引脚， $I_{OH} = 2\text{mA}$ ，IOVDD 1.8V 或 1.2V 运行 | IOVDD - 0.45              |      |                           | V                |
|                 |   | 除 SDA 和 SCL 以外的所有数字引脚， $I_{OH} = 2\text{mA}$ ，IOVDD 3.3V 运行        | 2.4                       |      |                           |                  |
| $V_{IL(I2C)}$   | 低电平数字输入逻辑电压阈值   | SDA 和 SCL  | -0.5                      |      | $0.3 \times \text{IOVDD}$ | V                |
| $V_{IH(I2C)}$   | 高电平数字输入逻辑电压阈值   | SDA 和 SCL  | $0.7 \times \text{IOVDD}$ |      | IOVDD + 0.5               | V                |
| $V_{OL1(I2C)}$  | 低电平数字输出电压   | SDA， $I_{OL(I2C)} = -3\text{mA}$ ，IOVDD 3.3V 运行                    |                           |      | 0.4                       | V                |
| $V_{OL2(I2C)}$  | 低电平数字输出电压   | SDA， $I_{OL(I2C)} = -2\text{mA}$ ，IOVDD = 1.8V 或 1.2V 运行           |                           |      | $0.2 \times \text{IOVDD}$ | V                |
| $I_{OL(I2C)}$   | 低电平数字输出电流   | SDA， $V_{OL(I2C)} = 0.4\text{V}$ ，标准模式或快速模式                        | 3                         |      |                           | mA               |
|                 |   | SDA， $V_{OL(I2C)} = 0.4\text{V}$ ，快速+ 模式                           | 20                        |      |                           |                  |
| $I_{IL}$        | 数字输入的输入逻辑低电平漏电流   | 所有数字引脚，输入 = 0V   | -5                        | 0.1  | 5                         | $\mu\text{A}$    |
| $I_{IH}$        | 数字输入的输入逻辑高电平漏电流   | 所有数字引脚，输入 = IOVDD  | -5                        | 0.1  | 5                         | $\mu\text{A}$    |
| $C_{IN}$        | 数字输入的输入电容   | 所有数字引脚   |                           | 5    |                           | pF               |
| $R_{PD}$        | 置位时数字 I/O 引脚的下拉电阻   |  |                           | 20   |                           | $\text{k}\Omega$ |
| <b>典型电源电流消耗</b> |   |  |                           |      |                           |                  |
| $I_{AVDD}$      | 睡眠模式（软件关断模式）下的电流消耗  | 所有器件外部时钟停止   |                           | 9    |                           | $\mu\text{A}$    |
| $I_{IOVDD}$     |   |  | 1                         |      |                           |                  |
| $I_{AVDD}$      | MICBIAS 开启、5mA 负载、无录音/回放时的电流消耗  | $f_S = 48\text{kHz}$ ， $BCLK = 256 \times f_S$                     |                           | 1.5  |                           | mA               |
| $I_{IOVDD}$     |   |  | 0.02                      |      |                           |                  |
| $I_{AVDD}$      | DAC 至耳机 2 通道在 MICBIAS 关闭、PLL 开启的情况下运行时的电流消耗   | $f_S = 16\text{kHz}$ ， $BCLK = 512 \times f_S$                     |                           | 17.9 |                           | mA               |
| $I_{IOVDD}$     |   |  | 0.02                      |      |                           |                  |
| $I_{AVDD}$      | DAC 至耳机 2 通道在 MICBIAS 关闭、PLL 关闭的情况下运行时的电流消耗   | $f_S = 48\text{kHz}$ ， $BCLK = 512 \times f_S$                     |                           | 15.2 |                           | mA               |
| $I_{IOVDD}$     |   |  | 0.04                      |      |                           |                  |
| $I_{AVDD}$      | Power Tune 模式 <sup>(3)</sup> ：DAC 至线路输出 2 通道在 MICBIAS 关闭、PLL 关闭的情况下单端运行时的电流消耗，AVDD=1.8V | $f_S = 48\text{kHz}$ ， $BCLK = 128 \times f_S$                     |                           | 5.5  |                           | mA               |
| $I_{AVDD}$      | Power Tune 模式 <sup>(3)</sup> ：DAC 至线路输出 2 通道在 MICBIAS 关闭、PLL 开启的情况下运行时的电流消耗             | $f_S = 48\text{kHz}$ ， $BCLK = 512 \times f_S$                     |                           | 9.2  |                           | mA               |
| $I_{IOVDD}$     |   |  | 0.04                      |      |                           |                  |

- 在 1kHz 满量程正弦波输入时的输出电平与无发生器信号输入且输入对地短路时的输出电平之比，测量时使用了 A 加权滤波器，在 20Hz 至 20kHz 的带宽范围内使用音频分析仪测量。
- 所有性能测量均使用 20kHz 低通滤波器以及 A 加权滤波器（如注明）完成。如果不使用此类滤波器，会导致比“电气特性”中所示更高的 THD+N 以及更低的 SNR 与动态范围读数。低通滤波器可消除带外噪声，尽管这种噪声不可闻，但会影响动态规格值。

(3) 对于 Power Tune 模式，PWR\_TUNE\_CFG0 = 0xD4、PWR\_TUNE\_CFG1 = 0x96 且 PLL\_DIS = 1'b1

## 5.6 时序要求：I<sup>2</sup>C 接口

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V、或者 1.8V 或 1.2V 时（除非另有说明）；有关时序图，请参阅图 5-1。正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。

|                     |  | 最小值  | 标称值                              | 最大值  | 单位            |
|---------------------|--|------|----------------------------------|------|---------------|
| <b>标准模式</b>         |  |      |                                  |      |               |
| $f_{\text{SCL}}$    | SCL 时钟频率                               | 0    |                                  | 100  | kHz           |
| $t_{\text{HD,STA}}$ | (重复) START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲。 | 4    |                                  |      | $\mu\text{s}$ |
| $t_{\text{LOW}}$    | SCL 时钟的低电平周期                           | 4.7  |                                  |      | $\mu\text{s}$ |
| $t_{\text{HIGH}}$   | SCL 时钟的高电平周期                           | 4    |                                  |      | $\mu\text{s}$ |
| $t_{\text{SU,STA}}$ | 重复 START 条件的建立时间                       | 4.7  |                                  |      | $\mu\text{s}$ |
| $t_{\text{HD,DAT}}$ | 数据保持时间                                 | 0    |                                  | 3.45 | $\mu\text{s}$ |
| $t_{\text{SU,DAT}}$ | 数据建立时间                                 | 250  |                                  |      | ns            |
| $t_r$               | SDA 和 SCL 上升时间                         |      |                                  | 1000 | ns            |
| $t_f$               | SDA 和 SCL 下降时间                         |      |                                  | 300  | ns            |
| $t_{\text{SU,STO}}$ | STOP 条件的建立时间                           | 4    |                                  |      | $\mu\text{s}$ |
| $t_{\text{BUF}}$    | STOP 与 START 条件之间的总线空闲时间               | 4.7  |                                  |      | $\mu\text{s}$ |
| <b>快速模式</b>         |  |      |                                  |      |               |
| $f_{\text{SCL}}$    | SCL 时钟频率                               | 0    |                                  | 400  | kHz           |
| $t_{\text{HD,STA}}$ | (重复) START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲。 | 0.6  |                                  |      | $\mu\text{s}$ |
| $t_{\text{LOW}}$    | SCL 时钟的低电平周期                           | 1.3  |                                  |      | $\mu\text{s}$ |
| $t_{\text{HIGH}}$   | SCL 时钟的高电平周期                           | 0.6  |                                  |      | $\mu\text{s}$ |
| $t_{\text{SU,STA}}$ | 重复 START 条件的建立时间                       | 0.6  |                                  |      | $\mu\text{s}$ |
| $t_{\text{HD,DAT}}$ | 数据保持时间                                 | 0    |                                  | 0.9  | $\mu\text{s}$ |
| $t_{\text{SU,DAT}}$ | 数据建立时间                                 | 100  |                                  |      | ns            |
| $t_r$               | SDA 和 SCL 上升时间                         | 20   |                                  | 300  | ns            |
| $t_f$               | SDA 和 SCL 下降时间                         |      | $20 \times$<br>(IOVDD /<br>5.5V) | 300  | ns            |
| $t_{\text{SU,STO}}$ | STOP 条件的建立时间                           | 0.6  |                                  |      | $\mu\text{s}$ |
| $t_{\text{BUF}}$    | STOP 与 START 条件之间的总线空闲时间               | 1.3  |                                  |      | $\mu\text{s}$ |
| <b>超快速模式</b>        |  |      |                                  |      |               |
| $f_{\text{SCL}}$    | SCL 时钟频率                               | 0    |                                  | 1000 | kHz           |
| $t_{\text{HD,STA}}$ | (重复) START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲。 | 0.26 |                                  |      | $\mu\text{s}$ |
| $t_{\text{LOW}}$    | SCL 时钟的低电平周期                           | 0.5  |                                  |      | $\mu\text{s}$ |
| $t_{\text{HIGH}}$   | SCL 时钟的高电平周期                           | 0.26 |                                  |      | $\mu\text{s}$ |
| $t_{\text{SU,STA}}$ | 重复 START 条件的建立时间                       | 0.26 |                                  |      | $\mu\text{s}$ |
| $t_{\text{HD,DAT}}$ | 数据保持时间                                 | 0    |                                  |      | $\mu\text{s}$ |
| $t_{\text{SU,DAT}}$ | 数据建立时间                                 | 50   |                                  |      | ns            |
| $t_r$               | SDA 和 SCL 上升时间                         |      |                                  | 120  | ns            |
| $t_f$               | SDA 和 SCL 下降时间                         |      | $20 \times$<br>(IOVDD /<br>5.5V) | 120  | ns            |
| $t_{\text{SU,STO}}$ | STOP 条件的建立时间                           | 0.26 |                                  |      | $\mu\text{s}$ |
| $t_{\text{BUF}}$    | STOP 与 START 条件之间的总线空闲时间               | 0.5  |                                  |      | $\mu\text{s}$ |

## 5.7 开关特性：I<sup>2</sup>C 接口

T<sub>A</sub> = 25°C、IOVDD = 3.3V、或者 1.8V 或 1.2V 时 (除非另有说明)；有关时序图，请参阅图 5-1。正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。

| 参数                   |              | 测试条件  | 最小值 | 典型值 | 最大值  | 单位 |
|----------------------|--------------|-------|-----|-----|------|----|
| t <sub>d</sub> (SDA) | SCL 至 SDA 延迟 | 标准模式  | 200 |     | 1250 | ns |
|                      |              | 快速模式  | 200 |     | 850  | ns |
|                      |              | 超快速模式 |     |     | 400  | ns |

## 5.8 时序要求：SPI 接口

T<sub>A</sub> = 25°C、IOVDD = 3.3V 或 1.8V 或 1.2V 且所有输出端均具有 20pF 负载 (除非另有说明)；有关时序图，请参阅图 5-2。正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。

| 参数                      |                | 测试条件           | 最小值 | 标称值 | 最大值 | 单位 |
|-------------------------|----------------|----------------|-----|-----|-----|----|
| t <sub>(SCLK)</sub>     | SCLK 周期        |                | 40  |     |     | ns |
| t <sub>H</sub> (SCLK)   | SCLK 高电平脉冲持续时间 |                | 18  |     |     | ns |
| t <sub>L</sub> (SCLK)   | SCLK 低电平脉冲持续时间 |                | 18  |     |     | ns |
| t <sub>LEAD</sub>       | 启用超前时间         |                | 16  |     |     | ns |
| t <sub>TRAIL</sub>      | 启用跟踪时间         |                | 16  |     |     | ns |
| t <sub>DSEQ</sub>       | 顺序传输延迟         |                | 20  |     |     | ns |
| t <sub>SU</sub> (PICO)  | PICO 数据设置时间    |                | 8   |     |     | ns |
| t <sub>HLD</sub> (PICO) | PICO 数据保持时间    |                | 8   |     |     | ns |
| t <sub>r</sub> (SCLK)   | SCLK 上升时间      | 10% 至 90% 上升时间 |     |     | 6   | ns |
| t <sub>f</sub> (SCLK)   | SCLK 下降时间      | 90% 至 10% 下降时间 |     |     | 6   | ns |

## 5.9 开关特性：SPI 接口

T<sub>A</sub> = 25°C、IOVDD = 3.3V 或 1.8V 或 1.2V 且所有输出端均具有 20pF 负载 (除非另有说明)；有关时序图，请参阅图 5-2。正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。

| 参数                      |                | 测试条件                                     | 最小值 | 典型值 | 最大值 | 单位 |
|-------------------------|----------------|--|-----|-----|-----|----|
| t <sub>a</sub> (POCI)   | POCI 访问时间      | IOVDD = 1.2V                             |     |     | 18  | ns |
|                         |                | IOVDD = 1.8V                             |     |     | 18  | ns |
|                         |                | IOVDD = 3.3V                             |     |     | 14  | ns |
| t <sub>d</sub> (POCI)   | SCLK 至 POCI 延迟 | SCLK 的 50% 至 POCI 的 50%，<br>IOVDD = 1.2V |     |     | 19  | ns |
|                         |                | SCLK 的 50% 至 POCI 的 50%，<br>IOVDD = 1.8V |     |     | 19  | ns |
|                         |                | SCLK 的 50% 至 POCI 的 50%，<br>IOVDD = 3.3V |     |     | 15  | ns |
| t <sub>dis</sub> (POCI) | POCI 禁用时间      | IOVDD = 1.2V                             |     |     | 18  | ns |
|                         |                | IOVDD = 1.8V                             |     |     | 18  | ns |
|                         |                | IOVDD = 3.3V                             |     |     | 14  | ns |

## 5.10 时序要求：TDM、I<sup>2</sup>S 或 LJ 接口

T<sub>A</sub> = 25°C、IOVDD = 3.3V 或 1.8V 或 1.2V 且所有输出端均具有 20pF 负载 (除非另有说明)；有关时序图，请参阅图 5-3。正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。

| 参数                      |                               | 测试条件 | 最小值 | 标称值 | 最大值 | 单位 |
|-------------------------|-------------------------------|------|-----|-----|-----|----|
| t <sub>(BCLK)</sub>     | BCLK 周期                       |      | 40  |     |     | ns |
| t <sub>H</sub> (BCLK)   | BCLK 高电平脉冲持续时间 <sup>(1)</sup> |      | 18  |     |     | ns |
| t <sub>L</sub> (BCLK)   | BCLK 低电平脉冲持续时间 <sup>(1)</sup> |      | 18  |     |     | ns |
| t <sub>SU</sub> (FSYNC) | FSYNC 设置时间                    |      | 8   |     |     | ns |

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V 或 1.8V 或 1.2V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 5-3。正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。

|                                |            | 最小值            | 标称值 | 最大值 | 单位 |
|--------------------------------|------------|----------------|-----|-----|----|
| $t_{\text{HLD}}(\text{FSYNC})$ | FSYNC 保持时间 | 8              |     |     | ns |
| $t_{\text{SU}}(\text{DIN})$    | DIN 设置时间   | 8              |     |     | ns |
| $t_{\text{HLD}}(\text{DIN})$   | DIN 保持时间   | 8              |     |     | ns |
| $t_{\text{r}}(\text{BCLK})$    | BCLK 上升时间  | 10% 至 90% 上升时间 |     | 10  | ns |
| $t_{\text{f}}(\text{BCLK})$    | BCLK 下降时间  | 90% 至 10% 下降时间 |     | 10  | ns |

- (1) 为了满足时序规格，如果 DOUT 数据线锁存在与器件用于传输 DOUT 数据的 BCLK 边沿极性相反的 BCLK 边沿极性上，则 BCLK 最高电平或低电平脉冲持续时间必须大于 25ns。

### 5.11 开关特性：TDM、I<sup>2</sup>S 或 LJ 接口

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V 或 1.8V 或 1.2V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 5-3。正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。

| 参数                                |  | 测试条件                                  | 最小值 | 典型值 | 最大值    | 单位  |
|-----------------------------------|--|---------------------------------------|-----|-----|--------|-----|
| $t_{\text{d}}(\text{DOUT-BCLK})$  | BCLK 至 DOUT 延迟   | BCLK 的 50% 至 DOUT 的 50%，IOVDD = 1.2V  |     |     | 18     | ns  |
|                                   |  | BCLK 的 50% 至 DOUT 的 50%，IOVDD = 1.8V  |     |     | 18     |     |
|                                   |  | BCLK 的 50% 至 DOUT 的 50%，IOVDD = 3.3V  |     |     | 14     |     |
| $t_{\text{d}}(\text{DOUT-FSYNC})$ | TDM 或 LJ 模式下的 FSYNC 到 DOUT 延迟（对于 TX_OFFSET = 0 的 MSB 数据） | FSYNC 的 50% 至 DOUT 的 50%，IOVDD = 1.2V |     |     | 18     | ns  |
|                                   |  | FSYNC 的 50% 至 DOUT 的 50%，IOVDD = 1.8V |     |     | 18     |     |
|                                   |  | FSYNC 的 50% 至 DOUT 的 50%，IOVDD = 3.3V |     |     | 14     |     |
| $f_{\text{BCLK}}$                 | BCLK 输出时钟频率；控制器模式 (1)                                    |                                       |     |     | 24.576 | MHz |
| $t_{\text{H}}(\text{BCLK})$       | BCLK 高电平脉冲持续时间；控制器模式                                     | IOVDD = 1.2V                          | 14  |     |        | ns  |
|                                   |  | IOVDD = 1.8V                          | 14  |     |        |     |
|                                   |  | IOVDD = 3.3V                          | 14  |     |        |     |
| $t_{\text{L}}(\text{BCLK})$       | BCLK 低电平脉冲持续时间；控制器模式                                     | IOVDD = 1.2V                          | 14  |     |        | ns  |
|                                   |  | IOVDD = 1.8V                          | 14  |     |        |     |
|                                   |  | IOVDD = 3.3V                          | 14  |     |        |     |
| $t_{\text{d}}(\text{FSYNC})$      | BCLK 至 FSYNC 延迟；控制器模式                                    | BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 1.2V |     |     | 18     | ns  |
|                                   |  | BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 1.8V |     |     | 18     |     |
|                                   |  | BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 3.3V |     |     | 14     |     |
| $t_{\text{r}}(\text{BCLK})$       | BCLK 上升时间；控制器模式  | 10% - 90% 上升时间，IOVDD = 1.2V           |     |     | 10     | ns  |
|                                   |  | 10% - 90% 上升时间，IOVDD = 1.8V           |     |     | 10     |     |
|                                   |  | 10% - 90% 上升时间，IOVDD = 3.3V           |     |     | 10     |     |

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V 或 1.8V 或 1.2V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 5-3。  
正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。

| 参数                   | 测试条件            | 最小值                         | 典型值 | 最大值 | 单位 |
|----------------------|-----------------|-----------------------------|-----|-----|----|
| $t_{f(\text{BCLK})}$ | BCLK 下降时间；控制器模式 | 90% - 10% 下降时间，IOVDD = 1.2V |     | 8   | ns |
|                      |                 | 90% - 10% 下降时间，IOVDD = 1.8V |     | 8   |    |
|                      |                 | 90% - 10% 下降时间，IOVDD = 3.3V |     | 8   |    |

(1) 为了满足时序规格，如果 DOUT 数据线锁存在与器件用于传输 DOUT 数据的 BCLK 边沿极性相反的 BCLK 边沿极性上，则 BCLK 输出时钟频率必须低于 18.5MHz。

### 5.12 时序要求：PDM 数字麦克风接口

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V 或者 1.8V 或 1.2V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 5-4。正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。有关更多详细信息，请参阅第 8.3 节。

| 参数                                | 测试条件          | 最小值 | 标称值 | 最大值 | 单位 |
|-----------------------------------|---------------|-----|-----|-----|----|
| $t_{\text{SU}}(\text{PDM DINx})$  | PDM DINx 建立时间 | 30  |     |     | ns |
| $t_{\text{HLD}}(\text{PDM DINx})$ | PDM DINx 保持时间 | 0   |     |     | ns |

### 5.13 开关特性：PDM 数字麦克风接口

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V 或者 1.8V 或 1.2V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 5-4。正确设置 IOVDD\_IO\_MODE 位以实现 IOVDD 1.8V 和 1.2V 运行。请参阅第 8.3 节以了解更多详细信息。

| 参数                             | 测试条件              | 最小值            | 典型值 | 最大值   | 单位  |
|--------------------------------|-------------------|----------------|-----|-------|-----|
| $f_{\text{f}}(\text{PDM CLK})$ | PDM CLK 时钟频率      | 0.768          |     | 6.144 | MHz |
| $t_{\text{H}}(\text{PDM CLK})$ | PDM CLK 高电平脉冲持续时间 | 72             |     |       | ns  |
| $t_{\text{L}}(\text{PDM CLK})$ | PDM CLK 低电平脉冲持续时间 | 72             |     |       | ns  |
| $t_{\text{r}}(\text{PDM CLK})$ | PDM CLK 上升时间      | 10% 至 90% 上升时间 |     | 18    | ns  |
| $t_{\text{f}}(\text{PDM CLK})$ | PDM CLK 下降时间      | 90% 至 10% 下降时间 |     | 18    | ns  |

### 5.14 时序图

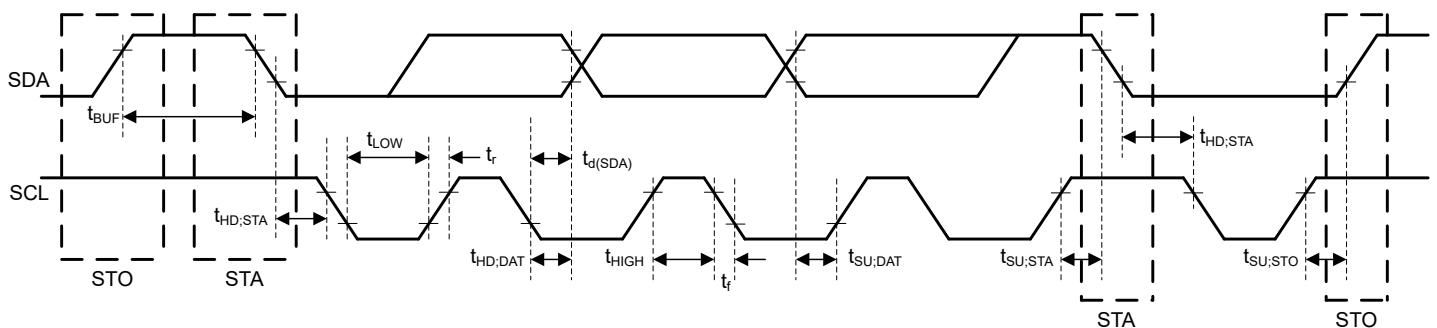


图 5-1. I<sup>2</sup>C 接口时序图

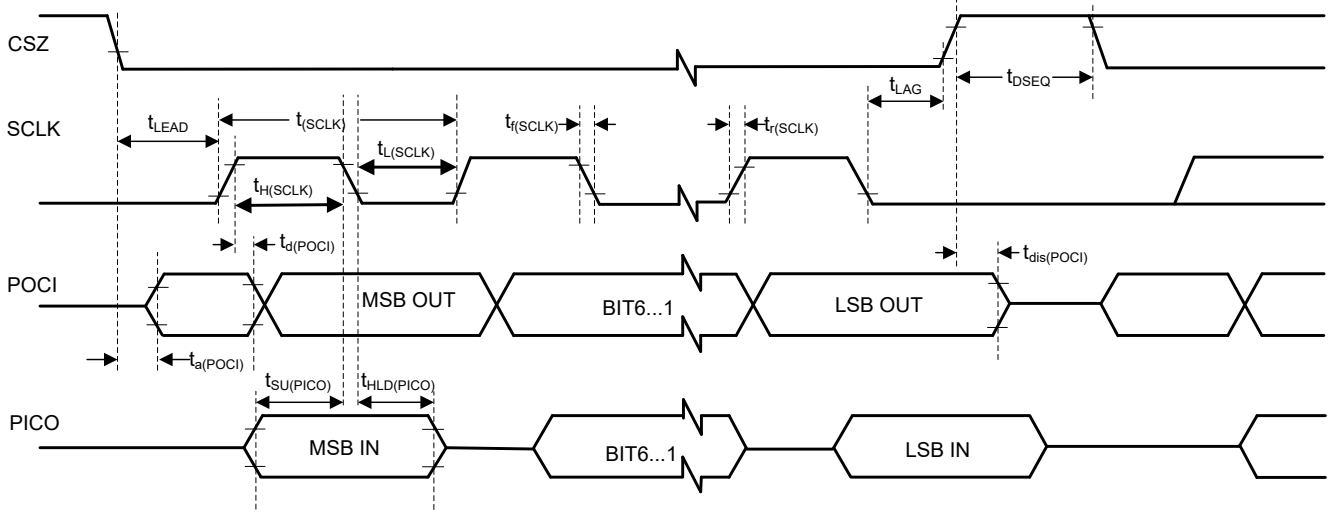


图 5-2. SPI 接口时序图

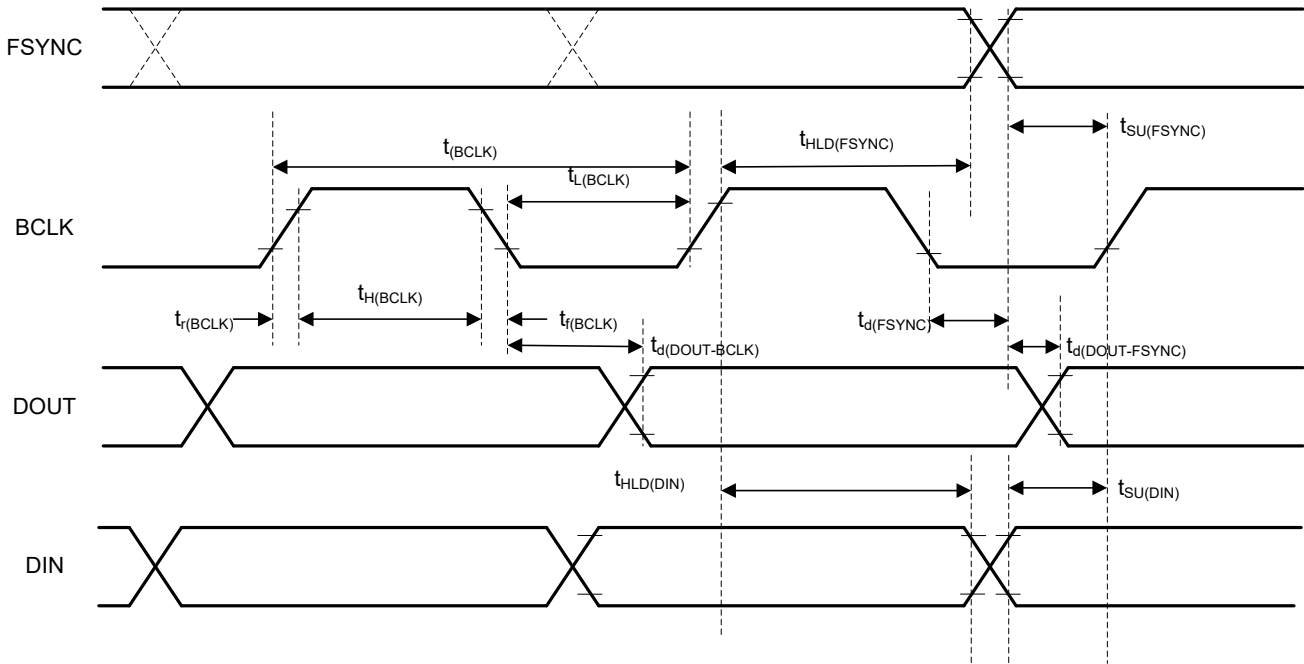


图 5-3. TDM (其中 BCLK\_POL = 1)、I<sup>2</sup>S 和 LJ 接口时序图



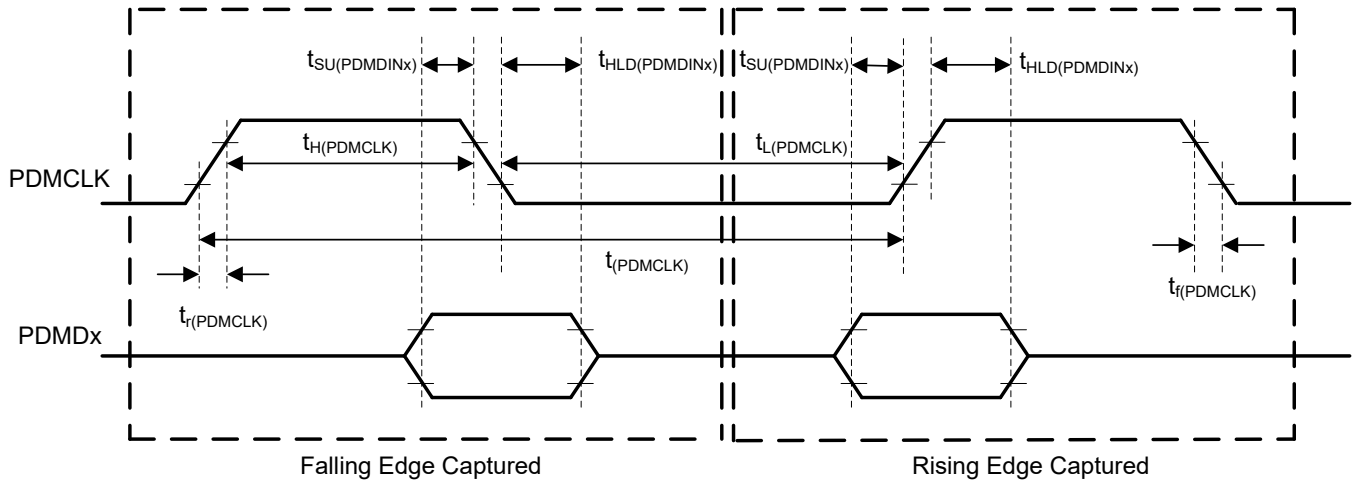
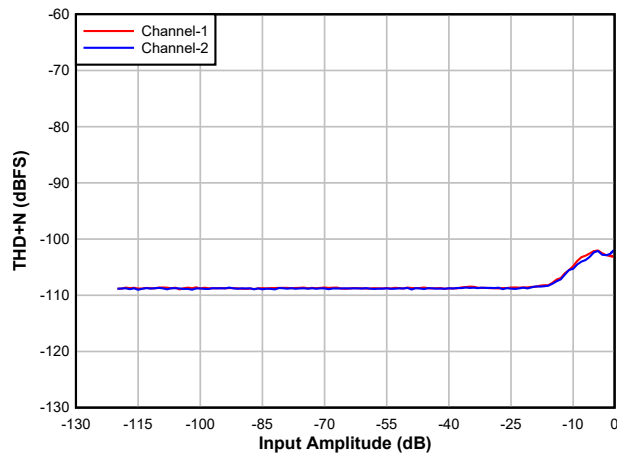


图 5-4. PDM 数字麦克风接口时序图

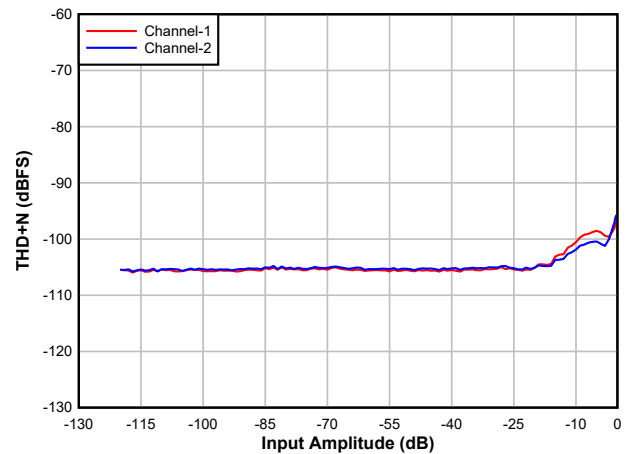
## 5.15 典型特性

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 目标模式、PLL 开启、通道增益 = 0dB、线性相位内插滤波器， $1200\ \Omega/600\ \Omega$  线路输出负载（差分/单端配置）或  $32\ \Omega/16\ \Omega$  接收器/耳机负载（如适用），以及其他默认配置；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）



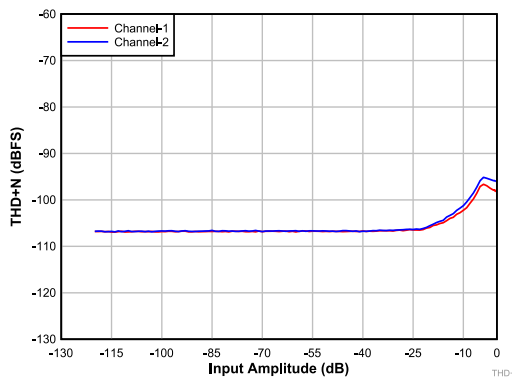
差分输出

图 5-5. DAC THD + N 级别与输入间的关系



单端输出

图 5-6. DAC THD+N 级别与输入间的关系



伪差分输出

图 5-7. DAC THD+N 级别与输入间的关系

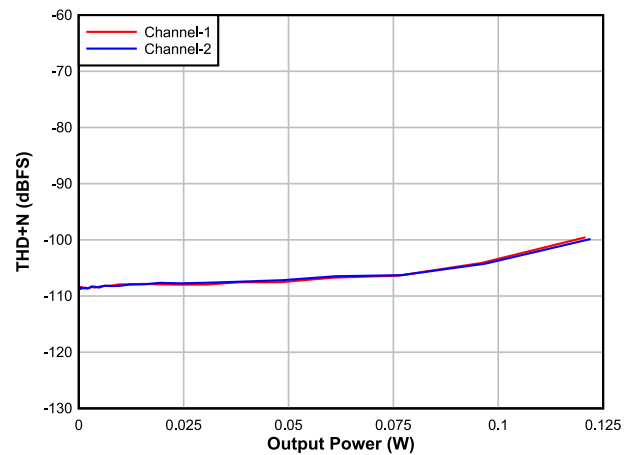
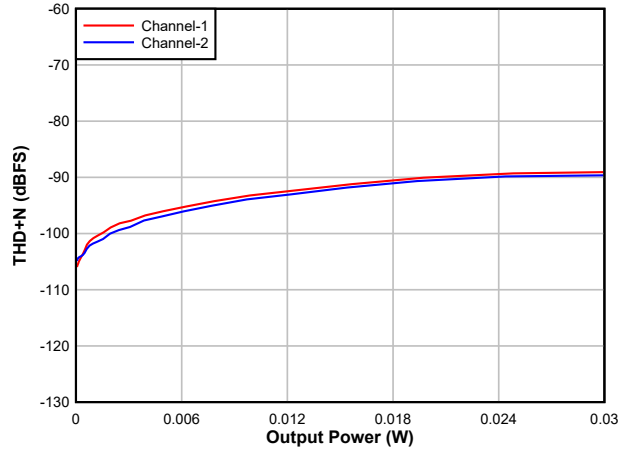
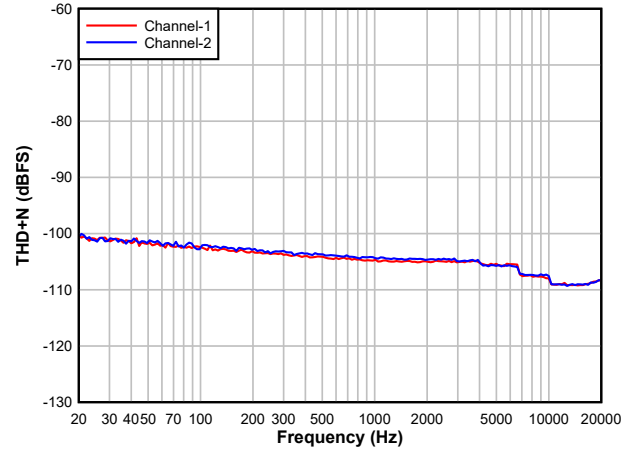
差分接收器输出， $32\ \Omega$  负载

图 5-8. DAC THD+N 级别与输出功率间的关系



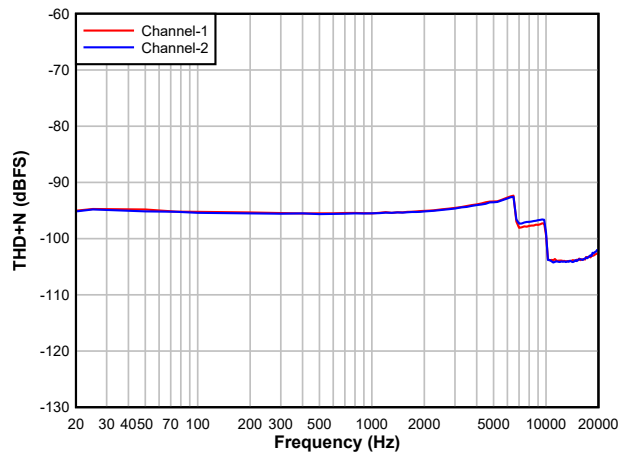
伪差分输出, 32 Ω 耳机负载

图 5-9. DAC THD+N 级别与输出功率间的关系



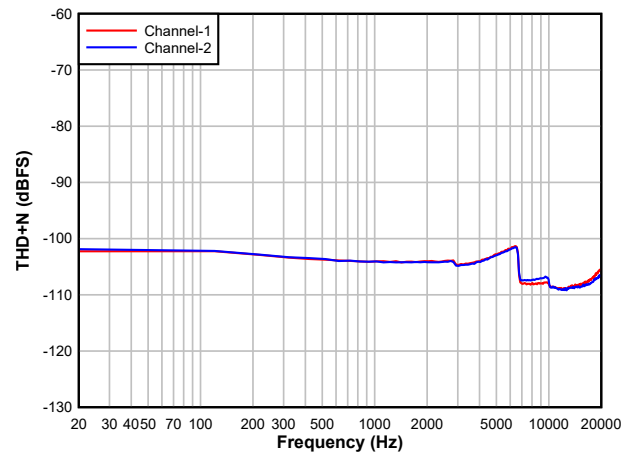
差分输出 (-1dBFS 输入)

图 5-10. DAC THD+N 级别与频率间的关系



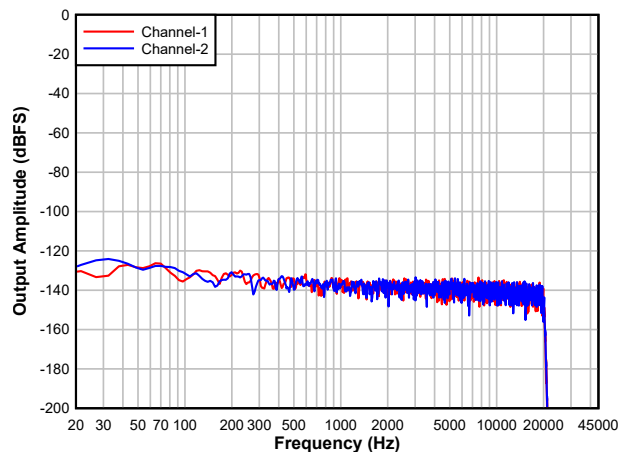
单端输出 (-1dBFS 输入)

图 5-11. DAC THD+N 级别与频率间的关系



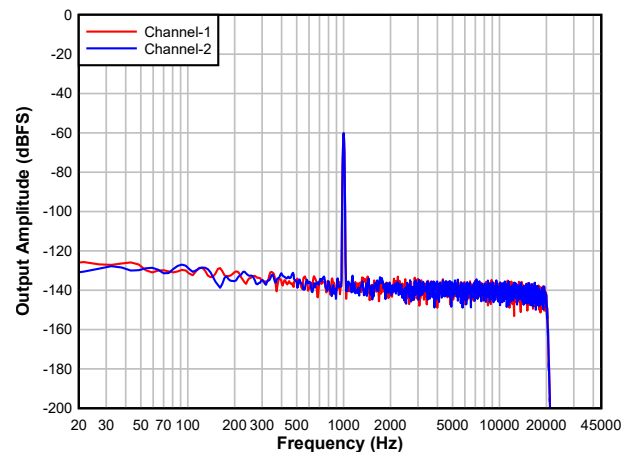
差分接收器输出, 32 Ω 负载 (-1dBFS 输入)

图 5-12. DAC THD+N 级别与频率间的关系



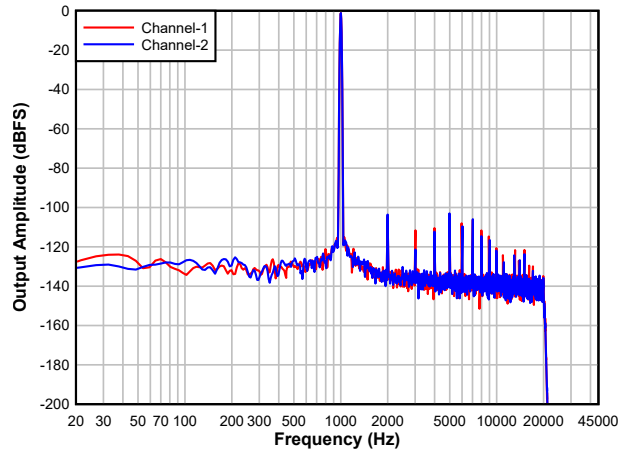
差分输出

图 5-13. 具有空闲通道输入的 DAC FFT



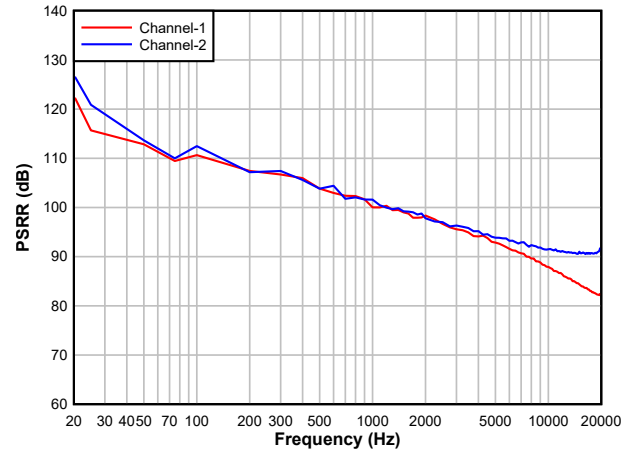
差分输出

图 5-14. 具有-60dBFS 输入的 DAC FFT



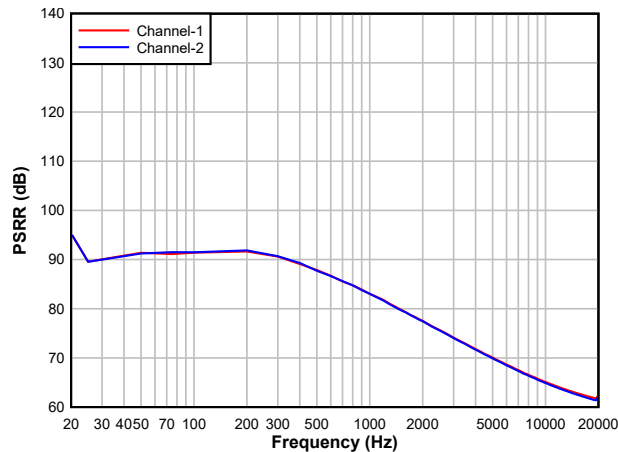
差分输出

图 5-15. 具有-1dBFS 输入的 DAC FFT



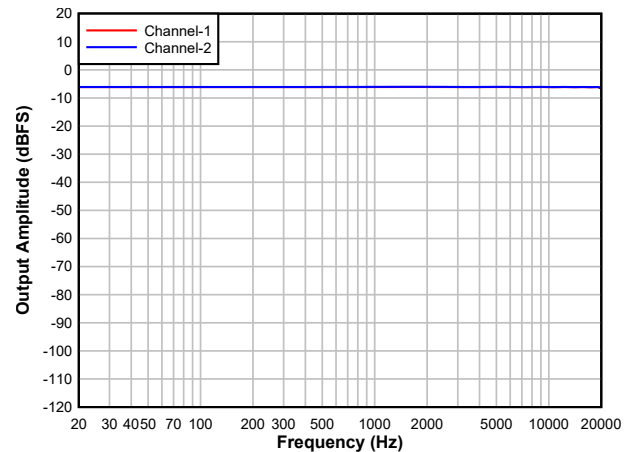
差分输出

图 5-16. DAC PSRR 与频率间的关系



单端输出

图 5-17. DAC PSRR 与频率间的关系



差分输出，-6dBFS 输入，禁用高通滤波器 (HPF)

图 5-18. DAC 频率响应

## 6 详细说明

### 6.1 概述

TAD5112 是可扩展音频转换器器件系列中的一员。作为器件扩展系列的一部分，TAD5112 由低功耗、灵活立体声差分 and 四路单端音频数模转换器 (DAC) 组成，集成了多项功能。此器件适用于广阔市场应用，例如家庭影院和娱乐扬声器、AV 接收器、便携式音频设备、专业音频和多媒体应用。此器件集成了大量特性，可在空间受限的系统设计中降低成本、减小布板空间和功耗。扩展系列中的封装、性能和器件兼容的配置寄存器使得该器件非常适合可扩展系统设计。

TAD5112 包含以下模块：

- 4 通道、多位、高性能  $\Delta$ - $\Sigma$  DAC
- 可配置单端、差分或伪差分音频输出
- 高级热折返和保护
- 高级电池保护和失真限制器
- 低噪声可编程麦克风偏置输出
- 配备高性能抽取滤波器的最高 4 脉冲密度调制 (PDM) 数字麦克风接口
- 具有线性相位、低延迟和超低延迟响应选项的可编程抽取和内插滤波器
- 适用于每个录音和回放通道的可编程通道增益、音量控制和双二阶滤波器
- 每个录音通道都具有分辨率超高的可编程相位和增益校准
- 用于录音和回放通道的可编程高通滤波器 (HPF) 和数字通道混频器
- PDM 录音通道的自动增益控制器 (AGC) 和 DAC 回放通道的动态范围控制器 (DRC)
- 具有独立采样速率 (同步) 的双 I<sup>2</sup>S 或 TDM 接口
- 同步采样速率转换器 (SRC)
- 支持多种系统时钟的集成低抖动锁相环 (PLL)
- 集成数字和模拟稳压器，用于支持单电源运行

使用 I2C 和 SPI 接口与 TAD5112 进行通信以配置控制寄存器。该器件支持高度灵活的音频串行接口【时分多路复用 (TDM)、I2S 或左对齐 (LJ)】，以在系统中各个器件之间无缝传输音频数据。

通过在器件之间共享公共 TDM 总线，TAD5112 可以支持多个器件。此外，该器件还包含菊花链功能。在需要高音频数据带宽的应用中运行多个器件，此时，这些特性可以降低共享 TDM 总线时序要求和电路板设计复杂性。列出本文档中使用的、用于控制器件的寄存器的参考缩写。

表 6-1 列出了本文档中用于控制器件的寄存器的参考缩写。

**表 6-1. 寄存器引用缩写**

| 基准              | 缩写           | 说明                       | 示例                               |
|-----------------|--------------|--------------------------|----------------------------------|
| 页 y，寄存器 z，位 k   | Py_Rz_D[k]   | 单个数据位。寄存器中单个位的值。         | 页 1，寄存器 36，位 0 = P1_R36_D[0]     |
| 页 y，寄存器 z，位 k-m | Py_Rz_D[k:m] | 数据位的范围。数据位的范围 (含)。       | 页 1，寄存器 36，位 3-0 = P1_R36_D[3:0] |
| 页 y，寄存器 z       | Py_Rz        | 一整个寄存器。将寄存器中的全部八位用作一个单元。 | 页 1，寄存器 36 = P1_R36              |
| 页 y，寄存器 z-n     | Py_Rz-Rn     | 寄存器的范围。同一页中的一系列寄存器。      | 页 1，寄存器 36、37、38 = P1_R36-R38    |

### 6.2 功能方框图

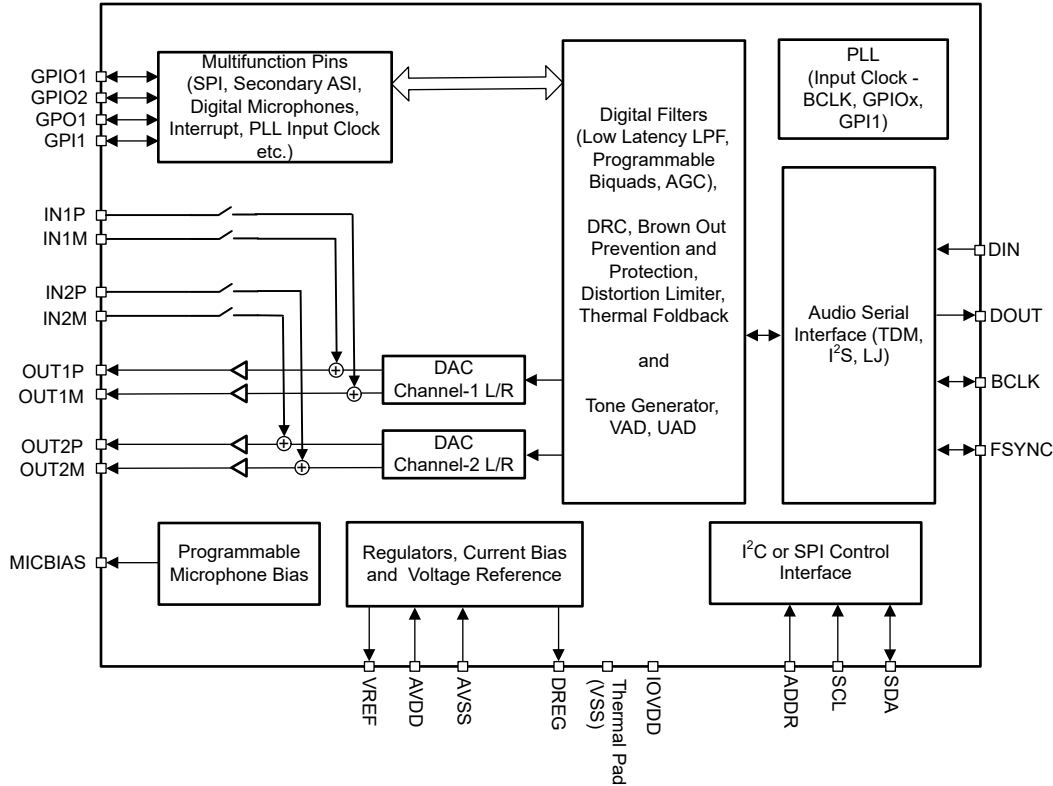


图 6-1.

## 6.3 特性说明

### 6.3.1 串行接口

该器件有两个串行接口：控制接口和音频数据接口。控制串行接口用于器件配置。音频数据串行接口用于将音频数据传输到主机器件。

#### 6.3.1.1 控制串行接口

该器件包含配置寄存器和可编程系数，这些系数可以设置为特定系统和应用用例所需的值。所有这些寄存器均可通过 I<sup>2</sup>C 或 SPI 与器件通信来进行访问。如需更多信息，请参阅 [节 7](#) 一节。

#### 6.3.1.2 音频串行接口

数字音频数据通过数字音频串行接口 (ASI) 或音频总线，在主机处理器和 TAD5112 之间流动。这个高度灵活的 ASI 总线包括用于多通道运行的 TDM 模式、I<sup>2</sup>S 或左平衡协议格式支持、可编程数据长度选项、各总线时钟线路的控制器-目标灵活配置，以及直接与系统中多个器件进行通信的能力。

TAD5112 支持最多两个 ASI 接口。辅助 ASI 时钟和数据引脚可通过设置 GPIO 来进行配置。两个 ASI 的帧同步必须保持同步。有关辅助 ASI 的更多详细信息，请参阅 [TAX5X1X 同步采样速率转换应用报告](#)。

通过使用 PASI\_FORMAT[1:0] (P0\_R26\_D[7:6]) 寄存器位，可为主要 ASI 选择总线协议 TDM、I<sup>2</sup>S 或左平衡 (LJ) 格式。如表 6-2 和表 6-3 所示，这些模式都是最高有效字节 (MSB) 优先的脉冲编码调制 (PCM) 数据格式，输出通道数据字长可以通过配置 PASI\_WLEN[1:0]、P0\_R26\_D[5:4] 寄存器位编程为 16、20、24 或 32 位。

表 6-2. 主要音频串行接口格式

| P0_R26_D[7:6] : PASI_FORMAT[1:0] | 主要音频串行接口格式                   |
|----------------------------------|------------------------------|
| 00 (默认值)                         | 时分多路复用 (TDM) 模式              |
| 01                               | IC 间音频 (I <sup>2</sup> S) 模式 |
| 10                               | 左对齐 (LJ) 模式                  |
| 11                               | 保留 (不使用此设置)                  |

表 6-3. 主要音频串行接口数据字长

| P0_R26_D[5:4] : PASI_WLEN[1:0] | 主要音频输出通道数据字长 |
|--------------------------------|--------------|
| 00                             | 数据字长设置为 16 位 |
| 01                             | 数据字长设置为 20 位 |
| 10                             | 数据字长设置为 24 位 |
| 11 (默认值)                       | 数据字长设置为 32 位 |

帧同步引脚 FSYNC 在该音频总线协议中用于定义帧的起始，并具有与输出数据采样速率相同的频率。位时钟引脚 BCLK 用于通过串行总线在时钟沿输出数字音频数据。一个帧中的位时钟周期数必须能够容纳具有编程数据字长的多个器件活动输出通道。

一个帧包含多个时分通道时隙 (最多 32 个)，以允许一个器件或共享同一音频总线的多个器件在音频总线上完成所有输入/输出通道音频数据传输。该器件支持多达八个输入通道和八个输出通道，这些通道可在主要 ASI 总线上进行配置，以便将其音频数据放在总线时隙 0 至时隙 31 上。表 6-4 列出了输出通道 1 时隙配置设置。在 I<sup>2</sup>S 和 LJ 模式下，时隙分为两组，即左通道时隙和右通道时隙，如 节 6.3.1.2.2 和 节 6.3.1.2.3 所述。

表 6-4. 输出通道 1 时隙分配设置

| P0_R30_D[4:0] : PASI_TX_CH1_SLOT[4:0] | 输出通道 1 时隙分配                                  |
|---------------------------------------|--|
| 0 0000 = 0d (默认值)                     | 时隙 0 用于 TDM，或左侧时隙 0 用于 I <sup>2</sup> S、LJ。  |
| 0 0001 = 1d                           | 时隙 1 用于 TDM，或左侧时隙 1 用于 LJ。                   |
| ...                                   | ...  |
| 0 1111 = 15d                          | 时隙 15 用于 TDM，或左侧时隙 15 用于 LJ。                 |
| 1 0000 = 32d                          | 时隙 16 用于 TDM，或右侧时隙 0 用于 I <sup>2</sup> S、LJ。 |
| ...                                   | ...  |
| 1 1110 = 30d                          | 时隙 30 用于 TDM，或右侧时隙 14 用于 LJ。                 |
| 1 1111 = 31d                          | 时隙 31 用于 TDM，或右侧时隙 15 用于 LJ。                 |

同样，可分别使用 PASI\_TX\_CH2\_SLOT\_NUM (P0\_R31\_D[4:0]) 至 PASI\_TX\_CH8\_SLOT\_NUM (P0\_R37) 寄存器完成输出通道 2 至通道 8 的时隙分配设置，以及使用 PASI\_RX\_CH1\_SLOT\_NUM (P0\_R40\_D[4:0]) 至 PASI\_RX\_CH8\_SLOT\_NUM (P0\_R47\_D[4:0]) 寄存器完成输入通道 1 至通道 8 的时隙分配设置。

时隙字长与为器件设置的主要 ASI 通道字长相同。如果所有 TAD5112 器件在系统中共用同一 ASI 总线，则必须将所有器件的输出通道数据字长设置为相同的值。系统中 ASI 总线可能的最大时隙数受限于可用总线带宽，该带宽取决于 BCLK 频率、使用的输出数据采样速率以及配置的通道数据字长。

该器件还包括一项功能，可将时隙数据传输开始相对于帧同步偏移多达 31 个位时钟周期。可以为输入和输出数据路径单独配置偏移量。表 6-5 和表 6-6 分别列出了发送路径和接收路径的可编程偏移配置设置。

**表 6-5. ASI 时隙开始发送时的可编程偏移设置**

| P0_R28_D[4:0] : PASI_TX_OFFSET[4:0] | 时隙数据传输开始的可编程偏移设置   |
|-------------------------------------|--|
| 0 0000 = 0d (默认值)                   | 该器件遵循标准协议时序，没有任何偏移。  |
| 0 0001 = 1d                         | 与标准协议时序相比，时隙开始会偏移一个 BCLK 周期。<br>对于 I <sup>2</sup> S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移一个 BCLK 周期。       |
| .....                               | .....  |
| 1 1110 = 30d                        | 与标准协议时序相比，时隙开始会偏移 30 个 BCLK 周期。<br>对于 I <sup>2</sup> S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 30 个 BCLK 周期。 |
| 1 1111 = 31d                        | 与标准协议时序相比，时隙开始会偏移 31 个 BCLK 周期。<br>对于 I <sup>2</sup> S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 31 个 BCLK 周期。 |

**表 6-6. ASI 时隙开始接收时的可编程偏移设置**

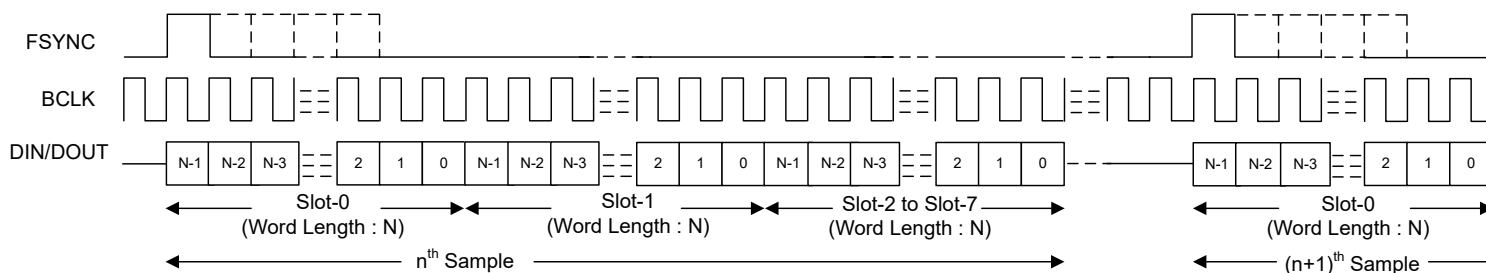
| P0_R38_D[4:0] : PASI_RX_OFFSET[4:0] | 时隙数据接收开始时的可编程偏移设置  |
|-------------------------------------|--|
| 0 0000 = 0d (默认值)                   | 该器件遵循标准协议时序，没有任何偏移。  |
| 0 0001 = 1d                         | 与标准协议时序相比，时隙开始会偏移一个 BCLK 周期。<br>对于 I <sup>2</sup> S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移一个 BCLK 周期。       |
| .....                               | .....  |
| 1 1110 = 30d                        | 与标准协议时序相比，时隙开始会偏移 30 个 BCLK 周期。<br>对于 I <sup>2</sup> S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 30 个 BCLK 周期。 |
| 1 1111 = 31d                        | 与标准协议时序相比，时隙开始会偏移 31 个 BCLK 周期。<br>对于 I <sup>2</sup> S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 31 个 BCLK 周期。 |

与标准协议时序中使用的默认 FSYNC 极性相比，该器件还能够反转帧同步引脚 FSYNC 的极性，用于传输音频数据。该功能可以使用 PASI\_FSYNC\_POL (P0\_R26\_D[3]) 寄存器位来设置。同样，该器件可以反转位时钟引脚 BCLK 的极性，而这可以使用 PASI\_BCLK\_POL (P0\_R26\_D[2]) 寄存器位来设置。

此外，字时钟和位时钟还可以独立配置为控制器模式或目标模式，以便灵活地连接各种处理器。字时钟用于定义帧的起始，可编程为脉冲或方波信号。该时钟的频率对应于所选 DAC 通道采样频率的最大值。

#### 6.3.1.2.1 时分多路复用 (TDM) 音频接口

在 TDM 模式 (也称为 DSP 模式) 下，FSYNC 的上升沿会首先从时隙 0 数据开始数据传输。紧接着时隙 0 数据传输，会按顺序传输剩余的时隙数据。FSYNC 和每个数据位 (TX\_OFFSET 等于 0 时，时隙 0 的 MSB 除外) 会在 BCLK 的上升沿传输。图 6-2 至图 6-5 展示了各种配置下 TDM 运行用于发送 DOUT 线路的协议时序。相同的协议也适用于接收 DIN 线路。



**图 6-2. TDM 模式标准协议时序 (PASI\_TX\_OFFSET = 0)**



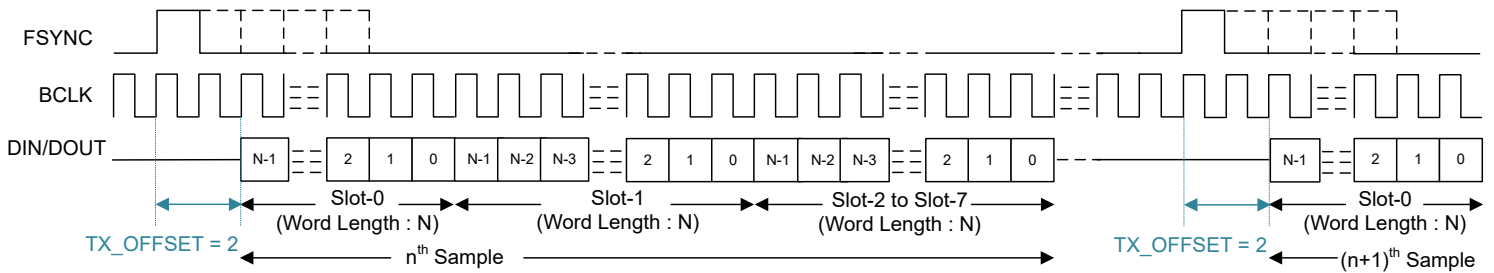


图 6-3. TDM 模式协议时序 (PASI\_TX\_OFFSET = 2)

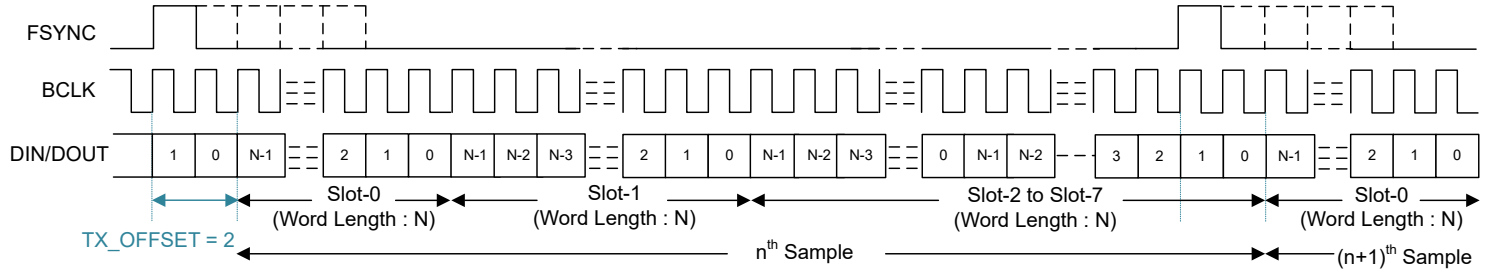


图 6-4. TDM 模式协议时序 (无空闲 BCLK 周期, PASI\_TX\_OFFSET = 2)

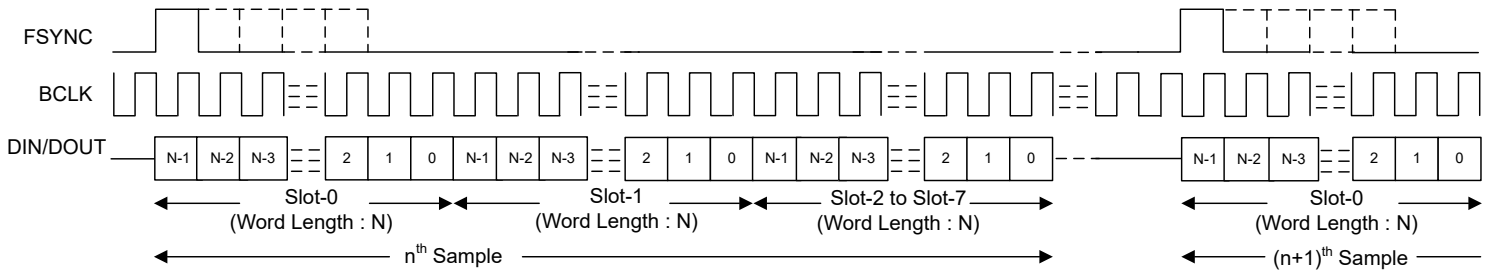


图 6-5. TDM 模式协议时序 (PASI\_TX\_OFFSET = 0 且 PASI\_BCLK\_POL = 1)

为了使音频总线在 TDM 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道数乘以输出通道数据的编程字长。该器件支持 FSYNC 作为具有 1 周期宽位时钟的脉冲，同时也支持倍数。对于更高 BCLK 频率的运行，建议使用 PASI\_TX\_OFFSET 值大于 0 的 TDM 模式。

### 6.3.1.2.2 IC 间音频 (I<sup>2</sup>S) 接口

标准 I<sup>2</sup>S 协议仅针对两个通道进行定义：左通道和右通道。该器件为多通道运行扩展了相同的协议时序。在 I<sup>2</sup>S 模式下，左时隙 0 的 MSB 会在 FSYNC 下降沿之后第二个周期中的 BCLK 下降沿上传输。紧接着左侧时隙 0 数据传输，剩余的左侧时隙数据按顺序传输。右时隙 0 的 MSB 会在 FSYNC 上升沿之后第二个周期中的 BCLK 下降沿上传输。紧接着右侧时隙 0 数据传输，剩余的右侧时隙数据按顺序传输。FSYNC 和每个数据位在 BCLK 的下降沿传输。图 6-6 至图 6-6 展示了各种配置下 I<sup>2</sup>S 运行用于发送 DOUT 线路的协议时序。相同的协议也适用于接收 DIN 线路。

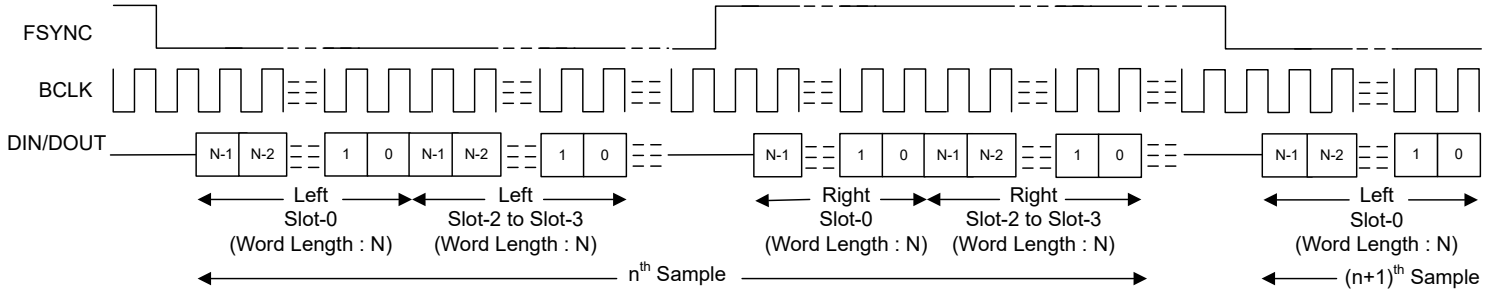


图 6-6. I²S 模式标准协议时序 (PASI\_TX\_OFFSET = 0)

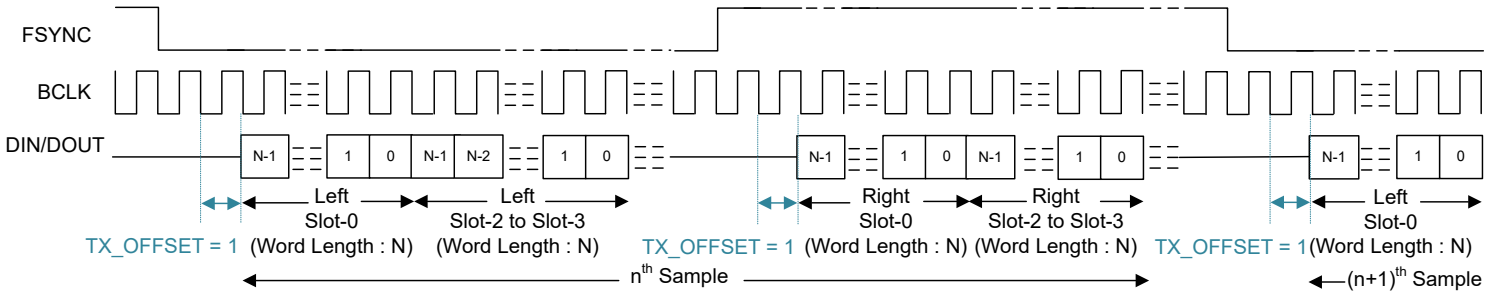


图 6-7. I²S 协议时序 (PASI\_TX\_OFFSET = 1)

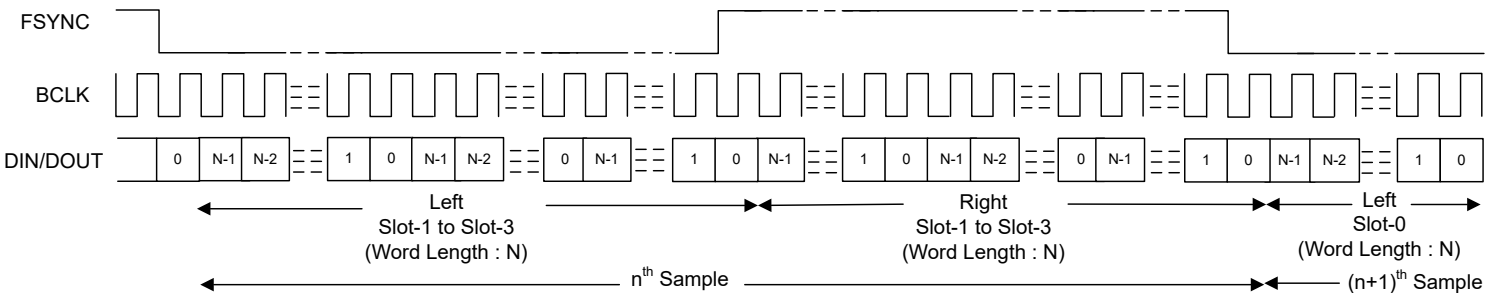


图 6-8. I²S 协议时序 (无空闲 BCLK 周期, PASI\_TX\_OFFSET = 0)

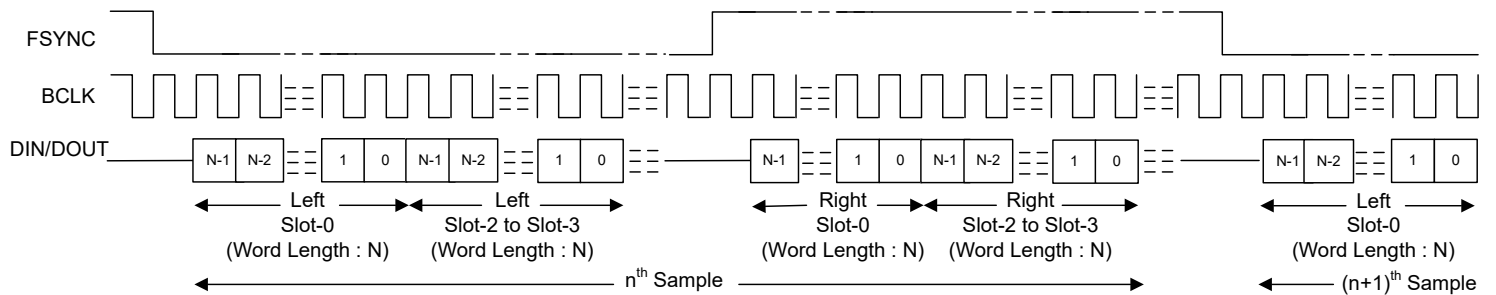


图 6-9. I²S 协议时序 (PASI\_TX\_OFFSET = 0 且 PASI\_BCLK\_POL = 1)

为了使音频总线在 I²S 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的编程字长。器件 FSYNC 低电平脉冲必须是大于或等于活动左时隙数量乘以所配置数据字长的若干 BCLK 周期宽。同样，FSYNC 高电平脉冲必须是大于或等于活动右时隙数量乘以所配置数据字长的若干 BCLK 周期宽。

### 6.3.1.2.3 左对齐(LJ) 接口

标准 LJ 协议仅针对两个通道进行定义：左通道和右通道。该器件为多通道运行扩展了相同的协议时序。在 LJ 模式下，左侧时隙 0 的 MSB 在 FSYNC 上升沿之后的同一 BCLK 周期内传输。后续的数据位都在 BCLK 的下降沿传输。紧接着左侧时隙 0 数据传输，剩余的左侧时隙数据按顺序传输。右侧时隙 0 的 MSB 在 FSYNC 下降沿后的同一 BCLK 周期内传输。后续的数据位都在 BCLK 的下降沿传输。紧接着右侧时隙 0 数据传输，剩余的右侧时隙数据按顺序传输。FSYNC 在 BCLK 的下降沿传输。图 6-10 至图 6-13 展示了各种配置下 LJ 运行用于发送 DOUT 线路的协议时序。相同的协议也适用于接收 DIN 线路。

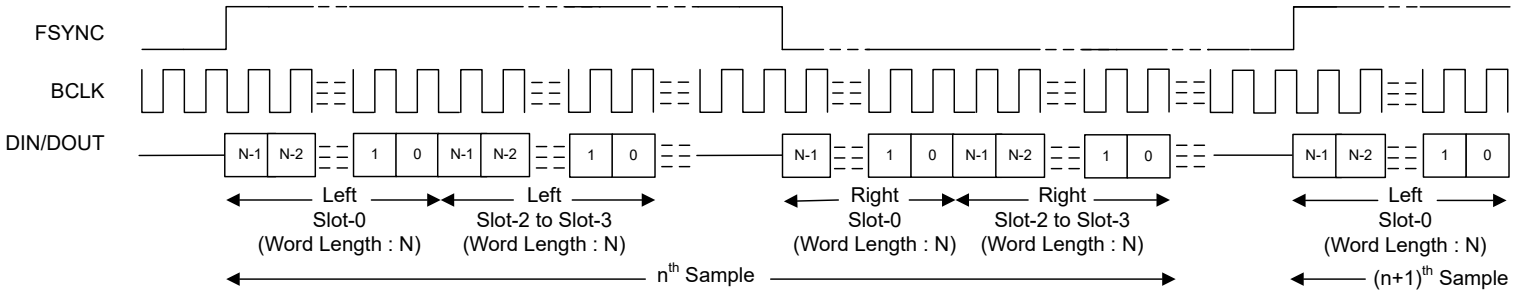


图 6-10. LJ 模式标准协议时序 (TX\_OFFSET = 0)

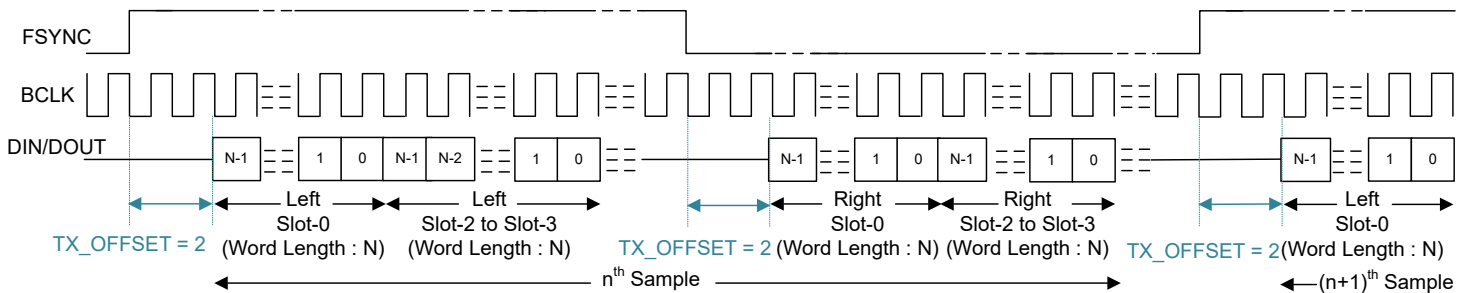


图 6-11. LJ 协议时序 (TX\_OFFSET = 2)

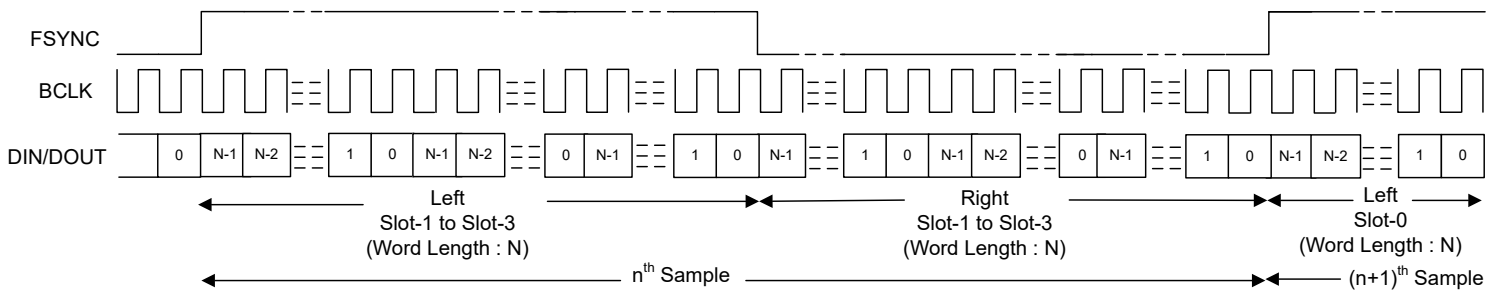


图 6-12. LJ 协议时序 (无空闲 BCLK 周期, TX\_OFFSET = 0)

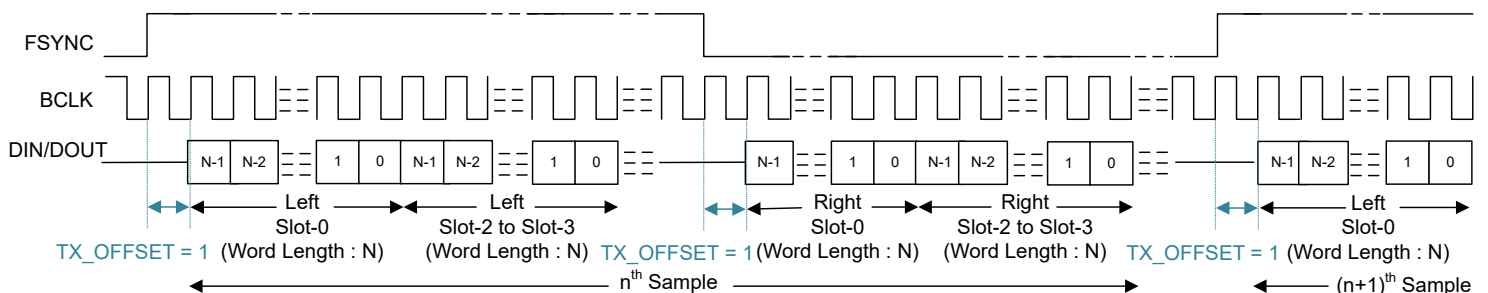


图 6-13. LJ 协议时序 (TX\_OFFSET = 1 且 BCLK\_POL = 1)

为了使音频总线在 LJ 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的编程字长。器件 **FSYNC** 高电平脉冲必须是大于或等于活动左时隙数量乘以所配置数据字长的若干 **BCLK** 周期宽。同样，**FSYNC** 低电平脉冲必须是大于或等于活动右时隙数量乘以所配置数据字长的若干 **BCLK** 周期宽。对于更高 **BCLK** 频率的运行，建议使用 **TX\_OFFSET** 值大于 0 的 LJ 模式。

### 6.3.1.3 通过共享总线使用多个器件

该器件具有许多支持的功能和灵活选项，可在系统中用于通过共享单个公共 **I<sup>2</sup>C** 或 **SPI** 控制总线和音频串行接口总线无缝连接多个 **TAD5112** 器件。这种架构支持在需要使用麦克风或扬声器阵列进行波束形成、音频会议、噪声消除等用途的系统中实现多个应用。图 6-14 展示了多个 **TAD5112** 器件共享控制总线和音频数据总线的配置图。

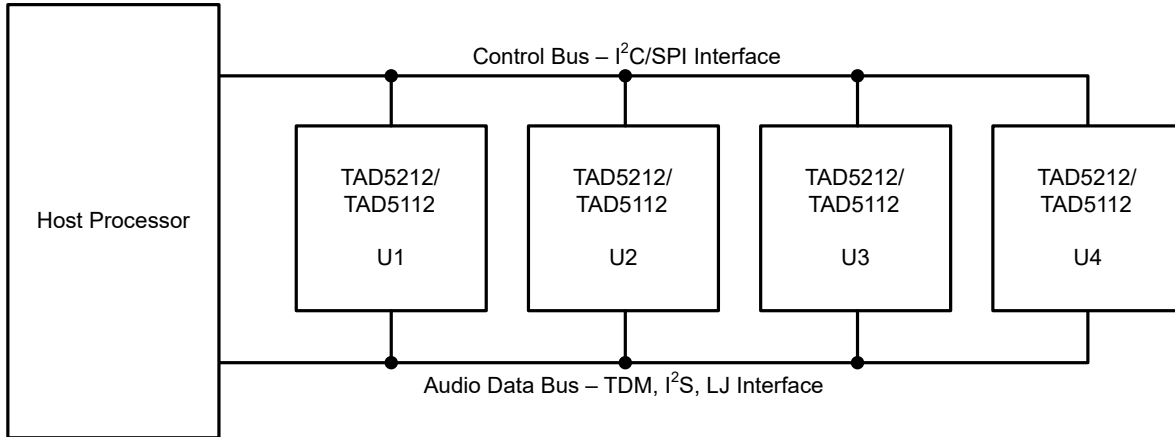


图 6-14. 多个 TAD5112 器件具有共享控制和音频数据总线

TAD5112 包含以下特性，用于通过共享总线实现多个器件的无缝连接和交互：

- 支持多达四个引脚可编程的 **I<sup>2</sup>C** 目标地址
- **I<sup>2</sup>C** 广播同时写入（或触发）所有 TAD5112 器件
- 支持多达 32 个用于音频串行接口的配置输入/输出通道时隙
- 针对器件中未使用的音频数据时隙提供三态特性（具有启用和禁用）
- 支持总线保持器特性（具有启用和禁用），以保持音频总线上最后驱动的值
- **GPIOx**、**GPIO1** 或 **GPO1** 引脚可配置为辅助输入/输出数据通道或辅助音频串行接口
- **GPIOx**、**GPIO1** 或 **GPO1** 引脚可用于多个 TAD5112 器件的菊花链配置
- 支持一个 **BCLK** 周期数据锁存时序，以降低高速接口的时序要求
- 主要和辅助音频串行接口的可编程控制器和目标选项
- 能够同步多个器件，来满足不同器件的同步采样要求
- 通道间增益调整 (**ICGA**) 功能可跨器件调整 DAC 通道增益。

有关更多详细信息，请参阅 [具有共享 TDM 和 I<sup>2</sup>C/SPI 总线的多个 TAC5x1x 器件应用报告](#)。

### 6.3.2 锁相环 (PLL) 和时钟生成

该器件具有智能自动配置块，可生成 DAC 调制器和用于信号处理的数字滤波器引擎所需的所有必要内部时钟。该配置通过监测音频总线上 FSYNC 和 BCLK 信号的频率来实现。

该器件支持 ( FSYNC 信号频率的 ) 各种数据采样率和 BCLK 与 FSYNC 之比，以便在内部配置所有时钟分频器 ( 包括 PLL 配置 )，而无需主机编程。表 6-7 和表 6-8 列出了支持的 FSYNC 和 BCLK 频率。

表 6-7. 支持的 FSYNC ( 48kHz 的倍数或约数 ) 和 BCLK 频率

| BCLK 与 FSYNC 之比 | BCLK (MHz)   |               |               |               |               |               |                |                |                |
|-----------------|--------------|---------------|---------------|---------------|---------------|---------------|----------------|----------------|----------------|
|                 | FSYNC (8kHz) | FSYNC (16kHz) | FSYNC (24kHz) | FSYNC (32kHz) | FSYNC (48kHz) | FSYNC (96kHz) | FSYNC (192kHz) | FSYNC (384kHz) | FSYNC (768kHz) |
| 16              | 保留           | 0.256         | 0.384         | 0.512         | 0.768         | 1.536         | 3.072          | 6.144          | 12.288         |
| 24              | 保留           | 0.384         | 0.576         | 0.768         | 1.152         | 2.304         | 4.608          | 9.216          | 18.432         |
| 32              | 0.256        | 0.512         | 0.768         | 1.024         | 1.536         | 3.072         | 6.144          | 12.288         | 24.576         |
| 48              | 0.384        | 0.768         | 1.152         | 1.536         | 2.304         | 4.608         | 9.216          | 18.432         | 保留             |
| 64              | 0.512        | 1.024         | 1.536         | 2.048         | 3.072         | 6.144         | 12.288         | 24.576         | 保留             |
| 96              | 0.768        | 1.536         | 2.304         | 3.072         | 4.608         | 9.216         | 18.432         | 保留             | 保留             |
| 128             | 1.024        | 2.048         | 3.072         | 4.096         | 6.144         | 12.288        | 24.576         | 保留             | 保留             |
| 192             | 1.536        | 3.072         | 4.608         | 6.144         | 9.216         | 18.432        | 保留             | 保留             | 保留             |
| 256             | 2.048        | 4.096         | 6.144         | 8.192         | 12.288        | 24.576        | 保留             | 保留             | 保留             |
| 384             | 3.072        | 6.144         | 9.216         | 12.288        | 18.432        | 保留            | 保留             | 保留             | 保留             |
| 512             | 4.096        | 8.192         | 12.288        | 16.384        | 24.576        | 保留            | 保留             | 保留             | 保留             |
| 1024            | 8.192        | 16.384        | 24.576        | 保留            | 保留            | 保留            | 保留             | 保留             | 保留             |
| 2048            | 16.384       | 保留            | 保留            | 保留            | 保留            | 保留            | 保留             | 保留             | 保留             |

表 6-8. 支持的 FSYNC ( 44.1kHz 的倍数或约数 ) 和 BCLK 频率

| BCLK 与 FSYNC 之比 | BCLK (MHz)      |                 |                  |                 |                 |                 |                  |                  |                  |
|-----------------|-----------------|-----------------|------------------|-----------------|-----------------|-----------------|------------------|------------------|------------------|
|                 | FSYNC (7.35kHz) | FSYNC (14.7kHz) | FSYNC (22.05kHz) | FSYNC (29.4kHz) | FSYNC (44.1kHz) | FSYNC (88.2kHz) | FSYNC (176.4kHz) | FSYNC (352.8kHz) | FSYNC (705.6kHz) |
| 16              | 保留              | 保留              | 0.3528           | 0.4704          | 0.7056          | 1.4112          | 2.8224           | 5.6448           | 11.2896          |
| 24              | 保留              | 0.3528          | 0.5292           | 0.7056          | 1.0584          | 2.1168          | 4.2336           | 8.4672           | 16.9344          |
| 32              | 保留              | 0.4704          | 0.7056           | 0.9408          | 1.4112          | 2.8224          | 5.6448           | 11.2896          | 22.5792          |
| 48              | 0.3528          | 0.7056          | 1.0584           | 1.4112          | 2.1168          | 4.2336          | 8.4672           | 16.9344          | 保留               |
| 64              | 0.4704          | 0.9408          | 1.4112           | 1.8816          | 2.8224          | 5.6448          | 11.2896          | 22.5792          | 保留               |
| 96              | 0.7056          | 1.4112          | 2.1168           | 2.8224          | 4.2336          | 8.4672          | 16.9344          | 保留               | 保留               |
| 128             | 0.9408          | 1.8816          | 2.8224           | 3.7632          | 5.6448          | 11.2896         | 22.5792          | 保留               | 保留               |
| 192             | 1.4112          | 2.8224          | 4.2336           | 5.6448          | 8.4672          | 16.9344         | 保留               | 保留               | 保留               |
| 256             | 1.8816          | 3.7632          | 5.6448           | 7.5264          | 11.2896         | 22.5792         | 保留               | 保留               | 保留               |
| 384             | 2.8224          | 5.6448          | 8.4672           | 11.2896         | 16.9344         | 保留              | 保留               | 保留               | 保留               |
| 512             | 3.7632          | 7.5264          | 11.2896          | 15.0528         | 22.5792         | 保留              | 保留               | 保留               | 保留               |
| 1024            | 7.5264          | 15.0528         | 22.5792          | 保留              | 保留              | 保留              | 保留               | 保留               | 保留               |
| 2048            | 15.0528         | 保留              | 保留               | 保留              | 保留              | 保留              | 保留               | 保留               | 保留               |

TAD5112 还支持除前面表格中所列之外的非音频采样速率。有关更多详细信息，请参阅 [器件的时钟配置和 TAx5x1x 系列的灵活时钟应用报告](#)。

TAD5112 采样速率可以分别使用寄存器 CLK\_CFG0 (P0\_R50) 和 CLK\_CFG1 (P0\_R51) 对主要 ASI 和辅助 ASI 进行配置。CLK\_DET\_STS0 (P0\_R62) 和 CLK\_DET\_STS1 (P0\_R63) 寄存器还分别为主要 ASI 和辅助 ASI 在自动检测模式下捕获器件在 FSYNC 频率下的自动检测结果。寄存器 CLK\_DET\_STS2 (P0\_R64) 和

CLK\_DET\_STS3 (P0\_R65) 捕获器件在自动检测模式下为所选 ASI 检测到的 BCLK 与 FSYNC 之比，同时通过 CLK\_SRC\_SEL (P0\_R52\_D[3:1]) 寄存器将所选 ASI 选为 PLL 基准。如果器件找到任何不受支持的 FSYNC 频率和 BCLK 与 FSYNC 之比组合，器件会生成 ASI 时钟错误中断，并相应地关断器件的各个块。

在 PDM 或 DAC 通道已在运行时，TAD5112 也支持启用通道。这需要在上电之前进行预先配置，以指示在运行时可以启用的最大通道数，从而确保正确生成和使用时钟。这可以通过使用寄存器 DYN\_PUPD\_CFG (P0\_R119) 进行配置。ADC\_DYN\_PUPD\_EN (P0\_R119\_D[7]) 和 DAC\_DYN\_PUPD\_EN (P0\_R119\_D[5]) 位可用于独立启用 PDM 或 DAC 通道的动态上电。可以使用 ADC\_DYN\_MAXCH\_SEL (P0\_R119\_D[6]) 和 DAC\_DYN\_MAXCH\_SEL (P0\_R119\_D[4]) 位来配置动态上电和断电所支持的最大通道数。

该器件使用集成的低抖动锁相环 (PLL) 来生成调制器和数字滤波器引擎以及其他控制块所需的内部时钟。该器件还支持使用 BCLK、GPIOx 或 GPI1 引脚 (作为 CCLK) 作为音频时钟源，而无需使用 PLL，从而降低功耗。但是，DAC 性能可能会因外部时钟源的抖动而下降，如果外部音频时钟源频率不够高，则可能无法支持某些处理功能。因此，TI 建议在高性能应用中使用 PLL。[不同使用场景下的 TAD5x1x 功耗矩阵应用报告](#) 论述了有关如何在低功耗模式下不使用 PLL 时配置和使用器件的更多细节和信息。

该器件还支持使用 GPIOx 或 GPI1 引脚 (作为 CCLK) 作为基准输入时钟源来实现音频总线控制器模式运行，并支持各种灵活选项和各种系统时钟。有关控制器模式配置和操作的更多详细信息和信息，请参阅 [器件的时钟配置和 TA5x1x 系列的灵活时钟应用报告](#)。

音频总线时钟错误检测和自动检测功能会自动生成所有内部时钟，但可以分别使用 IGNORE\_CLK\_ERR (P0\_R4\_D[6]) 和 CUSTOM\_CLK\_CFG (P0\_R50\_D[0]) 寄存器位来禁用。在系统中，该禁用功能可用于支持自动检测方案未涵盖的自定义时钟频率。对于此类应用用例，必须注意确保多个时钟分频器均已正确配置。TI 建议使用 PPC3 GUI 进行器件配置设置；有关更多详细信息，请参阅 [TAC5212EVM-PDK 评估模块 用户指南](#) 和 [PurePath™ 控制台图形开发套件](#)。[器件的时钟配置和 TA5x1x 系列的灵活时钟应用报告](#) 也介绍了自定义时钟配置的各个方面。有关器件时钟检测模块的更多详细信息，请参阅 [TA5x1x 系列支持的时钟错误配置、检测和模式应用报告](#)。

当 PLL 关闭时，数字音量控制和使用可编程系数的其他功能 (如双二阶滤波器、混频器、AGC 等) 不适用，但高通滤波器 (HPF) 除外。

### 6.3.3 输出通道配置

该器件包含两对模拟输出引脚 (OUTxP 和 OUTxM)，这些引脚可以配置为差分输出或单端输出，用于回放通道。该器件支持使用高性能多通道 DAC 同时回放最多四通道单端输出或最多二通道差分输出。[表 6-9](#) 中显示了回放通道的输入源选择。

**表 6-9. 回放通道的输入源选择**

| P0_R100_D[7:5] : OUT1x_SRC[2:0] | OUT1P/OUT1M 输入源选择              |
|---------------------------------|--------------------------------|
| 000                             | 输出驱动器禁用                        |
| 001 (默认值)                       | DAC 信号链                        |
| 010                             | 模拟旁路信号链                        |
| 011                             | DAC 和模拟旁路信号链的混合                |
| 100                             | OUT1P 用于 DAC，OUT1M 用于模拟旁路信号链   |
| 101                             | OUT1P 用于模拟旁路，OUT1M 用于 DAC 信号链。 |
| 11x                             | 保留。不使用此设置。                     |

同样，可以使用 OUT2x\_SRC[2:0](P0\_R107\_D[7:5]) 寄存器位来配置输出通道 2 的输入源选择设置。

TAD5112 支持最多 2 通道差分输出、最多 2 通道伪差分输出和最多 4 通道单端输出。每个输出通道都可以独立配置为差分或单端输出。

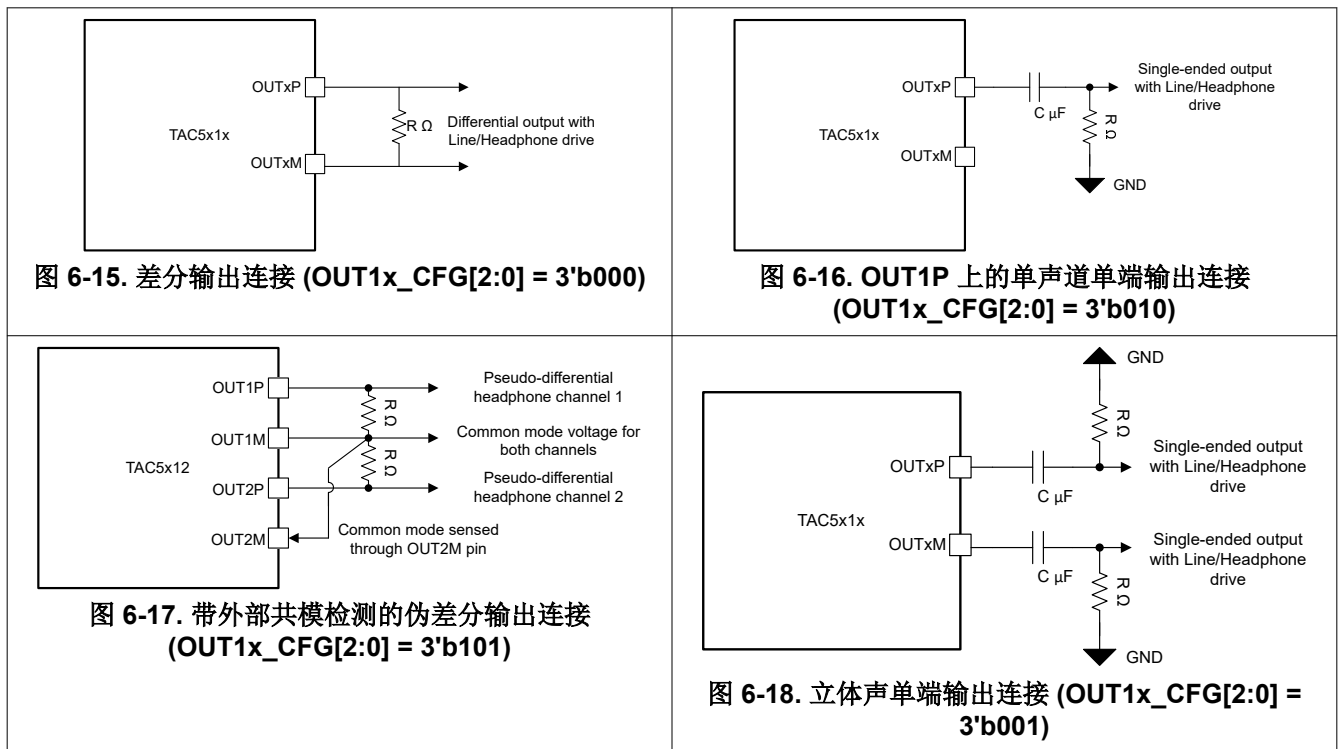
[表 6-10](#) 展示了输出引脚的配置模式。

表 6-10. 回放通道的输出引脚配置

| P0_R100_D[4:2] : OUT1x_CFG[2:0] | OUT1P/OUT1M 引脚配置   |
|---------------------------------|--|
| 000 (默认值)                       | OUT1P/OUT1M 用作差分对  |
| 001                             | OUT1P 和 OUT1M 用作独立单端输出                                       |
| 010                             | 仅限 OUT1P 上的单声道单端输出   |
| 011                             | 仅限 OUT1M 上的单声道单端输出   |
| 100                             | 伪差分输出, OUT1P 用作信号, OUT1M 用作 VCOM                             |
| 101                             | 伪差分输出, OUT1P 用作信号, OUT1M 用作 VCOM, OUT2M 用作 VCOM 检测 (外部共模检测)。 |
| 110                             | 伪差分输出, OUT1M 用作信号, OUT1P 用作 VCOM                             |
| 111                             | 保留。不使用此设置。   |

同样, 可以使用 OUT2x\_CFG[2:0] (P0\_R107\_D[4:2]) 寄存器位完成输出通道 2 的输出引脚配置。

有关各种典型输出配置图, 请参阅图 6-15 至图 6-18。



TAD5112 可以支持各种负载、包括耳机、线路输出和接收器放大器。每个引脚均可独立使用负载驱动配置。OUT1P\_DRIVE[1:0] (P0\_R101\_D[7:6]) 为 OUT1P 引脚配置负载驱动能力。OUT1M\_DRIVE[1:0]、OUT2P\_DRIVE[1:0]、OUT2M\_DRIVE[1:0] 分别控 OUT1M、OUT2P 和 OUT2M 的输出驱动。

### 6.3.4 基准电压

所有音频数据转换器都需要直流基准电压。TAD5112 通过在内部生成低噪声基准电压来实现低噪声性能。该基准电压由具有高 PSRR 性能的带隙电路生成。该音频转换器基准电压必须在 VREF 引脚与模拟地 (VSS) 之间使用一个最低 1μF 的电容器从外部进行滤波。

该基准电压值可以使用 P0\_R77\_D[1:0] 寄存器位进行配置, 并且必须根据器件 (模拟旁路路径) 所需的满量程输入和系统中可用的 AVDD 电源电压, 将其设置为适当的值。默认 VREF 值设置为 2.75V, 能使器件支持 2V<sub>RMS</sub> 差

分满量程输入。该模式所需的最小 AVDD 电压为 3V。表 6-11 列出了支持的各种 VREF 设置以及所需的 AVDD 范围和该配置支持的满量程输入信号。

**表 6-11. VREF 可编程设置**

| P0_R77_D[1:0] : VREF[1:0] | VREF 输出电压 | 支持差分满量程输入             | 支持单端满量程输入             | AVDD 运行模式      |
|---------------------------|-----------|-----------------------|-----------------------|----------------|
| 00 (默认值)                  | 2.75V     | 2V <sub>RMS</sub>     | 1V <sub>RMS</sub>     | AVDD 3.3V 运行电压 |
| 01                        | 2.5V      | 1.818V <sub>RMS</sub> | 0.909V <sub>RMS</sub> | AVDD 3.3V 运行电压 |
| 10                        | 1.375V    | 1V <sub>RMS</sub>     | 0.5V <sub>RMS</sub>   | AVDD 1.8V 运行电压 |
| 11                        | 保留        | 保留                    | 保留                    | 保留             |

为了实现低功耗，该音频基准模块会按 节 6.4 所述的方式断电。退出睡眠模式时，音频基准模块使用内部快速充电方案上电，而 VREF 引脚在稳定时间（与 VREF 引脚上的去耦电容器有关）后稳定到其稳态电压。使用 1  $\mu$ F 去耦电容器时，该时间大约等于 3.5ms。如果在 VREF 引脚上使用较高值的去耦电容器，则必须使用 VREF\_QCHG (P0\_R2\_D[4:3]) 寄存器位重新配置快速充电设置，这些位支持 3.5ms（默认值）、10ms、50ms 或 100ms 的选项。

### 6.3.5 可编程麦克风偏置

该器件集成一个内置低噪声麦克风偏置引脚，该引脚可在系统中用于偏置驻极体电容式麦克风或为 MEMS 模拟或数字麦克风提供电源。集成的偏置放大器支持高达 10mA 的负载电流，可用于多个麦克风，旨在提供高 PSRR、低噪声和可编程偏置电压的组合，以便针对特定的麦克风组合对偏置进行微调。

当使用该 MICBIAS 引脚对多个麦克风进行偏置或供电时，请避免在用于 MICBIAS 连接的电路板布局布线上出现任何公共阻抗，以尽可能地减小麦克风之间的耦合。表 6-12 展示了可用的麦克风偏置可编程选项。

**表 6-12. MICBIAS 可编程设置**

| P0_R77_D[3:2] : MICBIAS_VAL[1:0] | P0_R77_D[1:0] : VREF_FSCALE[1:0] | MICBIAS 输出电压            |
|----------------------------------|----------------------------------|-------------------------|
| 00 (默认值)                         | 00 (默认值)                         | 2.75V (与 VREF 输出相同)     |
|                                  | 01                               | 2.5V (与 VREF 输出相同)      |
|                                  | 10                               | 1.375V (与 VREF 输出相同)    |
|                                  | 11                               | 保留 (不使用这些设置)            |
| 01                               | 00 (默认值)                         | 1.375V (VREF 输出的 0.5 倍) |
|                                  | 01                               | 1.250V (VREF 输出的 0.5 倍) |
|                                  | 10 或 11                          | 保留 (不使用这些设置)            |
| 10                               | XX                               | 保留 (不使用这些设置)            |
| 11                               | XX                               | 与 AVDD 相同               |

通过配置 MICBIAS\_PDZ (P0\_R120\_D5) 寄存器位，可以打开或关闭（默认）麦克风偏置输出。此外，该器件还提供配置 GPIO1 或 GPIx 引脚的选项，以直接控制麦克风偏置输出的打开或关闭。该功能对于直接控制麦克风非常有用，无需主机进行 I<sup>2</sup>C 或 SPI 通信。如果 GPIO1 或 GPIx 引脚配置为打开或关闭麦克风偏置，则 MICBIAS\_PDZ (P0\_R120\_D5) 寄存器位值将被忽略。

### 6.3.6 数字 PDM 麦克风录音通道

TAD5112 支持与数字脉冲密度调制 (PDM) 麦克风连接，并使用高阶、高性能的抽取滤波器来生成脉冲编码调制 (PCM) 输出数据，这些数据可通过音频串行接口传输到主机。该器件支持在多达四个数字麦克风通道上进行同步录音。

根据数字 PDM 麦克风录音的中断、状态和数字 I/O 引脚多路复用部分，GPIOx、GPI1 和 GPO1 引脚可以配置为用于 PDM 数据线路 (PDM<sub>DINx</sub>) 和 PDM 时钟 (PDM<sub>CLK</sub>) 功能。



该器件在内部生成 PDMCLK，其频率可使用 PDM\_CLK\_CFG[1:0] (P0\_R53\_D[7:6]) 寄存器位编程为 6.144MHz、3.072MHz、1.536MHz 或 768kHz (输出数据采样速率为 48kHz 的倍数或约数时)，或者 5.6448MHz、2.8224MHz、1.4112MHz 或 705.6kHz (输出数据采样速率为 44.1kHz 的倍数和约数时)。可以使用相应的配置寄存器在 GPIOx 和 GPO1 引脚上路由 PDMCLK：GPIO1\_CFG (P0\_R10[7:4])、GPIO2\_CFG (P0\_R11[7:4])和 GPO1\_CFG (P0\_R12[7:4])。该时钟可连接到外部数字麦克风设备。图 6-19 展示了数字 PDM 麦克风的连接图。

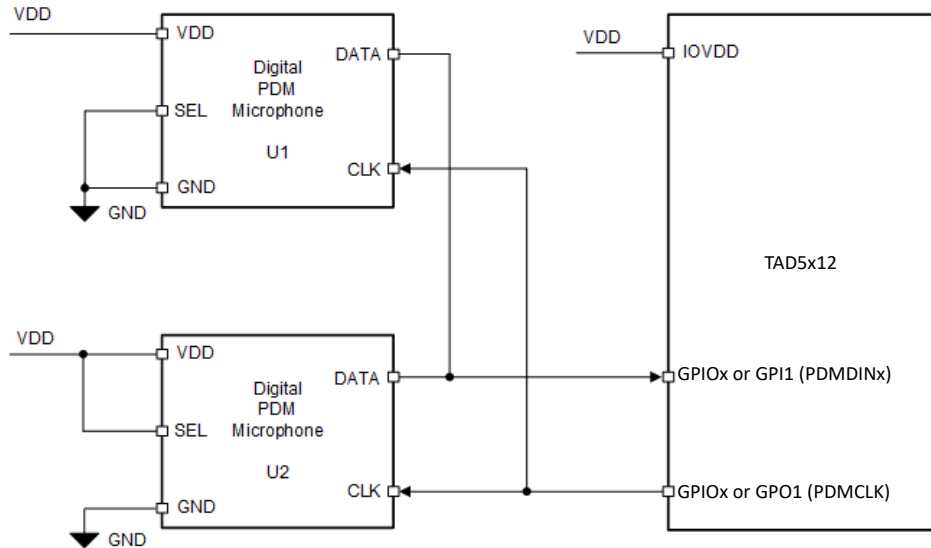


图 6-19. TAD5112 的数字 PDM 麦克风连接图

外部数字麦克风设备的一位输出可以连接到 GPI1 或 GPIOx 引脚。该器件支持两条 PDM 数据线路：PDM DIN1 和 PDM DIN2，这些线路通过寄存器 PDM\_DIN1\_SEL (P0\_R19\_D[3:2]) 和 PDM\_DIN2\_SEL (P0\_R19\_D[1:0]) 设置。使用 GPI1 时，请确保使用 GPI1\_CFG (P0\_R13[1]) 来启用 GPI1 功能。该单一数据线路可由两个数字麦克风共享，以将其数据放置在 PDMCLK 的相反边沿上。在内部，该器件根据 PDM DIN1\_EDGE (P0\_R19\_D[4]) 和 PDM DIN2\_EDGE (P0\_R19\_D[5]) 中设置的配置寄存器位，在 PDMCLK 的上升沿或下降沿锁存数据的稳定值。图 6-20 展示了数字 PDM 麦克风接口时序图。

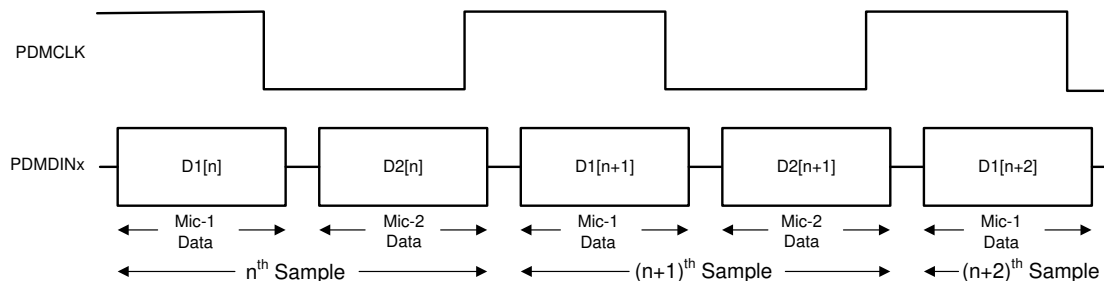


图 6-20. 数字 PDM 麦克风协议时序图

使用 PDM\_CH1\_SEL[1:0] (P0\_R19\_D[7]) 和 PDM\_CH2\_SEL[1:0] (P0\_R19\_D[6]) 寄存器位分别为通道 1 至通道 2 启用数字麦克风。

### 6.3.7 信号链处理

TAD5112 信号链由超低噪声、高性能和低功耗的模拟块以及高度灵活的可编程数字处理块组成。高性能和灵活性与紧凑的封装相结合，使得 TAD5112 非常适合需要多通道音频回放的各种终端设备 and 应用。节 6.3.7.1 进一步介绍 DAC 信号链的关键元件。

### 6.3.7.1 DAC 信号链

图 6-21 展示了回放信号链的关键元件。

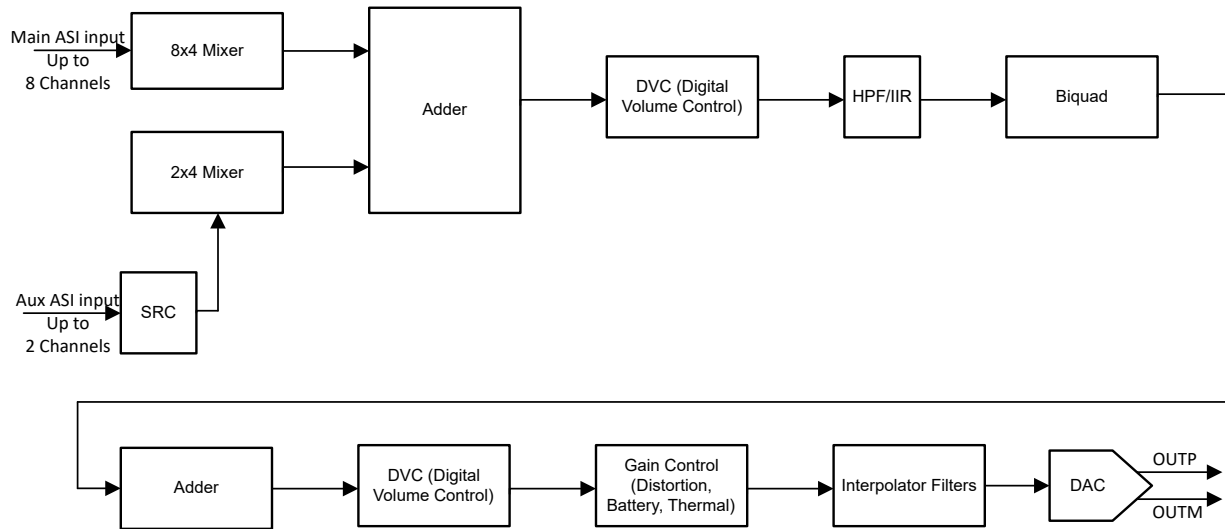


图 6-21. DAC 信号链处理流程图

DAC 信号链为低噪声和高保真音频应用提供高度灵活的低噪声回放路径。这款低噪声和低失真、多位  $\Delta$ - $\Sigma$  DAC 使 TAD5112 能够以极低功耗实现 110dB 动态范围。此外，DAC 架构具有固有的抗混叠滤波功能，能够很好地抑制多个调制器频率分量附近的带外频率噪声。因此，该器件可防止噪声混叠到音频频带中。此外，在信号链中，集成的高性能多级数字内插滤波器会通过高阻带衰减来急剧削减任何带外频率噪声。

信号链还包含各种高度可编程的数字处理块，例如双二阶滤波器、相位校准、增益校准、高通滤波器、数字加法器或混频器、同步采样速率转换器、失真限制器、热折返、欠压预防和音量控制。本节将进一步讨论这些处理块的详细信息。该器件还支持多达四通道单端输出模式以及从模拟输入到 DAC 输出的模拟旁路选项。

可使用 CH\_EN (P0\_R118) 寄存器启用或禁用回放输出通道，并可使用 PASI\_RX\_CHx\_CFG 或 SASI\_RX\_CHx\_CFG 位启用或禁用音频串行接口的输入通道。该器件支持所有活动通道同时上电和断电，以进行同步回放。但是，根据应用需求，如果某些通道必须在另一个通道回放处于开启状态时动态上电或断电，则可以通过设置 DYN\_PUPD\_CFG (P0\_R119) 寄存器来支持该用例。

该器件支持多种数据混合选项，可在 DAC 输出上回放之前，使用每条路径的灵活增益选项将来自主要 ASI 的多达 8 个输入通道、来自辅助 ASI 的 2 个输入通道、ADC 环回数据和发音器混合起来。默认情况下，禁用这些混频器，并且通道配置为仅支持一个数据通道。可以通过设置寄存器映射 B0\_P17 中所述的 ASI\_DIN\_Mixers 可编程系数寄存器来配置混频器。

该器件支持高达 90kHz 的输出信号带宽，这允许使用 216kHz (或更高) 采样速率来播放高频非音频信号。

对于 48kHz 或更低的采样速率，该器件支持所有功能和各种可编程处理块。不过，对于高于 48kHz 的采样速率，支持同时录音和回放的通道数量和双二阶滤波器数量等都存在限制。有关更多详细信息，请参阅 [TAC5212 采样速率和受支持的可编程处理块应用报告](#)。

下一节介绍了 DAC 信号链的关键块。有关 DAC 信号链的各种其他块的更多详细信息，请参阅 [节 9.1.1](#) 中列出的应用手册。

#### 6.3.7.1.1 可编程通道增益和数字音量控制

该器件的每个输出通道都具有独立的可编程通道增益设置，用户可以根据系统中预期的最大输入信号将其设置为适当的值。这可以通过配置 OUT1x\_LVL\_CTRL 和 OUT2x\_LVL\_CTRL 位来完成。使用这些控件可提供从 -12dB 至 +12dB 的粗略增益配置 (步长为 6dB)。

该器件具有可编程数字音量控制功能，其范围为 -100dB 至 27dB（步长为 0.5dB），并提供通道录音静音选项。当 DAC 通道上电并播放期间，可以动态更改数字音量控制值。在音量控制变化期间，内部使用软调高或调低音量功能来避免任何可闻失真。可以使用 DAC\_DSP\_DISABLE\_SOFT\_STEP (P0\_R115\_D[1]) 寄存器位来完全禁用软步进。

可分别对 42 个单端输出通道独立进行数字音量控制设置。对于 2 通道差分 DAC，仅支持对 DAC\_CH1A 和 DAC\_CH2A 的设置。该器件还支持使用通道 1A 数字音量控制设置将所有通道的音量控制设置组合在一起的选项，而无论通道 1A 是通电还是断电。可以使用 DAC\_DSP\_DVOL\_GANG (P0\_R115\_D[0]) 寄存器位来启用该组合。

表 6-13 展示了可用于数字音量控制的可编程选项。

**表 6-13. 数字音量控制 (DVC) 可编程设置**

| P0_R103_D[7:0] : DAC_CH1A_DVOL[7:0] | 输出通道 1A 的 DVC 设置       |
|-------------------------------------|------------------------|
| 0000 0000 = 0d                      | 输出通道 1 DVC 设置为静音       |
| 0000 0001 = 1d                      | 输出通道 1 DVC 设置为 -100dB  |
| 0000 0010 = 2d                      | 输出通道 1 DVC 设置为 -99.5dB |
| 0000 0011 = 3d                      | 输出通道 1 DVC 设置为 -99dB   |
| ...                                 | ...                    |
| 1100 1000 = 200d                    | 输出通道 1 DVC 设置为 -0.5dB  |
| 1100 1001 = 201d (默认值)              | 输出通道 1 DVC 设置为 0dB     |
| 1100 1010 = 202d                    | 输出通道 1 DVC 设置为 0.5dB   |
| ...                                 | ...                    |
| 1111 1101 = 253d                    | 输出通道 1 DVC 设置为 26dB    |
| 1111 1110 = 254d                    | 输出通道 1 DVC 设置为 26.5dB  |
| 1111 1111 = 255d                    | 输出通道 1 DVC 设置为 27dB    |

同样，输出通道 1B、2A 和 2B 的数字音量控制设置可以分别使用 CH1B\_DVOL (P0\_R103) 到 CH2B\_DVOL (P0\_R112) 寄存器位进行配置。

当该通道上电时，内部数字处理引擎会将音量从静音级别软斜升至编程的音量级别，当该通道断电时，内部数字处理引擎会将音量从编程的音量软斜降至静音。这种音量软步进是为了防止回放通道突然上电和断电，否则可导致音频失真。也可以使用 DAC\_DSP\_DISABLE\_SOFT\_STEP (P0\_R115\_D[1]) 寄存器位来完全禁用该功能。

#### 6.3.7.1.2 可编程通道增益校准

除了数字音量控制外，此器件还提供可编程通道增益校准。每个通道的增益能够以 0.1dB 的步长进行精细校准或调整，增益误差范围为 -0.8dB 至 0.7dB。当尝试匹配换能器灵敏度和负载阻抗不匹配导致的通道间增益时，此调整非常有用。该功能与常规数字音量控制相结合，可以在宽增益误差范围内实现所有通道上的增益匹配，分辨率为 0.1dB。表 6-14 展示了可用于通道增益校准的可编程选项。

**表 6-14. DAC 通道增益校准可编程设置**

| P0_R104_D[7:4] : DAC_CH1A_FGAIN[3:0] | 输入通道 1A 的通道增益校准设置     |
|--------------------------------------|-----------------------|
| 0000 = 0d                            | 输入通道 1 增益校准设置为 -0.8dB |
| 0001 = 1d                            | 输入通道 1 增益校准设置为 -0.7dB |
| ...                                  | ...                   |
| 1000 = 8d (默认值)                      | 输入通道 1 增益校准设置为 0dB    |
| ...                                  | ...                   |
| 1110 = 14d                           | 输入通道 1 增益校准设置为 0.6dB  |
| 1111 = 15d                           | 输入通道 1 增益校准设置为 0.7dB  |

同样，输入通道 1B、2A 和 2B 的通道增益校准设置可以分别使用 DAC\_CH1B\_CFG1 (P0\_R106)、DAC\_CH2A\_CFG1 (P0\_R111) 和 DAC\_CH2B\_CFG1 (P0\_R113) 寄存器位进行配置。

### 6.3.7.1.3 可编程数字高通滤波器

为了去除直流偏移分量并衰减录音数据中不需要的低频噪声成分，该器件支持可编程高通滤波器 (HPF)。HPF 不是独立于通道的滤波器设置，但全局适用于所有 DAC 通道。该 HPF 使用一阶无限脉冲响应 (IIR) 滤波器构建，并具有足够高的效率来滤除信号中可能的直流分量。表 6-15 展示了可用的预定义 -3dB 截止频率，该频率可使用 P0\_R115 的 DAC\_DSP\_HP\_F\_SEL[1:0] 寄存器位进行设置。此外，为了针对特定应用实现自定义的 -3dB 截止频率，该器件还允许在 DAC\_DSP\_HP\_F\_SEL[1:0] 寄存器位设置为 2'b00 时对一阶 IIR 滤波器系数进行编程。图 6-22 展示了 HPF 滤波器的频率响应图。

表 6-15. HPF 可编程设置

| P0_R115_D[5:4] :<br>DAC_DSP_HP_F_SEL<br>L[1:0] | -3dB 截止频率设置          | 16kHz 采样速率下截止频率为 -3dB | 48kHz 采样速率下的<br>-3dB 截止频率 |
|--|----------------------|-----------------------|---------------------------|
| 00   | 可编程一阶 IIR 滤波器        | 可编程一阶 IIR 滤波器         | 可编程一阶 IIR 滤波器             |
| 01 (默认值)                                       | $0.00002 \times f_s$ | 0.25Hz                | 1Hz                       |
| 10   | $0.00025 \times f_s$ | 4Hz                   | 12Hz                      |
| 11   | $0.002 \times f_s$   | 32Hz                  | 96Hz                      |

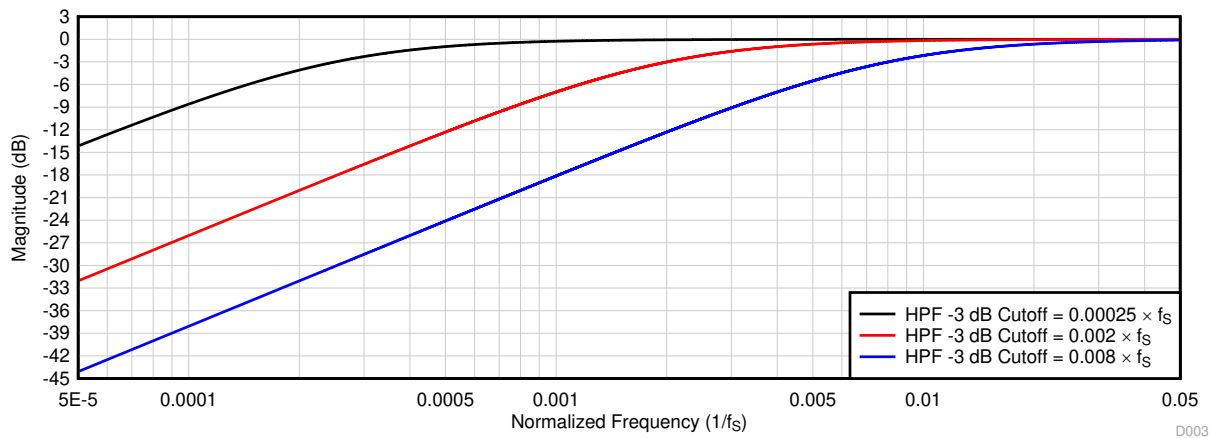


图 6-22. HPF 滤波器频率响应图

方程式 1 给出了一阶可编程 IIR 滤波器的传递函数：

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \quad (1)$$

对于具有默认系数的该一阶可编程 IIR 滤波器，其频率响应在增益为 0dB (全通滤波器) 时是平坦的。主机器件可以通过对表 6-16 中的 IIR 系数进行编程来覆盖频率响应，从而实现高通滤波或任何其他必要滤波所需的频率响应。如果 DAC\_DSP\_HP\_F\_SEL[1:0] 设置为 2'b00，则主机器件必须写入这些系数值以实现所需的频率响应，然后再对任何 DAC 通道上电以进行回放。表 6-16 展示了一阶 IIR 滤波器的滤波器系数。

表 6-16. 一阶 IIR 滤波器系数

| 滤波器                                 | 滤波器系数 | 默认系数值      | 系数寄存器映射       |
|-------------------------------------|-------|------------|---------------|
| 可编程一阶 IIR 滤波器 (可分配至 HPF 或任何其他所需滤波器) | $N_0$ | 0x7FFFFFFF | P17_R120-R124 |
|                                     | $N_1$ | 0x00000000 | P17_R125-R128 |
|                                     | $D_1$ | 0x00000000 | P18_R8-R11    |

### 6.3.7.1.4 可编程数字双二阶滤波器

该器件支持多达 12 个可编程数字双二阶滤波器，可用于 DAC 信号链，限制为每通道 3 个滤波器。这些高效滤波器可实现所需的频率响应。TAD5112 还支持适用于双通道回放使用案例的动态可编程双二阶滤波器。在数字信号处理中，数字双二阶滤波器是具有两个极点和两个零点的二阶递归线性滤波器。方程式 4 给出了每个双二阶滤波器的传递函数：

$$H(z) = \frac{N_0 + 2N_1z^{-1} + N_2z^{-2}}{2^{31} - 2D_1z^{-1} - D_2z^{-2}} \quad (2)$$

对于具有默认系数的双二阶滤波器部分，其频率响应在增益为 0dB (全通滤波器) 时是平坦的。主器件可以通过对双二阶系数进行编程来覆盖频率响应，从而实现低通、高通或任何其他必要频率整形所需的频率响应。双二阶可编程系数位于 B0\_P15 和 B0\_P16 中的可编程系数寄存器中。如果需要双二阶滤波，那么主器件必须先写入这些系数值，然后再为任何 ADC 通道上电以进行录音或 DAC 播放。在双通道使用案例中，TAD5112 还支持动态可编程滤波器。在这种情况下，器件对一个通道使用两组滤波器，并通过开关位来执行从一个滤波器组到另一滤波器组的切换。如表 6-17 所述，可以根据 P0\_R115 的 DAC\_DSP\_BQ\_CFG[1:0] 寄存器设置为每个输出通道分配这些双二阶滤波器。通过将 DAC\_DSP\_BQ\_CFG[1:0] 设置为 2'b00，可禁用所有回放通道的双二阶滤波，并且如果系统应用不需要额外的滤波，则主器件可以选择该设置。有关更多详细信息，请参阅 AC5x1x 和 TAC5x1x-Q1 可编程双二阶滤波器 - 配置和应用应用报告。

表 6-17. 双二阶滤波器在记录输出通道中的分配

| 可编程双二阶滤波器 | 使用 P0_R115_D[3:2] 寄存器设置的播放输出通道分配               |   |  |
|-----------|--|---|--|
|           | DAC_DSP_BQ_CFG[1:0] = 2'b01<br>(每通道 1 个双二阶滤波器) | DAC_DSP_BQ_CFG[1:0] = 2'b10<br>(默认值)<br>(每通道 2 个双二阶滤波器) | DAC_DSP_BQ_CFG[1:0] = 2'b11<br>(每通道 3 个双二阶滤波器) |
| 双二阶滤波器 1  | 分配至输出通道 1                                      | 分配至输出通道 1   | 分配至输出通道 1                                      |
| 双二阶滤波器 2  | 分配至输出通道 2                                      | 分配至输出通道 2   | 分配至输出通道 2                                      |
| 双二阶滤波器 3  | 分配至输出通道 3                                      | 分配至输出通道 3   | 分配至输出通道 3                                      |
| 双二阶滤波器 4  | 分配至输出通道 4                                      | 分配至输出通道 4   | 分配至输出通道 4                                      |
| 双二阶滤波器 5  | 未使用  | 分配至输出通道 1   | 分配至输出通道 1                                      |
| 双二阶滤波器 6  | 未使用  | 分配至输出通道 2   | 分配至输出通道 2                                      |
| 双二阶滤波器 7  | 未使用  | 分配至输出通道 3   | 分配至输出通道 3                                      |
| 双二阶滤波器 8  | 未使用  | 分配至输出通道 4   | 分配至输出通道 4                                      |
| 双二阶滤波器 9  | 未使用  | 未使用   | 分配至输出通道 1                                      |
| 双二阶滤波器 10 | 未使用  | 未使用   | 分配至输出通道 2                                      |
| 双二阶滤波器 11 | 未使用  | 未使用   | 分配至输出通道 3                                      |
| 双二阶滤波器 12 | 未使用  | 未使用   | 分配至输出通道 4                                      |

表 6-18 所示为寄存器空间中的双二阶滤波器系数映射。

表 6-18. 双二阶滤波器系数寄存器映射

| 可编程双二阶滤波器 | 双二阶滤波器系数寄存器映射 | 可编程双二阶滤波器 | 双二阶滤波器系数寄存器映射 |
|-----------|---------------|-----------|---------------|
| 双二阶滤波器 1  | P16_R8-R27    | 双二阶滤波器 7  | P17_R8-R27    |

**表 6-18. 双二阶滤波器系数寄存器映射 (续)**

| 可编程双二阶滤波器 | 双二阶滤波器系数寄存器映射 | 可编程双二阶滤波器 | 双二阶滤波器系数寄存器映射 |
|-----------|---------------|-----------|---------------|
| 双二阶滤波器 2  | P16_R28-R47   | 双二阶滤波器 8  | P17_R28-R47   |
| 双二阶滤波器 3  | P16_R48-R67   | 双二阶滤波器 9  | P17_R48-R67   |
| 双二阶滤波器 4  | P16_R68-R87   | 双二阶滤波器 10 | P17_R68-R87   |
| 双二阶滤波器 5  | P16_R88-R107  | 双二阶滤波器 11 | P17_R88-R107  |
| 双二阶滤波器 6  | P16_R108-R127 | 双二阶滤波器 12 | P17_R108-R127 |

### 6.3.7.1.5 可配置数字内插滤波器

器件回放通道包括高动态范围、内置数字内插滤波器，用于处理输入数据流，从而为多位  $\Delta$ - $\Sigma$  调制器生成数字数据流。根据目标应用所需的频率响应、群延迟、功耗和相位线性度要求，可以从四种不同的类型中选择内插滤波器。可以通过配置 DAC\_DSP\_INTX\_FILT (P0\_R115\_D[7:6]) 寄存器位来选择内插滤波器选项。低功耗滤波器可以通过设置 DAC\_LOW\_PWR\_FILT (P0\_R79\_D[2]) 位来配置。表 6-19 展示了录音通道抽取滤波器模式选择的配置寄存器设置。

表 6-19. 回放通道的内插滤波器模式选择

| P0_R79_D[2] :<br>DAC_LOW_PWR_FILT | P0_R115_D[7:6] :<br>DAC_DSP_INTX_FILT[1:0] | 内插滤波器模式选择   |
|-----------------------------------|--|-------------|
| 0                                 | 00 (默认值)                                   | 线性相位滤波器用于内插 |
| 0                                 | 01   | 低延迟滤波器用于内插  |
| 0                                 | 10   | 超低延迟滤波器用于内插 |
| 0                                 | 11   | 保留 (不使用此设置) |
| 1                                 | XX   | 低功耗滤波器用于内插  |

#### 6.3.7.1.5.1 线性相位滤波器

线性相位内插滤波器是器件设置的默认滤波器，可用于需要在滤波器通带规格范围内具有良好线性相位和零相位偏差的所有应用。本节列出了所有受支持输出采样速率的滤波器性能规格和各种图。

##### 6.3.7.1.5.1.1 采样速率：8kHz 或 7.35kHz

图 6-23 和图 6-24 分别展示了采样速率为 8kHz 或 7.35kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-20 列出了其规格。

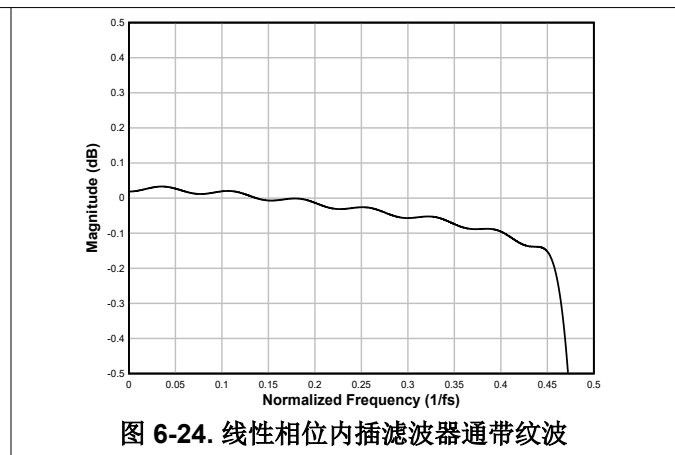
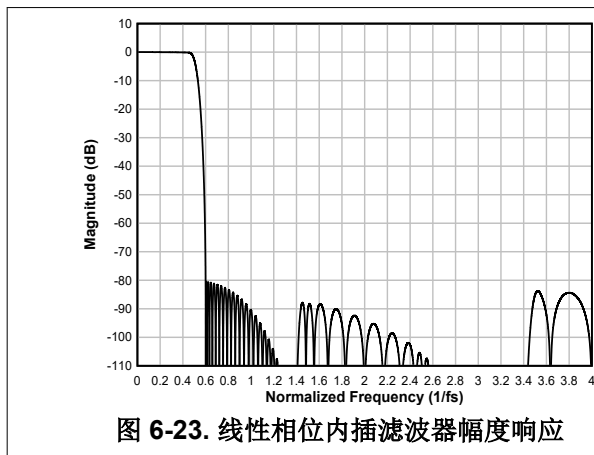


表 6-20. 线性相位内插滤波器规格

| 参数     | 测试条件                                      | 最小值   | 典型值 | 最大值  | 单位      |
|--------|---|-------|-----|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_S$              | -0.17 |     | 0.03 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$   | 80.4  |     |      | dB      |
|        | 频率范围为 $4 \times f_S$ 至 $7.431 \times f_S$ | 86.9  |     |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.455 \times f_S$              |       | 16  |      | $1/f_S$ |



6.3.7.1.5.1.2 采样速率：16kHz 或 14.7kHz

图 6-25 和图 6-26 分别展示了采样速率为 16kHz 或 14.7kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-21 列出了其规格。

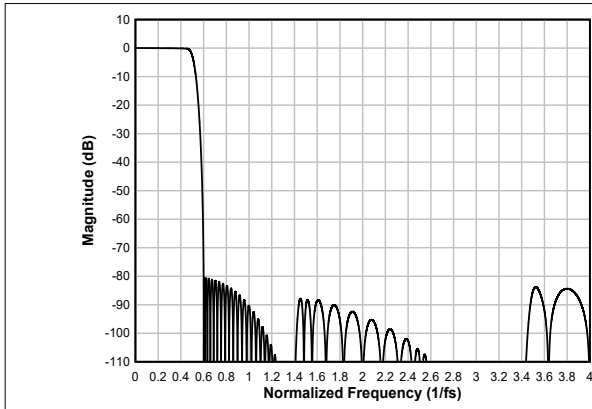


图 6-25. 线性相位内插滤波器幅度响应

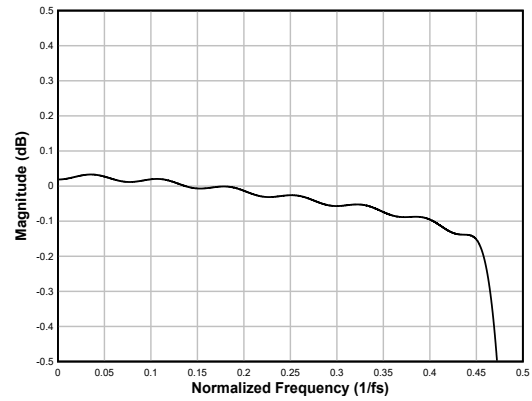


图 6-26. 线性相位内插滤波器通带纹波

表 6-21. 线性相位内插滤波器规格

| 参数     | 测试条件                                      | 最小值   | 典型值 | 最大值  | 单位      |
|--------|---|-------|-----|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_s$              | -0.17 |     | 0.03 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_s$ 至 $4 \times f_s$   | 80.4  |     |      | dB      |
|        | 频率范围为 $4 \times f_s$ 至 $7.431 \times f_s$ | 86.9  |     |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.455 \times f_s$              |       | 16  |      | $1/f_s$ |

6.3.7.1.5.1.3 采样速率：24kHz 或 22.05kHz

图 6-27 和图 6-28 分别展示了采样速率为 24kHz 或 22.05kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-22 列出了其规格。

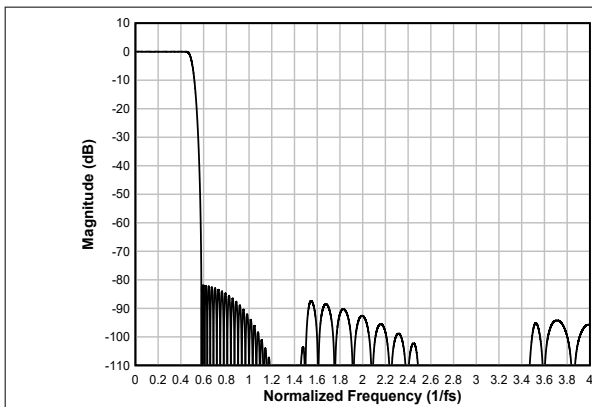


图 6-27. 线性相位内插滤波器幅度响应

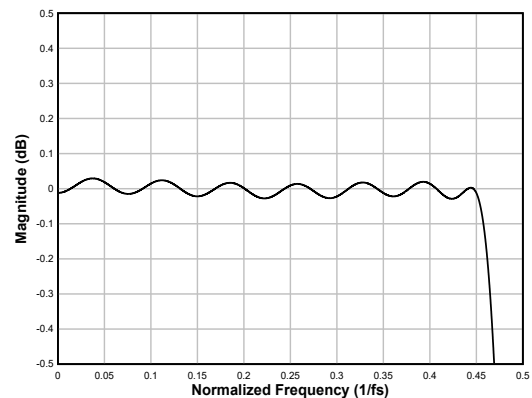


图 6-28. 线性相位内插滤波器通带纹波

表 6-22. 线性相位内插滤波器规格

| 参数   | 测试条件                                     | 最小值   | 典型值 | 最大值  | 单位 |
|------|--|-------|-----|------|----|
| 通带纹波 | 频率范围为 0 至 $0.455 \times f_s$             | -0.05 |     | 0.03 | dB |
| 阻带衰减 | 频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$ | 81.9  |     |      | dB |
|      | 频率范围为 $4 \times f_s$ 至 $8 \times f_s$    | 87.7  |     |      |    |

表 6-22. 线性相位内插滤波器规格 (续)

| 参数     | 测试条件                         | 最小值 | 典型值  | 最大值 | 单位      |
|--------|------------------------------|-----|------|-----|---------|
| 群延迟或延时 | 频率范围为 0 至 $0.455 \times f_s$ |     | 17.6 |     | $1/f_s$ |

## 6.3.7.1.5.1.4 采样速率 : 32kHz 或 29.4kHz

图 6-29 和图 6-30 分别展示了采样速率为 32kHz 或 29.4kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-23 列出了其规格。

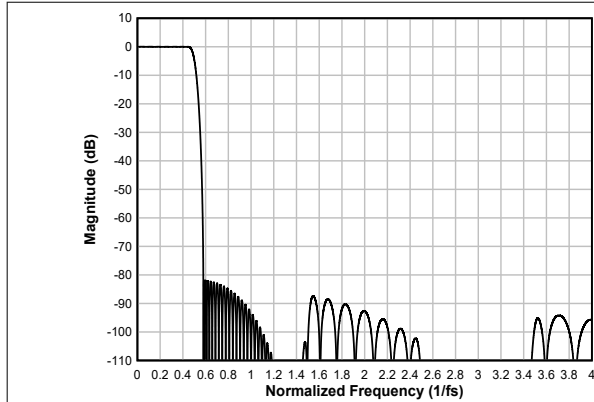


图 6-29. 线性相位内插滤波器幅度响应

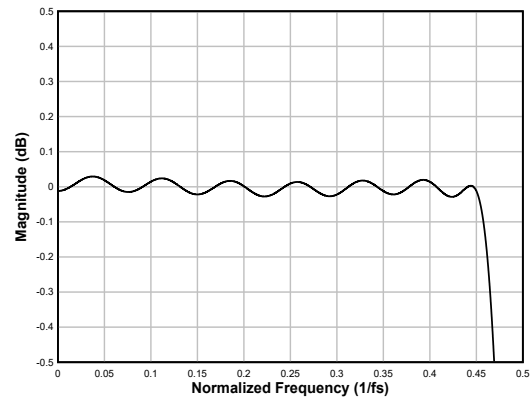


图 6-30. 线性相位内插滤波器通带纹波

表 6-23. 线性相位内插滤波器规格

| 参数     | 测试条件                                     | 最小值   | 典型值  | 最大值  | 单位      |
|--------|--|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_s$             | -0.05 |      | 0.03 | dB      |
| 阻带衰减   | 频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$ | 81.9  |      |      | dB      |
|        | 频率范围为 $4 \times f_s$ 至 $8 \times f_s$    | 87.6  |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.455 \times f_s$             |       | 17.6 |      | $1/f_s$ |

## 6.3.7.1.5.1.5 采样速率 : 48kHz 或 44.1kHz

图 6-31 和图 6-32 分别展示了采样速率为 48kHz 或 44.1kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-24 列出了其规格。

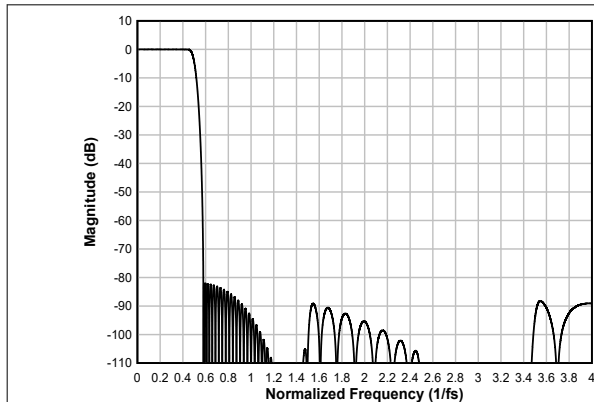


图 6-31. 线性相位内插滤波器幅度响应

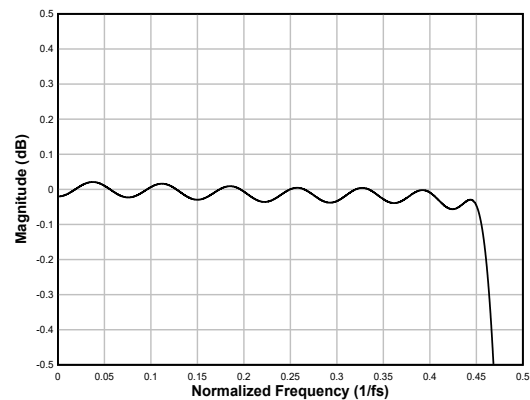


图 6-32. 线性相位内插滤波器通带纹波

表 6-24. 线性相位内插滤波器规格

| 参数     | 测试条件                                      | 最小值   | 典型值  | 最大值  | 单位      |
|--------|---|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_S$              | -0.09 |      | 0.02 | dB      |
| 阻带衰减   | 频率范围为 $0.58 \times f_S$ 至 $4 \times f_S$  | 82    |      |      | dB      |
|        | 频率范围为 $4 \times f_S$ 至 $7.423 \times f_S$ | 89.1  |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.455 \times f_S$              |       | 17.3 |      | $1/f_S$ |

6.3.7.1.5.1.6 采样速率：96kHz 或 88.2kHz

图 6-33 和图 6-34 分别展示了采样速率为 96kHz 或 88.2kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-25 列出了其规格。

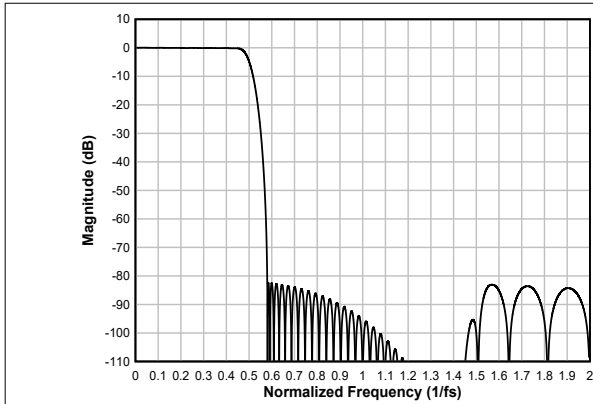


图 6-33. 线性相位内插滤波器幅度响应

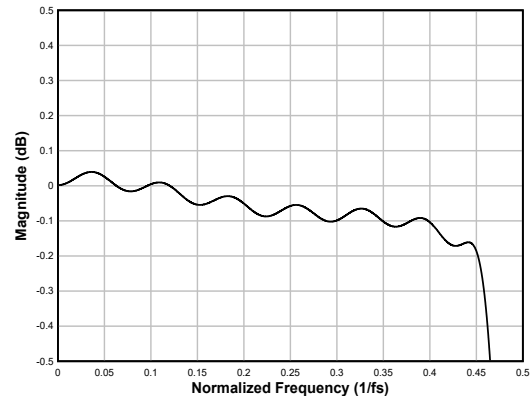


图 6-34. 线性相位内插滤波器通带纹波

表 6-25. 线性相位内插滤波器规格

| 参数     | 测试条件                                      | 最小值   | 典型值  | 最大值  | 单位      |
|--------|---|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_S$              | -0.23 |      | 0.04 | dB      |
| 阻带衰减   | 频率范围为 $0.58 \times f_S$ 至 $2 \times f_S$  | 82.4  |      |      | dB      |
|        | 频率范围为 $2 \times f_S$ 至 $3.422 \times f_S$ | 85.1  |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.455 \times f_S$              |       | 16.7 |      | $1/f_S$ |

6.3.7.1.5.1.7 采样速率：192kHz 或 176.4kHz

图 6-35 和图 6-36 分别展示了采样速率为 192kHz 或 176.4kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-26 列出了其规格。

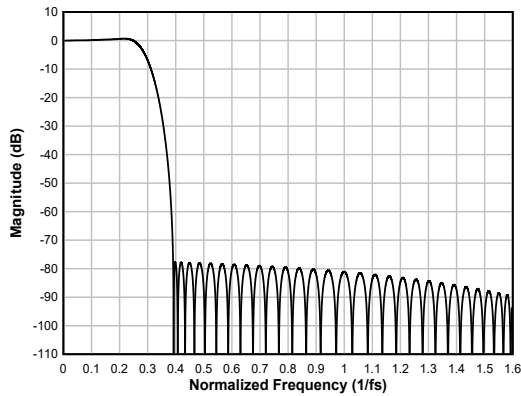


图 6-35. 线性相位内插滤波器幅度响应

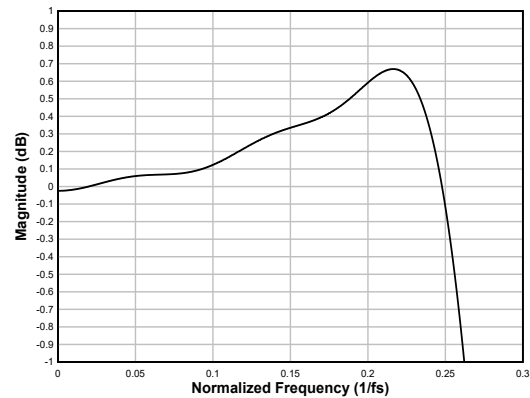


图 6-36. 线性相位内插滤波器通带纹波

表 6-26. 线性相位内插滤波器规格

| 参数     | 测试条件                                      | 最小值   | 典型值  | 最大值  | 单位      |
|--------|---|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.258 \times f_S$              | -0.67 |      | 0.67 | dB      |
| 阻带衰减   | 频率范围为 $0.391 \times f_S$ 至 $1 \times f_S$ | 77.7  |      |      | dB      |
|        | 频率范围为 $1 \times f_S$ 至 $1.612 \times f_S$ | 81.1  |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.258 \times f_S$              |       | 10.7 |      | $1/f_S$ |

## 6.3.7.1.5.1.8 采样速率：384kHz 或 352.8kHz

图 6-37 和图 6-38 分别展示了采样速率为 384kHz 或 352.8kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-27 列出了其规格。

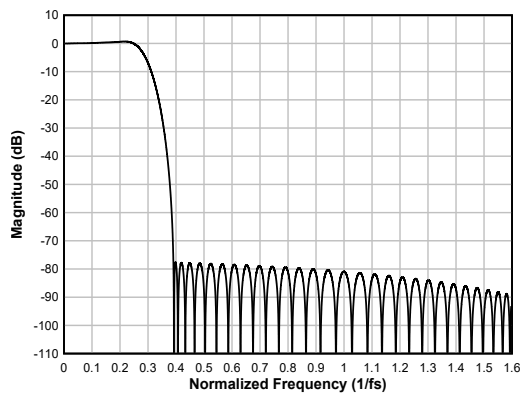


图 6-37. 线性相位内插滤波器幅度响应

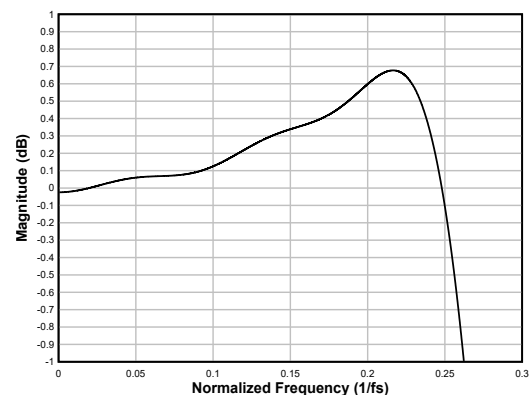


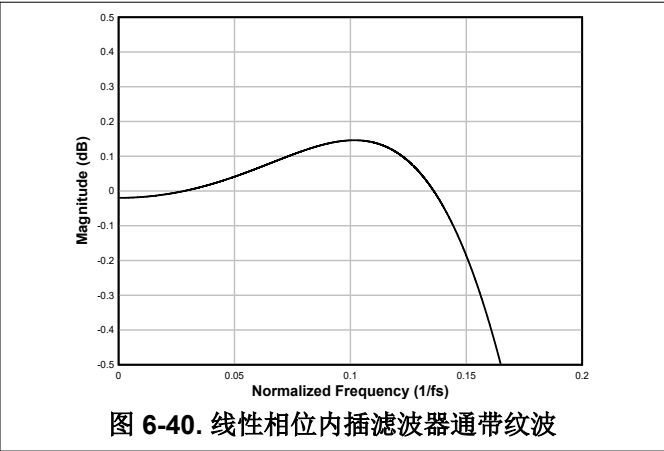
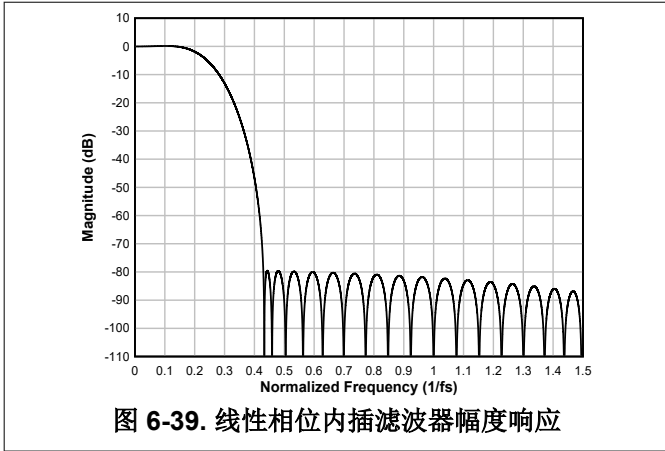
图 6-38. 线性相位内插滤波器通带纹波

表 6-27. 线性相位内插滤波器规格

| 参数     | 测试条件                                      | 最小值   | 典型值  | 最大值  | 单位      |
|--------|---|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.258 \times f_S$              | -0.67 |      | 0.67 | dB      |
| 阻带衰减   | 频率范围为 $0.391 \times f_S$ 至 $1 \times f_S$ | 77.7  |      |      | dB      |
|        | 频率范围为 $1 \times f_S$ 至 $1.612 \times f_S$ | 81.1  |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.258 \times f_S$              |       | 10.7 |      | $1/f_S$ |

**6.3.7.1.5.1.9 采样速率：768kHz 至 705.6kHz**

图 6-39 和图 6-40 分别展示了采样速率为 768kHz 或 705.6kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-28 列出了其规格。



**表 6-28. 线性相位内插滤波器规格**

| 参数     | 测试条件                                     | 最小值   | 典型值 | 最大值  | 单位      |
|--------|--|-------|-----|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.153 \times f_S$             | -0.15 |     | 0.15 | dB      |
| 阻带衰减   | 频率范围为 $0.43 \times f_S$ 至 $1 \times f_S$ | 79.1  |     |      | dB      |
|        | 频率范围为 $1 \times f_S$ 以上                  | 82.2  |     |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.113 \times f_S$             |       | 5.9 |      | $1/f_S$ |

### 6.3.7.1.5.2 低延迟滤波器

对于低延迟和最小相位偏差（在音频频带内）至关重要的应用，可以使用 TAD5112 上的低延迟内插滤波器。该器件支持这些滤波器，其群延迟约为七个样本，在  $0.376 \times f_S$  频带内具有几乎为线性的相位响应。本节提供了低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

#### 6.3.7.1.5.2.1 采样速率：24kHz 或 22.05kHz

图 6-41 显示了采样速率为 24kHz 或 22.05kHz 时此内插滤波器的幅度响应，而图 6-42 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-29 列出了器件的规格。

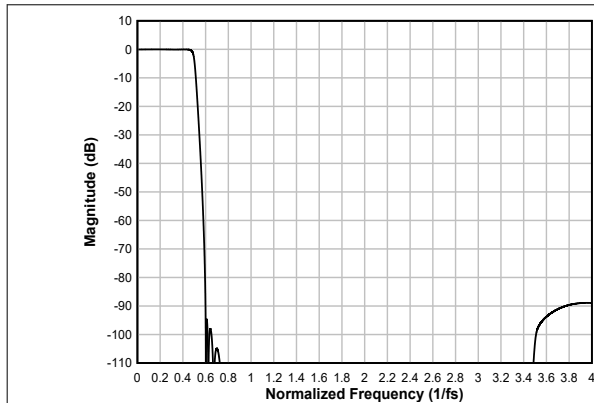


图 6-41. 低延迟内插滤波器幅度响应

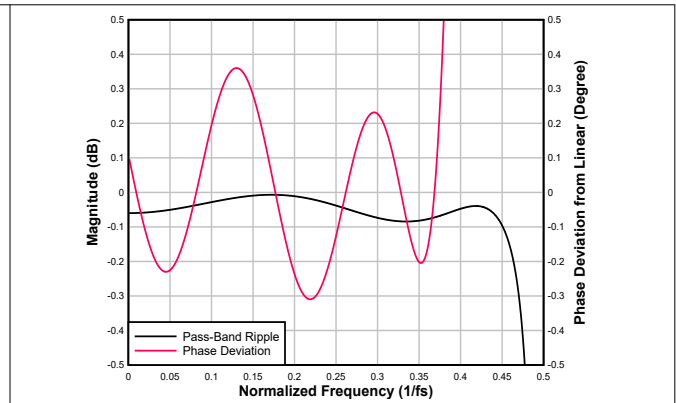


图 6-42. 低延迟内插滤波器通带纹波和相位偏差

表 6-29. 低延迟内插滤波器规格

| 参数     | 测试条件                                      | 最小值    | 典型值  | 最大值   | 单位      |
|--------|---|--------|------|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_S$              | -0.12  |      | -0.01 | dB      |
| 阻带衰减   | 频率范围为 $0.599 \times f_S$ 至 $4 \times f_S$ | 88.9   |      |       | dB      |
|        | 频率范围为 $4 \times f_S$ 至 $7.414 \times f_S$ | 89     |      |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.376 \times f_S$              |        | 7.19 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.376 \times f_S$              | -0.088 |      | 0.088 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.376 \times f_S$              | -0.31  |      | 0.36  | 度       |

#### 6.3.7.1.5.2.2 采样速率：32kHz 或 29.4kHz

图 6-43 显示了采样速率为 32kHz 或 29.4kHz 时此内插滤波器的幅度响应，而图 6-44 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-30 列出了器件的规格。

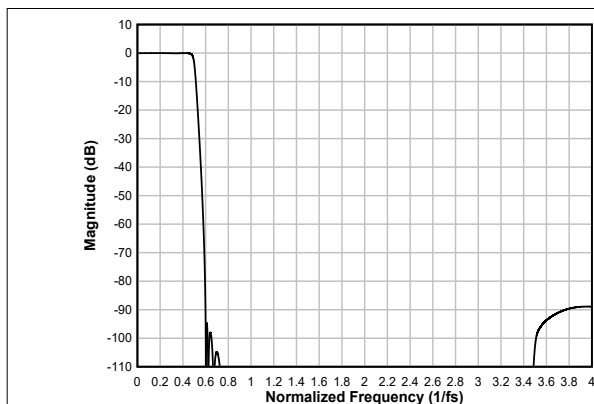


图 6-43. 低延迟内插滤波器幅度响应

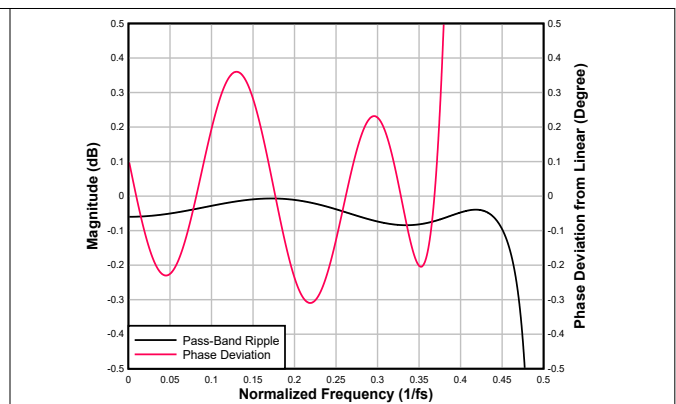


图 6-44. 低延迟内插滤波器通带纹波和相位偏差

表 6-30. 低延迟内插滤波器规格

| 参数     | 测试条件                                      | 最小值    | 典型值  | 最大值   | 单位      |
|--------|---|--------|------|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_S$              | -0.12  |      | -0.01 | dB      |
| 阻带衰减   | 频率范围为 $0.599 \times f_S$ 至 $4 \times f_S$ | 88.9   |      |       | dB      |
|        | 频率范围为 $4 \times f_S$ 至 $7.414 \times f_S$ | 89     |      |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.376 \times f_S$              |        | 7.19 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.376 \times f_S$              | -0.088 |      | 0.088 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.376 \times f_S$              | -0.31  |      | 0.36  | 度       |

6.3.7.1.5.2.3 采样速率 : 48kHz 或 44.1kHz

图 6-45 显示了采样速率为 48kHz 或 44.1kHz 时此内插滤波器的幅度响应，而图 6-46 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-31 列出了器件的规格。

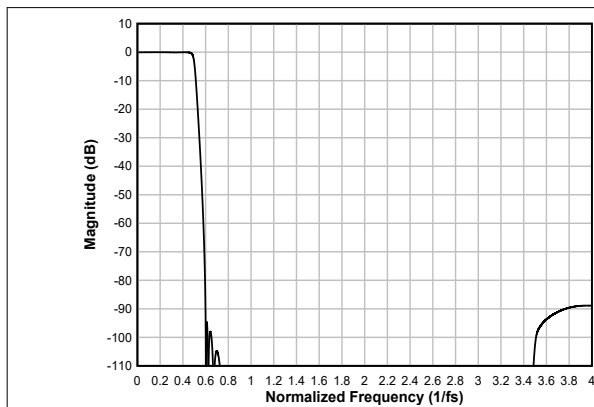


图 6-45. 低延迟内插滤波器幅度响应

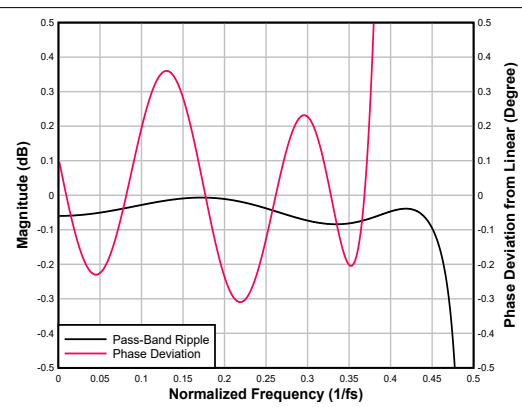


图 6-46. 低延迟内插滤波器通带纹波和相位偏差

表 6-31. 低延迟内插滤波器规格

| 参数     | 测试条件                                      | 最小值    | 典型值  | 最大值   | 单位      |
|--------|---|--------|------|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_S$              | -0.12  |      | -0.01 | dB      |
| 阻带衰减   | 频率范围为 $0.599 \times f_S$ 至 $4 \times f_S$ | 88.9   |      |       | dB      |
|        | 频率范围为 $4 \times f_S$ 至 $7.414 \times f_S$ | 89     |      |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.376 \times f_S$              |        | 7.19 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.376 \times f_S$              | -0.088 |      | 0.088 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.376 \times f_S$              | -0.31  |      | 0.36  | 度       |

6.3.7.1.5.2.4 采样速率 : 96kHz 或 88.2kHz

图 6-47 显示了采样速率为 96kHz 或 88.2kHz 时此内插滤波器的幅度响应，而图 6-48 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-32 列出了器件的规格。

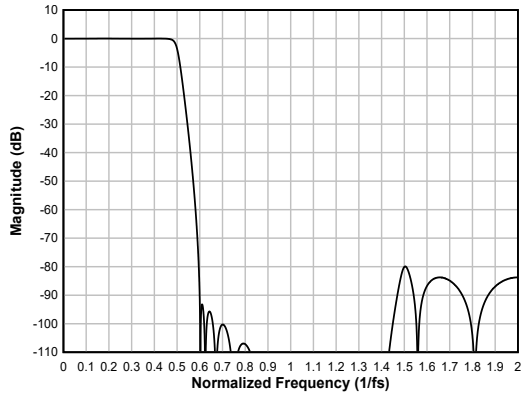


图 6-47. 低延迟内插滤波器幅度响应

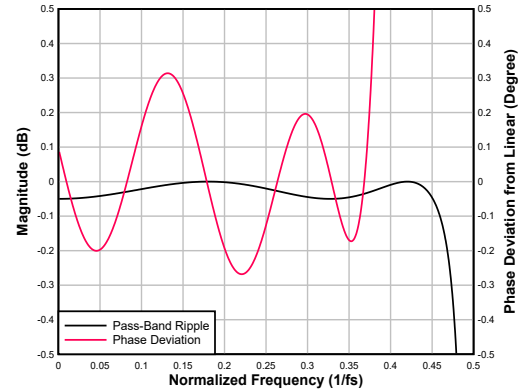


图 6-48. 低延迟内插滤波器通带纹波和相位偏差

表 6-32. 低延迟内插滤波器规格

| 参数     | 测试条件                                      | 最小值    | 典型值  | 最大值   | 单位      |
|--------|---|--------|------|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.456 \times f_S$              | -0.07  |      | 0     | dB      |
| 阻带衰减   | 频率范围为 $0.595 \times f_S$ 至 $2 \times f_S$ | 79.9   |      |       | dB      |
|        | 频率范围为 $2 \times f_S$ 至 $3.405 \times f_S$ | 79.9   |      |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.376 \times f_S$              |        | 6.39 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.376 \times f_S$              | -0.078 |      | 0.022 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.376 \times f_S$              | -0.268 |      | 0.022 | 度       |

## 6.3.7.1.5.2.5 采样速率：192kHz 或 176.4kHz

图 6-49 显示了采样速率为 192kHz 或 176.4kHz 时此内插滤波器的幅度响应，而图 6-50 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-33 列出了器件的规格。

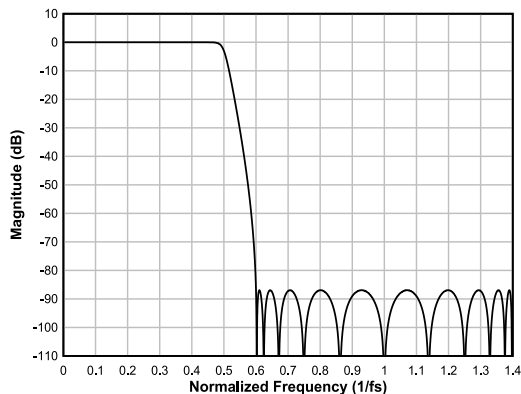


图 6-49. 低延迟内插滤波器幅度响应

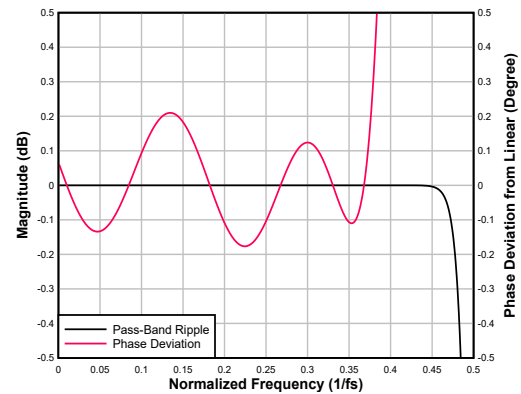


图 6-50. 低延迟内插滤波器通带纹波和相位偏差

表 6-33. 低延迟内插滤波器规格

| 参数     | 测试条件                                      | 最小值    | 典型值  | 最大值   | 单位      |
|--------|---|--------|------|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.452 \times f_S$              | -0.005 |      | 0     | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $1 \times f_S$   | 86.9   |      |       | dB      |
|        | 频率范围为 $1 \times f_S$ 至 $1.401 \times f_S$ | 86.9   |      |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.376 \times f_S$              |        | 5.41 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.376 \times f_S$              | -0.055 |      | 0.055 | $1/f_S$ |



**表 6-33. 低延迟内插滤波器规格 (续)**

| 参数   | 测试条件                         | 最小值    | 典型值 | 最大值  | 单位 |
|------|------------------------------|--------|-----|------|----|
| 相位偏差 | 频率范围为 0 至 $0.376 \times f_S$ | -0.177 |     | 0.21 | 度  |

#### 6.3.7.1.5.3 超低延迟滤波器

对于超低延迟 (在音频频带内) 至关重要的应用, 可以使用 TAD5112 上的超低延迟内插滤波器。该器件支持这些滤波器, 其群延迟约为四个样本, 在  $0.325 \times f_S$  频带内具有几乎为线性的相位响应。本节提供了超低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

### 6.3.7.1.5.3.1 采样速率：24kHz 或 22.05kHz

图 6-51 显示了采样速率为 24kHz 或 22.05kHz 时此内插滤波器的幅度响应，而图 6-52 显示了该条件下内插滤波器的通带纹波和相位偏差。表 6-34 列出了器件的规格。

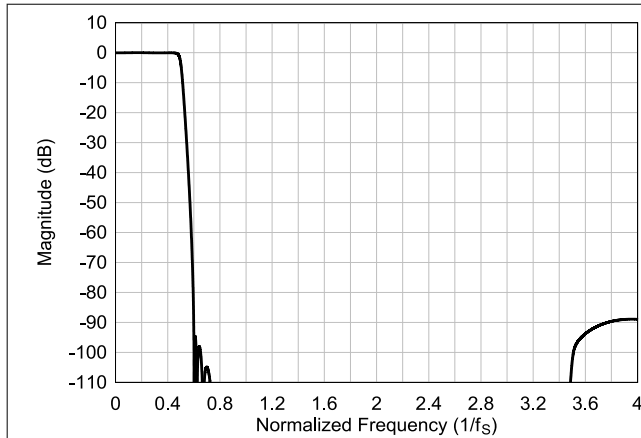


图 6-51. 超低延迟内插滤波器幅度响应

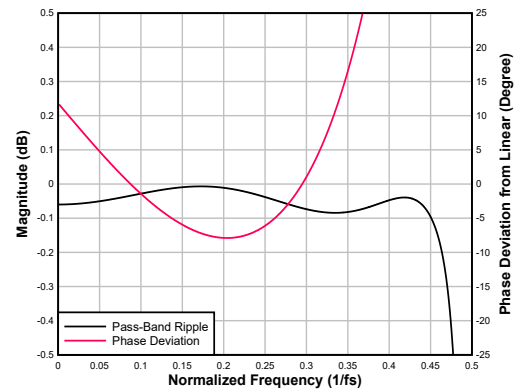


图 6-52. 超低延迟内插滤波器通带纹波和相位偏差

表 6-34. 超低延迟内插滤波器规格

| 参数     | 测试条件                                     | 最小值    | 典型值 | 最大值   | 单位      |
|--------|--|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.42 \times f_s$              | -0.005 |     | 0.01  | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_s$ 至 $4 \times f_s$  | 88.9   |     |       | dB      |
|        | 频率范围为 $4 \times f_s$ 至 $7.41 \times f_s$ | 88.9   |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_s$             |        | 3.2 |       | $1/f_s$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_s$             | -0.888 |     | 0.363 | $1/f_s$ |
| 相位偏差   | 频率范围为 0 至 $0.325 \times f_s$             | -7.9   |     | 11.7  | 度       |

### 6.3.7.1.5.3.2 采样速率：32kHz 或 29.4kHz

图 6-53 显示了采样速率为 32kHz 或 29.4kHz 时此内插滤波器的幅度响应，而图 6-54 显示了该条件下内插滤波器的通带纹波和相位偏差。表 6-35 列出了器件的规格。

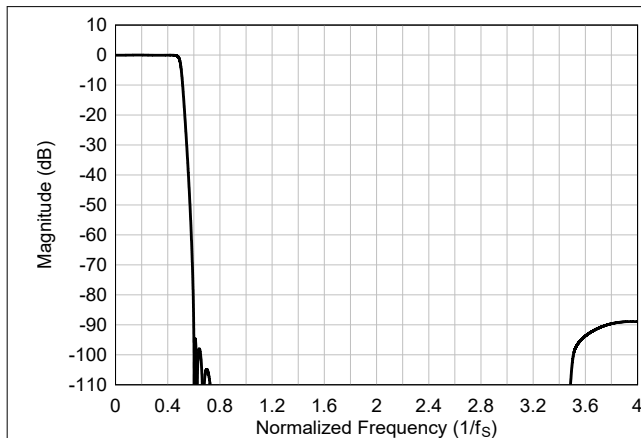


图 6-53. 超低延迟内插滤波器幅度响应

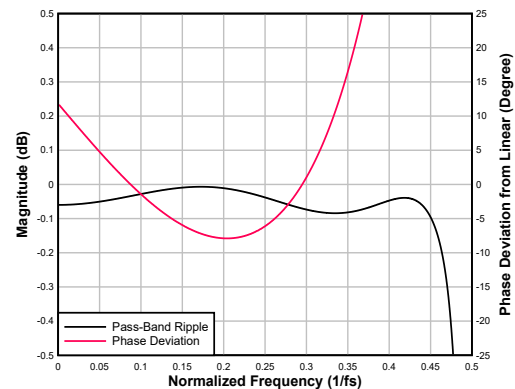


图 6-54. 超低延迟内插滤波器通带纹波和相位偏差

表 6-35. 超低延迟内插滤波器规格

| 参数     | 测试条件                                     | 最小值    | 典型值 | 最大值   | 单位      |
|--------|--|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.42 \times f_S$              | -0.005 |     | 0.01  | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$  | 88.9   |     |       | dB      |
|        | 频率范围为 $4 \times f_S$ 至 $7.41 \times f_S$ | 88.9   |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_S$             |        | 3.2 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_S$             | -0.888 |     | 0.363 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.325 \times f_S$             | -7.9   |     | 11.7  | 度       |

6.3.7.1.5.3.3 采样速率 : 48kHz 或 44.1kHz

图 6-55 显示了采样速率为 48kHz 或 44.1kHz 时此内插滤波器的幅度响应，而图 6-56 显示了该条件下内插滤波器的通带纹波和相位偏差。表 6-36 列出了器件的规格。

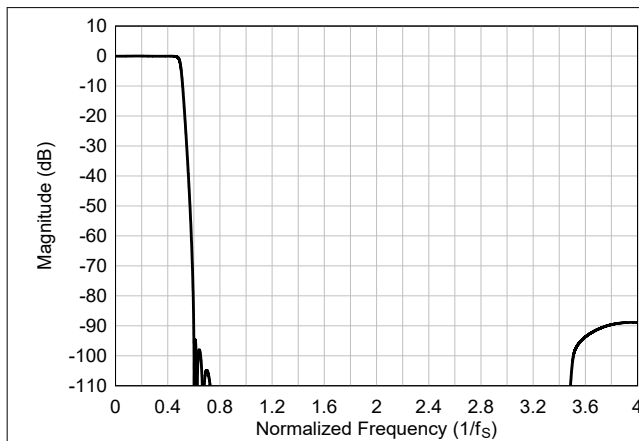


图 6-55. 超低延迟内插滤波器幅度响应

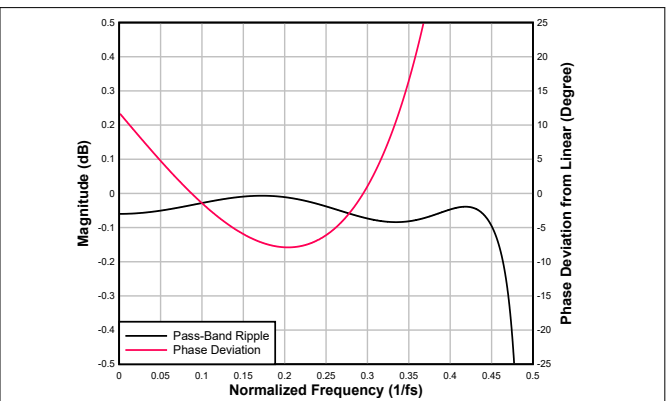


图 6-56. 超低延迟内插滤波器通带纹波和相位偏差

表 6-36. 超低延迟内插滤波器规格

| 参数     | 测试条件                                     | 最小值    | 典型值 | 最大值   | 单位      |
|--------|--|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.42 \times f_S$              | -0.005 |     | 0.01  | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$  | 88.9   |     |       | dB      |
|        | 频率范围为 $4 \times f_S$ 至 $7.41 \times f_S$ | 88.9   |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_S$             |        | 3.2 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_S$             | -0.888 |     | 0.363 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.325 \times f_S$             | -7.9   |     | 11.7  | 度       |

### 6.3.7.1.5.3.4 采样速率：96kHz 或 88.2kHz

图 6-57 显示了采样速率为 96kHz 或 88.2kHz 时此内插滤波器的幅度响应，而图 6-58 显示了该条件下内插滤波器的通带纹波和相位偏差。表 6-37 列出了器件的规格。

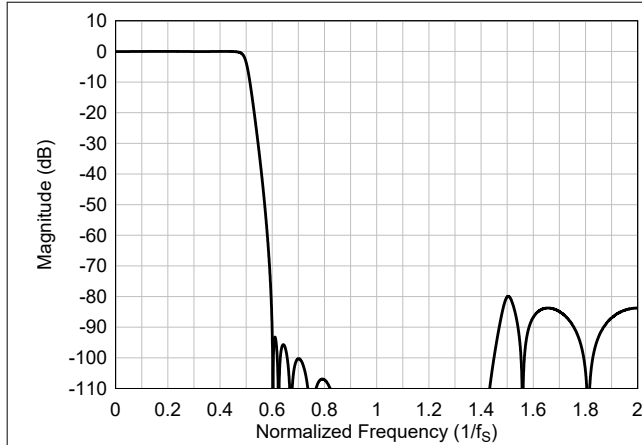


图 6-57. 超低延迟内插滤波器幅度响应

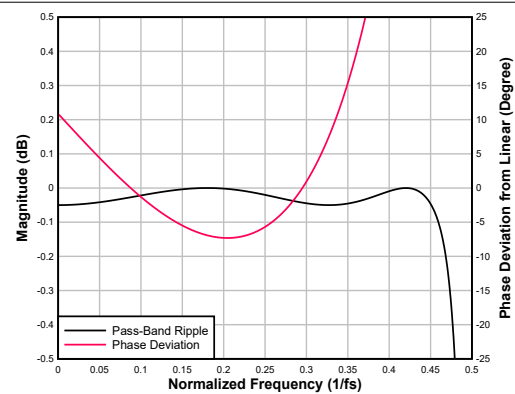


图 6-58. 超低延迟内插滤波器通带纹波和相位偏差

表 6-37. 超低延迟内插滤波器规格

| 参数     | 测试条件                                    | 最小值    | 典型值 | 最大值   | 单位      |
|--------|---|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.45 \times f_s$             | -0.05  |     | 0.001 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_s$ 至 $2 \times f_s$ | 80.6   |     |       | dB      |
|        | 频率范围为 $2 \times f_s$ 至 $3.4 \times f_s$ | 80.6   |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_s$            |        | 2.5 |       | $1/f_s$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_s$            | -0.826 |     | 0.333 | $1/f_s$ |
| 相位偏差   | 频率范围为 0 至 $0.325 \times f_s$            | -0.86  |     | 1.30  | 度       |

### 6.3.7.1.5.3.5 采样速率：192kHz 或 176.4kHz

图 6-59 显示了采样速率为 192kHz 或 176.4kHz 时此内插滤波器的幅度响应，而图 6-60 显示了该条件下内插滤波器的通带纹波和相位偏差。表 6-38 列出了器件的规格。

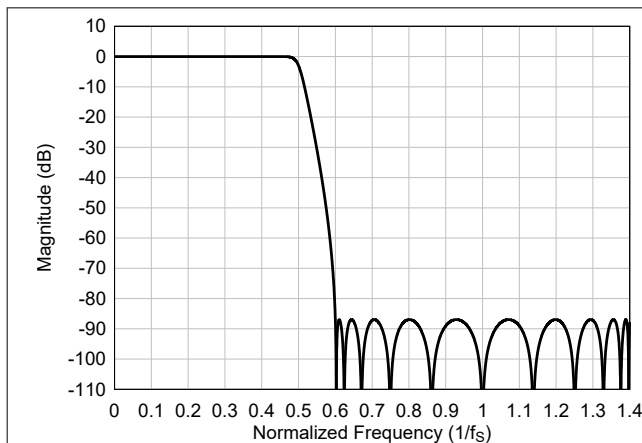


图 6-59. 超低延迟内插滤波器幅度响应

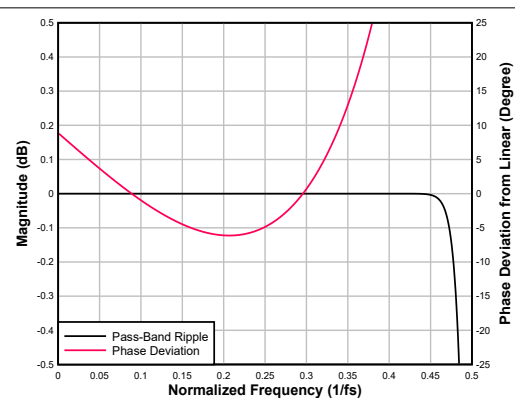


图 6-60. 超低延迟内插滤波器通带纹波和相位偏差

**表 6-38. 超低延迟内插滤波器规格 192**

| 参数     | 测试条件                                    | 最小值    | 典型值 | 最大值   | 单位      |
|--------|---|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.463 \times f_S$            | -0.001 |     | 0.001 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $1 \times f_S$ | 86.9   |     |       | dB      |
|        | 频率范围为 $1 \times f_S$ 至 $1.4 \times f_S$ | 86.9   |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_S$            |        | 1.7 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_S$            | -0.702 |     | 0.268 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.325 \times f_S$            | -0.12  |     | 0.18  | 度       |

### 6.3.7.1.6 可编程混频器

该器件支持完全可编程的混频器功能，该功能可以将各种输入通道与其自定义可编程比例因子进行混频，以生成最终输出通道。8x4 混频器用于 8 个主要 ASI 输入和 4 个输出。2x4 混频器用于 2 个辅助 ASI 输入和 4 个输出。4 个输出为 RDAC、RDAC2、LDAC 和 LDAC2。

下表显示了可编程 8x4 混频器和可编程 2x4 混频器的系数。

**表 6-39. 可编程通道 8x4 混频器**

| 寄存器名称                    | DAC 寄存器系数映射     | 复位值    |
|--------------------------|-----------------|--------|
| ASI_CH1_RDAC_MIX (15:0)  | B0_P17(R8-R9)   | 0x0000 |
| ASI_CH1_LDAC_MIX (15:0)  | B0_P17(R10-R11) | 0x4000 |
| ASI_CH1_RDAC2_MIX (15:0) | B0_P17(R12-R13) | 0x0000 |
| ASI_CH1_LDAC2_MIX (15:0) | B0_P17(R14-R15) | 0x0000 |

同样，主输入通道的可编程混频器设置可以使用 ASI\_CH2\_(RDAC/LDAC/RDAC2/LDAC2) 至 ASI\_CH8\_(RDAC / LDAC/RDAC2/LDAC2) 寄存器位来完成。

**表 6-40. 可编程 2x4 混频器**

| 寄存器名称                        | DAC 寄存器系数映射     | 复位值    |
|------------------------------|-----------------|--------|
| ASI_AUX_CH1_RDAC_MIX (15:0)  | B0_P17(R72-R73) | 0x0000 |
| ASI_AUX_CH1_LDAC_MIX (15:0)  | B0_P17(R74-R75) | 0x4000 |
| ASI_AUX_CH1_RDAC2_MIX (15:0) | B0_P17(R76-R77) | 0x0000 |
| ASI_AUX_CH1_LDAC2_MIX (15:0) | B0_P17(R78-R79) | 0x4000 |

同样，输入通道的可编程混频器设置可以使用 ASI\_AUX\_CH2\_(RDAC/LDAC/RDAC2/LDAC2) 和 ASI\_AUX\_CH2\_(RDAC/LDAC/RDAC2/LDAC2) 寄存器位来完成。

TI 建议使用 PPC3 GUI 来配置可编程系数设置；有关更多详细信息，请参阅 [使用 TAx5x1x 可编程数字通道混频器应用报告](#) 和 [PurePath™ 控制台图形开发套件](#)。

### 6.3.7.2 PDM 录音信号链

下图显示了 PDM 录音路径信号链的关键元件。

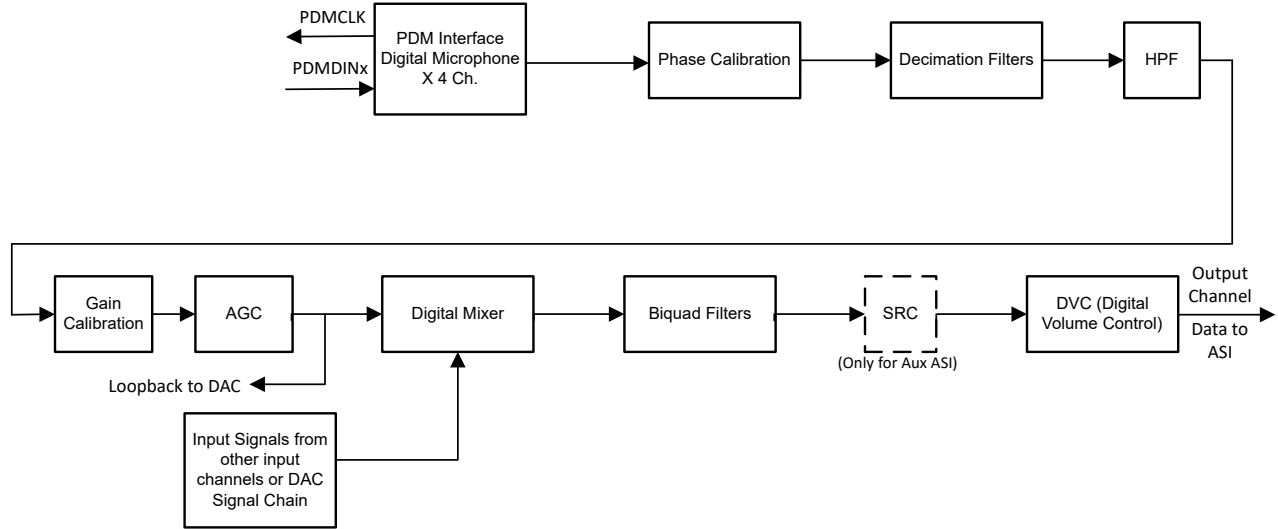


图 6-61. PDM 录音信号链处理流程图

该器件支持多达四个数字 PDM 麦克风录音通道。该架构集成的高性能多级数字抽取滤波器会通过高阻带衰减来急剧削减任何带外频率噪声。

该器件还具有集成的可编程双二阶滤波器，可实现自定义低通、高通或任何其他所需的频率整形。信号链还包含各种高度可编程的数字处理块，例如相位校准、增益校准、高通滤波器、数字加法器或混频器、双二阶滤波器、同步采样速率转换器和音量控制。本节将进一步介绍这些处理块的详细信息。

可使用 CH\_EN (P0\_R118) 寄存器启用或禁用所需的输入通道，并可使用 ASI\_TX\_CHx\_CFG 寄存器启用或禁用音频串行接口的输出通道。通常，该器件支持所有活动通道同时上电和断电，以进行同步录制。但是，根据应用需求，如果某些通道必须在另一个通道录制处于开启状态时动态加电或断电，则可以通过设置 DYN\_PUPD\_CFG (P0\_R119) 寄存器来支持该用例。

对于 48kHz 或更低的采样速率，该器件支持所有功能和各种可编程处理块。不过，对于高于 48kHz 的采样速率，支持同时录音和回放的通道数量和双二阶滤波器数量等都存在限制。有关更多详细信息，请参阅 [TAC5212 采样速率和受支持的可编程处理块应用报告](#)。

#### 6.3.7.2.1 可编程通道增益和数字音量控制

该器件具有可编程数字音量控制功能，其范围为 -80dB 至 47dB (步长为 0.5dB)，并提供通道录音静音选项。当录音通道上电并录音时，可以动态更改数字音量控制值。在音量控制变化期间，内部使用软调高或调低音量功能来避免任何可闻失真。可以使用 ADC\_DSP\_DISABLE\_SOFT\_STEP (P0\_R114\_D[1]) 寄存器位来完全禁用软步进。

每个数字麦克风录音通道都有独立的数字音量控制设置。不过，该器件还支持使用通道 1 数字音量控制设置将所有通道的音量控制设置组合在一起的选项，而无论通道 1 是通电还是断电。可以使用 ADC\_DSP\_DVOL\_GANG (P0\_R114\_D[0]) 寄存器位来启用该组合。

下表展示了可用于数字音量控制的可编程选项。

表 6-41. 数字音量控制 (DVC) 可编程设置

| P0_R82_D[7:0] : ADC_CH1_DVOL[7:0] | 输出通道 1 的 DVC 设置        |
|-----------------------------------|------------------------|
| 0000 0000 = 0d                    | 输出通道 1 DVC 设置为静音       |
| 0000 0001 = 1d                    | 输出通道 1 DVC 设置为 -80dB   |
| 0000 0010 = 2d                    | 输出通道 1 DVC 设置为 -79.5dB |

表 6-41. 数字音量控制 (DVC) 可编程设置 (续)

| P0_R82_D[7:0] : ADC_CH1_DVOL[7:0] | 输出通道 1 的 DVC 设置       |
|-----------------------------------|-----------------------|
| 0000 0011 = 3d                    | 输出通道 1 DVC 设置为 -79dB  |
| ...                               | ...                   |
| 1010 0000 = 160d                  | 输出通道 1 DVC 设置为 -0.5dB |
| 1010 0001 = 161d (默认值)            | 输出通道 1 DVC 设置为 0dB    |
| 1010 0010 = 162d                  | 输出通道 1 DVC 设置为 0.5dB  |
| ...                               | ...                   |
| 1111 1101 = 253d                  | 输出通道 1 DVC 设置为 46dB   |
| 1111 1110 = 254d                  | 输出通道 1 DVC 设置为 46.5dB |
| 1111 1111 = 255d                  | 输出通道 1 DVC 设置为 47dB   |

同样，输出通道 2 至通道 4 的数字音量控制设置可以分别使用 CH2\_DVOL (P0\_R87) 至 CH4\_DVOL (P0\_R95) 寄存器位进行配置。

当该通道上电时，内部数字处理引擎会将音量从静音级别软斜升至编程的音量级别，当该通道断电时，内部数字处理引擎会将音量从编程的音量软斜降至静音。这种音量软步进是为了防止录音通道突然上电和断电。也可以使用 ADC\_DSP\_DISABLE\_SOFT\_STEP (P0\_R114\_D[1]) 寄存器位来完全禁用该功能。

如果 PLL 关闭，则可编程通道数字音量控制功能不适用。要设置通道衰减，用户可以使用 B0\_P11 中的可编程系数寄存器中所述的可编程高通滤波器系数进行配置。

#### 6.3.7.2.2 可编程通道增益校准

除了数字音量控制外，此器件还提供可编程通道增益校准。每个通道的增益能够以 0.1dB 的步长进行精细校准或调整，增益误差范围为 -0.8dB 至 0.7dB。当尝试匹配外部元件和麦克风灵敏度导致的通道间增益时，此调整非常有用。该功能与常规数字音量控制相结合，可以在宽增益误差范围内实现所有通道上的增益匹配，分辨率为 0.1dB。表 6-42 展示了可用于通道增益校准的可编程选项。

表 6-42. 通道增益校准可编程设置

| P0_R83_D[7:4] : ADC_CH1_FGAIN[3:0] | 输入通道 1 的通道增益校准设置      |
|------------------------------------|-----------------------|
| 0000 = 0d                          | 输入通道 1 增益校准设置为 -0.8dB |
| 0001 = 1d                          | 输入通道 1 增益校准设置为 -0.7dB |
| ...                                | ...                   |
| 1000 = 8d (默认值)                    | 输入通道 1 增益校准设置为 0dB    |
| ...                                | ...                   |
| 1110 = 14d                         | 输入通道 1 增益校准设置为 0.6dB  |
| 1111 = 15d                         | 输入通道 1 增益校准设置为 0.7dB  |

同样，可以分别使用 ADC\_CH2\_CFG3 (P0\_R88) 至 ADC\_CH4\_CFG3 (P0\_R96) 寄存器位来配置输入通道 2 至通道 4 的通道增益校准设置。

#### 6.3.7.2.3 可编程通道相位校准

除了增益校准外，每个录音通道的相位延迟可进行精细校准或调整，步长为一个调制器时钟周期，相位误差的周期范围为 1 至 63。数字麦克风的调制器时钟是由 PDM\_CLK 设置的时钟，就是默认配置中的 3.072MHz (输出数据采样速率为 48kHz 的倍数或约数) 或 2.8224MHz (输出数据采样速率为 44.1kHz 的倍数或约数)。用户可以使用 PDM\_CLK\_CFG[1:0] (P0\_R53\_D[7:6]) 寄存器位配置 PDM\_CLK。对于许多必须在每个通道之间以高分辨率进行相位匹配的应用 (包括由外部元件或麦克风导致的任何通道间相位不匹配)，可编程通道相位校准功能非常有用。下表展示了使用默认调制器时钟运行时可用的通道相位校准可编程选项。

表 6-43. 通道相位校准可编程设置

| P0_R84_D[7:2] : ADC_CH1_PCAL[5:0] | 输入通道 1 的通道相位校准设置      |
|-----------------------------------|-----------------------|
| 00 0000 = 0d (默认值)                | 无相位校准                 |
| 00 0001 = 1d                      | 相位校准延迟设置为一个调制器时钟周期    |
| ...                               | ...                   |
| 11 1111 = 63d                     | 相位校准延迟设置为 63 个调制器时钟周期 |

同样，可以分别使用 ADC\_CH2\_PCAL (P0\_R89\_D[7:2]) 到 ADC\_CH4\_PCAL (P0\_R97\_D[7:2]) 寄存器位来配置输入通道 2 到通道 4 的通道相位校准设置。

#### 6.3.7.2.4 可编程数字高通滤波器

为了去除直流偏移分量并衰减录音数据中不需要的低频噪声成分，该器件支持可编程高通滤波器 (HPF)。HPF 不是独立于通道的滤波器设置，但全局适用于所有录音通道。该 HPF 使用一阶无限脉冲响应 (IIR) 滤波器构建，并具有足够高的效率来滤除信号中可能的直流分量。表 6-44 展示了可用的预定义 -3dB 截止频率，该频率可使用 P0\_R114\_D[5:4] 的 ADC\_DSP\_HPF\_SEL[1:0] 寄存器位进行设置。此外，为了针对特定应用实现自定义的 -3dB 截止频率，该器件还允许在 HPF\_SEL[1:0] 寄存器位设置为 2'b00 时对一阶 IIR 滤波器系数进行编程。图 6-62 展示了 HPF 滤波器的频率响应图。

表 6-44. HPF 可编程设置

| P0_R114_D[5:4] :<br>ADC_DSP_HPF_SEL[1:0] | -3dB 截止频率设置          | 16kHz 采样速率下截止频率为 -3dB | 48kHz 采样速率下的<br>-3dB 截止频率 |
|--|----------------------|-----------------------|---------------------------|
| 00                                       | 可编程一阶 IIR 滤波器        | 可编程一阶 IIR 滤波器         | 可编程一阶 IIR 滤波器             |
| 01 (默认值)                                 | $0.00002 \times f_s$ | 0.25Hz                | 1Hz                       |
| 10                                       | $0.00025 \times f_s$ | 4Hz                   | 12Hz                      |
| 11                                       | $0.002 \times f_s$   | 32Hz                  | 96Hz                      |

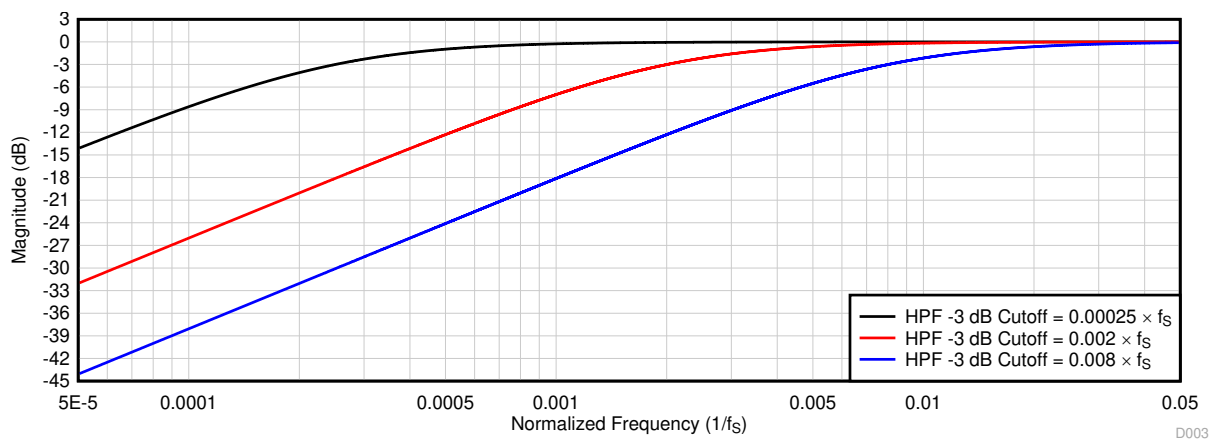


图 6-62. HPF 滤波器频率响应图

方程式 3 给出了一阶可编程 IIR 滤波器的传递函数：

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \quad (3)$$



对于具有默认系数的该一阶可编程 IIR 滤波器，其频率响应在增益为 0dB（全通滤波器）时是平坦的。主机器件可以通过对表 6-45 中的 IIR 系数进行编程来覆盖频率响应，从而实现高通滤波或任何其他必要滤波所需的频率响应。如果 ADC\_DSP\_HPF\_SEL[1:0] 设置为 2'b00，则主机器件必须写入这些系数值以实现所需的频率响应，然后再对任何录音通道上电以进行录音。表 6-45 展示了一阶 IIR 滤波器的滤波器系数。

**表 6-45. 一阶 IIR 滤波器系数**

| 滤波器                                | 滤波器系数          | 默认系数值      | 系数寄存器映射       |
|------------------------------------|----------------|------------|---------------|
| 可编程一阶 IIR 滤波器（可分配至 HPF 或任何其他所需滤波器） | N <sub>0</sub> | 0x7FFFFFFF | P10_R120-R123 |
|                                    | N <sub>1</sub> | 0x00000000 | P10_R124-R127 |
|                                    | D <sub>1</sub> | 0x00000000 | P11_R8-R11    |

### 6.3.7.2.5 可编程数字双二阶滤波器

该器件支持多达 12 个可编程数字双二阶滤波器，可用于录音信号链，限制为每通道 3 个滤波器。这些高效滤波器可实现所需的频率响应。TAD5112 还支持适用于两通道记录使用案例的动态可编程双二阶滤波器。在数字信号处理中，数字双二阶滤波器是具有两个极点和两个零点的二阶递归线性滤波器。方程式 4 给出了每个双二阶滤波器的传递函数：

$$H(z) = \frac{N_0 + 2N_1z^{-1} + N_2z^{-2}}{2^{31} - 2D_1z^{-1} - D_2z^{-2}} \quad (4)$$

对于具有默认系数的双二阶滤波器部分，其频率响应在增益为 0dB（全通滤波器）时是平坦的。主机器件可以通过对双二阶系数进行编程来覆盖频率响应，从而实现低通、高通或任何其他必要频率整形所需的频率响应。双二阶可编程系数位于 B0\_P8 和 B0\_P9 中。如果需要双二阶滤波，那么主机器件必须先写入这些系数值，然后再为任何录音通道上电以进行录音。在双通道使用案例中，TAD5112 还支持动态可编程滤波器。在这种情况下，器件对一个通道使用两组滤波器，并通过开关位来执行从一个滤波器组到另一滤波器组的切换。如表 6-46 所述，可以根据 P0\_R114\_D[3:2] 的 ADC\_DSP\_BQ\_CFG[1:0] 寄存器设置为每个输出通道分配这些双二阶滤波器。通过将 ADC\_DSP\_BQ\_CFG[1:0] 设置为 2'b00，会禁用所有录音通道的双二阶滤波，并且如果系统应用不需要额外的滤波，则主机器件可以选择该设置。有关更多详细信息，请参阅 [AC5x1x 和 TAC5x1x-Q1 可编程双二阶滤波器 - 配置和应用应用报告](#)。

**表 6-46. 双二阶滤波器在记录输出通道中的分配**

| 可编程双二阶滤波器 | 使用 P0_R114_D[3:2] 寄存器设置的记录输出通道分配               |   |  |
|-----------|--|---|--|
|           | ADC_DSP_BQ_CFG[1:0] = 2'b01<br>(每通道 1 个双二阶滤波器) | ADC_DSP_BQ_CFG[1:0] = 2'b10<br>(默认值)<br>(每通道 2 个双二阶滤波器) | ADC_DSP_BQ_CFG[1:0] = 2'b11<br>(每通道 3 个双二阶滤波器) |
| 双二阶滤波器 1  | 分配至输出通道 1                                      | 分配至输出通道 1   | 分配至输出通道 1                                      |
| 双二阶滤波器 2  | 分配至输出通道 2                                      | 分配至输出通道 2   | 分配至输出通道 2                                      |
| 双二阶滤波器 3  | 分配至输出通道 3                                      | 分配至输出通道 3   | 分配至输出通道 3                                      |
| 双二阶滤波器 4  | 分配至输出通道 4                                      | 分配至输出通道 4   | 分配至输出通道 4                                      |
| 双二阶滤波器 5  | 未使用  | 分配至输出通道 1   | 分配至输出通道 1                                      |
| 双二阶滤波器 6  | 未使用  | 分配至输出通道 2   | 分配至输出通道 2                                      |
| 双二阶滤波器 7  | 未使用  | 分配至输出通道 3   | 分配至输出通道 3                                      |
| 双二阶滤波器 8  | 未使用  | 分配至输出通道 4   | 分配至输出通道 4                                      |
| 双二阶滤波器 9  | 未使用  | 未使用   | 分配至输出通道 1                                      |
| 双二阶滤波器 10 | 未使用  | 未使用   | 分配至输出通道 2                                      |
| 双二阶滤波器 11 | 未使用  | 未使用   | 分配至输出通道 3                                      |
| 双二阶滤波器 12 | 未使用  | 未使用   | 分配至输出通道 4                                      |

表 6-47 所示为寄存器空间中的双二阶滤波器系数映射。

**表 6-47. 双二阶滤波器系数寄存器映射**

| 可编程双二阶滤波器 | 双二阶滤波器系数寄存器映射 | 可编程双二阶滤波器 | 双二阶滤波器系数寄存器映射 |
|-----------|---------------|-----------|---------------|
| 双二阶滤波器 1  | P8_R8-R27     | 双二阶滤波器 7  | P9_R8-R27     |
| 双二阶滤波器 2  | P8_R28-R47    | 双二阶滤波器 8  | P9_R28-R47    |
| 双二阶滤波器 3  | P8_R48-R67    | 双二阶滤波器 9  | P9_R48-R67    |
| 双二阶滤波器 4  | P8_R68-R87    | 双二阶滤波器 10 | P9_R68-R87    |
| 双二阶滤波器 5  | P8_R88-R107   | 双二阶滤波器 11 | P9_R88-R107   |
| 双二阶滤波器 6  | P8_R108-R127  | 双二阶滤波器 12 | P9_R108-R127  |

### 6.3.7.2.6 可配置数字抽取滤波器

器件录音通道包括一个高动态范围和一个内置数字抽取滤波器，用于处理来自数字麦克风的过采样 PDM 流。根据目标应用所需的频率响应、群延迟、功耗和相位线性度要求，可以从四种不同的类型中选择抽取滤波器。可以通过配置 ADC\_DSP\_DECI\_FILT (P0\_R114\_D[7:6]) 寄存器位来选择抽取滤波器选项。低功耗滤波器可以通过设置 ADC\_LOW\_PWR\_FILT (P0\_R78\_D[2]) 位来配置。下表展示了录音通道抽取滤波器模式选择的配置寄存器设置。因此，这些器件适用于各种音频应用。

表 6-48. 录音通道的抽取滤波器模式选择

| P0_R78_D[2] :<br>ADC_LOW_PWR_FILT | P0_R114_D[7:6] :<br>ADC_DSP_DECI_FILT[1:0] | 抽取滤波器模式选择   |
|-----------------------------------|--|-------------|
| 0                                 | 00 (默认值)                                   | 线性相位滤波器用于抽取 |
| 0                                 | 01   | 低延时滤波器用于抽取  |
| 0                                 | 10   | 超低延时滤波器用于抽取 |
| 0                                 | 11   | 保留 (不使用此设置) |
| 1                                 | x  | 低功耗滤波器用于抽取  |

以下各节介绍了不同延迟选项和采样速率下的滤波器响应。

#### 6.3.7.2.6.1 线性相位滤波器

线性相位抽取滤波器是器件设置的默认滤波器，可用于需要在滤波器通带规格范围内具有良好线性相位和零相位偏差的所有应用。本节列出了所有受支持输出采样速率的滤波器性能规格和各种图。

##### 6.3.7.2.6.1.1 采样速率：8kHz 或 7.35kHz

图 6-63 和图 6-64 分别展示了采样速率为 8kHz 或 7.35kHz 时此抽取滤波器的幅度响应和通带纹波，而表 6-49 列出了其规格。

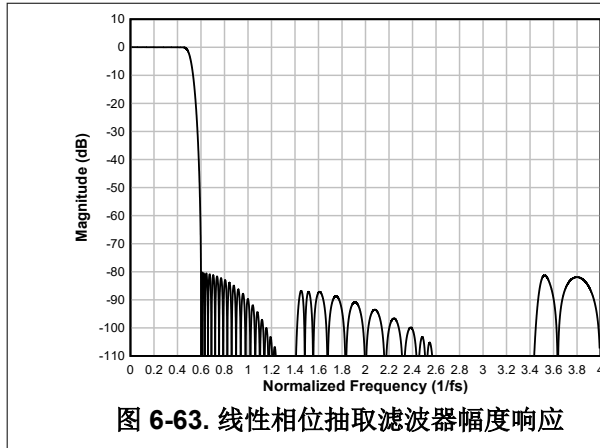


图 6-63. 线性相位抽取滤波器幅度响应

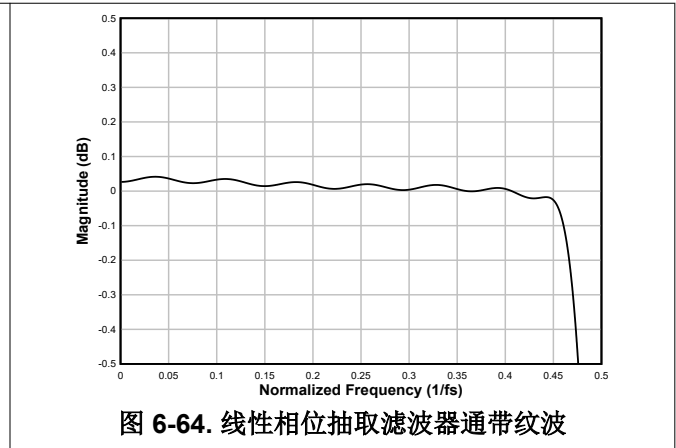


图 6-64. 线性相位抽取滤波器通带纹波

表 6-49. 线性相位抽取滤波器规格

| 参数     | 测试条件                                    | 最小值   | 典型值  | 最大值  | 单位      |
|--------|---|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.454 \times f_s$            | -0.04 |      | 0.04 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_s$ 至 $4 \times f_s$ | 80.2  |      |      | dB      |
|        | 频率范围为 $4 \times f_s$ 以上                 | 84.7  |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.454 \times f_s$            |       | 16.1 |      | $1/f_s$ |

##### 6.3.7.2.6.1.2 采样速率：16kHz 或 14.7kHz

图 6-65 和图 6-66 分别展示了采样速率为 16kHz 或 14.7kHz 时此抽取滤波器的幅度响应和通带纹波，而表 6-50 列出了其规格。

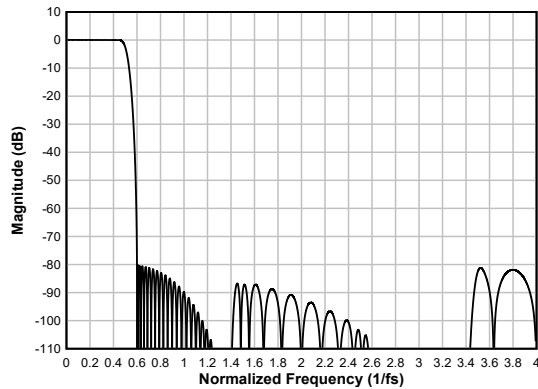


图 6-65. 线性相位抽取滤波器幅度响应

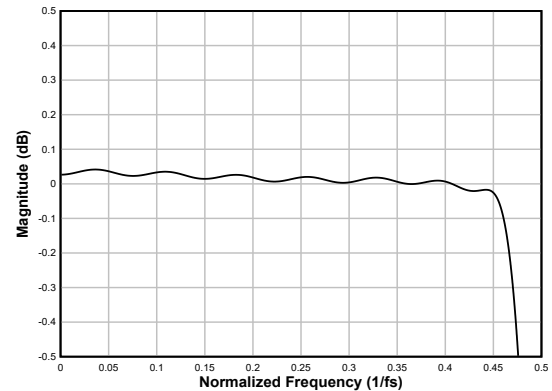


图 6-66. 线性相位抽取滤波器通带纹波

表 6-50. 线性相位抽取滤波器规格

| 参数     | 测试条件                                    | 最小值   | 典型值  | 最大值  | 单位      |
|--------|---|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.454 \times f_S$            | -0.04 |      | 0.04 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$ | 80.2  |      |      | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                 | 84.7  |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.454 \times f_S$            |       | 16.1 |      | $1/f_S$ |

### 6.3.7.2.6.1.3 采样速率：24kHz 或 22.05kHz

图 6-67 和图 6-68 分别展示了采样速率为 24kHz 或 22.05kHz 时此抽取滤波器的幅度响应和通带纹波，而表 6-51 列出了其规格。

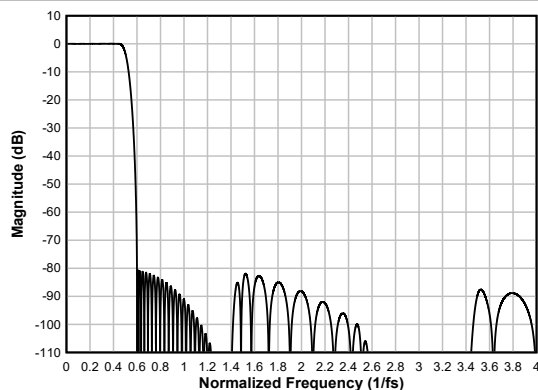


图 6-67. 线性相位抽取滤波器幅度响应

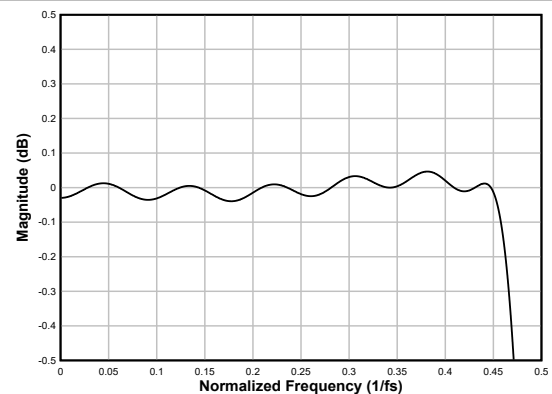


图 6-68. 线性相位抽取滤波器通带纹波

表 6-51. 线性相位抽取滤波器规格

| 参数     | 测试条件                                    | 最小值   | 典型值  | 最大值  | 单位      |
|--------|---|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_S$            | -0.05 |      | 0.05 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$ | 80.6  |      |      | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                 | 93    |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.455 \times f_S$            |       | 14.7 |      | $1/f_S$ |

### 6.3.7.2.6.1.4 采样速率：32kHz 或 29.4kHz

图 6-69 和图 6-70 分别展示了采样速率为 32kHz 或 29.4kHz 时此抽取滤波器的幅度响应和通带纹波，而表 6-52 列出了其规格。

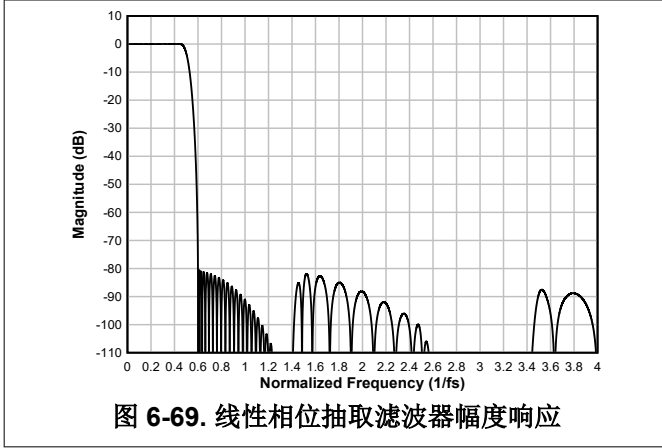


图 6-69. 线性相位抽取滤波器幅度响应

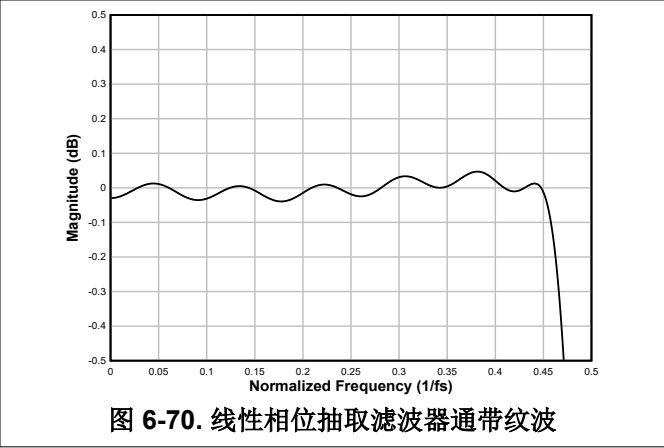


图 6-70. 线性相位抽取滤波器通带纹波

表 6-52. 线性相位抽取滤波器规格

| 参数     | 测试条件                                    | 最小值   | 典型值  | 最大值  | 单位      |
|--------|---|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_S$            | -0.05 |      | 0.05 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$ | 80.6  |      |      | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                 | 92.9  |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.455 \times f_S$            |       | 14.7 |      | $1/f_S$ |

#### 6.3.7.2.6.1.5 采样速率：48kHz 或 44.1kHz

图 6-71 和图 6-72 分别展示了采样速率为 48kHz 或 44.1kHz 时此抽取滤波器的幅度响应和通带纹波，而表 6-53 列出了其规格。

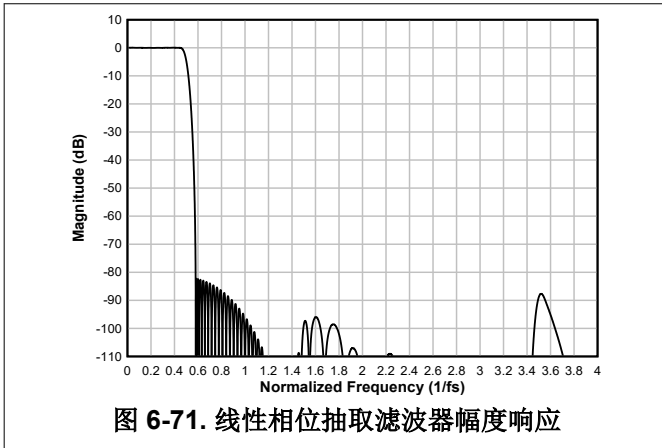


图 6-71. 线性相位抽取滤波器幅度响应

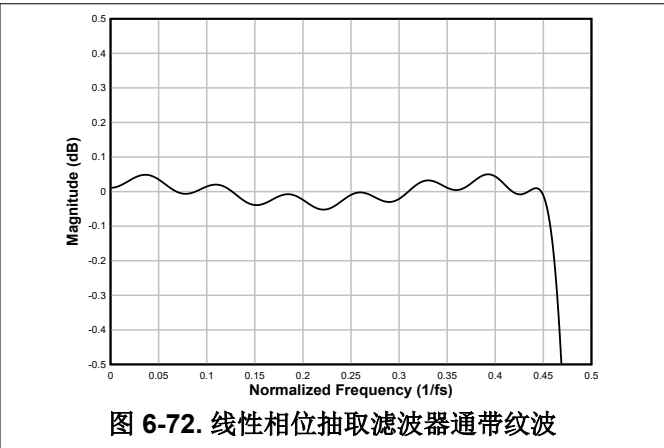


图 6-72. 线性相位抽取滤波器通带纹波

表 6-53. 线性相位抽取滤波器规格

| 参数     | 测试条件                                     | 最小值   | 典型值 | 最大值  | 单位      |
|--------|--|-------|-----|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.454 \times f_S$             | -0.05 |     | 0.05 | dB      |
| 阻带衰减   | 频率范围为 $0.58 \times f_S$ 至 $4 \times f_S$ | 82.2  |     |      | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                  | 98    |     |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.454 \times f_S$             |       | 17  |      | $1/f_S$ |

#### 6.3.7.2.6.1.6 采样速率：96kHz 或 88.2kHz

图 6-73 和图 6-74 分别展示了采样速率为 96kHz 或 88.2kHz 时此抽取滤波器的幅度响应和通带纹波，而表 6-54 列出了其规格。

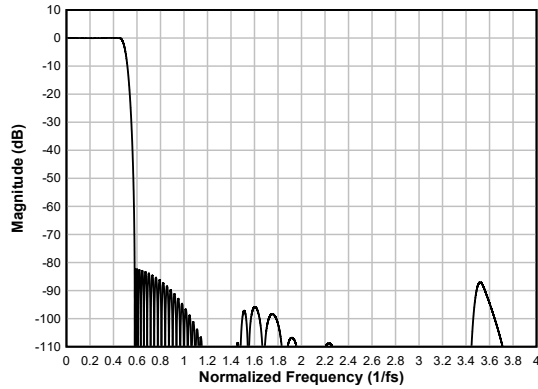


图 6-73. 线性相位抽取滤波器幅度响应

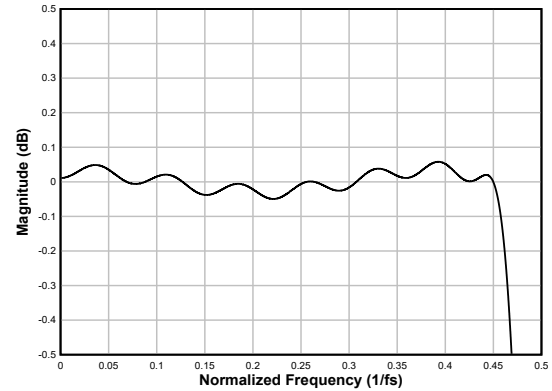


图 6-74. 线性相位抽取滤波器通带纹波

表 6-54. 线性相位抽取滤波器规格

| 参数     | 测试条件                                     | 最小值   | 典型值  | 最大值  | 单位      |
|--------|--|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.455 \times f_S$             | -0.05 |      | 0.06 | dB      |
| 阻带衰减   | 频率范围为 $0.58 \times f_S$ 至 $4 \times f_S$ | 82.2  |      |      | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                  | 87    |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.455 \times f_S$             |       | 16.9 |      | $1/f_S$ |

## 6.3.7.2.6.1.7 采样速率：192kHz 或 176.4kHz

图 6-75 和图 6-76 分别展示了采样速率为 192kHz 或 176.4kHz 时此抽取滤波器的幅度响应和通带纹波，而表 6-55 列出了其规格。

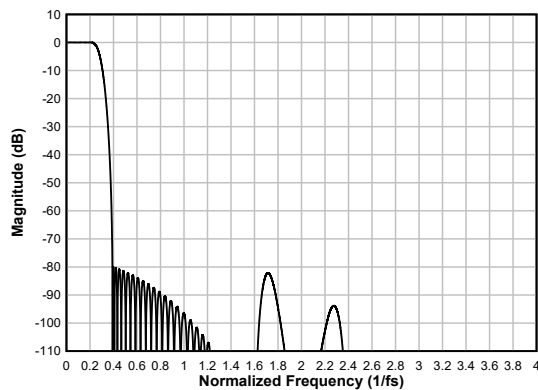


图 6-75. 线性相位抽取滤波器幅度响应

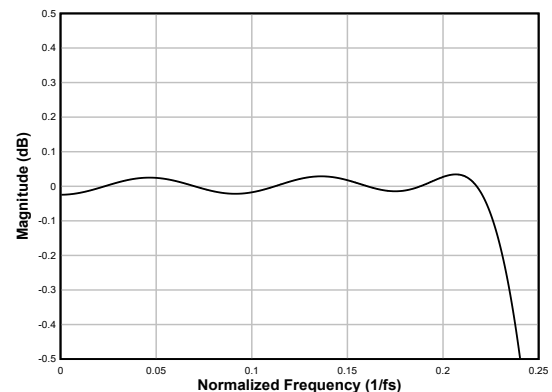


图 6-76. 线性相位抽取滤波器通带纹波

表 6-55. 线性相位抽取滤波器规格

| 参数     | 测试条件                                      | 最小值   | 典型值  | 最大值  | 单位      |
|--------|---|-------|------|------|---------|
| 通带纹波   | 频率范围为 0 至 $0.223 \times f_S$              | -0.04 |      | 0.04 | dB      |
| 阻带衰减   | 频率范围为 $0.391 \times f_S$ 至 $4 \times f_S$ | 80    |      |      | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                   | 82.2  |      |      |         |
| 群延迟或延时 | 频率范围为 0 至 $0.223 \times f_S$              |       | 11.6 |      | $1/f_S$ |

采样速率：384kHz 或 352.8kHz

图 6-77 和图 6-78 分别展示了采样速率为 384kHz 或 352.8kHz 时此抽取滤波器的幅度响应和通带纹波，而表 6-56 列出了其规格

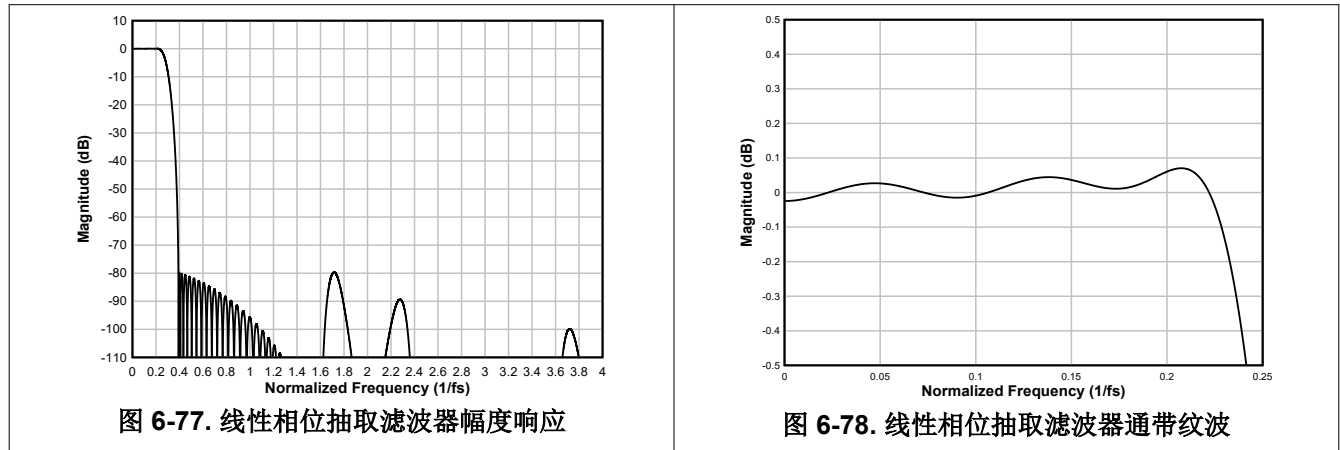


图 6-77. 线性相位抽取滤波器幅度响应

图 6-78. 线性相位抽取滤波器通带纹波

表 6-56. 线性相位抽取滤波器规格

| 参数     | 测试条件                                      | 最小值   | 典型值  | 最大值  | 单位 |
|--------|---|-------|------|------|----|
| 通带纹波   | 频率范围为 0 至 $0.227 \times f_s$              | -0.07 |      | 0.07 | dB |
| 阻带衰减   | 频率范围为 $0.391 \times f_s$ 至 $4 \times f_s$ | 80    |      |      |    |
|        | 频率范围为 $4 \times f_s$ 以上                   | 88.1  |      |      | dB |
| 群延迟或延时 | 频率范围为 0 至 $0.227 \times f_s$              |       | 11.4 |      |    |

采样速率：768kHz 或 705.6kHz

图 6-79 和图 6-80 分别展示了采样速率为 768kHz 或 705.6kHz 时此抽取滤波器的幅度响应和通带纹波，而表 6-57 列出了其规格。

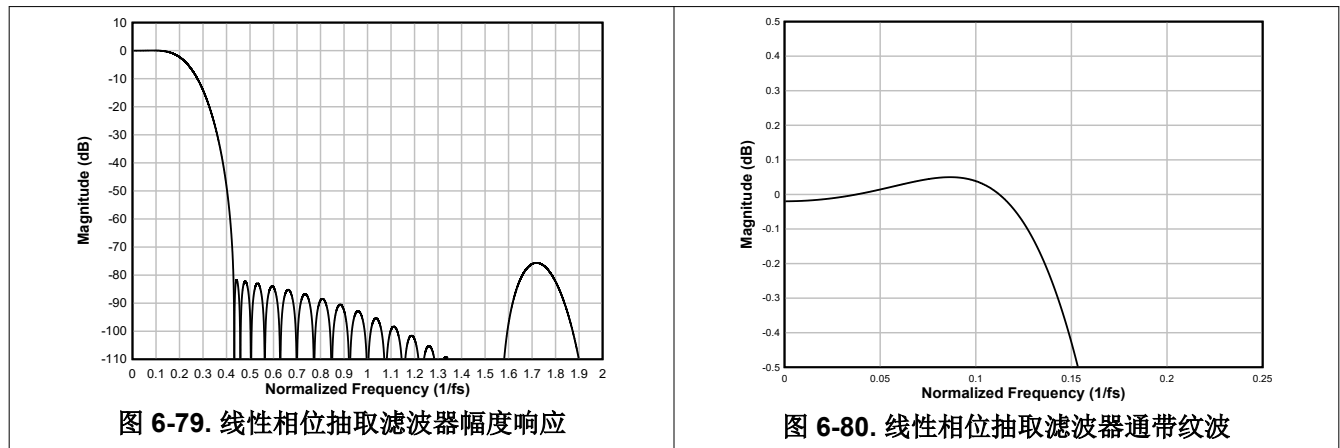


图 6-79. 线性相位抽取滤波器幅度响应

图 6-80. 线性相位抽取滤波器通带纹波

表 6-57. 线性相位抽取滤波器规格

| 参数   | 测试条件                                      | 最小值   | 典型值 | 最大值  | 单位 |
|------|---|-------|-----|------|----|
| 通带纹波 | 频率范围为 0 至 $0.121 \times f_s$              | -0.05 |     | 0.05 | dB |
| 阻带衰减 | 频率范围为 $0.433 \times f_s$ 至 $4 \times f_s$ | 82.6  |     |      |    |
|      | 频率范围为 $4 \times f_s$ 以上                   | 83.6  |     |      | dB |

表 6-57. 线性相位抽取滤波器规格 (续)

| 参数     | 测试条件                         | 最小值 | 典型值 | 最大值 | 单位      |
|--------|------------------------------|-----|-----|-----|---------|
| 群延迟或延时 | 频率范围为 0 至 $0.258 \times f_s$ |     | 6.4 |     | $1/f_s$ |

### 6.3.7.2.6.2 低延迟滤波器

对于低延迟和最小相位偏差 (在音频频带内) 至关重要的应用, 可以使用 TAD5112 上的低延迟抽取滤波器。该器件支持这些滤波器, 其群延迟约为七个样本, 在  $0.376 \times f_s$  频带内具有几乎为线性的相位响应。本节提供了低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

#### 6.3.7.2.6.2.1 采样速率: 24kHz 或 22.05kHz

图 6-81 展示了采样速率为 24kHz 或 22.05kHz 时此抽取滤波器的幅度响应, 而图 6-82 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-58 列出了器件的规格。

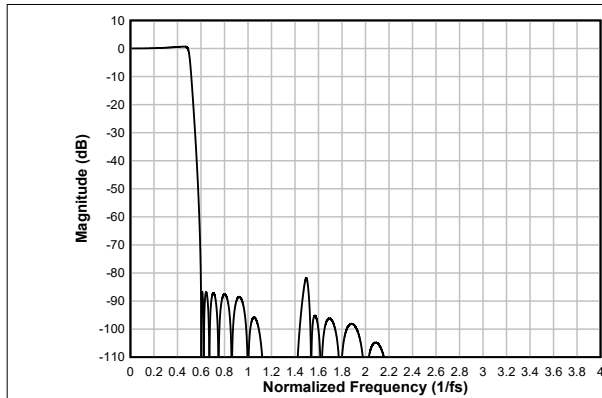


图 6-81. 低延迟抽取滤波器幅度响应

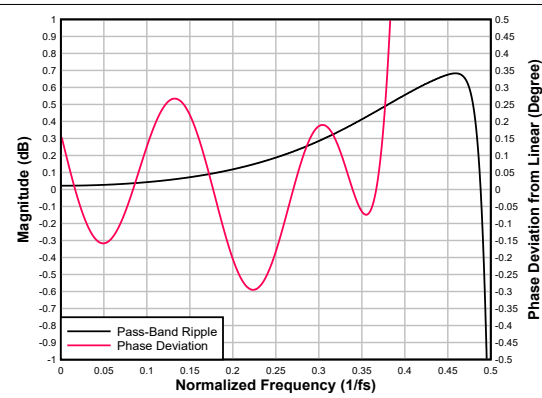


图 6-82. 低延迟抽取滤波器通带纹波和相位偏差

表 6-58. 低延迟抽取滤波器规格

| 参数     | 测试条件                                    | 最小值    | 典型值 | 最大值   | 单位      |
|--------|---|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.492 \times f_s$            | -0.67  |     | 0.67  | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_s$ 至 $4 \times f_s$ | 81.8   |     |       | dB      |
|        | 频率范围为 $4 \times f_s$ 以上                 | 115    |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.376 \times f_s$            |        | 6.5 |       | $1/f_s$ |
| 群延迟偏差  | 频率范围为 0 至 $0.376 \times f_s$            | -0.092 |     | 0.029 | $1/f_s$ |
| 相位偏差   | 频率范围为 0 至 $0.376 \times f_s$            | -0.3   |     | 0.27  | 度       |

#### 6.3.7.2.6.2.2 采样速率: 32kHz 或 29.4kHz

图 6-83 展示了采样速率为 32kHz 或 29.4kHz 时此抽取滤波器的幅度响应, 而图 6-84 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-59 列出了器件的规格。



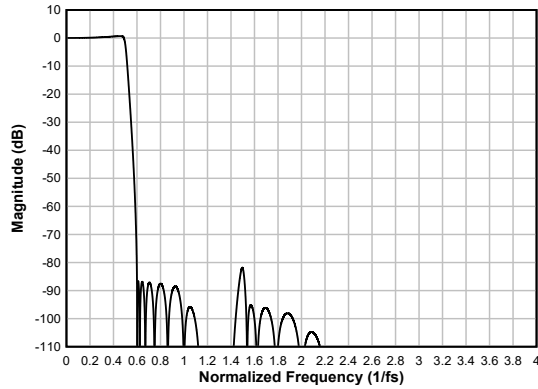


图 6-83. 低延迟抽取滤波器幅度响应

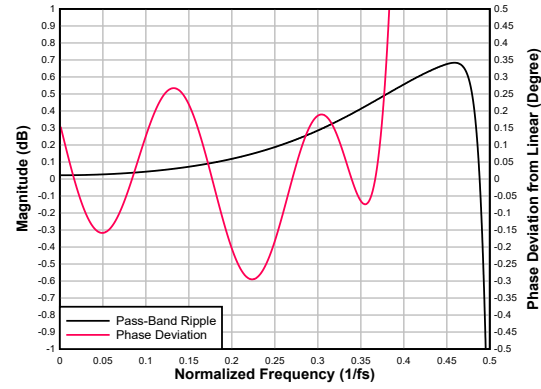


图 6-84. 低延迟抽取滤波器通带纹波和相位偏差

表 6-59. 低延迟抽取滤波器规格

| 参数     | 测试条件                                    | 最小值    | 典型值 | 最大值   | 单位      |
|--------|---|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.492 \times f_S$            | -0.67  |     | 0.67  | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$ | 81.8   |     |       | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                 | 115    |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.376 \times f_S$            |        | 6.5 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.376 \times f_S$            | -0.092 |     | 0.029 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.376 \times f_S$            | -0.3   |     | 0.27  | 度       |

### 6.3.7.2.6.2.3 采样速率：48kHz 或 44.1kHz

图 6-85 展示了采样速率为 48kHz 或 44.1kHz 时此抽取滤波器的幅度响应，而图 6-86 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-60 列出了器件的规格。

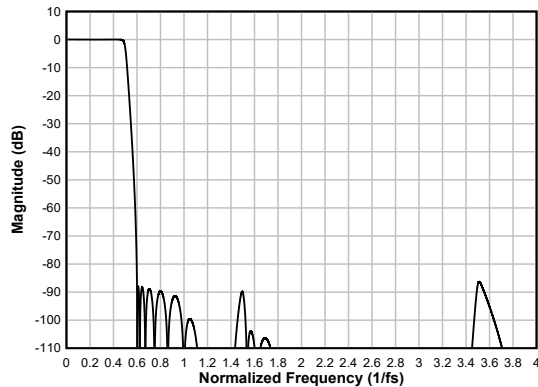


图 6-85. 低延迟抽取滤波器幅度响应

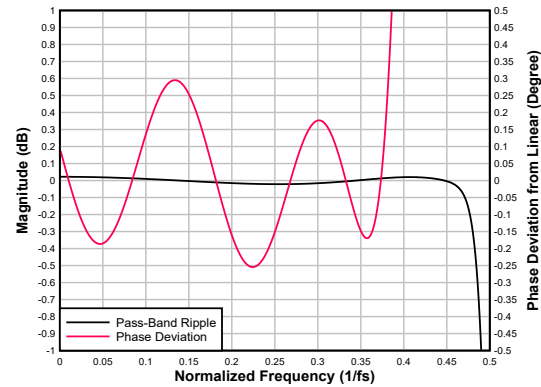


图 6-86. 低延迟抽取滤波器通带纹波和相位偏差

表 6-60. 低延迟抽取滤波器规格

| 参数     | 测试条件                                    | 最小值    | 典型值 | 最大值   | 单位      |
|--------|---|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.456 \times f_S$            | -0.02  |     | 0.02  | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$ | 86.3   |     |       | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                 | 96.8   |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.376 \times f_S$            |        | 6.6 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.376 \times f_S$            | -0.086 |     | 0.027 | $1/f_S$ |

表 6-60. 低延迟抽取滤波器规格 (续)

| 参数   | 测试条件                         | 最小值   | 典型值 | 最大值 | 单位 |
|------|------------------------------|-------|-----|-----|----|
| 相位偏差 | 频率范围为 0 至 $0.376 \times f_s$ | -0.25 |     | 0.3 | 度  |

## 6.3.7.2.6.2.4 采样速率：96kHz 或 88.2kHz

图 6-87 展示了采样速率为 96kHz 或 88.2kHz 时此抽取滤波器的幅度响应，而图 6-88 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-61 列出了器件的规格。

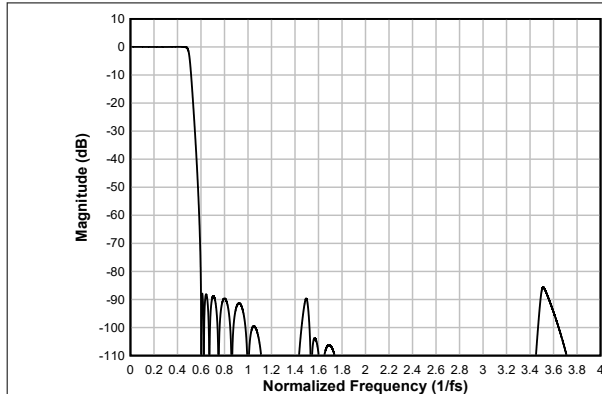


图 6-87. 低延迟抽取滤波器幅度响应

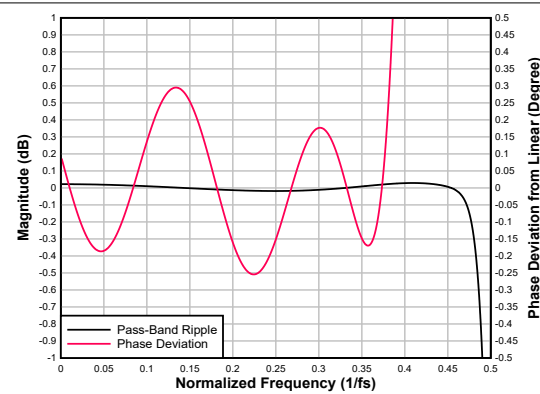


图 6-88. 低延迟抽取滤波器通带纹波和相位偏差

表 6-61. 低延迟抽取滤波器规格

| 参数     | 测试条件                                      | 最小值    | 典型值 | 最大值   | 单位      |
|--------|---|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.456 \times f_s$              | -0.02  |     | 0.03  | dB      |
| 阻带衰减   | 频率范围为 $0.599 \times f_s$ 至 $4 \times f_s$ | 85.6   |     |       | dB      |
|        | 频率范围为 $4 \times f_s$ 以上                   | 95.7   |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.376 \times f_s$              |        | 6.6 |       | $1/f_s$ |
| 群延迟偏差  | 频率范围为 0 至 $0.376 \times f_s$              | -0.086 |     | 0.022 | $1/f_s$ |
| 相位偏差   | 频率范围为 0 至 $0.376 \times f_s$              | -0.25  |     | 0.30  | 度       |

## 6.3.7.2.6.2.5 采样速率：192kHz 或 176.4kHz

图 6-89 展示了采样速率为 192kHz 或 176.4kHz 时此抽取滤波器的幅度响应，而图 6-90 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-62 列出了器件的规格。

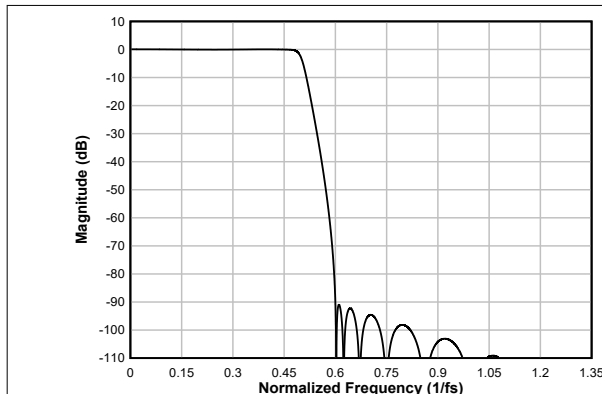


图 6-89. 低延迟抽取滤波器幅度响应

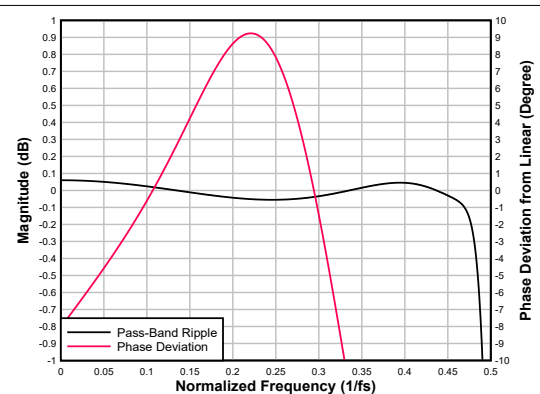


图 6-90. 低延迟抽取滤波器通带纹波和相位偏差

表 6-62. 低延迟抽取滤波器规格

| 参数     | 测试条件   | 最小值    | 典型值 | 最大值   | 单位      |
|--------|--|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.456 \times f_S$                 | -0.06  |     | 0.06  | dB      |
| 阻带衰减   | 频率范围为 $0.571 \times f_S$ 至 $1.35 \times f_S$ | 90.5   |     |       | dB      |
|        | 频率范围为 $1 \times f_S$ 以上                      | 86.9   |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.327 \times f_S$                 |        | 6.8 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.327 \times f_S$                 | -0.296 |     | 0.829 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.327 \times f_S$                 | -9.24  |     | 9.24  | 度       |

### 6.3.7.2.6.3 超低延迟滤波器

对于超低延迟和最小相位偏差（在音频频带内）至关重要的应用，可以使用 TAD5112 上的超低延迟抽取滤波器。该器件支持这些滤波器，其群延迟约为四个样本，在  $0.325 \times f_S$  频带内具有合理的相位响应。本节提供了超低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

#### 6.3.7.2.6.3.1 采样速率：24kHz 或 22.05kHz

图 6-91 展示了采样速率为 24kHz 或 22.05kHz 时此抽取滤波器的幅度响应，而图 6-92 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-63 列出了器件的规格。

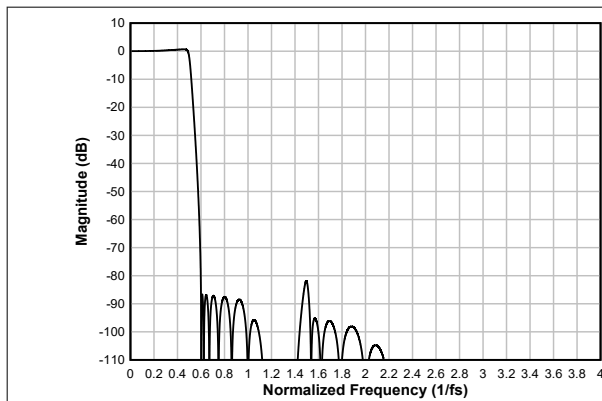


图 6-91. 超低延迟抽取滤波器幅度响应

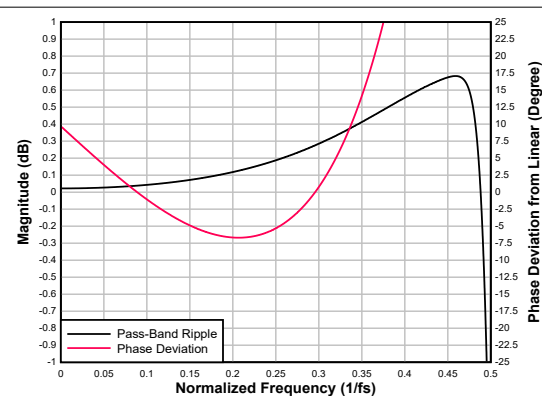


图 6-92. 超低延迟抽取滤波器通带纹波和相位偏差

表 6-63. 超低延迟抽取滤波器规格

| 参数     | 测试条件                                    | 最小值    | 典型值 | 最大值   | 单位      |
|--------|---|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.492 \times f_S$            | -0.67  |     | -0.67 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$ | 81.8   |     |       | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                 | 115    |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_S$            |        | 2.8 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_S$            | -0.292 |     | 0.765 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.325 \times f_S$            | -6.7   |     | 9.7   | 度       |

#### 6.3.7.2.6.3.2 采样速率：32kHz 或 29.4kHz

图 6-93 展示了采样速率为 32kHz 或 29.4kHz 时此抽取滤波器的幅度响应，而图 6-94 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-64 列出了器件的规格。

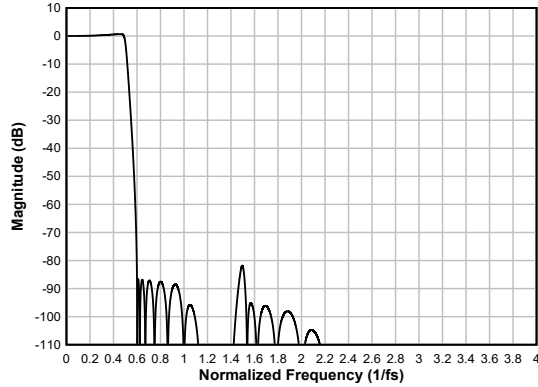


图 6-93. 超低延迟抽取滤波器幅度响应

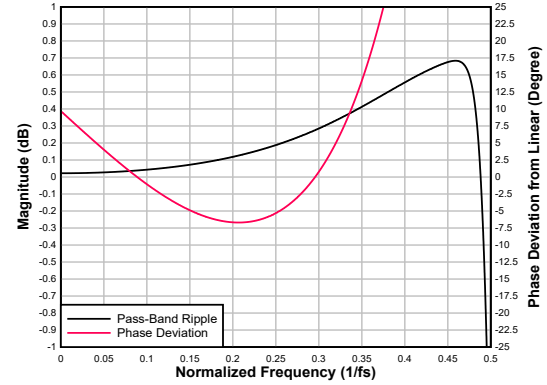


图 6-94. 超低延迟抽取滤波器通带纹波和相位偏差

表 6-64. 超低延迟抽取滤波器规格

| 参数     | 测试条件                                    | 最小值    | 典型值 | 最大值   | 单位      |
|--------|---|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.492 \times f_S$            | -0.67  |     | -0.67 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$ | 81.8   |     |       | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                 | 115    |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_S$            |        | 2.7 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_S$            | -0.292 |     | 0.765 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.325 \times f_S$            | -6.7   |     | 9.7   | 度       |

## 6.3.7.2.6.3.3 采样速率：48kHz 或 44.1kHz

图 6-95 展示了采样速率为 48kHz 或 44.1kHz 时此抽取滤波器的幅度响应，而图 6-96 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-65 列出了器件的规格。

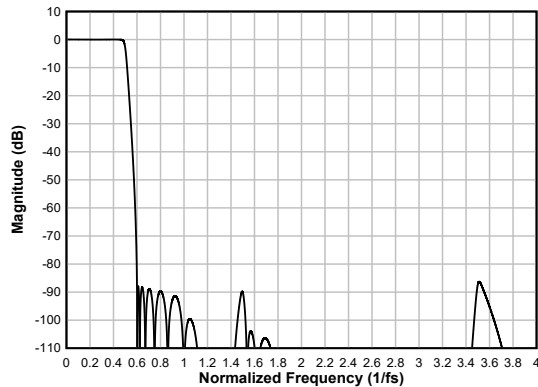


图 6-95. 超低延迟抽取滤波器幅度响应

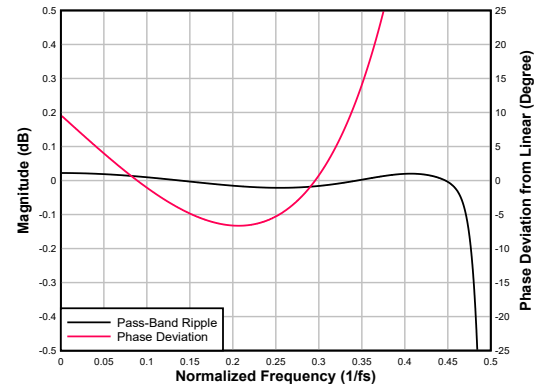


图 6-96. 超低延迟抽取滤波器通带纹波和相位偏差

表 6-65. 超低延迟抽取滤波器规格

| 参数     | 测试条件                                    | 最小值   | 典型值 | 最大值   | 单位      |
|--------|---|-------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.456 \times f_S$            | -0.02 |     | -0.02 | dB      |
| 阻带衰减   | 频率范围为 $0.6 \times f_S$ 至 $4 \times f_S$ | 86.3  |     |       | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                 | 96.8  |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_S$            |       | 2.8 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_S$            | -0.29 |     | 0.761 | $1/f_S$ |

表 6-65. 超低延迟抽取滤波器规格 (续)

| 参数   | 测试条件                         | 最小值  | 典型值 | 最大值 | 单位 |
|------|------------------------------|------|-----|-----|----|
| 相位偏差 | 频率范围为 0 至 $0.325 \times f_S$ | -6.6 |     | 9.6 | 度  |

6.3.7.2.6.3.4 采样速率：96kHz 或 88.2kHz

图 6-97 展示了采样速率为 96kHz 或 88.2kHz 时此抽取滤波器的幅度响应，而图 6-98 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-66 列出了器件的规格。

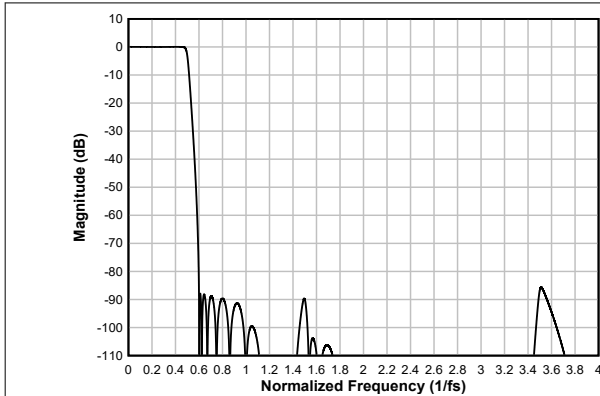


图 6-97. 超低延迟抽取滤波器幅度响应

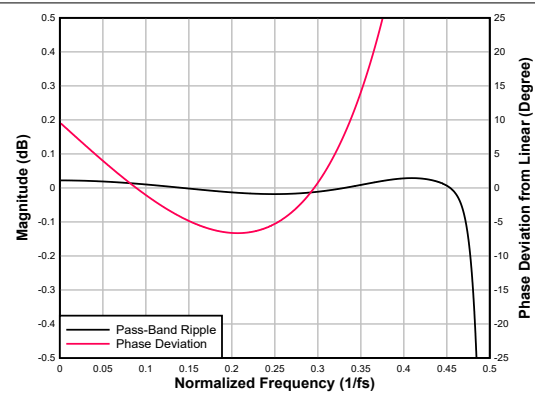


图 6-98. 超低延迟抽取滤波器通带纹波和相位偏差

表 6-66. 超低延迟抽取滤波器规格

| 参数     | 测试条件                                      | 最小值   | 典型值 | 最大值   | 单位      |
|--------|---|-------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.456 \times f_S$              | -0.02 |     | 0.03  | dB      |
| 阻带衰减   | 频率范围为 $0.599 \times f_S$ 至 $4 \times f_S$ | 85.6  |     |       | dB      |
|        | 频率范围为 $4 \times f_S$ 以上                   | 95.7  |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_S$              |       | 2.7 |       | $1/f_S$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_S$              | -0.29 |     | 0.761 | $1/f_S$ |
| 相位偏差   | 频率范围为 0 至 $0.325 \times f_S$              | -6.6  |     | 9.6   | 度       |

6.3.7.2.6.3.5 采样速率：192kHz 或 176.4kHz

图 6-99 展示了采样速率为 192kHz 或 176.4kHz 时此抽取滤波器的幅度响应，而图 6-100 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 6-67 列出了器件的规格。

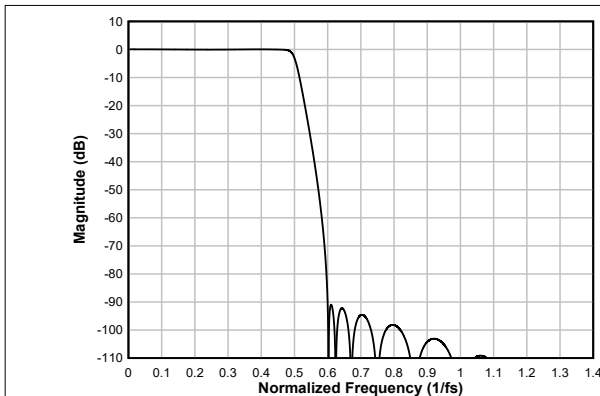


图 6-99. 超低延迟抽取滤波器幅度响应

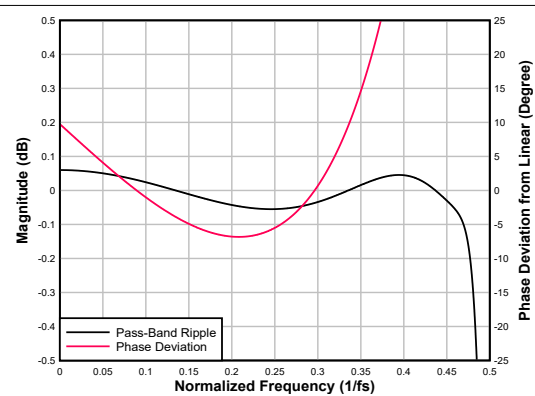


图 6-100. 超低延迟抽取滤波器通带纹波和相位偏差

表 6-67. 超低延迟抽取滤波器规格

| 参数     | 测试条件   | 最小值    | 典型值 | 最大值   | 单位      |
|--------|--|--------|-----|-------|---------|
| 通带纹波   | 频率范围为 0 至 $0.456 \times f_s$                 | -0.06  |     | 0.06  | dB      |
| 阻带衰减   | 频率范围为 $0.571 \times f_s$ 至 $1.35 \times f_s$ | 90.5   |     |       | dB      |
|        | 频率范围为 $1.35 \times f_s$ 以上                   | 86.9   |     |       |         |
| 群延迟或延时 | 频率范围为 0 至 $0.325 \times f_s$                 |        | 2.7 |       | $1/f_s$ |
| 群延迟偏差  | 频率范围为 0 至 $0.325 \times f_s$                 | -0.293 |     | 0.794 | $1/f_s$ |
| 相位偏差   | 频率范围为 0 至 $0.325 \times f_s$                 | -6.8   |     | 9.8   | 度       |

### 6.3.7.2.7 自动增益控制器 (AGC)

该器件包含一个用于 ADC 录音的自动增益控制器 (AGC)。如图 6-101 所示，在录制语音时，AGC 可用于保持标称恒定输出电平。当输入信号过大或非常弱时，例如当对着麦克风讲话的人靠近或远离麦克风时，该电路会自动调整通道增益，而不用在 AGC 模式下手动设置通道增益。AGC 算法具有多个可编程参数，包括目标电平、允许的最大增益、起音和减小（或衰减）时间常数以及噪声阈值，允许针对任何特定应用对该算法进行微调。这些是器件用于实现灵活性的可编程系数的一部分，可以使用 B0\_P27 和 B0\_P28 中的可编程系数寄存器进行配置。

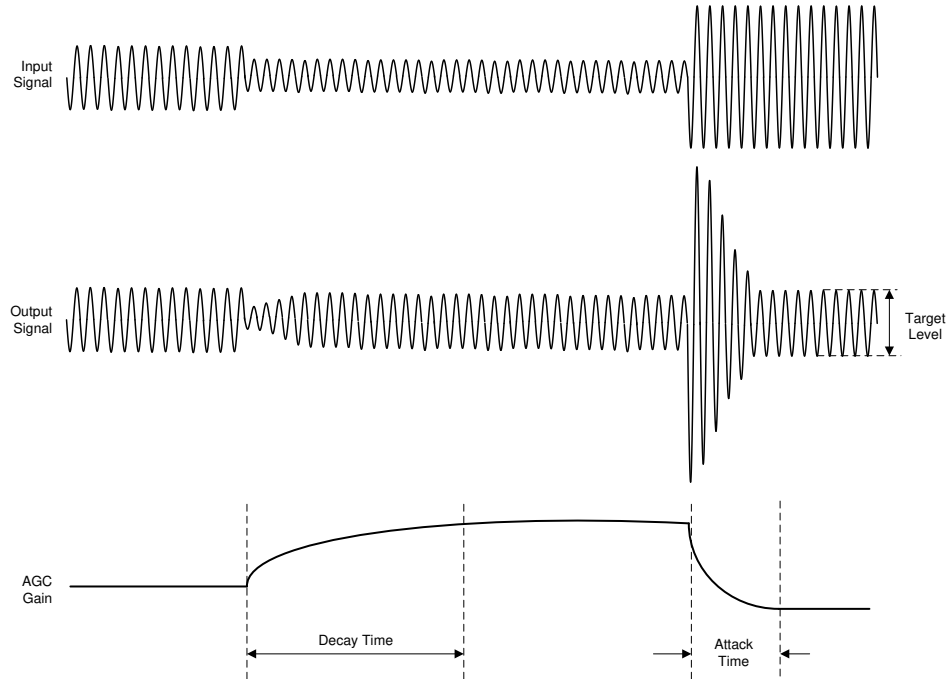


图 6-101. AGC 特性

目标电平 (AGC\_LVL) 表示 AGC 尝试将 ADC 输出信号电平保持为的标称近似输出电平。TAD5112 允许对不同的目标电平进行编程。建议为目标电平设置足够的裕度，以防止在出现响亮的声音时出现削波。有关 AGC 各种可配置参数和应用用例的更多详细信息，请参阅使用 [TAx5x1x 系列中的自动增益控制器 \(AGC\) 应用报告](#)。TI 建议使用 PPC3 GUI 来配置可编程系数设置；有关更多详细信息，请参阅 [TAC5212EVM-PDK 评估模块用户指南](#) 和 [PurePath™ 控制台图形开发套件](#)。

### 6.3.7.2.8 语音活动检测 (VAD)

TAD5112 作为低功耗活动检测 (LPAD) 方案的一部分，支持语音活动检测 (VAD) 模式。在此模式下，TAD5112 持续监控其中一个输入通道以进行语音检测。在此模式下，器件消耗较低的静态电流（由 AVDD 电源提供）。可以通过将 VAD\_EN (P0\_R120\_D[2]) 设置为 1'b1 来启用该功能。在检测到语音活动时，TAD5112 可以通过中断或自动唤醒向主机发出警报，并根据 I<sup>2</sup>C 编程配置开始录音。该警报可以通过 LPAD\_MODE (P1\_R30\_D[7:6]) 寄存器位进行配置。

可以通过将 LPAD\_CH\_SEL (P1\_R30\_D[5:4]) 寄存器位设置为适当的值来选择 VAD 的输入通道。有关更多详细信息，请参阅 [如何使用 TAx511x 和 TAx521x 中的语音活动检测功能应用报告](#)。

### 6.3.7.2.9 超声波活动检测 (UAD)

TAD5112 作为低功耗活动检测 (LPAD) 方案的一部分，支持超声波活动检测 (UAD) 模式。在此模式下，TAD5112 持续监控其中一个输入通道有没有超声波频段中的信号。在此模式下，器件消耗较低的静态电流（由 AVDD 电源提供）。可以通过将 UAD\_EN (P0\_R120\_D[3]) 设置为 1'b1 来启用该功能。在检测到超声波活动时，TAD5112 可以通过中断或自动唤醒向主机发出警报，并根据 I<sup>2</sup>C 编程配置开始录音。该警报可以通过 LPAD\_MODE (P1\_R30\_D[7:6]) 寄存器位进行配置。

可以通过将 LPAD\_CH\_SEL (P1\_R30\_D[5:4]) 寄存器位设置为适当的值来选择 UAD 的输入通道。有关更多详细信息，请参阅 [如何使用 TA511x 和 TA521x 中的语音活动检测功能](#)。

### 6.3.8 中断、状态和数字 I/O 引脚多路复用

该器件中的某些事件可能需要主机处理器干预，并可用于触发主机处理器的中断。一个此类事件是音频串行接口 (ASI) 总线错误。如果检测到 ASI 总线错误时钟出现任何故障，该器件会关闭录音通道，例如：

- FSYNC 频率无效
- 无效的 BCLK 与 FSYNC 之比
- BCLK 或 FSYNC 时钟具有长暂停时间

当检测到 ASI 总线时钟错误时，该器件会尽快关闭所有录音和回放通道。解决所有 ASI 总线时钟错误后，器件音量会恢复到之前的状态，从而恢复音频。在 ASI 总线时钟错误期间，如果将时钟错误中断屏蔽寄存器位 INT\_MASK0[7] (P1\_R47\_D[7]) 设置为低电平，则内部中断请求 (IRQ) 中断信号会置为低电平。此外还可以通过锁存故障状态寄存器位 INT\_LTCH0 (P1\_R52) 回读该时钟故障，该寄存器是一个只读寄存器。读取锁存故障状态寄存器 INT\_LTCH0 会清除所有锁存故障状态。此外，该器件可配置为在 GPIOx 或 GPO1 引脚上路由内部 IRQ 中断信号，也可配置为开漏输出，以便这些引脚与其他器件的开漏中断输出进行线与连接。

通过设置 INT\_POL (P0\_R66\_D[7]) 寄存器位，可以将 IRQ 中断信号配置为低电平有效或高电平有效极性。通过对 INT\_EVENT[1:0] (P0\_R66\_D[6:5]) 寄存器位进行编程，该信号也可以配置为单个脉冲或一系列脉冲。如果中断配置为一系列脉冲，则事件将触发脉冲开始；当读取锁存的故障状态寄存器以确定中断原因时，脉冲将停止。

该器件还支持只读实时状态寄存器，以确定通道是上电还是断电，以及器件是否处于睡眠模式。这些状态寄存器位于 DEV\_STS0 (P0\_R121) 和 DEV\_STS1 (P0\_R122) 寄存器位中。

该器件具有一个多功能 GPIOx、GPI1、GPO1 引脚，这些引脚可针对所需的特定功能进行配置。[表 6-68](#) 列出了这些多功能引脚用于各种功能的所有可能分配。



表 6-68. 多功能引脚分配

| 行 | 引脚功能                   | GPIO1            | GPIO2       | GPO1        | GPI1              |
|---|------------------------|------------------|-------------|-------------|-------------------|
| — | —                      | GPIO1_CFG        | GPIO2_CFG   | GPO1_CFG    | GPI1_CFG          |
| — | —                      | P0_R10[7:4]      | P0_R11[7:4] | P0_R12[7:4] | P0_R13[1]         |
| A | 引脚禁用                   | S <sup>(1)</sup> | S (默认值)     | S (默认值)     | S (默认值)           |
| B | 通用输出 (GPO)             | S                | S           | S           | NS <sup>(2)</sup> |
| C | 中断输出 (IRQ)             | S (默认值)          | S           | S           | NS                |
| D | 所有录音通道断电               | S                | S           | NS          | S                 |
| E | 所有 DAC 通道断电            | S                | S           | NS          | S                 |
| F | PDM 时钟输出 (PDMCLK)      | S                | S           | S           | NS                |
| G | PDM 数据输入 1 (PDMDIN1)   | S                | S           | NS          | S                 |
| H | PDM 数据输入 2 (PDMDIN2)   | S                | S           | NS          | S                 |
| I | MICBIAS 开/关输入 (BIASEN) | S                | S           | NS          | S                 |
| J | 通用输入 (GPI)             | S                | S           | NS          | S                 |
| K | 控制器时钟输入 (CCLK)         | S                | S           | S           | S                 |
| L | ASI 菊花链输入              | S                | S           | NS          | S                 |
| M | ASI DOUT               | S                | S           | S           | NS                |
| N | ASI BCLK               | S                | S           | S           | S                 |
| O | ASI FSYNC              | S                | S           | S           | S                 |
| P | 通用时钟输出                 | S                | S           | S           | NS                |
| Q | ASI 菊花链输出              | S                | S           | S           | NS                |

(1) S 表示此列中提到的相应 GPIOx、GPO1 或 GPI1 引脚支持此行中提到的功能。

(2) NS 表示此列中提到的相应 GPIOx、GPO1 或 GPI1 引脚不支持此行中提到的功能。

每个 GPO1 或 GPIOx 引脚都可以分别使用 P0\_R10\_D[2:0]、P0\_R11\_D[2:0] 和 P0\_R12\_D[2:0] 中的 GPIOx\_DRV[2:0] 或 GPO1\_DRV[2:0] 寄存器位独立设置为所需的驱动配置设置。表 6-69 列出了驱动配置设置。

表 6-69. GPIO 或 GPOx 引脚驱动配置设置

| P0_R10_D[2:0] : GPIO1_DRV[2:0] | GPIO1 的 GPIO 输出驱动配置设置            |
|--------------------------------|----------------------------------|
| 000                            | GPIO1 引脚设置为高阻抗 (悬空)              |
| 001                            | GPIO1 引脚设置为驱动为低电平有效或高电平有效        |
| 010 (默认值)                      | GPIO1 引脚设置为驱动为低电平有效或弱高电平 (片上上拉)  |
| 011                            | GPIO1 引脚设置为驱动为低电平有效或高阻态 (悬空)     |
| 100                            | GPIO1 引脚设置为驱动为弱低电平 (片上下拉) 或高电平有效 |
| 101                            | GPIO1 引脚设置为驱动为高阻态 (悬空) 或高电平有效    |
| 110 和 111                      | 保留 (不使用这些设置)                     |

当配置为通用输出 (GPO) 时, 可以通过写入 GPO\_GPI\_VAL (P0\_R14) 寄存器来驱动 GPIOx 或 GPO1 引脚值。

当配置为通用输入 (GPI) 时, GPIO\_MON 位 (P0\_R14\_D[3:1]) 可用于读回 GPIOx 或 GPI1 引脚的状态。

### 6.3.9 Power Tune 模式

对于低功耗应用, TAD5112 可将器件配置为功率微调模式。在 1.8V 电源下, 2 通道的典型功耗为 10.5mW。可以通过将 PWR\_TUNE\_CFG0 (P0\_R78) 寄存器设置为 0xD4, 将 PWR\_TUNE\_CFG1 (P0\_R79) 寄存器设置为 0x96 来配置此模式。为了实现节能, DAC 调制器时钟设置为以 1.536MHz (输入和输出数据采样速率为 48kHz 的倍数或约数) 或 1.4112MHz (输入和输出数据采样速率为 44.1kHz 的倍数或约数) 运行。有关更多详细信息, 请参阅 [不同使用场景下的 TAD5x1x 功耗矩阵应用报告](#), 以了解在此模式下可支持的设置。

## 6.4 器件功能模式

### 6.4.1 睡眠模式或软件关断

在睡眠模式或软件关断模式下, 该器件会从 AVDD 电源消耗极低的静态电流, 同时允许 I<sup>2</sup>C 或 SPI 通信唤醒器件使其运行。

当主机器件将 SLEEP\_ENZ (P0\_R2\_D[0]) 位设置为 1'b0 时, 该器件也可以进入睡眠模式。如果器件处于工作模式时 SLEEP\_ENZ 位置为低电平有效, 该器件会缓慢降低录音和播放数据的音量、关闭模拟块和数字块, 并进入睡眠模式。但是, 该器件仍会继续保留器件配置寄存器和可编程系数的最后一个编程值。

在睡眠模式下, 请勿执行任何 I<sup>2</sup>C 或 SPI 事务, 除非为了进入工作模式而退出睡眠模式。进入睡眠模式后, 至少等待 10ms, 然后再启动 I<sup>2</sup>C 或 SPI 事务以退出睡眠模式。

### 6.4.2 工作模式

如果主机器件通过将 SLEEP\_ENZ 位设置为 1'b1 退出睡眠模式, 则该器件将进入工作模式。在工作模式下, 可执行 I<sup>2</sup>C 或 SPI 事务来配置器件并为其加电以实现活动运行。进入工作模式后, 在开始任何 I<sup>2</sup>C 或 SPI 事务之前至少等待 2ms, 以便器件完成内部唤醒序列。

对可编程系数寄存器 (节 7.2) 和通道配置寄存器的读写操作必须在退出睡眠模式 10ms 后执行。

为目标应用和系统设置配置所有其他寄存器后, 配置输入通道启用寄存器 P0\_R118 (CH\_EN)。最后, 配置器件上电寄存器 P0\_R120 (PWR\_CFG)。在给相应通道上电之前, 必须写入所有可编程系数值。

在工作模式下, 通过读取 P0\_R121 (DEV\_STS0) 和 P0\_R122 (DEV\_STS1) 寄存器中的只读器件状态位, 监视各个模块的上电和断电状态。

### 6.4.3 软件复位

通过将 SW\_RESET 位 (P0\_R1\_D[0]) (自清零位) 置为有效, 可以随时完成软件复位。该软件复位会立即关断器件, 并将所有器件配置寄存器和可编程系数恢复为默认值。

## 6.5 编程

该器件包含配置寄存器和可编程系数, 这些系数可以设置为特定系统和应用用例所需的值。这些寄存器称为 *器件控制寄存器*, 每个宽度均为 8 位并使用页方案进行映射。

每页包含 128 个配置寄存器。所有器件配置寄存器都存储在页 0 中, 这是上电时和软件复位后的默认页设置。所有可编程系数寄存器都位于页 0、页 1 和页 3 中。通过使用每页上寄存器 0 中的 PAGE[7:0] 位, 可以将器件的当前页切换到所需的新页。

### 6.5.1 控制串行接口

可以使用 I<sup>2</sup>C 或 SPI 与器件通信来访问器件控制寄存器。

通过监视 SDA\_PICO、SCL\_SCLK、GPO1\_POCI GPI1\_CSZ 器件引脚 (这些引脚是 I<sup>2</sup>C 或 SPI 接口的多路复用引脚), 该器件会自动检测主机器件是使用 I<sup>2</sup>C 还是 SPI 通信来配置器件。对于给定的最终应用, 主机器件必须始终使用 I<sup>2</sup>C 或 SPI 接口来配置器件, 而不能同时使用两者。请参阅表 6-70。

表 6-70. I<sup>2</sup>C 和 SPI 地址配置

| ADDR 设置                  | 模式               | 器件地址 (7 位) | 器件地址 (8 位) |
|--------------------------|------------------|------------|------------|
| 接地短路                     | I <sup>2</sup> C | 0x50       | 0xA0       |
| 将 4.7K $\Omega$ 下拉至地     | I <sup>2</sup> C | 0x51       | 0xA2       |
| 将 22K $\Omega$ 上拉至 AVDD  | I <sup>2</sup> C | 0x52       | 0xA4       |
| 将 4.7K $\Omega$ 上拉至 AVDD | I <sup>2</sup> C | 0x53       | 0xA6       |
| 短接至 AVDD                 | SPI              | 不适用        | 不适用        |

#### 6.5.1.1 I<sup>2</sup>C 控制接口

该器件作为目标器件支持 I<sup>2</sup>C 控制协议, 能够在标准模式、快速模式和快速+ 模式下运行。I<sup>2</sup>C 控制协议需要一个 7 位目标地址。目标地址的五个最高有效位 (MSB) 固定为 5'b10100 并且无法更改。两个最低有效位 (LSB) 是可编程的, 并由 ADDR 引脚控制。请参阅表 6-70, 了解 I<sup>2</sup>C 模式下 TAD5112 支持的四个可能器件地址。如果

I2C\_BRDCAST\_EN (P0\_R4\_D[1]) 位设置为 1'b1，则 7 位 I<sup>2</sup>C 目标地址固定为 7'b1010000，以便允许同时与系统中的所有 TAD5112 器件进行 I<sup>2</sup>C 广播通信。

#### 6.5.1.1.1 常规 I<sup>2</sup>C 运行

I<sup>2</sup>C 总线使用 SDA (数据) 和 SCL (时钟) 这两个信号，通过串行数据传输在系统中的集成电路之间进行通信。地址和数据 8 位字节优先以 MSB 的形式传输。此外，总线上传输的每个字节都由接收器件通过一个响应位进行响应。每次传输操作从控制器器件在总线上驱动启动条件开始，到控制器器件在总线上驱动停止条件结束。当时钟处于逻辑高电平时，总线使用数据引脚 (SDA) 上的转换来指示启动和停止条件。SDA 上从高电平转换到低电平表示启动，而从低电平转换到高电平表示停止。正常的数位转换必须发生在时钟周期的低电平时间内。

控制器器件会驱动一个启动条件，后跟 7 位目标地址和读取/写入 (R/W) 位，以开启与另一个器件的通信，然后等待响应条件。目标器件会在响应时钟期间将 SDA 保持为低电平以指示响应。当发生这种情况时，控制器器件会传输序列的下一个字节。每个目标器件都通过一个唯一的 7 位目标地址加上 R/W 位 (1 个字节) 进行寻址。所有兼容器件均使用线与连接，通过双向总线共享相同的信号。

在启动和停止条件之间可以传输的字节数没有限制。在传输最后一个字时，控制器器件会生成一个停止条件以释放总线。图 6-102 显示了一般的数据传输序列。

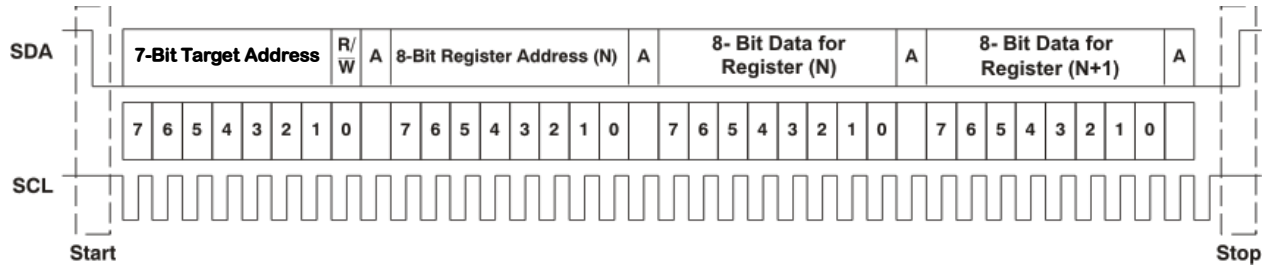


图 6-102. 典型的 I<sup>2</sup>C 序列

在系统中，对 SDA 和 SCL 信号使用外部上拉电阻器，以设置总线的逻辑高电平。SDA 和 SCL 电压不得超过器件电源电压 IOVDD。

#### 6.5.1.1.2 I<sup>2</sup>C 单字节和多字节传输

该器件的 I<sup>2</sup>C 接口支持对所有寄存器进行单字节和多字节读取/写入操作。在多字节读取操作期间，只要控制器器件继续响应，器件就会从分配的寄存器开始，一次一个字节地以数据进行响应。

该器件支持顺序 I<sup>2</sup>C 寻址。对于写入事务，如果发出一个寄存器，然后是该寄存器的数据以及随后的所有剩余寄存器，则发生了顺序 I<sup>2</sup>C 写入事务。对于 I<sup>2</sup>C 顺序写入事务，发出的寄存器作为起始点，随后在传输停止或开始之前传输的数据量决定了写入的寄存器数量。

##### 6.5.1.1.2.1 I<sup>2</sup>C 单字节写入

如图 6-103 所示，单字节数据写入传输始于控制器器件发送启动条件，后跟 I<sup>2</sup>C 器件地址和读取/写入位。读/写位决定数据传输的方向。对于写入数据传输，读取/写入位必须设置为 0。在接收到正确的 I<sup>2</sup>C 目标地址和读取/写入位后，该器件会以一个响应位 (ACK) 进行响应。接下来，控制器器件传输对应于正在访问的器件内部寄存器地址的寄存器字节。收到寄存器字节之后，器件会再次用一个响应位 (ACK) 进行响应。然后，控制器将要写入的数据字节发送到指定的寄存器。完成后，目标器件以一个响应位 (ACK) 进行响应。最后，控制器器件发送停止条件以完成单字节数据写入传输。

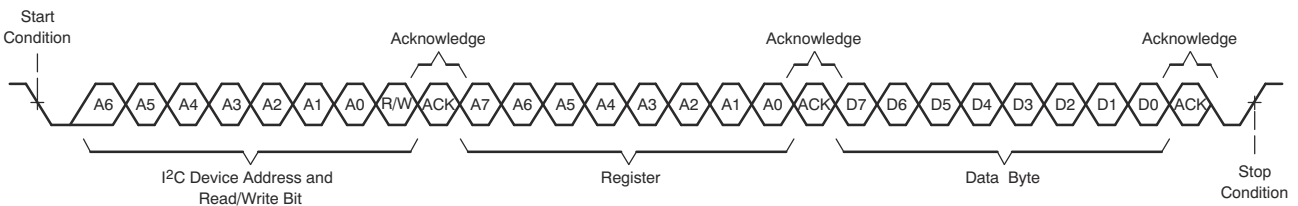


图 6-103. I<sup>2</sup>C 单字节写入传输

### 6.5.1.1.2.2 I<sup>2</sup>C 多字节写入

如图 6-104 所示，多字节数据写入传输与单字节数据写入传输完全相同，唯一的例外是控制器器件将多个数据字节传输到目标器件。收到每个数据字节之后，器件会用一个响应位 (ACK) 进行响应。最后，在完成最后一个数据字节传输后，控制器器件发送停止条件。

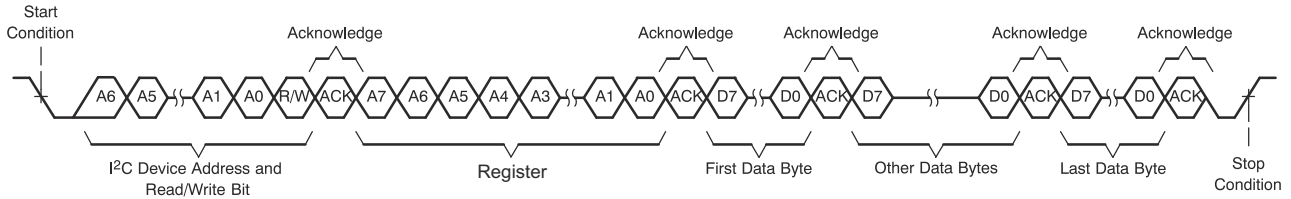


图 6-104. I<sup>2</sup>C 多字节写入传输

### 6.5.1.1.2.3 I<sup>2</sup>C 单字节读取

如图 6-105 所示，单字节数据读取传输始于控制器器件发送启动条件，后跟 I<sup>2</sup>C 目标地址和读取/写入位。对于数据读取传输，先后完成了写入和读取操作。最初，执行写入以传输要读取的内部寄存器地址的地址字节。因此，将读取/写入位设置为 0。

在接收到目标地址和读取/写入位后，器件会以一个响应位 (ACK) 进行响应。然后，控制器器件发送内部寄存器地址字节，之后器件发出一个响应位 (ACK)。控制器器件再次发送另一个启动条件，然后是目标地址和读取/写入位。这次，将读取/写入位设置为 1，指示读取传输。接下来，该器件从正在读取的寄存器地址传输数据字节。接收到数据字节后，控制器器件发送一个无应答 (NACK) 信号，然后是一个停止条件，以完成单字节数据读取传输。

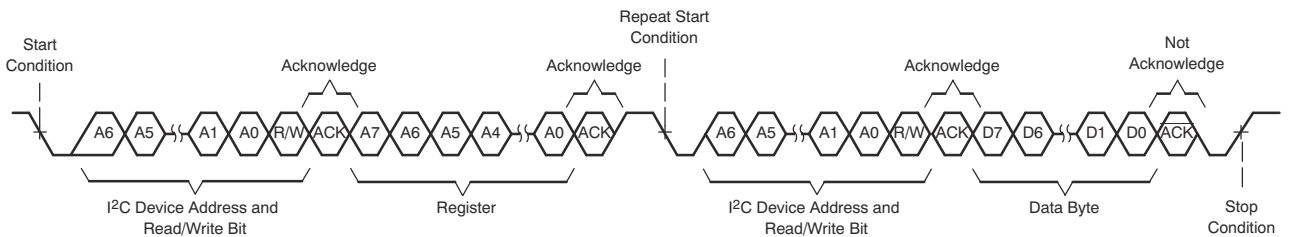


图 6-105. I<sup>2</sup>C 单字节读取传输

### 6.5.1.1.2.4 I<sup>2</sup>C 多字节读取

如图 6-106 所示，多字节数据读取传输与单字节数据读取传输完全相同，唯一的例外是器件将多个数据字节传输到控制器器件。除最后一个数据字节外，控制器器件在收到每个数据字节后都会用一个响应位进行响应。收到最后一个数据字节后，控制器器件发送一个无应答 (NACK) 信号，然后是一个停止条件，以完成数据读取传输。

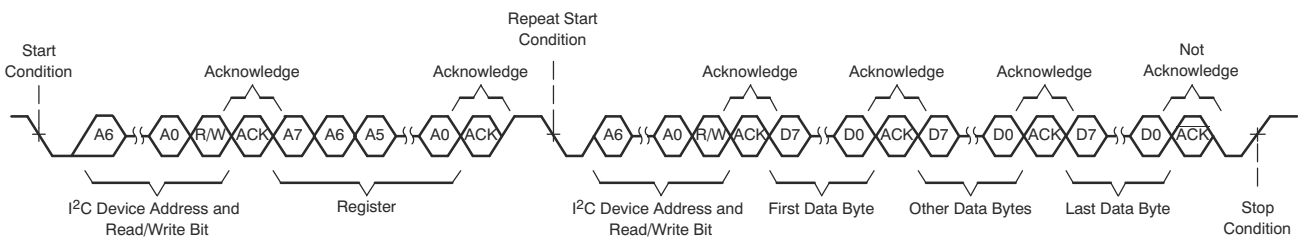


图 6-106. I<sup>2</sup>C 多字节读取传输

## 6.5.1.2 SPI 控制接口

通用 SPI 协议支持在主机处理器 ( 控制器 ) 与外围器件之间进行全双工、同步、串行通信。SPI 控制器 ( 本例中为主机处理器 ) 生成同步时钟 ( 驱动至 SCLK )，并通过将外设选择引脚 CSZ 从高电平转换为低电平来启动传

输。SPI 外设器件（如 TAD5112）依赖控制器器件来启动和同步传输。传输由 SPI 控制器启动开始。来自 SPI 控制器的字节在控制器串行时钟（驱动至 SCLK）的控制下，开始移入外设 PICO 引脚。当该字节移入 PICO 引脚时，会有一个字节从 POCI 引脚移出到控制器移位寄存器。

请参阅表 6-71 有关配置器件以进行 SPI 控制的信息。表 6-71 介绍了 SPI 控制模式的引脚分配。

**表 6-71. SPI 控制的引脚分配**

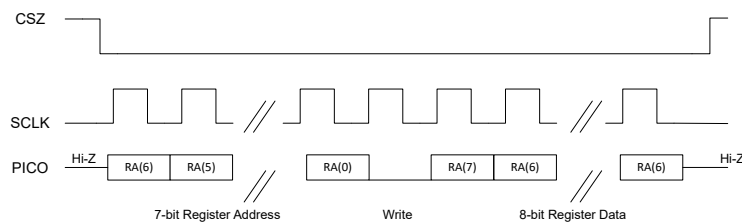
| 引脚编号 | 引脚名称 | SPI 模式下的引脚功能 | 说明         |
|------|------|--------------|------------|
| 7    | SCL  | SCLK         | SPI 串行位时钟  |
| 8    | SDA  | PICO         | SPI 外设输入引脚 |
| 11   | GP01 | POCI         | SPI 外设输出引脚 |
| 12   | GPI1 | CSZ          | SPI 芯片选择引脚 |

TAD5112 支持标准 SPI 控制协议，其时钟极性设置为 0（典型微处理器 SPI 控制位 CPOL = 0），时钟相位设置为 1（典型微处理器 SPI 控制位 CPHA = 1）。CSZ 引脚可在两次传输之间保持低电平；但是该器件只会将 CSZ 下降沿之后传输的前八位当作命令字节，接下来的八位仅在写入寄存器时当作数据字节。该器件完全由寄存器控制。从这些寄存器读取数据和向其写入数据之前，先向 PICO 引脚发送一个 8 位命令。表 6-72 展示了该命令结构。前七位指定写入或读取的寄存器地址，范围为 0 至 127（十进制）。命令字以 R/W 位结尾，该位指定串行总线上的数据流方向。

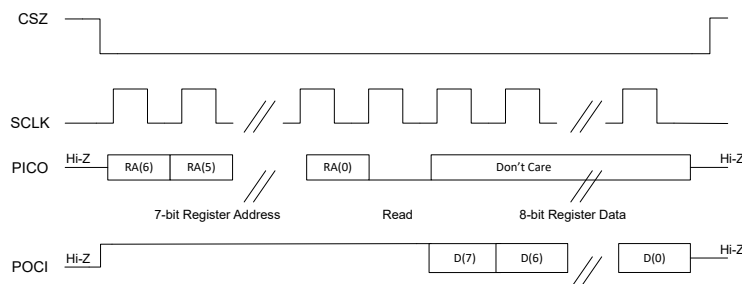
在寄存器写入的情况下，将 R/W 位设置为 0。第二个数据字节发送到 PICO 引脚，并包含要写入寄存器的数据。寄存器读取以类似方式完成。8 位命令字发送 7 位寄存器地址，后跟 R/W 位等于 1，表示正在进行寄存器读取。然后，在该帧接下来的八个 SCLK 时钟期间，8 位寄存器数据在时钟沿从该器件上的 POCI 引脚输出。在 CSZ 引脚被拉高之前，该器件支持针对多字节数据写入/读取传输的顺序 SPI 寻址。多字节数据写入或读取传输分别与单字节数据写入或读取传输完全相同，直到所有数据字节传输完成。主机器件必须在所有数据字节传输期间将 CSZ 引脚保持为低电平。图 6-107 展示了单字节写入传输，而图 6-108 展示了单字节读取传输。

**表 6-72. SPI 命令字**

| 位 7     | 位 6     | 位 5     | 位 4     | 位 3     | 位 2     | 位 1     | 位 0  |
|---------|---------|---------|---------|---------|---------|---------|------|
| ADDR(6) | ADDR(5) | ADDR(4) | ADDR(3) | ADDR(2) | ADDR(1) | ADDR(0) | R/WZ |



**图 6-107. SPI 单字节写入传输**



**图 6-108. SPI 单字节读取传输**

## 7 寄存器映射

本节详细介绍了器件的控制寄存器。所有这些寄存器均具有 8 位宽度，并分配给器件配置和可编程系数设置。这些寄存器使用页方案在内部进行映射，可以通过 I<sup>2</sup>C 或 SPI 与器件通信来控制该方案。每页包含 128 字节的寄存器。所有器件配置寄存器都存储在第 0 页、第 1 页和第 3 页中。第 0 页是上电时（以及软件复位后）的默认页面设置。通过使用每页上寄存器 0 中的 PAGE[7:0] 位，可以将器件当前页切换到所需的新页。

请勿从保留页或保留寄存器读取数据或向其写入数据。仅写入有效寄存器中保留位的默认值。

跨页访问寄存器的步骤如下：

- 选择页 N（将数据 N 写入寄存器 0，无论当前页码如何）
- 从页 N 中的有效寄存器读取数据或向其中写入数据
- 选择新页 M（将数据 M 写入寄存器 0，而不管当前页码如何）
- 从页 M 中的有效寄存器读取数据或向其中写入数据
- 根据需要重复

### 7.1 器件配置寄存器

本节介绍了器件页面 0、页面 1 和页面 3 的器件配置寄存器。表 7-1 列出了器件寄存器的访问代码。

表 7-1. 访问类型代码

| 访问类型 | 代码  | 说明    |
|------|-----|-------|
| 读取类型 |     |       |
| R    | R   | 读取    |
| R-W  | R/W | 读取或写入 |
| 写入类型 |     |       |
| W    | W   | 写入    |

### 7.1.1 TAD5112\_B0\_P0 寄存器

表 7-2 列出了 TAD5112\_B0\_P0 寄存器的存储器映射寄存器。表 7-2 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-2. TAD5112\_B0\_P0 寄存器

| 地址   | 首字母缩写词          | 寄存器名称              | 复位值  | 部分         |
|------|-----------------|--------------------|------|------------|
| 0x0  | PAGE_CFG        | 器件页寄存器             | 0x00 | 节 7.1.1.1  |
| 0x1  | SW_RESET        | 软件复位寄存器            | 0x00 | 节 7.1.1.2  |
| 0x2  | DEV_MISC_CFG    | 器件杂项配置寄存器          | 0x00 | 节 7.1.1.3  |
| 0x3  | AVDD_IOVDD_STS  | 电源状态寄存器            | 0x00 | 节 7.1.1.4  |
| 0x4  | MISC_CFG        | 杂项配置寄存器            | 0x00 | 节 7.1.1.5  |
| 0x5  | MISC_CFG1       | 杂项配置寄存器 1          | 0x15 | 节 7.1.1.6  |
| 0x6  | DAC_CFG_A0      | DAC 去 POP 音配置寄存器   | 0x35 | 节 7.1.1.7  |
| 0x7  | MISC_CFG0       | 杂项配置寄存器 0          | 0x00 | 节 7.1.1.8  |
| 0xA  | GPIO1_CFG0      | GPIO1 配置寄存器 0      | 0x32 | 节 7.1.1.9  |
| 0xB  | GPIO2_CFG0      | GPIO2 配置寄存器 0      | 0x00 | 节 7.1.1.10 |
| 0xC  | GPO1_CFG0       | GPO1 配置寄存器 0       | 0x00 | 节 7.1.1.11 |
| 0xD  | GPI_CFG         | GPI1 配置寄存器 0       | 0x00 | 节 7.1.1.12 |
| 0xE  | GPO_GPI_VAL     | GPIO、GPO 输出值寄存器    | 0x00 | 节 7.1.1.13 |
| 0xF  | INTF_CFG0       | 接口配置寄存器 0          | 0x00 | 节 7.1.1.14 |
| 0x10 | INTF_CFG1       | 接口配置寄存器 1          | 0x52 | 节 7.1.1.15 |
| 0x11 | INTF_CFG2       | 接口配置寄存器 2          | 0x80 | 节 7.1.1.16 |
| 0x12 | INTF_CFG3       | 接口配置寄存器 3          | 0x00 | 节 7.1.1.17 |
| 0x13 | INTF_CFG4       | 接口配置寄存器 4          | 0x00 | 节 7.1.1.18 |
| 0x14 | INTF_CFG5       | 接口配置寄存器 5          | 0x00 | 节 7.1.1.19 |
| 0x15 | INTF_CFG6       | 接口配置寄存器 6          | 0x00 | 节 7.1.1.20 |
| 0x18 | ASI_CFG0        | ASI 配置寄存器 0        | 0x40 | 节 7.1.1.21 |
| 0x19 | ASI_CFG1        | ASI 配置寄存器 1        | 0x00 | 节 7.1.1.22 |
| 0x1A | PASI_CFG0       | 主要 ASI 配置寄存器 0     | 0x30 | 节 7.1.1.23 |
| 0x1B | PASI_TX_CFG0    | PASI TX 配置寄存器 0    | 0x00 | 节 7.1.1.24 |
| 0x1C | PASI_TX_CFG1    | PASI TX 配置寄存器 1    | 0x00 | 节 7.1.1.25 |
| 0x1D | PASI_TX_CFG2    | PASI TX 配置寄存器 2    | 0x00 | 节 7.1.1.26 |
| 0x1E | PASI_TX_CH1_CFG | PASI TX 通道 1 配置寄存器 | 0x20 | 节 7.1.1.27 |
| 0x1F | PASI_TX_CH2_CFG | PASI TX 通道 2 配置寄存器 | 0x21 | 节 7.1.1.28 |
| 0x20 | PASI_TX_CH3_CFG | PASI TX 通道 3 配置寄存器 | 0x02 | 节 7.1.1.29 |
| 0x21 | PASI_TX_CH4_CFG | PASI TX 通道 4 配置寄存器 | 0x03 | 节 7.1.1.30 |
| 0x22 | PASI_TX_CH5_CFG | PASI TX 通道 5 配置寄存器 | 0x04 | 节 7.1.1.31 |
| 0x23 | PASI_TX_CH6_CFG | PASI TX 通道 6 配置寄存器 | 0x05 | 节 7.1.1.32 |
| 0x24 | PASI_TX_CH7_CFG | PASI TX 通道 7 配置寄存器 | 0x06 | 节 7.1.1.33 |
| 0x25 | PASI_TX_CH8_CFG | PASI TX 通道 8 配置寄存器 | 0x07 | 节 7.1.1.34 |
| 0x26 | PASI_RX_CFG0    | PASI RX 配置寄存器 0    | 0x00 | 节 7.1.1.35 |
| 0x27 | PASI_RX_CFG1    | PASI RX 配置寄存器 1    | 0x00 | 节 7.1.1.36 |
| 0x28 | PASI_RX_CH1_CFG | PASI RX 通道 1 配置寄存器 | 0x20 | 节 7.1.1.37 |
| 0x29 | PASI_RX_CH2_CFG | PASI RX 通道 2 配置寄存器 | 0x21 | 节 7.1.1.38 |
| 0x2A | PASI_RX_CH3_CFG | PASI RX 通道 3 配置寄存器 | 0x02 | 节 7.1.1.39 |



**表 7-2. TAD5112\_B0\_P0 寄存器 (续)**

| 地址   | 首字母缩写词           | 寄存器名称                | 复位值  | 部分                         |
|------|------------------|----------------------|------|----------------------------|
| 0x2B | PASI_RX_CH4_CFG  | PASI RX 通道 4 配置寄存器   | 0x03 | <a href="#">节 7.1.1.40</a> |
| 0x2C | PASI_RX_CH5_CFG  | PASI RX 通道 5 配置寄存器   | 0x04 | <a href="#">节 7.1.1.41</a> |
| 0x2D | PASI_RX_CH6_CFG  | PASI RX 通道 6 配置寄存器   | 0x05 | <a href="#">节 7.1.1.42</a> |
| 0x2E | PASI_RX_CH7_CFG  | PASI RX 通道 7 配置寄存器   | 0x06 | <a href="#">节 7.1.1.43</a> |
| 0x2F | PASI_RX_CH8_CFG  | PASI RX 通道 8 配置寄存器   | 0x07 | <a href="#">节 7.1.1.44</a> |
| 0x32 | CLK_CFG0         | 时钟配置寄存器 0            | 0x00 | <a href="#">节 7.1.1.45</a> |
| 0x33 | CLK_CFG1         | 时钟配置寄存器 1            | 0x00 | <a href="#">节 7.1.1.46</a> |
| 0x34 | CLK_CFG2         | 时钟配置寄存器 2            | 0x40 | <a href="#">节 7.1.1.47</a> |
| 0x35 | CNT_CLK_CFG0     | 控制器模式时钟配置寄存器 0       | 0x00 | <a href="#">节 7.1.1.48</a> |
| 0x36 | CNT_CLK_CFG1     | 控制器模式时钟配置寄存器 1       | 0x00 | <a href="#">节 7.1.1.49</a> |
| 0x37 | CNT_CLK_CFG2     | 控制器模式时钟配置寄存器 2       | 0x20 | <a href="#">节 7.1.1.50</a> |
| 0x38 | CNT_CLK_CFG3     | 控制器模式时钟配置寄存器 3       | 0x00 | <a href="#">节 7.1.1.51</a> |
| 0x39 | CNT_CLK_CFG4     | 控制器模式时钟配置寄存器 4       | 0x00 | <a href="#">节 7.1.1.52</a> |
| 0x3A | CNT_CLK_CFG5     | 控制器模式时钟配置寄存器 5       | 0x00 | <a href="#">节 7.1.1.53</a> |
| 0x3B | CNT_CLK_CFG6     | 控制器模式时钟配置寄存器 6       | 0x00 | <a href="#">节 7.1.1.54</a> |
| 0x3C | CLK_ERR_STS0     | 时钟错误和状态寄存器 0         | 0x00 | <a href="#">节 7.1.1.55</a> |
| 0x3D | CLK_ERR_STS1     | 时钟错误和状态寄存器 1         | 0x00 | <a href="#">节 7.1.1.56</a> |
| 0x3E | CLK_DET_STS0     | 时钟比率检测寄存器 0          | 0x00 | <a href="#">节 7.1.1.57</a> |
| 0x3F | CLK_DET_STS1     | 时钟比率检测寄存器 1          | 0x00 | <a href="#">节 7.1.1.58</a> |
| 0x40 | CLK_DET_STS2     | 时钟比率检测寄存器 2          | 0x00 | <a href="#">节 7.1.1.59</a> |
| 0x41 | CLK_DET_STS3     | 时钟比率检测寄存器 3          | 0x00 | <a href="#">节 7.1.1.60</a> |
| 0x42 | INT_CFG          | 中断配置寄存器              | 0x00 | <a href="#">节 7.1.1.61</a> |
| 0x43 | DAC_FLT_CFG      | 中断配置寄存器              | 0x54 | <a href="#">节 7.1.1.62</a> |
| 0x4D | VREF_MICBIAS_CFG | VREF 和 MICBIAS 配置寄存器 | 0x00 | <a href="#">节 7.1.1.63</a> |
| 0x4E | PWR_TUNE_CFG0    | Power Tune 配置寄存器 0   | 0x00 | <a href="#">节 7.1.1.64</a> |
| 0x4F | PWR_TUNE_CFG1    | Power Tune 配置寄存器 1   | 0x00 | <a href="#">节 7.1.1.65</a> |
| 0x52 | ADC_CH1_CFG2     | ADC 通道 1 配置寄存器 2     | 0xA1 | <a href="#">节 7.1.1.66</a> |
| 0x53 | ADC_CH1_CFG3     | ADC 通道 1 配置寄存器 3     | 0x80 | <a href="#">节 7.1.1.67</a> |
| 0x54 | ADC_CH1_CFG4     | ADC 通道 1 配置寄存器 4     | 0x00 | <a href="#">节 7.1.1.68</a> |
| 0x57 | ADC_CH2_CFG2     | 通道 2 配置寄存器 2         | 0xA1 | <a href="#">节 7.1.1.69</a> |
| 0x58 | ADC_CH2_CFG3     | ADC 通道 2 配置寄存器 3     | 0x80 | <a href="#">节 7.1.1.70</a> |
| 0x59 | ADC_CH2_CFG4     | ADC 通道 2 配置寄存器 4     | 0x00 | <a href="#">节 7.1.1.71</a> |
| 0x5A | ADC_CH3_CFG0     | ADC 通道 3 配置寄存器 0     | 0x00 | <a href="#">节 7.1.1.72</a> |
| 0x5B | ADC_CH3_CFG2     | ADC 通道 3 配置寄存器 2     | 0xA1 | <a href="#">节 7.1.1.73</a> |
| 0x5C | ADC_CH3_CFG3     | ADC 通道 3 配置寄存器 3     | 0x80 | <a href="#">节 7.1.1.74</a> |
| 0x5D | ADC_CH3_CFG4     | ADC 通道 3 配置寄存器 4     | 0x00 | <a href="#">节 7.1.1.75</a> |
| 0x5E | ADC_CH4_CFG0     | ADC 通道 4 配置寄存器 0     | 0x00 | <a href="#">节 7.1.1.76</a> |
| 0x5F | ADC_CH4_CFG2     | 通道 4 配置寄存器 2         | 0xA1 | <a href="#">节 7.1.1.77</a> |
| 0x60 | ADC_CH4_CFG3     | ADC 通道 4 配置寄存器 3     | 0x80 | <a href="#">节 7.1.1.78</a> |
| 0x61 | ADC_CH4_CFG4     | ADC 通道 4 配置寄存器 4     | 0x00 | <a href="#">节 7.1.1.79</a> |
| 0x64 | OUT1x_CFG0       | 通道 OUT1x 配置寄存器 0     | 0x20 | <a href="#">节 7.1.1.80</a> |
| 0x65 | OUT1x_CFG1       | 通道 OUT1x 配置寄存器 1     | 0x20 | <a href="#">节 7.1.1.81</a> |

表 7-2. TAD5112\_B0\_P0 寄存器 (续)

| 地址   | 首字母缩写词        | 寄存器名称                   | 复位值  | 部分          |
|------|---------------|-------------------------|------|-------------|
| 0x66 | OUT1x_CFG2    | 通道 OUT2x 配置寄存器 2        | 0x20 | 节 7.1.1.82  |
| 0x67 | DAC_CH1A_CFG0 | DAC 通道 1A 配置寄存器 0       | 0xC9 | 节 7.1.1.83  |
| 0x68 | DAC_CH1A_CFG1 | DAC 通道 1A 配置寄存器 1       | 0x80 | 节 7.1.1.84  |
| 0x69 | DAC_CH1B_CFG0 | DAC 通道 1B 配置寄存器 0       | 0xC9 | 节 7.1.1.85  |
| 0x6A | DAC_CH1B_CFG1 | DAC 通道 1B 配置寄存器 1       | 0x80 | 节 7.1.1.86  |
| 0x6B | OUT2x_CFG0    | 通道 OUT2x 配置寄存器 0        | 0x20 | 节 7.1.1.87  |
| 0x6C | OUT2x_CFG1    | 通道 OUT2x 配置寄存器 1        | 0x20 | 节 7.1.1.88  |
| 0x6D | OUT2x_CFG2    | 通道 OUT2x 配置寄存器 2        | 0x20 | 节 7.1.1.89  |
| 0x6E | DAC_CH2A_CFG0 | DAC 通道 2A 配置寄存器 0       | 0xC9 | 节 7.1.1.90  |
| 0x6F | DAC_CH2A_CFG1 | DAC 通道 2A 配置寄存器 1       | 0x80 | 节 7.1.1.91  |
| 0x70 | DAC_CH2B_CFG0 | DAC 通道 2B 配置寄存器 0       | 0xC9 | 节 7.1.1.92  |
| 0x71 | DAC_CH2B_CFG1 | DAC 通道 2B 配置寄存器 1       | 0x80 | 节 7.1.1.93  |
| 0x72 | DSP_CFG0      | DSP 配置寄存器 0             | 0x18 | 节 7.1.1.94  |
| 0x73 | DSP_CFG1      | DSP 配置寄存器 0             | 0x18 | 节 7.1.1.95  |
| 0x76 | CH_EN         | 通道使能配置寄存器               | 0xCC | 节 7.1.1.96  |
| 0x77 | DYN_PUPD_CFG  | 上电配置寄存器                 | 0x00 | 节 7.1.1.97  |
| 0x78 | PWR_CFG       | 上电配置寄存器                 | 0x00 | 节 7.1.1.98  |
| 0x79 | DEV_STS0      | 器件状态值寄存器 0              | 0x00 | 节 7.1.1.99  |
| 0x7A | DEV_STS1      | 器件状态值寄存器 1              | 0x80 | 节 7.1.1.100 |
| 0x7E | I2C_CKSUM     | I <sup>2</sup> C 校验和寄存器 | 0x00 | 节 7.1.1.101 |

### 7.1.1.1 PAGE\_CFG 寄存器 (地址 = 0x0) [复位 = 0x00]

表 7-3 展示了 PAGE\_CFG。

返回到[汇总表](#)。

器件存储器映射分为多个页面。该寄存器设置页。

表 7-3. PAGE\_CFG 寄存器字段说明

| 位   | 字段        | 类型  | 复位        | 说明   |
|-----|-----------|-----|-----------|--|
| 7-0 | PAGE[7:0] | R/W | 00000000b | 这些位设置器件页。<br>0d = 第 0 页<br>1d = 第 1 页<br>2d 至 254d = 第 2 页至第 254 页<br>255d = 第 255 页 |

### 7.1.1.2 SW\_RESET 寄存器 (地址 = 0x1) [复位 = 0x00]

表 7-4 展示了 SW\_RESET。

返回到[汇总表](#)。

该寄存器是软件复位寄存器。软件复位置为有效会将所有寄存器值置于其默认上电复位 (POR) 状态。

表 7-4. SW\_RESET 寄存器字段说明

| 位   | 字段       | 类型 | 复位 | 说明         |
|-----|----------|----|----|------------|
| 7-1 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

表 7-4. SW\_RESET 寄存器字段说明 (续)

| 位 | 字段       | 类型  | 复位 | 说明  |
|---|----------|-----|----|---|
| 0 | SW_RESET | R/W | 0b | 软件复位。此位可自行清除。<br>0d = 不复位<br>1d = 将所有寄存器复位为其复位值 |

### 7.1.1.3 DEV\_MISC\_CFG 寄存器 (地址 = 0x2) [复位 = 0x00]

表 7-5 展示了 DEV\_MISC\_CFG。

返回到[汇总表](#)。

该寄存器用于配置杂项器件寄存器。

表 7-5. DEV\_MISC\_CFG 寄存器字段说明

| 位   | 字段                 | 类型  | 复位  | 说明   |
|-----|--------------------|-----|-----|--|
| 7-6 | RESERVED           | R   | 0b  | 保留位；仅写入复位值   |
| 5-4 | VREF_QCHG[1:0]     | R/W | 00b | VREF 外部电容器的快速充电持续时间使用 200andx3A9;#。的内部串联电阻来设置。<br>0d = VREF 快速充电持续时间为 3.5ms (典型值)<br>1d = VREF 快速充电持续时间为 10ms (典型值)<br>2d = VREF 快速充电持续时间为 50ms (典型值)<br>3d = VREF 快速充电持续时间为 100ms (典型值) |
| 3   | SLEEP_EXIT_VREF_EN | R/W | 0b  | 睡眠模式退出配置<br>0d = 仅启用 DREG<br>1d = 启用 DREG 和 VREF   |
| 2   | AVDD_MODE          | R/W | 0b  | AVDD 模式配置。<br>0d = 使用内部 AREG 稳压器 (应在 AVDD 3.3V 运行时使用)<br>1d = AVDD 1.8V 直接用于 AREG (对于 AVDD 1.8V 运行, 严格使用此设置)   |
| 1   | IOVDD_IO_MODE      | R/W | 0b  | IOVDD 模式配置。<br>0d = 3.3V/1.8V/1.2V 时的 IOVDD (在 1.8V 和 1.2V 运行时速度限制适用)<br>1d = 仅 1.8V/1.2V 时的 IOVDD (无速度限制 - 在 IOVDD 3.3V 运行时完全不要使用此设置)。  |
| 0   | SLEEP_ENZ          | R/W | 0b  | 睡眠模式设置。<br>0d = 器件处于睡眠模式<br>1d = 器件未处于睡眠模式   |

### 7.1.1.4 AVDD\_IOVDD\_STS 寄存器 (地址 = 0x3) [复位 = 0x00]

表 7-6 展示了 AVDD\_IOVDD\_STS。

返回到[汇总表](#)。

该寄存器包含电源检测和掉电的状态。

表 7-6. AVDD\_IOVDD\_STS 寄存器字段说明

| 位   | 字段                | 类型 | 复位 | 说明   |
|-----|-------------------|----|----|--|
| 7   | AVDD_MODE_STS     | R  | 0b | AVDD 模式状态标志寄存器。<br>0d = AVDD_MODE 取决于配置<br>1d = AVDD 3.3V 运行 (AVDD_MODE 强制设置为 0d)        |
| 6   | IOVDD_IO_MODE_STS | R  | 0b | IOVDD 模式状态标志寄存器。<br>0d = IOVDD_MODE 取决于配置<br>1d = IOVDD 3.3V 运行 (IOVDD_IO_MODE 强制设置为 0d) |
| 5-2 | RESERVED          | R  | 0b | 保留位；仅写入复位值   |

表 7-6. AVDD\_IOVDD\_STS 寄存器字段说明 (续)

| 位 | 字段                      | 类型  | 复位 | 说明                                       |
|---|-------------------------|-----|----|--|
| 1 | BRWNOUT_SHDN_STS        | R   | 0b | 欠压关断状态<br>0d = 无欠压关断<br>1d = 欠压关断        |
| 0 | BRWNOUT_SHDN_EXIT_SLEEP | R/W | 0b | 欠压关断睡眠退出配置<br>0d = 保持睡眠模式<br>1d = 退出睡眠模式 |

### 7.1.1.5 MISC\_CFG 寄存器 (地址 = 0x4) [复位 = 0x00]

表 7-7 展示了 MISC\_CFG。

返回到[汇总表](#)。

该寄存器用于配置杂项配置寄存器。

表 7-7. MISC\_CFG 寄存器字段说明

| 位 | 字段             | 类型  | 复位 | 说明  |
|---|----------------|-----|----|---|
| 7 | RESERVED       | R   | 0b | 保留位；仅写入复位值  |
| 6 | IGNORE_CLK_ERR | R/W | 0b | 时钟错误检测操作<br>0b = 启用时钟错误<br>1b = 禁用时钟错误  |
| 5 | RESERVED       | R   | 0b | 保留位；仅写入复位值  |
| 4 | RESERVED       | R   | 0b | 保留位；仅写入复位值  |
| 3 | RESERVED       | R   | 0b | 保留位；仅写入复位值  |
| 2 | RESERVED       | R   | 0b | 保留位；仅写入复位值  |
| 1 | I2C_BRDCAST_EN | R/W | 0b | I <sup>2</sup> C 广播寻址设置。<br>0d = 禁用 I <sup>2</sup> C 广播模式<br>1d = 启用 I <sup>2</sup> C 广播模式；I <sup>2</sup> C 目标地址固定，引脚控制的 LSB 位为 '0' |
| 0 | RESERVED       | R   | 0b | 保留位；仅写入复位值  |

### 7.1.1.6 MISC\_CFG1 寄存器 (地址 = 0x5) [复位 = 0x15]

表 7-8 展示了 MISC\_CFG1。

返回到[汇总表](#)。

该寄存器用于配置杂项配置寄存器 1。

表 7-8. MISC\_CFG1 寄存器字段说明

| 位   | 字段              | 类型  | 复位  | 说明  |
|-----|-----------------|-----|-----|---|
| 7-6 | INCAP_QCHG[1:0] | R/W | 00b | 外部交流耦合电容器的快速充电持续时间使用 800andx3A9;#. 的内部串联电阻来设置。<br>0d = INxP、INxM 快速充电持续时间为 2.5ms (典型值)<br>1d = INxP、INxM 快速充电持续时间为 12.5ms (典型值)<br>2d = INxP、INxM 快速充电持续时间为 25ms (典型值)<br>3d = INxP、INxM 快速充电持续时间为 50ms (典型值) |
| 5-4 | SHDN_CFG[1:0]   | R/W | 01b | 关断配置。<br>0d = IOVDD 置为无效后立即使 DREG 断电<br>1d = DREG 保持有效，以便在达到超时 (DREG_KA_TIME) 之前彻底断电；在超时之后，强制 DREG 断电<br>2d = DREG 保持有效，直至器件完全断电<br>3d = 保留；不使用   |

表 7-8. MISC\_CFG1 寄存器字段说明 (续)

| 位   | 字段                | 类型  | 复位  | 说明  |
|-----|-------------------|-----|-----|---|
| 3-2 | DREG_KA_TIME[1:0] | R/W | 01b | 这些位设置在 IOVDD 置为无效后 DREG 在多长时间保持有效状态。<br>0d = DREG 保持有效状态 30ms (典型值)<br>1d = DREG 保持有效状态 25ms (典型值)<br>2d = DREG 保持有效状态 10ms (典型值)<br>3d = DREG 保持有效状态 5ms (典型值) |
| 1-0 | RESERVED          | R   | 0b  | 保留位; 仅写入复位值   |

### 7.1.1.7 DAC\_CFG\_A0 寄存器 (地址 = 0x6) [复位 = 0x35]

表 7-9 展示了 DAC\_CFG\_A0。

返回到[汇总表](#)。

该寄存器用于配置器件 DAC 去 POP 音设置。

表 7-9. DAC\_CFG\_A0 寄存器字段说明

| 位   | 字段                       | 类型  | 复位    | 说明   |
|-----|--------------------------|-----|-------|--|
| 7-6 | RSERIES_DE_POP_INT[1:0]  | R/W | 00b   | 耳机放大器串联电阻选择配置。<br>0d = 1K<br>1d = 0.5K<br>2d = 0.33K<br>3d = 0.25k   |
| 5-4 | RSERIES_DE_POP_MID[1:0]  | R/W | 11b   | 耳机放大器串联电阻选择配置。<br>0d = 1K<br>1d = 0.5K<br>2d = 0.33K<br>3d = 0.25k   |
| 3-0 | PWR_UP_TIME_DE_PO P[3:0] | R/W | 0101b | 耳机放大器外部电容充电时间配置。<br>0d = 2ms<br>1d = 4ms<br>2d = 8ms<br>3d = 16ms<br>4d = 50ms<br>5d = 100ms<br>6d = 250ms<br>7d = 500ms<br>8d = 1s<br>9d = 5s<br>10d-15d = 保留 |

### 7.1.1.8 MISC\_CFG0 寄存器 (地址 = 0x7) [复位 = 0x00]

表 7-10 展示了 MISC\_CFG0。

返回到[汇总表](#)。

该寄存器用于配置杂项配置寄存器 0。

表 7-10. MISC\_CFG0 寄存器字段说明

| 位 | 字段               | 类型  | 复位 | 说明   |
|---|------------------|-----|----|--|
| 7 | DAC_ST_W_CAP_DIS | R/W | 0b | DAC 从直流阻断电容器放电序列开始。<br>0d = 禁用<br>1d = 启用                        |
| 6 | DAC_DLYD_PWRUP   | R/W | 0b | DAC 上电延迟配置<br>0d = 禁用<br>1d = 启用 (基于 DAC_DLYD_PWRUP_TIME 配置延迟上电) |

表 7-10. MISC\_CFG0 寄存器字段说明 (续)

| 位   | 字段                          | 类型  | 复位 | 说明   |
|-----|-----------------------------|-----|----|--|
| 5   | DAC_DLYD_PWRUP_TIME         | R/W | 0b | DAC 上电延迟时间配置。<br>0d = 64ms-128ms<br>1d = 256ms-512ms           |
| 4   | HW_RESET_ON_CLK_S<br>TOP_EN | R/W | 0b | 当 CLK_SRC_SEL 选择的时钟在 2ms 配置内不可用时，发出硬复位信号<br>0d = 禁用<br>1d = 启用 |
| 3-0 | RESERVED                    | R   | 0b | 保留位；仅写入复位值   |

## 7.1.1.9 GPIO1\_CFG0 寄存器 (地址 = 0xA) [复位 = 0x32]

表 7-11 展示了 GPIO1\_CFG0。

返回到[汇总表](#)。

该寄存器是 GPIO1 配置寄存器 0。

表 7-11. GPIO1\_CFG0 寄存器字段说明

| 位   | 字段             | 类型  | 复位    | 说明   |
|-----|----------------|-----|-------|--|
| 7-4 | GPIO1_CFG[3:0] | R/W | 0011b | GPIO1 配置。<br>0d = 禁用 GPIO1<br>1d = GPIO1 配置为通用输入 (GPI) 或任何其他输入功能<br>2d = GPIO1 配置为通用输出 (GPO)<br>3d = GPIO1 配置为芯片中断输出 (IRQ)<br>4d = GPIO1 配置为 PDM 时钟输出 (PDMCLK)<br>5d = GPIO1 配置为主要 ASI DOUT<br>6d = GPIO1 配置为主要 ASI DOUT2<br>7d = GPIO1 配置为辅助 ASI DOUT<br>8d = GPIO1 配置为辅助 ASI DOUT2<br>9d = GPIO1 配置为辅助 ASI BCLK 输出<br>10d = GPIO1 配置为辅助 ASI FSYNC 输出<br>11d = GPIO1 配置为通用 CLKOUT<br>12d = GPIO1 配置为 PASI DOUT 和 SASI DOUT 多路复用<br>13d = 对于 DIN 菊花链，GPIO1 配置为 DAISY_OUT<br>14d 至 15d = 保留 |
| 3   | RESERVED       | R   | 0b    | 保留位；仅写入复位值   |
| 2-0 | GPIO1_DRV[2:0] | R/W | 010b  | GPIO1 输出驱动配置。(如果 GPIO1_CFG 配置为 I <sup>2</sup> S OUT，则无效)<br>0d = 高阻态输出<br>1d = 驱动低电平有效和高电平有效<br>2d = 驱动低电平有效和弱高电平<br>3d = 驱动低电平有效和高阻态<br>4d = 驱动弱低电平有效和高电平有效<br>5d = 驱动高阻态和高电平有效<br>6d 至 7d = 保留；不使用   |

## 7.1.1.10 GPIO2\_CFG0 寄存器 (地址 = 0xB) [复位 = 0x00]

表 7-12 展示了 GPIO2\_CFG0。

返回到[汇总表](#)。

该寄存器是 GPIO2 配置寄存器 0。

表 7-12. GPIO2\_CFG0 寄存器字段说明

| 位   | 字段             | 类型  | 复位    | 说明  |
|-----|----------------|-----|-------|---|
| 7-4 | GPIO2_CFG[3:0] | R/W | 0000b | GPIO2 配置。<br>0d = 禁用 GPIO2<br>1d = GPIO2 配置为通用输入 (GPI) 或任何其他输入功能<br>2d = GPIO2 配置为通用输出 (GPO)<br>3d = GPIO2 配置为芯片中断输出 (IRQ)<br>4d = GPIO2 配置为 PDM 时钟输出 (PDMCLK)<br>5d = GPIO2 配置为主要 ASI DOUT<br>6d = GPIO2 配置为主要 ASI DOUT2<br>7d = GPIO2 配置为辅助 ASI DOUT<br>8d = GPIO2 配置为辅助 ASI DOUT2<br>9d = GPIO2 配置为辅助 ASI BCLK 输出<br>10d = GPIO2 配置为辅助 ASI FSYNC 输出<br>11d = GPIO2 配置为通用 CLKOUT<br>12d = GPIO2 配置为 PASI DOUT 和 SASI DOUT 多路复用<br>13d = 对于 DIN 菊花链, GPIO2 配置为 DAISY_OUT<br>14d 至 15d = 保留 |
| 3   | RESERVED       | R   | 0b    | 保留位; 仅写入复位值   |
| 2-0 | GPIO2_DRV[2:0] | R/W | 000b  | GPIO2 输出驱动配置。(如果 GPIO2_CFG 配置为 I <sup>2</sup> S OUT, 则无效)<br>0d = 高阻态输出<br>1d = 驱动低电平有效和高电平有效<br>2d = 驱动低电平有效和弱高电平<br>3d = 驱动低电平有效和高阻态<br>4d = 驱动弱低电平有效和高电平有效<br>5d = 驱动高阻态和高电平有效<br>6d 至 7d = 保留; 不使用  |

### 7.1.1.11 GPO1\_CFG0 寄存器 (地址 = 0xC) [复位 = 0x00]

表 7-13 展示了 GPO1\_CFG0。

返回到[汇总表](#)。

该寄存器是 GPO1 配置寄存器 0。

表 7-13. GPO1\_CFG0 寄存器字段说明

| 位   | 字段            | 类型  | 复位    | 说明   |
|-----|---------------|-----|-------|--|
| 7-4 | GPO1_CFG[3:0] | R/W | 0000b | GPO1 配置。(对于 SPI 模式, 此引脚充当 POCI, 以下配置设置不适用) (用作 DOUT 时不支持始终启用总线保持器)<br>0d = 禁用 GPO1<br>1d = 保留<br>2d = GPO1 配置为通用输出 (GPO)<br>3d = GPO1 配置为芯片中断输出 (IRQ)<br>4d = GPO1 配置为 PDM 时钟输出 (PDMCLK)<br>5d = GPO1 配置为主要 ASI DOUT<br>6d = GPO1 配置为主要 ASI DOUT2<br>7d = GPO1 配置为辅助 ASI DOUT<br>8d = GPO1 配置为辅助 ASI DOUT2<br>9d = GPO1 配置为辅助 ASI BCLK 输出<br>10d = GPO1 配置为辅助 ASI FSYNC 输出<br>11d = GPO1 配置为通用 CLKOUT<br>12d = GPO1 配置为 PASI DOUT 和 SASI DOUT 多路复用<br>13d = 对于 DIN 菊花链, GPO1 配置为 DAISY_OUT<br>14d 至 15d = 保留 |
| 3   | RESERVED      | R   | 0b    | 保留位; 仅写入复位值  |

表 7-13. GPO1\_CFG0 寄存器字段说明 (续)

| 位   | 字段            | 类型  | 复位   | 说明   |
|-----|---------------|-----|------|--|
| 2-0 | GPO1_DRV[2:0] | R/W | 000b | GPO1 输出驱动配置。(如果 GPO1_CFG 配置为 I <sup>2</sup> , 则无效)(对于 SPI 模式, 此引脚充当 CSZ, 以下配置设置不适用)<br>0d = 高阻态输出<br>1d = 驱动低电平有效和高电平有效<br>2d = 驱动低电平有效和弱高电平<br>3d = 驱动低电平有效和高阻态<br>4d = 驱动弱低电平和高电平有效<br>5d = 驱动高阻态和高电平有效<br>6d 至 7d = 保留; 不使用 |

## 7.1.1.12 GPI\_CFG 寄存器 (地址 = 0xD) [复位 = 0x00]

表 7-14 展示了 GPI\_CFG。

返回到[汇总表](#)。

该寄存器是 GPI1 配置寄存器 0。

表 7-14. GPI\_CFG 寄存器字段说明

| 位   | 字段       | 类型  | 复位 | 说明   |
|-----|----------|-----|----|--|
| 7-2 | RESERVED | R   | 0b | 保留位; 仅写入复位值  |
| 1   | GPI1_CFG | R/W | 0b | GPI1 配置。(对于 SPI 模式, 此引脚充当 CSZ, 以下配置设置不适用)<br>0d = 禁用 GPI1<br>1d = GPI1 配置为通用输入 (GPI) 或任何其他输入功能 |
| 0   | RESERVED | R   | 0b | 保留位; 仅写入复位值  |

## 7.1.1.13 GPO\_GPI\_VAL 寄存器 (地址 = 0xE) [复位 = 0x00]

表 7-15 展示了 GPO\_GPI\_VAL。

返回到[汇总表](#)。

该寄存器是 GPIO 和 GPO 输出值寄存器。

表 7-15. GPO\_GPI\_VAL 寄存器字段说明

| 位 | 字段        | 类型  | 复位 | 说明  |
|---|-----------|-----|----|---|
| 7 | GPIO1_VAL | R/W | 0b | 配置为 GPO 时的 GPIO1 输出值。<br>0d = 驱动值为 0 的输出<br>1d = 驱动值为 1 的输出 |
| 6 | GPIO2_VAL | R/W | 0b | 配置为 GPO 时的 GPIO2 输出值。<br>0d = 驱动值为 0 的输出<br>1d = 驱动值为 1 的输出 |
| 5 | GPO1_VAL  | R/W | 0b | 配置为 GPO 时的 GPO1 输出值。<br>0d = 驱动值为 0 的输出<br>1d = 驱动值为 1 的输出  |
| 4 | RESERVED  | R   | 0b | 保留位; 仅写入复位值   |
| 3 | GPIO1_MON | R   | 0b | 配置为 GPI 时的 GPIO1 监控值。<br>0d = 输入监控值 0<br>1d = 输入监控值 1       |
| 2 | GPIO2_MON | R   | 0b | 配置为 GPI 时的 GPIO2 监控值。<br>0d = 输入监控值 0<br>1d = 输入监控值 1       |



**表 7-15. GPO\_GPI\_VAL 寄存器字段说明 (续)**

| 位 | 字段       | 类型 | 复位 | 说明   |
|---|----------|----|----|--|
| 1 | GPI1_MON | R  | 0b | 配置为 GPI 时的 GPI1 监控值。<br>0d = 输入监控值 0<br>1d = 输入监控值 1 |
| 0 | RESERVED | R  | 0b | 保留位；仅写入复位值   |

#### 7.1.1.14 INTF\_CFG0 寄存器 (地址 = 0xF) [复位 = 0x00]

表 7-16 展示了 INTF\_CFG0。

返回到[汇总表](#)。

该寄存器是接口配置寄存器 0。

**表 7-16. INTF\_CFG0 寄存器字段说明**

| 位   | 字段                 | 类型  | 复位   | 说明   |
|-----|--------------------|-----|------|--|
| 7   | RESERVED           | R   | 0b   | 保留位；仅写入复位值   |
| 6-5 | CCLK_SEL[1:0]      | R/W | 00b  | CCLK 选择配置。<br>0d = 禁用 CCLK<br>1d = GPIO1<br>2d = GPIO2<br>3d = GPI1  |
| 4-2 | PASI_DIN2_SEL[2:0] | R/W | 000b | 主要 ASI DIN2 选择配置。<br>0d = 禁用主要 ASI DIN2<br>1d = GPIO1<br>2d = GPIO2<br>3d = GPI1<br>4d = DOUT<br>5d = 主要 ASI DIN<br>6d 至 7d = 保留 |
| 1   | PASI_BCLK_SEL      | R/W | 0b   | 主要 ASI BCLK 选择配置。<br>0d = 主要 ASI BCLK 为 BCLK<br>1d = 主要 ASI BCLK 为辅助 ASI BCLK  |
| 0   | PASI_FSYNC_SEL     | R/W | 0b   | 主要 ASI FSYNC 选择配置。<br>0d = 主要 ASI FSYNC 为 FSYNC<br>1d = 主要 ASI FSYNC 为辅助 ASI FSYNC   |

#### 7.1.1.15 INTF\_CFG1 寄存器 (地址 = 0x10) [复位 = 0x52]

表 7-17 展示了 INTF\_CFG1。

返回到[汇总表](#)。

该寄存器是接口配置寄存器 1。

表 7-17. INTF\_CFG1 寄存器字段说明

| 位   | 字段            | 类型  | 复位    | 说明  |
|-----|---------------|-----|-------|---|
| 7-4 | DOUT_SEL[3:0] | R/W | 0101b | DOUT 选择配置。<br>0d = 禁用 DOUT<br>1d = DOUT 配置为输入<br>2d = DOUT 配置为通用输出 (GPO)<br>3d = DOUT 配置为芯片中断输出 (IRQ)<br>4d = DOUT 配置为 PDM 时钟输出 (PDMCLK)<br>5d = DOUT 配置为主要 ASI DOUT<br>6d = DOUT 配置为主要 ASI DOUT2<br>7d = DOUT 配置为辅助 ASI DOUT<br>8d = DOUT 配置为辅助 ASI DOUT2<br>9d = DOUT 配置为辅助 ASI BCLK 输出<br>10d = DOUT 配置为辅助 ASI FSYNC 输出<br>11d = DOUT 配置为通用 CLKOUT<br>12d = DOUT 配置为 PASI DOUT 和 SASI DOUT 多路复用<br>13d = 对于 DIN 菊花链, DOUT 配置为 DAISY_OUT<br>14d = DOUT 配置为 DIN (LOOPBACK)<br>15d = 保留 |
| 3   | DOUT_VAL      | R/W | 0b    | 配置为 GPO 时的 DOUT 输出值。<br>0d = 驱动值为 0 的输出<br>1d = 驱动值为 1 的输出  |
| 2-0 | DOUT_DRV[2:0] | R/W | 010b  | DOUT 输出驱动配置。<br>0d = 高阻态输出<br>1d = 驱动低电平有效和高电平有效<br>2d = 驱动低电平有效和弱高电平<br>3d = 驱动低电平有效和高阻态<br>4d = 驱动弱低电平和高电平有效<br>5d = 驱动高阻态和高电平有效<br>6d 至 7d = 保留; 不使用   |

## 7.1.1.16 INTF\_CFG2 寄存器 (地址 = 0x11) [复位 = 0x80]

表 7-18 展示了 INTF\_CFG2。

返回到[汇总表](#)。

该寄存器是接口配置寄存器 2。

表 7-18. INTF\_CFG2 寄存器字段说明

| 位   | 字段                  | 类型  | 复位   | 说明   |
|-----|---------------------|-----|------|--|
| 7   | PASI_DIN_EN         | R/W | 1b   | 主要 ASI DIN 使能配置。<br>0d = 禁用主要 ASI DIN<br>1d = 启用主要 ASI DIN   |
| 6-4 | SASI_FSYNC_SEL[2:0] | R/W | 000b | 辅助 ASI FSYNC 选择配置。<br>0d = 禁用辅助 ASI<br>1d = GPIO1<br>2d = GPIO2<br>3d = GPI1<br>4d = 保留<br>5d = 主要 ASI FSYNC<br>6d 至 7d = 保留 |

**表 7-18. INTF\_CFG2 寄存器字段说明 (续)**

| 位   | 字段                 | 类型  | 复位   | 说明   |
|-----|--------------------|-----|------|--|
| 3-1 | SASI_BCLK_SEL[2:0] | R/W | 000b | 辅助 ASI BCLK 选择配置。<br>0d = 禁用辅助 ASI<br>1d = GPIO1<br>2d = GPIO2<br>3d = GPI1<br>4d = 保留<br>5d = 主要 ASI BCLK<br>6d 至 7d = 保留 |
| 0   | RESERVED           | R   | 0b   | 保留位；仅写入复位值   |

### 7.1.1.17 INTF\_CFG3 寄存器 (地址 = 0x12) [复位 = 0x00]

表 7-19 展示了 INTF\_CFG3。

返回到[汇总表](#)。

该寄存器是接口配置寄存器 3。

**表 7-19. INTF\_CFG3 寄存器字段说明**

| 位   | 字段                 | 类型  | 复位   | 说明   |
|-----|--------------------|-----|------|--|
| 7-5 | SASI_DIN_SEL[2:0]  | R/W | 000b | 辅助 ASI DIN 选择配置。<br>0d = 禁用辅助 ASI DIN<br>1d = GPIO1<br>2d = GPIO2<br>3d = GPI1<br>4d = DOUT<br>5d = 主要 ASI DIN<br>6d 至 7d = 保留   |
| 4-2 | SASI_DIN2_SEL[2:0] | R/W | 000b | 辅助 ASI DIN2 选择配置。<br>0d = 禁用辅助 ASI DIN2<br>1d = GPIO1<br>2d = GPIO2<br>3d = GPI1<br>4d = DOUT<br>5d = 主要 ASI DIN<br>6d 至 7d = 保留 |
| 1-0 | RESERVED           | R   | 0b   | 保留位；仅写入复位值   |

### 7.1.1.18 INTF\_CFG4 寄存器 (地址 = 0x13) [复位 = 0x00]

表 7-20 展示了 INTF\_CFG4。

返回到[汇总表](#)。

该寄存器是接口配置寄存器 4。

**表 7-20. INTF\_CFG4 寄存器字段说明**

| 位 | 字段          | 类型  | 复位 | 说明  |
|---|-------------|-----|----|---|
| 7 | PDM_CH1_SEL | R/W | 0b | 记录路径通道 1 的 PDM 选择配置。<br>0d = 保留<br>1d = 通道 1 在记录路径上为数字 (PDM) 类型 |
| 6 | PDM_CH2_SEL | R/W | 0b | 记录路径通道 2 的 PDM 选择配置。<br>0d = 保留<br>1d = 通道 2 在记录路径上为数字 (PDM) 类型 |

表 7-20. INTF\_CFG4 寄存器字段说明 (续)

| 位   | 字段                | 类型  | 复位  | 说明  |
|-----|-------------------|-----|-----|---|
| 5   | PDMDIN1_EDGE      | R/W | 0b  | 用于通道 1 和通道 2 数据的 PDMCLK 锁存边沿。<br>0d = 通道 1 数据在负边沿上锁存, 通道 2 数据在正边沿上锁存<br>1d = 通道 1 数据在正边沿上锁存, 通道 2 数据在负边沿上锁存 |
| 4   | PDMDIN2_EDGE      | R/W | 0b  | 用于通道 3 和通道 4 数据的 PDMCLK 锁存边沿。<br>0d = 通道 3 数据在负边沿上锁存, 通道 4 数据在正边沿上锁存<br>1d = 通道 3 数据在正边沿上锁存, 通道 4 数据在负边沿上锁存 |
| 3-2 | PDM_DIN1_SEL[1:0] | R/W | 00b | PDM 数据通道 1 和 2 选择配置。<br>0d = 禁用 PDM 数据通道 1 和 2<br>1d = GPIO1<br>2d = GPIO2<br>3d = GPI1                     |
| 1-0 | PDM_DIN2_SEL[1:0] | R/W | 00b | PDM 数据通道 3 和 4 选择配置。<br>0d = 禁用 PDM 数据通道 3 和 4<br>1d = GPIO1<br>2d = GPIO2<br>3d = GPI1                     |

## 7.1.1.19 INTF\_CFG5 寄存器 (地址 = 0x14) [复位 = 0x00]

表 7-21 展示了 INTF\_CFG5。

返回到[汇总表](#)。

该寄存器是接口配置寄存器 5。

表 7-21. INTF\_CFG5 寄存器字段说明

| 位   | 字段               | 类型  | 复位  | 说明  |
|-----|------------------|-----|-----|---|
| 7   | PDM_DIN_SEL_OVRD | R/W | 0b  | PDM 数据通道 (1 和 2) / (3 和 4) 选择配置覆盖。<br>0d = 无覆盖<br>1d = 如果配置为 GPI1, 则 PDM_DIN1/2_SEL 覆盖为 DIN   |
| 6   | DOOUT_WITH_DIN   | R/W | 0b  | DOOUT 同时用作 ASI OUT 和 ASI IN<br>0d = DOOUT 基于 DOOUT_SEL<br>1d = DOOUT 同时用作 ASI OUT 和 ASI DIN   |
| 5-4 | PD_ADC_GPIO[1:0] | R/W | 00b | 使用 GPIO 选择配置使 ADC 断电。(如果配置了任何一个 PD_ADC_GPIO/ADC_PDZ 断电, 则 ADC 断电)<br>0d = 禁用使用 GPIO 使 ADC 断电<br>1d = 使用 GPIO1 使 ADC 断电<br>2d = 使用 GPIO2 使 ADC 断电<br>3d = 使用 GPI1 使 ADC 断电 |
| 3-2 | PD_DAC_GPIO[1:0] | R/W | 00b | 使用 GPIO 选择配置使 DAC 断电。(如果配置了任何一个 PD_DAC_GPIO/DAC_PDZ 断电, 则 DAC 断电)<br>0d = 禁用使用 GPIO 使 DAC 断电<br>1d = 使用 GPIO1 使 DAC 断电<br>2d = 使用 GPIO2 使 DAC 断电<br>3d = 使用 GPI1 使 DAC 断电 |
| 1   | PLIM_GPIO        | R/W | 0b  | 使用 GPIO1 配置的 PLIM。<br>0d = 禁用使用 GPIO1 的 PLIM<br>1d = 使用 GPIO1 的 PLIM  |
| 0   | GPA_GPIO         | R/W | 0b  | 使用 GPIO1 配置的 GPA。<br>0d = 禁用使用 GPIO1 的 GPA<br>1d = 使用 GPIO1 的 GPA   |

### 7.1.1.20 INTF\_CFG6 寄存器 (地址 = 0x15) [复位 = 0x00]

表 7-22 展示了 INTF\_CFG6。

返回到[汇总表](#)。

该寄存器是接口配置寄存器 6。

**表 7-22. INTF\_CFG6 寄存器字段说明**

| 位   | 字段                 | 类型  | 复位  | 说明  |
|-----|--------------------|-----|-----|---|
| 7-6 | EN_MBIAS_GPIO[1:0] | R/W | 00b | 使用 GPIO 选择配置启用 MICBIAS。<br>0d = 禁用使用 GPIO 启用 MICBIAS<br>1d = 使用 GPIO1 启用 MICBIAS<br>2d = 使用 GPIO2 启用 MICBIAS<br>3d = 使用 GPI1 启用 MICBIAS |
| 5-4 | RESERVED           | R   | 0b  | 保留位；仅写入复位值  |
| 3-0 | RESERVED           | R   | 0b  | 保留位；仅写入复位值  |

### 7.1.1.21 ASI\_CFG0 寄存器 (地址 = 0x18) [复位 = 0x40]

表 7-23 展示了 ASI\_CFG0。

返回到[汇总表](#)。

该寄存器是 ASI 配置寄存器 0。

**表 7-23. ASI\_CFG0 寄存器字段说明**

| 位   | 字段                | 类型  | 复位   | 说明   |
|-----|-------------------|-----|------|--|
| 7   | PASI_DIS          | R/W | 0b   | 禁用或启用主要 ASI (PASI)。<br>0d = 启用主要 ASI<br>1d = 禁用主要 ASI  |
| 6   | SASI_DIS          | R/W | 1b   | 禁用或启用辅助 ASI (SASI)。<br>0d = 启用辅助 ASI<br>1d = 禁用辅助 ASI  |
| 5   | SASI_CFG_GANG     | R/W | 0b   | 辅助 ASI 的所有配置都与主要 ASI 成组。<br>0d = 辅助 ASI 具有独立的配置<br>1d = 辅助 ASI 配置与主要 ASI 相同  |
| 4-3 | DAISY_EN[1:0]     | R/W | 00b  | 菊花链功能启用 (仅 1 个 ASI, 提供 1 个 DOUT 和 DIN)<br>0d = 禁用菊花链<br>1d = 启用 PASI 菊花链 (辅助 ASI 不可用)<br>2d = 启用 SASI 菊花链 (主要 ASI 不可用)<br>3d = 保留; 不使用 |
| 2-0 | DAISY_IN_SEL[2:0] | R/W | 000b | 菊花输入选择配置。<br>0d = 禁用菊花输入<br>1d = GPIO1<br>2d = GPIO2<br>3d = GPI1<br>4d = 保留<br>5d = DIN<br>6d 至 7d = 保留                               |

### 7.1.1.22 ASI\_CFG1 寄存器 (地址 = 0x19) [复位 = 0x00]

表 7-24 展示了 ASI\_CFG1。

返回到[汇总表](#)。

该寄存器是 ASI 配置寄存器 1。

**表 7-24. ASI\_CFG1 寄存器字段说明**

| 位   | 字段                | 类型  | 复位  | 说明  |
|-----|-------------------|-----|-----|---|
| 7-6 | ASI_DOUT_CFG[1:0] | R/W | 00b | ASI 数据输出配置。<br>0d = 1 个主要 ASI 数据输出和 1 个辅助 ASI 数据输出<br>1d = 2 个主要 ASI 数据输出<br>2d = 2 个辅助 ASI 数据输出<br>3d = 保留；不使用 |
| 5-4 | ASI_DIN_CFG[1:0]  | R/W | 00b | ASI 数据输入配置。<br>0d = 1 个主要 ASI 数据输入和 1 个辅助 ASI 数据输入<br>1d = 2 个主要 ASI 数据输入<br>2d = 2 个辅助 ASI 数据输入<br>3d = 保留；不使用 |
| 3   | DAISY_DIR         | R/W | 0b  | 菊花链方向配置。<br>0d = ASI DOUT 菊花链<br>1d = ASI DIN 菊花链   |
| 2   | RESERVED          | R   | 0b  | 保留位；仅写入复位值  |
| 1   | RESERVED          | R   | 0b  | 保留位；仅写入复位值  |
| 0   | RESERVED          | R   | 0b  | 保留位；仅写入复位值  |

### 7.1.1.23 PASI\_CFG0 寄存器 (地址 = 0x1A) [复位 = 0x30]

表 7-25 展示了 PASI\_CFG0。

返回到[汇总表](#)。

该寄存器是 ASI 配置寄存器 0。

**表 7-25. PASI\_CFG0 寄存器字段说明**

| 位   | 字段                | 类型  | 复位  | 说明  |
|-----|-------------------|-----|-----|---|
| 7-6 | PASI_FORMAT[1:0]  | R/W | 00b | 主要 ASI 协议格式。<br>0d = TDM 模式<br>1d = I <sup>2</sup> S 模式<br>2d = LJ (左平衡) 模式<br>3d = 保留；不使用    |
| 5-4 | PASI_WLEN[1:0]    | R/W | 11b | 主要 ASI 字长或时隙长度。<br>0d = 16 位 (建议将此设置与 10kΩ 输入阻抗配置一起使用)<br>1d = 20 位<br>2d = 24 位<br>3d = 32 位 |
| 3   | PASI_FSYNC_POL    | R/W | 0b  | ASI FSYNC 极性 (仅适用于 PASI 协议)。<br>0d = 符合标准协议的默认极性<br>1d = 相对于标准协议的反向极性                         |
| 2   | PASI_BCLK_POL     | R/W | 0b  | ASI BCLK 极性 (仅适用于 PASI 协议)。<br>0d = 符合标准协议的默认极性<br>1d = 相对于标准协议的反向极性                          |
| 1   | PASI_BUS_ERR      | R/W | 0b  | ASI 总线错误检测。<br>0d = 启用总线错误检测<br>1d = 禁用总线错误检测   |
| 0   | PASI_BUS_ERR_RCOV | R/W | 0b  | ASI 总线错误自动恢复。<br>0d = 启用总线错误恢复后自动恢复<br>1d = 禁用总线错误恢复后自动恢复，并在主机配置器件之前保持断电状态                    |

### 7.1.1.24 PASI\_TX\_CFG0 寄存器 (地址 = 0x1B) [复位 = 0x00]

表 7-26 展示了 PASI\_TX\_CFG0。

返回到[汇总表](#)。

该寄存器是 PASI TX 配置寄存器 0。

表 7-26. PASI\_TX\_CFG0 寄存器字段说明

| 位   | 字段                    | 类型  | 复位  | 说明  |
|-----|-----------------------|-----|-----|---|
| 7   | PASI_TX_EDGE          | R/W | 0b  | 主要 ASI 数据输出 (在主要和辅助数据引脚上) 发送边沿。<br>0d = 基于 PASI_BCLK_POL 中协议配置设置的默认边沿<br>1d = 相对于默认边沿设置的反相随后边沿 (半个周期延迟)                             |
| 6   | PASI_TX_FILL          | R/W | 0b  | 任何未使用周期的主要 ASI 数据输出 (在主要和辅助数据引脚上)<br>0d = 针对未使用周期始终发送 0<br>1d = 针对未使用周期始终使用高阻态  |
| 5   | PASI_TX_LSB           | R/W | 0b  | 用于 LSB 传输的主要 ASI 数据输出 (在主要和辅助数据引脚上)。<br>0d = 在一个完整周期内发送 LSB<br>1d = 在前半个周期内发送 LSB, 在后半个周期内发送高阻态                                     |
| 4-3 | PASI_TX_KEEPER[1:0]   | R/W | 00b | 主要 ASI 数据输出 (在主要和辅助数据引脚上) 总线保持器。<br>0d = 始终禁用总线保持器<br>1d = 始终启用总线保持器<br>2d = 总线保持器仅在 LSB 传输期间启用一个周期<br>3d = 总线保持器仅在 LSB 传输期间启用一个半周期 |
| 2   | PASI_TX_USE_INT_FSYNC | R/W | 0b  | 主要 ASI 使用内部 FSYNC 在控制器模式配置中根据情况生成输出数据。<br>0d = 使用外部 FSYNC 进行 ASI 协议数据生成<br>1d = 使用内部 FSYNC 进行 ASI 协议数据生成                            |
| 1   | PASI_TX_USE_INT_BCLK  | R/W | 0b  | 主要 ASI 使用内部 BCLK 在控制器模式配置中生成输出数据。<br>0d = 使用外部 BCLK 进行 ASI 协议数据生成<br>1d = 使用内部 BCLK 进行 ASI 协议数据生成                                   |
| 0   | PASI_TDM_PULSE_WIDTH  | R/W | 0b  | TDM 格式的主要 ASI fsync 脉冲宽度。(对控制器模式有效)<br>0d = Fsync 脉冲为 1 个 BCLK 周期宽<br>1d = Fsync 脉冲为 2 个 BCLK 周期宽                                   |

### 7.1.1.25 PASI\_TX\_CFG1 寄存器 (地址 = 0x1C) [复位 = 0x00]

表 7-27 展示了 PASI\_TX\_CFG1。

返回到[汇总表](#)。

该寄存器是 PASI TX 配置寄存器 1。

表 7-27. PASI\_TX\_CFG1 寄存器字段说明

| 位   | 字段                  | 类型  | 复位     | 说明   |
|-----|---------------------|-----|--------|--|
| 7-5 | RESERVED            | R   | 0b     | 保留位; 仅写入复位值  |
| 4-0 | PASI_TX_OFFSET[4:0] | R/W | 00000b | 主要 ASI 输出数据 MSB 时隙 0 偏移 (在主要和辅助数据引脚上)。<br>0d = ASI 数据 MSB 位置没有偏移, 并符合标准协议<br>1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移<br>2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 的偏移<br>3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移<br>31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移 |

### 7.1.1.26 PASI\_TX\_CFG2 寄存器 (地址 = 0x1D) [复位 = 0x00]

表 7-28 展示了 PASI\_TX\_CFG2。

返回到[汇总表](#)。

该寄存器是 PASI TX 配置寄存器 2。

**表 7-28. PASI\_TX\_CFG2 寄存器字段说明**

| 位 | 字段              | 类型  | 复位 | 说明   |
|---|-----------------|-----|----|--|
| 7 | PASI_TX_CH8_SEL | R/W | 0b | 主要 ASI 输出通道 8 选择。<br>0d = 主要 ASI 通道 8 输出在 DOUT 上<br>1d = 主要 ASI 通道 8 输出在 DOUT2 上 |
| 6 | PASI_TX_CH7_SEL | R/W | 0b | 主要 ASI 输出通道 7 选择。<br>0d = 主要 ASI 通道 7 输出在 DOUT 上<br>1d = 主要 ASI 通道 7 输出在 DOUT2 上 |
| 5 | PASI_TX_CH6_SEL | R/W | 0b | 主要 ASI 输出通道 6 选择。<br>0d = 主要 ASI 通道 6 输出在 DOUT 上<br>1d = 主要 ASI 通道 6 输出在 DOUT2 上 |
| 4 | PASI_TX_CH5_SEL | R/W | 0b | 主要 ASI 输出通道 5 选择。<br>0d = 主要 ASI 通道 5 输出在 DOUT 上<br>1d = 主要 ASI 通道 5 输出在 DOUT2 上 |
| 3 | PASI_TX_CH4_SEL | R/W | 0b | 主要 ASI 输出通道 4 选择。<br>0d = 主要 ASI 通道 4 输出在 DOUT 上<br>1d = 主要 ASI 通道 4 输出在 DOUT2 上 |
| 2 | PASI_TX_CH3_SEL | R/W | 0b | 主要 ASI 输出通道 3 选择。<br>0d = 主要 ASI 通道 3 输出在 DOUT 上<br>1d = 主要 ASI 通道 3 输出在 DOUT2 上 |
| 1 | PASI_TX_CH2_SEL | R/W | 0b | 主要 ASI 输出通道 2 选择。<br>0d = 主要 ASI 通道 2 输出在 DOUT 上<br>1d = 主要 ASI 通道 2 输出在 DOUT2 上 |
| 0 | PASI_TX_CH1_SEL | R/W | 0b | 主要 ASI 输出通道 1 选择。<br>0d = 主要 ASI 通道 1 输出在 DOUT 上<br>1d = 主要 ASI 通道 1 输出在 DOUT2 上 |

### 7.1.1.27 PASI\_TX\_CH1\_CFG 寄存器 (地址 = 0x1E) [复位 = 0x20]

表 7-29 展示了 PASI\_TX\_CH1\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI TX 通道 1 配置寄存器。

**表 7-29. PASI\_TX\_CH1\_CFG 寄存器字段说明**

| 位   | 字段              | 类型  | 复位 | 说明   |
|-----|-----------------|-----|----|--|
| 7-6 | RESERVED        | R   | 0b | 保留位；仅写入复位值   |
| 5   | PASI_TX_CH1_CFG | R/W | 1b | 主要 ASI 输出通道 1 配置。<br>0d = 主要 ASI 通道 1 输出处于三态条件<br>1d = 主要 ASI 通道 1 输出对应于 PDM 通道 1 数据 |



表 7-29. PASI\_TX\_CH1\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | PASI_TX_CH1_SLOT_NUM[4:0] | R/W | 00000b | 主要 ASI 输出通道 1 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.1.28 PASI\_TX\_CH2\_CFG 寄存器 (地址 = 0x1F) [复位 = 0x21]

表 7-30 展示了 PASI\_TX\_CH2\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI TX 通道 2 配置寄存器。

表 7-30. PASI\_TX\_CH2\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 5   | PASI_TX_CH2_CFG           | R/W | 1b     | 主要 ASI 输出通道 2 配置。<br>0d = 主要 ASI 通道 2 输出处于三态条件<br>1d = 主要 ASI 通道 2 输出对应于 PDM 通道 2 数据   |
| 4-0 | PASI_TX_CH2_SLOT_NUM[4:0] | R/W | 00001b | 主要 ASI 输出通道 2 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.1.29 PASI\_TX\_CH3\_CFG 寄存器 (地址 = 0x20) [复位 = 0x02]

表 7-31 展示了 PASI\_TX\_CH3\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI TX 通道 3 配置寄存器。

表 7-31. PASI\_TX\_CH3\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明   |
|-----|----------------------|-----|-----|--|
| 7   | RESERVED             | R   | 0b  | 保留位；仅写入复位值   |
| 6-5 | PASI_TX_CH3_CFG[1:0] | R/W | 00b | 主要 ASI 输出通道 3 配置。<br>0d = 主要 ASI 通道 3 输出处于三态条件<br>1d = 主要 ASI 通道 3 输出对应于 PDM 通道 3 数据<br>2d = 保留<br>3d = 保留 |

表 7-31. PASI\_TX\_CH3\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | PASI_TX_CH3_SLOT_NUM[4:0] | R/W | 00010b | 主要 ASI 输出通道 3 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.1.30 PASI\_TX\_CH4\_CFG 寄存器 (地址 = 0x21) [复位 = 0x03]

表 7-32 展示了 PASI\_TX\_CH4\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI TX 通道 4 配置寄存器。

表 7-32. PASI\_TX\_CH4\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7   | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 6-5 | PASI_TX_CH4_CFG[1:0]      | R/W | 00b    | 主要 ASI 输出通道 4 配置。<br>0d = 主要 ASI 通道 4 输出处于三态条件<br>1d = 主要 ASI 通道 4 输出对应于 PDM 通道 4 数据<br>2d = 主要 ASI 通道 4 输出对应于 TEMP 数据<br>3d = 保留  |
| 4-0 | PASI_TX_CH4_SLOT_NUM[4:0] | R/W | 00011b | 主要 ASI 输出通道 4 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.1.31 PASI\_TX\_CH5\_CFG 寄存器 (地址 = 0x22) [复位 = 0x04]

表 7-33 展示了 PASI\_TX\_CH5\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI TX 通道 5 配置寄存器。

表 7-33. PASI\_TX\_CH5\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明   |
|-----|----------------------|-----|-----|--|
| 7   | RESERVED             | R   | 0b  | 保留位；仅写入复位值   |
| 6-5 | PASI_TX_CH5_CFG[1:0] | R/W | 00b | 主要 ASI 输出通道 5 配置。<br>0d = 主要 ASI 通道 5 输出处于三态条件<br>1d = 主要 ASI 通道 5 输出对应于 ASI 输入通道 1 环回数据<br>2d = 主要 ASI 通道 5 输出对应于回声基准通道 1 数据<br>3d = 保留 |

表 7-33. PASI\_TX\_CH5\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | PASI_TX_CH5_SLOT_NUM[4:0] | R/W | 00100b | 主要 ASI 输出通道 5 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.1.32 PASI\_TX\_CH6\_CFG 寄存器 (地址 = 0x23) [复位 = 0x05]

表 7-34 展示了 PASI\_TX\_CH6\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI TX 通道 6 配置寄存器。

表 7-34. PASI\_TX\_CH6\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7   | RESERVED                  | R   | 0b     | 保留位; 仅写入复位值  |
| 6-5 | PASI_TX_CH6_CFG[1:0]      | R/W | 00b    | 主要 ASI 输出通道 6 配置。<br>0d = 主要 ASI 通道 6 输出处于三态条件<br>1d = 主要 ASI 通道 6 输出对应于 ASI 输入通道 2 环回数据<br>2d = 主要 ASI 通道 6 输出对应于回声基准通道 2 数据<br>3d = 保留   |
| 4-0 | PASI_TX_CH6_SLOT_NUM[4:0] | R/W | 00101b | 主要 ASI 输出通道 6 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.1.33 PASI\_TX\_CH7\_CFG 寄存器 (地址 = 0x24) [复位 = 0x06]

表 7-35 展示了 PASI\_TX\_CH7\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI TX 通道 7 配置寄存器。

表 7-35. PASI\_TX\_CH7\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明  |
|-----|----------------------|-----|-----|---|
| 7   | RESERVED             | R   | 0b  | 保留位; 仅写入复位值   |
| 6-5 | PASI_TX_CH7_CFG[1:0] | R/W | 00b | 主要 ASI 输出通道 7 配置。<br>0d = 主要 ASI 通道 7 输出处于三态条件<br>1d = 保留<br>2d = 主要 ASI 通道 7 输出对应于 {echo_ref_ch1, echo_ref_ch2}<br>3d = 保留 |

表 7-35. PASI\_TX\_CH7\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | PASI_TX_CH7_SLOT_NUM[4:0] | R/W | 00110b | 主要 ASI 输出通道 7 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.1.34 PASI\_TX\_CH8\_CFG 寄存器 (地址 = 0x25) [复位 = 0x07]

表 7-36 展示了 PASI\_TX\_CH8\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI TX 通道 8 配置寄存器。

表 7-36. PASI\_TX\_CH8\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 5   | PASI_TX_CH8_CFG           | R/W | 0b     | 主要 ASI 输出通道 8 配置。<br>0d = 主要 ASI 通道 8 输出处于三态条件<br>1d = 主要 ASI 通道 8 输出对应于 ICLA 数据   |
| 4-0 | PASI_TX_CH8_SLOT_NUM[4:0] | R/W | 00111b | 主要 ASI 输出通道 8 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.1.35 PASI\_RX\_CFG0 寄存器 (地址 = 0x26) [复位 = 0x00]

表 7-37 展示了 PASI\_RX\_CFG0。

返回到[汇总表](#)。

该寄存器是 PASI RX 配置寄存器 0。

表 7-37. PASI\_RX\_CFG0 寄存器字段说明

| 位 | 字段                    | 类型  | 复位 | 说明   |
|---|-----------------------|-----|----|--|
| 7 | PASI_RX_EDGE          | R/W | 0b | 主要 ASI 数据输入 (在主要和辅助数据引脚上) 接收边沿。<br>0d = 基于 PASI_BCLK_POL 中协议配置设置的默认边沿<br>1d = 相对于默认边沿设置的反相随后边沿 (半个周期延迟)  |
| 6 | PASI_RX_USE_INT_FSYNC | R/W | 0b | 主要 ASI 使用内部 FSYNC 在控制器模式配置中根据情况锁存输入数据。<br>0d = 使用外部 FSYNC 进行 ASI 协议数据锁存<br>1d = 使用内部 FSYNC 进行 ASI 协议数据锁存 |
| 5 | PASI_RX_USE_INT_BCLK  | R/W | 0b | 主要 ASI 使用内部 BCLK 在控制器模式配置中锁存输入数据。<br>0d = 使用外部 BCLK 进行 ASI 协议数据锁存<br>1d = 使用内部 BCLK 进行 ASI 协议数据锁存        |

表 7-37. PASI\_RX\_CFG0 寄存器字段说明 (续)

| 位   | 字段                  | 类型  | 复位     | 说明   |
|-----|---------------------|-----|--------|--|
| 4-0 | PASI_RX_OFFSET[4:0] | R/W | 00000b | 主要 ASI 输入数据 MSB 时隙 0 偏移 (在主要和辅助数据引脚上)。<br>0d = ASI 数据 MSB 位置没有偏移, 并符合标准协议<br>1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移<br>2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 的偏移<br>3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移<br>31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移 |

### 7.1.1.36 PASI\_RX\_CFG1 寄存器 (地址 = 0x27) [复位 = 0x00]

表 7-38 展示了 PASI\_RX\_CFG1。

返回到[汇总表](#)。

该寄存器是 PASI RX 配置寄存器 1。

表 7-38. PASI\_RX\_CFG1 寄存器字段说明

| 位 | 字段              | 类型  | 复位 | 说明   |
|---|-----------------|-----|----|--|
| 7 | PASI_RX_CH8_SEL | R/W | 0b | 主要 ASI 输入通道 8 选择。<br>0d = 主要 ASI 通道 8 输入在 DIN 上<br>1d = 主要 ASI 通道 8 输入在 DIN2 上 |
| 6 | PASI_RX_CH7_SEL | R/W | 0b | 主要 ASI 输入通道 7 选择。<br>0d = 主要 ASI 通道 7 输入在 DIN 上<br>1d = 主要 ASI 通道 7 输入在 DIN2 上 |
| 5 | PASI_RX_CH6_SEL | R/W | 0b | 主要 ASI 输入通道 6 选择。<br>0d = 主要 ASI 通道 6 输入在 DIN 上<br>1d = 主要 ASI 通道 6 输入在 DIN2 上 |
| 4 | PASI_RX_CH5_SEL | R/W | 0b | 主要 ASI 输入通道 5 选择。<br>0d = 主要 ASI 通道 5 输入在 DIN 上<br>1d = 主要 ASI 通道 5 输入在 DIN2 上 |
| 3 | PASI_RX_CH4_SEL | R/W | 0b | 主要 ASI 输入通道 4 选择。<br>0d = 主要 ASI 通道 4 输入在 DIN 上<br>1d = 主要 ASI 通道 4 输入在 DIN2 上 |
| 2 | PASI_RX_CH3_SEL | R/W | 0b | 主要 ASI 输入通道 3 选择。<br>0d = 主要 ASI 通道 3 输入在 DIN 上<br>1d = 主要 ASI 通道 3 输入在 DIN2 上 |
| 1 | PASI_RX_CH2_SEL | R/W | 0b | 主要 ASI 输入通道 2 选择。<br>0d = 主要 ASI 通道 2 输入在 DIN 上<br>1d = 主要 ASI 通道 2 输入在 DIN2 上 |
| 0 | PASI_RX_CH1_SEL | R/W | 0b | 主要 ASI 输入通道 1 选择。<br>0d = 主要 ASI 通道 1 输入在 DIN 上<br>1d = 主要 ASI 通道 1 输入在 DIN2 上 |

### 7.1.1.37 PASI\_RX\_CH1\_CFG 寄存器 (地址 = 0x28) [复位 = 0x20]

表 7-39 展示了 PASI\_RX\_CH1\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI RX 通道 1 配置寄存器。

表 7-39. PASI\_RX\_CH1\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 5   | PASI_RX_CH1_CFG           | R/W | 1b     | 主要 ASI 输入通道 1 配置。<br>0d = 禁用主要 ASI 通道 1 输入<br>1d = 主要 ASI 通道 1 输入对应于 DAC 通道 1 数据   |
| 4-0 | PASI_RX_CH1_SLOT_NUM[4:0] | R/W | 00000b | 主要 ASI 输入通道 1 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S，LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S，LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S，LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S，LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S，LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S，LJ 是右侧时隙 15 |

### 7.1.1.38 PASI\_RX\_CH2\_CFG 寄存器 (地址 = 0x29) [复位 = 0x21]

表 7-40 展示了 PASI\_RX\_CH2\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI RX 通道 2 配置寄存器。

表 7-40. PASI\_RX\_CH2\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 5   | PASI_RX_CH2_CFG           | R/W | 1b     | 主要 ASI 输入通道 2 配置。<br>0d = 禁用主要 ASI 通道 2 输入<br>1d = 主要 ASI 通道 2 输入对应于 DAC 通道 2 数据   |
| 4-0 | PASI_RX_CH2_SLOT_NUM[4:0] | R/W | 00001b | 主要 ASI 输入通道 2 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S，LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S，LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S，LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S，LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S，LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S，LJ 是右侧时隙 15 |

### 7.1.1.39 PASI\_RX\_CH3\_CFG 寄存器 (地址 = 0x2A) [复位 = 0x02]

表 7-41 展示了 PASI\_RX\_CH3\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI RX 通道 3 配置寄存器。

表 7-41. PASI\_RX\_CH3\_CFG 寄存器字段说明

| 位   | 字段              | 类型  | 复位 | 说明   |
|-----|-----------------|-----|----|--|
| 7-6 | RESERVED        | R   | 0b | 保留位；仅写入复位值   |
| 5   | PASI_RX_CH3_CFG | R/W | 0b | 主要 ASI 输入通道 3 配置。<br>0d = 禁用主要 ASI 通道 3 输入<br>1d = 主要 ASI 通道 3 输入对应于 DAC 通道 3 数据 |

表 7-41. PASI\_RX\_CH3\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | PASI_RX_CH3_SLOT_NUM[4:0] | R/W | 00010b | 主要 ASI 输入通道 3 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

#### 7.1.1.40 PASI\_RX\_CH4\_CFG 寄存器 (地址 = 0x2B) [复位 = 0x03]

表 7-42 展示了 PASI\_RX\_CH4\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI RX 通道 4 配置寄存器。

表 7-42. PASI\_RX\_CH4\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位; 仅写入复位值  |
| 5   | PASI_RX_CH4_CFG           | R/W | 0b     | 主要 ASI 输入通道 4 配置。<br>0d = 禁用主要 ASI 通道 4 输入<br>1d = 主要 ASI 通道 4 输入对应于 DAC 通道 4 数据   |
| 4-0 | PASI_RX_CH4_SLOT_NUM[4:0] | R/W | 00011b | 主要 ASI 输入通道 4 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

#### 7.1.1.41 PASI\_RX\_CH5\_CFG 寄存器 (地址 = 0x2C) [复位 = 0x04]

表 7-43 展示了 PASI\_RX\_CH5\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI RX 通道 5 配置寄存器。

表 7-43. PASI\_RX\_CH5\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明  |
|-----|----------------------|-----|-----|---|
| 7   | RESERVED             | R   | 0b  | 保留位; 仅写入复位值   |
| 6-5 | PASI_RX_CH5_CFG[1:0] | R/W | 00b | 主要 ASI 输入通道 5 配置。<br>0d = 禁用主要 ASI 通道 5 输入<br>1d = 主要 ASI 通道 5 输入对应于 DAC 通道 5 数据<br>2d = 主要 ASI 通道 5 输入对应于 ADC 通道 1 输出环回<br>3d = 保留 |

表 7-43. PASI\_RX\_CH5\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | PASI_RX_CH5_SLOT_NUM[4:0] | R/W | 00100b | 主要 ASI 输入通道 5 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.1.42 PASI\_RX\_CH6\_CFG 寄存器 (地址 = 0x2D) [复位 = 0x05]

表 7-44 展示了 PASI\_RX\_CH6\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI RX 通道 6 配置寄存器。

表 7-44. PASI\_RX\_CH6\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7   | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 6-5 | PASI_RX_CH6_CFG[1:0]      | R/W | 00b    | 主要 ASI 输入通道 6 配置。<br>0d = 禁用主要 ASI 通道 6 输入<br>1d = 主要 ASI 通道 6 输入对应于 DAC 通道 6 数据<br>2d = 主要 ASI 通道 6 输入对应于 ADC 通道 2 输出环回<br>3d = 主要 ASI 通道 6 输入对应于 ICLA 器件 1 数据  |
| 4-0 | PASI_RX_CH6_SLOT_NUM[4:0] | R/W | 00101b | 主要 ASI 输入通道 6 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.1.43 PASI\_RX\_CH7\_CFG 寄存器 (地址 = 0x2E) [复位 = 0x06]

表 7-45 展示了 PASI\_RX\_CH7\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI RX 通道 7 配置寄存器。

表 7-45. PASI\_RX\_CH7\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明  |
|-----|----------------------|-----|-----|---|
| 7   | RESERVED             | R   | 0b  | 保留位；仅写入复位值  |
| 6-5 | PASI_RX_CH7_CFG[1:0] | R/W | 00b | 主要 ASI 输入通道 7 配置。<br>0d = 禁用主要 ASI 通道 7 输入<br>1d = 主要 ASI 通道 7 输入对应于 DAC 通道 7 数据<br>2d = 主要 ASI 通道 7 输入对应于 ADC 通道 3 输出环回<br>3d = 主要 ASI 通道 7 输入对应于 ICLA 器件 2 数据 |



表 7-45. PASI\_RX\_CH7\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | PASI_RX_CH7_SLOT_NUM[4:0] | R/W | 00110b | 主要 ASI 输入通道 7 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

#### 7.1.1.44 PASI\_RX\_CH8\_CFG 寄存器 (地址 = 0x2F) [复位 = 0x07]

表 7-46 展示了 PASI\_RX\_CH8\_CFG。

返回到[汇总表](#)。

该寄存器是 PASI RX 通道 8 配置寄存器。

表 7-46. PASI\_RX\_CH8\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7   | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 6-5 | PASI_RX_CH8_CFG[1:0]      | R/W | 00b    | 主要 ASI 输入通道 8 配置。<br>0d = 禁用主要 ASI 通道 8 输入<br>1d = 主要 ASI 通道 8 输入对应于 DAC 通道 8 数据<br>2d = 主要 ASI 通道 8 输入对应于 ADC 通道 4 输出环回<br>3d = 主要 ASI 通道 8 输入对应于 ICLA 器件 3 数据  |
| 4-0 | PASI_RX_CH8_SLOT_NUM[4:0] | R/W | 00111b | 主要 ASI 输入通道 8 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

#### 7.1.1.45 CLK\_CFG0 寄存器 (地址 = 0x32) [复位 = 0x00]

表 7-47 展示了 CLK\_CFG0。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 0。

表 7-47. CLK\_CFG0 寄存器字段说明

| 位   | 字段                  | 类型  | 复位      | 说明   |
|-----|---------------------|-----|---------|--|
| 7-2 | PASI_SAMP_RATE[5:0] | R/W | 000000b | 主要 ASI 采样速率配置。-典型 ( 允许的范围 )<br>0d = 在器件中自动检测到的主要 ASI 采样率<br>1d = 768000 (670320-791040)<br>2d = 614400 (536256-632832)<br>3d = 512000 (446880-527360)<br>4d = 438857 (383040-452022)<br>5d = 384000 (335160-395520)<br>6d = 341333 (297920-351573)<br>7d = 307200 (268128-316416)<br>8d = 256000 (223440-263680)<br>9d = 219429 (191520-226011)<br>10d = 192000 (167580-197760)<br>11d = 170667 (148960-175786)<br>12d = 153600 (134064-158208)<br>13d = 128000 (111720-131840)<br>14d = 109714 (95760-113005)<br>15d = 96000 (83790-98880)<br>16d = 85333 (74480-87893)<br>17d = 76800 (67032-79104)<br>18d = 64000 (55860-65920)<br>19d = 54857 (47880-56502)<br>20d = 48000 (41895-49440)<br>21d = 42667 (37240-43946)<br>22d = 38400 (33516-39552)<br>23d = 32000 (27930-32960)<br>24d = 27429 (23940-28251)<br>25d = 24000 (20947-24720)<br>26d = 21333 (18620-21973)<br>27d = 19200 (16758-19776)<br>28d = 16000 (13965-16480)<br>29d = 13714 (11970-14125)<br>30d = 12000 (10473-12360)<br>31d = 10667 (9310-10986)<br>32d = 9600 (8379-9888)<br>33d = 8000 (6982-8240)<br>34d = 6857 (5985-7062)<br>35d = 6000 (5236-6180)<br>36d = 5333 (4655-5493)<br>37d = 4800 (4189-4944)<br>38d = 4000 (3491-4120)<br>39d = 3429 (2992-3531)<br>40d = 3000 (2618-3090)<br>41d-63d = 保留 |
| 1   | PASI_FS_RATE_NO_LIM | R/W | 0b      | 将采样速率限制为仅标准音频采样速率。<br>0d = 使用自动模式时支持容差为 1% 的标准音频速率<br>1d = 使用自动模式时支持容差为 5% 的标准音频速率   |
| 0   | CUSTOM_CLK_CFG      | R/W | 0b      | 自定义时钟配置启用，需要手动配置所有分频器和多路复用器选择。<br>0d = 自动时钟配置<br>1d = 自定义时钟配置  |

#### 7.1.1.46 CLK\_CFG1 寄存器 ( 地址 = 0x33 ) [复位 = 0x00]

表 7-48 展示了 CLK\_CFG1。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 1。

表 7-48. CLK\_CFG1 寄存器字段说明

| 位   | 字段                  | 类型  | 复位      | 说明  |
|-----|---------------------|-----|---------|---|
| 7-2 | SASI_SAMP_RATE[5:0] | R/W | 000000b | 辅助 ASI 采样速率配置。-典型 (范围)<br>0d = 在器件中自动检测到的辅助 ASI 采样率<br>1d = 768000 (670320-791040)<br>2d = 614400 (536256-632832)<br>3d = 512000 (446880-527360)<br>4d = 438857 (383040-452022)<br>5d = 384000 (335160-395520)<br>6d = 341333 (297920-351573)<br>7d = 307200 (268128-316416)<br>8d = 256000 (223440-263680)<br>9d = 219429 (191520-226011)<br>10d = 192000 (167580-197760)<br>11d = 170667 (148960-175786)<br>12d = 153600 (134064-158208)<br>13d = 128000 (111720-131840)<br>14d = 109714 (95760-113005)<br>15d = 96000 (83790-98880)<br>16d = 85333 (74480-87893)<br>17d = 76800 (67032-79104)<br>18d = 64000 (55860-65920)<br>19d = 54857 (47880-56502)<br>20d = 48000 (41895-49440)<br>21d = 42667 (37240-43946)<br>22d = 38400 (33516-39552)<br>23d = 32000 (27930-32960)<br>24d = 27429 (23940-28251)<br>25d = 24000 (20947-24720)<br>26d = 21333 (18620-21973)<br>27d = 19200 (16758-19776)<br>28d = 16000 (13965-16480)<br>29d = 13714 (11970-14125)<br>30d = 12000 (10473-12360)<br>31d = 10667 (9310-10986)<br>32d = 9600 (8379-9888)<br>33d = 8000 (6982-8240)<br>34d = 6857 (5985-7062)<br>35d = 6000 (5236-6180)<br>36d = 5333 (4655-5493)<br>37d = 4800 (4189-4944)<br>38d = 4000 (3491-4120)<br>39d = 3429 (2992-3531)<br>40d = 3000 (2618-3090)<br>41d-63d = 保留 |
| 1   | SASI_FS_RATE_NO_LIM | R/W | 0b      | 将采样速率限制为仅标准音频采样速率。<br>0d = 使用自动模式时支持容差为 1% 的标准音频速率<br>1d = 使用自动模式时支持容差为 5% 的标准音频速率  |
| 0   | RESERVED            | R   | 0b      | 保留位；仅写入复位值  |

#### 7.1.1.47 CLK\_CFG2 寄存器 (地址 = 0x34) [复位 = 0x40]

表 7-49 展示了 CLK\_CFG2。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 2。

表 7-49. CLK\_CFG2 寄存器字段说明

| 位   | 字段                | 类型  | 复位   | 说明   |
|-----|-------------------|-----|------|--|
| 7   | PLL_DIS           | R/W | 0b   | 自定义/自动时钟模式 PLL 设置。<br>0d = 始终在自定义时钟模式下启用 PLL/根据自动时钟模式下的 DSP MIPS 要求启用 PLL<br>1d = 禁用 PLL   |
| 6   | AUTO_PLL_FR_ALLOW | R/W | 1b   | 允许 PLL 以小数运行模式运行。<br>0d = 禁用 PLL 小数模式<br>1d = 允许 PLL 小数模式  |
| 5   | RESERVED          | R   | 0b   | 保留位；仅写入复位值   |
| 4   | RESERVED          | R   | 0b   | 保留位；仅写入复位值   |
| 3-1 | CLK_SRC_SEL[2:0]  | R/W | 000b | 输入时钟源选择。<br>0d = 主要 ASI BCLK 是输入时钟源<br>1d = 与主要 ASI FSYNC 同步的 CCLK 是输入时钟源<br>2d = 辅助 ASI BCLK 是输入时钟源<br>3d = 与辅助 ASI FSYNC 同步的 CCLK 是输入时钟源<br>4d = 固定 CCLK 频率 (仅在控制器模式配置下使用)<br>5d = 内部振荡器时钟是输入时钟源 (仅在自定义时钟配置中受支持)<br>6d 至 7d = 保留 |
| 0   | RATIO_CLK_EDGE    | R/W | 0b   | 用于时钟源比率检测的边沿选择。<br>0d = 使用时钟源的上升沿检查主要或辅助 FSYNC 的比率<br>1d = 使用时钟源的下降沿检查主要或辅助 FSYNC 的比率  |

## 7.1.1.48 CNT\_CLK\_CFG0 寄存器 (地址 = 0x35) [复位 = 0x00]

表 7-50 展示了 CNT\_CLK\_CFG0。

返回到[汇总表](#)。

该寄存器是控制器模式时钟配置寄存器 0。

表 7-50. CNT\_CLK\_CFG0 寄存器字段说明

| 位   | 字段                     | 类型  | 复位      | 说明   |
|-----|------------------------|-----|---------|--|
| 7-6 | PDM_CLK_CFG[1:0]       | R/W | 00b     | PDM_CLK 配置。<br>0d = PDM_CLK 是 2.8224MHz 或 3.072MHz<br>1d = PDM_CLK 是 1.4112MHz 或 1.536MHz<br>2d = PDM_CLK 是 705.6kHz 或 768kHz<br>3d = PDM_CLK 是 5.6448MHz 或 6.144MHz |
| 5-0 | CCLK_FS_RATIO_MSB[5:0] | R/W | 000000b | 用于选择 CCLK 与 CCLK 同步的主要/辅助 ASI FSYNC 之间比率的最有效位。<br>0d = 自动检测比率 (假设 CCLK 与主要/辅助 FSYNC 同步)<br>1d 至 16383d = 根据配置确定比率  |

## 7.1.1.49 CNT\_CLK\_CFG1 寄存器 (地址 = 0x36) [复位 = 0x00]

表 7-51 展示了 CNT\_CLK\_CFG1。

返回到[汇总表](#)。

该寄存器是控制器模式时钟配置寄存器 1。

表 7-51. CNT\_CLK\_CFG1 寄存器字段说明

| 位   | 字段                     | 类型  | 复位        | 说明  |
|-----|------------------------|-----|-----------|---|
| 7-0 | CCLK_FS_RATIO_LSB[7:0] | R/W | 00000000b | 用于选择 CCLK 与 CCLK 同步的主要/辅助 ASI FSYNC 之间的比率。<br>0d = 自动检测比率 (假设 CCLK 与主要/辅助 FSYNC 同步)<br>1d 至 16383d = 根据配置确定比率 |

### 7.1.1.50 CNT\_CLK\_CFG2 寄存器 (地址 = 0x37) [复位 = 0x20]

表 7-52 展示了 CNT\_CLK\_CFG2。

返回到[汇总表](#)。

该寄存器是控制器模式时钟配置寄存器 2。

表 7-52. CNT\_CLK\_CFG2 寄存器字段说明

| 位   | 字段                 | 类型  | 复位   | 说明   |
|-----|--------------------|-----|------|--|
| 7-5 | CCLK_FREQ_SEL[2:0] | R/W | 001b | 这些位选择 CCLK 输入频率 (仅在控制器模式配置下使用)。<br>0d = 12MHz<br>1d = 12.288MHz<br>2d = 13MHz<br>3d = 16MHz<br>4d = 19.2MHz<br>5d = 19.68MHz<br>6d = 24MHz<br>7d = 24.576MHz |
| 4   | PASI_CNT_CFG       | R/W | 0b   | 主要 ASI 控制器或目标配置<br>0d = 目标配置中的主要 ASI<br>1d = 控制器配置中的主要 ASI   |
| 3   | SASI_CNT_CFG       | R/W | 0b   | 辅助 ASI 控制器或目标配置<br>0d = 目标配置中的辅助 ASI<br>1d = 控制器配置中的辅助 ASI   |
| 2   | RESERVED           | R   | 0b   | 保留位; 仅写入复位值  |
| 1   | RESERVED           | R   | 0b   | 保留位; 仅写入复位值  |
| 0   | FS_MODE            | R/W | 0b   | 采样速率设置 (器件处于控制器模式时有效)。这适用于 PASI 和 SASI。<br>0d = 采样速率是 48kHz 的倍数 (或约数)<br>1d = 采样速率是 44.1kHz 的倍数 (或约数)  |

### 7.1.1.51 CNT\_CLK\_CFG3 寄存器 (地址 = 0x38) [复位 = 0x00]

表 7-53 展示了 CNT\_CLK\_CFG3。

返回到[汇总表](#)。

该寄存器是控制器模式时钟配置寄存器 3。

表 7-53. CNT\_CLK\_CFG3 寄存器字段说明

| 位 | 字段                              | 类型  | 复位 | 说明  |
|---|---------------------------------|-----|----|---|
| 7 | PASI_USE_INT_BCLK_F<br>OR_FSYNC | R/W | 0b | 在控制器模式配置期间, 在 PASI 中使用内部 BCLK 来生成 FSYNC。<br>0d = 使用外部 BCLK 生成 FSYNC<br>1d = 使用内部 BCLK 生成 FSYNC                              |
| 6 | PASI_INV_BCLK_FOR_F<br>SYNC     | R/W | 0b | 在控制器模式配置中, 仅对 PASI BCLK 的极性进行反转来生成 PASI FSYNC。<br>0d = 不反转 PASI BCLK 极性来生成 PASI FSYNC<br>1d = 反转 PASI BCLK 极性来生成 PASI FSYNC |

表 7-53. CNT\_CLK\_CFG3 寄存器字段说明 (续)

| 位   | 字段                          | 类型  | 复位      | 说明                                   |
|-----|-----------------------------|-----|---------|--------------------------------------|
| 5-0 | PASI_BCLK_FS_RATIO_MSB[5:0] | R/W | 000000b | 控制器模式下主要 ASI BCLK 与 FSYNC 比率的 MSB 位。 |

#### 7.1.1.52 CNT\_CLK\_CFG4 寄存器 (地址 = 0x39) [复位 = 0x00]

表 7-54 展示了 CNT\_CLK\_CFG4。

返回到[汇总表](#)。

该寄存器是控制器模式时钟配置寄存器 4。

表 7-54. CNT\_CLK\_CFG4 寄存器字段说明

| 位   | 字段                          | 类型  | 复位        | 说明                                    |
|-----|-----------------------------|-----|-----------|---------------------------------------|
| 7-0 | PASI_BCLK_FS_RATIO_LSB[7:0] | R/W | 00000000b | 控制器模式下主要 ASI BCLK 与 FSYNC 比率的 LSB 字节。 |

#### 7.1.1.53 CNT\_CLK\_CFG5 寄存器 (地址 = 0x3A) [复位 = 0x00]

表 7-55 展示了 CNT\_CLK\_CFG5。

返回到[汇总表](#)。

该寄存器是控制器模式时钟配置寄存器 5。

表 7-55. CNT\_CLK\_CFG5 寄存器字段说明

| 位   | 字段                          | 类型  | 复位      | 说明   |
|-----|-----------------------------|-----|---------|--|
| 7   | SASI_USE_INT_BCLK_FOR_FSYNC | R/W | 0b      | 在控制器模式配置期间，在 SASI 中使用内部 BCLK 来生成 FSYNC。<br>0d = 使用外部 BCLK 生成 FSYNC<br>1d = 使用内部 BCLK 生成 FSYNC                              |
| 6   | SASI_INV_BCLK_FOR_FSYNC     | R/W | 0b      | 在控制器模式配置中，仅对 SASI BCLK 的极性进行反转来生成 SASI FSYNC。<br>0d = 不反转 SASI BCLK 极性来生成 SASI FSYNC<br>1d = 反转 SASI BCLK 极性来生成 SASI FSYNC |
| 5-0 | SASI_BCLK_FS_RATIO_MSB[5:0] | R/W | 000000b | 控制器模式下辅助 ASI BCLK 与 FSYNC 比率的 MSB 位。   |

#### 7.1.1.54 CNT\_CLK\_CFG6 寄存器 (地址 = 0x3B) [复位 = 0x00]

表 7-56 展示了 CNT\_CLK\_CFG6。

返回到[汇总表](#)。

该寄存器是控制器模式时钟配置寄存器 6。

表 7-56. CNT\_CLK\_CFG6 寄存器字段说明

| 位   | 字段                          | 类型  | 复位        | 说明                                    |
|-----|-----------------------------|-----|-----------|---------------------------------------|
| 7-0 | SASI_BCLK_FS_RATIO_LSB[7:0] | R/W | 00000000b | 控制器模式下辅助 ASI BCLK 与 FSYNC 比率的 LSB 字节。 |

#### 7.1.1.55 CLK\_ERR\_STS0 寄存器 (地址 = 0x3C) [复位 = 0x00]

表 7-57 展示了 CLK\_ERR\_STS0。

返回到[汇总表](#)。

该寄存器是时钟错误和状态寄存器 0。

**表 7-57. CLK\_ERR\_STS0 寄存器字段说明**

| 位 | 字段                        | 类型 | 复位 | 说明  |
|---|---------------------------|----|----|---|
| 7 | DSP_CLK_ERR               | R  | 0b | 指示 FSYNC 与所选时钟源之间比率错误的标志。<br>0d = 无比率错误<br>1d = 主要或辅助 ASI FSYNC 与所选时钟源之间的比率错误 |
| 6 | RESERVED                  | R  | 0b | 保留位；仅写入复位值  |
| 5 | RESERVED                  | R  | 0b | 保留位；仅写入复位值  |
| 4 | SRC_RATIO_ERR             | R  | 0b | 指示不支持 SRC m:n 比率的标志。(不适用自定义 m/n 比率配置)。<br>0d = 支持 m:n 比率<br>1d = 不支持 m:n 比率错误 |
| 3 | DEM_RATE_ERR              | R  | 0b | 指示时钟配置不允许采用有效 DEM 速率的标志。<br>0d = 无 DEM 时钟速率错误<br>1d = 所选时钟配置中存在 DEM 时钟速率错误    |
| 2 | PDM_CLK_ERR               | R  | 0b | 指示时钟配置不允许有效 PDM 时钟生成的标志。<br>0d = 无 PDM 时钟生成错误<br>1d = 所选时钟配置中存在 PDM 时钟生成错误    |
| 1 | RESET_ON_CLK_STOP_DET_STS | R  | 0b | 指示音频时钟源停止至少 1ms 的标志。<br>0d = 无音频时钟源错误<br>1d = 音频时钟源停止至少 1ms                   |
| 0 | RESERVED                  | R  | 0b | 保留位；仅写入复位值  |

#### 7.1.1.56 CLK\_ERR\_STS1 寄存器 (地址 = 0x3D) [复位 = 0x00]

表 7-58 展示了 CLK\_ERR\_STS1。

返回到[汇总表](#)。

该寄存器是时钟错误和状态寄存器 1。

**表 7-58. CLK\_ERR\_STS1 寄存器字段说明**

| 位   | 字段                     | 类型 | 复位 | 说明   |
|-----|------------------------|----|----|--|
| 7   | PASI_BCLK_FS_RATIO_ERR | R  | 0b | 指示 PASI bclk fsync 比率错误的标志。<br>0d = 无 PASI bclk fsync 比率错误<br>1d = 所选时钟配置中的 PASI bclk fsync 比率错误 |
| 6   | SASI_BCLK_FS_RATIO_ERR | R  | 0b | 指示 SASI bclk fsync 比率错误的标志。<br>0d = 无 SASI bclk fsync 比率错误<br>1d = 所选时钟配置中的 SASI bclk fsync 比率错误 |
| 5   | CCLK_FS_RATIO_ERR      | R  | 0b | 指示 CCLK fsync 比率错误的标志。<br>0d = 无 CCLK fsync 比率错误<br>1d = CCLK fsync 比率错误                         |
| 4   | PASI_FS_ERR            | R  | 0b | 指示 PASI FS 速率变化或停止错误的标志。<br>0d = 无 PASI FS 错误<br>1d = 检测到 PASI FS 速率变化或停止                        |
| 3   | SASI_FS_ERR            | R  | 0b | 指示 SASI FS 速率变化或停止错误的标志。<br>0d = 无 SASI FS 错误<br>1d = 检测到 SASI FS 速率变化或停止                        |
| 2-0 | RESERVED               | R  | 0b | 保留位；仅写入复位值   |

### 7.1.1.57 CLK\_DET\_STS0 寄存器 (地址 = 0x3E) [复位 = 0x00]

表 7-59 展示了 CLK\_DET\_STS0。

返回到[汇总表](#)。

该寄存器是时钟比检测寄存器 0。

表 7-59. CLK\_DET\_STS0 寄存器字段说明

| 位   | 字段                      | 类型 | 复位      | 说明  |
|-----|-------------------------|----|---------|---|
| 7-2 | PASI_SAMP_RATE_STS[5:0] | R  | 000000b | 主要 ASI 采样速率检测状态。<br>0d = 保留<br>1d = 768000 (670320-791040)<br>2d = 614400 (536256-632832)<br>3d = 512000 (446880-527360)<br>4d = 438857 (383040-452022)<br>5d = 384000 (335160-395520)<br>6d = 341333 (297920-351573)<br>7d = 307200 (268128-316416)<br>8d = 256000 (223440-263680)<br>9d = 219429 (191520-226011)<br>10d = 192000 (167580-197760)<br>11d = 170667 (148960-175786)<br>12d = 153600 (134064-158208)<br>13d = 128000 (111720-131840)<br>14d = 109714 (95760-113005)<br>15d = 96000 (83790-98880)<br>16d = 85333 (74480-87893)<br>17d = 76800 (67032-79104)<br>18d = 64000 (55860-65920)<br>19d = 54857 (47880-56502)<br>20d = 48000 (41895-49440)<br>21d = 42667 (37240-43946)<br>22d = 38400 (33516-39552)<br>23d = 32000 (27930-32960)<br>24d = 27429 (23940-28251)<br>25d = 24000 (20947-24720)<br>26d = 21333 (18620-21973)<br>27d = 19200 (16758-19776)<br>28d = 16000 (13965-16480)<br>29d = 13714 (11970-14125)<br>30d = 12000 (10473-12360)<br>31d = 10667 (9310-10986)<br>32d = 9600 (8379-9888)<br>33d = 8000 (6982-8240)<br>34d = 6857 (5985-7062)<br>35d = 6000 (5236-6180)<br>36d = 5333 (4655-5493)<br>37d = 4800 (4189-4944)<br>38d = 4000 (3491-4120)<br>39d = 3429 (2992-3531)<br>40d = 3000 (2618-3090)<br>41d-63d = 保留 |
| 1-0 | PLL_MODE_STS[1:0]       | R  | 00b     | PLL 使用状态。<br>0d = 在整数模式下使用 PLL<br>1d = 在小数模式下使用 PLL<br>2d = 未使用 PLL<br>3d = 保留  |

### 7.1.1.58 CLK\_DET\_STS1 寄存器 (地址 = 0x3F) [复位 = 0x00]

表 7-60 展示了 CLK\_DET\_STS1。



返回到[汇总表](#)。

该寄存器是时钟比检测寄存器 1。

**表 7-60. CLK\_DET\_STS1 寄存器字段说明**

| 位   | 字段                      | 类型 | 复位      | 说明  |
|-----|-------------------------|----|---------|---|
| 7-2 | SASI_SAMP_RATE_STS[5:0] | R  | 000000b | 辅助 ASI 采样速率检测状态。<br>0d = 保留<br>1d = 768000 (670320-791040)<br>2d = 614400 (536256-632832)<br>3d = 512000 (446880-527360)<br>4d = 438857 (383040-452022)<br>5d = 384000 (335160-395520)<br>6d = 341333 (297920-351573)<br>7d = 307200 (268128-316416)<br>8d = 256000 (223440-263680)<br>9d = 219429 (191520-226011)<br>10d = 192000 (167580-197760)<br>11d = 170667 (148960-175786)<br>12d = 153600 (134064-158208)<br>13d = 128000 (111720-131840)<br>14d = 109714 (95760-113005)<br>15d = 96000 (83790-98880)<br>16d = 85333 (74480-87893)<br>17d = 76800 (67032-79104)<br>18d = 64000 (55860-65920)<br>19d = 54857 (47880-56502)<br>20d = 48000 (41895-49440)<br>21d = 42667 (37240-43946)<br>22d = 38400 (33516-39552)<br>23d = 32000 (27930-32960)<br>24d = 27429 (23940-28251)<br>25d = 24000 (20947-24720)<br>26d = 21333 (18620-21973)<br>27d = 19200 (16758-19776)<br>28d = 16000 (13965-16480)<br>29d = 13714 (11970-14125)<br>30d = 12000 (10473-12360)<br>31d = 10667 (9310-10986)<br>32d = 9600 (8379-9888)<br>33d = 8000 (6982-8240)<br>34d = 6857 (5985-7062)<br>35d = 6000 (5236-6180)<br>36d = 5333 (4655-5493)<br>37d = 4800 (4189-4944)<br>38d = 4000 (3491-4120)<br>39d = 3429 (2992-3531)<br>40d = 3000 (2618-3090)<br>41d-63d = 保留 |
| 1-0 | RESERVED                | R  | 0b      | 保留位；仅写入复位值  |

**7.1.1.59 CLK\_DET\_STS2 寄存器 ( 地址 = 0x40 ) [复位 = 0x00]**

[表 7-61](#) 展示了 CLK\_DET\_STS2。

返回到[汇总表](#)。

该寄存器是时钟比检测寄存器 2。

**表 7-61. CLK\_DET\_STS2 寄存器字段说明**

| 位   | 字段       | 类型 | 复位 | 说明         |
|-----|----------|----|----|------------|
| 7-6 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

表 7-61. CLK\_DET\_STS2 寄存器字段说明 (续)

| 位   | 字段                                   | 类型 | 复位      | 说明                                      |
|-----|--------------------------------------|----|---------|---|
| 5-0 | FS_CLKSRC_RATIO_DE<br>T_MSB_STS[5:0] | R  | 000000b | 用于检测主要 ASI 或辅助 ASI FSYNC 与时钟源比率的 MSB 位。 |

## 7.1.1.60 CLK\_DET\_STS3 寄存器 (地址 = 0x41) [复位 = 0x00]

表 7-62 展示了 CLK\_DET\_STS3。

返回到[汇总表](#)。

该寄存器是时钟比检测寄存器 3。

表 7-62. CLK\_DET\_STS3 寄存器字段说明

| 位   | 字段                                   | 类型 | 复位        | 说明                                       |
|-----|--------------------------------------|----|-----------|--|
| 7-0 | FS_CLKSRC_RATIO_DE<br>T_LSB_STS[7:0] | R  | 00000000b | 用于检测主要 ASI 或辅助 ASI FSYNC 与时钟源比率的 LSB 字节。 |

## 7.1.1.61 INT\_CFG 寄存器 (地址 = 0x42) [复位 = 0x00]

表 7-63 展示了 INT\_CFG。

返回到[汇总表](#)。

该寄存器是中断配置寄存器。

表 7-63. INT\_CFG 寄存器字段说明

| 位   | 字段                 | 类型  | 复位  | 说明  |
|-----|--------------------|-----|-----|---|
| 7   | INT_POL            | R/W | 0b  | 中断极性。<br>0b = 低电平有效 (IRQZ)<br>1b = 高电平有效 (IRQ)  |
| 6-5 | INT_EVENT[1:0]     | R/W | 00b | 中断事件配置。<br>0d = INT 在发生任何未屏蔽的锁存中断事件时置为有效<br>1d = INT 在发生任何未屏蔽的实时中断事件时置为有效<br>2d = 在发生任何未屏蔽的锁存中断事件时, INT 每 4ms (典型值) 置为有效一次且每次持续 2ms (典型值)<br>3d = 在发生任何未屏蔽的中断事件时, INT 在每个脉冲上置为有效一次且每次持续 2ms (典型值) |
| 4-3 | PD_ON_FLT_CFG[1:0] | R/W | 00b | 在 chx 和 micbias 发生故障期间的断电配置。<br>0d = 断电时不考虑故障<br>1d = 断电时仅考虑未屏蔽的故障<br>2d = 断电时考虑所有故障<br>3d = 保留   |
| 2   | LTCH_READ_CFG      | R/W | 0b  | 中断锁存寄存器回读配置。<br>0b = 所有中断都可以通过 LTCH 寄存器读取<br>1b = 只有未屏蔽的中断可以通过 LTCH 寄存器读取   |
| 1   | PD_ON_FLT_RCV_CFG  | R/W | 0b  | 故障时 ADC 通道断电的配置<br>0b = 自动恢复, 在故障消失时 ADC 通道重新上电<br>1b = 手动恢复, 故障消失时 ADC 通道不会重新上电  |
| 0   | LTCH_CLR_ON_READ   | R/W | 0b  | 用于将 LTCH 寄存器位清零的 Cfgn<br>0 = 仅当实时状态为零时, 才在寄存器读取时将 LTCH 寄存器位清零<br>1 = 无论实时状态如何, 在寄存器读取时都将 LTCH 寄存器位清零  |

### 7.1.1.62 DAC\_FLT\_CFG 寄存器 (地址 = 0x43) [复位 = 0x54]

表 7-64 中显示了 DAC\_FLT\_CFG。

返回到[汇总表](#)。

该寄存器是中断配置寄存器。

表 7-64. DAC\_FLT\_CFG 寄存器字段说明

| 位   | 字段                     | 类型  | 复位  | 说明   |
|-----|------------------------|-----|-----|--|
| 7   | RESERVED               | R   | 0b  | 保留位；仅写入复位值   |
| 6-5 | DAC_PD_ON_FLT_CFG[1:0] | R/W | 10b | DAC 故障期间的断电配置。<br>0d = 断电时不考虑故障<br>1d = 断电时仅考虑未屏蔽的故障<br>2d = 断电时考虑所有故障<br>3d = 保留      |
| 4   | DAC_PD_ON_FLT_RCV_CFG  | R/W | 1b  | 故障时 DAC 通道断电的配置<br>0b = 自动恢复，在故障消失时 DAC 通道重新上电<br>1b = 手动恢复，故障消失时 DAC 通道不会重新上电         |
| 3   | OUT_CHx_PD_FLT_STS     | R   | 0b  | 出现 OUTxx 故障时 PD 的状态<br>0d = 没有 DAC 通道因故障而断电<br>1d = 某些 DAC 通道因故障而断电                    |
| 2   | DAC_DIS_PD_W_PU        | R/W | 1b  | DAC 上电期间禁用在 DRVVR VG 故障时断电<br>0b = 上电期间在 DRVVR VG 故障时断电<br>1b = 上电期间禁用在 DRVVR VG 故障时断电 |
| 1   | DAC_FLT_DET_DIS        | R/W | 0b  | DAC vg_fault/sc_fault 检测配置<br>0b = 启用<br>1b = 禁用                                       |
| 0   | AREG_SC_FLAG_DET_DIS   | R/W | 0b  | AREG 短路检测配置<br>0b = 启用<br>1b = 禁用  |

### 7.1.1.63 VREF\_MICBIAS\_CFG 寄存器 (地址 = 0x4D) [复位 = 0x00]

表 7-65 展示了 VREF\_MICBIAS\_CFG。

返回到[汇总表](#)。

该寄存器是 VREF 和 MICBIAS 的配置寄存器。

表 7-65. VREF\_MICBIAS\_CFG 寄存器字段说明

| 位   | 字段               | 类型  | 复位  | 说明  |
|-----|------------------|-----|-----|---|
| 7-5 | RESERVED         | R   | 0b  | 保留位；仅写入复位值  |
| 4   | MICBIAS_LDO_GAIN | R/W | 0b  | MICBIAS 输出增益设置<br>0d = LDO 增益 = 1<br>1d = LDO 增益 = 1.096  |
| 3-2 | MICBIAS_VAL[1:0] | R/W | 00b | MICBIAS 输出设置<br>0d = 麦克风偏置设置为 VREF<br>1d = 麦克风偏置设置为 VREF/2 (仅对 VREF_FSCALE 0 或 1 设置有效)<br>2d = 保留<br>3d = 麦克风偏置输出旁路至 AVDD |

表 7-65. VREF\_MICBIAS\_CFG 寄存器字段说明 (续)

| 位   | 字段               | 类型  | 复位  | 说明   |
|-----|------------------|-----|-----|--|
| 1-0 | VREF_FSCALE[1:0] | R/W | 00b | VREF/满量程设置 (需要根据使用的 AVDD 最小电压进行配置)<br>0d = VREF 设置为 2.75V 以支持 2V <sub>RMS</sub> (对于差分输入) 或 1V <sub>RMS</sub> (对于单端输入)<br>1d = VREF 设置为 2.5V 以支持 1.818V <sub>RMS</sub> (对于差分输入) 或 0.909V <sub>RMS</sub> (对于单端输入)<br>2d = VREF 设置为 1.375V 以支持 1V <sub>RMS</sub> (对于差分输入) 或 0.5V <sub>RMS</sub> (对于单端输入)<br>3d = 保留 |

#### 7.1.1.64 PWR\_TUNE\_CFG0 寄存器 (地址 = 0x4E) [复位 = 0x00]

表 7-66 展示了 PWR\_TUNE\_CFG0。

返回到[汇总表](#)。

该寄存器是 Power Tune 配置的配置寄存器 0。

表 7-66. PWR\_TUNE\_CFG0 寄存器字段说明

| 位   | 字段                | 类型  | 复位 | 说明  |
|-----|-------------------|-----|----|---|
| 7   | ADC_CLK_BY2_MODE  | R/W | 0b | ADC MOD CLK 选择配置。<br>0d = MOD CLK 3.072MHz 或 2.8224MHz<br>1d = MOD CLK 1.536MHz 或 1.4112MHz |
| 6   | ADC_CIC_ORDER     | R/W | 0b | ADC CIC 阶数配置。<br>0d = 5 阶 CIC<br>1d = 4 阶 CIC   |
| 5   | ADC_FIR_BYPASS    | R/W | 0b | ADC FIR 旁路配置。<br>0d = 旁路禁用<br>1d = 旁路启用   |
| 4   | ADC_DEM_RATE_OVRD | R/W | 0b | ADC DEM 速率覆盖配置。<br>0d = 默认值<br>1d = 2x  |
| 3   | RESERVED          | R   | 0b | 保留位; 仅写入复位值   |
| 2   | ADC_LOW_PWR_FILT  | R/W | 0b | ADC 的低功耗滤波器配置<br>0d = 禁用<br>1d = 启用   |
| 1-0 | RESERVED          | R   | 0b | 保留位; 仅写入复位值   |

#### 7.1.1.65 PWR\_TUNE\_CFG1 寄存器 (地址 = 0x4F) [复位 = 0x00]

表 7-67 展示了 PWR\_TUNE\_CFG1。

返回到[汇总表](#)。

该寄存器是 power tune 配置的配置寄存器。

表 7-67. PWR\_TUNE\_CFG1 寄存器字段说明

| 位 | 字段               | 类型  | 复位 | 说明  |
|---|------------------|-----|----|---|
| 7 | DAC_CLK_BY2_MODE | R/W | 0b | DAC MOD CLK 选择配置。<br>0d = MOD CLK 3MHz<br>1d = MOD CLK 1.5MHz |
| 6 | RESERVED         | R   | 0b | 保留位; 仅写入复位值   |
| 5 | RESERVED         | R   | 0b | 保留位; 仅写入复位值   |

表 7-67. PWR\_TUNE\_CFG1 寄存器字段说明 (续)

| 位 | 字段                | 类型  | 复位 | 说明  |
|---|-------------------|-----|----|---|
| 4 | DAC_DEM_RATE_OVRD | R/W | 0b | DAC DEM 速率覆盖配置。<br>0d = 默认值<br>1d = 2x        |
| 3 | RESERVED          | R   | 0b | 保留位；仅写入复位值                                    |
| 2 | DAC_LOW_PWR_FILT  | R/W | 0b | DAC 的低功耗滤波器配置<br>0d = 禁用<br>1d = 启用           |
| 1 | DAC_POWER_SCAL    | R/W | 0b | DAC IREF 选择配置。<br>0d = Vref/R<br>1d = Vref/2R |
| 0 | RESERVED          | R   | 0b | 保留位；仅写入复位值                                    |

### 7.1.1.66 ADC\_CH1\_CFG2 寄存器 (地址 = 0x52) [复位 = 0xA1]

表 7-68 展示了 ADC\_CH1\_CFG2。

返回到[汇总表](#)。

该寄存器是 ADC 通道 1 的配置寄存器 2。

表 7-68. ADC\_CH1\_CFG2 寄存器字段说明

| 位   | 字段                | 类型  | 复位        | 说明  |
|-----|-------------------|-----|-----------|---|
| 7-0 | ADC_CH1_DVOL[7:0] | R/W | 10100001b | 通道 1 数字音量控制。<br>0d = 数字音量静音<br>1d = 数字音量控制设置为 -80dB<br>2d = 数字音量控制设置为 -79.5dB<br>3d 至 160d = 数字音量控制根据配置进行设置<br>161d = 数字音量控制设置为 0dB<br>162d = 数字音量控制设置为 0.5dB<br>163d 至 253d = 数字音量控制根据配置进行设置<br>254d = 数字音量控制设置为 46.5dB<br>255d = 数字音量控制设置为 47dB |

### 7.1.1.67 ADC\_CH1\_CFG3 寄存器 (地址 = 0x53) [复位 = 0x80]

表 7-69 展示了 ADC\_CH1\_CFG3。

返回到[汇总表](#)。

该寄存器是 ADC 通道 1 的配置寄存器 3。

表 7-69. ADC\_CH1\_CFG3 寄存器字段说明

| 位   | 字段                 | 类型  | 复位    | 说明  |
|-----|--------------------|-----|-------|---|
| 7-4 | ADC_CH1_FGAIN[3:0] | R/W | 1000b | ADC 通道 1 精细增益校准。<br>0d = 精细增益设置为 -0.8dB<br>1d = 精细增益设置为 -0.7dB<br>2d = 精细增益设置为 -0.6dB<br>3d 至 7d = 根据配置设置精细增益<br>8d = 精细增益设置为 0dB<br>9d = 精细增益设置为 0.1dB<br>10d 至 13d = 根据配置设置精细增益<br>14d = 精细增益设置为 0.6dB<br>15d = 精细增益设置为 0.7dB |
| 3-0 | RESERVED           | R   | 0b    | 保留位；仅写入复位值  |

### 7.1.1.68 ADC\_CH1\_CFG4 寄存器 (地址 = 0x54) [复位 = 0x00]

表 7-70 展示了 ADC\_CH1\_CFG4。

返回到[汇总表](#)。

该寄存器是 ADC 通道 1 的配置寄存器 4。

表 7-70. ADC\_CH1\_CFG4 寄存器字段说明

| 位   | 字段                    | 类型  | 复位      | 说明  |
|-----|-----------------------|-----|---------|---|
| 7-2 | ADC_CH1_PCAL[5:0]     | R/W | 000000b | 具有调制器时钟分辨率的 ADC 通道 1 相位校准。<br>0d = 无相位校准<br>1d = 相位校准延迟设置为一个调制器时钟周期<br>2d = 相位校准延迟设置为两个调制器时钟周期<br>3d 至 62d = 相位校准延迟视配置而定<br>63d = 相位校准延迟设置为 63 个调制器时钟周期 |
| 1-0 | PCAL_ANA_DIG_SEL[1:0] | R/W | 00b     | PCAL 支持配置。<br>0d = 支持模拟和数字的 Pcal<br>1d = 仅支持模拟的 Pcal<br>2d = 仅支持数字的 Pcal<br>3d = 保留   |

### 7.1.1.69 ADC\_CH2\_CFG2 寄存器 (地址 = 0x57) [复位 = 0xA1]

表 7-71 展示了 ADC\_CH2\_CFG2。

返回到[汇总表](#)。

该寄存器是通道 2 的配置寄存器 2。

表 7-71. ADC\_CH2\_CFG2 寄存器字段说明

| 位   | 字段                | 类型  | 复位        | 说明  |
|-----|-------------------|-----|-----------|---|
| 7-0 | ADC_CH2_DVOL[7:0] | R/W | 10100001b | 通道 1 数字音量控制。<br>0d = 数字音量静音<br>1d = 数字音量控制设置为 -80dB<br>2d = 数字音量控制设置为 -79.5dB<br>3d 至 160d = 数字音量控制根据配置进行设置<br>161d = 数字音量控制设置为 0dB<br>162d = 数字音量控制设置为 0.5dB<br>163d 至 253d = 数字音量控制根据配置进行设置<br>254d = 数字音量控制设置为 46.5dB<br>255d = 数字音量控制设置为 47dB |

### 7.1.1.70 ADC\_CH2\_CFG3 寄存器 (地址 = 0x58) [复位 = 0x80]

表 7-72 展示了 ADC\_CH2\_CFG3。

返回到[汇总表](#)。

该寄存器是 ADC 通道 2 的配置寄存器 3。

表 7-72. ADC\_CH2\_CFG3 寄存器字段说明

| 位   | 字段                 | 类型  | 复位    | 说明  |
|-----|--------------------|-----|-------|---|
| 7-4 | ADC_CH2_FGAIN[3:0] | R/W | 1000b | ADC 通道 2 精细增益校准。<br>0d = 精细增益设置为 -0.8dB<br>1d = 精细增益设置为 -0.7dB<br>2d = 精细增益设置为 -0.6dB<br>3d 至 7d = 根据配置设置精细增益<br>8d = 精细增益设置为 0dB<br>9d = 精细增益设置为 0.1dB<br>10d 至 13d = 根据配置设置精细增益<br>14d = 精细增益设置为 0.6dB<br>15d = 精细增益设置为 0.7dB |
| 3-0 | RESERVED           | R   | 0b    | 保留位；仅写入复位值  |

#### 7.1.1.71 ADC\_CH2\_CFG4 寄存器 (地址 = 0x59) [复位 = 0x00]

表 7-73 展示了 ADC\_CH2\_CFG4。

返回到[汇总表](#)。

该寄存器是 ADC 通道 2 的配置寄存器 4。

表 7-73. ADC\_CH2\_CFG4 寄存器字段说明

| 位   | 字段                | 类型  | 复位      | 说明  |
|-----|-------------------|-----|---------|---|
| 7-2 | ADC_CH2_PCAL[5:0] | R/W | 000000b | 具有调制器时钟分辨率的 ADC 通道 2 相位校准。<br>0d = 无相位校准<br>1d = 相位校准延迟设置为一个调制器时钟周期<br>2d = 相位校准延迟设置为两个调制器时钟周期<br>3d 至 62d = 相位校准延迟视配置而定<br>63d = 相位校准延迟设置为 63 个调制器时钟周期 |
| 1-0 | RESERVED          | R   | 0b      | 保留位；仅写入复位值  |

#### 7.1.1.72 ADC\_CH3\_CFG0 寄存器 (地址 = 0x5A) [复位 = 0x00]

表 7-74 展示了 ADC\_CH3\_CFG0。

返回到[汇总表](#)。

该寄存器是 ADC 通道 3 的配置寄存器 0。

表 7-74. ADC\_CH3\_CFG0 寄存器字段说明

| 位   | 字段            | 类型  | 复位 | 说明   |
|-----|---------------|-----|----|--|
| 7   | ADC_CH3_CLONE | R/W | 0b | ADC 通道 3 输入配置。<br>0d = 禁用克隆<br>1d = 生成的通道 3 数字滤波器输入与通道 1 数字滤波器输入 (克隆输入) 相同 |
| 6-0 | RESERVED      | R   | 0b | 保留位；仅写入复位值   |

#### 7.1.1.73 ADC\_CH3\_CFG2 寄存器 (地址 = 0x5B) [复位 = 0xA1]

表 7-75 展示了 ADC\_CH3\_CFG2。

返回到[汇总表](#)。

该寄存器是 ADC 通道 3 的配置寄存器 2。

表 7-75. ADC\_CH3\_CFG2 寄存器字段说明

| 位   | 字段                | 类型  | 复位        | 说明  |
|-----|-------------------|-----|-----------|---|
| 7-0 | ADC_CH3_DVOL[7:0] | R/W | 10100001b | 通道 3 数字音量控制。<br>0d = 数字音量静音<br>1d = 数字音量控制设置为 -80dB<br>2d = 数字音量控制设置为 -79.5dB<br>3d 至 160d = 数字音量控制根据配置进行设置<br>161d = 数字音量控制设置为 0dB<br>162d = 数字音量控制设置为 0.5dB<br>163d 至 253d = 数字音量控制根据配置进行设置<br>254d = 数字音量控制设置为 46.5dB<br>255d = 数字音量控制设置为 47dB |

## 7.1.1.74 ADC\_CH3\_CFG3 寄存器 (地址 = 0x5C) [复位 = 0x80]

表 7-76 展示了 ADC\_CH3\_CFG3。

返回到[汇总表](#)。

该寄存器是 ADC 通道 3 的配置寄存器 3。

表 7-76. ADC\_CH3\_CFG3 寄存器字段说明

| 位   | 字段                 | 类型  | 复位    | 说明  |
|-----|--------------------|-----|-------|---|
| 7-4 | ADC_CH3_FGAIN[3:0] | R/W | 1000b | ADC 通道 3 精细增益校准。<br>0d = 精细增益设置为 -0.8dB<br>1d = 精细增益设置为 -0.7dB<br>2d = 精细增益设置为 -0.6dB<br>3d 至 7d = 根据配置设置精细增益<br>8d = 精细增益设置为 0dB<br>9d = 精细增益设置为 0.1dB<br>10d 至 13d = 根据配置设置精细增益<br>14d = 精细增益设置为 0.6dB<br>15d = 精细增益设置为 0.7dB |
| 3-0 | RESERVED           | R   | 0b    | 保留位；仅写入复位值  |

## 7.1.1.75 ADC\_CH3\_CFG4 寄存器 (地址 = 0x5D) [复位 = 0x00]

表 7-77 展示了 ADC\_CH3\_CFG4。

返回到[汇总表](#)。

该寄存器是 ADC 通道 3 的配置寄存器 4。

表 7-77. ADC\_CH3\_CFG4 寄存器字段说明

| 位   | 字段                | 类型  | 复位      | 说明  |
|-----|-------------------|-----|---------|---|
| 7-2 | ADC_CH3_PCAL[5:0] | R/W | 000000b | 具有调制器时钟分辨率的 ADC 通道 3 相位校准。<br>0d = 无相位校准<br>1d = 相位校准延迟设置为一个调制器时钟周期<br>2d = 相位校准延迟设置为两个调制器时钟周期<br>3d 至 62d = 相位校准延迟视配置而定<br>63d = 相位校准延迟设置为 63 个调制器时钟周期 |
| 1-0 | RESERVED          | R   | 0b      | 保留位；仅写入复位值  |

## 7.1.1.76 ADC\_CH4\_CFG0 寄存器 (地址 = 0x5E) [复位 = 0x00]

表 7-78 展示了 ADC\_CH4\_CFG0。



返回到[汇总表](#)。

该寄存器是 ADC 通道 4 的配置寄存器 0。

**表 7-78. ADC\_CH4\_CFG0 寄存器字段说明**

| 位   | 字段            | 类型  | 复位 | 说明   |
|-----|---------------|-----|----|--|
| 7   | ADC_CH4_CLONE | R/W | 0b | ADC 通道 4 输入配置。<br>0d = 禁用克隆<br>1d = 生成的通道 4 数字滤波器输入与通道 2 数字滤波器输入 (克隆输入) 相同 |
| 6-0 | RESERVED      | R   | 0b | 保留位; 仅写入复位值  |

#### 7.1.1.77 ADC\_CH4\_CFG2 寄存器 (地址 = 0x5F) [复位 = 0xA1]

[表 7-79](#) 展示了 ADC\_CH4\_CFG2。

返回到[汇总表](#)。

该寄存器是通道 2 的配置寄存器 4。

**表 7-79. ADC\_CH4\_CFG2 寄存器字段说明**

| 位   | 字段                | 类型  | 复位        | 说明  |
|-----|-------------------|-----|-----------|---|
| 7-0 | ADC_CH4_DVOL[7:0] | R/W | 10100001b | 通道 4 数字音量控制。<br>0d = 数字音量静音<br>1d = 数字音量控制设置为 -80dB<br>2d = 数字音量控制设置为 -79.5dB<br>3d 至 160d = 数字音量控制根据配置进行设置<br>161d = 数字音量控制设置为 0dB<br>162d = 数字音量控制设置为 0.5dB<br>163d 至 253d = 数字音量控制根据配置进行设置<br>254d = 数字音量控制设置为 46.5dB<br>255d = 数字音量控制设置为 47dB |

#### 7.1.1.78 ADC\_CH4\_CFG3 寄存器 (地址 = 0x60) [复位 = 0x80]

[表 7-80](#) 展示了 ADC\_CH4\_CFG3。

返回到[汇总表](#)。

该寄存器是 ADC 通道 4 的配置寄存器 3。

**表 7-80. ADC\_CH4\_CFG3 寄存器字段说明**

| 位   | 字段                 | 类型  | 复位    | 说明  |
|-----|--------------------|-----|-------|---|
| 7-4 | ADC_CH4_FGAIN[3:0] | R/W | 1000b | ADC 通道 4 精细增益校准。<br>0d = 精细增益设置为 -0.8dB<br>1d = 精细增益设置为 -0.7dB<br>2d = 精细增益设置为 -0.6dB<br>3d 至 7d = 根据配置设置精细增益<br>8d = 精细增益设置为 0dB<br>9d = 精细增益设置为 0.1dB<br>10d 至 13d = 根据配置设置精细增益<br>14d = 精细增益设置为 0.6dB<br>15d = 精细增益设置为 0.7dB |
| 3-0 | RESERVED           | R   | 0b    | 保留位; 仅写入复位值   |

### 7.1.1.79 ADC\_CH4\_CFG4 寄存器 (地址 = 0x61) [复位 = 0x00]

表 7-81 展示了 ADC\_CH4\_CFG4。

返回到[汇总表](#)。

该寄存器是 ADC 通道 4 的配置寄存器 4。

表 7-81. ADC\_CH4\_CFG4 寄存器字段说明

| 位   | 字段                | 类型  | 复位      | 说明  |
|-----|-------------------|-----|---------|---|
| 7-2 | ADC_CH4_PCAL[5:0] | R/W | 000000b | 具有调制器时钟分辨率的 ADC 通道 4 相位校准。<br>0d = 无相位校准<br>1d = 相位校准延迟设置为一个调制器时钟周期<br>2d = 相位校准延迟设置为两个调制器时钟周期<br>3d 至 62d = 相位校准延迟视配置而定<br>63d = 相位校准延迟设置为 63 个调制器时钟周期 |
| 1-0 | RESERVED          | R   | 0b      | 保留位；仅写入复位值  |

### 7.1.1.80 OUT1x\_CFG0 寄存器 (地址 = 0x64) [复位 = 0x20]

表 7-82 展示了 OUT1x\_CFG0。

返回到[汇总表](#)。

该寄存器是通道 OUT1x 的配置寄存器 0。

表 7-82. OUT1x\_CFG0 寄存器字段说明

| 位   | 字段             | 类型  | 复位   | 说明  |
|-----|----------------|-----|------|---|
| 7-5 | OUT1x_SRC[2:0] | R/W | 001b | OUT1x 源配置。<br>0d = 保留；不使用<br>1d = 来自 DAC 信号链的输入<br>2d = 来自模拟旁路路径的输入<br>3d = 来自 DAC 信号链和模拟旁路路径的输入<br>4d = 来自 DAC 信号链和模拟旁路路径的独立输入 (DAC -> OUT1P, IN1P -> OUT1M)<br>5d = 来自 DAC 信号链和模拟旁路路径的独立输入 (IN1M -> OUT1P, DAC -> OUT1M)<br>6d-7d = 保留；不使用  |
| 4-2 | OUT1x_CFG[2:0] | R/W | 000b | OUT1x DAC/模拟旁路路由配置。(如果 OUT1x_SRC 配置了 4d 或 5d, 则不使用)<br>0d = 差分 (DAC1AP + DAC1BP/IN1M -> OUT1P; DAC1AM + DAC1BM/IN1P -> OUT1M)<br>1d = 立体声单端 (DAC1A/IN1M -> OUT1P; DAC1B/IN1P -> OUT1M)<br>2d = 单声道单端, 仅限 OUT1P 处输出 (DAC1A + DAC1B/IN1M -> OUT1P)<br>3d = 单声道单端, 仅限 OUT1M 处输出 (DAC1A + DAC1B/IN1P -> OUT1M)<br>4d = 伪差分, OUT1M 用作 VCOM (DAC1A, DAC1B/IN1M -> OUT1P, VCOM -> OUT1M)<br>5d = 伪差分, OUT1M 用作 VCOM, OUT2M 用于外部检测 (DAC1A, DAC1B/IN1M -> OUT1P, VCOM -> OUT1M)<br>6d = 伪差分, OUT1P 用作 VCOM (IN1P -> OUT1M, VCOM -> OUT1P)<br>7d = 保留；不使用 |
| 1   | OUT1x_VCOM     | R/W | 0b   | 通道 OUT1x VCOM 配置。<br>0d = $0.6 * V_{ref}$ (仅对于 1.375V VREF 模式为 $0.654 * V_{ref}$ )<br>1d = AVDD/2   |
| 0   | RESERVED       | R   | 0b   | 保留位；仅写入复位值  |

### 7.1.1.81 OUT1x\_CFG1 寄存器 (地址 = 0x65) [复位 = 0x20]

表 7-83 展示了 OUT1x\_CFG1。

返回到[汇总表](#)。

该寄存器是通道 OUT1x 的配置寄存器 1。

表 7-83. OUT1x\_CFG1 寄存器字段说明

| 位   | 字段                  | 类型  | 复位   | 说明   |
|-----|---------------------|-----|------|--|
| 7-6 | OUT1P_DRIVE[1:0]    | R/W | 00b  | 通道 OUT1P 驱动配置。<br>0d = 具有最小 300 $\Omega$ 的单端阻抗的线路输出驱动器<br>1d = 具有最小 16 $\Omega$ 的单端阻抗的耳机驱动器<br>2d = 用于驱动最小 4 $\Omega$ 的单端阻抗<br>3d = 针对 FD 接收器负载获得更高的 DR/SNR  |
| 5-3 | OUT1P_LVL_CTRL[2:0] | R/W | 100b | 通道 OUT1P 电平控制配置。<br>0d = 保留；不使用<br>1d = 保留；不使用<br>2d = 12dB (仅在 OUT1x_SRC{B0_P0_R100} 中配置的仅旁路模式下有效)<br>3d = 6dB (仅在 OUT1x_SRC{B0_P0_R100} 中配置的模拟旁路模式或模拟-数字混合模式下有效)<br>4d = 0dB<br>5d = -6 dB (仅在 OUT1x_SRC{B0_P0_R100} 中配置了模拟旁路模式或模拟-数字混合模式时有效)<br>6d = -12 dB (仅在 OUT1x_SRC{B0_P0_R100} 中配置了模拟旁路模式或模拟-数字混合模式，且 AIN1M_BYP_IMP 配置为 4.4k $\Omega$ )<br>7d = 保留；不使用 |
| 2   | AIN1M_BYP_IMP       | R/W | 0b   | AIN1M 模拟旁路输入阻抗。<br>0d = 4.4k $\Omega$<br>1d = 20k $\Omega$   |
| 1   | AIN1x_BYP_CFG       | R/W | 0b   | IN1x 模拟旁路输入配置<br>0d = FD/伪差分<br>1d = SE  |
| 0   | DAC_CH1_BW_MODE     | R/W | 0b   | DAC 通道 1 带宽选择。<br>0d = 音频带宽 (24kHz 模式)<br>1d = 宽带宽 (96kHz 模式)  |

### 7.1.1.82 OUT1x\_CFG2 寄存器 (地址 = 0x66) [复位 = 0x20]

表 7-84 展示了 OUT1x\_CFG2。

返回到[汇总表](#)。

该寄存器是通道 OUT2x 的配置寄存器 2。

表 7-84. OUT1x\_CFG2 寄存器字段说明

| 位   | 字段               | 类型  | 复位  | 说明  |
|-----|------------------|-----|-----|---|
| 7-6 | OUT1M_DRIVE[1:0] | R/W | 00b | 通道 OUT1M 驱动配置。<br>0d = 具有最小 300 $\Omega$ 的单端阻抗的线路输出驱动器<br>1d = 具有最小 16 $\Omega$ 的单端阻抗的耳机驱动器<br>2d = 用于驱动最小 4 $\Omega$ 的单端阻抗<br>3d = 针对 FD 接收器负载获得更高的 DR/SNR |

表 7-84. OUT1x\_CFG2 寄存器字段说明 (续)

| 位   | 字段                  | 类型  | 复位   | 说明   |
|-----|---------------------|-----|------|--|
| 5-3 | OUT1M_LVL_CTRL[2:0] | R/W | 100b | 通道 OUT1M 电平控制配置。<br>0d = 保留；不使用<br>1d = 保留；不使用<br>2d = 12dB (仅在 OUT1x_SRC{B0_P0_R100} 中配置的仅旁路模式下有效)<br>3d = 6dB (仅在 OUT1x_SRC{B0_P0_R100} 中配置的模拟旁路模式或模拟-数字混合模式下有效)<br>4d = 0dB<br>5d = -6 dB (仅在 OUT1x_SRC{B0_P0_R100} 中配置了模拟旁路模式或模拟-数字混合模式时有效)<br>6d = -12 dB (仅在 OUT1x_SRC{B0_P0_R100} 中配置了模拟旁路模式或模拟-数字混合模式, 且 AIN1M_BYP_IMP 配置为 4.4kandx3A9;# 时有效)<br>7d = 保留；不使用 |
| 2   | AIN1P_BYP_IMP       | R/W | 0b   | AIN1P 模拟旁路输入阻抗。<br>0d = 4.4kandx3A9;#<br>1d = 20kandx3A9;#   |
| 1   | RESERVED            | R   | 0b   | 保留位；仅写入复位值   |
| 0   | DAC_CH1_CM_TOL      | R/W | 0b   | DAC 通道 1 输入耦合 (适用于模拟输入)。<br>0d = 交流耦合输入<br>1d = 交流耦合/直流耦合输入  |

## 7.1.1.83 DAC\_CH1A\_CFG0 寄存器 (地址 = 0x67) [复位 = 0xC9]

表 7-85 展示了 DAC\_CH1A\_CFG0。

返回到[汇总表](#)。

该寄存器是 DAC 通道 1A 的配置寄存器 0。

表 7-85. DAC\_CH1A\_CFG0 寄存器字段说明

| 位   | 字段                 | 类型  | 复位        | 说明   |
|-----|--------------------|-----|-----------|--|
| 7-0 | DAC_CH1A_DVOL[7:0] | R/W | 11001001b | 通道 1A 数字音量控制。<br>0d = 数字音量静音<br>1d = 数字音量控制设置为 -100dB<br>2d = 数字音量控制设置为 -99.5dB<br>3d 至 200d = 数字音量控制根据配置进行设置<br>201d = 数字音量控制设置为 0dB<br>202d = 数字音量控制设置为 +0.5dB<br>203d 至 253d = 数字音量控制根据配置进行设置<br>254d = 数字音量控制设置为 +26.5dB<br>255d = 数字音量控制设置为 +27dB |

## 7.1.1.84 DAC\_CH1A\_CFG1 寄存器 (地址 = 0x68) [复位 = 0x80]

表 7-86 展示了 DAC\_CH1A\_CFG1。

返回到[汇总表](#)。

该寄存器是 DAC 通道 1A 的配置寄存器 1。

表 7-86. DAC\_CH1A\_CFG1 寄存器字段说明

| 位   | 字段                  | 类型  | 复位    | 说明   |
|-----|---------------------|-----|-------|--|
| 7-4 | DAC_CH1A_FGAIN[3:0] | R/W | 1000b | DAC 通道 1A 精细增益校准。<br>0d = 精细增益设置为 -0.8dB<br>1d = 精细增益设置为 -0.7dB<br>2d = 精细增益设置为 -0.6dB<br>3d 至 7d = 根据配置设置精细增益<br>8d = 精细增益设置为 0dB<br>9d = 精细增益设置为 0.1dB<br>10d 至 13d = 根据配置设置精细增益<br>14d = 精细增益设置为 0.6dB<br>15d = 精细增益设置为 0.7dB |
| 3-0 | RESERVED            | R   | 0b    | 保留位；仅写入复位值   |

### 7.1.1.85 DAC\_CH1B\_CFG0 寄存器 (地址 = 0x69) [复位 = 0xC9]

表 7-87 展示了 DAC\_CH1B\_CFG0。

返回到[汇总表](#)。

该寄存器是 DAC 通道 1B 的配置寄存器 0。

表 7-87. DAC\_CH1B\_CFG0 寄存器字段说明

| 位   | 字段                 | 类型  | 复位        | 说明   |
|-----|--------------------|-----|-----------|--|
| 7-0 | DAC_CH1B_DVOL[7:0] | R/W | 11001001b | 通道 1B 数字音量控制。<br>0d = 数字音量静音<br>1d = 数字音量控制设置为 -100dB<br>2d = 数字音量控制设置为 -99.5dB<br>3d 至 200d = 数字音量控制根据配置进行设置<br>201d = 数字音量控制设置为 0dB<br>202d = 数字音量控制设置为 +0.5dB<br>203d 至 253d = 数字音量控制根据配置进行设置<br>254d = 数字音量控制设置为 +26.5dB<br>255d = 数字音量控制设置为 +27dB |

### 7.1.1.86 DAC\_CH1B\_CFG1 寄存器 (地址 = 0x6A) [复位 = 0x80]

表 7-88 展示了 DAC\_CH1B\_CFG1。

返回到[汇总表](#)。

该寄存器是 DAC 通道 1B 的配置寄存器 1。

表 7-88. DAC\_CH1B\_CFG1 寄存器字段说明

| 位   | 字段                  | 类型  | 复位    | 说明   |
|-----|---------------------|-----|-------|--|
| 7-4 | DAC_CH1B_FGAIN[3:0] | R/W | 1000b | DAC 通道 1B 精细增益校准。<br>0d = 精细增益设置为 -0.8dB<br>1d = 精细增益设置为 -0.7dB<br>2d = 精细增益设置为 -0.6dB<br>3d 至 7d = 根据配置设置精细增益<br>8d = 精细增益设置为 0dB<br>9d = 精细增益设置为 0.1dB<br>10d 至 13d = 根据配置设置精细增益<br>14d = 精细增益设置为 0.6dB<br>15d = 精细增益设置为 0.7dB |
| 3-0 | RESERVED            | R   | 0b    | 保留位；仅写入复位值   |

### 7.1.1.87 OUT2x\_CFG0 寄存器 (地址 = 0x6B) [复位 = 0x20]

表 7-89 展示了 OUT2x\_CFG0。

返回到[汇总表](#)。

该寄存器是通道 OUT2x 的配置寄存器 0。

表 7-89. OUT2x\_CFG0 寄存器字段说明

| 位   | 字段             | 类型  | 复位   | 说明   |
|-----|----------------|-----|------|--|
| 7-5 | OUT2x_SRC[2:0] | R/W | 001b | OUT2x 源配置。<br>0d = 保留；不使用<br>1d = 来自 DAC 信号链的输入<br>2d = 来自模拟旁路路径的输入<br>3d = 来自 DAC 信号链和模拟旁路路径的输入<br>4d = 来自 DAC 信号链和模拟旁路路径的独立输入 (DAC -> OUT2P, IN2P -> OUT2M)<br>5d = 来自 DAC 信号链和模拟旁路路径的独立输入 (IN2M -> OUT2P, DAC -> OUT2M)<br>6d-7d = 保留；不使用   |
| 4-2 | OUT2x_CFG[2:0] | R/W | 000b | OUT2x DAC/模拟旁路路由配置。(如果 OUT1x_SRC 配置了 4d 或 5d, 则不使用)<br>0d = 差分 (DAC2AP + DAC2BP/IN2M -> OUT2P; DAC2AM + DAC2BM/IN2P -> OUT2M)<br>1d = 立体声单端 (DAC2A/IN2M -> OUT2P; DAC2B/IN2P -> OUT2M)<br>2d = 单声道单端, 仅限 OUT2P 处输出 (DAC2A + DAC2B/IN2M -> OUT2P)<br>3d = 单声道单端, 仅限 OUT2M 处输出 (DAC2A + DAC2B/IN2P -> OUT2M)<br>4d = 伪差分, OUT2M 用作 VCOM (DAC2A、DAC2B/IN2M -> OUT2P, VCOM -> OUT2M)<br>5d = 保留；不使用<br>6d = 伪差分, OUT2P 用作 VCOM (IN2P -> OUT2M, VCOM -> OUT2P)<br>7d = 保留；不使用 |
| 1   | OUT2x_VCOM     | R/W | 0b   | 通道 OUT2x VCOM 配置。<br>0d = $0.6 * V_{ref}$ (仅对于 1.375V VREF 模式为 $0.654 * V_{ref}$ )<br>2d = AVDD/2  |
| 0   | RESERVED       | R   | 0b   | 保留位；仅写入复位值   |

### 7.1.1.88 OUT2x\_CFG1 寄存器 (地址 = 0x6C) [复位 = 0x20]

表 7-90 展示了 OUT2x\_CFG1。

返回到[汇总表](#)。

该寄存器是通道 OUT2x 的配置寄存器 1。

表 7-90. OUT2x\_CFG1 寄存器字段说明

| 位   | 字段               | 类型  | 复位  | 说明  |
|-----|------------------|-----|-----|---|
| 7-6 | OUT2P_DRIVE[1:0] | R/W | 00b | 通道 OUT2P 驱动配置。<br>0d = 具有最小 300 $\Omega$ 单端阻抗的线路输出驱动器<br>1d = 具有最小 16 $\Omega$ 单端阻抗的耳机驱动器<br>2d = 用于驱动最小 4 $\Omega$ 的单端阻抗<br>3d = 针对 FD 接收器负载获得更高的 DR/SNR |

表 7-90. OUT2x\_CFG1 寄存器字段说明 (续)

| 位   | 字段                  | 类型  | 复位   | 说明  |
|-----|---------------------|-----|------|---|
| 5-3 | OUT2P_LVL_CTRL[2:0] | R/W | 100b | 通道 OUT2P 电平控制配置。<br>0d = 保留；不使用<br>1d = 保留；不使用<br>2d = 12dB (仅在 OUT2x_SRC{B0_P0_R107} 中配置的仅旁路模式下有效)<br>3d = 6dB (仅在 OUT2x_SRC{B0_P0_R107} 中配置的模拟旁路模式或模拟-数字混合模式下有效)<br>4d = 0dB<br>5d = -6 dB (仅在 OUT2x_SRC{B0_P0_R107} 中配置了模拟旁路模式或模拟-数字混合模式时有效)<br>6d = -12 dB (仅在 OUT2x_SRC{B0_P0_R107} 中配置了模拟旁路模式或模拟-数字混合模式，且 AIN1M_BYP_IMP 配置为 4.4kandx3A9;#)<br>7d = 保留；不使用 |
| 2   | AIN2M_BYP_IMP       | R/W | 0b   | AIN2M 模拟旁路输入阻抗。<br>0d = 4.4kandx3A9;#<br>1d = 20kandx3A9;#  |
| 1   | AIN2x_BYP_CFG       | R/W | 0b   | IN2x 模拟旁路输入配置<br>0d = FD/伪差分<br>1d = SE   |
| 0   | DAC_CH2_BW_MODE     | R/W | 0b   | DAC 通道 2 带宽选择。<br>0d = 音频带宽 (24kHz 模式)<br>1d = 宽带宽 (96kHz 模式)   |

### 7.1.1.89 OUT2x\_CFG2 寄存器 (地址 = 0x6D) [复位 = 0x20]

表 7-91 展示了 OUT2x\_CFG2。

返回到[汇总表](#)。

该寄存器是通道 OUT2x 的配置寄存器 2。

表 7-91. OUT2x\_CFG2 寄存器字段说明

| 位   | 字段                  | 类型  | 复位   | 说明  |
|-----|---------------------|-----|------|---|
| 7-6 | OUT2M_DRIVE[1:0]    | R/W | 00b  | 通道 OUT2M 驱动配置。<br>0d = 具有最小 300andx3A9;# 单端阻抗的线路输出驱动器<br>1d = 具有最小 16andx3A9;# 单端阻抗的耳机驱动器<br>2d = 用于驱动最小 4andx3A9;# 的单端阻抗<br>3d = 针对 FD 接收器负载获得更高的 DR/SNR   |
| 5-3 | OUT2M_LVL_CTRL[2:0] | R/W | 100b | 通道 OUT2M 电平控制配置。<br>0d = 保留；不使用<br>1d = 保留；不使用<br>2d = 12dB (仅在 OUT2x_SRC{B0_P0_R107} 中配置的仅旁路模式下有效)<br>3d = 6dB (仅在 OUT2x_SRC{B0_P0_R107} 中配置的模拟旁路模式或模拟-数字混合模式下有效)<br>4d = 0dB<br>5d = -6 dB (仅在 OUT2x_SRC{B0_P0_R107} 中配置了模拟旁路模式或模拟-数字混合模式时有效)<br>6d = -12 dB (仅在 OUT2x_SRC{B0_P0_R107} 中配置了模拟旁路模式或模拟-数字混合模式，且 AIN1M_BYP_IMP 配置为 4.4kandx3A9;#)<br>7d = 保留；不使用 |
| 2   | AIN2P_BYP_IMP       | R/W | 0b   | AIN2P 模拟旁路输入阻抗。<br>0d = 4.4kandx3A9;#<br>1d = 20kandx3A9;#  |

表 7-91. OUT2x\_CFG2 寄存器字段说明 (续)

| 位 | 字段             | 类型  | 复位 | 说明  |
|---|----------------|-----|----|---|
| 1 | RESERVED       | R   | 0b | 保留位；仅写入复位值  |
| 0 | DAC_CH2_CM_TOL | R/W | 0b | DAC 通道 2 输入耦合 (适用于模拟输入)。<br>0d = 交流耦合输入<br>1d = 交流耦合/直流耦合输入 |

## 7.1.1.90 DAC\_CH2A\_CFG0 寄存器 (地址 = 0x6E) [复位 = 0xC9]

表 7-92 展示了 DAC\_CH2A\_CFG0。

返回到[汇总表](#)。

该寄存器是 DAC 通道 2A 的配置寄存器 0。

表 7-92. DAC\_CH2A\_CFG0 寄存器字段说明

| 位   | 字段                 | 类型  | 复位        | 说明   |
|-----|--------------------|-----|-----------|--|
| 7-0 | DAC_CH2A_DVOL[7:0] | R/W | 11001001b | 通道 2A 数字音量控制。<br>0d = 数字音量静音<br>1d = 数字音量控制设置为 -100dB<br>2d = 数字音量控制设置为 -99.5dB<br>3d 至 200d = 数字音量控制根据配置进行设置<br>201d = 数字音量控制设置为 0dB<br>202d = 数字音量控制设置为 +0.5dB<br>203d 至 253d = 数字音量控制根据配置进行设置<br>254d = 数字音量控制设置为 +26.5dB<br>255d = 数字音量控制设置为 +27dB |

## 7.1.1.91 DAC\_CH2A\_CFG1 寄存器 (地址 = 0x6F) [复位 = 0x80]

表 7-93 展示了 DAC\_CH2A\_CFG1。

返回到[汇总表](#)。

该寄存器是 DAC 通道 2A 的配置寄存器 1。

表 7-93. DAC\_CH2A\_CFG1 寄存器字段说明

| 位   | 字段                  | 类型  | 复位    | 说明   |
|-----|---------------------|-----|-------|--|
| 7-4 | DAC_CH2A_FGAIN[3:0] | R/W | 1000b | DAC 通道 2A 精细增益校准。<br>0d = 精细增益设置为 -0.8dB<br>1d = 精细增益设置为 -0.7dB<br>2d = 精细增益设置为 -0.6dB<br>3d 至 7d = 根据配置设置精细增益<br>8d = 精细增益设置为 0dB<br>9d = 精细增益设置为 0.1dB<br>10d 至 13d = 根据配置设置精细增益<br>14d = 精细增益设置为 0.6dB<br>15d = 精细增益设置为 0.7dB |
| 3-0 | RESERVED            | R   | 0b    | 保留位；仅写入复位值   |

## 7.1.1.92 DAC\_CH2B\_CFG0 寄存器 (地址 = 0x70) [复位 = 0xC9]

表 7-94 展示了 DAC\_CH2B\_CFG0。

返回到[汇总表](#)。



该寄存器是 DAC 通道 2B 的配置寄存器 0。

表 7-94. DAC\_CH2B\_CFG0 寄存器字段说明

| 位   | 字段                 | 类型  | 复位        | 说明   |
|-----|--------------------|-----|-----------|--|
| 7-0 | DAC_CH2B_DVOL[7:0] | R/W | 11001001b | 通道 2B 数字音量控制。<br>0d = 数字音量静音<br>1d = 数字音量控制设置为 -100dB<br>2d = 数字音量控制设置为 -99.5dB<br>3d 至 200d = 数字音量控制根据配置进行设置<br>201d = 数字音量控制设置为 0dB<br>202d = 数字音量控制设置为 +0.5dB<br>203d 至 253d = 数字音量控制根据配置进行设置<br>254d = 数字音量控制设置为 +26.5dB<br>255d = 数字音量控制设置为 +27dB |

### 7.1.1.93 DAC\_CH2B\_CFG1 寄存器 (地址 = 0x71) [复位 = 0x80]

表 7-95 展示了 DAC\_CH2B\_CFG1。

返回到[汇总表](#)。

该寄存器是 DAC 通道 2B 的配置寄存器 1。

表 7-95. DAC\_CH2B\_CFG1 寄存器字段说明

| 位   | 字段                  | 类型  | 复位    | 说明   |
|-----|---------------------|-----|-------|--|
| 7-4 | DAC_CH2B_FGAIN[3:0] | R/W | 1000b | DAC 通道 2B 精细增益校准。<br>0d = 精细增益设置为 -0.8dB<br>1d = 精细增益设置为 -0.7dB<br>2d = 精细增益设置为 -0.6dB<br>3d 至 7d = 根据配置设置精细增益<br>8d = 精细增益设置为 0dB<br>9d = 精细增益设置为 0.1dB<br>10d 至 13d = 根据配置设置精细增益<br>14d = 精细增益设置为 0.6dB<br>15d = 精细增益设置为 0.7dB |
| 3-0 | RESERVED            | R   | 0b    | 保留位；仅写入复位值   |

### 7.1.1.94 DSP\_CFG0 寄存器 (地址 = 0x72) [复位 = 0x18]

表 7-96 展示了 DSP\_CFG0。

返回到[汇总表](#)。

该寄存器是数字信号处理器 (DSP) 配置寄存器 0。

表 7-96. DSP\_CFG0 寄存器字段说明

| 位   | 字段                     | 类型  | 复位  | 说明  |
|-----|------------------------|-----|-----|---|
| 7-6 | ADC_DSP_DECI_FILT[1:0] | R/W | 00b | ADC 通道抽取滤波器响应。<br>0d = 线性相位<br>1d = 低延迟<br>2d = 超低延迟<br>3d = 保留；不使用 |

表 7-96. DSP\_CFG0 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位  | 说明   |
|-----|---------------------------|-----|-----|--|
| 5-4 | ADC_DSP_HPF_SEL[1:0]      | R/W | 01b | ADC 通道高通滤波器 (HPF) 选择。<br>0d = 使用可编程一阶 IIR 滤波器来实现自定义 HPF, 在 P10_R120-127 至 P11_R8-11 范围内, 默认系数值设置为实现全通滤波器<br>1d = 选择截止频率为 $0.00002 \times f_S$ ( $f_S = 48\text{kHz}$ 时为 1Hz) 的 HPF<br>2d = 选择截止频率为 $0.00025 \times f_S$ ( $f_S = 48\text{kHz}$ 时为 12Hz) 的 HPF<br>3d = 选择截止频率为 $0.002 \times f_S$ ( $f_S = 48\text{kHz}$ 时为 96Hz) 的 HPF |
| 3-2 | ADC_DSP_BQ_CFG[1:0]       | R/W | 10b | 每个 ADC 通道配置的双二阶滤波器数。<br>0d = 每个通道均无双二阶滤波器; 双二阶滤波器全部禁用<br>1d = 每个通道 1 个双二阶滤波器<br>2d = 每个通道 2 个双二阶滤波器<br>3d = 每个通道 3 个双二阶滤波器   |
| 1   | ADC_DSP_DISABLE_SOFT_STEP | R/W | 0b  | 在 DVOL 更改、静音和取消静音期间禁用 ADC 软步进。<br>0d = 启用软步进<br>1d = 禁用软步进   |
| 0   | ADC_DSP_DVOL_GANG         | R/W | 0b  | 成组控制 ADC 通道上的 DVOL。<br>0d = 每个通道均有自己的 DVOL CTRL 设置, 基于 ADC_CHx_DVOL 位的编程<br>1d = 无论通道 1 是否打开, 所有活动通道都必须使用通道 1 DVOL 设置 (ADC_CH1_DVOL)   |

## 7.1.1.95 DSP\_CFG1 寄存器 (地址 = 0x73) [复位 = 0x18]

表 7-97 展示了 DSP\_CFG1。

返回到[汇总表](#)。

该寄存器是数字信号处理器 (DSP) 配置寄存器 0。

表 7-97. DSP\_CFG1 寄存器字段说明

| 位   | 字段                        | 类型  | 复位  | 说明   |
|-----|---------------------------|-----|-----|--|
| 7-6 | DAC_DSP_INTX_FILT[1:0]    | R/W | 00b | DAC 通道抽取滤波器响应。<br>0d = 线性相位<br>1d = 低延迟<br>2d = 超低延迟<br>3d = 保留; 不使用   |
| 5-4 | DAC_DSP_HPF_SEL[1:0]      | R/W | 01b | DAC 通道高通滤波器 (HPF) 选择。<br>0d = 使用可编程一阶 IIR 滤波器来实现自定义 HPF, 在 P17_R120-127 至 P18_R8-11 范围内, 默认系数值设置为实现全通滤波器<br>1d = 选择截止频率为 $0.00002 \times f_S$ ( $f_S = 48\text{kHz}$ 时为 1Hz) 的 HPF<br>2d = 选择截止频率为 $0.00025 \times f_S$ ( $f_S = 48\text{kHz}$ 时为 12Hz) 的 HPF<br>3d = 选择截止频率为 $0.002 \times f_S$ ( $f_S = 48\text{kHz}$ 时为 96Hz) 的 HPF |
| 3-2 | DAC_DSP_BQ_CFG[1:0]       | R/W | 10b | 每个 DAC 通道配置的双二阶滤波器数。<br>0d = 每个通道均无双二阶滤波器; 双二阶滤波器全部禁用<br>1d = 每个通道 1 个双二阶滤波器<br>2d = 每个通道 2 个双二阶滤波器<br>3d = 每个通道 3 个双二阶滤波器   |
| 1   | DAC_DSP_DISABLE_SOFT_STEP | R/W | 0b  | 在 DVOL 更改、静音和取消静音期间禁用 DAC 软步进。<br>0d = 启用软步进<br>1d = 禁用软步进   |

**表 7-97. DSP\_CFG1 寄存器字段说明 (续)**

| 位 | 字段                | 类型  | 复位 | 说明  |
|---|-------------------|-----|----|---|
| 0 | DAC_DSP_DVOL_GANG | R/W | 0b | 成组控制 DAC 通道上的 DVOL。<br>0d = 每个 DAC 通道均有自己的 DVOL CTRL 设置, 基于 DAC_CHx_DVOL 位的编程<br>1d = 无论通道 1 是否打开, 所有活动通道都必须使用通道 1 DVOL 设置 (DAC_CH1_DVOL) |

### 7.1.1.96 CH\_EN 寄存器 (地址 = 0x76) [复位 = 0xCC]

表 7-98 展示了 CH\_EN。

返回到[汇总表](#)。

该寄存器是通道使能配置寄存器。

**表 7-98. CH\_EN 寄存器字段说明**

| 位 | 字段         | 类型  | 复位 | 说明   |
|---|------------|-----|----|--|
| 7 | IN_CH1_EN  | R/W | 1b | 输入通道 1 使能设置。<br>0d = 输入通道 1 禁用<br>1d = 输入通道 1 启用 |
| 6 | IN_CH2_EN  | R/W | 1b | 输入通道 2 使能设置。<br>0d = 输入通道 2 禁用<br>1d = 输入通道 2 启用 |
| 5 | IN_CH3_EN  | R/W | 0b | 输入通道 3 使能设置。<br>0d = 输入通道 3 禁用<br>1d = 输入通道 3 启用 |
| 4 | IN_CH4_EN  | R/W | 0b | 输入通道 4 使能设置。<br>0d = 输入通道 4 禁用<br>1d = 输入通道 4 启用 |
| 3 | OUT_CH1_EN | R/W | 1b | 输出通道 1 使能设置。<br>0d = 输出通道 1 禁用<br>1d = 输出通道 1 启用 |
| 2 | OUT_CH2_EN | R/W | 1b | 输出通道 2 使能设置。<br>0d = 输出通道 2 禁用<br>1d = 输出通道 2 启用 |
| 1 | OUT_CH3_EN | R/W | 0b | 输出通道 3 使能设置。<br>0d = 输出通道 3 禁用<br>1d = 输出通道 3 启用 |
| 0 | OUT_CH4_EN | R/W | 0b | 输出通道 4 使能设置。<br>0d = 输出通道 4 禁用<br>1d = 输出通道 4 启用 |

### 7.1.1.97 DYN\_PUPD\_CFG 寄存器 (地址 = 0x77) [复位 = 0x00]

表 7-99 展示了 DYN\_PUPD\_CFG。

返回到[汇总表](#)。

该寄存器是上电配置寄存器。

**表 7-99. DYN\_PUPD\_CFG 寄存器字段说明**

| 位 | 字段              | 类型  | 复位 | 说明   |
|---|-----------------|-----|----|--|
| 7 | ADC_DYN_PUPD_EN | R/W | 0b | 用于录音路径的动态通道上电/断电使能。<br>0d = 如果任何通道录音处于开启状态, 则不支持通道上电/断电<br>1d = 即使通道录音处于开启状态, 通道也可以单独上电或断电 |

表 7-99. DYN\_PUPD\_CFG 寄存器字段说明 (续)

| 位 | 字段                        | 类型  | 复位 | 说明  |
|---|---------------------------|-----|----|---|
| 6 | ADC_DYN_MAXCH_SEL         | R/W | 0b | 记录路径的动态模式最大通道选择配置。<br>0d = 启用动态通道上电/断电功能时使用通道 1 和通道 2<br>1d = 启用动态通道上电/断电功能时使用通道 1 至通道 4                                  |
| 5 | DAC_DYN_PUPD_EN           | R/W | 0b | 用于回放路径的动态通道上电/断电使能。<br>0d = 如果任何通道回放处于开启状态, 则不支持通道上电/断电<br>1d = 即使回放录音处于开启状态, 通道也可以单独上电或断电                                |
| 4 | DAC_DYN_MAXCH_SEL         | R/W | 0b | 回放路径的动态模式最大通道选择配置。<br>0d = 启用动态通道上电/断电功能时使用通道 1 和通道 2<br>1d = 启用动态通道上电/断电功能时使用通道 1 至通道 4                                  |
| 3 | DYN_PUPD_ADC_PDM_DIFF_CLK | R/W | 0b | 使用不同的 ADC 调制器时钟和 PDM 时钟配置进行动态上电/断电。<br>0d = 动态上电/断电使用相同的 ADC MOD CLK 和 PDM CLK<br>1d = 动态上电/断电使用不同的 ADC MOD CLK 和 PDM CLK |
| 2 | RESERVED                  | R   | 0b | 保留位; 仅写入复位值   |
| 1 | ADC_CH_SWAP               | R/W | 0b | ADC 通道交换启用配置。<br>1d = 无交换<br>1d = 交换 ADC 通道 1 和 2   |
| 0 | DAC_CH_SWAP               | R/W | 0b | DAC 通道交换启用配置。<br>1d = 无交换<br>1d = 交换 DAC 通道 1 和 2   |

## 7.1.1.98 PWR\_CFG 寄存器 (地址 = 0x78) [复位 = 0x00]

表 7-100 展示了 PWR\_CFG。

返回到[汇总表](#)。

该寄存器是上电配置寄存器。

表 7-100. PWR\_CFG 寄存器字段说明

| 位 | 字段          | 类型  | 复位 | 说明   |
|---|-------------|-----|----|--|
| 7 | ADC_PDZ     | R/W | 0b | ADC 和 PDM 通道的电源控制。<br>0d = 所有 ADC 和 PDM 通道断电<br>1d = 所有已启用的 ADC 和 PDM 通道上电 |
| 6 | DAC_PDZ     | R/W | 0b | DAC 通道的电源控制。<br>0d = 所有 DAC 通道断电<br>1d = 所有已启用的 DAC 通道上电                   |
| 5 | MICBIAS_PDZ | R/W | 0b | MICBIAS 的电源控制。<br>0d = MICBIAS 断电<br>1d = MICBIAS 上电                       |
| 4 | RESERVED    | R   | 0b | 保留位; 仅写入复位值  |
| 3 | UAD_EN      | R/W | 0b | 启用超声活动检测 (UAD) 算法。<br>0d = 禁用 UAD<br>1d = 启用 UAD                           |
| 2 | VAD_EN      | R/W | 0b | 启用语音活动检测 (VAD) 算法。<br>0d = 禁用 VAD<br>1d = 启用 VAD                           |
| 1 | UAG_EN      | R/W | 0b | 启用超声活动检测 (UAG) 算法。<br>0d = 禁用 UAG<br>1d = 启用 UAG                           |
| 0 | RESERVED    | R   | 0b | 保留位; 仅写入复位值  |

### 7.1.1.99 DEV\_STS0 寄存器 (地址 = 0x79) [复位 = 0x00]

表 7-101 展示了 DEV\_STS0。

返回到[汇总表](#)。

该寄存器是器件状态值寄存器 0。

**表 7-101. DEV\_STS0 寄存器字段说明**

| 位 | 字段             | 类型 | 复位 | 说明   |
|---|----------------|----|----|--|
| 7 | IN_CH1_STATUS  | R  | 0b | ADC 或 PDM 通道 1 电源状态。<br>0d = ADC 或 PDM 通道断电<br>1d = ADC 或 PDM 通道上电 |
| 6 | IN_CH2_STATUS  | R  | 0b | ADC 或 PDM 通道 2 电源状态。<br>0d = ADC 或 PDM 通道断电<br>1d = ADC 或 PDM 通道上电 |
| 5 | IN_CH3_STATUS  | R  | 0b | ADC 或 PDM 通道 1 电源状态。<br>0d = ADC 或 PDM 通道断电<br>1d = ADC 或 PDM 通道上电 |
| 4 | IN_CH4_STATUS  | R  | 0b | ADC 或 PDM 通道 2 电源状态。<br>0d = ADC 或 PDM 通道断电<br>1d = ADC 或 PDM 通道上电 |
| 3 | OUT_CH1_STATUS | R  | 0b | DAC 通道 1 电源状态。<br>0d = DAC 通道断电<br>1d = DAC 通道上电                   |
| 2 | OUT_CH2_STATUS | R  | 0b | DAC 通道 2 电源状态。<br>0d = DAC 通道断电<br>1d = DAC 通道上电                   |
| 1 | OUT_CH3_STATUS | R  | 0b | DAC 通道 3 电源状态。<br>0d = DAC 通道断电<br>1d = DAC 通道上电                   |
| 0 | OUT_CH4_STATUS | R  | 0b | DAC 通道 4 电源状态。<br>0d = DAC 通道断电<br>1d = DAC 通道上电                   |

### 7.1.1.100 DEV\_STS1 寄存器 (地址 = 0x7A) [复位 = 0x80]

表 7-102 展示了 DEV\_STS1。

返回到[汇总表](#)。

该寄存器是器件状态值寄存器 1。

**表 7-102. DEV\_STS1 寄存器字段说明**

| 位   | 字段            | 类型 | 复位   | 说明   |
|-----|---------------|----|------|--|
| 7-5 | MODE_STS[2:0] | R  | 100b | 器件模式状态。<br>0-3d = 保留<br>4d = 器件处于睡眠模式或软件关断模式<br>5d = 保留<br>6d = 器件处于工作模式且所有录音和回放通道都关闭<br>7d = 器件处于工作模式且至少一个录音或回放通道开启 |
| 4   | PLL_STS       | R  | 0b   | PLL 状态。<br>0d = 未启用 PLL<br>1d = 启用 PLL   |
| 3   | MICBIAS_STS   | R  | 0b   | MICBIAS 状态。<br>0d = 禁用 MICBIAS<br>1d = 启用 MICBIAS  |

表 7-102. DEV\_STS1 寄存器字段说明 (续)

| 位 | 字段       | 类型 | 复位 | 说明         |
|---|----------|----|----|------------|
| 2 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 1 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 0 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

## 7.1.1.101 I2C\_CKSUM 寄存器 (地址 = 0x7E) [复位 = 0x00]

表 7-103 展示了 I2C\_CKSUM。

返回到[汇总表](#)。

该寄存器返回 I<sup>2</sup>C 事务校验和值。

表 7-103. I2C\_CKSUM 寄存器字段说明

| 位   | 字段             | 类型  | 复位        | 说明   |
|-----|----------------|-----|-----------|--|
| 7-0 | I2C_CKSUM[7:0] | R/W | 00000000b | 这些位返回 I <sup>2</sup> C 事务校验和值。写入此寄存器会将校验和复位为写入值。此寄存器在所有页上的其他寄存器进行写操作时更新。 |

### 7.1.2 TAD5112\_B0\_P1 寄存器

表 7-104 列出了 TAD5112\_B0\_P1 寄存器的存储器映射寄存器。表 7-104 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-104. TAD5112\_B0\_P1 寄存器

| 地址   | 首字母缩写词         | 寄存器名称                    | 复位值  | 部分         |
|------|----------------|--------------------------|------|------------|
| 0x0  | PAGE_CFG       | 器件页寄存器                   | 0x00 | 节 7.1.2.1  |
| 0x3  | DSP_CFG0       | DSP 配置寄存器 0              | 0x00 | 节 7.1.2.2  |
| 0xD  | CLK_CFG0       | 时钟配置寄存器 0                | 0x00 | 节 7.1.2.3  |
| 0xE  | CHANNEL_CFG1   | ADC 通道配置寄存器              | 0x00 | 节 7.1.2.4  |
| 0xF  | CHANNEL_CFG2   | DAC 通道配置寄存器              | 0x00 | 节 7.1.2.5  |
| 0x17 | SRC_CFG0       | SRC 配置寄存器 1              | 0x00 | 节 7.1.2.6  |
| 0x18 | SRC_CFG1       | SRC 配置寄存器 2              | 0x00 | 节 7.1.2.7  |
| 0x19 | JACK_DET_CFG0  | 插孔检测配置寄存器 0              | 0x00 | 节 7.1.2.8  |
| 0x1A | JACK_DET_CFG1  | 插孔检测配置寄存器 1              | 0x00 | 节 7.1.2.9  |
| 0x1B | JACK_DET_CFG2  | 插孔检测配置寄存器 2              | 0x00 | 节 7.1.2.10 |
| 0x1C | JACK_DET_CFG3  | 插孔检测配置寄存器 3              | 0x00 | 节 7.1.2.11 |
| 0x1E | LPAD_CFG1      | 低功耗活动检测配置寄存器             | 0x20 | 节 7.1.2.12 |
| 0x1F | LPSG_CFG1      | 低功耗信号生成配置寄存器 1           | 0x80 | 节 7.1.2.13 |
| 0x20 | LPAD_LPSG_CFG1 | 低功耗活动检测和低功耗信号生成通用配置寄存器 1 | 0x00 | 节 7.1.2.14 |
| 0x23 | LIMITER_CFG    | 限制器配置寄存器                 | 0x00 | 节 7.1.2.15 |
| 0x24 | AGC_DRC_CFG    | AGC 和 DRC 配置寄存器          | 0x00 | 节 7.1.2.16 |
| 0x2B | PLIM_CFG0      | PLIM 配置寄存器 0             | 0x00 | 节 7.1.2.17 |
| 0x2C | MIXER_CFG0     | MIXER 配置寄存器 0            | 0x00 | 节 7.1.2.18 |
| 0x2D | MISC_CFG0      | 杂项配置寄存器 0                | 0x00 | 节 7.1.2.19 |
| 0x2E | BRWNOUT        | 欠压配置寄存器                  | 0xBF | 节 7.1.2.20 |
| 0x2F | INT_MASK0      | 中断屏蔽寄存器 0                | 0xFF | 节 7.1.2.21 |
| 0x32 | INT_MASK4      | 中断屏蔽寄存器 4                | 0x00 | 节 7.1.2.22 |
| 0x33 | INT_MASK5      | 中断屏蔽寄存器 5                | 0x30 | 节 7.1.2.23 |
| 0x34 | INT_LTCH0      | 锁存中断读回寄存器 0              | 0x00 | 节 7.1.2.24 |
| 0x35 | CHx_LTCH       | 诊断锁存汇总寄存器                | 0x00 | 节 7.1.2.25 |
| 0x38 | OUT_CH1_LTCH   | 通道 1 输出直流故障诊断锁存状态寄存器     | 0x00 | 节 7.1.2.26 |
| 0x39 | OUT_CH2_LTCH   | 通道 2 输出直流故障诊断锁存状态寄存器     | 0x00 | 节 7.1.2.27 |
| 0x3A | INT_LTCH1      | 锁存中断读回寄存器 1              | 0x00 | 节 7.1.2.28 |
| 0x3B | INT_LTCH2      | 锁存中断读回寄存器 2              | 0x00 | 节 7.1.2.29 |
| 0x3C | INT_LIVE0      | 实时中断回读寄存器 0              | 0x00 | 节 7.1.2.30 |
| 0x3D | CHx_LIVE       | 诊断实时汇总寄存器                | 0x00 | 节 7.1.2.31 |
| 0x40 | OUT_CH1_LIVE   | 通道 1 输出直流故障诊断实时状态寄存器     | 0x00 | 节 7.1.2.32 |
| 0x41 | OUT_CH2_LIVE   | 通道 2 输出直流故障诊断实时状态寄存器     | 0x00 | 节 7.1.2.33 |
| 0x42 | INT_LIVE1      | 实时中断回读寄存器 1              | 0x00 | 节 7.1.2.34 |
| 0x43 | INT_LIVE2      | 实时中断回读寄存器 2              | 0x00 | 节 7.1.2.35 |
| 0x4E | DIAG_CFG8      | 输入诊断配置寄存器 8              | 0xBA | 节 7.1.2.36 |
| 0x4F | DIAG_CFG9      | 输入诊断配置寄存器 9              | 0x4B | 节 7.1.2.37 |
| 0x53 | DIAG_CFG13     | 输入诊断配置寄存器 13             | 0x00 | 节 7.1.2.38 |
| 0x54 | DIAG_CFG14     | 输入诊断配置寄存器 14             | 0x48 | 节 7.1.2.39 |

表 7-104. TAD5112\_B0\_P1 寄存器 (续)

| 地址   | 首字母缩写词             | 寄存器名称                       | 复位值  | 部分         |
|------|--------------------|-----------------------------|------|------------|
| 0x55 | DIAGDATA_CFG       | 输入诊断数据配置寄存器                 | 0x00 | 节 7.1.2.40 |
| 0x58 | DIAG_MON_MSB_MBIAS | 诊断 SAR MICBIAS 监控数据 MSB 字节  | 0x00 | 节 7.1.2.41 |
| 0x59 | DIAG_MON_LSB_MBIAS | 诊断 SAR MICBIAS 监控数据 LSB 半字节 | 0x01 | 节 7.1.2.42 |
| 0x62 | DIAG_MON_MSB_OUT1P | 诊断 SAR OUT1P 监控数据 MSB 字节    | 0x00 | 节 7.1.2.43 |
| 0x63 | DIAG_MON_LSB_OUT1P | 诊断 SAR OUT1P 监控数据 LSB 半字节   | 0x06 | 节 7.1.2.44 |
| 0x64 | DIAG_MON_MSB_OUT1M | 诊断 SAR OUT1M 监控数据 MSB 字节    | 0x00 | 节 7.1.2.45 |
| 0x65 | DIAG_MON_LSB_OUT1M | 诊断 SAR OUT1M 监控数据 LSB 半字节   | 0x07 | 节 7.1.2.46 |
| 0x66 | DIAG_MON_MSB_OUT2P | 诊断 SAR OUT2P 监控数据 MSB 字节    | 0x00 | 节 7.1.2.47 |
| 0x67 | DIAG_MON_LSB_OUT2P | 诊断 SAR OUT2P 监控数据 LSB 半字节   | 0x08 | 节 7.1.2.48 |
| 0x68 | DIAG_MON_MSB_OUT2M | 诊断 SAR OUT2M 监控数据 MSB 字节    | 0x00 | 节 7.1.2.49 |
| 0x69 | DIAG_MON_LSB_OUT2M | 诊断 SAR OUT2M 监控数据 LSB 半字节   | 0x09 | 节 7.1.2.50 |
| 0x6A | DIAG_MON_MSB_TEMP  | 诊断 SAR 温度监控数据 MSB 字节        | 0x00 | 节 7.1.2.51 |
| 0x6B | DIAG_MON_LSB_TEMP  | 诊断 SAR 温度监控数据 LSB 半字节       | 0x0A | 节 7.1.2.52 |
| 0x6E | DIAG_MON_MSB_AVDD  | 诊断 SAR AVDD 监控数据 MSB 字节     | 0x00 | 节 7.1.2.53 |
| 0x6F | DIAG_MON_LSB_AVDD  | 诊断 SAR AVDD 监控数据 LSB 半字节    | 0x0C | 节 7.1.2.54 |
| 0x70 | DIAG_MON_MSB_GPA   | 诊断 SAR GPA 监控数据 MSB 字节      | 0x00 | 节 7.1.2.55 |
| 0x71 | DIAG_MON_LSB_GPA   | 诊断 SAR GPA 监控数据 LSB 半字节寄存器  | 0x0D | 节 7.1.2.56 |

### 7.1.2.1 PAGE\_CFG 寄存器 (地址 = 0x0) [复位 = 0x00]

表 7-105 展示了 PAGE\_CFG。

返回到[汇总表](#)。

器件存储器映射分为多个页面。该寄存器设置页。

表 7-105. PAGE\_CFG 寄存器字段说明

| 位   | 字段        | 类型  | 复位        | 说明   |
|-----|-----------|-----|-----------|--|
| 7-0 | PAGE[7:0] | R/W | 00000000b | 这些位设置器件页。<br>0d = 第 0 页<br>1d = 第 1 页<br>2d 至 254d = 第 2 页至第 254 页<br>255d = 第 255 页 |

### 7.1.2.2 DSP\_CFG0 寄存器 (地址 = 0x3) [复位 = 0x00]

表 7-106 展示了 DSP\_CFG0。

返回到[汇总表](#)。

该寄存器是用于动态滤波器更新的配置寄存器。

表 7-106. DSP\_CFG0 寄存器字段说明

| 位 | 字段       | 类型 | 复位 | 说明         |
|---|----------|----|----|------------|
| 7 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 6 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 5 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 4 | RESERVED | R  | 0b | 保留位；仅写入复位值 |



表 7-106. DSP\_CFG0 寄存器字段说明 (续)

| 位 | 字段            | 类型  | 复位 | 说明   |
|---|---------------|-----|----|--|
| 3 | RESERVED      | R   | 0b | 保留位；仅写入复位值   |
| 2 | RESERVED      | R   | 0b | 保留位；仅写入复位值   |
| 1 | RESERVED      | R   | 0b | 保留位；仅写入复位值   |
| 0 | EN_BQ_OTF_CHG | R/W | 0b | 启用对 Biquad 设置的运行时更改。<br>0d = 禁用动态双二阶滤波器更改<br>1d = 启用动态双二阶滤波器更改 |

### 7.1.2.3 CLK\_CFG0 寄存器 (地址 = 0xD) [复位 = 0x00]

表 7-107 展示了 CLK\_CFG0。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 0。

表 7-107. CLK\_CFG0 寄存器字段说明

| 位   | 字段                   | 类型  | 复位 | 说明  |
|-----|----------------------|-----|----|---|
| 7   | CNT_TGT_CFG_OVR_PASI | R/W | 0b | ASI 控制器目标配置覆盖寄存器<br>0d = 根据 PASI_CNT_CFG 位确定控制器-目标配置。<br>1d = 覆盖 PASI_CNT_CFG 的标准行为。在这种情况下，时钟自动检测功能不可用。<br>PASI_CNT_CFG = 0 : BCLK 是输入，而 FSYNC 是输出。<br>PASI_CNT_CFG = 1 : BCLK 是输出，而 FSYNC 是输入。 |
| 6   | CNT_TGT_CFG_OVR_SASI | R/W | 0b | ASI 控制器目标配置覆盖寄存器<br>0d = 根据 SASI_CNT_CFG 位确定控制器-目标配置。<br>1d = 覆盖 SASI_CNT_CFG 的标准行为。在这种情况下，时钟自动检测功能不可用。<br>SASI_CNT_CFG = 0 : BCLK 是输入，而 FSYNC 是输出。<br>SASI_CNT_CFG = 1 : BCLK 是输出，而 FSYNC 是输入。 |
| 5-3 | RESERVED             | R   | 0b | 保留位；仅写入复位值  |
| 2   | PASI_USE_INT_FSYNC   | R/W | 0b | 对于主要 ASI，在控制器模式配置下使用内部 FSYNC。<br>0d = 使用外部 FSYNC<br>1d = 使用内部 FSYNC   |
| 1   | SASI_USE_INT_FSYNC   | R/W | 0b | 对于辅助 ASI，在控制器模式配置下使用内部 FSYNC。<br>0d = 使用外部 FSYNC<br>1d = 使用内部 FSYNC   |
| 0   | RESERVED             | R   | 0b | 保留位；仅写入复位值  |

### 7.1.2.4 CHANNEL\_CFG1 寄存器 (地址 = 0xE) [复位 = 0x00]

表 7-108 展示了 CHANNEL\_CFG1。

返回到[汇总表](#)。

这是 ADC 通道动态上电或断电配置寄存器。

表 7-108. CHANNEL\_CFG1 寄存器字段说明

| 位 | 字段                         | 类型  | 复位 | 说明   |
|---|----------------------------|-----|----|--|
| 7 | FORCE_DYN_MODE_CUST_MAX_CH | R/W | 0b | ADC 强制动态模式自定义最大通道<br>0d = 在动态模式下，最大通道基于 ADC_DYN_MAXCH_SEL<br>1d = 在动态模式下，最大通道自定义为 DYN_MODE_CUST_MAX_CH |

表 7-108. CHANNEL\_CFG1 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位    | 说明  |
|-----|---------------------------|-----|-------|---|
| 6-3 | DYN_MODE_CUST_MAX_CH[3:0] | R/W | 0000b | ADC 动态模式自定义最大通道配置<br>[3]->CH4_EN<br>[2]->CH3_EN<br>[1]->CH2_EN<br>[0]->CH1_EN |
| 2-0 | RESERVED                  | R   | 0b    | 保留位；仅写入复位值  |

### 7.1.2.5 CHANNEL\_CFG2 寄存器 (地址 = 0xF) [复位 = 0x00]

表 7-109 展示了 CHANNEL\_CFG2。

返回到[汇总表](#)。

这是 DAC 通道动态上电或断电配置寄存器。

表 7-109. CHANNEL\_CFG2 寄存器字段说明

| 位   | 字段                             | 类型  | 复位    | 说明  |
|-----|--------------------------------|-----|-------|---|
| 7   | DAC_FORCE_DYN_MODE_CUST_MAX_CH | R/W | 0b    | DAC 强制动态模式自定义最大通道<br>0d = 在动态模式下，最大通道基于 DAC_DYN_MAXCH_SEL<br>1d = 在动态模式下，最大通道根据 DAC_DYN_MODE_CUST_MAX_CH 自定义                            |
| 6-3 | DAC_DYN_MODE_CUST_MAX_CH[3:0]  | R/W | 0000b | DAC 动态模式自定义最大通道配置 ( [3]->CH4_EN , [2]->CH3_EN , [1]->CH2_EN , [0]->CH1_EN )<br>[3]->CH4_EN<br>[2]->CH3_EN<br>[1]->CH2_EN<br>[0]->CH1_EN |
| 2-0 | RESERVED                       | R   | 0b    | 保留位；仅写入复位值  |

### 7.1.2.6 SRC\_CFG0 寄存器 (地址 = 0x17) [复位 = 0x00]

表 7-110 展示了 SRC\_CFG0。

返回到[汇总表](#)。

该寄存器是 SRC 的配置寄存器 1。

表 7-110. SRC\_CFG0 寄存器字段说明

| 位   | 字段               | 类型  | 复位 | 说明   |
|-----|------------------|-----|----|--|
| 7   | SRC_EN           | R/W | 0b | SRC 使能配置<br>0b = SRC 禁用<br>1b = SRC 启用           |
| 6   | DIS_AUTO_SRC_DET | R/W | 0b | SRC 自动检测配置<br>0b = SRC 自动检测启用<br>1b = SRC 自动检测禁用 |
| 5-0 | RESERVED         | R   | 0b | 保留位；仅写入复位值                                       |

### 7.1.2.7 SRC\_CFG1 寄存器 (地址 = 0x18) [复位 = 0x00]

表 7-111 展示了 SRC\_CFG1。

返回到[汇总表](#)。

该寄存器是 SRC 的配置寄存器 2。

表 7-111. SRC\_CFG1 寄存器字段说明

| 位   | 字段                                   | 类型  | 复位   | 说明  |
|-----|--------------------------------------|-----|------|---|
| 7   | MAIN_FS_CUSTOM_CFG                   | R/W | 0b   | 主 Fs 自定义配置<br>0b = 自动推断主 Fs<br>1b = 需要从 MAIN_FS_SELECT_CFG 中选择主 Fs  |
| 6   | MAIN_FS_SELECT_CFG                   | R/W | 0b   | 主 Fs 选择配置<br>0b = PASI Fs 应用作主 Fs<br>1b = SASI Fs 应用作主 Fs   |
| 5-3 | MAIN_AUX_RATIO_M_C<br>USTOM_CFG[2:0] | R/W | 000b | 主 Fs 与辅助 Fs 之比 m:n 配置<br>0d = m 为自动推断<br>1d = 1<br>2d = 2<br>3d = 3<br>4d = 4<br>5d = 保留<br>6d = 6<br>7d = 保留 |
| 2-0 | MAIN_AUX_RATIO_N_C<br>USTOM_CFG[2:0] | R/W | 000b | 主 Fs 与辅助 Fs 之比 m:n 配置<br>0d = n 为自动推断<br>1d = 1<br>2d = 2<br>3d = 3<br>4d = 4<br>5d = 保留<br>6d = 6<br>7d = 保留 |

### 7.1.2.8 JACK\_DET\_CFG0 寄存器 (地址 = 0x19) [复位 = 0x00]

表 7-112 展示了 JACK\_DET\_CFG0。

返回到汇总表。

该寄存器插孔检测配置寄存器 0。

表 7-112. JACK\_DET\_CFG0 寄存器字段说明

| 位   | 字段                             | 类型  | 复位  | 说明   |
|-----|--------------------------------|-----|-----|--|
| 7-6 | JACK_DET_MONITOR_F<br>REQ[1:0] | R/W | 00b | 耳机检测脉冲频率<br>0d = 0.5Hz<br>1d = 1Hz<br>2d = 7.5Hz<br>3d = 15Hz                    |
| 5   | JACK_DET_PULSE_WID<br>TH       | R/W | 0b  | 检测器脉冲高宽度<br>0d = 4ms ( MICBIAS 引脚电容 = 1uF )<br>1d = 32ms ( MICBIAS 引脚电容 = 10uF ) |
| 4   | RESERVED                       | R   | 0b  | 保留位；仅写入复位值   |
| 3   | RESERVED                       | R   | 0b  | 保留位；仅写入复位值   |
| 2-1 | HPDET_CLOCK_SEL[1:0]           | R/W | 00b | 耳机检测时钟时间周期选择<br>0d = 1ms<br>1d = 2ms<br>2d = 4ms<br>3d = 保留                      |
| 0   | RESERVED                       | R   | 0b  | 保留位；仅写入复位值   |

### 7.1.2.9 JACK\_DET\_CFG1 寄存器 (地址 = 0x1A) [复位 = 0x00]

表 7-113 展示了 JACK\_DET\_CFG1。

返回到[汇总表](#)。

该寄存器插孔检测配置寄存器 1。

表 7-113. JACK\_DET\_CFG1 寄存器字段说明

| 位   | 字段                           | 类型  | 复位  | 说明  |
|-----|------------------------------|-----|-----|---|
| 7   | RESERVED                     | R   | 0b  | 保留位；仅写入复位值  |
| 6   | JACK_DET_COMP_CTRL<br>2      | R/W | 0b  | 固定外部电阻情况下的挂钩按压阈值控制，控制选择要支持的最低麦克风阻抗或要支持的最高挂钩按钮阻抗<br>0d = 支持最小麦克风电阻，R_Mic = 支持 800 Ω 和最大挂钩按钮阻抗，R_Hook = 320 Ω，适用于交流耦合耳机 R26<3> = 0 (否则，当 R26<3> = 1 时，R_hook = 150 Ω<br>1d = 支持最大挂钩按钮阻抗，R_hook = 680 Ω；支持最小麦克风电阻，R_Mic = 1350 Ω，适用于交流耦合耳机 R26<3> = 0 (否则，当 R26<3> = 1 时，R_Mic = 1750 Ω) |
| 5-4 | JACK_DET_COMP_CTRL<br>3[1:0] | R/W | 00b | 挂钩按压插孔插入支持，仅对外部电阻类型 P0_R25_D4 = 0 有效，否则不用考虑。<br>0d = 支持 150 Ω 最小挂钩按钮阻抗，适用于挂钩按压插孔插入检测<br>1d = 支持 100 Ω 最小挂钩按钮阻抗，适用于挂钩按压插孔插入检测<br>2d = 支持 50 Ω 最小挂钩按钮阻抗，适用于挂钩按压插孔插入检测<br>3d = 保留  |
| 3   | HPDET_COUPLING               | R/W | 0b  | 耳机检测耦合<br>0d = 交流耦合<br>1d = 直流耦合  |
| 2   | HPDET_USE_2x_CURR            | R/W | 0b  | 耳机检测电流选择配置<br>0d = 禁用 2 倍耳机检测电流<br>1d = 启用 2 倍耳机检测电流  |
| 1   | JACK_DET_EN                  | R/W | 0b  | 耳机检测启用<br>0d = 禁用耳机检测<br>1d = 启用耳机检测  |
| 0   | RESERVED                     | R   | 0b  | 保留位；仅写入复位值  |

### 7.1.2.10 JACK\_DET\_CFG2 寄存器 (地址 = 0x1B) [复位 = 0x00]

表 7-114 展示了 JACK\_DET\_CFG2。

返回到[汇总表](#)。

该寄存器插孔检测配置寄存器 2。

表 7-114. JACK\_DET\_CFG2 寄存器字段说明

| 位 | 字段        | 类型  | 复位 | 说明                                     |
|---|-----------|-----|----|--|
| 7 | RESERVED  | R   | 0b | 保留位；仅写入复位值                             |
| 6 | HPDET_DEB | R/W | 0b | 耳机检测去抖可编程性<br>0d = 无去抖<br>1d = 3 个检测去抖 |

表 7-114. JACK\_DET\_CFG2 寄存器字段说明 (续)

| 位   | 字段                           | 类型  | 复位   | 说明   |
|-----|------------------------------|-----|------|--|
| 5-3 | JACK_DET_DEB_INSERT[2:0]     | R/W | 000b | 耳机插入检测去抖可编程性<br>0d = 去抖时间 = 16ms<br>1d = 去抖时间 = 32ms<br>2d = 去抖时间 = 64ms<br>3d = 去抖时间 = 128ms<br>4d = 去抖时间 = 256ms<br>5d = 去抖时间 = 512ms<br>6d = 保留<br>7d = 无去抖 |
| 2   | JACK_DET_DEB_REMOVE          | R/W | 0b   | 耳机移除检测去抖可编程性<br>0d = 5 次检测去抖<br>1d = 3 次检测去抖   |
| 1-0 | JACK_DET_DEB_HOOK_PRESS[1:0] | R/W | 00b  | 挂钩按压去抖配置<br>0d = 无去抖<br>1d = 无去抖<br>2d = 2 个检测去抖<br>3d = 3 个检测去抖   |

### 7.1.2.11 JACK\_DET\_CFG3 寄存器 (地址 = 0x1C) [复位 = 0x00]

表 7-115 展示了 JACK\_DET\_CFG3。

返回到[汇总表](#)。

该寄存器插孔检测配置寄存器 3。

表 7-115. JACK\_DET\_CFG3 寄存器字段说明

| 位   | 字段                    | 类型 | 复位  | 说明   |
|-----|-----------------------|----|-----|--|
| 7-6 | JACK_TYPE_FLAG[1:0]   | R  | 00b | 耳机插孔类型标志<br>0d = 插孔未插入<br>1d = 插入插孔, 无麦克风<br>2d = 保留。不使用<br>3d = 插入插孔, 有麦克风                  |
| 5-4 | HEADSET_TYPE_DET[1:0] | R  | 00b | 耳机类型<br>0d = 未插入耳机<br>1d = 插入插孔, 带单声道 HS (右)<br>2d = 插入插孔, 带单声道 HS (左)<br>3d = 插入插孔, 带立体声 HS |
| 3-0 | RESERVED              | R  | 0b  | 保留位; 仅写入复位值  |

### 7.1.2.12 LPAD\_CFG1 寄存器 (地址 = 0x1E) [复位 = 0x20]

表 7-116 展示了 LPAD\_CFG1。

返回到[汇总表](#)。

该寄存器是语音活动检测或超声波活动检测配置寄存器 1。

表 7-116. LPAD\_CFG1 寄存器字段说明

| 位   | 字段             | 类型  | 复位  | 说明   |
|-----|----------------|-----|-----|--|
| 7-6 | LPAD_MODE[1:0] | R/W | 00b | 自动 ADC 上电/断电配置选择。<br>0d = 用户启动的 ADC 上电和 ADC 断电<br>1d = 基于 VAD/UAD 中断的 ADC 上电和 ADC 断电<br>2d = 基于 VAD/UAD 中断的 ADC 上电和用户启动的 ADC 断电<br>3d = 保留 |

表 7-116. LPAD\_CFG1 寄存器字段说明 (续)

| 位   | 字段                | 类型  | 复位  | 说明  |
|-----|-------------------|-----|-----|---|
| 5-4 | LPAD_CH_SEL[1:0]  | R/W | 10b | VAD 通道选择。<br>0d = 在通道 1 上监视 VAD/UAD 活动<br>1d = 在通道 2 上监视 VAD/UAD 活动<br>2d = 在通道 3 上监视 VAD/UAD 活动<br>3d = 在通道 4 上监视 VAD/UAD 活动 |
| 3   | LPAD_DOUT_INT_CFG | R/W | 0b  | DOUT 中断配置。<br>0d = 未使 DOUT 引脚支持中断功能<br>1d = 使 DOUT 引脚在未记录通道数据期间支持中断输出   |
| 2   | RESERVED          | R   | 0b  | 保留位；仅写入复位值  |
| 1   | LPAD_PD_DET_EN    | R/W | 0b  | 在 VAD/UAD 活动期间启用 ASI 输出数据。<br>0d = 在 ADC 记录期间不启用 VAD/UAD 处理<br>1d = 在 ADC 记录期间启用 VAD/UAD 处理，并按照配置生成 VAD 中断                    |
| 0   | RESERVED          | R   | 0b  | 保留位；仅写入复位值  |

### 7.1.2.13 LPSG\_CFG1 寄存器 (地址 = 0x1F) [复位 = 0x80]

表 7-117 展示了 LPSG\_CFG1。

返回到[汇总表](#)。

该寄存器是用于生成超声波信号的配置寄存器 1。

表 7-117. LPSG\_CFG1 寄存器字段说明

| 位   | 字段               | 类型  | 复位  | 说明  |
|-----|------------------|-----|-----|---|
| 7-6 | LPSG_CH_SEL[1:0] | R/W | 10b | LPSG 通道选择 - UAG<br>0d = 在通道 1 上生成 UAG 活动<br>1d = 在通道 2 上生成 UAG 活动<br>2d = 在通道 3 上生成 UAG 活动<br>3d = 在通道 4 上生成 UAG 活动 |
| 5   | RESERVED         | R   | 0b  | 保留位；仅写入复位值  |
| 4-0 | RESERVED         | R   | 0b  | 保留位；仅写入复位值  |

### 7.1.2.14 LPAD\_LPSG\_CFG1 寄存器 (地址 = 0x20) [复位 = 0x00]

表 7-118 展示了 LPAD\_LPSG\_CFG1。

返回到[汇总表](#)。

该寄存器是 VAD/UAD/UAG 的配置寄存器 1。

表 7-118. LPAD\_LPSG\_CFG1 寄存器字段说明

| 位   | 字段                             | 类型  | 复位  | 说明   |
|-----|--------------------------------|-----|-----|--|
| 7-6 | LPAD_LPSG_CLK_CFG1<br>:0]      | R/W | 00b | VAD/UAD/UAG 的时钟选择<br>0d = 使用内部振荡器时钟的 VAD/UAD/UAG 处理<br>1d = 使用 BCLK 输入上的外部时钟的 VAD/UAD/UAG 处理<br>2d = 使用 CCLK 输入上的外部时钟的 VAD/UAD/UAG 处理<br>3d = 基于页面 0 中的 CNT_CFG、CLK_SRC 和 CLKGEN_CFG 寄存器的自定义时钟配置 |
| 5-4 | LPAD_LPSG_EXT_CLK_<br>CFG[1:0] | R/W | 00b | 使用外部时钟的 VAD/UAD/UAG 时钟配置<br>0d = 外部时钟为 24.576MHz<br>1d = 保留<br>2d = 外部时钟为 12.288MHz<br>3d = 外部时钟为 18.432MHz  |

表 7-118. LPAD\_LPSG\_CFG1 寄存器字段说明 (续)

| 位   | 字段          | 类型  | 复位 | 说明   |
|-----|-------------|-----|----|--|
| 3   | RESERVED    | R   | 0b | 保留位；仅写入复位值   |
| 2   | LPAD_PH1_EN | R/W | 0b | 通过插孔检测比较器启用 LPAD 第 1 阶段检测。<br>0d = 禁用 LPAD 相位 1<br>1d = 启用 LPAD 相位 1 |
| 1-0 | RESERVED    | R   | 0b | 保留位；仅写入复位值   |

#### 7.1.2.15 LIMITER\_CFG 寄存器 (地址 = 0x23) [复位 = 0x00]

表 7-119 中显示了 LIMITER\_CFG。

返回到[汇总表](#)。

该寄存器是限制器的配置寄存器。

表 7-119. LIMITER\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明  |
|-----|----------------------|-----|-----|---|
| 7-6 | LIMITER_INP_SEL[1:0] | R/W | 00b | 限制器输入选择配置<br>0d = max(dacin_ch0, dacin_ch1)<br>1d = dacin_ch1<br>2d = dacin_ch0<br>3d = avg(dacin_ch0, dacin_ch1) |
| 5-4 | LIMITER_OUT_SEL[1:0] | R/W | 00b | 限制器输出选择配置<br>0d = 同时应用<br>1d = dacin_ch1<br>2d = dacin_ch0<br>3d = 均不应用   |
| 3-0 | RESERVED             | R   | 0b  | 保留位；仅写入复位值  |

#### 7.1.2.16 AGC\_DRC\_CFG 寄存器 (地址 = 0x24) [复位 = 0x00]

表 7-120 展示了 AGC\_DRC\_CFG。

返回到[汇总表](#)。

该寄存器是 AGC 和 DRC 的配置寄存器。

表 7-120. AGC\_DRC\_CFG 寄存器字段说明

| 位 | 字段         | 类型  | 复位 | 说明                                  |
|---|------------|-----|----|-------------------------------------|
| 7 | AGC_CH1_EN | R/W | 0b | AGC 通道 1 使能配置<br>0d = 禁用<br>1d = 启用 |
| 6 | AGC_CH2_EN | R/W | 0b | AGC 通道 2 使能配置<br>0d = 禁用<br>1d = 启用 |
| 5 | AGC_CH3_EN | R/W | 0b | AGC 通道 3 使能配置<br>0d = 禁用<br>1d = 启用 |
| 4 | AGC_CH4_EN | R/W | 0b | AGC 通道 4 使能配置<br>0d = 禁用<br>1d = 启用 |
| 3 | DRC_CH1_EN | R/W | 0b | DRC 通道 1 使能配置<br>0d = 禁用<br>1d = 启用 |

表 7-120. AGC\_DRC\_CFG 寄存器字段说明 (续)

| 位 | 字段         | 类型  | 复位 | 说明                                  |
|---|------------|-----|----|-------------------------------------|
| 2 | DRC_CH2_EN | R/W | 0b | DRC 通道 2 使能配置<br>0d = 禁用<br>1d = 启用 |
| 1 | DRC_CH3_EN | R/W | 0b | DRC 通道 3 使能配置<br>0d = 禁用<br>1d = 启用 |
| 0 | DRC_CH4_EN | R/W | 0b | DRC 通道 4 使能配置<br>0d = 禁用<br>1d = 启用 |

### 7.1.2.17 PLIM\_CFG0 寄存器 (地址 = 0x2B) [复位 = 0x00]

表 7-121 展示了 PLIM\_CFG0。

返回到[汇总表](#)。

该寄存器是 PLIM 的配置寄存器 0。

表 7-121. PLIM\_CFG0 寄存器字段说明

| 位   | 字段                  | 类型  | 复位   | 说明  |
|-----|---------------------|-----|------|---|
| 7   | EN_PLIM             | R/W | 0b   | PLIM 使能<br>0d = 禁用<br>1d = 启用   |
| 6-4 | PLIM_ATTEN_VAL[2:0] | R/W | 000b | PLIM 衰减系数<br>0d = 0dB<br>1d = -6dB<br>2d = -12dB<br>3d = -18dB<br>4d = -24dB<br>5d = -30dB<br>6d = -36dB<br>7d = -42dB                              |
| 3   | PLIM_BY_SAR_GPA     | R/W | 0b   | PLIM 衰减值源<br>0d = 基于 GPIO 和 reg_plimi_attn_val 的 Plimit 衰减<br>1d = 基于 GPA 模拟电压的 Plimit 衰减。LUT 会将 SAR ADC 数据映射到衰减系数                                  |
| 2   | PLIM_RECOVERY       | R/W | 0b   | PLIM 衰减恢复<br>0d = Plimit func 未恢复。它保持在相同的衰减水平，或者可以根据需要应用更多衰减<br>1d = Plimit func 恢复 (减少衰减)，如果 “gpio_val=0” 或 “sar_adc_gpa” 数据表明电池电压已恢复，则我们可以减少应用的衰减 |
| 1-0 | RESERVED            | R   | 0b   | 保留位；仅写入复位值  |

### 7.1.2.18 MIXER\_CFG0 寄存器 (地址 = 0x2C) [复位 = 0x00]

表 7-122 展示了 MIXER\_CFG0。

返回到[汇总表](#)。

该寄存器是 MIXER 配置寄存器 0。



**表 7-122. MIXER\_CFG0 寄存器字段说明**

| 位   | 字段                   | 类型  | 复位 | 说明                                   |
|-----|----------------------|-----|----|--------------------------------------|
| 7   | EN_DAC_ASI_MIXER     | R/W | 0b | 启用 DAC ASI 混频器<br>0b = 禁用<br>1b = 启用 |
| 6   | EN_SIDE_CHAIN_MIXER  | R/W | 0b | 启用侧链混频器<br>0b = 禁用<br>1b = 启用        |
| 5   | EN_ADC_CHANNEL_MIXER | R/W | 0b | 启用 ADC 通道混频器<br>0b = 禁用<br>1b = 启用   |
| 4   | EN_LOOPBACK_MIXER    | R/W | 0b | 启用环回混频器<br>0b = 禁用<br>1b = 启用        |
| 3-0 | RESERVED             | R   | 0b | 保留位；仅写入复位值                           |

### 7.1.2.19 MISC\_CFG0 寄存器 (地址 = 0x2D) [复位 = 0x00]

表 7-123 展示了 MISC\_CFG0。

返回到[汇总表](#)。

该寄存器是杂项配置寄存器 0。

**表 7-123. MISC\_CFG0 寄存器字段说明**

| 位 | 字段                            | 类型  | 复位 | 说明   |
|---|-------------------------------|-----|----|--|
| 7 | EN_DISTORTION                 | R/W | 0b | 失真限制器使能配置<br>0b = 失真限制器禁用<br>1b = 失真限制器启用                        |
| 6 | EN_BOP                        | R/W | 0b | BOP 使能配置<br>0b = BOP 禁用<br>1b = BOP 启用                           |
| 5 | EN_THERMAL_FOLDBACK           | R/W | 0b | 热折返使能配置<br>0b = 热折返禁用<br>1b = 热折返启用                              |
| 4 | RESERVED                      | R   | 0b | 保留位；仅写入复位值   |
| 3 | DAC_SIGNAL_GENERATOR_1_ENABLE | R/W | 0b | DAC 信号生成器 1 使能配置<br>0b = 禁用信号生成器<br>1b = 启用信号生成器                 |
| 2 | DAC_SIGNAL_GENERATOR_2_ENABLE | R/W | 0b | DAC 信号生成器 2 使能配置<br>0b = 禁用信号生成器<br>1b = 启用信号生成器                 |
| 1 | DSP_AVDD_SEL                  | R/W | 0b | DSP 限制器、BOP、DRC 的 SAR 数据源选择<br>0b = 保留<br>1b = DSP 的 SAR AVDD 数据 |
| 0 | BRWNOUT_EN                    | R/W | 0b | Brownout 使能配置<br>0b = Brownout 禁用<br>1b = Brownout 启用            |

### 7.1.2.20 BRWNOUT 寄存器 (地址 = 0x2E) [复位 = 0xBF]

表 7-124 中显示了 BRWNOUT。

返回到[汇总表](#)。

该寄存器是欠压配置寄存器。

**表 7-124. BRWNOUT 寄存器字段说明**

| 位   | 字段                | 类型  | 复位        | 说明  |
|-----|-------------------|-----|-----------|---|
| 7-0 | BRWNOUT_THRS[7:0] | R/W | 10111111b | 欠压关断阈值<br>默认值 = 7.8V ((IF P1_R45_D1->DSP_AVDD_SEL=1) = 2.7V)<br>$Nd = ((0.9 \cdot (N \cdot 16) / 4095) - 0 \cdot 211764) \times 17$ (V) ((IF P1_R45_D1->DSP_AVDD_SEL=1) = $((0.9 \cdot (N \cdot 16) / 4095) - 0 \cdot 225) \times 6$ (V)) |

### 7.1.2.21 INT\_MASK0 寄存器 (地址 = 0x2F) [复位 = 0xFF]

表 7-125 展示了 INT\_MASK0。

返回到[汇总表](#)。

该寄存器是中断屏蔽寄存器 0。

**表 7-125. INT\_MASK0 寄存器字段说明**

| 位 | 字段        | 类型  | 复位 | 说明                                 |
|---|-----------|-----|----|------------------------------------|
| 7 | INT_MASK0 | R/W | 1b | 时钟错误中断屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽   |
| 6 | INT_MASK0 | R/W | 1b | PLL 锁定中断屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽 |
| 5 | RESERVED  | R   | 0b | 保留位；仅写入复位值                         |
| 4 | RESERVED  | R   | 0b | 保留位；仅写入复位值                         |
| 3 | RESERVED  | R   | 0b | 保留位；仅写入复位值                         |
| 2 | RESERVED  | R   | 0b | 保留位；仅写入复位值                         |
| 1 | RESERVED  | R   | 0b | 保留位；仅写入复位值                         |
| 0 | RESERVED  | R   | 0b | 保留位；仅写入复位值                         |

### 7.1.2.22 INT\_MASK4 寄存器 (地址 = 0x32) [复位 = 0x00]

表 7-126 展示了 INT\_MASK4。

返回到[汇总表](#)。

该寄存器是中断屏蔽寄存器 4。

**表 7-126. INT\_MASK4 寄存器字段说明**

| 位 | 字段        | 类型  | 复位 | 说明                                      |
|---|-----------|-----|----|---|
| 7 | RESERVED  | R   | 0b | 保留位；仅写入复位值                              |
| 6 | RESERVED  | R   | 0b | 保留位；仅写入复位值                              |
| 5 | INT_MASK4 | R/W | 0b | OUT 短路故障中断屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽    |
| 4 | INT_MASK4 | R/W | 0b | DRVR 虚拟接地故障中断屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽 |
| 3 | INT_MASK4 | R/W | 0b | 耳机插入检测中断屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽      |

**表 7-126. INT\_MASK4 寄存器字段说明 (续)**

| 位 | 字段        | 类型  | 复位 | 说明                                       |
|---|-----------|-----|----|--|
| 2 | INT_MASK4 | R/W | 0b | 耳机移除检测中断屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽       |
| 1 | INT_MASK4 | R/W | 0b | 耳机检测挂钩 (按钮) 中断屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽 |
| 0 | RESERVED  | R   | 0b | 保留位; 仅写入复位值                              |

### 7.1.2.23 INT\_MASK5 寄存器 (地址 = 0x33) [复位 = 0x30]

表 7-127 展示了 INT\_MASK5。

返回到[汇总表](#)。

该寄存器是中断屏蔽寄存器 5。

**表 7-127. INT\_MASK5 寄存器字段说明**

| 位 | 字段        | 类型  | 复位 | 说明                                   |
|---|-----------|-----|----|--------------------------------------|
| 7 | INT_MASK5 | R/W | 0b | GPA 上阈值故障屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽  |
| 6 | INT_MASK5 | R/W | 0b | GPA 低阈值故障屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽  |
| 5 | INT_MASK5 | R/W | 1b | VAD 上电检测中断屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽 |
| 4 | INT_MASK5 | R/W | 1b | VAD 断电检测中断屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽 |
| 3 | RESERVED  | R   | 0b | 保留位; 仅写入复位值                          |
| 2 | RESERVED  | R   | 0b | 保留位; 仅写入复位值                          |
| 1 | RESERVED  | R   | 0b | 保留位; 仅写入复位值                          |
| 0 | RESERVED  | R   | 0b | 保留位; 仅写入复位值                          |

### 7.1.2.24 INT\_LTCH0 寄存器 (地址 = 0x34) [复位 = 0x00]

表 7-128 展示了 INT\_LTCH0。

返回到[汇总表](#)。

该寄存器是锁存中断读回寄存器 0。

**表 7-128. INT\_LTCH0 寄存器字段说明**

| 位 | 字段        | 类型 | 复位 | 说明   |
|---|-----------|----|----|--|
| 7 | INT_LTCH0 | R  | 0b | 时钟错误导致的中断 (自行清零位)。<br>0b = 无中断<br>1b = 中断  |
| 6 | INT_LTCH0 | R  | 0b | PLL 锁定导致的中断 (自行清零位)<br>0b = 无中断<br>1b = 中断 |
| 5 | RESERVED  | R  | 0b | 保留位; 仅写入复位值                                |

表 7-128. INT\_LTCH0 寄存器字段说明 (续)

| 位 | 字段       | 类型 | 复位 | 说明         |
|---|----------|----|----|------------|
| 4 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 3 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 2 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 1 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 0 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

### 7.1.2.25 CHx\_LTCH 寄存器 (地址 = 0x35) [复位 = 0x00]

表 7-129 展示了 CHx\_LTCH。

返回到[汇总表](#)。

该寄存器是通道级诊断锁存状态寄存器。

表 7-129. CHx\_LTCH 寄存器字段说明

| 位 | 字段           | 类型 | 复位 | 说明  |
|---|--------------|----|----|---|
| 7 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 6 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 5 | STS_CHx_LTCH | R  | 0b | 输出 CH1_LTCH (INP1/INM1) 的状态。<br>0b = 输出通道 1 中未发生故障<br>1b = 输出通道 1 中发生故障 |
| 4 | STS_CHx_LTCH | R  | 0b | 输出 CH2_LTCH (INP2/INM2) 的状态。<br>0b = 输出通道 2 中未发生故障<br>1b = 输出通道 2 中发生故障 |
| 3 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 2 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 1 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 0 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |

### 7.1.2.26 OUT\_CH1\_LTCH 寄存器 (地址 = 0x38) [复位 = 0x00]

表 7-130 展示了 OUT\_CH1\_LTCH。

返回到[汇总表](#)。

该寄存器是用于通道 1 输出直流故障诊断的锁存状态寄存器。

表 7-130. OUT\_CH1\_LTCH 寄存器字段说明

| 位 | 字段           | 类型 | 复位 | 说明  |
|---|--------------|----|----|---|
| 7 | OUT_CH1_LTCH | R  | 0b | OUT1P 短路故障 (自行清零位)。<br>0b = 无短路故障<br>1b = 短路故障            |
| 6 | OUT_CH1_LTCH | R  | 0b | OUT1M 短路故障 (自行清零位)。<br>0b = 无短路故障<br>1b = 短路故障            |
| 5 | OUT_CH1_LTCH | R  | 0b | 通道 1 DRVVP 虚拟接地故障 (自行清零位)。<br>0b = 无虚拟接地故障<br>1b = 虚拟接地故障 |
| 4 | OUT_CH1_LTCH | R  | 0b | 通道 1 DRVVM 虚拟接地故障 (自行清零位)。<br>0b = 无虚拟接地故障<br>1b = 虚拟接地故障 |

表 7-130. OUT\_CH1\_LTCH 寄存器字段说明 (续)

| 位   | 字段       | 类型 | 复位 | 说明         |
|-----|----------|----|----|------------|
| 3   | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 2   | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 1-0 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

### 7.1.2.27 OUT\_CH2\_LTCH 寄存器 (地址 = 0x39) [复位 = 0x00]

表 7-131 展示了 OUT\_CH2\_LTCH。

返回到[汇总表](#)。

该寄存器是用于通道 2 输出直流故障诊断的锁存状态寄存器。

表 7-131. OUT\_CH2\_LTCH 寄存器字段说明

| 位   | 字段                | 类型  | 复位 | 说明  |
|-----|-------------------|-----|----|---|
| 7   | OUT_CH2_LTCH      | R   | 0b | OUT2P 短路故障 (自行清零位)。<br>0b = 无短路故障<br>1b = 短路故障            |
| 6   | OUT_CH2_LTCH      | R   | 0b | OUT2M 短路故障 (自行清零位)。<br>0b = 无短路故障<br>1b = 短路故障            |
| 5   | OUT_CH2_LTCH      | R   | 0b | 通道 2 DRVRP 虚拟接地故障 (自行清零位)。<br>0b = 无虚拟接地故障<br>1b = 虚拟接地故障 |
| 4   | OUT_CH2_LTCH      | R   | 0b | 通道 2 DRVRM 虚拟接地故障 (自行清零位)。<br>0b = 无虚拟接地故障<br>1b = 虚拟接地故障 |
| 3-2 | RESERVED          | R   | 0b | 保留位；仅写入复位值  |
| 1   | MASK_AREG_SC_FLAG | R/W | 0b | AREG SC 故障屏蔽。<br>0b = 不屏蔽<br>1b = 屏蔽                      |
| 0   | AREG_SC_FLAG_LTCH | R   | 0b | AREG SC 故障 (自行清零位)。<br>0b = 无 AREG 短路故障<br>1b = AREG 短路故障 |

### 7.1.2.28 INT\_LTCH1 寄存器 (地址 = 0x3A) [复位 = 0x00]

表 7-132 展示了 INT\_LTCH1。

返回到[汇总表](#)。

这是用于锁存中断读回的寄存器 1。

表 7-132. INT\_LTCH1 寄存器字段说明

| 位 | 字段        | 类型 | 复位 | 说明  |
|---|-----------|----|----|---|
| 7 | RESERVED  | R  | 0b | 保留位；仅写入复位值                                  |
| 6 | RESERVED  | R  | 0b | 保留位；仅写入复位值                                  |
| 5 | RESERVED  | R  | 0b | 保留位；仅写入复位值                                  |
| 4 | RESERVED  | R  | 0b | 保留位；仅写入复位值                                  |
| 3 | INT_LTCH1 | R  | 0b | 由于耳机插入检测而中断 (自行清零位)。<br>0b = 无中断<br>1b = 中断 |

表 7-132. INT\_LTCH1 寄存器字段说明 (续)

| 位 | 字段        | 类型 | 复位 | 说明  |
|---|-----------|----|----|---|
| 2 | INT_LTCH1 | R  | 0b | 由于耳机移除检测而中断 (自行清零位)。<br>0b = 无中断<br>1b = 中断     |
| 1 | INT_LTCH1 | R  | 0b | 由于耳机挂钩 (按钮) 而中断 (自行清零位)。<br>0b = 无中断<br>1b = 中断 |
| 0 | RESERVED  | R  | 0b | 保留位; 仅写入复位值                                     |

### 7.1.2.29 INT\_LTCH2 寄存器 (地址 = 0x3B) [复位 = 0x00]

表 7-133 展示了 INT\_LTCH2。

返回到[汇总表](#)。

这是用于锁存中断读回的寄存器 2。

表 7-133. INT\_LTCH2 寄存器字段说明

| 位 | 字段        | 类型 | 复位 | 说明   |
|---|-----------|----|----|--|
| 7 | INT_LTCH2 | R  | 0b | GPA 上阈值故障导致的中断 (自行清零位)。<br>0b = 无中断<br>1b = 中断 |
| 6 | INT_LTCH2 | R  | 0b | GPA 低阈值故障导致的中断 (自行清零位)。<br>0b = 无中断<br>1b = 中断 |
| 5 | INT_LTCH2 | R  | 0b | VAD 上电检测导致的中断 (自行清零位)。<br>0b = 无中断<br>1b = 中断  |
| 4 | INT_LTCH2 | R  | 0b | VAD 断电检测导致的中断 (自行清零位)。<br>0b = 无中断<br>1b = 中断  |
| 3 | RESERVED  | R  | 0b | 保留位; 仅写入复位值                                    |
| 2 | RESERVED  | R  | 0b | 保留位; 仅写入复位值                                    |
| 1 | RESERVED  | R  | 0b | 保留位; 仅写入复位值                                    |
| 0 | RESERVED  | R  | 0b | 保留位; 仅写入复位值                                    |

### 7.1.2.30 INT\_LIVE0 寄存器 (地址 = 0x3C) [复位 = 0x00]

表 7-134 展示了 INT\_LIVE0。

返回到[汇总表](#)。

这是用于实时中断读回的寄存器 0。

表 7-134. INT\_LIVE0 寄存器字段说明

| 位 | 字段        | 类型 | 复位 | 说明                                 |
|---|-----------|----|----|------------------------------------|
| 7 | INT_LIVE0 | R  | 0b | 时钟错误导致的中断。<br>0b = 无中断<br>1b = 中断  |
| 6 | INT_LIVE0 | R  | 0b | PLL 锁定导致的中断<br>0b = 无中断<br>1b = 中断 |
| 5 | RESERVED  | R  | 0b | 保留位; 仅写入复位值                        |

表 7-134. INT\_LIVE0 寄存器字段说明 (续)

| 位 | 字段       | 类型 | 复位 | 说明         |
|---|----------|----|----|------------|
| 4 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 3 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 2 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 1 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 0 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

### 7.1.2.31 CHx\_LIVE 寄存器 (地址 = 0x3D) [复位 = 0x00]

表 7-135 展示了 CHx\_LIVE。

返回到[汇总表](#)。

该寄存器是通道级诊断实时状态寄存器。

表 7-135. CHx\_LIVE 寄存器字段说明

| 位 | 字段           | 类型 | 复位 | 说明  |
|---|--------------|----|----|---|
| 7 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 6 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 5 | STS_CHx_LIVE | R  | 0b | 输出 CH1_LIVE (INP1/INM1) 的状态。<br>0b = 输出通道 1 中未发生故障<br>1b = 输出通道 1 中发生故障 |
| 4 | STS_CHx_LIVE | R  | 0b | 输出 CH2_LIVE (INP2/INM2) 的状态。<br>0b = 输出通道 2 中未发生故障<br>1b = 输出通道 2 中发生故障 |
| 3 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 2 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 1 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |
| 0 | RESERVED     | R  | 0b | 保留位；仅写入复位值  |

### 7.1.2.32 OUT\_CH1\_LIVE 寄存器 (地址 = 0x40) [复位 = 0x00]

表 7-136 展示了 OUT\_CH1\_LIVE。

返回到[汇总表](#)。

该寄存器是用于通道 1 输出直流故障诊断的实时状态寄存器

表 7-136. OUT\_CH1\_LIVE 寄存器字段说明

| 位 | 字段           | 类型 | 复位 | 说明  |
|---|--------------|----|----|---|
| 7 | OUT_CH1_LIVE | R  | 0b | OUT1P 短路故障。<br>0b = 无短路故障<br>1b = 短路故障            |
| 6 | OUT_CH1_LIVE | R  | 0b | OUT1M 短路故障。<br>0b = 无短路故障<br>1b = 短路故障            |
| 5 | OUT_CH1_LIVE | R  | 0b | 通道 1 DRVVP 虚拟接地故障。<br>0b = 无虚拟接地故障<br>1b = 虚拟接地故障 |
| 4 | OUT_CH1_LIVE | R  | 0b | 通道 1 DRVVM 虚拟接地故障。<br>0b = 无虚拟接地故障<br>1b = 虚拟接地故障 |

表 7-136. OUT\_CH1\_LIVE 寄存器字段说明 (续)

| 位   | 字段       | 类型 | 复位 | 说明         |
|-----|----------|----|----|------------|
| 3-0 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

### 7.1.2.33 OUT\_CH2\_LIVE 寄存器 (地址 = 0x41) [复位 = 0x00]

表 7-137 展示了 OUT\_CH2\_LIVE。

返回到[汇总表](#)。

该寄存器是用于通道 2 输出直流故障诊断的实时状态寄存器

表 7-137. OUT\_CH2\_LIVE 寄存器字段说明

| 位   | 字段                | 类型 | 复位 | 说明  |
|-----|-------------------|----|----|---|
| 7   | OUT_CH2_LIVE      | R  | 0b | OUT2P 短路故障。<br>0b = 无短路故障<br>1b = 短路故障            |
| 6   | OUT_CH2_LIVE      | R  | 0b | OUT2M 短路故障。<br>0b = 无短路故障<br>1b = 短路故障            |
| 5   | OUT_CH2_LIVE      | R  | 0b | 通道 2 DRVVP 虚拟接地故障。<br>0b = 无虚拟接地故障<br>1b = 虚拟接地故障 |
| 4   | OUT_CH2_LIVE      | R  | 0b | 通道 2 DRVVM 虚拟接地故障。<br>0b = 无虚拟接地故障<br>1b = 虚拟接地故障 |
| 3-1 | RESERVED          | R  | 0b | 保留位；仅写入复位值  |
| 0   | AREG_SC_FLAG_LIVE | R  | 0b | AREG SC 故障。<br>0b = 无 AREG 短路故障<br>1b = AREG 短路故障 |

### 7.1.2.34 INT\_LIVE1 寄存器 (地址 = 0x42) [复位 = 0x00]

表 7-138 展示了 INT\_LIVE1。

返回到[汇总表](#)。

这是用于实时中断读回的寄存器 1。

表 7-138. INT\_LIVE1 寄存器字段说明

| 位 | 字段        | 类型 | 复位 | 说明                                      |
|---|-----------|----|----|---|
| 7 | RESERVED  | R  | 0b | 保留位；仅写入复位值                              |
| 6 | RESERVED  | R  | 0b | 保留位；仅写入复位值                              |
| 5 | RESERVED  | R  | 0b | 保留位；仅写入复位值                              |
| 4 | RESERVED  | R  | 0b | 保留位；仅写入复位值                              |
| 3 | INT_LIVE1 | R  | 0b | 由于耳机插入检测而中断。<br>0b = 无中断<br>1b = 中断     |
| 2 | INT_LIVE1 | R  | 0b | 由于耳机移除检测而中断。<br>0b = 无中断<br>1b = 中断     |
| 1 | INT_LIVE1 | R  | 0b | 由于耳机挂钩 (按钮) 而中断。<br>0b = 无中断<br>1b = 中断 |



表 7-138. INT\_LIVE1 寄存器字段说明 (续)

| 位 | 字段       | 类型 | 复位 | 说明         |
|---|----------|----|----|------------|
| 0 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

### 7.1.2.35 INT\_LIVE2 寄存器 (地址 = 0x43) [复位 = 0x00]

表 7-139 展示了 INT\_LIVE2。

返回到[汇总表](#)。

这是用于实时中断读回的寄存器 2。

表 7-139. INT\_LIVE2 寄存器字段说明

| 位 | 字段        | 类型 | 复位 | 说明                                     |
|---|-----------|----|----|--|
| 7 | INT_LIVE2 | R  | 0b | GPA 上阈值故障导致的中断。<br>0b = 无中断<br>1b = 中断 |
| 6 | INT_LIVE2 | R  | 0b | GPA 低阈值故障导致的中断<br>0b = 无中断<br>1b = 中断  |
| 5 | INT_LIVE2 | R  | 0b | VAD 上电检测导致的中断。<br>0b = 无中断<br>1b = 中断  |
| 4 | INT_LIVE2 | R  | 0b | VAD 断电检测导致的中断。<br>0b = 无中断<br>1b = 中断  |
| 3 | RESERVED  | R  | 0b | 保留位；仅写入复位值                             |
| 2 | RESERVED  | R  | 0b | 保留位；仅写入复位值                             |
| 1 | RESERVED  | R  | 0b | 保留位；仅写入复位值                             |
| 0 | RESERVED  | R  | 0b | 保留位；仅写入复位值                             |

### 7.1.2.36 DIAG\_CFG8 寄存器 (地址 = 0x4E) [复位 = 0xBA]

表 7-140 展示了 DIAG\_CFG8。

返回到[汇总表](#)。

这是输入诊断配置寄存器 8。

表 7-140. DIAG\_CFG8 寄存器字段说明

| 位   | 字段                             | 类型  | 复位        | 说明   |
|-----|--------------------------------|-----|-----------|--|
| 7-0 | GPA_UP_THRS_FLT_TH<br>RES[7:0] | R/W | 10111010b | 通用模拟高阈值<br>默认值 = ~ 2.6V<br>$nd = ((0.9 \cdot (N \cdot 16) / 4095) - 0.225) \times 6 \text{ (V)}$ |

### 7.1.2.37 DIAG\_CFG9 寄存器 (地址 = 0x4F) [复位 = 0x4B]

表 7-141 展示了 DIAG\_CFG9。

返回到[汇总表](#)。

这是输入诊断配置寄存器 9。

表 7-141. DIAG\_CFG9 寄存器字段说明

| 位   | 字段                              | 类型  | 复位        | 说明  |
|-----|---------------------------------|-----|-----------|---|
| 7-0 | GPA_LOW_THRS_FLT_T<br>HRES[7:0] | R/W | 01001011b | 通用模拟低阈值<br>默认值 = ~ 0.2V<br>$nd = ((0.9'(N*16)/4095)-0'225)x6 (V)$ |

### 7.1.2.38 DIAG\_CFG13 寄存器 (地址 = 0x53) [复位 = 0x00]

表 7-142 展示了 DIAG\_CFG13。

返回到[汇总表](#)。

这是输入诊断配置寄存器 13。

表 7-142. DIAG\_CFG13 寄存器字段说明

| 位 | 字段           | 类型  | 复位 | 说明                                     |
|---|--------------|-----|----|--|
| 7 | RESERVED     | R   | 0b | 保留位；仅写入复位值                             |
| 6 | RESERVED     | R   | 0b | 保留位；仅写入复位值                             |
| 5 | RESERVED     | R   | 0b | 保留位；仅写入复位值                             |
| 4 | RESERVED     | R   | 0b | 保留位；仅写入复位值                             |
| 3 | RESERVED     | R   | 0b | 保留位；仅写入复位值                             |
| 2 | DIAG_EN_AVDD | R/W | 0b | AVDD 通道的诊断启用<br>0b = 禁用诊断<br>1b = 启用诊断 |
| 1 | DIAG_EN_GPA  | R/W | 0b | GPA 通道的诊断启用<br>0b = 禁用诊断<br>1b = 启用诊断  |
| 0 | RESERVED     | R   | 0b | 保留位；仅写入复位值                             |

### 7.1.2.39 DIAG\_CFG14 寄存器 (地址 = 0x54) [复位 = 0x48]

表 7-143 展示了 DIAG\_CFG14。

返回到[汇总表](#)。

这是输入诊断配置寄存器 14。

表 7-143. DIAG\_CFG14 寄存器字段说明

| 位   | 字段                 | 类型  | 复位  | 说明   |
|-----|--------------------|-----|-----|--|
| 7   | RESERVED           | R   | 0b  | 保留位；仅写入复位值   |
| 6-5 | AVDD_FILT_SEL[1:0] | R/W | 10b | AVDD 滤波器选择<br>0d = 3.5MHz<br>1d = 200kHz<br>2d = 100kHz<br>3d = 无滤波器 |
| 4   | RESERVED           | R   | 0b  | 保留位；仅写入复位值   |
| 3-2 | RESERVED           | R   | 0b  | 保留位；仅写入复位值   |
| 1   | RESERVED           | R   | 0b  | 保留位；仅写入复位值   |
| 0   | RESERVED           | R   | 0b  | 保留位；仅写入复位值   |

### 7.1.2.40 DIAGDATA\_CFG 寄存器 (地址 = 0x55) [复位 = 0x00]

表 7-144 中显示了 DIAGDATA\_CFG。

返回到[汇总表](#)。

该寄存器是输入诊断数据配置寄存器。

**表 7-144. DIAGDATA\_CFG 寄存器字段说明**

| 位   | 字段             | 类型  | 复位 | 说明  |
|-----|----------------|-----|----|---|
| 7-4 | RESERVED       | R   | 0b | 保留位；仅写入复位值  |
| 3   | RESERVED       | R   | 0b | 保留位；仅写入复位值  |
| 2   | RESERVED       | R   | 0b | 保留位；仅写入复位值  |
| 1   | OVRD_TEMP_DATA | R/W | 0b | 覆盖 TEMP 数据<br>0b = 禁用覆盖<br>1b = 启用覆盖                                    |
| 0   | HOLD_SAR_DATA  | R/W | 0b | 在寄存器读回期间保持 SAR 数据更新<br>0b = 不保持数据更新，数据寄存器持续更新<br>1b = 保持数据更新，可完成数据寄存器读回 |

### 7.1.2.41 DIAG\_MON\_MSB\_MBIAS 寄存器 (地址 = 0x58) [复位 = 0x00]

表 7-145 展示了 DIAG\_MON\_MSB\_MBIAS。

返回到[汇总表](#)。

该寄存器是诊断 SAR MICBIAS 监控数据 MSB 字节寄存器。

**表 7-145. DIAG\_MON\_MSB\_MBIAS 寄存器字段说明**

| 位   | 字段                      | 类型 | 复位        | 说明                 |
|-----|-------------------------|----|-----------|--------------------|
| 7-0 | DIAG_MON_MSB_MBIAS[7:0] | R  | 00000000b | 诊断 SAR 监控数据 MSB 字节 |

### 7.1.2.42 DIAG\_MON\_LSB\_MBIAS 寄存器 (地址 = 0x59) [复位 = 0x01]

表 7-146 展示了 DIAG\_MON\_LSB\_MBIAS。

返回到[汇总表](#)。

该寄存器是诊断 SAR MICBIAS 监控数据 LSB 半字节寄存器。

**表 7-146. DIAG\_MON\_LSB\_MBIAS 寄存器字段说明**

| 位   | 字段                      | 类型 | 复位    | 说明                  |
|-----|-------------------------|----|-------|---------------------|
| 7-4 | DIAG_MON_LSB_MBIAS[3:0] | R  | 0000b | 诊断 SAR 监控数据 LSB 半字节 |
| 3-0 | Channel[3:0]            | R  | 0001b | 通道 ID               |

### 7.1.2.43 DIAG\_MON\_MSB\_OUT1P 寄存器 (地址 = 0x62) [复位 = 0x00]

表 7-147 展示了 DIAG\_MON\_MSB\_OUT1P。

返回到[汇总表](#)。

该寄存器是诊断 SAR OUT1P 监控数据 MSB 字节寄存器。

表 7-147. DIAG\_MON\_MSB\_OUT1P 寄存器字段说明

| 位   | 字段                         | 类型 | 复位        | 说明                 |
|-----|----------------------------|----|-----------|--------------------|
| 7-0 | DIAG_MON_MSB_OUT_CH1P[7:0] | R  | 00000000b | 诊断 SAR 监控数据 MSB 字节 |

#### 7.1.2.44 DIAG\_MON\_LSB\_OUT1P 寄存器 (地址 = 0x63) [复位 = 0x06]

表 7-148 展示了 DIAG\_MON\_LSB\_OUT1P。

返回到[汇总表](#)。

该寄存器是诊断 SAR OUT1P 监控数据 LSB 半字节寄存器。

表 7-148. DIAG\_MON\_LSB\_OUT1P 寄存器字段说明

| 位   | 字段                          | 类型 | 复位    | 说明                  |
|-----|-----------------------------|----|-------|---------------------|
| 7-4 | DIAG_MON_LSB_OUT_C_H1P[3:0] | R  | 0000b | 诊断 SAR 监控数据 LSB 半字节 |
| 3-0 | Channel[3:0]                | R  | 0110b | 通道 ID               |

#### 7.1.2.45 DIAG\_MON\_MSB\_OUT1M 寄存器 (地址 = 0x64) [复位 = 0x00]

表 7-149 展示了 DIAG\_MON\_MSB\_OUT1M。

返回到[汇总表](#)。

该寄存器是诊断 SAR OUT1M 监控数据 MSB 字节寄存器。

表 7-149. DIAG\_MON\_MSB\_OUT1M 寄存器字段说明

| 位   | 字段                         | 类型 | 复位        | 说明                 |
|-----|----------------------------|----|-----------|--------------------|
| 7-0 | DIAG_MON_MSB_OUT_CH1N[7:0] | R  | 00000000b | 诊断 SAR 监控数据 MSB 字节 |

#### 7.1.2.46 DIAG\_MON\_LSB\_OUT1M 寄存器 (地址 = 0x65) [复位 = 0x07]

表 7-150 展示了 DIAG\_MON\_LSB\_OUT1M。

返回到[汇总表](#)。

该寄存器是诊断 SAR OUT1M 监控数据 LSB 半字节寄存器。

表 7-150. DIAG\_MON\_LSB\_OUT1M 寄存器字段说明

| 位   | 字段                          | 类型 | 复位    | 说明                  |
|-----|-----------------------------|----|-------|---------------------|
| 7-4 | DIAG_MON_LSB_OUT_C_H1N[3:0] | R  | 0000b | 诊断 SAR 监控数据 LSB 半字节 |
| 3-0 | Channel[3:0]                | R  | 0111b | 通道 ID               |

#### 7.1.2.47 DIAG\_MON\_MSB\_OUT2P 寄存器 (地址 = 0x66) [复位 = 0x00]

表 7-151 展示了 DIAG\_MON\_MSB\_OUT2P。

返回到[汇总表](#)。

该寄存器是诊断 SAR OUT2P 监控数据 MSB 字节寄存器。

**表 7-151. DIAG\_MON\_MSB\_OUT2P 寄存器字段说明**

| 位   | 字段                         | 类型 | 复位        | 说明                 |
|-----|----------------------------|----|-----------|--------------------|
| 7-0 | DIAG_MON_MSB_OUT_CH2P[7:0] | R  | 00000000b | 诊断 SAR 监控数据 MSB 字节 |

#### 7.1.2.48 DIAG\_MON\_LSB\_OUT2P 寄存器 (地址 = 0x67) [复位 = 0x08]

表 7-152 展示了 DIAG\_MON\_LSB\_OUT2P。

返回到[汇总表](#)。

该寄存器是诊断 SAR OUT2P 监控数据 LSB 半字节寄存器。

**表 7-152. DIAG\_MON\_LSB\_OUT2P 寄存器字段说明**

| 位   | 字段                          | 类型 | 复位    | 说明                  |
|-----|-----------------------------|----|-------|---------------------|
| 7-4 | DIAG_MON_LSB_OUT_C H2P[3:0] | R  | 0000b | 诊断 SAR 监控数据 LSB 半字节 |
| 3-0 | Channel[3:0]                | R  | 1000b | 通道 ID               |

#### 7.1.2.49 DIAG\_MON\_MSB\_OUT2M 寄存器 (地址 = 0x68) [复位 = 0x00]

表 7-153 展示了 DIAG\_MON\_MSB\_OUT2M。

返回到[汇总表](#)。

该寄存器是诊断 SAR OUT2M 监控数据 MSB 字节寄存器。

**表 7-153. DIAG\_MON\_MSB\_OUT2M 寄存器字段说明**

| 位   | 字段                         | 类型 | 复位        | 说明                 |
|-----|----------------------------|----|-----------|--------------------|
| 7-0 | DIAG_MON_MSB_OUT_CH2N[7:0] | R  | 00000000b | 诊断 SAR 监控数据 MSB 字节 |

#### 7.1.2.50 DIAG\_MON\_LSB\_OUT2M 寄存器 (地址 = 0x69) [复位 = 0x09]

表 7-154 展示了 DIAG\_MON\_LSB\_OUT2M。

返回到[汇总表](#)。

该寄存器是诊断 SAR OUT2M 监控数据 LSB 半字节寄存器。

**表 7-154. DIAG\_MON\_LSB\_OUT2M 寄存器字段说明**

| 位   | 字段                          | 类型 | 复位    | 说明                  |
|-----|-----------------------------|----|-------|---------------------|
| 7-4 | DIAG_MON_LSB_OUT_C H2N[3:0] | R  | 0000b | 诊断 SAR 监控数据 LSB 半字节 |
| 3-0 | Channel[3:0]                | R  | 1001b | 通道 ID               |

#### 7.1.2.51 DIAG\_MON\_MSB\_TEMP 寄存器 (地址 = 0x6A) [复位 = 0x00]

表 7-155 展示了 DIAG\_MON\_MSB\_TEMP。

返回到[汇总表](#)。

该寄存器是诊断 SAR 温度监控数据 MSB 字节寄存器。

表 7-155. DIAG\_MON\_MSB\_TEMP 寄存器字段说明

| 位   | 字段                     | 类型 | 复位        | 说明                 |
|-----|------------------------|----|-----------|--------------------|
| 7-0 | DIAG_MON_MSB_TEMP[7:0] | R  | 00000000b | 诊断 SAR 监控数据 MSB 字节 |

#### 7.1.2.52 DIAG\_MON\_LSB\_TEMP 寄存器 (地址 = 0x6B) [复位 = 0x0A]

表 7-156 展示了 DIAG\_MON\_LSB\_TEMP。

返回到[汇总表](#)。

该寄存器是诊断 SAR 温度监控数据 LSB 半字节寄存器。

表 7-156. DIAG\_MON\_LSB\_TEMP 寄存器字段说明

| 位   | 字段                     | 类型 | 复位    | 说明                  |
|-----|------------------------|----|-------|---------------------|
| 7-4 | DIAG_MON_LSB_TEMP[3:0] | R  | 0000b | 诊断 SAR 监控数据 LSB 半字节 |
| 3-0 | Channel[3:0]           | R  | 1010b | 通道 ID               |

#### 7.1.2.53 DIAG\_MON\_MSB\_AVDD 寄存器 (地址 = 0x6E) [复位 = 0x00]

表 7-157 展示了 DIAG\_MON\_MSB\_AVDD。

返回到[汇总表](#)。

该寄存器是诊断 SAR AVDD 监控数据 MSB 字节寄存器。

表 7-157. DIAG\_MON\_MSB\_AVDD 寄存器字段说明

| 位   | 字段                     | 类型 | 复位        | 说明                 |
|-----|------------------------|----|-----------|--------------------|
| 7-0 | DIAG_MON_MSB_AVDD[7:0] | R  | 00000000b | 诊断 SAR 监控数据 MSB 字节 |

#### 7.1.2.54 DIAG\_MON\_LSB\_AVDD 寄存器 (地址 = 0x6F) [复位 = 0x0C]

表 7-158 展示了 DIAG\_MON\_LSB\_AVDD。

返回到[汇总表](#)。

该寄存器是诊断 SAR AVDD 监控数据 LSB 半字节寄存器。

表 7-158. DIAG\_MON\_LSB\_AVDD 寄存器字段说明

| 位   | 字段                     | 类型 | 复位    | 说明                  |
|-----|------------------------|----|-------|---------------------|
| 7-4 | DIAG_MON_LSB_AVDD[3:0] | R  | 0000b | 诊断 SAR 监控数据 LSB 半字节 |
| 3-0 | Channel[3:0]           | R  | 1100b | 通道 ID               |

#### 7.1.2.55 DIAG\_MON\_MSB\_GPA 寄存器 (地址 = 0x70) [复位 = 0x00]

表 7-159 展示了 DIAG\_MON\_MSB\_GPA。

返回到[汇总表](#)。

该寄存器是诊断 SAR GPA 监控数据 MSB 字节寄存器。

**表 7-159. DIAG\_MON\_MSB\_GPA 寄存器字段说明**

| 位   | 字段                    | 类型 | 复位        | 说明                 |
|-----|-----------------------|----|-----------|--------------------|
| 7-0 | DIAG_MON_MSB_GPA[7:0] | R  | 00000000b | 诊断 SAR 监控数据 MSB 字节 |

**7.1.2.56 DIAG\_MON\_LSB\_GPA 寄存器 ( 地址 = 0x71 ) [复位 = 0x0D]**

表 7-160 展示了 DIAG\_MON\_LSB\_GPA。

返回到[汇总表](#)。

该寄存器是诊断 SAR GPA 监控数据 LSB 半字节寄存器。

**表 7-160. DIAG\_MON\_LSB\_GPA 寄存器字段说明**

| 位   | 字段                    | 类型 | 复位    | 说明                  |
|-----|-----------------------|----|-------|---------------------|
| 7-4 | DIAG_MON_LSB_GPA[3:0] | R  | 0000b | 诊断 SAR 监控数据 LSB 半字节 |
| 3-0 | Channel[3:0]          | R  | 1101b | 通道 ID               |

### 7.1.3 TAD5112\_B0\_P3 寄存器

表 7-161 列出了 TAD5112\_B0\_P3 寄存器的存储器映射寄存器。表 7-161 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-161. TAD5112\_B0\_P3 寄存器

| 地址   | 首字母缩写词          | 寄存器名称              | 复位值  | 部分         |
|------|-----------------|--------------------|------|------------|
| 0x0  | PAGE_CFG        | 器件页寄存器             | 0x00 | 节 7.1.3.1  |
| 0x1A | SASI_CFG0       | 辅助 ASI 配置寄存器 0     | 0x30 | 节 7.1.3.2  |
| 0x1B | SASI_TX_CFG0    | SASI TX 配置寄存器 0    | 0x00 | 节 7.1.3.3  |
| 0x1C | SASI_TX_CFG1    | SASI TX 配置寄存器 1    | 0x00 | 节 7.1.3.4  |
| 0x1D | SASI_TX_CFG2    | SASI TX 配置寄存器 2    | 0x00 | 节 7.1.3.5  |
| 0x1E | SASI_TX_CH1_CFG | SASI TX 通道 1 配置寄存器 | 0x00 | 节 7.1.3.6  |
| 0x1F | SASI_TX_CH2_CFG | SASI TX 通道 2 配置寄存器 | 0x01 | 节 7.1.3.7  |
| 0x20 | SASI_TX_CH3_CFG | SASI TX 通道 3 配置寄存器 | 0x02 | 节 7.1.3.8  |
| 0x21 | SASI_TX_CH4_CFG | SASI TX 通道 4 配置寄存器 | 0x03 | 节 7.1.3.9  |
| 0x22 | SASI_TX_CH5_CFG | SASI TX 通道 5 配置寄存器 | 0x04 | 节 7.1.3.10 |
| 0x23 | SASI_TX_CH6_CFG | SASI TX 通道 6 配置寄存器 | 0x05 | 节 7.1.3.11 |
| 0x24 | SASI_TX_CH7_CFG | SASI TX 通道 7 配置寄存器 | 0x06 | 节 7.1.3.12 |
| 0x25 | SASI_TX_CH8_CFG | SASI TX 通道 8 配置寄存器 | 0x07 | 节 7.1.3.13 |
| 0x26 | SASI_RX_CFG0    | SASI RX 配置寄存器 0    | 0x00 | 节 7.1.3.14 |
| 0x27 | SASI_RX_CFG1    | SASI RX 配置寄存器 1    | 0x00 | 节 7.1.3.15 |
| 0x28 | SASI_RX_CH1_CFG | SASI RX 通道 1 配置寄存器 | 0x00 | 节 7.1.3.16 |
| 0x29 | SASI_RX_CH2_CFG | SASI RX 通道 2 配置寄存器 | 0x01 | 节 7.1.3.17 |
| 0x2A | SASI_RX_CH3_CFG | SASI RX 通道 3 配置寄存器 | 0x02 | 节 7.1.3.18 |
| 0x2B | SASI_RX_CH4_CFG | SASI RX 通道 4 配置寄存器 | 0x03 | 节 7.1.3.19 |
| 0x2C | SASI_RX_CH5_CFG | SASI RX 通道 5 配置寄存器 | 0x04 | 节 7.1.3.20 |
| 0x2D | SASI_RX_CH6_CFG | SASI RX 通道 6 配置寄存器 | 0x05 | 节 7.1.3.21 |
| 0x2E | SASI_RX_CH7_CFG | SASI RX 通道 7 配置寄存器 | 0x06 | 节 7.1.3.22 |
| 0x2F | SASI_RX_CH8_CFG | SASI RX 通道 8 配置寄存器 | 0x07 | 节 7.1.3.23 |
| 0x32 | CLK_CFG12       | 时钟配置寄存器 12         | 0x00 | 节 7.1.3.24 |
| 0x33 | CLK_CFG13       | 时钟配置寄存器 13         | 0x00 | 节 7.1.3.25 |
| 0x34 | CLK_CFG14       | 时钟配置寄存器 14         | 0x10 | 节 7.1.3.26 |
| 0x35 | CLK_CFG15       | 时钟配置寄存器 15         | 0x01 | 节 7.1.3.27 |
| 0x36 | CLK_CFG16       | 时钟配置寄存器 16         | 0x00 | 节 7.1.3.28 |
| 0x37 | CLK_CFG17       | 时钟配置寄存器 17         | 0x00 | 节 7.1.3.29 |
| 0x38 | CLK_CFG18       | 时钟配置寄存器 18         | 0x08 | 节 7.1.3.30 |
| 0x39 | CLK_CFG19       | 时钟配置寄存器 19         | 0x20 | 节 7.1.3.31 |
| 0x3A | CLK_CFG20       | 时钟配置寄存器 20         | 0x04 | 节 7.1.3.32 |
| 0x3B | CLK_CFG21       | 时钟配置寄存器 21         | 0x00 | 节 7.1.3.33 |
| 0x3C | CLK_CFG22       | 时钟配置寄存器 22         | 0x01 | 节 7.1.3.34 |
| 0x3D | CLK_CFG23       | 时钟配置寄存器 23         | 0x01 | 节 7.1.3.35 |
| 0x3E | CLK_CFG24       | 时钟配置寄存器 24         | 0x01 | 节 7.1.3.36 |
| 0x44 | CLK_CFG30       | 时钟配置寄存器 30         | 0x00 | 节 7.1.3.37 |
| 0x45 | CLK_CFG31       | 时钟配置寄存器 31         | 0x00 | 节 7.1.3.38 |
| 0x46 | CLKOUT_CFG1     | CLKOUT 配置寄存器 1     | 0x00 | 节 7.1.3.39 |



表 7-161. TAD5112\_B0\_P3 寄存器 (续)

| 地址   | 首字母缩写词      | 寄存器名称          | 复位值  | 部分         |
|------|-------------|----------------|------|------------|
| 0x47 | CLKOUT_CFG2 | CLKOUT 配置寄存器 2 | 0x01 | 节 7.1.3.40 |
| 0x49 | SARCLK_CFG1 | SAR 时钟配置寄存器 1  | 0x00 | 节 7.1.3.41 |

### 7.1.3.1 PAGE\_CFG 寄存器 (地址 = 0x0) [复位 = 0x00]

表 7-162 展示了 PAGE\_CFG。

返回到[汇总表](#)。

器件存储器映射分为多个页面。该寄存器设置页。

表 7-162. PAGE\_CFG 寄存器字段说明

| 位   | 字段        | 类型  | 复位        | 说明   |
|-----|-----------|-----|-----------|--|
| 7-0 | PAGE[7:0] | R/W | 00000000b | 这些位设置器件页。<br>0d = 第 0 页<br>1d = 第 1 页<br>2d 至 254d = 第 2 页至第 254 页<br>255d = 第 255 页 |

### 7.1.3.2 SASI\_CFG0 寄存器 (地址 = 0x1A) [复位 = 0x30]

表 7-163 展示了 SASI\_CFG0。

返回到[汇总表](#)。

该寄存器是 ASI 配置寄存器 0。

表 7-163. SASI\_CFG0 寄存器字段说明

| 位   | 字段                | 类型  | 复位  | 说明  |
|-----|-------------------|-----|-----|---|
| 7-6 | SASI_FORMAT[1:0]  | R/W | 00b | 辅助 ASI 协议格式。<br>0d = TDM 模式<br>1d = I <sup>2</sup> S 模式<br>2d = LJ (左平衡) 模式<br>3d = 保留; 不使用   |
| 5-4 | SASI_WLEN[1:0]    | R/W | 11b | 辅助 ASI 字长或时隙长度。<br>0d = 16 位 (建议将此设置与 10kΩ 输入阻抗配置一起使用)<br>1d = 20 位<br>2d = 24 位<br>3d = 32 位 |
| 3   | SASI_FSYNC_POL    | R/W | 0b  | ASI FSYNC 极性 (仅适用于 SASI 协议)。<br>0d = 符合标准协议的默认极性<br>1d = 相对于标准协议的反向极性                         |
| 2   | SASI_BCLK_POL     | R/W | 0b  | ASI BCLK 极性 (仅适用于 SASI 协议)。<br>0d = 符合标准协议的默认极性<br>1d = 相对于标准协议的反向极性                          |
| 1   | SASI_BUS_ERR      | R/W | 0b  | ASI 总线错误检测。<br>0d = 启用总线错误检测<br>1d = 禁用总线错误检测   |
| 0   | SASI_BUS_ERR_RCOV | R/W | 0b  | ASI 总线错误自动恢复。<br>0d = 启用总线错误恢复后自动恢复<br>1d = 禁用总线错误恢复后自动恢复, 并在主机配置器件之前保持断电状态                   |

### 7.1.3.3 SASI\_TX\_CFG0 寄存器 (地址 = 0x1B) [复位 = 0x00]

表 7-164 展示了 SASI\_TX\_CFG0。

返回到[汇总表](#)。

该寄存器是 SASI TX 配置寄存器 0。

表 7-164. SASI\_TX\_CFG0 寄存器字段说明

| 位   | 字段                    | 类型  | 复位  | 说明  |
|-----|-----------------------|-----|-----|---|
| 7   | SASI_TX_EDGE          | R/W | 0b  | 辅助 ASI 数据输出 (在主要和辅助数据引脚上) 发送边沿。<br>0d = 基于 SASI_BCLK_POL 中协议配置设置的默认边沿<br>1d = 相对于默认边沿设置的反相随后边沿 (半个周期延迟)                             |
| 6   | SASI_TX_FILL          | R/W | 0b  | 任何未使用周期的辅助 ASI 数据输出 (在主要和辅助数据引脚上)<br>0d = 针对未使用周期始终发送 0<br>1d = 针对未使用周期始终使用高阻态  |
| 5   | SASI_TX_LSB           | R/W | 0b  | 用于 LSB 传输的辅助 ASI 数据输出 (在主要和辅助数据引脚上)。<br>0d = 在一个完整周期内发送 LSB<br>1d = 在前半个周期内发送 LSB, 在后半个周期内发送高阻态                                     |
| 4-3 | SASI_TX_KEEPER[1:0]   | R/W | 00b | 辅助 ASI 数据输出 (在主要和辅助数据引脚上) 总线保持器。<br>0d = 始终禁用总线保持器<br>1d = 始终启用总线保持器<br>2d = 总线保持器仅在 LSB 传输期间启用一个周期<br>3d = 总线保持器仅在 LSB 传输期间启用一个半周期 |
| 2   | SASI_TX_USE_INT_FSYNC | R/W | 0b  | 辅助 ASI 使用内部 FSYNC 在控制器模式配置中根据情况生成输出数据。<br>0d = 使用外部 FSYNC 进行 ASI 协议数据生成<br>1d = 使用内部 FSYNC 进行 ASI 协议数据生成                            |
| 1   | SASI_TX_USE_INT_BCLK  | R/W | 0b  | 辅助 ASI 使用内部 BCLK 在控制器模式配置中生成输出数据。<br>0d = 使用外部 BCLK 进行 ASI 协议数据生成<br>1d = 使用内部 BCLK 进行 ASI 协议数据生成                                   |
| 0   | SASI_TDM_PULSE_WIDTH  | R/W | 0b  | TDM 格式的辅助 ASI fsync 脉冲宽度。<br>0d = Fsync 脉冲为 1 个 bclk 周期宽度<br>1d = Fsync 脉冲为 2 个 bclk 周期宽度   |

### 7.1.3.4 SASI\_TX\_CFG1 寄存器 (地址 = 0x1C) [复位 = 0x00]

表 7-165 展示了 SASI\_TX\_CFG1。

返回到[汇总表](#)。

该寄存器是 SASI TX 配置寄存器 1。

表 7-165. SASI\_TX\_CFG1 寄存器字段说明

| 位   | 字段                  | 类型  | 复位     | 说明   |
|-----|---------------------|-----|--------|--|
| 7-5 | RESERVED            | R   | 0b     | 保留位; 仅写入复位值  |
| 4-0 | SASI_TX_OFFSET[4:0] | R/W | 00000b | 辅助 ASI 输出数据 MSB 时隙 0 偏移 (在主要和辅助数据引脚上)。<br>0d = ASI 数据 MSB 位置没有偏移, 并符合标准协议<br>1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移<br>2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 的偏移<br>3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移<br>31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移 |

### 7.1.3.5 SASI\_TX\_CFG2 寄存器 (地址 = 0x1D) [复位 = 0x00]

表 7-166 展示了 SASI\_TX\_CFG2。

返回到[汇总表](#)。

该寄存器是 SASI TX 配置寄存器 2。

**表 7-166. SASI\_TX\_CFG2 寄存器字段说明**

| 位 | 字段              | 类型  | 复位 | 说明   |
|---|-----------------|-----|----|--|
| 7 | SASI_TX_CH8_SEL | R/W | 0b | 辅助 ASI 输出通道 8 选择。<br>0d = 辅助 ASI 通道 8 输出在 DOUT 上<br>1d = 辅助 ASI 通道 8 输出在 DOUT2 上 |
| 6 | SASI_TX_CH7_SEL | R/W | 0b | 辅助 ASI 输出通道 7 选择。<br>0d = 辅助 ASI 通道 7 输出在 DOUT 上<br>1d = 辅助 ASI 通道 7 输出在 DOUT2 上 |
| 5 | SASI_TX_CH6_SEL | R/W | 0b | 辅助 ASI 输出通道 6 选择。<br>0d = 辅助 ASI 通道 6 输出在 DOUT 上<br>1d = 辅助 ASI 通道 6 输出在 DOUT2 上 |
| 4 | SASI_TX_CH5_SEL | R/W | 0b | 辅助 ASI 输出通道 5 选择。<br>0d = 辅助 ASI 通道 5 输出在 DOUT 上<br>1d = 辅助 ASI 通道 5 输出在 DOUT2 上 |
| 3 | SASI_TX_CH4_SEL | R/W | 0b | 辅助 ASI 输出通道 4 选择。<br>0d = 辅助 ASI 通道 4 输出在 DOUT 上<br>1d = 辅助 ASI 通道 4 输出在 DOUT2 上 |
| 2 | SASI_TX_CH3_SEL | R/W | 0b | 辅助 ASI 输出通道 3 选择。<br>0d = 辅助 ASI 通道 3 输出在 DOUT 上<br>1d = 辅助 ASI 通道 3 输出在 DOUT2 上 |
| 1 | SASI_TX_CH2_SEL | R/W | 0b | 辅助 ASI 输出通道 2 选择。<br>0d = 辅助 ASI 通道 2 输出在 DOUT 上<br>1d = 辅助 ASI 通道 2 输出在 DOUT2 上 |
| 0 | SASI_TX_CH1_SEL | R/W | 0b | 辅助 ASI 输出通道 1 选择。<br>0d = 辅助 ASI 通道 1 输出在 DOUT 上<br>1d = 辅助 ASI 通道 1 输出在 DOUT2 上 |

### 7.1.3.6 SASI\_TX\_CH1\_CFG 寄存器 (地址 = 0x1E) [复位 = 0x00]

表 7-167 展示了 SASI\_TX\_CH1\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI TX 通道 1 配置寄存器。

**表 7-167. SASI\_TX\_CH1\_CFG 寄存器字段说明**

| 位   | 字段              | 类型  | 复位 | 说明   |
|-----|-----------------|-----|----|--|
| 7-6 | RESERVED        | R   | 0b | 保留位；仅写入复位值   |
| 5   | SASI_TX_CH1_CFG | R/W | 0b | 辅助 ASI 输出通道 1 配置。<br>0d = 辅助 ASI 通道 1 输出处于三态条件<br>1d = 辅助 ASI 通道 1 输出对应于 ADC 通道 1 数据 |

表 7-167. SASI\_TX\_CH1\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | SASI_TX_CH1_SLOT_NUM[4:0] | R/W | 00000b | 辅助 ASI 输出通道 1 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.3.7 SASI\_TX\_CH2\_CFG 寄存器 (地址 = 0x1F) [复位 = 0x01]

表 7-168 展示了 SASI\_TX\_CH2\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI TX 通道 2 配置寄存器。

表 7-168. SASI\_TX\_CH2\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 5   | SASI_TX_CH2_CFG           | R/W | 0b     | 辅助 ASI 输出通道 2 配置。<br>0d = 辅助 ASI 通道 2 输出处于三态条件<br>1d = 辅助 ASI 通道 2 输出对应于 ADC 通道 2 数据   |
| 4-0 | SASI_TX_CH2_SLOT_NUM[4:0] | R/W | 00001b | 辅助 ASI 输出通道 2 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.3.8 SASI\_TX\_CH3\_CFG 寄存器 (地址 = 0x20) [复位 = 0x02]

表 7-169 展示了 SASI\_TX\_CH3\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI TX 通道 3 配置寄存器。

表 7-169. SASI\_TX\_CH3\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明   |
|-----|----------------------|-----|-----|--|
| 7   | RESERVED             | R   | 0b  | 保留位；仅写入复位值   |
| 6-5 | SASI_TX_CH3_CFG[1:0] | R/W | 00b | 辅助 ASI 输出通道 3 配置。<br>0d = 辅助 ASI 通道 3 输出处于三态条件<br>1d = 辅助 ASI 通道 3 输出对应于 ADC 通道 3 数据<br>2d = 保留<br>3d = 保留 |

表 7-169. SASI\_TX\_CH3\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | SASI_TX_CH3_SLOT_NUM[4:0] | R/W | 00010b | 辅助 ASI 输出通道 3 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.3.9 SASI\_TX\_CH4\_CFG 寄存器 (地址 = 0x21) [复位 = 0x03]

表 7-170 展示了 SASI\_TX\_CH4\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI TX 通道 4 配置寄存器。

表 7-170. SASI\_TX\_CH4\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7   | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 6-5 | SASI_TX_CH4_CFG[1:0]      | R/W | 00b    | 辅助 ASI 输出通道 4 配置。<br>0d = 辅助 ASI 通道 4 输出处于三态条件<br>1d = 辅助 ASI 通道 4 输出对应于 ADC 通道 4 数据<br>2d = 辅助 ASI 通道 4 输出对应于 TEMP 数据<br>3d = 保留  |
| 4-0 | SASI_TX_CH4_SLOT_NUM[4:0] | R/W | 00011b | 辅助 ASI 输出通道 4 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.3.10 SASI\_TX\_CH5\_CFG 寄存器 (地址 = 0x22) [复位 = 0x04]

表 7-171 展示了 SASI\_TX\_CH5\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI TX 通道 5 配置寄存器。

表 7-171. SASI\_TX\_CH5\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明   |
|-----|----------------------|-----|-----|--|
| 7   | RESERVED             | R   | 0b  | 保留位；仅写入复位值   |
| 6-5 | SASI_TX_CH5_CFG[1:0] | R/W | 00b | 辅助 ASI 输出通道 5 配置。<br>0d = 辅助 ASI 通道 5 输出处于三态条件<br>1d = 辅助 ASI 通道 5 输出对应于 ASI 输入通道 1 环回数据<br>2d = 辅助 ASI 通道 5 输出对应于回声基准通道 1 数据<br>3d = 保留 |

表 7-171. SASI\_TX\_CH5\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | SASI_TX_CH5_SLOT_NUM[4:0] | R/W | 00100b | 辅助 ASI 输出通道 5 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.3.11 SASI\_TX\_CH6\_CFG 寄存器 (地址 = 0x23) [复位 = 0x05]

表 7-172 展示了 SASI\_TX\_CH6\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI TX 通道 6 配置寄存器。

表 7-172. SASI\_TX\_CH6\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7   | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 6-5 | SASI_TX_CH6_CFG[1:0]      | R/W | 00b    | 辅助 ASI 输出通道 6 配置。<br>0d = 辅助 ASI 通道 6 输出处于三态条件<br>1d = 辅助 ASI 通道 6 输出对应于 ASI 输入通道 2 环回数据<br>2d = 辅助 ASI 通道 6 输出对应于回声基准通道 2 数据<br>3d = 保留   |
| 4-0 | SASI_TX_CH6_SLOT_NUM[4:0] | R/W | 00101b | 辅助 ASI 输出通道 6 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.3.12 SASI\_TX\_CH7\_CFG 寄存器 (地址 = 0x24) [复位 = 0x06]

表 7-173 展示了 SASI\_TX\_CH7\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI TX 通道 7 配置寄存器。

表 7-173. SASI\_TX\_CH7\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明  |
|-----|----------------------|-----|-----|---|
| 7   | RESERVED             | R   | 0b  | 保留位；仅写入复位值  |
| 6-5 | SASI_TX_CH7_CFG[1:0] | R/W | 00b | 辅助 ASI 输出通道 7 配置。<br>0d = 辅助 ASI 通道 7 输出处于三态条件<br>1d = 保留<br>2d = 辅助 ASI 通道 7 输出对应于 {echo_ref_ch1_wlby2, echo_ref_ch2_wlby2}<br>3d = 保留 |

表 7-173. SASI\_TX\_CH7\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | SASI_TX_CH7_SLOT_NUM[4:0] | R/W | 00110b | 辅助 ASI 输出通道 7 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.3.13 SASI\_TX\_CH8\_CFG 寄存器 (地址 = 0x25) [复位 = 0x07]

表 7-174 展示了 SASI\_TX\_CH8\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI TX 通道 8 配置寄存器。

表 7-174. SASI\_TX\_CH8\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位; 仅写入复位值  |
| 5   | SASI_TX_CH8_CFG           | R/W | 0b     | 辅助 ASI 输出通道 8 配置。<br>0d = 辅助 ASI 通道 8 输出处于三态条件<br>1d = 辅助 ASI 通道 8 输出对应于 ICLA 数据   |
| 4-0 | SASI_TX_CH8_SLOT_NUM[4:0] | R/W | 00111b | 辅助 ASI 输出通道 8 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.3.14 SASI\_RX\_CFG0 寄存器 (地址 = 0x26) [复位 = 0x00]

表 7-175 展示了 SASI\_RX\_CFG0。

返回到[汇总表](#)。

该寄存器是 SASI RX 配置寄存器 0。

表 7-175. SASI\_RX\_CFG0 寄存器字段说明

| 位 | 字段                    | 类型  | 复位 | 说明   |
|---|-----------------------|-----|----|--|
| 7 | SASI_RX_EDGE          | R/W | 0b | 辅助 ASI 数据输入 (在主要和辅助数据引脚上) 接收边沿。<br>0d = 基于位 2 (BCLK_POL) 中协议配置设置的默认边沿<br>1d = 相对于默认边沿设置的反相随后边沿 (半个周期延迟)  |
| 6 | SASI_RX_USE_INT_FSYNC | R/W | 0b | 辅助 ASI 使用内部 FSYNC 在控制器模式配置中根据情况锁存输入数据。<br>0d = 使用外部 FSYNC 进行 ASI 协议数据锁存<br>1d = 使用内部 FSYNC 进行 ASI 协议数据锁存 |
| 5 | SASI_RX_USE_INT_BCLK  | R/W | 0b | 辅助 ASI 使用内部 BCLK 在控制器模式配置中锁存输入数据。<br>0d = 使用外部 BCLK 进行 ASI 协议数据锁存<br>1d = 使用内部 BCLK 进行 ASI 协议数据锁存        |

表 7-175. SASI\_RX\_CFG0 寄存器字段说明 (续)

| 位   | 字段                  | 类型  | 复位     | 说明   |
|-----|---------------------|-----|--------|--|
| 4-0 | SASI_RX_OFFSET[4:0] | R/W | 00000b | 辅助 ASI 输入数据 MSB 时隙 0 偏移 (在主要和辅助数据引脚上)。<br>0d = ASI 数据 MSB 位置没有偏移, 并符合标准协议<br>1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移<br>2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 的偏移<br>3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移<br>31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置 (TDM 模式是时隙 0 或 I <sup>2</sup> S, LJ 模式是左侧和右侧时隙 0) 偏移 |

### 7.1.3.15 SASI\_RX\_CFG1 寄存器 (地址 = 0x27) [复位 = 0x00]

表 7-176 展示了 SASI\_RX\_CFG1。

返回到[汇总表](#)。

该寄存器是 SASI RX 配置寄存器 1。

表 7-176. SASI\_RX\_CFG1 寄存器字段说明

| 位 | 字段              | 类型  | 复位 | 说明   |
|---|-----------------|-----|----|--|
| 7 | SASI_RX_CH8_SEL | R/W | 0b | 辅助 ASI 输入通道 8 选择。<br>0d = 辅助 ASI 通道 8 输入在 DIN 上<br>1d = 辅助 ASI 通道 8 输入在 DIN2 上 |
| 6 | SASI_RX_CH7_SEL | R/W | 0b | 辅助 ASI 输入通道 7 选择。<br>0d = 辅助 ASI 通道 7 输入在 DIN 上<br>1d = 辅助 ASI 通道 7 输入在 DIN2 上 |
| 5 | SASI_RX_CH6_SEL | R/W | 0b | 辅助 ASI 输入通道 6 选择。<br>0d = 辅助 ASI 通道 6 输入在 DIN 上<br>1d = 辅助 ASI 通道 6 输入在 DIN2 上 |
| 4 | SASI_RX_CH5_SEL | R/W | 0b | 辅助 ASI 输入通道 5 选择。<br>0d = 辅助 ASI 通道 5 输入在 DIN 上<br>1d = 辅助 ASI 通道 5 输入在 DIN2 上 |
| 3 | SASI_RX_CH4_SEL | R/W | 0b | 辅助 ASI 输入通道 4 选择。<br>0d = 辅助 ASI 通道 4 输入在 DIN 上<br>1d = 辅助 ASI 通道 4 输入在 DIN2 上 |
| 2 | SASI_RX_CH3_SEL | R/W | 0b | 辅助 ASI 输入通道 3 选择。<br>0d = 辅助 ASI 通道 3 输入在 DIN 上<br>1d = 辅助 ASI 通道 3 输入在 DIN2 上 |
| 1 | SASI_RX_CH2_SEL | R/W | 0b | 辅助 ASI 输入通道 2 选择。<br>0d = 辅助 ASI 通道 2 输入在 DIN 上<br>1d = 辅助 ASI 通道 2 输入在 DIN2 上 |
| 0 | SASI_RX_CH1_SEL | R/W | 0b | 辅助 ASI 输入通道 1 选择。<br>0d = 辅助 ASI 通道 1 输入在 DIN 上<br>1d = 辅助 ASI 通道 1 输入在 DIN2 上 |

### 7.1.3.16 SASI\_RX\_CH1\_CFG 寄存器 (地址 = 0x28) [复位 = 0x00]

表 7-177 展示了 SASI\_RX\_CH1\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI RX 通道 1 配置寄存器。



表 7-177. SASI\_RX\_CH1\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 5   | SASI_RX_CH1_CFG           | R/W | 0b     | 辅助 ASI 输入通道 1 配置。<br>0d = 禁用辅助 ASI 通道 1 输入<br>1d = 辅助 ASI 通道 1 输入对应于 DAC 通道 1 数据   |
| 4-0 | SASI_RX_CH1_SLOT_NUM[4:0] | R/W | 00000b | 辅助 ASI 输入通道 1 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S，LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S，LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S，LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S，LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S，LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S，LJ 是右侧时隙 15 |

### 7.1.3.17 SASI\_RX\_CH2\_CFG 寄存器 (地址 = 0x29) [复位 = 0x01]

表 7-178 展示了 SASI\_RX\_CH2\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI RX 通道 2 配置寄存器。

表 7-178. SASI\_RX\_CH2\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 5   | SASI_RX_CH2_CFG           | R/W | 0b     | 辅助 ASI 输入通道 2 配置。<br>0d = 禁用辅助 ASI 通道 2 输入<br>1d = 辅助 ASI 通道 2 输入对应于 DAC 通道 2 数据   |
| 4-0 | SASI_RX_CH2_SLOT_NUM[4:0] | R/W | 00001b | 辅助 ASI 输入通道 2 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S，LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S，LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S，LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S，LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S，LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S，LJ 是右侧时隙 15 |

### 7.1.3.18 SASI\_RX\_CH3\_CFG 寄存器 (地址 = 0x2A) [复位 = 0x02]

表 7-179 展示了 SASI\_RX\_CH3\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI RX 通道 3 配置寄存器。

表 7-179. SASI\_RX\_CH3\_CFG 寄存器字段说明

| 位   | 字段              | 类型  | 复位 | 说明   |
|-----|-----------------|-----|----|--|
| 7-6 | RESERVED        | R   | 0b | 保留位；仅写入复位值   |
| 5   | SASI_RX_CH3_CFG | R/W | 0b | 辅助 ASI 输入通道 3 配置。<br>0d = 禁用辅助 ASI 通道 3 输入<br>1d = 辅助 ASI 通道 3 输入对应于 DAC 通道 3 数据 |

表 7-179. SASI\_RX\_CH3\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | SASI_RX_CH3_SLOT_NUM[4:0] | R/W | 00010b | 辅助 ASI 输入通道 3 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.3.19 SASI\_RX\_CH4\_CFG 寄存器 (地址 = 0x2B) [复位 = 0x03]

表 7-180 展示了 SASI\_RX\_CH4\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI RX 通道 4 配置寄存器。

表 7-180. SASI\_RX\_CH4\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7-6 | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 5   | SASI_RX_CH4_CFG           | R/W | 0b     | 辅助 ASI 输入通道 4 配置。<br>0d = 禁用辅助 ASI 通道 4 输入<br>1d = 辅助 ASI 通道 4 输入对应于 DAC 通道 4 数据   |
| 4-0 | SASI_RX_CH4_SLOT_NUM[4:0] | R/W | 00011b | 辅助 ASI 输入通道 4 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

### 7.1.3.20 SASI\_RX\_CH5\_CFG 寄存器 (地址 = 0x2C) [复位 = 0x04]

表 7-181 展示了 SASI\_RX\_CH5\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI RX 通道 5 配置寄存器。

表 7-181. SASI\_RX\_CH5\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明  |
|-----|----------------------|-----|-----|---|
| 7   | RESERVED             | R   | 0b  | 保留位；仅写入复位值  |
| 6-5 | SASI_RX_CH5_CFG[1:0] | R/W | 00b | 辅助 ASI 输入通道 5 配置。<br>0d = 禁用辅助 ASI 通道 5 输入<br>1d = 辅助 ASI 通道 5 输入对应于 DAC 通道 5 数据<br>2d = 辅助 ASI 通道 5 输入对应于 ADC 通道 1 输出环回<br>3d = 保留 |

表 7-181. SASI\_RX\_CH5\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | SASI_RX_CH5_SLOT_NUM[4:0] | R/W | 00100b | 辅助 ASI 输入通道 5 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

7.1.3.21 SASI\_RX\_CH6\_CFG 寄存器 (地址 = 0x2D) [复位 = 0x05]

表 7-182 展示了 SASI\_RX\_CH6\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI RX 通道 6 配置寄存器。

表 7-182. SASI\_RX\_CH6\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7   | RESERVED                  | R   | 0b     | 保留位; 仅写入复位值  |
| 6-5 | SASI_RX_CH6_CFG[1:0]      | R/W | 00b    | 辅助 ASI 输入通道 6 配置。<br>0d = 禁用辅助 ASI 通道 6 输入<br>1d = 辅助 ASI 通道 6 输入对应于 DAC 通道 6 数据<br>2d = 辅助 ASI 通道 6 输入对应于 ADC 通道 2 输出环回<br>3d = 辅助 ASI 通道 6 输入对应于 ICLA 器件 1 数据  |
| 4-0 | SASI_RX_CH6_SLOT_NUM[4:0] | R/W | 00101b | 辅助 ASI 输入通道 6 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

7.1.3.22 SASI\_RX\_CH7\_CFG 寄存器 (地址 = 0x2E) [复位 = 0x06]

表 7-183 展示了 SASI\_RX\_CH7\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI RX 通道 7 配置寄存器。

表 7-183. SASI\_RX\_CH7\_CFG 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明  |
|-----|----------------------|-----|-----|---|
| 7   | RESERVED             | R   | 0b  | 保留位; 仅写入复位值   |
| 6-5 | SASI_RX_CH7_CFG[1:0] | R/W | 00b | 辅助 ASI 输入通道 7 配置。<br>0d = 禁用辅助 ASI 通道 7 输入<br>1d = 辅助 ASI 通道 7 输入对应于 DAC 通道 7 数据<br>2d = 辅助 ASI 通道 7 输入对应于 ADC 通道 3 输出环回<br>3d = 辅助 ASI 通道 7 输入对应于 ICLA 器件 2 数据 |

表 7-183. SASI\_RX\_CH7\_CFG 寄存器字段说明 (续)

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 4-0 | SASI_RX_CH7_SLOT_NUM[4:0] | R/W | 00110b | 辅助 ASI 输入通道 7 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.3.23 SASI\_RX\_CH8\_CFG 寄存器 (地址 = 0x2F) [复位 = 0x07]

表 7-184 展示了 SASI\_RX\_CH8\_CFG。

返回到[汇总表](#)。

该寄存器是 SASI RX 通道 8 配置寄存器。

表 7-184. SASI\_RX\_CH8\_CFG 寄存器字段说明

| 位   | 字段                        | 类型  | 复位     | 说明   |
|-----|---------------------------|-----|--------|--|
| 7   | RESERVED                  | R   | 0b     | 保留位；仅写入复位值   |
| 6-5 | SASI_RX_CH8_CFG[1:0]      | R/W | 00b    | 辅助 ASI 输入通道 8 配置。<br>0d = 禁用辅助 ASI 通道 8 输入<br>1d = 辅助 ASI 通道 8 输入对应于 DAC 通道 8 数据<br>2d = 辅助 ASI 通道 8 输入对应于 ADC 通道 4 输出环回<br>3d = 辅助 ASI 通道 8 输入对应于 ICLA 器件 3 数据  |
| 4-0 | SASI_RX_CH8_SLOT_NUM[4:0] | R/W | 00111b | 辅助 ASI 输入通道 8 时隙分配。<br>0d = TDM 是时隙 0 或 I <sup>2</sup> S, LJ 是左侧时隙 0<br>1d = TDM 是时隙 1 或 I <sup>2</sup> S, LJ 是左侧时隙 1<br>2d 至 14d = 分配的时隙视配置而定<br>15d = TDM 是时隙 15 或 I <sup>2</sup> S, LJ 是左侧时隙 15<br>16d = TDM 是时隙 16 或 I <sup>2</sup> S, LJ 是右侧时隙 0<br>17d = TDM 是时隙 17 或 I <sup>2</sup> S, LJ 是右侧时隙 1<br>18d 至 30d = 分配的时隙视配置而定<br>31d = TDM 是时隙 31 或 I <sup>2</sup> S, LJ 是右侧时隙 15 |

## 7.1.3.24 CLK\_CFG12 寄存器 (地址 = 0x32) [复位 = 0x00]

表 7-185 展示了 CLK\_CFG12。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 12。

表 7-185. CLK\_CFG12 寄存器字段说明

| 位   | 字段                   | 类型  | 复位  | 说明  |
|-----|----------------------|-----|-----|---|
| 7-6 | PDIV_CLKSRC_SEL[1:0] | R/W | 00b | PLL PDIV 分频器的源时钟选择。<br>0d = PLL_PDIV_IN_CLK 是主要 ASI BCLK<br>1d = PLL_PDIV_IN_CLK 是辅助 ASI BCLK<br>2d = PLL_PDIV_IN_CLK 是 CCLK<br>3d = PLL_PDIV_IN_CLK 是内部振荡器时钟 (仅在自定义时钟中受支持) |

表 7-185. CLK\_CFG12 寄存器字段说明 (续)

| 位   | 字段                         | 类型  | 复位   | 说明  |
|-----|----------------------------|-----|------|---|
| 5-3 | PASI_BCLK_DIV_CLK_SEL[2:0] | R/W | 000b | 主要 ASI BCLK 分频器时钟源选择。<br>0d = 主要 ASI BCLK 分频器时钟源是 PLL 输出<br>1d = 保留<br>2d = 主要 ASI BCLK 分频器时钟源是辅助 ASI BCLK<br>3d = 主要 ASI BCLK 分频器时钟源是 CCLK<br>4d = 主要 ASI BCLK 分频器时钟源是内部振荡器时钟 (仅在自定义时钟配置中受支持)<br>5d = 主要 ASI BCLK 分频器时钟源是 DSP 时钟<br>6d 至 7d = 保留 |
| 2-0 | RESERVED                   | R   | 0b   | 保留位; 仅写入复位值   |

### 7.1.3.25 CLK\_CFG13 寄存器 (地址 = 0x33) [复位 = 0x00]

表 7-186 展示了 CLK\_CFG13。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 13。

表 7-186. CLK\_CFG13 寄存器字段说明

| 位   | 字段                         | 类型  | 复位   | 说明  |
|-----|----------------------------|-----|------|---|
| 7   | RESERVED                   | R   | 0b   | 保留位; 仅写入复位值   |
| 6-4 | SASI_BCLK_DIV_CLK_SEL[2:0] | R/W | 000b | 辅助 ASI BCLK 分频器时钟源选择。<br>0d = 辅助 ASI BCLK 分频器时钟源是 PLL 输出<br>1d = 辅助 ASI BCLK 分频器时钟源是主要 ASI BCLK<br>2d = 保留<br>3d = 辅助 ASI BCLK 分频器时钟源是 CCLK<br>4d = 辅助 ASI BCLK 分频器时钟源是内部振荡器时钟 (仅在自定义时钟配置中受支持)<br>5d = 辅助 ASI BCLK 分频器时钟源是 DSP 时钟<br>6d 至 7d = 保留 |
| 3-0 | RESERVED                   | R   | 0b   | 保留位; 仅写入复位值   |

### 7.1.3.26 CLK\_CFG14 寄存器 (地址 = 0x34) [复位 = 0x10]

表 7-187 展示了 CLK\_CFG14。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 14。

表 7-187. CLK\_CFG14 寄存器字段说明

| 位   | 字段                          | 类型  | 复位  | 说明  |
|-----|-----------------------------|-----|-----|---|
| 7-6 | DIG_NM_DIV_CLK_SRC_SEL[1:0] | R/W | 00b | DIG NMDIV CLK 时钟的源时钟选择。<br>0d = DIG NM 分频器输入时钟是主要 ASI BCLK<br>1d = DIG NM 分频器输入时钟是辅助 ASI BCLK<br>2d = DIG NM 分频器输入时钟是 CCLK<br>3d = DIG NM 分频器输入时钟是内部振荡器时钟 (仅在自定义时钟配置中受支持) |
| 5-4 | ANA_NM_DIV_CLK_SRC_SEL[1:0] | R/W | 01b | NMDIV CLK 时钟的源时钟选择。<br>0d = NM 分频器输入时钟是 PLL 输出<br>1d = NM 分频器输入时钟是 PLL 输出<br>2d = NM 分频器输入时钟是 DIG NM 分频器时钟源<br>3d = NM 分频器输入时钟是主要 ASI BCLK (低抖动路径)                        |

表 7-187. CLK\_CFG14 寄存器字段说明 (续)

| 位   | 字段       | 类型 | 复位 | 说明         |
|-----|----------|----|----|------------|
| 3-2 | RESERVED | R  | 0b | 保留位；仅写入复位值 |
| 1-0 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

### 7.1.3.27 CLK\_CFG15 寄存器 (地址 = 0x35) [复位 = 0x01]

表 7-188 展示了 CLK\_CFG15。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 15。

表 7-188. CLK\_CFG15 寄存器字段说明

| 位   | 字段            | 类型  | 复位        | 说明   |
|-----|---------------|-----|-----------|--|
| 7-0 | PLL_PDIV[7:0] | R/W | 00000001b | PLL 预分频器 P 分频器值 (启用自动检测时不用考虑)<br>0d = PLL PDIV 值为 256<br>1d = PLL PDIV 值为 1<br>2d = PLL PDIV 值为 2<br>3d 至 254d = PLL PDIV 值根据配置来确定<br>255d = PLL PDIV 值为 255 |

### 7.1.3.28 CLK\_CFG16 寄存器 (地址 = 0x36) [复位 = 0x00]

表 7-189 展示了 CLK\_CFG16。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 16。

表 7-189. CLK\_CFG16 寄存器字段说明

| 位   | 字段                   | 类型  | 复位      | 说明  |
|-----|----------------------|-----|---------|---|
| 7   | PLL_JMUL_MSB         | R/W | 0b      | PLL 整数部分 J 乘法器值 MSB 位。(启用自动检测时不用考虑)                       |
| 6   | PLL_DIV_CLK_DIG_BY_2 | R/W | 0b      | PLL DIV 时钟 2 分频配置<br>0d = PLL 内无 2 分频<br>1d = PLL 进行 2 分频 |
| 5-0 | PLL_DMUL_MSB[5:0]    | R/W | 000000b | PLL 小数部分 D 乘法器值 MSB 位。(启用自动检测时不用考虑)                       |

### 7.1.3.29 CLK\_CFG17 寄存器 (地址 = 0x37) [复位 = 0x00]

表 7-190 展示了 CLK\_CFG17。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 17。

表 7-190. CLK\_CFG17 寄存器字段说明

| 位   | 字段                | 类型  | 复位        | 说明  |
|-----|-------------------|-----|-----------|---|
| 7-0 | PLL_DMUL_LSB[7:0] | R/W | 00000000b | PLL 小数部分 D 乘法器值 LSB 字节。上述 D 乘法器值 MSB 位 (PLL_DMUL_MSB) 与此 LSB 字节 (PLL_DMUL_LSB) 连在一起来确定最终的 D 乘法器值。(启用自动检测时不用考虑)<br>0d = PLL DMUL 值为 0<br>1d = PLL DMUL 值为 1<br>2d = PLL DMUL 值为 2<br>3d 至 9998d = PLL JMUL 值根据配置来确定<br>9999d = PLL JMUL 值为 9999<br>10000d 至 16383d = 保留; 不使用 |

### 7.1.3.30 CLK\_CFG18 寄存器 (地址 = 0x38) [复位 = 0x08]

表 7-191 展示了 CLK\_CFG18。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 18。

表 7-191. CLK\_CFG18 寄存器字段说明

| 位   | 字段                | 类型  | 复位        | 说明  |
|-----|-------------------|-----|-----------|---|
| 7-0 | PLL_JMUL_LSB[7:0] | R/W | 00001000b | PLL 整数部分 J 乘法器值 LSB 字节。上述 J 乘法器值 MSB 位 (PLL_JMUL_MSB) 与此 LSB 字节 (PLL_JMUL_LSB) 连在一起来确定最终的 J 乘法器值。(启用自动检测时不用考虑)<br>0d = 保留; 不使用<br>1d = PLL JMUL 值为 1<br>2d = PLL JMUL 值为 2<br>3d 至 510d = PLL JMUL 值根据配置来确定<br>511d = PLL JMUL 值为 511 |

### 7.1.3.31 CLK\_CFG19 寄存器 (地址 = 0x39) [复位 = 0x20]

表 7-192 展示了 CLK\_CFG19。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 19。

表 7-192. CLK\_CFG19 寄存器字段说明

| 位   | 字段           | 类型  | 复位   | 说明   |
|-----|--------------|-----|------|--|
| 7-5 | NDIV[2:0]    | R/W | 001b | NDIV 分频器值。(启用自动检测时不用考虑)<br>0d = NDIV 值为 8<br>1d = NDIV 值为 1<br>2d = NDIV 值为 2<br>3d 至 6d = NDIV 值根据配置来确定<br>7d = NDIV 值为 7                   |
| 4-2 | PDM_DIV[2:0] | R/W | 000b | PDM 分频器值。(启用自动检测时不用考虑)<br>0d = PDM_DIV 值为 1<br>1d = PDM_DIV 值为 2<br>2d = PDM_DIV 值为 4<br>3d = PDM_DIV 值为 8<br>4d = PDM_DIV 值为 16<br>5d-7d 保留 |
| 1-0 | RESERVED     | R   | 0b   | 保留位; 仅写入复位值  |

### 7.1.3.32 CLK\_CFG20 寄存器 (地址 = 0x3A) [复位 = 0x04]

表 7-193 展示了 CLK\_CFG20。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 20。

表 7-193. CLK\_CFG20 寄存器字段说明

| 位   | 字段                      | 类型  | 复位      | 说明   |
|-----|-------------------------|-----|---------|--|
| 7-2 | MDIV[5:0]               | R/W | 000001b | MDIV 分频器值。(启用自动检测时不用考虑)<br>0d = MDIV 值为 64<br>1d = MDIV 值为 1<br>2d = MDIV 值为 2<br>3d 至 62d = MDIV 值根据配置来确定<br>63d = MDIV 值为 63         |
| 1-0 | DIG_ADC_MODCLK_DIV[1:0] | R/W | 00b     | ADC 调制器时钟分频器值。(启用自动检测时不用考虑)<br>0d = DIG_ADC_MODCLK_DIV 值为 1<br>1d = DIG_ADC_MODCLK_DIV 值为 2<br>2d = DIG_ADC_MODCLK_DIV 值为 4<br>3d = 保留 |

### 7.1.3.33 CLK\_CFG21 寄存器 (地址 = 0x3B) [复位 = 0x00]

表 7-194 展示了 CLK\_CFG21。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 21。

表 7-194. CLK\_CFG21 寄存器字段说明

| 位   | 字段                      | 类型  | 复位  | 说明   |
|-----|-------------------------|-----|-----|--|
| 7-6 | RESERVED                | R   | 0b  | 保留位；仅写入复位值   |
| 5-4 | DIG_DAC_MODCLK_DIV[1:0] | R/W | 00b | DAC 调制器时钟分频器值。(启用自动检测时不用考虑)<br>0d = DIG_DAC_MODCLK_DIV 值为 1<br>1d = DIG_DAC_MODCLK_DIV 值为 2<br>2d = DIG_DAC_MODCLK_DIV 值为 4<br>3d = 保留 |
| 3   | DAC_MODCLKx2_DIS        | R/W | 0b  | DAC 调制器时钟选择配置。<br>0d = DAC MOD 时钟启用 2 倍<br>1d = DAC MOD 时钟禁用 2 倍   |
| 2   | PASI_BDIV_MSB           | R/W | 0b  | 主要 ASI BCLK 分频器值 MSB 位。(启用自动检测时不用考虑)   |
| 1   | SASI_BDIV_MSB           | R/W | 0b  | 辅助 ASI BCLK 分频器值 MSB 位。(启用自动检测时不用考虑)   |
| 0   | RESERVED                | R   | 0b  | 保留位；仅写入复位值   |

### 7.1.3.34 CLK\_CFG22 寄存器 (地址 = 0x3C) [复位 = 0x01]

表 7-195 展示了 CLK\_CFG22。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 22。



表 7-195. CLK\_CFG22 寄存器字段说明

| 位   | 字段                 | 类型  | 复位        | 说明  |
|-----|--------------------|-----|-----------|---|
| 7-0 | PASI_BDIV_LSB[7:0] | R/W | 00000001b | 辅助 ASI BCLK 分频器值。(启用自动检测时不用考虑)<br>0d = SASI BCLK 分频器值为 512<br>1d = SASI BCLK 分频器值为 1<br>2d = SASI BCLK 分频器值为 2<br>3d 至 62d = SASI BCLK 分频器值根据配置来确定<br>63d = SASI BCLK 分频器值为 511 |

### 7.1.3.35 CLK\_CFG23 寄存器 (地址 = 0x3D) [复位 = 0x01]

表 7-196 展示了 CLK\_CFG23。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 23。

表 7-196. CLK\_CFG23 寄存器字段说明

| 位   | 字段                 | 类型  | 复位        | 说明  |
|-----|--------------------|-----|-----------|---|
| 7-0 | SASI_BDIV_LSB[7:0] | R/W | 00000001b | 辅助 ASI BCLK 分频器值。(启用自动检测时不用考虑)<br>0d = SASI BCLK 分频器值为 512<br>1d = SASI BCLK 分频器值为 1<br>2d = SASI BCLK 分频器值为 2<br>3d 至 62d = SASI BCLK 分频器值根据配置来确定<br>63d = SASI BCLK 分频器值为 511 |

### 7.1.3.36 CLK\_CFG24 寄存器 (地址 = 0x3E) [复位 = 0x01]

表 7-197 展示了 CLK\_CFG24。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 24。

表 7-197. CLK\_CFG24 寄存器字段说明

| 位   | 字段              | 类型  | 复位      | 说明   |
|-----|-----------------|-----|---------|--|
| 7-6 | RESERVED        | R   | 0b      | 保留位；仅写入复位值   |
| 5-0 | ANA_NM_DIV[5:0] | R/W | 000001b | 模拟 N-M DIV 分频器值。(启用自动检测时不用考虑)<br>0d = ANA_NM_DIV 值为 64<br>1d = ANA_NM_DIV 值为 1<br>2d = ANA_NM_DIV 值为 2<br>3d 至 62d = ANA_NM_DIV 值根据配置来确定<br>63d = ANA_NM_DIV 值为 63 |

### 7.1.3.37 CLK\_CFG30 寄存器 (地址 = 0x44) [复位 = 0x00]

表 7-198 展示了 CLK\_CFG30。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 30。

表 7-198. CLK\_CFG30 寄存器字段说明

| 位   | 字段       | 类型 | 复位 | 说明         |
|-----|----------|----|----|------------|
| 7-3 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

表 7-198. CLK\_CFG30 寄存器字段说明 (续)

| 位 | 字段         | 类型  | 复位 | 说明                                     |
|---|------------|-----|----|--|
| 2 | NDIV_EN    | R/W | 0b | NDIV 分频器启用<br>0d = 分频器禁用<br>1d = 分频器启用 |
| 1 | MDIV_EN    | R/W | 0b | MDIV 分频器启用<br>0d = 分频器禁用<br>1d = 分频器启用 |
| 0 | PDM_DIV_EN | R/W | 0b | PDM 分频器启用<br>0d = 分频器禁用<br>1d = 分频器启用  |

## 7.1.3.38 CLK\_CFG31 寄存器 (地址 = 0x45) [复位 = 0x00]

表 7-199 展示了 CLK\_CFG31。

返回到[汇总表](#)。

该寄存器是时钟配置寄存器 31。

表 7-199. CLK\_CFG31 寄存器字段说明

| 位 | 字段                    | 类型  | 复位 | 说明   |
|---|-----------------------|-----|----|--|
| 7 | RESERVED              | R   | 0b | 保留位；仅写入复位值                                       |
| 6 | RESERVED              | R   | 0b | 保留位；仅写入复位值                                       |
| 5 | RESERVED              | R   | 0b | 保留位；仅写入复位值                                       |
| 4 | DIG_DAC_MODCLK_DIV_EN | R/W | 0b | DAC MODCLK 分频器启用<br>0d = 分频器禁用<br>1d = 分频器启用     |
| 3 | PASI_BDIV_EN          | R/W | 0b | PASI BDIV 分频器启用<br>0d = 分频器禁用<br>1d = 分频器启用      |
| 2 | SASI_BDIV_EN          | R/W | 0b | SASI BDIV 分频器启用<br>0d = 分频器禁用<br>1d = 分频器启用      |
| 1 | PASI_FSYNC_DIV_EN     | R/W | 0b | PASI FSYNC DIV 分频器启用<br>0d = 分频器禁用<br>1d = 分频器启用 |
| 0 | SASI_FSYNC_DIV_EN     | R/W | 0b | SASI FSYNC DIV 分频器启用<br>0d = 分频器禁用<br>1d = 分频器启用 |

## 7.1.3.39 CLKOUT\_CFG1 寄存器 (地址 = 0x46) [复位 = 0x00]

表 7-200 展示了 CLKOUT\_CFG1。

返回到[汇总表](#)。

该寄存器是 CLKOUT 配置寄存器 1。

表 7-200. CLKOUT\_CFG1 寄存器字段说明

| 位   | 字段       | 类型 | 复位 | 说明         |
|-----|----------|----|----|------------|
| 7-3 | RESERVED | R  | 0b | 保留位；仅写入复位值 |

表 7-200. CLKOUT\_CFG1 寄存器字段说明 (续)

| 位   | 字段                  | 类型  | 复位   | 说明  |
|-----|---------------------|-----|------|---|
| 2-0 | CLKOUT_CLK_SEL[2:0] | R/W | 000b | 通用 CLKOUT 分频器时钟源选择。<br>0d = 源时钟是 PLL 输出<br>1d = 源时钟是主要 ASI BCLK<br>2d = 源时钟是辅助 ASI BCLK<br>3d = 源时钟是 CCLK<br>4d = 源时钟是内部振荡器时钟<br>5d = 源时钟是 DSP 时钟<br>6d 至 7d = 保留 |

#### 7.1.3.40 CLKOUT\_CFG2 寄存器 (地址 = 0x47) [复位 = 0x01]

表 7-201 展示了 CLKOUT\_CFG2。

返回到[汇总表](#)。

该寄存器是 CLKOUT 配置寄存器 2。

表 7-201. CLKOUT\_CFG2 寄存器字段说明

| 位   | 字段              | 类型  | 复位       | 说明  |
|-----|-----------------|-----|----------|---|
| 7   | CLKOUT_DIV_EN   | R/W | 0b       | CLKOUT 分频器使能。<br>0d = CLKOUT 分频器禁用<br>1d = CLKOUT 分频器启用   |
| 6-0 | CLKOUT_DIV[6:0] | R/W | 0000001b | CLKOUT DIV 分频器值。<br>0d = CLKOUT_DIV 值为 128<br>1d = CLKOUT_DIV 值为 1<br>2d = CLKOUT_DIV 值为 2<br>3d 至 126d = CLKOUT_DIV 值根据配置来确定<br>127d = CLKOUT_DIV 值为 127 |

#### 7.1.3.41 SARCLK\_CFG1 寄存器 (地址 = 0x49) [复位 = 0x00]

表 7-202 展示了 SARCLK\_CFG1。

返回到[汇总表](#)。

该寄存器是 SAR 时钟配置寄存器 1

表 7-202. SARCLK\_CFG1 寄存器字段说明

| 位   | 字段                     | 类型  | 复位  | 说明   |
|-----|------------------------|-----|-----|--|
| 7-6 | SAR_CLK_FREQ_SEL[1:0]  | R/W | 00b | SAR 时钟频率模式<br>0d = SAR 时钟频率为 ~6MHz<br>1d = SAR 时钟频率为 ~3MHz<br>2d = SAR 时钟频率为 ~1.5MHz<br>3d = SAR 时钟频率为 ~12MHz (仅当在自定义时钟配置中 SAR 时钟直接使用内部振荡器时钟生成时有效) |
| 5   | SAR_CLK_SRC_AUTO_DIS   | R/W | 0b  | SAR 分频器源时钟自动选择禁用<br>0d = 根据时钟检测方案来确定 SAR 分频器源时钟自动选择<br>1d = 保留   |
| 4   | SAR_CLK_SRC_MANUAL_SEL | R/W | 0b  | SAR 时钟源手动选择 (在自动模式下不用考虑)<br>0d = 根据可用于 ADC/DAC 的音频时钟生成 SAR 时钟<br>1d = 根据内部振荡器时钟生成 SAR 时钟 (仅在自定义时钟配置中受支持)   |
| 3   | SAR_CLK_EN_AUTO_DIS    | R/W | 0b  | SAR 分频器源时钟自动选择禁用<br>0d = SAR 分频器自动启用<br>1d = 保留  |

表 7-202. SARCLK\_CFG1 寄存器字段说明 (续)

| 位   | 字段                      | 类型  | 复位  | 说明  |
|-----|-------------------------|-----|-----|---|
| 2   | SAR_CLK_MANUAL_EN       | R/W | 0b  | SAR 分频器手动启用 (在自动模式下不用考虑)<br>0d = 禁用 SAR 分频器<br>1d = 启用 SAR 分频器  |
| 1-0 | SAR_CLK_MANUAL_DIV[1:0] | R/W | 00b | SAR 分频器值 (在自动模式下不用考虑)<br>0d = SAR 分频器值为 1<br>1d = SAR 分频器值为 2<br>2d = SAR 分频器值为 4<br>3d = SAR 分频器值为 8 |

## 7.2 可编程系数寄存器

本节中的寄存器页面包含器件的可编程系数。TI 建议使用 PPC3 GUI 来配置可编程系数设置；有关更多详细信息，请参阅 [TAC5212EVM-PDK 评估模块 用户指南](#) 和 [PurePath™ 控制台图形开发套件](#)。为了优化本节中寄存器页面的系数寄存器事务时间，该器件还支持 (默认情况下) 用于 I<sup>2</sup>C 和 SPI 突发写入和读取的自动递增页面。在寄存器地址 0x7F 事务之后，该器件会自动递增到寄存器 0x08 处的下一页，以处理下一个系数值。这些可编程系数是 32 位二进制补码数。要成功执行系数寄存器事务，主机器件必须写入和读取从目标系数寄存器事务的最高有效字节 (BYT1) 开始的全部四个字节。当使用 SPI 来执行系数寄存器读取事务时，器件传输第一个字节作为虚拟读取字节，因此主机必须读取五个字节，其中包括第一个虚拟读取字节，最后四个字节对应于从最高有效字节 (BYT1) 开始的系数寄存器值。

### 7.2.1 可编程系数寄存器：页面 8

该寄存器页面 (如表 7-203 所示) 包含 ADC 双二阶滤波器 1 至双二阶滤波器 6 的可编程系数。

表 7-203. 页面 8 可编程系数寄存器

| 地址   | 寄存器                  | 复位   | 说明                               |
|------|----------------------|------|----------------------------------|
| 0x00 | PAGE[7:0]            | 0x00 | 器件页寄存器                           |
| 0x08 | ADC_BQ1_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 1, N0 系数字节[31:24] |
| 0x09 | ADC_BQ1_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 1, N0 系数字节[23:16] |
| 0x0A | ADC_BQ1_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 1, N0 系数字节[15:8]  |
| 0x0B | ADC_BQ1_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 1, N0 系数字节[7:0]   |
| 0x0C | ADC_BQ1_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, N1 系数字节[31:24] |
| 0x0D | ADC_BQ1_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, N1 系数字节[23:16] |
| 0x0E | ADC_BQ1_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, N1 系数字节[15:8]  |
| 0x0F | ADC_BQ1_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, N1 系数字节[7:0]   |
| 0x10 | ADC_BQ1_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, N2 系数字节[31:24] |
| 0x11 | ADC_BQ1_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, N2 系数字节[23:16] |
| 0x12 | ADC_BQ1_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, N2 系数字节[15:8]  |
| 0x13 | ADC_BQ1_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, N2 系数字节[7:0]   |
| 0x14 | ADC_BQ1_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, D1 系数字节[31:24] |
| 0x15 | ADC_BQ1_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, D1 系数字节[23:16] |
| 0x16 | ADC_BQ1_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, D1 系数字节[15:8]  |
| 0x17 | ADC_BQ1_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, D1 系数字节[7:0]   |
| 0x18 | ADC_BQ1_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, D2 系数字节[31:24] |
| 0x19 | ADC_BQ1_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, D2 系数字节[23:16] |
| 0x1A | ADC_BQ1_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, D2 系数字节[15:8]  |
| 0x1B | ADC_BQ1_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 1, D2 系数字节[7:0]   |
| 0x1C | ADC_BQ2_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 2, N0 系数字节[31:24] |

表 7-203. 页面 8 可编程系数寄存器 (续)

|      |                      |      |                                  |
|------|----------------------|------|----------------------------------|
| 0x1D | ADC_BQ2_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 2, N0 系数字节[23:16] |
| 0x1E | ADC_BQ2_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 2, N0 系数字节[15:8]  |
| 0x1F | ADC_BQ2_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 2, N0 系数字节[7:0]   |
| 0x20 | ADC_BQ2_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, N1 系数字节[31:24] |
| 0x21 | ADC_BQ2_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, N1 系数字节[23:16] |
| 0x22 | ADC_BQ2_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, N1 系数字节[15:8]  |
| 0x23 | ADC_BQ2_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, N1 系数字节[7:0]   |
| 0x24 | ADC_BQ2_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, N2 系数字节[31:24] |
| 0x25 | ADC_BQ2_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, N2 系数字节[23:16] |
| 0x26 | ADC_BQ2_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, N2 系数字节[15:8]  |
| 0x27 | ADC_BQ2_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, N2 系数字节[7:0]   |
| 0x28 | ADC_BQ2_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, D1 系数字节[31:24] |
| 0x29 | ADC_BQ2_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, D1 系数字节[23:16] |
| 0x2A | ADC_BQ2_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, D1 系数字节[15:8]  |
| 0x2B | ADC_BQ2_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, D1 系数字节[7:0]   |
| 0x2C | ADC_BQ2_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, D2 系数字节[31:24] |
| 0x2D | ADC_BQ2_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, D2 系数字节[23:16] |
| 0x2E | ADC_BQ2_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, D2 系数字节[15:8]  |
| 0x2F | ADC_BQ2_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 2, D2 系数字节[7:0]   |
| 0x30 | ADC_BQ3_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 3, N0 系数字节[31:24] |
| 0x31 | ADC_BQ3_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 3, N0 系数字节[23:16] |
| 0x32 | ADC_BQ3_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 3, N0 系数字节[15:8]  |
| 0x33 | ADC_BQ3_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 3, N0 系数字节[7:0]   |
| 0x34 | ADC_BQ3_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, N1 系数字节[31:24] |
| 0x35 | ADC_BQ3_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, N1 系数字节[23:16] |
| 0x36 | ADC_BQ3_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, N1 系数字节[15:8]  |
| 0x37 | ADC_BQ3_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, N1 系数字节[7:0]   |
| 0x38 | ADC_BQ3_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, N2 系数字节[31:24] |
| 0x39 | ADC_BQ3_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, N2 系数字节[23:16] |
| 0x3A | ADC_BQ3_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, N2 系数字节[15:8]  |
| 0x3B | ADC_BQ3_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, N2 系数字节[7:0]   |
| 0x3C | ADC_BQ3_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, D1 系数字节[31:24] |
| 0x3D | ADC_BQ3_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, D1 系数字节[23:16] |
| 0x3E | ADC_BQ3_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, D1 系数字节[15:8]  |
| 0x3F | ADC_BQ3_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, D1 系数字节[7:0]   |
| 0x40 | ADC_BQ3_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, D2 系数字节[31:24] |
| 0x41 | ADC_BQ3_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, D2 系数字节[23:16] |
| 0x42 | ADC_BQ3_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, D2 系数字节[15:8]  |
| 0x43 | ADC_BQ3_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 3, D2 系数字节[7:0]   |
| 0x44 | ADC_BQ4_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 4, N0 系数字节[31:24] |
| 0x45 | ADC_BQ4_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 4, N0 系数字节[23:16] |
| 0x46 | ADC_BQ4_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 4, N0 系数字节[15:8]  |
| 0x47 | ADC_BQ4_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 4, N0 系数字节[7:0]   |

表 7-203. 页面 8 可编程系数寄存器 (续)

|      |                      |      |                                  |
|------|----------------------|------|----------------------------------|
| 0x48 | ADC_BQ4_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, N1 系数字节[31:24] |
| 0x49 | ADC_BQ4_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, N1 系数字节[23:16] |
| 0x4A | ADC_BQ4_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, N1 系数字节[15:8]  |
| 0x4B | ADC_BQ4_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, N1 系数字节[7:0]   |
| 0x4C | ADC_BQ4_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, N2 系数字节[31:24] |
| 0x4D | ADC_BQ4_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, N2 系数字节[23:16] |
| 0x4E | ADC_BQ4_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, N2 系数字节[15:8]  |
| 0x4F | ADC_BQ4_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, N2 系数字节[7:0]   |
| 0x50 | ADC_BQ4_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, D1 系数字节[31:24] |
| 0x51 | ADC_BQ4_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, D1 系数字节[23:16] |
| 0x52 | ADC_BQ4_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, D1 系数字节[15:8]  |
| 0x53 | ADC_BQ4_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, D1 系数字节[7:0]   |
| 0x54 | ADC_BQ4_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, D2 系数字节[31:24] |
| 0x55 | ADC_BQ4_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, D2 系数字节[23:16] |
| 0x56 | ADC_BQ4_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, D2 系数字节[15:8]  |
| 0x57 | ADC_BQ4_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 4, D2 系数字节[7:0]   |
| 0x58 | ADC_BQ5_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 5, N0 系数字节[31:24] |
| 0x59 | ADC_BQ5_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 5, N0 系数字节[23:16] |
| 0x5A | ADC_BQ5_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 5, N0 系数字节[15:8]  |
| 0x5B | ADC_BQ5_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 5, N0 系数字节[7:0]   |
| 0x5C | ADC_BQ5_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, N1 系数字节[31:24] |
| 0x5D | ADC_BQ5_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, N1 系数字节[23:16] |
| 0x5E | ADC_BQ5_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, N1 系数字节[15:8]  |
| 0x5F | ADC_BQ5_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, N1 系数字节[7:0]   |
| 0x60 | ADC_BQ5_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, N2 系数字节[31:24] |
| 0x61 | ADC_BQ5_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, N2 系数字节[23:16] |
| 0x62 | ADC_BQ5_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, N2 系数字节[15:8]  |
| 0x63 | ADC_BQ5_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, N2 系数字节[7:0]   |
| 0x64 | ADC_BQ5_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, D1 系数字节[31:24] |
| 0x65 | ADC_BQ5_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, D1 系数字节[23:16] |
| 0x66 | ADC_BQ5_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, D1 系数字节[15:8]  |
| 0x67 | ADC_BQ5_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, D1 系数字节[7:0]   |
| 0x68 | ADC_BQ5_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, D2 系数字节[31:24] |
| 0x69 | ADC_BQ5_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, D2 系数字节[23:16] |
| 0x6A | ADC_BQ5_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, D2 系数字节[15:8]  |
| 0x6B | ADC_BQ5_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 5, D2 系数字节[7:0]   |
| 0x6C | ADC_BQ6_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 6, N0 系数字节[31:24] |
| 0x6D | ADC_BQ6_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 6, N0 系数字节[23:16] |
| 0x6E | ADC_BQ6_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 6, N0 系数字节[15:8]  |
| 0x6F | ADC_BQ6_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 6, N0 系数字节[7:0]   |
| 0x70 | ADC_BQ6_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, N1 系数字节[31:24] |
| 0x71 | ADC_BQ6_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, N1 系数字节[23:16] |
| 0x72 | ADC_BQ6_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, N1 系数字节[15:8]  |

表 7-203. 页面 8 可编程系数寄存器 (续)

|      |                      |      |                                  |
|------|----------------------|------|----------------------------------|
| 0x73 | ADC_BQ6_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, N1 系数字节[7:0]   |
| 0x74 | ADC_BQ6_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, N2 系数字节[31:24] |
| 0x75 | ADC_BQ6_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, N2 系数字节[23:16] |
| 0x76 | ADC_BQ6_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, N2 系数字节[15:8]  |
| 0x77 | ADC_BQ6_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, N2 系数字节[7:0]   |
| 0x78 | ADC_BQ6_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, D1 系数字节[31:24] |
| 0x79 | ADC_BQ6_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, D1 系数字节[23:16] |
| 0x7A | ADC_BQ6_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, D1 系数字节[15:8]  |
| 0x7B | ADC_BQ6_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, D1 系数字节[7:0]   |
| 0x7C | ADC_BQ6_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, D2 系数字节[31:24] |
| 0x7D | ADC_BQ6_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, D2 系数字节[23:16] |
| 0x7E | ADC_BQ6_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, D2 系数字节[15:8]  |
| 0x7F | ADC_BQ6_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 6, D2 系数字节[7:0]   |

### 7.2.2 可编程系数寄存器：页面 9

该寄存器页面 (如表 7-204 所示) 包含 ADC 双二阶滤波器 7 至双二阶滤波器 12 的可编程系数。

表 7-204. 页面 9 可编程系数寄存器

| 地址   | 寄存器                  | 复位   | 说明                               |
|------|----------------------|------|----------------------------------|
| 0x00 | PAGE[7:0]            | 0x00 | 器件页寄存器                           |
| 0x08 | ADC_BQ7_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 7, N0 系数字节[31:24] |
| 0x09 | ADC_BQ7_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 7, N0 系数字节[23:16] |
| 0x0A | ADC_BQ7_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 7, N0 系数字节[15:8]  |
| 0x0B | ADC_BQ7_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 7, N0 系数字节[7:0]   |
| 0x0C | ADC_BQ7_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, N1 系数字节[31:24] |
| 0x0D | ADC_BQ7_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, N1 系数字节[23:16] |
| 0x0E | ADC_BQ7_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, N1 系数字节[15:8]  |
| 0x0F | ADC_BQ7_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, N1 系数字节[7:0]   |
| 0x10 | ADC_BQ7_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, N2 系数字节[31:24] |
| 0x11 | ADC_BQ7_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, N2 系数字节[23:16] |
| 0x12 | ADC_BQ7_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, N2 系数字节[15:8]  |
| 0x13 | ADC_BQ7_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, N2 系数字节[7:0]   |
| 0x14 | ADC_BQ7_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, D1 系数字节[31:24] |
| 0x15 | ADC_BQ7_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, D1 系数字节[23:16] |
| 0x16 | ADC_BQ7_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, D1 系数字节[15:8]  |
| 0x17 | ADC_BQ7_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, D1 系数字节[7:0]   |
| 0x18 | ADC_BQ7_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, D2 系数字节[31:24] |
| 0x19 | ADC_BQ7_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, D2 系数字节[23:16] |
| 0x1A | ADC_BQ7_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, D2 系数字节[15:8]  |
| 0x1B | ADC_BQ7_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 7, D2 系数字节[7:0]   |
| 0x1C | ADC_BQ8_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 8, N0 系数字节[31:24] |
| 0x1D | ADC_BQ8_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 8, N0 系数字节[23:16] |
| 0x1E | ADC_BQ8_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 8, N0 系数字节[15:8]  |
| 0x1F | ADC_BQ8_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 8, N0 系数字节[7:0]   |

表 7-204. 页面 9 可编程系数寄存器 (续)

|      |                       |      |                                   |
|------|-----------------------|------|-----------------------------------|
| 0x20 | ADC_BQ8_N1_BYT1[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, N1 系数字节[31:24]  |
| 0x21 | ADC_BQ8_N1_BYT2[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, N1 系数字节[23:16]  |
| 0x22 | ADC_BQ8_N1_BYT3[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, N1 系数字节[15:8]   |
| 0x23 | ADC_BQ8_N1_BYT4[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, N1 系数字节[7:0]    |
| 0x24 | ADC_BQ8_N2_BYT1[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, N2 系数字节[31:24]  |
| 0x25 | ADC_BQ8_N2_BYT2[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, N2 系数字节[23:16]  |
| 0x26 | ADC_BQ8_N2_BYT3[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, N2 系数字节[15:8]   |
| 0x27 | ADC_BQ8_N2_BYT4[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, N2 系数字节[7:0]    |
| 0x28 | ADC_BQ8_D1_BYT1[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, D1 系数字节[31:24]  |
| 0x29 | ADC_BQ8_D1_BYT2[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, D1 系数字节[23:16]  |
| 0x2A | ADC_BQ8_D1_BYT3[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, D1 系数字节[15:8]   |
| 0x2B | ADC_BQ8_D1_BYT4[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, D1 系数字节[7:0]    |
| 0x2C | ADC_BQ8_D2_BYT1[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, D2 系数字节[31:24]  |
| 0x2D | ADC_BQ8_D2_BYT2[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, D2 系数字节[23:16]  |
| 0x2E | ADC_BQ8_D2_BYT3[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, D2 系数字节[15:8]   |
| 0x2F | ADC_BQ8_D2_BYT4[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 8, D2 系数字节[7:0]    |
| 0x30 | ADC_BQ9_N0_BYT1[7:0]  | 0x7F | 可编程 ADC 双二阶滤波器 9, N0 系数字节[31:24]  |
| 0x31 | ADC_BQ9_N0_BYT2[7:0]  | 0xFF | 可编程 ADC 双二阶滤波器 9, N0 系数字节[23:16]  |
| 0x32 | ADC_BQ9_N0_BYT3[7:0]  | 0xFF | 可编程 ADC 双二阶滤波器 9, N0 系数字节[15:8]   |
| 0x33 | ADC_BQ9_N0_BYT4[7:0]  | 0xFF | 可编程 ADC 双二阶滤波器 9, N0 系数字节[7:0]    |
| 0x34 | ADC_BQ9_N1_BYT1[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, N1 系数字节[31:24]  |
| 0x35 | ADC_BQ9_N1_BYT2[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, N1 系数字节[23:16]  |
| 0x36 | ADC_BQ9_N1_BYT3[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, N1 系数字节[15:8]   |
| 0x37 | ADC_BQ9_N1_BYT4[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, N1 系数字节[7:0]    |
| 0x38 | ADC_BQ9_N2_BYT1[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, N2 系数字节[31:24]  |
| 0x39 | ADC_BQ9_N2_BYT2[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, N2 系数字节[23:16]  |
| 0x3A | ADC_BQ9_N2_BYT3[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, N2 系数字节[15:8]   |
| 0x3B | ADC_BQ9_N2_BYT4[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, N2 系数字节[7:0]    |
| 0x3C | ADC_BQ9_D1_BYT1[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, D1 系数字节[31:24]  |
| 0x3D | ADC_BQ9_D1_BYT2[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, D1 系数字节[23:16]  |
| 0x3E | ADC_BQ9_D1_BYT3[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, D1 系数字节[15:8]   |
| 0x3F | ADC_BQ9_D1_BYT4[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, D1 系数字节[7:0]    |
| 0x40 | ADC_BQ9_D2_BYT1[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, D2 系数字节[31:24]  |
| 0x41 | ADC_BQ9_D2_BYT2[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, D2 系数字节[23:16]  |
| 0x42 | ADC_BQ9_D2_BYT3[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, D2 系数字节[15:8]   |
| 0x43 | ADC_BQ9_D2_BYT4[7:0]  | 0x00 | 可编程 ADC 双二阶滤波器 9, D2 系数字节[7:0]    |
| 0x44 | ADC_BQ10_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 10, N0 系数字节[31:24] |
| 0x45 | ADC_BQ10_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 10, N0 系数字节[23:16] |
| 0x46 | ADC_BQ10_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 10, N0 系数字节[15:8]  |
| 0x47 | ADC_BQ10_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 10, N0 系数字节[7:0]   |
| 0x48 | ADC_BQ10_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, N1 系数字节[31:24] |
| 0x49 | ADC_BQ10_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, N1 系数字节[23:16] |
| 0x4A | ADC_BQ10_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, N1 系数字节[15:8]  |



表 7-204. 页面 9 可编程系数寄存器 (续)

|      |                       |      |                                   |
|------|-----------------------|------|-----------------------------------|
| 0x4B | ADC_BQ10_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, N1 系数字节[7:0]   |
| 0x4C | ADC_BQ10_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, N2 系数字节[31:24] |
| 0x4D | ADC_BQ10_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, N2 系数字节[23:16] |
| 0x4E | ADC_BQ10_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, N2 系数字节[15:8]  |
| 0x4F | ADC_BQ10_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, N2 系数字节[7:0]   |
| 0x50 | ADC_BQ10_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, D1 系数字节[31:24] |
| 0x51 | ADC_BQ10_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, D1 系数字节[23:16] |
| 0x52 | ADC_BQ10_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, D1 系数字节[15:8]  |
| 0x53 | ADC_BQ10_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, D1 系数字节[7:0]   |
| 0x54 | ADC_BQ10_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, D2 系数字节[31:24] |
| 0x55 | ADC_BQ10_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, D2 系数字节[23:16] |
| 0x56 | ADC_BQ10_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, D2 系数字节[15:8]  |
| 0x57 | ADC_BQ10_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 10, D2 系数字节[7:0]   |
| 0x58 | ADC_BQ11_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 11, N0 系数字节[31:24] |
| 0x59 | ADC_BQ11_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 11, N0 系数字节[23:16] |
| 0x5A | ADC_BQ11_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 11, N0 系数字节[15:8]  |
| 0x5B | ADC_BQ11_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 11, N0 系数字节[7:0]   |
| 0x5C | ADC_BQ11_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, N1 系数字节[31:24] |
| 0x5D | ADC_BQ11_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, N1 系数字节[23:16] |
| 0x5E | ADC_BQ11_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, N1 系数字节[15:8]  |
| 0x5F | ADC_BQ11_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, N1 系数字节[7:0]   |
| 0x60 | ADC_BQ11_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, N2 系数字节[31:24] |
| 0x61 | ADC_BQ11_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, N2 系数字节[23:16] |
| 0x62 | ADC_BQ11_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, N2 系数字节[15:8]  |
| 0x63 | ADC_BQ11_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, N2 系数字节[7:0]   |
| 0x64 | ADC_BQ11_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, D1 系数字节[31:24] |
| 0x65 | ADC_BQ11_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, D1 系数字节[23:16] |
| 0x66 | ADC_BQ11_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, D1 系数字节[15:8]  |
| 0x67 | ADC_BQ11_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, D1 系数字节[7:0]   |
| 0x68 | ADC_BQ11_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, D2 系数字节[31:24] |
| 0x69 | ADC_BQ11_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, D2 系数字节[23:16] |
| 0x6A | ADC_BQ11_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, D2 系数字节[15:8]  |
| 0x6B | ADC_BQ11_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 11, D2 系数字节[7:0]   |
| 0x6C | ADC_BQ12_N0_BYT1[7:0] | 0x7F | 可编程 ADC 双二阶滤波器 12, N0 系数字节[31:24] |
| 0x6D | ADC_BQ12_N0_BYT2[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 12, N0 系数字节[23:16] |
| 0x6E | ADC_BQ12_N0_BYT3[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 12, N0 系数字节[15:8]  |
| 0x6F | ADC_BQ12_N0_BYT4[7:0] | 0xFF | 可编程 ADC 双二阶滤波器 12, N0 系数字节[7:0]   |
| 0x70 | ADC_BQ12_N1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, N1 系数字节[31:24] |
| 0x71 | ADC_BQ12_N1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, N1 系数字节[23:16] |
| 0x72 | ADC_BQ12_N1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, N1 系数字节[15:8]  |
| 0x73 | ADC_BQ12_N1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, N1 系数字节[7:0]   |
| 0x74 | ADC_BQ12_N2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, N2 系数字节[31:24] |
| 0x75 | ADC_BQ12_N2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, N2 系数字节[23:16] |

表 7-204. 页面 9 可编程系数寄存器 (续)

|      |                       |      |                                   |
|------|-----------------------|------|-----------------------------------|
| 0x76 | ADC_BQ12_N2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, N2 系数字节[15:8]  |
| 0x77 | ADC_BQ12_N2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, N2 系数字节[7:0]   |
| 0x78 | ADC_BQ12_D1_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, D1 系数字节[31:24] |
| 0x79 | ADC_BQ12_D1_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, D1 系数字节[23:16] |
| 0x7A | ADC_BQ12_D1_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, D1 系数字节[15:8]  |
| 0x7B | ADC_BQ12_D1_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, D1 系数字节[7:0]   |
| 0x7C | ADC_BQ12_D2_BYT1[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, D2 系数字节[31:24] |
| 0x7D | ADC_BQ12_D2_BYT2[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, D2 系数字节[23:16] |
| 0x7E | ADC_BQ12_D2_BYT3[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, D2 系数字节[15:8]  |
| 0x7F | ADC_BQ12_D2_BYT4[7:0] | 0x00 | 可编程 ADC 双二阶滤波器 12, D2 系数字节[7:0]   |

### 7.2.3 可编程系数寄存器：页面 10

该寄存器页面 (如表 7-205 所示) 包含 ADC 混频器 1 至混频器 4、ADC 至 DAC 环回混频器和 ADC 一阶 IIR 滤波器的可编程系数。所有通道混频器系数均为使用 1.31 数字格式的 32 位二进制补码数字。值 0x7FFFFFFF 相当于 +1 (0dB 增益), 值 0x00000000 相当于静音 (零数据), 这两者之间的所有值都会相应地设置混频器衰减 ( $\text{hex2dec}(\text{value})/2^{31}$ )。如果 MSB 设置为“1”, 则衰减保持不变, 但信号相位反转。

表 7-205. 页面 10 可编程系数寄存器

| 地址   | 寄存器                    | 复位   | 说明                            |
|------|------------------------|------|-------------------------------|
| 0x00 | PAGE[7:0]              | 0x00 | 器件页寄存器                        |
| 0x08 | ADC_MIX1_CH1_BYT1[7:0] | 0x7F | 数字混频器 1, ADC 通道 1 系数字节[31:24] |
| 0x09 | ADC_MIX1_CH1_BYT2[7:0] | 0xFF | 数字混频器 1, ADC 通道 1 系数字节[23:16] |
| 0x0A | ADC_MIX1_CH1_BYT3[7:0] | 0xFF | 数字混频器 1, ADC 通道 1 系数字节[15:8]  |
| 0x0B | ADC_MIX1_CH1_BYT4[7:0] | 0xFF | 数字混频器 1, ADC 通道 1 系数字节[7:0]   |
| 0x0C | ADC_MIX1_CH2_BYT1[7:0] | 0x00 | 数字混频器 1, ADC 通道 2 系数字节[31:24] |
| 0x0D | ADC_MIX1_CH2_BYT2[7:0] | 0x00 | 数字混频器 1, ADC 通道 2 系数字节[23:16] |
| 0x0E | ADC_MIX1_CH2_BYT3[7:0] | 0x00 | 数字混频器 1, ADC 通道 2 系数字节[15:8]  |
| 0x0F | ADC_MIX1_CH2_BYT4[7:0] | 0x00 | 数字混频器 1, ADC 通道 2 系数字节[7:0]   |
| 0x10 | ADC_MIX1_CH3_BYT1[7:0] | 0x00 | 数字混频器 1, ADC 通道 3 系数字节[31:24] |
| 0x11 | ADC_MIX1_CH3_BYT2[7:0] | 0x00 | 数字混频器 1, ADC 通道 3 系数字节[23:16] |
| 0x12 | ADC_MIX1_CH3_BYT3[7:0] | 0x00 | 数字混频器 1, ADC 通道 3 系数字节[15:8]  |
| 0x13 | ADC_MIX1_CH3_BYT4[7:0] | 0x00 | 数字混频器 1, ADC 通道 3 系数字节[7:0]   |
| 0x14 | ADC_MIX1_CH4_BYT1[7:0] | 0x00 | 数字混频器 1, ADC 通道 4 系数字节[31:24] |
| 0x15 | ADC_MIX1_CH4_BYT2[7:0] | 0x00 | 数字混频器 1, ADC 通道 4 系数字节[23:16] |
| 0x16 | ADC_MIX1_CH4_BYT3[7:0] | 0x00 | 数字混频器 1, ADC 通道 4 系数字节[15:8]  |
| 0x17 | ADC_MIX1_CH4_BYT4[7:0] | 0x00 | 数字混频器 1, ADC 通道 4 系数字节[7:0]   |
| 0x18 | ADC_MIX2_CH1_BYT1[7:0] | 0x00 | 数字混频器 2, ADC 通道 1 系数字节[31:24] |
| 0x19 | ADC_MIX2_CH1_BYT2[7:0] | 0x00 | 数字混频器 2, ADC 通道 1 系数字节[23:16] |
| 0x1A | ADC_MIX2_CH1_BYT3[7:0] | 0x00 | 数字混频器 2, ADC 通道 1 系数字节[15:8]  |
| 0x1B | ADC_MIX2_CH1_BYT4[7:0] | 0x00 | 数字混频器 2, ADC 通道 1 系数字节[7:0]   |
| 0x1C | ADC_MIX2_CH2_BYT1[7:0] | 0x7F | 数字混频器 2, ADC 通道 2 系数字节[31:24] |

**表 7-205. 页面 10 可编程系数寄存器 (续)**

|      |                        |      |                               |
|------|------------------------|------|-------------------------------|
| 0x1D | ADC_MIX2_CH2_BYT2[7:0] | 0xFF | 数字混频器 2, ADC 通道 2 系数字节[23:16] |
| 0x1E | ADC_MIX2_CH2_BYT3[7:0] | 0xFF | 数字混频器 2, ADC 通道 2 系数字节[15:8]  |
| 0x1F | ADC_MIX2_CH2_BYT4[7:0] | 0xFF | 数字混频器 2, ADC 通道 2 系数字节[7:0]   |
| 0x20 | ADC_MIX2_CH3_BYT1[7:0] | 0x00 | 数字混频器 2, ADC 通道 3 系数字节[31:24] |
| 0x21 | ADC_MIX2_CH3_BYT2[7:0] | 0x00 | 数字混频器 2, ADC 通道 3 系数字节[23:16] |
| 0x22 | ADC_MIX2_CH3_BYT3[7:0] | 0x00 | 数字混频器 2, ADC 通道 3 系数字节[15:8]  |
| 0x23 | ADC_MIX2_CH3_BYT4[7:0] | 0x00 | 数字混频器 2, ADC 通道 3 系数字节[7:0]   |
| 0x24 | ADC_MIX2_CH4_BYT1[7:0] | 0x00 | 数字混频器 2, ADC 通道 4 系数字节[31:24] |
| 0x25 | ADC_MIX2_CH4_BYT2[7:0] | 0x00 | 数字混频器 2, ADC 通道 4 系数字节[23:16] |
| 0x26 | ADC_MIX2_CH4_BYT3[7:0] | 0x00 | 数字混频器 2, ADC 通道 4 系数字节[15:8]  |
| 0x27 | ADC_MIX2_CH4_BYT4[7:0] | 0x00 | 数字混频器 2, ADC 通道 4 系数字节[7:0]   |
| 0x28 | ADC_MIX3_CH1_BYT1[7:0] | 0x00 | 数字混频器 3, ADC 通道 1 系数字节[31:24] |
| 0x29 | ADC_MIX3_CH1_BYT2[7:0] | 0x00 | 数字混频器 3, ADC 通道 1 系数字节[23:16] |
| 0x2A | ADC_MIX3_CH1_BYT3[7:0] | 0x00 | 数字混频器 3, ADC 通道 1 系数字节[15:8]  |
| 0x2B | ADC_MIX3_CH1_BYT4[7:0] | 0x00 | 数字混频器 3, ADC 通道 1 系数字节[7:0]   |
| 0x2C | ADC_MIX3_CH2_BYT1[7:0] | 0x00 | 数字混频器 3, ADC 通道 2 系数字节[31:24] |
| 0x2D | ADC_MIX3_CH2_BYT2[7:0] | 0x00 | 数字混频器 3, ADC 通道 2 系数字节[23:16] |
| 0x2E | ADC_MIX3_CH2_BYT3[7:0] | 0x00 | 数字混频器 3, ADC 通道 2 系数字节[15:8]  |
| 0x2F | ADC_MIX3_CH2_BYT4[7:0] | 0x00 | 数字混频器 3, ADC 通道 2 系数字节[7:0]   |
| 0x30 | ADC_MIX3_CH3_BYT1[7:0] | 0x7F | 数字混频器 3, ADC 通道 3 系数字节[31:24] |
| 0x31 | ADC_MIX3_CH3_BYT2[7:0] | 0xFF | 数字混频器 3, ADC 通道 3 系数字节[23:16] |
| 0x32 | ADC_MIX3_CH3_BYT3[7:0] | 0xFF | 数字混频器 3, ADC 通道 3 系数字节[15:8]  |
| 0x33 | ADC_MIX3_CH3_BYT4[7:0] | 0xFF | 数字混频器 3, ADC 通道 3 系数字节[7:0]   |
| 0x34 | ADC_MIX3_CH4_BYT1[7:0] | 0x00 | 数字混频器 3, ADC 通道 4 系数字节[31:24] |
| 0x35 | ADC_MIX3_CH4_BYT2[7:0] | 0x00 | 数字混频器 3, ADC 通道 4 系数字节[23:16] |
| 0x36 | ADC_MIX3_CH4_BYT3[7:0] | 0x00 | 数字混频器 3, ADC 通道 4 系数字节[15:8]  |
| 0x37 | ADC_MIX3_CH4_BYT4[7:0] | 0x00 | 数字混频器 3, ADC 通道 4 系数字节[7:0]   |
| 0x38 | ADC_MIX4_CH1_BYT1[7:0] | 0x00 | 数字混频器 4, ADC 通道 1 系数字节[31:24] |
| 0x39 | ADC_MIX4_CH1_BYT2[7:0] | 0x00 | 数字混频器 4, ADC 通道 1 系数字节[23:16] |
| 0x3A | ADC_MIX4_CH1_BYT3[7:0] | 0x00 | 数字混频器 4, ADC 通道 1 系数字节[15:8]  |
| 0x3B | ADC_MIX4_CH1_BYT4[7:0] | 0x00 | 数字混频器 4, ADC 通道 1 系数字节[7:0]   |
| 0x3C | ADC_MIX4_CH2_BYT1[7:0] | 0x00 | 数字混频器 4, ADC 通道 2 系数字节[31:24] |
| 0x3D | ADC_MIX4_CH2_BYT2[7:0] | 0x00 | 数字混频器 4, ADC 通道 2 系数字节[23:16] |
| 0x3E | ADC_MIX4_CH2_BYT3[7:0] | 0x00 | 数字混频器 4, ADC 通道 2 系数字节[15:8]  |
| 0x3F | ADC_MIX4_CH2_BYT4[7:0] | 0x00 | 数字混频器 4, ADC 通道 2 系数字节[7:0]   |
| 0x40 | ADC_MIX4_CH3_BYT1[7:0] | 0x00 | 数字混频器 4, ADC 通道 3 系数字节[31:24] |

表 7-205. 页面 10 可编程系数寄存器 (续)

|      |                           |      |   |
|------|---------------------------|------|---|
| 0x41 | ADC_MIX4_CH3_BYT2[7:0]    | 0x00 | 数字混频器 4, ADC 通道 3 系数字节[23:16]                 |
| 0x42 | ADC_MIX4_CH3_BYT3[7:0]    | 0x00 | 数字混频器 4, ADC 通道 3 系数字节[15:8]                  |
| 0x43 | ADC_MIX4_CH3_BYT4[7:0]    | 0x00 | 数字混频器 4, ADC 通道 3 系数字节[7:0]                   |
| 0x44 | ADC_MIX4_CH4_BYT1[7:0]    | 0x7F | 数字混频器 4, ADC 通道 4 系数字节[31:24]                 |
| 0x45 | ADC_MIX4_CH4_BYT2[7:0]    | 0xFF | 数字混频器 4, ADC 通道 4 系数字节[23:16]                 |
| 0x46 | ADC_MIX4_CH4_BYT3[7:0]    | 0xFF | 数字混频器 4, ADC 通道 4 系数字节[15:8]                  |
| 0x47 | ADC_MIX4_CH4_BYT4[7:0]    | 0xFF | 数字混频器 4, ADC 通道 4 系数字节[7:0]                   |
| 0x48 | ADC_LB_MIX1_CH1_BYT1[7:0] | 0x7F | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 1 系数字节 [31:24] |
| 0x49 | ADC_LB_MIX1_CH1_BYT2[7:0] | 0xFF | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 1 系数字节 [23:16] |
| 0x4A | ADC_LB_MIX1_CH1_BYT3[7:0] | 0xFF | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 1 系数字节 [15:8]  |
| 0x4B | ADC_LB_MIX1_CH1_BYT4[7:0] | 0xFF | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 1 系数字节 [7:0]   |
| 0x4C | ADC_LB_MIX1_CH2_BYT1[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 2 系数字节 [31:24] |
| 0x4D | ADC_LB_MIX1_CH2_BYT2[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 2 系数字节 [23:16] |
| 0x4E | ADC_LB_MIX1_CH2_BYT3[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 2 系数字节 [15:8]  |
| 0x4F | ADC_LB_MIX1_CH2_BYT4[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 2 系数字节 [7:0]   |
| 0x50 | ADC_LB_MIX1_CH3_BYT1[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 3 系数字节 [31:24] |
| 0x51 | ADC_LB_MIX1_CH3_BYT2[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 3 系数字节 [23:16] |
| 0x52 | ADC_LB_MIX1_CH3_BYT3[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 3 系数字节 [15:8]  |
| 0x53 | ADC_LB_MIX1_CH3_BYT4[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 3 系数字节 [7:0]   |
| 0x54 | ADC_LB_MIX1_CH4_BYT1[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 4 系数字节 [31:24] |
| 0x55 | ADC_LB_MIX1_CH4_BYT2[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 4 系数字节 [23:16] |
| 0x56 | ADC_LB_MIX1_CH4_BYT3[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 4 系数字节 [15:8]  |
| 0x57 | ADC_LB_MIX1_CH4_BYT4[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 1, ADC 通道 4 系数字节 [7:0]   |
| 0x58 | ADC_LB_MIX2_CH1_BYT1[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 1 系数字节 [31:24] |

表 7-205. 页面 10 可编程系数寄存器 (续)

|      |                           |      |   |
|------|---------------------------|------|---|
| 0x59 | ADC_LB_MIX2_CH1_BYT2[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 1 系数字节 [23:16] |
| 0x5A | ADC_LB_MIX2_CH1_BYT3[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 1 系数字节 [15:8]  |
| 0x5B | ADC_LB_MIX2_CH1_BYT4[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 1 系数字节 [7:0]   |
| 0x5C | ADC_LB_MIX2_CH2_BYT1[7:0] | 0x7F | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 2 系数字节 [31:24] |
| 0x5D | ADC_LB_MIX2_CH2_BYT2[7:0] | 0xFF | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 2 系数字节 [23:16] |
| 0x5E | ADC_LB_MIX2_CH2_BYT3[7:0] | 0xFF | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 2 系数字节 [15:8]  |
| 0x5F | ADC_LB_MIX2_CH2_BYT4[7:0] | 0xFF | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 2 系数字节 [7:0]   |
| 0x60 | ADC_LB_MIX2_CH3_BYT1[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 3 系数字节 [31:24] |
| 0x61 | ADC_LB_MIX2_CH3_BYT2[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 3 系数字节 [23:16] |
| 0x62 | ADC_LB_MIX2_CH3_BYT3[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 3 系数字节 [15:8]  |
| 0x63 | ADC_LB_MIX2_CH3_BYT4[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 3 系数字节 [7:0]   |
| 0x64 | ADC_LB_MIX2_CH4_BYT1[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 4 系数字节 [31:24] |
| 0x65 | ADC_LB_MIX2_CH4_BYT2[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 4 系数字节 [23:16] |
| 0x66 | ADC_LB_MIX2_CH4_BYT3[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 4 系数字节 [15:8]  |
| 0x67 | ADC_LB_MIX2_CH4_BYT4[7:0] | 0x00 | 数字环回 (ADC 至 DAC) 混频器 2, ADC 通道 4 系数字节 [7:0]   |
| 0x78 | ADC_IIR_N0_BYT1[7:0]      | 0x7F | 可编程 ADC 一阶 IIR 滤波器, N0 系数字节[31:24]            |
| 0x79 | ADC_IIR_N0_BYT2[7:0]      | 0xFF | 可编程 ADC 一阶 IIR 滤波器, N0 系数字节[23:16]            |
| 0x7A | ADC_IIR_N0_BYT3[7:0]      | 0xFF | 可编程 ADC 一阶 IIR 滤波器, N0 系数字节[15:8]             |
| 0x7B | ADC_IIR_N0_BYT4[7:0]      | 0xFF | 可编程 ADC 一阶 IIR 滤波器, N0 系数字节[7:0]              |
| 0x7C | ADC_IIR_N1_BYT1[7:0]      | 0x00 | 可编程 ADC 一阶 IIR 滤波器, N1 系数字节[31:24]            |
| 0x7D | ADC_IIR_N1_BYT2[7:0]      | 0x00 | 可编程 ADC 一阶 IIR 滤波器, N1 系数字节[23:16]            |
| 0x7E | ADC_IIR_N1_BYT3[7:0]      | 0x00 | 可编程 ADC 一阶 IIR 滤波器, N1 系数字节[15:8]             |
| 0x7F | ADC_IIR_N1_BYT4[7:0]      | 0x00 | 可编程 ADC 一阶 IIR 滤波器, N1 系数字节[7:0]              |

### 7.2.4 可编程系数寄存器：页面 11

该寄存器页面（如表 7-206 所示）包含 ADC 一阶 IIR 滤波器的可编程系数、ADC 数字音量控制和通道 1 至 4 的精细增益控制、ADC 辅助混频器和 UAD 滤波器的可编程系数。

表 7-206. 页面 11 可编程系数寄存器

| 地址   | 寄存器                                | 复位   | 说明                                  |
|------|------------------------------------|------|-------------------------------------|
| 0x00 | PAGE[7:0]                          | 0x00 | 器件页寄存器                              |
| 0x08 | ADC_IIR_D1_BYT1[7:0]               | 0x00 | 可编程 ADC 一阶 IIR 滤波器，D1 系数字节[31:24]   |
| 0x09 | ADC_IIR_D1_BYT2[7:0]               | 0x00 | 可编程 ADC 一阶 IIR 滤波器，D1 系数字节[23:16]   |
| 0x0A | ADC_IIR_D1_BYT3[7:0]               | 0x00 | 可编程 ADC 一阶 IIR 滤波器，D1 系数字节[15:8]    |
| 0x0B | ADC_IIR_D1_BYT4[7:0]               | 0x00 | 可编程 ADC 一阶 IIR 滤波器，D1 系数字节[7:0]     |
| 0x0C | DEV_BQ_BUF_SWAP_FLAG_B<br>YT1[7:0] | 0x00 | 器件双二阶缓冲器交换标志系数字节[31:24]             |
| 0x0D | DEV_BQ_BUF_SWAP_FLAG_B<br>YT2[7:0] | 0x00 | 器件双二阶缓冲器交换标志系数字节[23:16]             |
| 0x0E | DEV_BQ_BUF_SWAP_FLAG_B<br>YT3[7:0] | 0x00 | 器件双二阶缓冲器交换标志系数字节[15:8]              |
| 0x0F | DEV_BQ_BUF_SWAP_FLAG_B<br>YT4[7:0] | 0x00 | 器件双二阶缓冲器交换标志系数字节[7:0]               |
| 0x0C | ADC_VOL_CH1_BYT1[7:0]              | 0x00 | 数字音量控制，ADC 通道 1 系数字节[31:24]         |
| 0x0D | ADC_VOL_CH1_BYT2[7:0]              | 0x80 | 数字音量控制，ADC 通道 1 系数字节[23:16]         |
| 0x0E | ADC_VOL_CH1_BYT3[7:0]              | 0x00 | 数字音量控制，ADC 通道 1 系数字节[15:8]          |
| 0x0F | ADC_VOL_CH1_BYT4[7:0]              | 0x00 | 数字音量控制，ADC 通道 1 系数字节[7:0]           |
| 0x10 | ADC_VOL_CH2_BYT1[7:0]              | 0x00 | 数字音量控制，ADC 通道 2 系数字节[31:24]         |
| 0x11 | ADC_VOL_CH2_BYT2[7:0]              | 0x80 | 数字音量控制，ADC 通道 2 系数字节[23:16]         |
| 0x12 | ADC_VOL_CH2_BYT3[7:0]              | 0x00 | 数字音量控制，ADC 通道 2 系数字节[15:8]          |
| 0x13 | ADC_VOL_CH2_BYT4[7:0]              | 0x00 | 数字音量控制，ADC 通道 2 系数字节[7:0]           |
| 0x14 | ADC_VOL_CH3_BYT1[7:0]              | 0x00 | 数字音量控制，ADC 通道 3 系数字节[31:24]         |
| 0x15 | ADC_VOL_CH3_BYT2[7:0]              | 0x80 | 数字音量控制，ADC 通道 3 系数字节[23:16]         |
| 0x16 | ADC_VOL_CH3_BYT3[7:0]              | 0x00 | 数字音量控制，ADC 通道 3 系数字节[15:8]          |
| 0x17 | ADC_VOL_CH3_BYT4[7:0]              | 0x00 | 数字音量控制，ADC 通道 3 系数字节[7:0]           |
| 0x18 | ADC_VOL_CH4_BYT1[7:0]              | 0x00 | 数字音量控制，ADC 通道 4 系数字节[31:24]         |
| 0x19 | ADC_VOL_CH4_BYT2[7:0]              | 0x80 | 数字音量控制，ADC 通道 4 系数字节[23:16]         |
| 0x1A | ADC_VOL_CH4_BYT3[7:0]              | 0x00 | 数字音量控制，ADC 通道 4 系数字节[15:8]          |
| 0x1F | ADC_VOL_CH4_BYT4[7:0]              | 0x00 | 数字音量控制，ADC 通道 4 系数字节[7:0]           |
| 0x20 | ADC_SF2_CH1_BYT1[7:0]              | 0x40 | 数字 SF2（精细增益）控制，ADC 通道 1 系数字节[31:24] |
| 0x21 | ADC_SF2_CH1_BYT2[7:0]              | 0x00 | 数字 SF2（精细增益）控制，ADC 通道 1 系数字节[23:16] |
| 0x22 | ADC_SF2_CH1_BYT3[7:0]              | 0x00 | 数字 SF2（精细增益）控制，ADC 通道 1 系数字节[15:8]  |
| 0x23 | ADC_SF2_CH1_BYT4[7:0]              | 0x00 | 数字 SF2（精细增益）控制，ADC 通道 1 系数字节[7:0]   |
| 0x24 | ADC_SF2_CH2_BYT1[7:0]              | 0x40 | 数字 SF2（精细增益）控制，ADC 通道 2 系数字节[31:24] |
| 0x25 | ADC_SF2_CH2_BYT2[7:0]              | 0x00 | 数字 SF2（精细增益）控制，ADC 通道 2 系数字节[23:16] |
| 0x26 | ADC_SF2_CH2_BYT3[7:0]              | 0x00 | 数字 SF2（精细增益）控制，ADC 通道 2 系数字节[15:8]  |
| 0x27 | ADC_SF2_CH2_BYT4[7:0]              | 0x00 | 数字 SF2（精细增益）控制，ADC 通道 2 系数字节[7:0]   |
| 0x28 | ADC_SF2_CH3_BYT1[7:0]              | 0x40 | 数字 SF2（精细增益）控制，ADC 通道 3 系数字节[31:24] |
| 0x29 | ADC_SF2_CH3_BYT2[7:0]              | 0x00 | 数字 SF2（精细增益）控制，ADC 通道 3 系数字节[23:16] |
| 0x2A | ADC_SF2_CH3_BYT3[7:0]              | 0x00 | 数字 SF2（精细增益）控制，ADC 通道 3 系数字节[15:8]  |

表 7-206. 页面 11 可编程系数寄存器 (续)

|      |                           |      |  |
|------|---------------------------|------|--|
| 0x2B | ADC_SF2_CH3_BYT4[7:0]     | 0x00 | 数字 SF2 (精细增益) 控制, ADC 通道 3 系数字节[7:0]   |
| 0x2C | ADC_SF2_CH4_BYT1[7:0]     | 0x40 | 数字 SF2 (精细增益) 控制, ADC 通道 4 系数字节[31:24] |
| 0x2D | ADC_SF2_CH4_BYT2[7:0]     | 0x00 | 数字 SF2 (精细增益) 控制, ADC 通道 4 系数字节[23:16] |
| 0x2E | ADC_SF2_CH4_BYT3[7:0]     | 0x00 | 数字 SF2 (精细增益) 控制, ADC 通道 4 系数字节[15:8]  |
| 0x2F | ADC_SF2_CH4_BYT4[7:0]     | 0x00 | 数字 SF2 (精细增益) 控制, ADC 通道 4 系数字节[7:0]   |
| 0x30 | ADC_AUX_MIX_CH1_BYT1[7:0] | 0x00 | ADC 辅助混频器 CH1 系数字节[31:24]              |
| 0x31 | ADC_AUX_MIX_CH1_BYT2[7:0] | 0x00 | ADC 辅助混频器 CH1 系数字节[23:16]              |
| 0x32 | ADC_AUX_MIX_CH1_BYT3[7:0] | 0x00 | ADC 辅助混频器 CH1 系数字节[15:8]               |
| 0x33 | ADC_AUX_MIX_CH1_BYT4[7:0] | 0x00 | ADC 辅助混频器 CH1 系数字节[7:0]                |
| 0x34 | ADC_AUX_MIX_CH2_BYT1[7:0] | 0x00 | ADC 辅助混频器 CH2 系数字节[31:24]              |
| 0x35 | ADC_AUX_MIX_CH2_BYT2[7:0] | 0x00 | ADC 辅助混频器 CH2 系数字节[23:16]              |
| 0x36 | ADC_AUX_MIX_CH2_BYT3[7:0] | 0x00 | ADC 辅助混频器 CH2 系数字节[15:8]               |
| 0x37 | ADC_AUX_MIX_CH2_BYT4[7:0] | 0x00 | ADC 辅助混频器 CH2 系数字节[7:0]                |
| 0x68 | ADC_UAD_BPF_B0_BYT1[7:0]  | 0x07 | UAD BQ B0 系数[31:24]                    |
| 0x69 | ADC_UAD_BPF_B0_BYT2[7:0]  | 0xDF | UAD BQ B0 系数[23:16]                    |
| 0x6A | ADC_UAD_BPF_B0_BYT3[7:0]  | 0x9E | UAD BQ B0 系数[15:8]                     |
| 0x6B | ADC_UAD_BPF_B0_BYT4[7:0]  | 0x1D | UAD BQ B0 系数[7:0]                      |
| 0x6C | ADC_UAD_BPF_B1_BYT1[7:0]  | 0x00 | UAD BQ B1 系数[31:24]                    |
| 0x6D | ADC_UAD_BPF_B1_BYT2[7:0]  | 0x00 | UAD BQ B1 系数[23:16]                    |
| 0x6E | ADC_UAD_BPF_B1_BYT3[7:0]  | 0x00 | UAD BQ B1 系数[15:8]                     |
| 0x6F | ADC_UAD_BPF_B1_BYT4[7:0]  | 0x00 | UAD BQ B1 系数[7:0]                      |
| 0x70 | ADC_UAD_BPF_B2_BYT1[7:0]  | 0xF8 | UAD BQ B2 系数[31:24]                    |
| 0x71 | ADC_UAD_BPF_B2_BYT2[7:0]  | 0x20 | UAD BQ B2 系数[23:16]                    |
| 0x72 | ADC_UAD_BPF_B2_BYT3[7:0]  | 0x61 | UAD BQ B2 系数[15:8]                     |
| 0x73 | ADC_UAD_BPF_B2_BYT4[7:0]  | 0xE2 | UAD BQ B2 系数[7:0]                      |
| 0x74 | ADC_UAD_BPF_A1_BYT1[7:0]  | 0x3C | UAD BQ A1 系数[31:24]                    |
| 0x75 | ADC_UAD_BPF_A1_BYT2[7:0]  | 0x31 | UAD BQ A1 系数[23:16]                    |
| 0x76 | ADC_UAD_BPF_A1_BYT3[7:0]  | 0x2E | UAD BQ A1 系数[15:8]                     |
| 0x77 | ADC_UAD_BPF_A1_BYT4[7:0]  | 0xF5 | UAD BQ A1 系数[7:0]                      |
| 0x78 | ADC_UAD_BPF_A2_BYT1[7:0]  | 0x70 | UAD BQ A2 系数[31:24]                    |
| 0x79 | ADC_UAD_BPF_A2_BYT2[7:0]  | 0x40 | UAD BQ A2 系数[23:16]                    |
| 0x7A | ADC_UAD_BPF_A2_BYT3[7:0]  | 0xC3 | UAD BQ A2 系数[15:8]                     |
| 0x7B | ADC_UAD_BPF_A2_BYT4[7:0]  | 0xC5 | UAD BQ A2 系数[7:0]                      |

### 7.2.5 可编程系数寄存器 : 页面 15

该寄存器页面 (如表 7-207 所示) 包含 DAC 双二阶滤波器 1 至双二阶滤波器 6 的可编程系数。

表 7-207. 页面 15 可编程系数寄存器

| 地址 | 寄存器 | 复位 | 说明 |
|----|-----|----|----|
|----|-----|----|----|

表 7-207. 页面 15 可编程系数寄存器 (续)

| 0x00 | PAGE[7:0]            | 0x00 | 器件页寄存器                           |
|------|----------------------|------|----------------------------------|
| 0x08 | DAC_BQ1_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 1, N0 系数字节[31:24] |
| 0x09 | DAC_BQ1_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 1, N0 系数字节[23:16] |
| 0x0A | DAC_BQ1_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 1, N0 系数字节[15:8]  |
| 0x0B | DAC_BQ1_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 1, N0 系数字节[7:0]   |
| 0x0C | DAC_BQ1_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, N1 系数字节[31:24] |
| 0x0D | DAC_BQ1_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, N1 系数字节[23:16] |
| 0x0E | DAC_BQ1_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, N1 系数字节[15:8]  |
| 0x0F | DAC_BQ1_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, N1 系数字节[7:0]   |
| 0x10 | DAC_BQ1_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, N2 系数字节[31:24] |
| 0x11 | DAC_BQ1_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, N2 系数字节[23:16] |
| 0x12 | DAC_BQ1_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, N2 系数字节[15:8]  |
| 0x13 | DAC_BQ1_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, N2 系数字节[7:0]   |
| 0x14 | DAC_BQ1_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, D1 系数字节[31:24] |
| 0x15 | DAC_BQ1_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, D1 系数字节[23:16] |
| 0x16 | DAC_BQ1_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, D1 系数字节[15:8]  |
| 0x17 | DAC_BQ1_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, D1 系数字节[7:0]   |
| 0x18 | DAC_BQ1_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, D2 系数字节[31:24] |
| 0x19 | DAC_BQ1_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, D2 系数字节[23:16] |
| 0x1A | DAC_BQ1_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, D2 系数字节[15:8]  |
| 0x1B | DAC_BQ1_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 1, D2 系数字节[7:0]   |
| 0x1C | DAC_BQ2_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 2, N0 系数字节[31:24] |
| 0x1D | DAC_BQ2_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 2, N0 系数字节[23:16] |
| 0x1E | DAC_BQ2_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 2, N0 系数字节[15:8]  |
| 0x1F | DAC_BQ2_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 2, N0 系数字节[7:0]   |
| 0x20 | DAC_BQ2_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, N1 系数字节[31:24] |
| 0x21 | DAC_BQ2_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, N1 系数字节[23:16] |
| 0x22 | DAC_BQ2_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, N1 系数字节[15:8]  |
| 0x23 | DAC_BQ2_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, N1 系数字节[7:0]   |
| 0x24 | DAC_BQ2_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, N2 系数字节[31:24] |
| 0x25 | DAC_BQ2_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, N2 系数字节[23:16] |
| 0x26 | DAC_BQ2_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, N2 系数字节[15:8]  |
| 0x27 | DAC_BQ2_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, N2 系数字节[7:0]   |
| 0x28 | DAC_BQ2_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, D1 系数字节[31:24] |
| 0x29 | DAC_BQ2_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, D1 系数字节[23:16] |
| 0x2A | DAC_BQ2_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, D1 系数字节[15:8]  |
| 0x2B | DAC_BQ2_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, D1 系数字节[7:0]   |
| 0x2C | DAC_BQ2_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, D2 系数字节[31:24] |
| 0x2D | DAC_BQ2_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, D2 系数字节[23:16] |
| 0x2E | DAC_BQ2_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, D2 系数字节[15:8]  |
| 0x2F | DAC_BQ2_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 2, D2 系数字节[7:0]   |
| 0x30 | DAC_BQ3_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 3, N0 系数字节[31:24] |
| 0x31 | DAC_BQ3_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 3, N0 系数字节[23:16] |



**表 7-207. 页面 15 可编程系数寄存器 (续)**

|      |                      |      |                                  |
|------|----------------------|------|----------------------------------|
| 0x32 | DAC_BQ3_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 3, N0 系数字节[15:8]  |
| 0x33 | DAC_BQ3_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 3, N0 系数字节[7:0]   |
| 0x34 | DAC_BQ3_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, N1 系数字节[31:24] |
| 0x35 | DAC_BQ3_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, N1 系数字节[23:16] |
| 0x36 | DAC_BQ3_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, N1 系数字节[15:8]  |
| 0x37 | DAC_BQ3_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, N1 系数字节[7:0]   |
| 0x38 | DAC_BQ3_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, N2 系数字节[31:24] |
| 0x39 | DAC_BQ3_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, N2 系数字节[23:16] |
| 0x3A | DAC_BQ3_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, N2 系数字节[15:8]  |
| 0x3B | DAC_BQ3_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, N2 系数字节[7:0]   |
| 0x3C | DAC_BQ3_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, D1 系数字节[31:24] |
| 0x3D | DAC_BQ3_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, D1 系数字节[23:16] |
| 0x3E | DAC_BQ3_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, D1 系数字节[15:8]  |
| 0x3F | DAC_BQ3_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, D1 系数字节[7:0]   |
| 0x40 | DAC_BQ3_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, D2 系数字节[31:24] |
| 0x41 | DAC_BQ3_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, D2 系数字节[23:16] |
| 0x42 | DAC_BQ3_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, D2 系数字节[15:8]  |
| 0x43 | DAC_BQ3_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 3, D2 系数字节[7:0]   |
| 0x44 | DAC_BQ4_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 4, N0 系数字节[31:24] |
| 0x45 | DAC_BQ4_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 4, N0 系数字节[23:16] |
| 0x46 | DAC_BQ4_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 4, N0 系数字节[15:8]  |
| 0x47 | DAC_BQ4_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 4, N0 系数字节[7:0]   |
| 0x48 | DAC_BQ4_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, N1 系数字节[31:24] |
| 0x49 | DAC_BQ4_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, N1 系数字节[23:16] |
| 0x4A | DAC_BQ4_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, N1 系数字节[15:8]  |
| 0x4B | DAC_BQ4_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, N1 系数字节[7:0]   |
| 0x4C | DAC_BQ4_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, N2 系数字节[31:24] |
| 0x4D | DAC_BQ4_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, N2 系数字节[23:16] |
| 0x4E | DAC_BQ4_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, N2 系数字节[15:8]  |
| 0x4F | DAC_BQ4_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, N2 系数字节[7:0]   |
| 0x50 | DAC_BQ4_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, D1 系数字节[31:24] |
| 0x51 | DAC_BQ4_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, D1 系数字节[23:16] |
| 0x52 | DAC_BQ4_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, D1 系数字节[15:8]  |
| 0x53 | DAC_BQ4_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, D1 系数字节[7:0]   |
| 0x54 | DAC_BQ4_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, D2 系数字节[31:24] |
| 0x55 | DAC_BQ4_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, D2 系数字节[23:16] |
| 0x56 | DAC_BQ4_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, D2 系数字节[15:8]  |
| 0x57 | DAC_BQ4_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 4, D2 系数字节[7:0]   |
| 0x58 | DAC_BQ5_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 5, N0 系数字节[31:24] |
| 0x59 | DAC_BQ5_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 5, N0 系数字节[23:16] |
| 0x5A | DAC_BQ5_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 5, N0 系数字节[15:8]  |
| 0x5B | DAC_BQ5_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 5, N0 系数字节[7:0]   |
| 0x5C | DAC_BQ5_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, N1 系数字节[31:24] |

表 7-207. 页面 15 可编程系数寄存器 (续)

|      |                      |      |                                  |
|------|----------------------|------|----------------------------------|
| 0x5D | DAC_BQ5_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, N1 系数字节[23:16] |
| 0x5E | DAC_BQ5_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, N1 系数字节[15:8]  |
| 0x5F | DAC_BQ5_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, N1 系数字节[7:0]   |
| 0x60 | DAC_BQ5_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, N2 系数字节[31:24] |
| 0x61 | DAC_BQ5_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, N2 系数字节[23:16] |
| 0x62 | DAC_BQ5_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, N2 系数字节[15:8]  |
| 0x63 | DAC_BQ5_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, N2 系数字节[7:0]   |
| 0x64 | DAC_BQ5_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, D1 系数字节[31:24] |
| 0x65 | DAC_BQ5_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, D1 系数字节[23:16] |
| 0x66 | DAC_BQ5_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, D1 系数字节[15:8]  |
| 0x67 | DAC_BQ5_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, D1 系数字节[7:0]   |
| 0x68 | DAC_BQ5_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, D2 系数字节[31:24] |
| 0x69 | DAC_BQ5_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, D2 系数字节[23:16] |
| 0x6A | DAC_BQ5_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, D2 系数字节[15:8]  |
| 0x6B | DAC_BQ5_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 5, D2 系数字节[7:0]   |
| 0x6C | DAC_BQ6_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 6, N0 系数字节[31:24] |
| 0x6D | DAC_BQ6_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 6, N0 系数字节[23:16] |
| 0x6E | DAC_BQ6_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 6, N0 系数字节[15:8]  |
| 0x6F | DAC_BQ6_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 6, N0 系数字节[7:0]   |
| 0x70 | DAC_BQ6_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, N1 系数字节[31:24] |
| 0x71 | DAC_BQ6_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, N1 系数字节[23:16] |
| 0x72 | DAC_BQ6_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, N1 系数字节[15:8]  |
| 0x73 | DAC_BQ6_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, N1 系数字节[7:0]   |
| 0x74 | DAC_BQ6_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, N2 系数字节[31:24] |
| 0x75 | DAC_BQ6_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, N2 系数字节[23:16] |
| 0x76 | DAC_BQ6_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, N2 系数字节[15:8]  |
| 0x77 | DAC_BQ6_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, N2 系数字节[7:0]   |
| 0x78 | DAC_BQ6_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, D1 系数字节[31:24] |
| 0x79 | DAC_BQ6_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, D1 系数字节[23:16] |
| 0x7A | DAC_BQ6_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, D1 系数字节[15:8]  |
| 0x7B | DAC_BQ6_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, D1 系数字节[7:0]   |
| 0x7C | DAC_BQ6_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, D2 系数字节[31:24] |
| 0x7D | DAC_BQ6_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, D2 系数字节[23:16] |
| 0x7E | DAC_BQ6_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, D2 系数字节[15:8]  |
| 0x7F | DAC_BQ6_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 6, D2 系数字节[7:0]   |

**7.2.6 可编程系数寄存器：页面 16**

该寄存器页面 (如节 7.2.6 所示) 包含 DAC 双二阶滤波器 7 至双二阶滤波器 12 的可编程系数。

表 7-208. 页面 16 可编程系数寄存器

| 地址   | 寄存器                  | 复位   | 说明                               |
|------|----------------------|------|----------------------------------|
| 0x00 | PAGE[7:0]            | 0x00 | 器件页寄存器                           |
| 0x08 | DAC_BQ7_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 7, N0 系数字节[31:24] |
| 0x09 | DAC_BQ7_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 7, N0 系数字节[23:16] |

**表 7-208. 页面 16 可编程系数寄存器 (续)**

|      |                      |      |                                  |
|------|----------------------|------|----------------------------------|
| 0x0A | DAC_BQ7_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 7, N0 系数字节[15:8]  |
| 0x0B | DAC_BQ7_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 7, N0 系数字节[7:0]   |
| 0x0C | DAC_BQ7_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, N1 系数字节[31:24] |
| 0x0D | DAC_BQ7_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, N1 系数字节[23:16] |
| 0x0E | DAC_BQ7_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, N1 系数字节[15:8]  |
| 0x0F | DAC_BQ7_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, N1 系数字节[7:0]   |
| 0x10 | DAC_BQ7_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, N2 系数字节[31:24] |
| 0x11 | DAC_BQ7_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, N2 系数字节[23:16] |
| 0x12 | DAC_BQ7_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, N2 系数字节[15:8]  |
| 0x13 | DAC_BQ7_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, N2 系数字节[7:0]   |
| 0x14 | DAC_BQ7_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, D1 系数字节[31:24] |
| 0x15 | DAC_BQ7_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, D1 系数字节[23:16] |
| 0x16 | DAC_BQ7_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, D1 系数字节[15:8]  |
| 0x17 | DAC_BQ7_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, D1 系数字节[7:0]   |
| 0x18 | DAC_BQ7_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, D2 系数字节[31:24] |
| 0x19 | DAC_BQ7_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, D2 系数字节[23:16] |
| 0x1A | DAC_BQ7_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, D2 系数字节[15:8]  |
| 0x1B | DAC_BQ7_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 7, D2 系数字节[7:0]   |
| 0x1C | DAC_BQ8_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 8, N0 系数字节[31:24] |
| 0x1D | DAC_BQ8_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 8, N0 系数字节[23:16] |
| 0x1E | DAC_BQ8_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 8, N0 系数字节[15:8]  |
| 0x1F | DAC_BQ8_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 8, N0 系数字节[7:0]   |
| 0x20 | DAC_BQ8_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, N1 系数字节[31:24] |
| 0x21 | DAC_BQ8_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, N1 系数字节[23:16] |
| 0x22 | DAC_BQ8_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, N1 系数字节[15:8]  |
| 0x23 | DAC_BQ8_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, N1 系数字节[7:0]   |
| 0x24 | DAC_BQ8_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, N2 系数字节[31:24] |
| 0x25 | DAC_BQ8_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, N2 系数字节[23:16] |
| 0x26 | DAC_BQ8_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, N2 系数字节[15:8]  |
| 0x27 | DAC_BQ8_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, N2 系数字节[7:0]   |
| 0x28 | DAC_BQ8_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, D1 系数字节[31:24] |
| 0x29 | DAC_BQ8_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, D1 系数字节[23:16] |
| 0x2A | DAC_BQ8_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, D1 系数字节[15:8]  |
| 0x2B | DAC_BQ8_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, D1 系数字节[7:0]   |
| 0x2C | DAC_BQ8_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, D2 系数字节[31:24] |
| 0x2D | DAC_BQ8_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, D2 系数字节[23:16] |
| 0x2E | DAC_BQ8_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, D2 系数字节[15:8]  |
| 0x2F | DAC_BQ8_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 8, D2 系数字节[7:0]   |
| 0x30 | DAC_BQ9_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 9, N0 系数字节[31:24] |
| 0x31 | DAC_BQ9_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 9, N0 系数字节[23:16] |
| 0x32 | DAC_BQ9_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 9, N0 系数字节[15:8]  |
| 0x33 | DAC_BQ9_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 9, N0 系数字节[7:0]   |
| 0x34 | DAC_BQ9_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 9, N1 系数字节[31:24] |

表 7-208. 页面 16 可编程系数寄存器 (续)

|      |                       |      |                                   |
|------|-----------------------|------|-----------------------------------|
| 0x35 | DAC_BQ9_N1_BYT2[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, N1 系数字节[23:16]  |
| 0x36 | DAC_BQ9_N1_BYT3[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, N1 系数字节[15:8]   |
| 0x37 | DAC_BQ9_N1_BYT4[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, N1 系数字节[7:0]    |
| 0x38 | DAC_BQ9_N2_BYT1[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, N2 系数字节[31:24]  |
| 0x39 | DAC_BQ9_N2_BYT2[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, N2 系数字节[23:16]  |
| 0x3A | DAC_BQ9_N2_BYT3[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, N2 系数字节[15:8]   |
| 0x3B | DAC_BQ9_N2_BYT4[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, N2 系数字节[7:0]    |
| 0x3C | DAC_BQ9_D1_BYT1[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, D1 系数字节[31:24]  |
| 0x3D | DAC_BQ9_D1_BYT2[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, D1 系数字节[23:16]  |
| 0x3E | DAC_BQ9_D1_BYT3[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, D1 系数字节[15:8]   |
| 0x3F | DAC_BQ9_D1_BYT4[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, D1 系数字节[7:0]    |
| 0x40 | DAC_BQ9_D2_BYT1[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, D2 系数字节[31:24]  |
| 0x41 | DAC_BQ9_D2_BYT2[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, D2 系数字节[23:16]  |
| 0x42 | DAC_BQ9_D2_BYT3[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, D2 系数字节[15:8]   |
| 0x43 | DAC_BQ9_D2_BYT4[7:0]  | 0x00 | 可编程 DAC 双二阶滤波器 9, D2 系数字节[7:0]    |
| 0x44 | DAC_BQ10_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 10, N0 系数字节[31:24] |
| 0x45 | DAC_BQ10_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 10, N0 系数字节[23:16] |
| 0x46 | DAC_BQ10_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 10, N0 系数字节[15:8]  |
| 0x47 | DAC_BQ10_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 10, N0 系数字节[7:0]   |
| 0x48 | DAC_BQ10_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, N1 系数字节[31:24] |
| 0x49 | DAC_BQ10_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, N1 系数字节[23:16] |
| 0x4A | DAC_BQ10_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, N1 系数字节[15:8]  |
| 0x4B | DAC_BQ10_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, N1 系数字节[7:0]   |
| 0x4C | DAC_BQ10_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, N2 系数字节[31:24] |
| 0x4D | DAC_BQ10_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, N2 系数字节[23:16] |
| 0x4E | DAC_BQ10_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, N2 系数字节[15:8]  |
| 0x4F | DAC_BQ10_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, N2 系数字节[7:0]   |
| 0x50 | DAC_BQ10_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, D1 系数字节[31:24] |
| 0x51 | DAC_BQ10_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, D1 系数字节[23:16] |
| 0x52 | DAC_BQ10_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, D1 系数字节[15:8]  |
| 0x53 | DAC_BQ10_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, D1 系数字节[7:0]   |
| 0x54 | DAC_BQ10_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, D2 系数字节[31:24] |
| 0x55 | DAC_BQ10_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, D2 系数字节[23:16] |
| 0x56 | DAC_BQ10_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, D2 系数字节[15:8]  |
| 0x57 | DAC_BQ10_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 10, D2 系数字节[7:0]   |
| 0x58 | DAC_BQ11_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 11, N0 系数字节[31:24] |
| 0x59 | DAC_BQ11_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 11, N0 系数字节[23:16] |
| 0x5A | DAC_BQ11_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 11, N0 系数字节[15:8]  |
| 0x5B | DAC_BQ11_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 11, N0 系数字节[7:0]   |
| 0x5C | DAC_BQ11_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, N1 系数字节[31:24] |
| 0x5D | DAC_BQ11_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, N1 系数字节[23:16] |
| 0x5E | DAC_BQ11_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, N1 系数字节[15:8]  |
| 0x5F | DAC_BQ11_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, N1 系数字节[7:0]   |

表 7-208. 页面 16 可编程系数寄存器 (续)

|      |                       |      |                                   |
|------|-----------------------|------|-----------------------------------|
| 0x60 | DAC_BQ11_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, N2 系数字节[31:24] |
| 0x61 | DAC_BQ11_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, N2 系数字节[23:16] |
| 0x62 | DAC_BQ11_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, N2 系数字节[15:8]  |
| 0x63 | DAC_BQ11_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, N2 系数字节[7:0]   |
| 0x64 | DAC_BQ11_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, D1 系数字节[31:24] |
| 0x65 | DAC_BQ11_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, D1 系数字节[23:16] |
| 0x66 | DAC_BQ11_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, D1 系数字节[15:8]  |
| 0x67 | DAC_BQ11_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, D1 系数字节[7:0]   |
| 0x68 | DAC_BQ11_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, D2 系数字节[31:24] |
| 0x69 | DAC_BQ11_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, D2 系数字节[23:16] |
| 0x6A | DAC_BQ11_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, D2 系数字节[15:8]  |
| 0x6B | DAC_BQ11_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 11, D2 系数字节[7:0]   |
| 0x6C | DAC_BQ12_N0_BYT1[7:0] | 0x7F | 可编程 DAC 双二阶滤波器 12, N0 系数字节[31:24] |
| 0x6D | DAC_BQ12_N0_BYT2[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 12, N0 系数字节[23:16] |
| 0x6E | DAC_BQ12_N0_BYT3[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 12, N0 系数字节[15:8]  |
| 0x6F | DAC_BQ12_N0_BYT4[7:0] | 0xFF | 可编程 DAC 双二阶滤波器 12, N0 系数字节[7:0]   |
| 0x70 | DAC_BQ12_N1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, N1 系数字节[31:24] |
| 0x71 | DAC_BQ12_N1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, N1 系数字节[23:16] |
| 0x72 | DAC_BQ12_N1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, N1 系数字节[15:8]  |
| 0x73 | DAC_BQ12_N1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, N1 系数字节[7:0]   |
| 0x74 | DAC_BQ12_N2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, N2 系数字节[31:24] |
| 0x75 | DAC_BQ12_N2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, N2 系数字节[23:16] |
| 0x76 | DAC_BQ12_N2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, N2 系数字节[15:8]  |
| 0x77 | DAC_BQ12_N2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, N2 系数字节[7:0]   |
| 0x78 | DAC_BQ12_D1_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, D1 系数字节[31:24] |
| 0x79 | DAC_BQ12_D1_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, D1 系数字节[23:16] |
| 0x7A | DAC_BQ12_D1_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, D1 系数字节[15:8]  |
| 0x7B | DAC_BQ12_D1_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, D1 系数字节[7:0]   |
| 0x7C | DAC_BQ12_D2_BYT1[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, D2 系数字节[31:24] |
| 0x7D | DAC_BQ12_D2_BYT2[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, D2 系数字节[23:16] |
| 0x7E | DAC_BQ12_D2_BYT3[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, D2 系数字节[15:8]  |
| 0x7F | DAC_BQ12_D2_BYT4[7:0] | 0x00 | 可编程 DAC 双二阶滤波器 12, D2 系数字节[7:0]   |

### 7.2.7 可编程系数寄存器：页面 17

该寄存器页面 (如表 7-209 所示) 包含 DAC 通道 1 至 4 的 ASI DIN 混频器、DAC 辅助混频器、环回混频器、信号发生器混频器和 DAC 一阶 IIR 滤波器的可编程系数。

表 7-209. 页面 17 可编程系数寄存器

| 地址   | 寄存器                                    | 复位   | 说明                                     |
|------|--|------|--|
| 0x00 | PAGE[7:0]                              | 0x00 | 器件页寄存器                                 |
| 0x08 | ASI_DIN_MIX_ASI_CH1_RDAC_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH1 至 RDAC 系数字节[15:8] |
| 0x09 | ASI_DIN_MIX_ASI_CH1_RDAC_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH1 至 RDAC 系数字节[7:0]  |

表 7-209. 页面 17 可编程系数寄存器 (续)

|      |   |      |   |
|------|---|------|---|
| 0x0A | ASI_DIN_MIX_ASI_CH1_LDAC_MIX_BYT1[7:0]  | 0x40 | ASI DIN 混频器, ASI CH1 至 LDAC 系数字节[15:8]  |
| 0x0B | ASI_DIN_MIX_ASI_CH1_LDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH1 至 LDAC 系数字节[7:0]   |
| 0x0C | ASI_DIN_MIX_ASI_CH1_RDAC2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH1 至 RDAC2 系数字节[15:8] |
| 0x0D | ASI_DIN_MIX_ASI_CH1_RDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH1 至 RDAC2 系数字节[7:0]  |
| 0x0E | ASI_DIN_MIX_ASI_CH1_LDAC2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH1 至 LDAC2 系数字节[15:8] |
| 0x0F | ASI_DIN_MIX_ASI_CH1_LDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH1 至 LDAC2 系数字节[7:0]  |
| 0x10 | ASI_DIN_MIX_ASI_CH2_RDAC_MIX_BYT1[7:0]  | 0x40 | ASI DIN 混频器, ASI CH2 至 RDAC 系数字节[15:8]  |
| 0x11 | ASI_DIN_MIX_ASI_CH2_RDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH2 至 RDAC 系数字节[7:0]   |
| 0x12 | ASI_DIN_MIX_ASI_CH2_LDAC_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH2 至 LDAC 系数字节[15:8]  |
| 0x13 | ASI_DIN_MIX_ASI_CH2_LDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH2 至 LDAC 系数字节[7:0]   |
| 0x14 | ASI_DIN_MIX_ASI_CH2_RDAC2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH2 至 RDAC2 系数字节[15:8] |
| 0x15 | ASI_DIN_MIX_ASI_CH2_RDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH2 至 RDAC2 系数字节[7:0]  |
| 0x16 | ASI_DIN_MIX_ASI_CH2_LDAC2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH2 至 LDAC2 系数字节[15:8] |
| 0x17 | ASI_DIN_MIX_ASI_CH2_LDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH2 至 LDAC2 系数字节[7:0]  |
| 0x18 | ASI_DIN_MIX_ASI_CH3_RDAC_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH3 至 RDAC 系数字节[15:8]  |
| 0x19 | ASI_DIN_MIX_ASI_CH3_RDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH3 至 RDAC 系数字节[7:0]   |
| 0x1A | ASI_DIN_MIX_ASI_CH3_LDAC_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH3 至 LDAC 系数字节[15:8]  |
| 0x1B | ASI_DIN_MIX_ASI_CH3_LDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH3 至 LDAC 系数字节[7:0]   |
| 0x1C | ASI_DIN_MIX_ASI_CH3_RDAC2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH3 至 RDAC2 系数字节[15:8] |
| 0x1D | ASI_DIN_MIX_ASI_CH3_RDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH3 至 RDAC2 系数字节[7:0]  |
| 0x1E | ASI_DIN_MIX_ASI_CH3_LDAC2_MIX_BYT1[7:0] | 0x40 | ASI DIN 混频器, ASI CH3 至 LDAC2 系数字节[15:8] |
| 0x1F | ASI_DIN_MIX_ASI_CH3_LDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH3 至 LDAC2 系数字节[7:0]  |
| 0x20 | ASI_DIN_MIX_ASI_CH4_RDAC_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH4 至 RDAC 系数字节[15:8]  |
| 0x21 | ASI_DIN_MIX_ASI_CH4_RDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH4 至 RDAC 系数字节[7:0]   |
| 0x22 | ASI_DIN_MIX_ASI_CH4_LDAC_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH4 至 LDAC 系数字节[15:8]  |
| 0x23 | ASI_DIN_MIX_ASI_CH4_LDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH4 至 LDAC 系数字节[7:0]   |
| 0x24 | ASI_DIN_MIX_ASI_CH4_RDAC2_MIX_BYT1[7:0] | 0x40 | ASI DIN 混频器, ASI CH4 至 RDAC2 系数字节[15:8] |

**表 7-209. 页面 17 可编程系数寄存器 (续)**

|      |   |      |   |
|------|---|------|---|
| 0x25 | ASI_DIN_MIX_ASI_CH4_RDAC<br>2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH4 至 RDAC2 系数字节[7:0]  |
| 0x26 | ASI_DIN_MIX_ASI_CH4_LDAC<br>2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH4 至 LDAC2 系数字节[15:8] |
| 0x27 | ASI_DIN_MIX_ASI_CH4_LDAC<br>2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH4 至 LDAC2 系数字节[7:0]  |
| 0x28 | ASI_DIN_MIX_ASI_CH5_RDAC<br>_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH5 至 RDAC 系数字节[15:8]  |
| 0x29 | ASI_DIN_MIX_ASI_CH5_RDAC<br>_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH5 至 RDAC 系数字节[7:0]   |
| 0x2A | ASI_DIN_MIX_ASI_CH5_LDAC<br>_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH5 至 LDAC 系数字节[15:8]  |
| 0x2B | ASI_DIN_MIX_ASI_CH5_LDAC<br>_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH5 至 LDAC 系数字节[7:0]   |
| 0x2C | ASI_DIN_MIX_ASI_CH5_RDAC<br>2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH5 至 RDAC2 系数字节[15:8] |
| 0x2D | ASI_DIN_MIX_ASI_CH5_RDAC<br>2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH5 至 RDAC2 系数字节[7:0]  |
| 0x2E | ASI_DIN_MIX_ASI_CH5_LDAC<br>2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH5 至 LDAC2 系数字节[15:8] |
| 0x2F | ASI_DIN_MIX_ASI_CH5_LDAC<br>2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH5 至 LDAC2 系数字节[7:0]  |
| 0x30 | ASI_DIN_MIX_ASI_CH6_RDAC<br>_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH6 至 RDAC 系数字节[15:8]  |
| 0x31 | ASI_DIN_MIX_ASI_CH6_RDAC<br>_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH6 至 RDAC 系数字节[7:0]   |
| 0x32 | ASI_DIN_MIX_ASI_CH6_LDAC<br>_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH6 至 LDAC 系数字节[15:8]  |
| 0x33 | ASI_DIN_MIX_ASI_CH6_LDAC<br>_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH6 至 LDAC 系数字节[7:0]   |
| 0x34 | ASI_DIN_MIX_ASI_CH6_RDAC<br>2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH6 至 RDAC2 系数字节[15:8] |
| 0x35 | ASI_DIN_MIX_ASI_CH6_RDAC<br>2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH6 至 RDAC2 系数字节[7:0]  |
| 0x36 | ASI_DIN_MIX_ASI_CH6_LDAC<br>2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH6 至 LDAC2 系数字节[15:8] |
| 0x37 | ASI_DIN_MIX_ASI_CH6_LDAC<br>2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH6 至 LDAC2 系数字节[7:0]  |
| 0x38 | ASI_DIN_MIX_ASI_CH7_RDAC<br>_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH7 至 RDAC 系数字节[15:8]  |
| 0x39 | ASI_DIN_MIX_ASI_CH7_RDAC<br>_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH7 至 RDAC 系数字节[7:0]   |
| 0x3A | ASI_DIN_MIX_ASI_CH7_LDAC<br>_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI CH7 至 LDAC 系数字节[15:8]  |
| 0x3B | ASI_DIN_MIX_ASI_CH7_LDAC<br>_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI CH7 至 LDAC 系数字节[7:0]   |
| 0x3C | ASI_DIN_MIX_ASI_CH7_RDAC<br>2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH7 至 RDAC2 系数字节[15:8] |
| 0x3D | ASI_DIN_MIX_ASI_CH7_RDAC<br>2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH7 至 RDAC2 系数字节[7:0]  |
| 0x3E | ASI_DIN_MIX_ASI_CH7_LDAC<br>2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI CH7 至 LDAC2 系数字节[15:8] |
| 0x3F | ASI_DIN_MIX_ASI_CH7_LDAC<br>2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI CH7 至 LDAC2 系数字节[7:0]  |

表 7-209. 页面 17 可编程系数寄存器 (续)

|      |   |      |   |
|------|---|------|---|
| 0x40 | ASI_DIN_MIX_ASI_CH8_RDAC_MIX_BYT1[7:0]      | 0x00 | ASI DIN 混频器, ASI CH8 至 RDAC 系数字节[15:8]      |
| 0x41 | ASI_DIN_MIX_ASI_CH8_RDAC_MIX_BYT2[7:0]      | 0x00 | ASI DIN 混频器, ASI CH8 至 RDAC 系数字节[7:0]       |
| 0x42 | ASI_DIN_MIX_ASI_CH8_LDAC_MIX_BYT1[7:0]      | 0x00 | ASI DIN 混频器, ASI CH8 至 LDAC 系数字节[15:8]      |
| 0x43 | ASI_DIN_MIX_ASI_CH8_LDAC_MIX_BYT2[7:0]      | 0x00 | ASI DIN 混频器, ASI CH8 至 LDAC 系数字节[7:0]       |
| 0x44 | ASI_DIN_MIX_ASI_CH8_RDAC2_MIX_BYT1[7:0]     | 0x00 | ASI DIN 混频器, ASI CH8 至 RDAC2 系数字节[15:8]     |
| 0x45 | ASI_DIN_MIX_ASI_CH8_RDAC2_MIX_BYT2[7:0]     | 0x00 | ASI DIN 混频器, ASI CH8 至 RDAC2 系数字节[7:0]      |
| 0x46 | ASI_DIN_MIX_ASI_CH8_LDAC2_MIX_BYT1[7:0]     | 0x00 | ASI DIN 混频器, ASI CH8 至 LDAC2 系数字节[15:8]     |
| 0x47 | ASI_DIN_MIX_ASI_CH8_LDAC2_MIX_BYT2[7:0]     | 0x00 | ASI DIN 混频器, ASI CH8 至 LDAC2 系数字节[7:0]      |
| 0x48 | ASI_DIN_MIX_ASI_AUX_CH1_RDAC_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI AUX_CH1 至 RDAC 系数字节[15:8]  |
| 0x49 | ASI_DIN_MIX_ASI_AUX_CH1_RDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI AUX_CH1 至 RDAC 系数字节[7:0]   |
| 0x4A | ASI_DIN_MIX_ASI_AUX_CH1_LDAC_MIX_BYT1[7:0]  | 0x40 | ASI DIN 混频器, ASI AUX_CH1 至 LDAC 系数字节[15:8]  |
| 0x4B | ASI_DIN_MIX_ASI_AUX_CH1_LDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI AUX_CH1 至 LDAC 系数字节[7:0]   |
| 0x4C | ASI_DIN_MIX_ASI_AUX_CH1_RDAC2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI AUX_CH1 至 RDAC2 系数字节[15:8] |
| 0x4D | ASI_DIN_MIX_ASI_AUX_CH1_RDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI AUX_CH1 至 RDAC2 系数字节[7:0]  |
| 0x4E | ASI_DIN_MIX_ASI_AUX_CH1_LDAC2_MIX_BYT1[7:0] | 0x40 | ASI DIN 混频器, ASI AUX_CH1 至 LDAC2 系数字节[15:8] |
| 0x4F | ASI_DIN_MIX_ASI_AUX_CH1_LDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI AUX_CH1 至 LDAC2 系数字节[7:0]  |
| 0x50 | ASI_DIN_MIX_ASI_AUX_CH2_RDAC_MIX_BYT1[7:0]  | 0x40 | ASI DIN 混频器, ASI AUX_CH2 至 RDAC 系数字节[15:8]  |
| 0x51 | ASI_DIN_MIX_ASI_AUX_CH2_RDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI AUX_CH2 至 RDAC 系数字节[7:0]   |
| 0x52 | ASI_DIN_MIX_ASI_AUX_CH2_LDAC_MIX_BYT1[7:0]  | 0x00 | ASI DIN 混频器, ASI AUX_CH2 至 LDAC 系数字节[15:8]  |
| 0x53 | ASI_DIN_MIX_ASI_AUX_CH2_LDAC_MIX_BYT2[7:0]  | 0x00 | ASI DIN 混频器, ASI AUX_CH2 至 LDAC 系数字节[7:0]   |
| 0x54 | ASI_DIN_MIX_ASI_AUX_CH2_RDAC2_MIX_BYT1[7:0] | 0x40 | ASI DIN 混频器, ASI AUX_CH2 至 RDAC2 系数字节[15:8] |
| 0x55 | ASI_DIN_MIX_ASI_AUX_CH2_RDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI AUX_CH2 至 RDAC2 系数字节[7:0]  |
| 0x56 | ASI_DIN_MIX_ASI_AUX_CH2_LDAC2_MIX_BYT1[7:0] | 0x00 | ASI DIN 混频器, ASI AUX_CH2 至 LDAC2 系数字节[15:8] |
| 0x57 | ASI_DIN_MIX_ASI_AUX_CH2_LDAC2_MIX_BYT2[7:0] | 0x00 | ASI DIN 混频器, ASI AUX_CH2 至 LDAC2 系数字节[7:0]  |
| 0x58 | SC_DAC_MIX_ADCLB_CH1_RDAC_MIX_BYT1[7:0]     | 0x00 | SC DAC 混频器, ADC 环回 CH1 至 RDAC 系数字节[15:8]    |
| 0x59 | SC_DAC_MIX_ADCLB_CH1_RDAC_MIX_BYT2[7:0]     | 0x00 | SC DAC 混频器, ADC 环回 CH1 至 RDAC 系数字节[7:0]     |
| 0x5A | SC_DAC_MIX_ADCLB_CH1_LDAC_MIX_BYT1[7:0]     | 0x00 | SC DAC 混频器, ADC 环回 CH1 至 LDAC 系数字节[15:8]    |



**表 7-209. 页面 17 可编程系数寄存器 (续)**

|      |   |      |   |
|------|---|------|---|
| 0x5B | SC_DAC_MIX_ADCLB_CH1_L<br>DAC_MIX_BYT2[7:0]   | 0x00 | SC DAC 混频器, ADC 环回 CH1 至 LDAC 系数字节[7:0]   |
| 0x5C | SC_DAC_MIX_ADCLB_CH1_R<br>DAC2_MIX_BYT1[7:0]  | 0x00 | SC DAC 混频器, ADC 环回 CH1 至 RDAC2 系数字节[15:8] |
| 0x5D | SC_DAC_MIX_ADCLB_CH1_R<br>DAC2_MIX_BYT2[7:0]  | 0x00 | SC DAC 混频器, ADC 环回 CH1 至 RDAC2 系数字节[7:0]  |
| 0x5E | SC_DAC_MIX_ADCLB_CH1_L<br>DAC2_MIX_BYT1[7:0]  | 0x00 | SC DAC 混频器, ADC 环回 CH1 至 LDAC2 系数字节[15:8] |
| 0x5F | SC_DAC_MIX_ADCLB_CH1_L<br>DAC2_MIX_BYT2[7:0]  | 0x00 | SC DAC 混频器, ADC 环回 CH1 至 LDAC2 系数字节[7:0]  |
| 0x60 | SC_DAC_MIX_ADCLB_CH2_R<br>DAC_MIX_BYT1[7:0]   | 0x00 | SC DAC 混频器, ADC 环回 CH2 至 RDAC 系数字节[15:8]  |
| 0x61 | SC_DAC_MIX_ADCLB_CH2_R<br>DAC_MIX_BYT2[7:0]   | 0x00 | SC DAC 混频器, ADC 环回 CH2 至 RDAC 系数字节[7:0]   |
| 0x62 | SC_DAC_MIX_ADCLB_CH2_L<br>DAC_MIX_BYT1[7:0]   | 0x00 | SC DAC 混频器, ADC 环回 CH2 至 LDAC 系数字节[15:8]  |
| 0x63 | SC_DAC_MIX_ADCLB_CH2_L<br>DAC_MIX_BYT2[7:0]   | 0x00 | SC DAC 混频器, ADC 环回 CH2 至 LDAC 系数字节[7:0]   |
| 0x64 | SC_DAC_MIX_ADCLB_CH2_R<br>DAC2_MIX_BYT1[7:0]  | 0x00 | SC DAC 混频器, ADC 环回 CH2 至 RDAC2 系数字节[15:8] |
| 0x65 | SC_DAC_MIX_ADCLB_CH2_R<br>DAC2_MIX_BYT2[7:0]  | 0x00 | SC DAC 混频器, ADC 环回 CH2 至 RDAC2 系数字节[7:0]  |
| 0x66 | SC_DAC_MIX_ADCLB_CH2_L<br>DAC2_MIX_BYT1[7:0]  | 0x00 | SC DAC 混频器, ADC 环回 CH2 至 LDAC2 系数字节[15:8] |
| 0x67 | SC_DAC_MIX_ADCLB_CH2_L<br>DAC2_MIX_BYT2[7:0]  | 0x00 | SC DAC 混频器, ADC 环回 CH2 至 LDAC2 系数字节[7:0]  |
| 0x68 | SC_DAC_MIX_SIGGEN_CH1_<br>RDAC_MIX_BYT1[7:0]  | 0x00 | SC DAC 混频器, 信号发生器 CH1 至 RDAC 系数字节[15:8]   |
| 0x69 | SC_DAC_MIX_SIGGEN_CH1_<br>RDAC_MIX_BYT2[7:0]  | 0x00 | SC DAC 混频器, 信号发生器 CH1 至 RDAC 系数字节[7:0]    |
| 0x6A | SC_DAC_MIX_SIGGEN_CH1_<br>LDAC_MIX_BYT1[7:0]  | 0x00 | SC DAC 混频器, 信号发生器 CH1 至 LDAC 系数字节[15:8]   |
| 0x6B | SC_DAC_MIX_SIGGEN_CH1_<br>LDAC_MIX_BYT2[7:0]  | 0x00 | SC DAC 混频器, 信号发生器 CH1 至 LDAC 系数字节[7:0]    |
| 0x6C | SC_DAC_MIX_SIGGEN_CH1_<br>RDAC2_MIX_BYT1[7:0] | 0x00 | SC DAC 混频器, 信号发生器 CH1 至 RDAC2 系数字节[15:8]  |
| 0x6D | SC_DAC_MIX_SIGGEN_CH1_<br>RDAC2_MIX_BYT2[7:0] | 0x00 | SC DAC 混频器, 信号发生器 CH1 至 RDAC2 系数字节[7:0]   |
| 0x6E | SC_DAC_MIX_SIGGEN_CH1_<br>LDAC2_MIX_BYT1[7:0] | 0x00 | SC DAC 混频器, 信号发生器 CH1 至 LDAC2 系数字节[15:8]  |
| 0x6F | SC_DAC_MIX_SIGGEN_CH1_<br>LDAC2_MIX_BYT2[7:0] | 0x00 | SC DAC 混频器, 信号发生器 CH1 至 LDAC2 系数字节[7:0]   |
| 0x70 | SC_DAC_MIX_SIGGEN_CH2_<br>RDAC_MIX_BYT1[7:0]  | 0x00 | SC DAC 混频器, 信号发生器 CH2 至 RDAC 系数字节[15:8]   |
| 0x71 | SC_DAC_MIX_SIGGEN_CH2_<br>RDAC_MIX_BYT2[7:0]  | 0x00 | SC DAC 混频器, 信号发生器 CH2 至 RDAC 系数字节[7:0]    |
| 0x72 | SC_DAC_MIX_SIGGEN_CH2_<br>LDAC_MIX_BYT1[7:0]  | 0x00 | SC DAC 混频器, 信号发生器 CH2 至 LDAC 系数字节[15:8]   |
| 0x73 | SC_DAC_MIX_SIGGEN_CH2_<br>LDAC_MIX_BYT2[7:0]  | 0x00 | SC DAC 混频器, 信号发生器 CH2 至 LDAC 系数字节[7:0]    |
| 0x74 | SC_DAC_MIX_SIGGEN_CH2_<br>RDAC2_MIX_BYT1[7:0] | 0x00 | SC DAC 混频器, 信号发生器 CH2 至 RDAC2 系数字节[15:8]  |
| 0x75 | SC_DAC_MIX_SIGGEN_CH2_<br>RDAC2_MIX_BYT2[7:0] | 0x00 | SC DAC 混频器, 信号发生器 CH2 至 RDAC2 系数字节[7:0]   |

表 7-209. 页面 17 可编程系数寄存器 (续)

|      |   |      |  |
|------|---|------|--|
| 0x76 | SC_DAC_MIX_SIGGEN_CH2_LDAC2_MIX_BYT1[7:0] | 0x00 | SC DAC 混频器, 信号发生器 CH2 至 LDAC2 系数字节[15:8] |
| 0x77 | SC_DAC_MIX_SIGGEN_CH2_LDAC2_MIX_BYT2[7:0] | 0x00 | SC DAC 混频器, 信号发生器 CH2 至 LDAC2 系数字节[7:0]  |
| 0x78 | DAC_IIR_N0_BYT1[7:0]                      | 0x7F | 可编程 DAC 一阶 IIR 滤波器, N0 系数字节[31:24]       |
| 0x79 | DAC_IIR_N0_BYT2[7:0]                      | 0xFF | 可编程 DAC 一阶 IIR 滤波器, N0 系数字节[23:16]       |
| 0x7A | DAC_IIR_N0_BYT3[7:0]                      | 0xFF | 可编程 DAC 一阶 IIR 滤波器, N0 系数字节[15:8]        |
| 0x7B | DAC_IIR_N0_BYT4[7:0]                      | 0xFF | 可编程 DAC 一阶 IIR 滤波器, N0 系数字节[7:0]         |
| 0x7C | DAC_IIR_N1_BYT1[7:0]                      | 0x00 | 可编程 DAC 一阶 IIR 滤波器, N1 系数字节[31:24]       |
| 0x7D | DAC_IIR_N1_BYT2[7:0]                      | 0x00 | 可编程 DAC 一阶 IIR 滤波器, N1 系数字节[23:16]       |
| 0x7E | DAC_IIR_N1_BYT3[7:0]                      | 0x00 | 可编程 DAC 一阶 IIR 滤波器, N1 系数字节[15:8]        |
| 0x7F | DAC_IIR_N1_BYT4[7:0]                      | 0x00 | 可编程 DAC 一阶 IIR 滤波器, N1 系数字节[7:0]         |

### 7.2.8 可编程系数寄存器: 页面 18

该寄存器页面 (如表 7-210 所示) 包含 DAC 一阶 IIR 滤波器、通道 1 至 4 的 DAC 数字音量控制以及 DAC 蜂鸣发生器的可编程系数。

表 7-210. 页面 18 可编程系数寄存器

| 地址   | 寄存器                            | 复位   | 说明                                  |
|------|--------------------------------|------|-------------------------------------|
| 0x00 | PAGE[7:0]                      | 0x00 | 器件页寄存器                              |
| 0x08 | DAC_IIR_D1_BYT1[7:0]           | 0x00 | 可编程 DAC 一阶 IIR 滤波器, D1 系数字节[31:24]  |
| 0x09 | DAC_IIR_D1_BYT2[7:0]           | 0x00 | 可编程 DAC 一阶 IIR 滤波器, D1 系数字节[23:16]  |
| 0x0A | DAC_IIR_D1_BYT3[7:0]           | 0x00 | 可编程 DAC 一阶 IIR 滤波器, D1 系数字节[15:8]   |
| 0x0B | DAC_IIR_D1_BYT4[7:0]           | 0x00 | 可编程 DAC 一阶 IIR 滤波器, D1 系数字节[7:0]    |
| 0x0C | DAC_VOL_CH1_BYT1[7:0]          | 0x00 | 数字音量控制, DAC 通道 1 系数字节[31:24]        |
| 0x0D | DAC_VOL_CH1_BYT2[7:0]          | 0x80 | 数字音量控制, DAC 通道 1 系数字节[23:16]        |
| 0x0E | DAC_VOL_CH1_BYT3[7:0]          | 0x00 | 数字音量控制, DAC 通道 1 系数字节[15:8]         |
| 0x0F | DAC_VOL_CH1_BYT4[7:0]          | 0x00 | 数字音量控制, DAC 通道 1 系数字节[7:0]          |
| 0x10 | DAC_VOL_CH2_BYT1[7:0]          | 0x00 | 数字音量控制, DAC 通道 2 系数字节[31:24]        |
| 0x11 | DAC_VOL_CH2_BYT2[7:0]          | 0x80 | 数字音量控制, DAC 通道 2 系数字节[23:16]        |
| 0x12 | DAC_VOL_CH2_BYT3[7:0]          | 0x00 | 数字音量控制, DAC 通道 2 系数字节[15:8]         |
| 0x13 | DAC_VOL_CH2_BYT4[7:0]          | 0x00 | 数字音量控制, DAC 通道 2 系数字节[7:0]          |
| 0x14 | DAC_VOL_CH3_BYT1[7:0]          | 0x00 | 数字音量控制, DAC 通道 3 系数字节[31:24]        |
| 0x15 | DAC_VOL_CH3_BYT2[7:0]          | 0x80 | 数字音量控制, DAC 通道 3 系数字节[23:16]        |
| 0x16 | DAC_VOL_CH3_BYT3[7:0]          | 0x00 | 数字音量控制, DAC 通道 3 系数字节[15:8]         |
| 0x17 | DAC_VOL_CH3_BYT4[7:0]          | 0x00 | 数字音量控制, DAC 通道 3 系数字节[7:0]          |
| 0x18 | DAC_VOL_CH4_BYT1[7:0]          | 0x00 | 数字音量控制, DAC 通道 4 系数字节[31:24]        |
| 0x19 | DAC_VOL_CH4_BYT2[7:0]          | 0x80 | 数字音量控制, DAC 通道 4 系数字节[23:16]        |
| 0x1A | DAC_VOL_CH4_BYT3[7:0]          | 0x00 | 数字音量控制, DAC 通道 4 系数字节[15:8]         |
| 0x1B | DAC_VOL_CH4_BYT4[7:0]          | 0x00 | 数字音量控制, DAC 通道 4 系数字节[7:0]          |
| 0x20 | DAC_BEEP<br>GEN_SINX_BYT1[7:0] | 0x45 | 可编程 DAC BEEP GEN sin(x) 系数字节[31:24] |
| 0x21 | DAC_BEEP<br>GEN_SINX_BYT2[7:0] | 0xF4 | 可编程 DAC BEEP GEN sin(x) 系数字节[23:16] |
| 0x22 | DAC_BEEP<br>GEN_SINX_BYT3[7:0] | 0x61 | 可编程 DAC BEEP GEN sin(x) 系数字节[15:8]  |

**表 7-210. 页面 18 可编程系数寄存器 (续)**

|      |                                 |      |                                      |
|------|---------------------------------|------|--------------------------------------|
| 0x23 | DAC_BEEP<br>GEN_SINX_BYT4[7:0]  | 0xD0 | 可编程 DAC BEEP GEN sin(x) 系数字节[7:0]    |
| 0x24 | DAC_BEEP<br>GEN_COSX_BYT1[7:0]  | 0x7F | 可编程 DAC BEEP GEN cos(x) 系数字节[31:24]  |
| 0x25 | DAC_BEEP<br>GEN_COSX_BYT2[7:0]  | 0xFE | 可编程 DAC BEEP GEN cos(x) 系数字节[23:16]  |
| 0x26 | DAC_BEEP<br>GEN_COSX_BYT3[7:0]  | 0xFD | 可编程 DAC BEEP GEN cos(x) 系数字节[15:8]   |
| 0x27 | DAC_BEEP<br>GEN_COSX_BYT4[7:0]  | 0x46 | 可编程 DAC BEEP GEN cos(x) 系数字节[7:0]    |
| 0x28 | DAC_BEEP<br>GEN2_SINX_BYT1[7:0] | 0x5D | 可编程 DAC BEEP GEN2 sin(x) 系数字节[31:24] |
| 0x29 | DAC_BEEP<br>GEN2_SINX_BYT2[7:0] | 0xA2 | 可编程 DAC BEEP GEN2 sin(x) 系数字节[23:16] |
| 0x2A | DAC_BEEP<br>GEN2_SINX_BYT3[7:0] | 0x74 | 可编程 DAC BEEP GEN2 sin(x) 系数字节[15:8]  |
| 0x2B | DAC_BEEP<br>GEN2_SINX_BYT4[7:0] | 0xB4 | 可编程 DAC BEEP GEN2 sin(x) 系数字节[7:0]   |
| 0x2C | DAC_BEEP<br>GEN2_COSX_BYT1[7:0] | 0x01 | 可编程 DAC BEEP GEN2 cos(x) 系数字节[31:24] |
| 0x2D | DAC_BEEP<br>GEN2_COSX_BYT2[7:0] | 0x01 | 可编程 DAC BEEP GEN2 cos(x) 系数字节[23:16] |
| 0x2E | DAC_BEEP<br>GEN2_COSX_BYT3[7:0] | 0x5B | 可编程 DAC BEEP GEN2 cos(x) 系数字节[15:8]  |
| 0x2F | DAC_BEEP<br>GEN2_COSX_BYT4[7:0] | 0x4B | 可编程 DAC BEEP GEN2 cos(x) 系数字节[7:0]   |

### 7.2.9 可编程系数寄存器：页面 19

该寄存器页面 (如表 7-211 所示) 包含通道 1 至 4 的 ADC 和 DAC MSA 的可编程系数。

**表 7-211. 页面 19 可编程系数寄存器**

| 地址   | 寄存器                   | 复位   | 说明                      |
|------|-----------------------|------|-------------------------|
| 0x00 | PAGE[7:0]             | 0x00 | 器件页寄存器                  |
| 0x58 | ADC_CH1_SF1_BYT1[7:0] | 0x04 | ADC CH1 MSA 系数字节[31:24] |
| 0x59 | ADC_CH1_SF1_BYT2[7:0] | 0x00 | ADC CH1 MSA 系数字节[23:16] |
| 0x5A | ADC_CH1_SF1_BYT3[7:0] | 0x00 | ADC CH1 MSA 系数字节[15:8]  |
| 0x5B | ADC_CH1_SF1_BYT4[7:0] | 0x00 | ADC CH1 MSA 系数字节[7:0]   |
| 0x5C | ADC_CH2_SF1_BYT1[7:0] | 0x04 | ADC CH2 MSA 系数字节[31:24] |
| 0x5D | ADC_CH2_SF1_BYT2[7:0] | 0x00 | ADC CH2 MSA 系数字节[23:16] |
| 0x5E | ADC_CH2_SF1_BYT3[7:0] | 0x00 | ADC CH2 MSA 系数字节[15:8]  |
| 0x5F | ADC_CH2_SF1_BYT4[7:0] | 0x00 | ADC CH2 MSA 系数字节[7:0]   |
| 0x60 | ADC_CH3_SF1_BYT1[7:0] | 0x04 | ADC CH3 MSA 系数字节[31:24] |
| 0x61 | ADC_CH3_SF1_BYT2[7:0] | 0x00 | ADC CH3 MSA 系数字节[23:16] |
| 0x62 | ADC_CH3_SF1_BYT3[7:0] | 0x00 | ADC CH3 MSA 系数字节[15:8]  |
| 0x63 | ADC_CH3_SF1_BYT4[7:0] | 0x00 | ADC CH3 MSA 系数字节[7:0]   |
| 0x64 | ADC_CH4_SF1_BYT1[7:0] | 0x04 | ADC CH4 MSA 系数字节[31:24] |
| 0x65 | ADC_CH4_SF1_BYT2[7:0] | 0x00 | ADC CH4 MSA 系数字节[23:16] |
| 0x66 | ADC_CH4_SF1_BYT3[7:0] | 0x00 | ADC CH4 MSA 系数字节[15:8]  |
| 0x67 | ADC_CH4_SF1_BYT4[7:0] | 0x00 | ADC CH4 MSA 系数字节[7:0]   |

表 7-211. 页面 19 可编程系数寄存器 (续)

|      |                     |      |                       |
|------|---------------------|------|-----------------------|
| 0x68 | LDAC_SF1_BYT1[7:0]  | 0x04 | LDAC MSA 系数字节[31:24]  |
| 0x69 | LDAC_SF1_BYT2[7:0]  | 0x00 | LDAC MSA 系数字节[23:16]  |
| 0x6A | LDAC_SF1_BYT3[7:0]  | 0x00 | LDAC MSA 系数字节[15:8]   |
| 0x6B | LDAC_SF1_BYT4[7:0]  | 0x00 | LDAC MSA 系数字节[7:0]    |
| 0x6C | RDAC_SF1_BYT1[7:0]  | 0x04 | RDAC MSA 系数字节[31:24]  |
| 0x6D | RDAC_SF1_BYT2[7:0]  | 0x00 | RDAC MSA 系数字节[23:16]  |
| 0x6E | RDAC_SF1_BYT3[7:0]  | 0x00 | RDAC MSA 系数字节[15:8]   |
| 0x6F | RDAC_SF1_BYT4[7:0]  | 0x00 | RDAC MSA 系数字节[7:0]    |
| 0x70 | LDAC2_SF1_BYT1[7:0] | 0x04 | LDAC2 MSA 系数字节[31:24] |
| 0x71 | LDAC2_SF1_BYT2[7:0] | 0x00 | LDAC2 MSA 系数字节[23:16] |
| 0x72 | LDAC2_SF1_BYT3[7:0] | 0x00 | LDAC2 MSA 系数字节[15:8]  |
| 0x73 | LDAC2_SF1_BYT4[7:0] | 0x00 | LDAC2 MSA 系数字节[7:0]   |
| 0x74 | RDAC2_SF1_BYT1[7:0] | 0x04 | RDAC2 MSA 系数字节[31:24] |
| 0x75 | RDAC2_SF1_BYT2[7:0] | 0x00 | RDAC2 MSA 系数字节[23:16] |
| 0x76 | RDAC2_SF1_BYT3[7:0] | 0x00 | RDAC2 MSA 系数字节[15:8]  |
| 0x77 | RDAC2_SF1_BYT4[7:0] | 0x00 | RDAC2 MSA 系数字节[7:0]   |

## 7.2.10 可编程系数寄存器：页面 25

该寄存器页面 (如表 7-212 所示) 包含 DAC 限制器的可编程系数。

表 7-212. 页面 25 可编程系数寄存器

| 地址   | 寄存器                               | 复位   | 说明                   |
|------|-----------------------------------|------|----------------------|
| 0x00 | PAGE[7:0]                         | 0x00 | 器件页寄存器               |
| 0x60 | LIMITER_ATTACK_COEFF_BYT1[7:0]    | 0x78 | 失真限制器启动系数字节[31:24]   |
| 0x61 | LIMITER_ATTACK_COEFF_BYT2[7:0]    | 0xD6 | 失真限制器启动系数字节[23:16]   |
| 0x62 | LIMITER_ATTACK_COEFF_BYT3[7:0]    | 0xFC | 失真限制器启动系数字节[15:8]    |
| 0x63 | LIMITER_ATTACK_COEFF_BYT4[7:0]    | 0x9F | 失真限制器启动系数字节[7:0]     |
| 0x64 | LIMITER_RELEASE_COEFF_BYT1[7:0]   | 0x40 | 失真限制器释放系数字节[31:24]   |
| 0x65 | LIMITER_RELEASE_COEFF_BYT2[7:0]   | 0xBD | 失真限制器释放系数字节[23:16]   |
| 0x66 | LIMITER_RELEASE_COEFF_BYT3[7:0]   | 0xB7 | 失真限制器释放系数字节[15:8]    |
| 0x67 | LIMITER_RELEASE_COEFF_BYT4[7:0]   | 0xC0 | 失真限制器释放系数字节[7:0]     |
| 0x68 | LIMITER_ENV_DECAY_COEFF_BYT1[7:0] | 0x7F | 失真限制器包络衰减系数字节[31:24] |
| 0x69 | LIMITER_ENV_DECAY_COEFF_BYT2[7:0] | 0xFC | 失真限制器包络衰减系数字节[23:16] |
| 0x6A | LIMITER_ENV_DECAY_COEFF_BYT3[7:0] | 0x3A | 失真限制器包络衰减系数字节[15:8]  |
| 0x6B | LIMITER_ENV_DECAY_COEFF_BYT4[7:0] | 0x48 | 失真限制器包络衰减系数字节[7:0]   |
| 0x6C | LIMITER_THRESHOLD_MAX_BYT1[7:0]   | 0x01 | 失真限制器阈值最大系数字节[31:24] |

**表 7-212. 页面 25 可编程系数寄存器 (续)**

|      |                                     |      |                      |
|------|-------------------------------------|------|----------------------|
| 0x6D | LIMITER_THRESHOLD_MAX_BYT2[7:0]     | 0x69 | 失真限制器阈值最大系数字节[23:16] |
| 0x6E | LIMITER_THRESHOLD_MAX_BYTT3[7:0]    | 0x9C | 失真限制器阈值最大系数字节[15:8]  |
| 0x6F | LIMITER_THRESHOLD_MAX_BYTT4[7:0]    | 0x10 | 失真限制器阈值最大系数字节[7:0]   |
| 0x70 | LIMITER_THRESHOLD_MIN_BYT1[7:0]     | 0x00 | 失真限制器阈值最小系数字节[31:24] |
| 0x71 | LIMITER_THRESHOLD_MIN_BYT2[7:0]     | 0x72 | 失真限制器阈值最小系数字节[23:16] |
| 0x72 | LIMITER_THRESHOLD_MIN_BYTT3[7:0]    | 0x59 | 失真限制器阈值最小系数字节[15:8]  |
| 0x73 | LIMITER_THRESHOLD_MIN_BYTT4[7:0]    | 0xDB | 失真限制器阈值最小系数字节[7:0]   |
| 0x74 | LIMITER_INFLECTION_POINT_BYT1[7:0]  | 0x00 | 失真限制器拐点系数字节[31:24]   |
| 0x75 | LIMITER_INFLECTION_POINT_BYT2[7:0]  | 0x00 | 失真限制器拐点系数字节[23:16]   |
| 0x76 | LIMITER_INFLECTION_POINT_BYTT3[7:0] | 0x19 | 失真限制器拐点系数字节[15:8]    |
| 0x77 | LIMITER_INFLECTION_POINT_BYTT4[7:0] | 0x9A | 失真限制器拐点系数字节[7:0]     |
| 0x78 | LIMITER_SLOPE_BYT1[7:0]             | 0x10 | 失真限制器斜率系数字节[31:24]   |
| 0x79 | LIMITER_SLOPE_BYT2[7:0]             | 0x00 | 失真限制器斜率系数字节[23:16]   |
| 0x7A | LIMITER_SLOPE_BYTT3[7:0]            | 0x00 | 失真限制器斜率系数字节[15:8]    |
| 0x7B | LIMITER_SLOPE_BYTT4[7:0]            | 0x00 | 失真限制器斜率系数字节[7:0]     |
| 0x7C | LIMITER_RESET_COUNTER_BYT1[7:0]     | 0x00 | 失真限制器保持计数系数字节[31:24] |
| 0x7D | LIMITER_RESET_COUNTER_BYT2[7:0]     | 0x00 | 失真限制器保持计数系数字节[23:16] |
| 0x7E | LIMITER_RESET_COUNTER_BYTT3[7:0]    | 0x09 | 失真限制器保持计数系数字节[15:8]  |
| 0x7F | LIMITER_RESET_COUNTER_BYTT4[7:0]    | 0x60 | 失真限制器保持计数系数字节[7:0]   |

**7.2.11 可编程系数寄存器：页面 26**

该寄存器页面 ( 如表 7-213 所示 ) 包含 DAC 欠压保护 (BOP)、热折返 (THF) 保护和限制器的可编程系数。

**表 7-213. 页面 26 可编程系数寄存器**

| 地址   | 寄存器                         | 复位   | 说明                |
|------|-----------------------------|------|-------------------|
| 0x00 | PAGE[7:0]                   | 0x00 | 器件页寄存器            |
| 0x14 | BOP_ATTACK_COEFF_BYT1[7:0]  | 0x78 | BOP 启动系数字节[31:24] |
| 0x15 | BOP_ATTACK_COEFF_BYT2[7:0]  | 0xD6 | BOP 启动系数字节[23:16] |
| 0x16 | BOP_ATTACK_COEFF_BYTT3[7:0] | 0xFC | BOP 启动系数字节[15:8]  |
| 0x17 | BOP_ATTACK_COEFF_BYTT4[7:0] | 0x9F | BOP 启动系数字节[7:0]   |
| 0x18 | BOP_RELEASE_COEFF_BYT1[7:0] | 0x40 | BOP 释放系数字节[31:24] |

表 7-213. 页面 26 可编程系数寄存器 (续)

|      |                              |      |                        |
|------|------------------------------|------|------------------------|
| 0x19 | BOP_RELEASE_COEFF_BYT2[7:0]  | 0xBD | BOP 释放系数字节[23:16]      |
| 0x1A | BOP_RELEASE_COEFF_BYTT3[7:0] | 0xB7 | BOP 释放系数字节[15:8]       |
| 0x1B | BOP_RELEASE_COEFF_BYTT4[7:0] | 0xC0 | BOP 释放系数字节[7:0]        |
| 0x1C | BOP_RESET_COUNTER_BYT1[7:0]  | 0x00 | BOP 保持计数系数字节[31:24]    |
| 0x1D | BOP_RESET_COUNTER_BYT2[7:0]  | 0x00 | BOP 保持计数系数字节[23:16]    |
| 0x1E | BOP_RESET_COUNTER_BYT3[7:0]  | 0x09 | BOP 保持计数系数字节[15:8]     |
| 0x1F | BOP_RESET_COUNTER_BYT4[7:0]  | 0x60 | BOP 保持计数系数字节[7:0]      |
| 0x20 | BOP_VSUP_TH1_BYT1[7:0]       | 0x00 | BOP 电源阈值 1 系数字节[31:24] |
| 0x21 | BOP_VSUP_TH1_BYT2[7:0]       | 0x00 | BOP 电源阈值 1 系数字节[23:16] |
| 0x22 | BOP_VSUP_TH1_BYTT3[7:0]      | 0x19 | BOP 电源阈值 1 系数字节[15:8]  |
| 0x23 | BOP_VSUP_TH1_BYTT4[7:0]      | 0x9A | BOP 电源阈值 1 系数字节[7:0]   |
| 0x24 | BOP_THRESHOLD1_BYT1[7:0]     | 0x2D | BOP 阈值 1 增益系数字节[31:24] |
| 0x25 | BOP_THRESHOLD1_BYT2[7:0]     | 0x4E | BOP 阈值 1 增益系数字节[23:16] |
| 0x26 | BOP_THRESHOLD1_BYTT3[7:0]    | 0xFB | BOP 阈值 1 增益系数字节[15:8]  |
| 0x27 | BOP_THRESHOLD1_BYTT4[7:0]    | 0xD6 | BOP 阈值 1 增益系数字节[7:0]   |
| 0x28 | BOP_VSUP_TH2_BYT1[7:0]       | 0x00 | BOP 电源阈值 2 系数字节[31:24] |
| 0x29 | BOP_VSUP_TH2_BYT2[7:0]       | 0x00 | BOP 电源阈值 2 系数字节[23:16] |
| 0x2A | BOP_VSUP_TH2_BYTT3[7:0]      | 0x16 | BOP 电源阈值 2 系数字节[15:8]  |
| 0x2B | BOP_VSUP_TH2_BYTT4[7:0]      | 0x66 | BOP 电源阈值 2 系数字节[7:0]   |
| 0x2C | BOP_THRESHOLD2_BYT1[7:0]     | 0x14 | BOP 阈值 2 增益系数字节[31:24] |
| 0x2D | BOP_THRESHOLD2_BYT2[7:0]     | 0x3D | BOP 阈值 2 增益系数字节[23:16] |
| 0x2E | BOP_THRESHOLD2_BYTT3[7:0]    | 0x13 | BOP 阈值 2 增益系数字节[15:8]  |
| 0x2F | BOP_THRESHOLD2_BYTT4[7:0]    | 0x62 | BOP 阈值 2 增益系数字节[7:0]   |
| 0x30 | THF_ATTACK_COEFF_BYT1[7:0]   | 0x78 | THF 启动系数字节[31:24]      |
| 0x31 | THF_ATTACK_COEFF_BYT2[7:0]   | 0xD6 | THF 启动系数字节[23:16]      |
| 0x32 | THF_ATTACK_COEFF_BYTT3[7:0]  | 0xFC | THF 启动系数字节[15:8]       |
| 0x33 | THF_ATTACK_COEFF_BYTT4[7:0]  | 0x9F | THF 启动系数字节[7:0]        |
| 0x34 | THF_RELEASE_COEFF_BYT1[7:0]  | 0x40 | THF 释放系数字节[31:24]      |
| 0x35 | THF_RELEASE_COEFF_BYT2[7:0]  | 0xBD | THF 释放系数字节[23:16]      |
| 0x36 | THF_RELEASE_COEFF_BYTT3[7:0] | 0xB7 | THF 释放系数字节[15:8]       |

**表 7-213. 页面 26 可编程系数寄存器 (续)**

|      |                                      |      |                        |
|------|--------------------------------------|------|------------------------|
| 0x37 | THF_RELEASE_COEFF_BYTT4[7:0]         | 0xC0 | THF 释放系数字节[7:0]        |
| 0x38 | THF_RESET_COUNTER_BYT1[7:0]          | 0x00 | THF 保持计数系数字节[31:24]    |
| 0x39 | THF_RESET_COUNTER_BYT2[7:0]          | 0x00 | THF 保持计数系数字节[23:16]    |
| 0x3A | THF_RESET_COUNTER_BYT3[7:0]          | 0x09 | THF 保持计数系数字节[15:8]     |
| 0x3B | THF_RESET_COUNTER_BYT4[7:0]          | 0x60 | THF 保持计数系数字节[7:0]      |
| 0x3C | THF_TEMP_THRESHOLD_BYT1[7:0]         | 0x00 | THF 温度阈值系数字节[31:24]    |
| 0x3D | THF_TEMP_THRESHOLD_BYT2[7:0]         | 0x00 | THF 温度阈值系数字节[23:16]    |
| 0x3E | THF_TEMP_THRESHOLD_BYTT3[7:0]        | 0x23 | THF 温度阈值系数字节[15:8]     |
| 0x3F | THF_TEMP_THRESHOLD_BYTT4[7:0]        | 0x80 | THF 温度阈值系数字节[7:0]      |
| 0x40 | THF_MAX_ATTEN_BYT1[7:0]              | 0x2D | THF 最大衰减系数字节[31:24]    |
| 0x41 | THF_MAX_ATTEN_BYT2[7:0]              | 0x6A | THF 最大衰减系数字节[23:16]    |
| 0x42 | THF_MAX_ATTEN_BYTT3[7:0]             | 0x86 | THF 最大衰减系数字节[15:8]     |
| 0x43 | THF_MAX_ATTEN_BYTT4[7:0]             | 0x6F | THF 最大衰减系数字节[7:0]      |
| 0x44 | THF_SLOPE_BYT1[7:0]                  | 0xFE | THF 斜率系数字节[31:24]      |
| 0x45 | THF_SLOPE_BYT2[7:0]                  | 0x66 | THF 斜率系数字节[23:16]      |
| 0x46 | THF_SLOPE_BYTT3[7:0]                 | 0x66 | THF 斜率系数字节[15:8]       |
| 0x47 | THF_SLOPE_BYTT4[7:0]                 | 0x66 | THF 斜率系数字节[7:0]        |
| 0x48 | LIMITER_ATTACK_HYS_LEVEL_BYT1[7:0]   | 0x08 | 失真限制器启动电平迟滞系数字节[31:24] |
| 0x49 | LIMITER_ATTACK_HYS_LEVEL_BYT2[7:0]   | 0xF9 | 失真限制器启动电平迟滞系数字节[23:16] |
| 0x4A | LIMITER_ATTACK_HYS_LEVEL_BYTT3[7:0]  | 0xE4 | 失真限制器启动电平迟滞系数字节[15:8]  |
| 0x4B | LIMITER_ATTACK_HYS_LEVEL_BYTT4[7:0]  | 0xD0 | 失真限制器启动电平迟滞系数字节[7:0]   |
| 0x4C | LIMITER_RELEASE_HYS_LEVEL_BYT1[7:0]  | 0x07 | 失真限制器释放电平迟滞系数字节[31:24] |
| 0x4D | LIMITER_RELEASE_HYS_LEVEL_BYT2[7:0]  | 0x21 | 失真限制器释放电平迟滞系数字节[23:16] |
| 0x4E | LIMITER_RELEASE_HYS_LEVEL_BYTT3[7:0] | 0x48 | 失真限制器释放电平迟滞系数字节[15:8]  |
| 0x4F | LIMITER_RELEASE_HYS_LEVEL_BYTT4[7:0] | 0x2C | 失真限制器释放电平迟滞系数字节[7:0]   |
| 0x50 | BOP_LEVEL_HYS_SUP_BYT1[7:0]          | 0x00 | BOP 电平迟滞系数字节[31:24]    |
| 0x51 | BOP_LEVEL_HYS_SUP_BYT2[7:0]          | 0x00 | BOP 电平迟滞系数字节[23:16]    |
| 0x52 | BOP_LEVEL_HYS_SUP_BYTT3[7:0]         | 0x00 | BOP 电平迟滞系数字节[15:8]     |
| 0x53 | BOP_LEVEL_HYS_SUP_BYTT4[7:0]         | 0x14 | BOP 电平迟滞系数字节[7:0]      |
| 0x54 | BOP_LEVEL_HYS_GAIN_BYT1[7:0]         | 0x03 | BOP 增益迟滞系数字节[31:24]    |

表 7-213. 页面 26 可编程系数寄存器 (续)

|      |                              |      |                     |
|------|------------------------------|------|---------------------|
| 0x55 | BOP_LEVEL_HYS_GAIN_BYT2[7:0] | 0xD7 | BOP 增益迟滞系数字节[23:16] |
| 0x56 | BOP_LEVEL_HYS_GAIN_BYT3[7:0] | 0x0A | BOP 增益迟滞系数字节[15:8]  |
| 0x57 | BOP_LEVEL_HYS_GAIN_BYT4[7:0] | 0x3E | BOP 增益迟滞系数字节[7:0]   |
| 0x58 | THF_GAIN_HYS_BYT1[7:0]       | 0x03 | THF 增益迟滞系数字节[31:24] |
| 0x59 | THF_GAIN_HYS_BYT2[7:0]       | 0xD7 | THF 增益迟滞系数字节[23:16] |
| 0x5A | THF_GAIN_HYS_BYT3[7:0]       | 0x0A | THF 增益迟滞系数字节[15:8]  |
| 0x5B | THF_GAIN_HYS_BYT4[7:0]       | 0x3D | THF 增益迟滞系数字节[7:0]   |

## 7.2.12 可编程系数寄存器：页面 27

该寄存器页面 (如表 7-214 所示) 包含 ADC AGC 的可编程系数。

表 7-214. 页面 27 可编程系数寄存器

| 地址   | 寄存器                            | 复位   | 说明                      |
|------|--------------------------------|------|-------------------------|
| 0x00 | PAGE[7:0]                      | 0x00 | 器件页寄存器                  |
| 0x5C | AGC_NOISE_FLOOR_BYT1[7:0]      | 0xFF | AGC 本底噪声系数字节[31:24]     |
| 0x5D | AGC_NOISE_FLOOR_BYT2[7:0]      | 0xFE | AGC 本底噪声系数字节[23:16]     |
| 0x5E | AGC_NOISE_FLOOR_BYTT3[7:0]     | 0xB0 | AGC 本底噪声系数字节[15:8]      |
| 0x5F | AGC_NOISE_FLOOR_BYTT4[7:0]     | 0x00 | AGC 本底噪声系数字节[7:0]       |
| 0x60 | AGC_TARGET_LEVEL_BYT1[7:0]     | 0xFF | AGC 目标电平系数字节[31:24]     |
| 0x61 | AGC_TARGET_LEVEL_BYT2[7:0]     | 0xFF | AGC 目标电平系数字节[23:16]     |
| 0x62 | AGC_TARGET_LEVEL_BYTT3[7:0]    | 0x78 | AGC 目标电平系数字节[15:8]      |
| 0x63 | AGC_TARGET_LEVEL_BYTT4[7:0]    | 0x00 | AGC 目标电平系数字节[7:0]       |
| 0x64 | AGC_NOISE_COUNT_MAX_BYT1[7:0]  | 0x00 | AGC 本底噪声保持计数系数字节[31:24] |
| 0x65 | AGC_NOISE_COUNT_MAX_BYT2[7:0]  | 0x00 | AGC 本底噪声保持计数系数字节[23:16] |
| 0x66 | AGC_NOISE_COUNT_MAX_BYTT3[7:0] | 0x04 | AGC 本底噪声保持计数系数字节[15:8]  |
| 0x67 | AGC_NOISE_COUNT_MAX_BYTT4[7:0] | 0xB0 | AGC 本底噪声保持计数系数字节[7:0]   |
| 0x68 | AGC_MAX_GAIN_BYT1[7:0]         | 0x00 | AGC 最大增益系数字节[31:24]     |
| 0x69 | AGC_MAX_GAIN_BYT2[7:0]         | 0x00 | AGC 最大增益系数字节[23:16]     |
| 0x6A | AGC_MAX_GAIN_BYTT3[7:0]        | 0x60 | AGC 最大增益系数字节[15:8]      |
| 0x6B | AGC_MAX_GAIN_BYTT4[7:0]        | 0x00 | AGC 最大增益系数字节[7:0]       |
| 0x6C | AGC_MIN_GAIN_BYT1[7:0]         | 0xFF | AGC 最小增益系数字节[31:24]     |
| 0x6D | AGC_MIN_GAIN_BYT2[7:0]         | 0xFF | AGC 最小增益系数字节[23:16]     |
| 0x6E | AGC_MIN_GAIN_BYTT3[7:0]        | 0x88 | AGC 最小增益系数字节[15:8]      |
| 0x6F | AGC_MIN_GAIN_BYTT4[7:0]        | 0x00 | AGC 最小增益系数字节[7:0]       |
| 0x70 | AGC_NOISE_HYS_BYT1[7:0]        | 0x00 | AGC 噪声门迟滞系数字节[31:24]    |



**表 7-214. 页面 27 可编程系数寄存器 (续)**

|      |                                   |      |                       |
|------|-----------------------------------|------|-----------------------|
| 0x71 | AGC_NOISE_HYS_BYT2[7:0]           | 0x00 | AGC 噪声门迟滞系数字节[23:16]  |
| 0x72 | AGC_NOISE_HYS_BYTT3[7:0]          | 0x18 | AGC 噪声门迟滞系数字节[15:8]   |
| 0x73 | AGC_NOISE_HYS_BYTT4[7:0]          | 0x00 | AGC 噪声门迟滞系数字节[7:0]    |
| 0x74 | AGC_ATTACK_HOLD_COUNT_BYT1[7:0]   | 0x00 | AGC 启动保持计数系数字节[31:24] |
| 0x75 | AGC_ATTACK_HOLD_COUNT_BYT2[7:0]   | 0x00 | AGC 启动保持计数系数字节[23:16] |
| 0x76 | AGC_ATTACK_HOLD_COUNT_BYTT3[7:0]  | 0x00 | AGC 启动保持计数系数字节[15:8]  |
| 0x77 | AGC_ATTACK_HOLD_COUNT_BYTT4[7:0]  | 0x01 | AGC 启动保持计数系数字节[7:0]   |
| 0x78 | AGC_RELEASE_HOLD_COUNT_BYT1[7:0]  | 0x00 | AGC 释放保持计数系数字节[31:24] |
| 0x79 | AGC_RELEASE_HOLD_COUNT_BYT2[7:0]  | 0x00 | AGC 释放保持计数系数字节[23:16] |
| 0x7A | AGC_RELEASE_HOLD_COUNT_BYTT3[7:0] | 0x04 | AGC 释放保持计数系数字节[15:8]  |
| 0x7B | AGC_RELEASE_HOLD_COUNT_BYTT4[7:0] | 0xB0 | AGC 释放保持计数系数字节[7:0]   |
| 0x7C | AGC_RELEASE_HYST_BYT1[7:0]        | 0x00 | AGC 释放迟滞系数字节[31:24]   |
| 0x7D | AGC_RELEASE_HYST_BYT2[7:0]        | 0x00 | AGC 释放迟滞系数字节[23:16]   |
| 0x7E | AGC_RELEASE_HYST_BYTT3[7:0]       | 0x08 | AGC 释放迟滞系数字节[15:8]    |
| 0x7F | AGC_RELEASE_HYST_BYTT4[7:0]       | 0x00 | AGC 释放迟滞系数字节[7:0]     |

### 7.2.13 可编程系数寄存器：页面 28

该寄存器页面 (如表 7-215 所示) 包含 ADC AGC 和 DAC DRC 的可编程系数。

**表 7-215. 页面 28 可编程系数寄存器**

| 地址   | 寄存器                         | 复位   | 说明                        |
|------|-----------------------------|------|---------------------------|
| 0x00 | PAGE[7:0]                   | 0x00 | 器件页寄存器                    |
| 0x08 | AGC_ATTACK_RATE_BYT1[7:0]   | 0x50 | AGC 启动速率系数字节[31:24]       |
| 0x09 | AGC_ATTACK_RATE_BYT2[7:0]   | 0xFC | AGC 启动速率系数字节[23:16]       |
| 0x0A | AGC_ATTACK_RATE_BYTT3[7:0]  | 0x64 | AGC 启动速率系数字节[15:8]        |
| 0x0B | AGC_ATTACK_RATE_BYTT4[7:0]  | 0x5C | AGC 启动速率系数字节[7:0]         |
| 0x0C | AGC_RELEASE_RATE_BYT1[7:0]  | 0x7F | AGC 释放速率系数字节[31:24]       |
| 0x0D | AGC_RELEASE_RATE_BYT2[7:0]  | 0xC4 | AGC 释放速率系数字节[23:16]       |
| 0x0E | AGC_RELEASE_RATE_BYTT3[7:0] | 0x0E | AGC 释放速率系数字节[15:8]        |
| 0x0F | AGC_RELEASE_RATE_BYTT4[7:0] | 0x57 | AGC 释放速率系数字节[7:0]         |
| 0x1C | DRC_MAX_GAIN_BYT1[7:0]      | 0x00 | DRC 最大增益 (dB) 系数字节[31:24] |
| 0x1D | DRC_MAX_GAIN_BYT2[7:0]      | 0x00 | DRC 最大增益 (dB) 系数字节[23:16] |

表 7-215. 页面 28 可编程系数寄存器 (续)

|      |                                   |      |                           |
|------|-----------------------------------|------|---------------------------|
| 0x1E | DRC_MAX_GAIN_BYTT3[7:0]           | 0x60 | DRC 最大增益 (dB) 系数字节[15:8]  |
| 0x1F | DRC_MAX_GAIN_BYTT4[7:0]           | 0x00 | DRC 最大增益 (dB) 系数字节[7:0]   |
| 0x20 | DRC_MIN_GAIN_BYT1[7:0]            | 0xFF | DRC 最小增益 (dB) 系数字节[31:24] |
| 0x21 | DRC_MIN_GAIN_BYT2[7:0]            | 0xFF | DRC 最小增益 (dB) 系数字节[23:16] |
| 0x22 | DRC_MIN_GAIN_BYTT3[7:0]           | 0x82 | DRC 最小增益 (dB) 系数字节[15:8]  |
| 0x23 | DRC_MIN_GAIN_BYTT4[7:0]           | 0x00 | DRC 最小增益 (dB) 系数字节[7:0]   |
| 0x24 | DRC_ATTACK_TC_BYT1[7:0]           | 0x67 | DRC 启动时间常量系数字节[31:24]     |
| 0x25 | DRC_ATTACK_TC_BYT2[7:0]           | 0xED | DRC 启动时间常量系数字节[23:16]     |
| 0x26 | DRC_ATTACK_TC_BYTT3[7:0]          | 0x87 | DRC 启动时间常量系数字节[15:8]      |
| 0x27 | DRC_ATTACK_TC_BYTT4[7:0]          | 0xBB | DRC 启动时间常量系数字节[7:0]       |
| 0x28 | DRC_RELEASE_TC_BYT1[7:0]          | 0x7E | DRC 释放时间常量系数字节[31:24]     |
| 0x29 | DRC_RELEASE_TC_BYT2[7:0]          | 0xAC | DRC 释放时间常量系数字节[23:16]     |
| 0x2A | DRC_RELEASE_TC_BYTT3[7:0]         | 0x70 | DRC 释放时间常量系数字节[15:8]      |
| 0x2B | DRC_RELEASE_TC_BYTT4[7:0]         | 0x34 | DRC 释放时间常量系数字节[7:0]       |
| 0x2C | DRC_RELEASE_HOLD_COUNT_BYT1[7:0]  | 0x00 | DRC 释放保持计数系数字节[31:24]     |
| 0x2D | DRC_RELEASE_HOLD_COUNT_BYT2[7:0]  | 0x00 | DRC 释放保持计数系数字节[23:16]     |
| 0x2E | DRC_RELEASE_HOLD_COUNT_BYTT3[7:0] | 0x04 | DRC 释放保持计数系数字节[15:8]      |
| 0x2F | DRC_RELEASE_HOLD_COUNT_BYTT4[7:0] | 0xB0 | DRC 释放保持计数系数字节[7:0]       |
| 0x30 | DRC_RELEASE_HYST_BYT1[7:0]        | 0x00 | DRC 释放迟滞系数字节[31:24]       |
| 0x31 | DRC_RELEASE_HYST_BYT2[7:0]        | 0x00 | DRC 释放迟滞系数字节[23:16]       |
| 0x32 | DRC_RELEASE_HYST_BYTT3[7:0]       | 0x0C | DRC 释放迟滞系数字节[15:8]        |
| 0x33 | DRC_RELEASE_HYST_BYTT4[7:0]       | 0x00 | DRC 释放迟滞系数字节[7:0]         |
| 0x34 | DRC_INV_RATIO_BYT1[7:0]           | 0xF8 | DRC 比率系数字节[31:24]         |
| 0x35 | DRC_INV_RATIO_BYT2[7:0]           | 0x00 | DRC 比率系数字节[23:16]         |
| 0x36 | DRC_INV_RATIO_BYTT3[7:0]          | 0x00 | DRC 比率系数字节[15:8]          |
| 0x37 | DRC_INV_RATIO_BYTT4[7:0]          | 0x00 | DRC 比率系数字节[7:0]           |
| 0x38 | DRC_INFLECTION_PT_BYT1[7:0]       | 0xFF | DRC 拐点 (dB) 系数字节[31:24]   |
| 0x39 | DRC_INFLECTION_PT_BYT2[7:0]       | 0xFF | DRC 拐点 (dB) 系数字节[23:16]   |
| 0x3A | DRC_INFLECTION_PT_BYTT3[7:0]      | 0xA0 | DRC 拐点 (dB) 系数字节[15:8]    |
| 0x3B | DRC_INFLECTION_PT_BYTT4[7:0]      | 0x00 | DRC 拐点 (dB) 系数字节[7:0]     |
| 0x40 | DAC_ADSR_NOTE_BYT1[7:0]           | 0x00 | ADSR 启用/禁用系数字节[31:24]     |
| 0x41 | DAC_ADSR_NOTE_BYT2[7:0]           | 0x00 | ADSR 启用/禁用系数字节[23:16]     |
| 0x42 | DAC_ADSR_NOTE_BYT3[7:0]           | 0x00 | ADSR 启用/禁用系数字节[15:8]      |
| 0x43 | DAC_ADSR_NOTE_BYT4[7:0]           | 0x00 | ADSR 启用/禁用系数字节[7:0]       |

**表 7-215. 页面 28 可编程系数寄存器 (续)**

|      |                                  |      |                      |
|------|----------------------------------|------|----------------------|
| 0x50 | DAC_ADSR_RESTART_TIMER_BYT1[7:0] | 0x00 | ADSR 重启计数系数字节[31:24] |
| 0x51 | DAC_ADSR_RESTART_TIMER_BYT2[7:0] | 0x00 | ADSR 重启计数系数字节[23:16] |
| 0x52 | DAC_ADSR_RESTART_TIMER_BYT3[7:0] | 0x25 | ADSR 重启计数系数字节[15:8]  |
| 0x53 | DAC_ADSR_RESTART_TIMER_BYT4[7:0] | 0x80 | ADSR 重启计数系数字节[7:0]   |
| 0x54 | DAC_ADSR_SUSTAIN_TIMER_BYT1[7:0] | 0x00 | ADSR 维持计数系数字节[31:24] |
| 0x55 | DAC_ADSR_SUSTAIN_TIMER_BYT2[7:0] | 0x00 | ADSR 维持计数系数字节[23:16] |
| 0x56 | DAC_ADSR_SUSTAIN_TIMER_BYT3[7:0] | 0x03 | ADSR 维持计数系数字节[15:8]  |
| 0x57 | DAC_ADSR_SUSTAIN_TIMER_BYT4[7:0] | 0xC0 | ADSR 维持计数系数字节[7:0]   |
| 0x58 | DAC_ADSR_DELATTACK_BYT1[7:0]     | 0x00 | ADSR 启动斜率系数字节[31:24] |
| 0x59 | DAC_ADSR_DELATTACK_BYT2[7:0]     | 0x44 | ADSR 启动斜率系数字节[23:16] |
| 0x5A | DAC_ADSR_DELATTACK_BYT3[7:0]     | 0x52 | ADSR 启动斜率系数字节[15:8]  |
| 0x5B | DAC_ADSR_DELATTACK_BYT4[7:0]     | 0x3F | ADSR 启动斜率系数字节[7:0]   |
| 0x5C | DAC_ADSR_DELRELEASE_BYT1[7:0]    | 0xFF | ADSR 释放斜率系数字节[31:24] |
| 0x5D | DAC_ADSR_DELRELEASE_BYT2[7:0]    | 0xBB | ADSR 释放斜率系数字节[23:16] |
| 0x5E | DAC_ADSR_DELRELEASE_BYT3[7:0]    | 0xAD | ADSR 释放斜率系数字节[15:8]  |
| 0x5F | DAC_ADSR_DELRELEASE_BYT4[7:0]    | 0xC1 | ADSR 释放斜率系数字节[7:0]   |
| 0x60 | DAC_ADSR_DELDECAY_BYT1[7:0]      | 0x00 | ADSR 衰减斜率系数字节[31:24] |
| 0x61 | DAC_ADSR_DELDECAY_BYT2[7:0]      | 0x00 | ADSR 衰减斜率系数字节[23:16] |
| 0x62 | DAC_ADSR_DELDECAY_BYT3[7:0]      | 0x00 | ADSR 衰减斜率系数字节[15:8]  |
| 0x63 | DAC_ADSR_DELDECAY_BYT4[7:0]      | 0x00 | ADSR 衰减斜率系数字节[7:0]   |
| 0x64 | DAC_ADSR_SUSLVL_BYT1[7:0]        | 0x40 | ADSR 维持电平系数字节[31:24] |
| 0x65 | DAC_ADSR_SUSLVL_BYT2[7:0]        | 0x00 | ADSR 维持电平系数字节[23:16] |
| 0x66 | DAC_ADSR_SUSLVL_BYT3[7:0]        | 0x00 | ADSR 维持电平系数字节[15:8]  |
| 0x67 | DAC_ADSR_SUSLVL_BYT4[7:0]        | 0x00 | ADSR 维持电平系数字节[7:0]   |

## 8 应用和实例

### 备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

### 8.1 应用信息

TAD5112 是一款立体声、高性能音频 DAC，支持高达 768kHz 的采样速率。该器件支持最多 4 通道同时回放，它们可配置为 2 通道差分或伪差分输出或最多 4 通道单端输出，并提供耳机和线路输出驱动功能选项。该器件还支持使用数字脉冲密度 (PDM) 麦克风通过多功能通用输入/输出引脚进行多达 4 通道的录音。

TAD5112 支持使用 I<sup>2</sup>C 或 SPI 接口与进行通信以进行控制寄存器配置。该器件支持高度灵活的音频串行接口 (TDM、I<sup>2</sup>S 和 LJ)，可在系统中跨设备无缝传输音频数据。

### 8.2 典型应用

#### 8.2.1 应用

图 8-1 展示了典型的 TAD5112 应用配置，该配置通过 I<sup>2</sup>C 控制接口和时分多路复用 (TDM) 音频数据目标接口进行双通道线路输出操作。

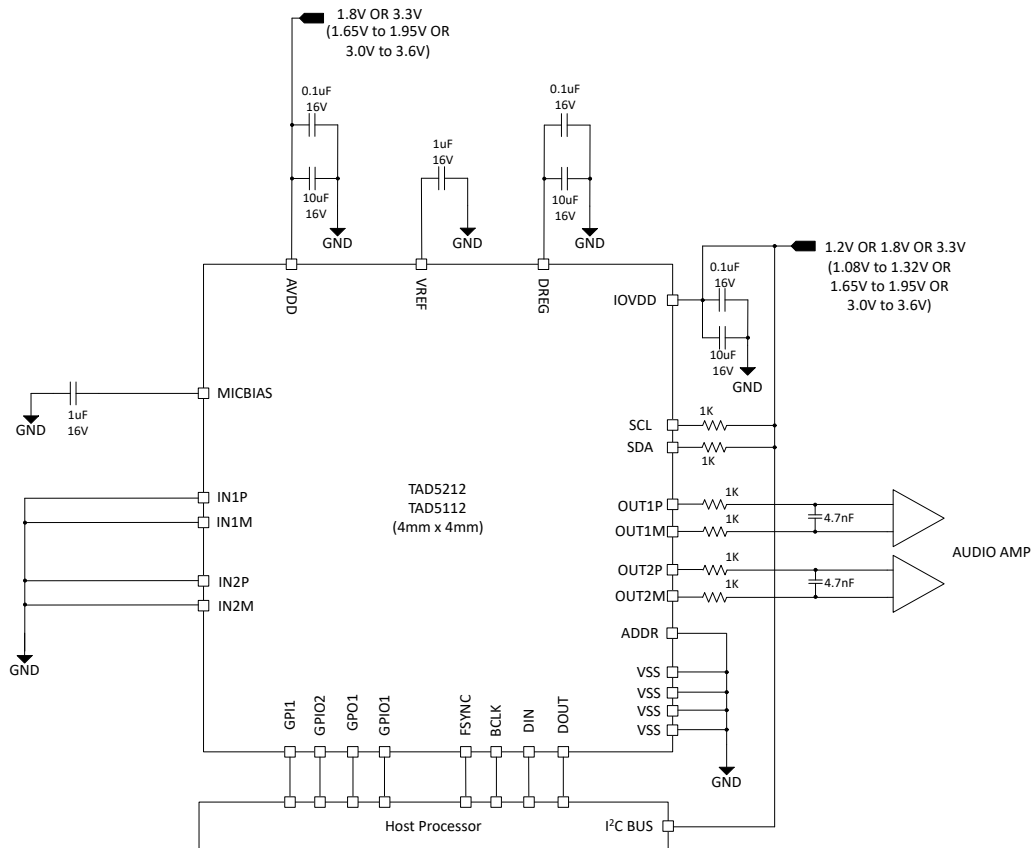


图 8-1. 立体声线路输出方框图

#### 8.2.2 设计要求

表 8-1 列出了此应用的设计参数。

表 8-1. 设计参数

| 参数                           | 值  |
|------------------------------|--|
| AVDD                         | 1.8V 或 3.3V  |
| IOVDD                        | 1.2V、1.8V 或 3.3V   |
| AVDD 电源电流消耗                  | 17mA、AVDD = 3.3V ( MICBIAS 关闭、PLL 开启、立体声播放、 $f_s = 48\text{kHz}$ ) |
| IOVDD 电源电流消耗                 | 0.04mA , IOVDD = 3.3V  |
| 最大 MICBIAS 电流                | 5mA  |
| OUT1M、OUT1P、OUT2M、OUT2P 上的负载 | >600 $\Omega$  |

### 8.2.3 详细设计过程

本节介绍了为此特定应用配置 TAD5112 的必要步骤。以下步骤提供了从器件上电到从器件读取数据或从一种工作模式转换到另一种工作模式之间必须执行的一系列项。

- 为器件通电：
  - 为 IOVDD 和 AVDD 电源上电
  - 等待至少 2ms，让器件初始化内部寄存器。
  - 器件现在进入睡眠模式（低功耗模式 < 10 $\mu\text{A}$ ）
- 每次操作需要时，从睡眠模式切换到工作模式：
  - 通过写入 P0\_R2 以禁用睡眠模式来唤醒器件
  - 等待至少 2ms，让器件完成内部唤醒序列
  - 根据需要覆盖默认配置寄存器或可编程系数值（这一步是可选操作）
  - 通过写入 DAC 的 P0\_R40 至 P0\_R47 来启用所有需要的音频串行接口输入/输出通道
  - 通过写入 P0\_R120 来为 DAC 上电
  - 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK

该特定步骤可以在步骤 a 后序列的任意时间点完成。

有关支持的采样速率和 BCLK 与 FSYNC 之比，请参阅 [节 6.3.2](#) 一节。

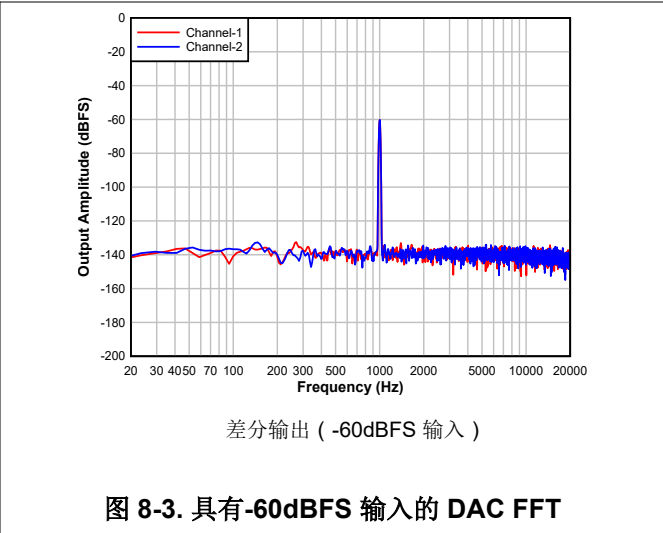
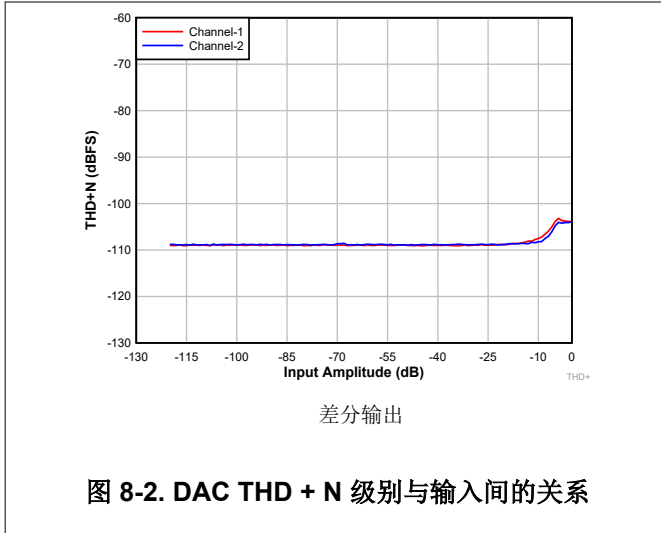
- 现在使用 TDM 音频串行数据总线从主机处理器接收器件回放数据，并且来自 TDM 的此回放数据现在通过线路输出进行播放
- 根据系统的低功耗运行要求，从工作模式（再次）转换到睡眠模式：
    - 通过写入 P0\_R2 以启用睡眠模式来进入睡眠模式
    - 等待至少 10ms（FSYNC = 48kHz 时），让音量下降并让所有模块断电
    - 读取 P0\_R122 以检查器件关断和睡眠模式状态
    - 如果器件 P0\_R122\_D[7:5] 状态位为 3'b100，则停止系统中的 FSYNC 和 BCLK
    - 器件现在进入睡眠模式（低功耗模式 < 10 $\mu\text{A}$ ）并保留所有寄存器值
  - 根据录音操作需要，从睡眠模式（再次）转换到工作模式：
    - 通过写入 P0\_R2 以禁用睡眠模式来唤醒器件
    - 等待至少 2ms，让器件完成内部唤醒序列
    - 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK
    - 现在使用 TDM 音频串行数据总线从主机处理器接收器件回放数据，并且来自 TDM 的此回放数据现在通过线路输出进行播放
  - 针对不同的器件配置和工作模式，根据需要重复这些步骤

### 8.2.4 应用性能曲线图

$T_A = 25^\circ\text{C}$ 、AVDD = 3.3V、IOVDD = 3.3V、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、BCLK =  $256 \times f_S$ 、TDM 目标模式、PLL 开启、通道增益 = 0dB、线性相位内插滤波器、采用差分配置的 1200  $\Omega$  线路输出负载以及其他默认配置；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

TAD5112

ZHCSUA4A - DECEMBER 2023 - REVISED JANUARY 2025



### 8.2.5 EVM 设置的器件寄存器配置脚本示例

本节为各种应用提供了典型的 EVM I<sup>2</sup>C 寄存器控制脚本

#### 立体声差分线路输出播放

```
# Key: w a0 XX YY ==> write to I2C address 0xa0, to register 0xxx, data 0xyy
# # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
# Differential 2-channel Line Out DAC: OUT1P/OUT1M - Ch1, OUT2P/OUT2M - Ch2
# FSYNC = 48 kHz (Output Data Sample Rate), BCLK = 12.288 MHz (BCLK/FSYNC = 256)
# AVDD = 3.3 V; IOVDD = 3.3 V
#####
#
# # Page 0 Register Writes
w a0 00 00
w a0 01 01 #SW Reset
d 01
# Page 0 Register Writes
w a0 00 00
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
w a0 1a 30 #TDM protocol with 32-bit word length
w a0 64 20 #DAC Channel 1 configured for differential output with 0.6*vref as common mode
w a0 65 20 #DAC OUT1P configured for line out driver and audio bandwidth
w a0 66 20 #DAC OUT1M configured for line out driver and audio bandwidth
w a0 6b 20 #DAC Channel 2 configured for differential output with 0.6*vref as common mode
w a0 6c 20 #DAC OUT2P configured for line out driver and audio bandwidth
w a0 6d 20 #DAC OUT2M configured for line out driver and audio bandwidth
w a0 76 0c #Output Channels 1, 2 enabled
w a0 78 40 #DAC Powered Up
# Apply FSYNC = 48 kHz and BCLK = 12.288 MHz and
# Start playback data by host on ASI bus with TDM protocol 32-bits channel wordlength
```

#### 四通道 PDM 麦克风录音

```
# Key: w a0 XX YY ==> write to I2C address 0xa0, to register 0xxx, data 0xyy
# # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
```

```
# GPIO1 - PDMCLK @ 3.072MHz
# PDM Ch1/2 on GPIO2
# PDM Ch3/4 on GPI1
# FSYNC = 48kHz (Output Data Sample Rate), BCLK = 12.288MHz (BCLK/FSYNC = 256)
# AVDD = 3.3V; IOVDD = 3.3V
#####
#
# Page 0 Register Writes
w a0 00 00
w a0 01 01 #SW Reset
d 01
# Page 0 Register Writes
w a0 00 00
w a0 02 09 #Exit Sleep Mode with DREG and VREF Enabled
w a0 0a 41 #Configure GPIO1 as PDMCLK, with active high/active low drive
w a0 35 00 #PDMCLK frequency = 3.072MHz
w a0 0b 10 #Configure GPIO2 as GPI input
w a0 0d 02 #Configure GPI1 as GPI input
w a0 13 cb #Configure Channel1 and Channel2 as PDM; PDM1/2 data in on GPIO2; PDM3/4 data in on GPI1
w a0 1a 30 #TDM protocol with 32-bit word length
w a0 1e 20 #Channel1 data on TDM slot 0
w a0 1f 21 #Channel2 data on TDM slot 1
w a0 20 22 #Channel3 data on TDM slot 2
w a0 21 23 #Channel4 data on TDM slot 3
w a0 76 f0 #Enable input channels 1-4
w a0 78 80 #Power Up ADC path
# Provide BCLK, FSYNC corresponding to 48kSPS, and record with 32-bit TDM bus
```

### 8.3 电源相关建议

IOVDD 和 AVDD 电源轨之间的电源序列可以按任何顺序应用。然而，在所有电源稳定后，只有启动 I<sup>2</sup>C 或 SPI 事务才能初始化器件。

对于电源上电要求， $t_1$ 、 $t_2$  必须至少为 2ms 才能让器件初始化内部寄存器。有关器件电源稳定至建议的工作电压电平后，该器件如何在各种模式下运行的详细信息，请参阅 节 6.4 部分。对于电源断电要求， $t_4$ 、 $t_5$  和  $t_6$  必须至少为 10ms。该时序（如图 8-4 所示）让器件可以慢慢降低录音数据的音量，关闭模拟和数字块，以及将器件置于关断模式。还可以通过降低电源电压来立即将器件置于关断模式，但这样会导致突然关断。

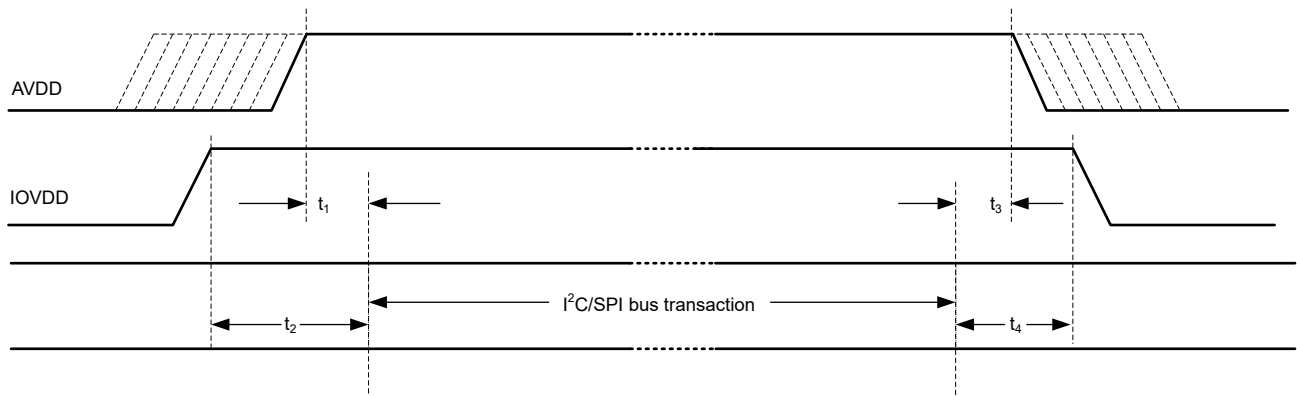


图 8-4. 电源时序要求时序图

确保电源斜坡速率低于  $0.1V/\mu s$ ，并且断电和上电事件之间的等待时间至少为 100ms。对于低于  $0.1V/ms$  的电源斜坡速率，主机器件必须在进行任何器件配置之前将软件复位作为第一个事务应用。确保所有数字输入引脚均处于有效的输入电平，并且在电源时序控制期间不会进行切换。

TAD5112 通过集成片上数字稳压器、DREG 和集成模拟稳压器，支持单 AVDD 电源运行。确保为 AVDD 1.8V 运行以及 IOVDD 1.8V 和 1.2V 运行正确设置 AVDD\_MODE (P0\_R2\_D[1]) 寄存器 (P0\_R2\_D[2])，如节 8.3.1 和节 8.3.2 所述。

### 8.3.1 适合 1.8V 运行的 AVDD\_模式

在电源稳定后，每当使用 AVDD 1.8V 运行时，务必在上电后立即将 AVDD\_模式 (P0\_R2\_D[2]) 设置为 1'b1，以便设置正确的模拟稳压器 (AREG) 电压。使用 AVDD 3.3V 运行时，不需要该设置。

### 8.3.2 适用于 1.8V 和 1.2V 运行的 IOVDD\_IO\_MODE

电源稳定后，器件的默认寄存器配置对最大时钟速度有一个速度限制，该最大时钟速度在具有默认配置（首次写入操作除外）的器件首次上电时可支持 IOVDD = 1.8V 或 1.2V。每次使用 IOVDD 1.8V 和 1.2V 运行时，用户的首次操作应始终是在上电或复位后将 IOVDD\_IO\_MODE (P0\_R2\_D[1]) 设置写入 1'b1，然后器件的后续运行没有速度限制。使用 IOVDD 3.3V 运行时，不需要或不适用该设置。

## 8.4 布局

### 8.4.1 布局指南

每个系统设计和印刷电路板 (PCB) 布局布线都是独一无二的。必须在特定 PCB 设计的背景下仔细审查布局。但是，以下指南可以优化器件性能：

- 将散热焊盘连接至地。使用过孔布局将器件散热焊盘（即器件正下方的区域）连接到接地平面。该连接有助于散发器件产生的热量。
- 将所有接地引脚星形连接至电路板接地平面。在 VSS 引脚之间使用相同的接地，以避免它们之间在任何电势电压差。
- 电源的去耦电容器必须放置在靠近器件引脚的位置。
- 在 PCB 上以差分方式路由模拟差分音频信号，以获得更好的抗噪性。避免数字和模拟信号交叉，以防止出现不良串扰。
- 尽可能避免在 INxx 和 OUTxx 引脚附近运行高频时钟和控制信号。
- 必须使用外部电容器对器件内部基准电压进行滤波。将滤波电容器放置在 VREF 引脚附近以获得良好性能。
- 在为多个麦克风布线偏置或电源引线时，直接分接 MICBIAS 引脚以避免公共阻抗，从而避免麦克风之间的耦合。
- 提供从 VREF 和 MICBIAS 外部电容器接地端子到 VSS 的直接连接。
- 将 MICBIAS 电容器（具有低等效串联电阻）放置在靠近具有最小引线阻抗的器件处。
- 使用接地平面为器件和去耦电容器之间的电源和信号电流提供最低阻抗。将器件正下方的区域视为器件的中心接地区域，所有器件接地必须直接连接到该区域。



### 8.4.2 布局示例

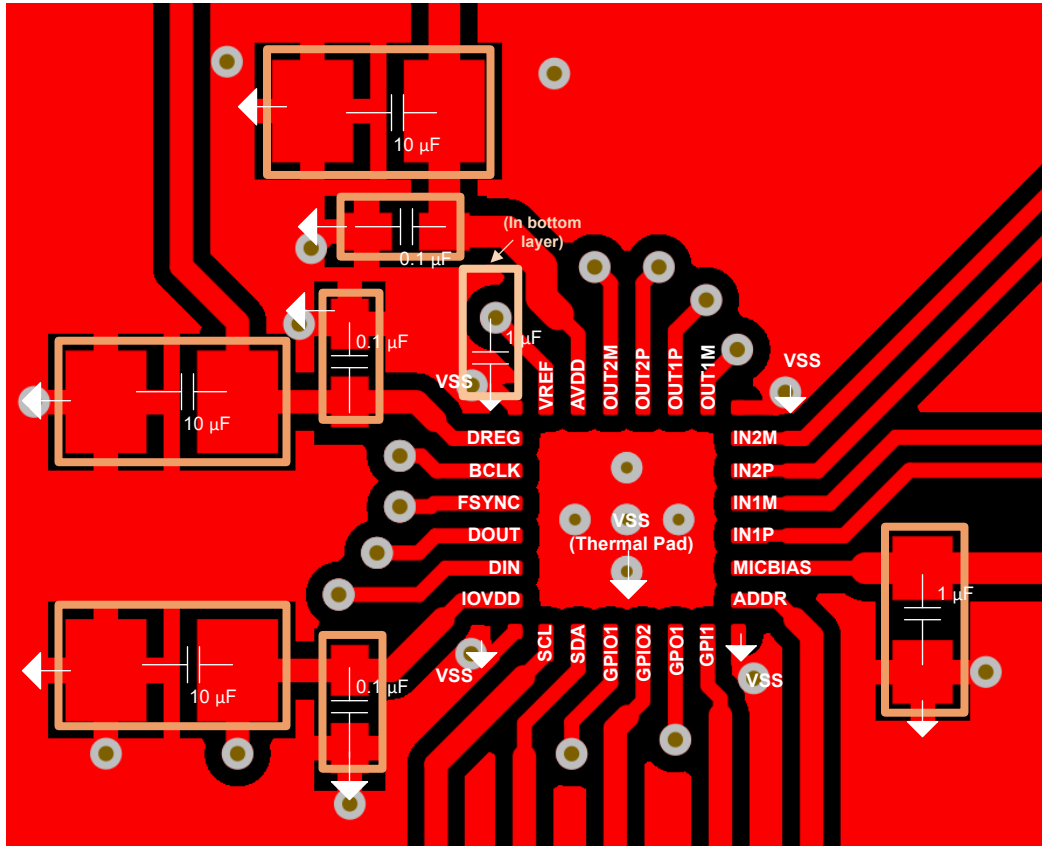


图 8-5. 示例布局

## 9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

### 9.1 文档支持

#### 9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [TAX5x12EVM-K 评估模块 用户指南](#)
- 德州仪器 (TI), [TAX5X1X 同步采样速率转换 应用报告](#)
- 德州仪器 (TI), [器件的时钟配置和 TAX5x1x 系列的灵活时钟 应用报告](#)
- 德州仪器 (TI), [TAX5x1x 系列支持的时钟错误配置、检测和模式 应用报告](#)
- 德州仪器 (TI), [TAC5x1x 和 TAC5x1x-Q1 可编程双二阶滤波器 - 配置和应用 应用报告](#)
- 德州仪器 (TI), [TAX5x1x 器件的音调生成和应用模式应用报告](#)
- 德州仪器 (TI), [不同使用场景下的 TAD5x1x 功耗矩阵 应用报告](#)
- 德州仪器 (TI), [交流耦合和直流耦合 DAC 中的输出摆幅和共模设置应用报告](#)
- 德州仪器 (TI), [TAX5XXX-Q1 中基于动态电压和温度跟踪的限制器 应用报告](#)
- 德州仪器 (TI), [TAX5xxx-Q1 器件中的芯片间限制器调整 应用报告](#)
- 德州仪器 (TI), [TAX52xx 系列的耳机检测应用报告](#)
- 德州仪器 (TI), [改善 TAD5xx2 器件中的带外噪声和咔嗒声和砰砰噪声应用报告](#)
- 德州仪器 (TI), [使用 TAX5x1x 可编程数字通道混频器应用报告](#)
- 德州仪器 (TI), [具有共享 TDM 和 I2C/SPI 总线的多个 TAC5x1x 器件应用报告](#)
- 德州仪器 (TI), [TAC5212 集成模拟抗混叠滤波器和灵活数字滤波器 应用报告](#)
- 德州仪器 (TI), [TAC5212 采样速率和受支持的可编程处理块 应用报告](#)
- 德州仪器 (TI), [适用于专业音频和音乐应用的音频 ADC、DAC 和编解码器应用报告](#)

### 9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

### 9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 9.6 术语表

#### TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

## 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| <b>Changes from Revision * (December 2023) to Revision A (January 2025)</b> | <b>Page</b> |
|---|-------------|
| • 将器件状态更新为量产数据。 .....   | <b>1</b>    |

## 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

**PACKAGING INFORMATION**

| Orderable part number        | Status<br>(1) | Material type<br>(2) | Package   Pins  | Package qty   Carrier | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6) |
|------------------------------|---------------|----------------------|-----------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| <a href="#">TAD5112IRGER</a> | Active        | Production           | VQFN (RGE)   24 | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-2-260C-1 YEAR               | -40 to 125   | TAD5112             |
| TAD5112IRGER.A               | Active        | Production           | VQFN (RGE)   24 | 3000   LARGE T&R      | Yes         | NIPDAU                               | Level-2-260C-1 YEAR               | -40 to 125   | TAD5112             |

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TAD5112 :**

- Automotive : [TAD5112-Q1](#)

NOTE: Qualified Version Definitions:

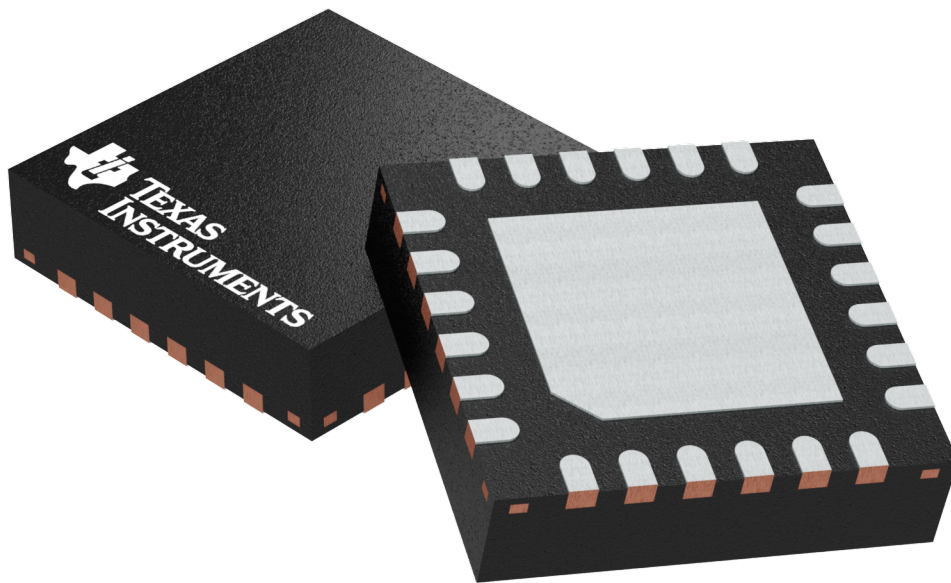
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

**RGE 24**

**GENERIC PACKAGE VIEW**

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4204104/H





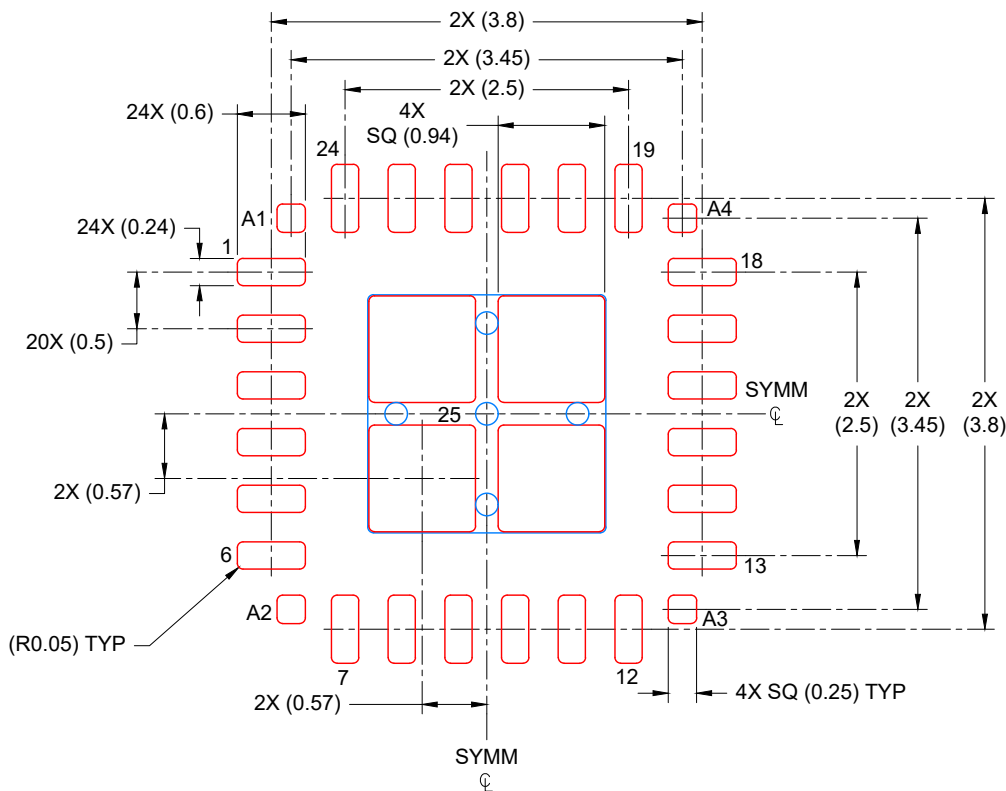


# EXAMPLE STENCIL DESIGN

RGE0024R

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
80% PRINTED COVERAGE BY AREA  
SCALE: 15X

4225246/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月