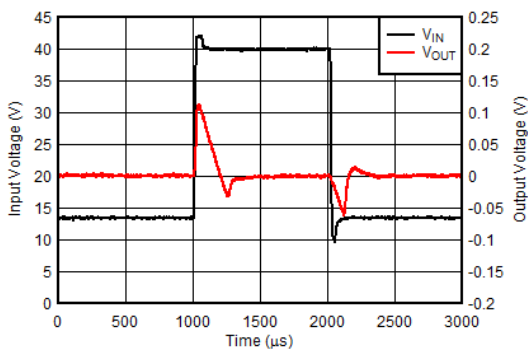


TLE4275-Q1 具有电源正常状态指示功能的汽车级 500mA、40V、低压降稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C， T_A
 - 结温：-40°C 至 +150°C， T_J
- 输入电压范围：
 - 旧芯片：5.5V 至 42V (绝对最大值 45V)
 - 新芯片：3.0V 至 40V (绝对最大值 42V)
- 最大输出电流：
 - 旧芯片：450mA
 - 新芯片：500mA
- 输出电压精度： $\pm 2.0\%$ (线路、负载和温度范围)
- 低压降：300mA 电流时为 500mV (最大值)
- 低静态电流：
 - 旧芯片： $I_{OUT} = 1mA$ 时典型值为 100 μA
 - 新芯片： $I_{OUT} = 1mA$ 时典型值为 28 μA
- 出色的线路瞬态响应 (新芯片)：
 - 冷启动时出现 $\pm 2\%$ V_{OUT} 偏差
 - $\pm 2\%$ V_{OUT} 偏差 (V_{IN} 压摆率 1V/ μs)
- 具有可编程延迟周期的电源正常状态 (复位) 指示 (新芯片)
- 与 2.2 μF 或更高的电容器搭配使用时可保持稳定 (新芯片)
- 反极性保护 (旧芯片)
- 过流和过热保护
- 封装：
 - 5 引脚 TO-252 (KVU)
 - 5 引脚 DDPACK/TO-263 (KTT)
 - 20 引脚 HTSSOP (PWP) (旧芯片)



线路瞬态响应 (V_{IN} 压摆率 3V/ μs) (新芯片)

2 应用

- 可重新配置仪表组
- 车身控制模块 (BCM)
- 常开型电池连接应用：
 - 汽车网关
 - 远程免钥匙进入 (RKE)

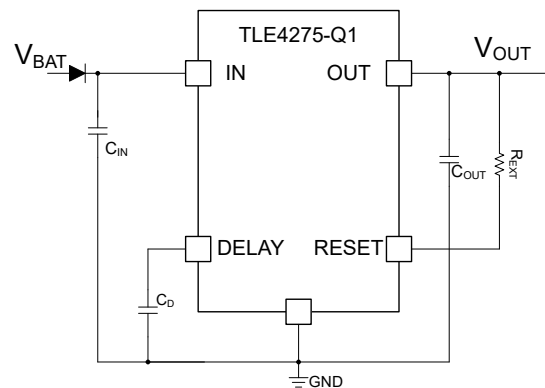
3 说明

TLE4275-Q1 是一款低压降线性稳压器，专用于连接汽车应用中的电池。对于新芯片，此器件具有高达 40V 的输入电压范围，可驱动高达 500mA 的负载。因此可承受汽车系统可能发生的瞬变 (如负载突降)。该器件在 $I_{OUT} = 1mA$ (新芯片) 下的静态电流仅为 28 μA ，专为满足常开型元件供电需求而设计。待机系统中的微控制器 (MCU) 和控制器局域网 (CAN) 收发器就是此类元件的示例。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TLE4275-Q1	KTT (DDPAK/TO-263, 5)	10.16mm × 15.24mm
	KVU (TO-252, 5)	6.6mm × 10.11mm
	PWP (HTSSOP, 20) ⁽³⁾	6.5mm × 6.4mm

- 如需更多信息，请参阅 [机械、封装和可订购信息](#)。
- 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。
- 旧芯片。



典型应用



该器件的新芯片版本具有先进的瞬态响应，因此输出端可对负载或线路变化（例如，在冷启动条件下）作出迅速响应。此外，新芯片版本架构新颖，可在从电压跌落恢复过程中更大限度降低输出过冲幅度。正常运行时，该器件可在整个线路、负载和温度范围内维持 $\pm 2.0\%$ 的直流精度（新芯片）。

电源正常（复位）延迟是在外部电容器的延迟引脚上调整，因此可通过配置延迟时间来适应应用特定的系统。

该器件还包含多个内部电路，可提供过载和过热保护。旧芯片还提供反极性保护。旧芯片要求 $C_{OUT} \geq 22 \mu F$ （支持的最大 ESR 范围为 $\leq 5 \Omega$ ），而新芯片要求 $C_{OUT} \geq 2.2 \mu F$ （支持的最大 ESR 范围为 $\leq 2 \Omega$ ），在工作温度范围内。

内容

1 特性	1	7.4 器件功能模式.....	23
2 应用	1	8 应用和实施	25
3 说明	1	8.1 应用信息.....	25
4 引脚配置和功能	4	8.2 典型应用.....	29
5 规格	6	8.3 电源相关建议.....	31
5.1 绝对最大额定值.....	6	8.4 布局.....	31
5.2 ESD 等级.....	6	9 器件和文档支持	34
5.3 建议运行条件.....	7	9.1 器件支持.....	34
5.4 热性能信息.....	7	9.2 文档支持.....	34
5.5 电气特性.....	8	9.3 接收文档更新通知.....	34
5.6 时序图.....	9	9.4 支持资源.....	34
5.7 典型特性.....	10	9.5 商标.....	34
6 参数测量信息	19	9.6 静电放电警告.....	34
7 详细说明	20	9.7 术语表.....	34
7.1 概述.....	20	10 修订历史记录	35
7.2 功能方框图.....	20	11 机械、封装和可订购信息	36
7.3 特性说明.....	22		

4 引脚配置和功能

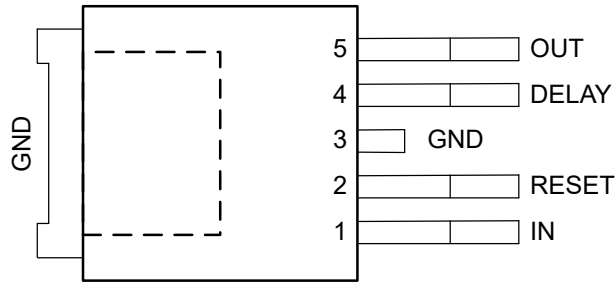


图 4-1. KVVU 封装，5 引脚 TO-252 (顶视图)

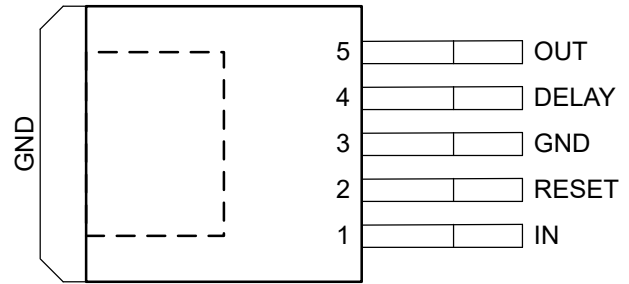


图 4-2. KTT 封装，5 引脚 DDPAK/TO-263 (顶视图)

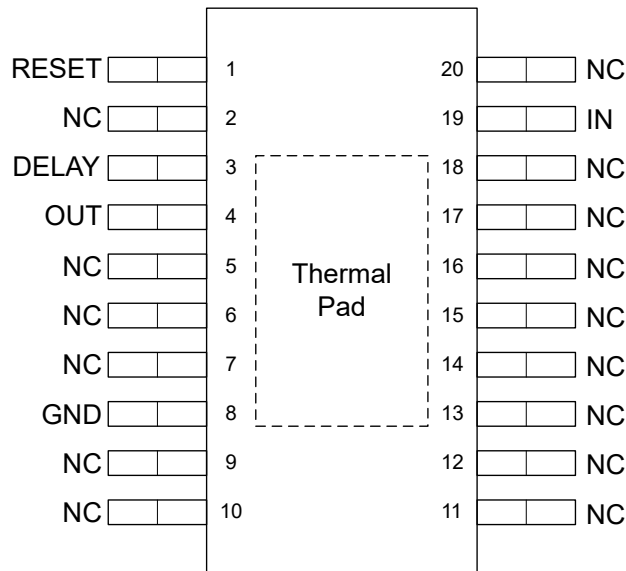


图 4-3. PWP 封装，20 引脚 HTSSOP (顶视图，旧芯片)

表 4-1. 引脚功能

名称	引脚			类型 ⁽¹⁾	说明
	KVU	KTT	PWP		
延迟	4	4	3	I	复位 (电源正常) 延迟调整引脚。在该引脚和 GND 之间连接一个电容器来设置 PG 复位延迟。将该引脚悬空以实现默认 (t_{DLY_FIX}) 延迟。更多信息请参阅 电源正常状态复位 (RESET) 部分。如果不需要 RESET/DELAY 功能, 请将该引脚悬空, 因为将该引脚连接到 GND 会导致 GND 电流永久增加。
GND	3	3	8	G	参考接地。
IN	1	1	19	P	输入电源电压引脚。为获得出色的瞬态响应并尽可能减小输入阻抗, 请在 IN 到 GND 之间使用建议值或更高的陶瓷电容器。请参阅 建议运行条件 表和 输入和输出电容器选择 部分。将输入电容器放置在尽可能靠近器件的输入的位置上。
NC	—	—	2、5、6、7、9、10、11、12、13、14、15、16、17、18、20	—	无内部连接。该引脚可保持悬空或连接至 GND 以尽可能提高热性能。
OUT	5	5	4	O	稳压输出电压引脚。需要在 OUT 到 GND 之间连接一个电容器以确保稳定性。将输出电容增加到超过实现稳定性所需的最小值可改善瞬态响应。请参阅 建议运行条件 表和 输入和输出电容器选择 部分。将此输出电容器尽可能靠近器件输出端放置。如果使用高等效串联电阻 (ESR) 电容器, 则使用 100nF 陶瓷电容器将输出去耦。
复位	2	2	1	I	具有高电平有效功能的复位 (电源正常) 引脚。开漏输出指示输出电压何时达到目标的 $V_{PG(TH,RISING)}$ 。使用前馈电容器会破坏 RESET 功能。更多信息请参阅 电源正常状态复位 (RESET) 部分。
散热焊盘	Pad	Pad	Pad	—	将散热焊盘连接到大面积 GND 平面, 以获得出色的热性能。

(1) I = 输入 ; O = 输出 ; P = 电源 ; G = 接地。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{IN}	输入电压范围 (旧芯片)	-42	45	V
	输入电压范围 (新芯片)	-0.3	42	
V _{OUT}	输出电压范围 (旧芯片)	-1	16	V
	输出电压范围 (新芯片)	-0.3	V _{IN} + 0.3 ⁽²⁾	
延迟	复位延迟输入 (旧芯片)	-0.3	7	V
	复位延迟输入, 电源正常可调节阈值 (新芯片)	-0.3	6	
复位	复位输出 (旧芯片)	-0.3	25	V
	复位 (电源正常) 输出 (新芯片)	-0.3	20	
I _{DELAY}	DELAY 电流 (旧芯片)		±2	mA
I _{RESET}	RESET 电流 (旧芯片)		±5	mA
温度	工作结温, T _J	-40	150	°C
	贮存温度, T _{stg}	-65	150	

- (1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值, 对于在应力额定值下或者在任一其他超过建议运行条件中所标出的额定值的器件的功能运行情况, 在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 绝对最大额定值为 V_{IN} + 0.3V 或 20V (以较小者为准)。

5.2 ESD 等级

			值 (旧芯片)	值 (新芯片)	单位	
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±6000	±2000	V	
		机器模型 (MM)	±400	±500		
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	所有引脚	不适用		±500
			转角引脚	不适用		±750

- (1) AEC Q100-002 指示 HBM 应力应符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	典型值	最大值	单位
V _{IN}	输入电压范围（旧芯片）	5.5		42	V
	输入电压范围（新芯片）	3		40	
V _{OUT}	输出电压		5.0		V
I _{OUT}	输出电流范围（新芯片）	0		500	mA
V _{DELAY}	延迟引脚电压，电源正常状态可调节阈值（新芯片）	0		5.5	V
V _{RESET}	复位（电源正常状态）输出引脚（新芯片）	0		18	
C _{OUT}	输出电容器（旧芯片）	22			μF
	输出电容器（新芯片） ⁽²⁾	2.2		220	
ESR	输出电容器 ESR 要求（旧芯片）	0.001		5	Ω
	输出电容器 ESR 要求（新芯片）	0.001		2	
C _{IN}	输入电容器（新芯片） ⁽¹⁾	0.1	1		μF
C _{DELAY}	电源正常延迟电容器（新芯片）			1	μF
T _J	工作结温	-40		150	°C

- (1) 为确保强大的 EMI 性能，最小输入电容为 500nF。
 (2) 为了实现稳定性，需要最小值为 1μF 的有效输出电容。

5.4 热性能信息

热指标 ⁽¹⁾		TLE4275-Q1					单位
		KVU (TO-252-5)		KTT (TO-263-5)		PWP (HTSSOP-20)	
		旧芯片	新芯片	旧芯片	新芯片	旧芯片	
R _{θJA}	结至环境热阻	40.3	28.6	32.8	22.5	39.3	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	31.8	36.3	38.0	7.2	22.7	°C/W
R _{θJB}	结至电路板热阻	17.2	7.3	5.3	32.3	19.1	°C/W
ψ _{JT}	结至顶部特征参数	2.8	1.8	6.3	2.0	0.6	°C/W
ψ _{JB}	结至电路板特征参数	17.1	7.2	5.4	3.4	18.9	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	0.7	0.7	0.8	6.8	1.5	°C/W

- (1) 此热数据基于 JEDEC 标准高 K 尺寸 JESD 51-7。具有 2oz 覆铜的双信号、双平面、四层电路板。铜箔圆配被焊接到散热焊垫上。正确的连接工艺也必须合并在一起。

5.5 电气特性

指定条件为： $T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 0\text{ mA}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT}\text{ ESR} < 2\Omega$ 、 $C_{IN} = 1\mu\text{F}$ 、典型值为 $T_J = 25^{\circ}$

参数		测试条件	最小值	典型值	最大值	单位
V_{OUT}	输出电压	$V_{IN} = 6\text{V}$ 至 28V ， $I_{OUT} = 5\text{mA}$ 至 400mA	4.9	5	5.1	V
		$V_{IN} = 6\text{V}$ 至 40V ， $I_{OUT} = 5\text{mA}$ 至 200mA	4.9	5	5.1	
I_O	输出电流限制		450	700	950	mA
$\Delta V_{OUT}(\Delta I_{OUT})$	负载调整 (旧芯片)	$I_{OUT} = 5\text{mA}$ 至 400mA		15	30	mV
	负载调整 (新芯片)	$I_{OUT} = 5\text{mA}$ 至 400mA ， $V_{IN} = 6\text{V}$		15	30	
$\Delta V_{OUT}(\Delta V_{IN})$	线路调整 (旧芯片)	$V_{IN} = 8\text{V}$ 至 32V ， $I_{OUT} = 5\text{mA}$	-15	5	15	mV
	线路调整 (新芯片)	$V_{IN} = 6\text{V}$ 至 40V ， $I_{OUT} = 5\text{mA}$	-15	5	15	
I_Q	电流消耗， $I_Q = I_{IN} - I_{OUT}$ (旧芯片)	$I_{OUT} = 1\text{mA}$	$T_J = 25^{\circ}\text{C}$	150	200	μA
			$T_J \leq 85^{\circ}\text{C}$	150	220	
	电流消耗， $I_Q = I_{IN} - I_{OUT}$ (新芯片)		$T_J = 25^{\circ}\text{C}$	28	50	
			$T_J \leq 85^{\circ}\text{C}$	28	55	
电流消耗， $I_Q = I_{IN} - I_{OUT}$	$I_{OUT} = 250\text{mA}$	5	10	mA		
	$I_{OUT} = 400\text{mA}$	12	22			
V_{DO}	压降电压	$I_{OUT} = 300\text{mA}$ ， $V_{DO} = V_{IN} - V_{OUT}$		250	500	mV
$V_{UVLO}(\text{RISING})$	上升输入电源 UVLO (新芯片)	V_{IN} 上升	2.6	2.7	2.82	V
$V_{UVLO}(\text{FALLING})$	下降输入电源 UVLO (新芯片)	V_{IN} 下降	2.38	2.5	2.6	V
$V_{UVLO}(\text{HYST})$	$V_{UVLO}(\text{IN})$ 迟滞 (新芯片)			230		mV
PSRR	电源抑制比	频率 = 100Hz ， $V_r = 0.5 V_{pp}$		60		dB
$\Delta V_{OUT}/\Delta T$	温度输出电压漂移：			0.5		mV/K
$V_{RESET}(\text{OL})$	RESET (PG) 引脚低电平输出电压 (旧芯片)	$R_{ext} \geq 5\text{k}\Omega$ ， $V_{OUT} > 1\text{V}$		0.2	0.4	V
	RESET (PG) 引脚低电平输出电压 (新芯片)	$R_{ext} \geq 5\text{k}\Omega$ ， $1\text{V} \leq V_{OUT} < 4.5\text{V}$		0.2	0.4	
$V_{OUT}(\text{RT})$	RESET (PG) 开关阈值 (旧芯片)		4.5	4.65	4.8	V
	RESET (PG) 开关阈值 (新芯片)	V_{OUT} 上升	4.25		4.75	
I_{ROH}	RESET 输出漏电流	$V_{ROH} = 5\text{V}$		0	10	μA
$I_{DLY}(\text{CHARGE})$	RESET 充电电流 (旧芯片)	DELAY 引脚的电压 = 1V	3	5.5	9	μA
	RESET 充电电流 (新芯片)		1	1.5	2	
$V_{DELAY_U}(\text{TH})$	RESET 时序阈值上限 (旧芯片)	DELAY 引脚上升时的电压	1.5	1.8	2.2	V
	RESET 时序阈值上限 (新芯片)	DELAY 引脚上升时的电压	1.17	1.21	1.25	
$V_{DELAY_RL}(\text{TH})$	RESET 时序阈值下限 (旧芯片)	DELAY 引脚上升时的电压	0.2	0.4	0.7	V
$T_{SD}(\text{SHUTDOWN})$	结关断温度 (新芯片)			175		$^{\circ}\text{C}$
$T_{SD}(\text{HYST})$	热关断迟滞 (新芯片)			20		$^{\circ}\text{C}$

5.6 时序图

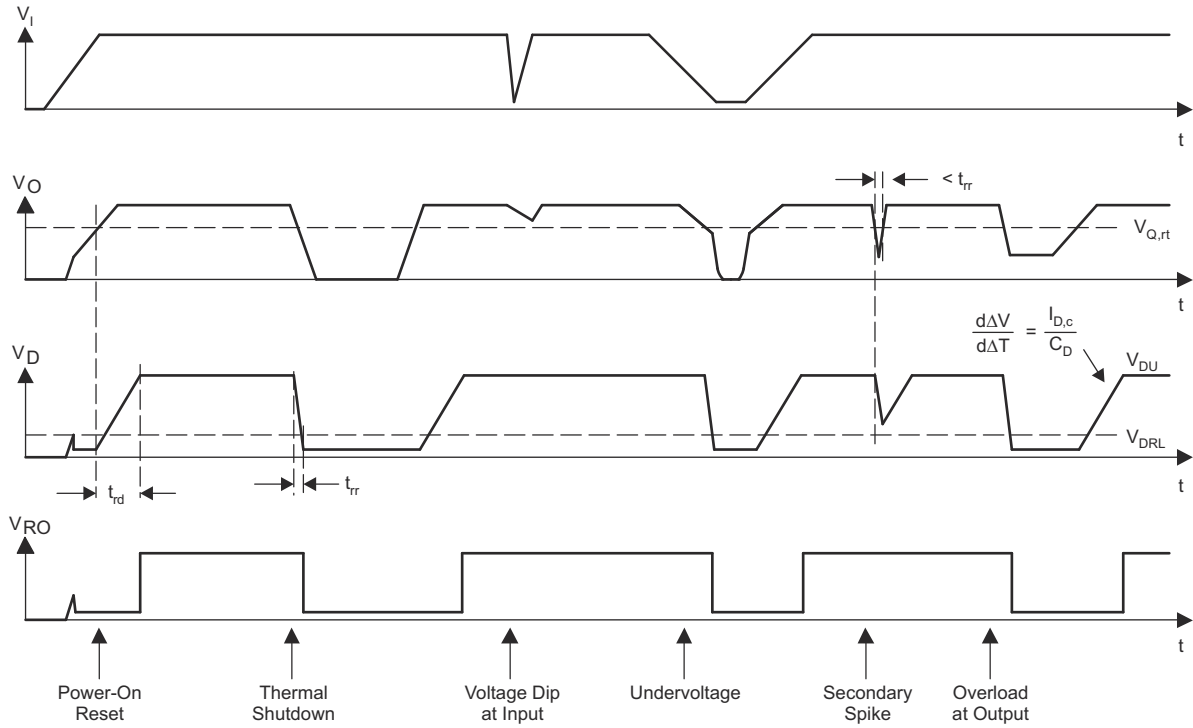


图 5-1. 复位时序图 (旧芯片)

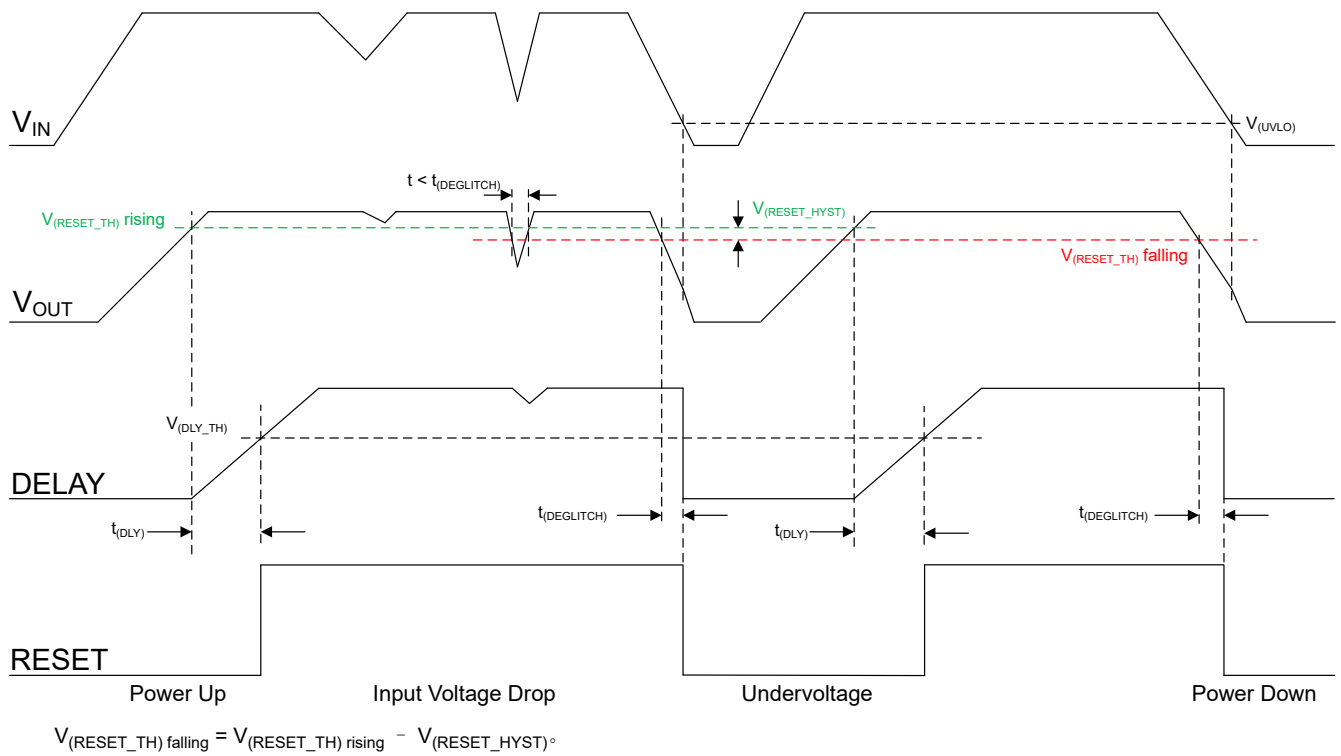


图 5-2. 典型的电源正常 RESET 时序图 (新芯片)

5.7 典型特性

旧芯片： $T_A = 25^\circ\text{C}$ ；新芯片：在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定（除非另有说明）

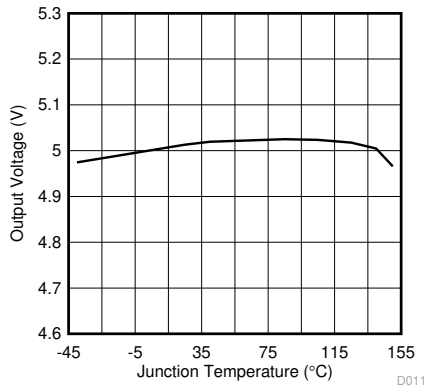


图 5-3. 输出电压与结温之间的关系 (旧芯片)

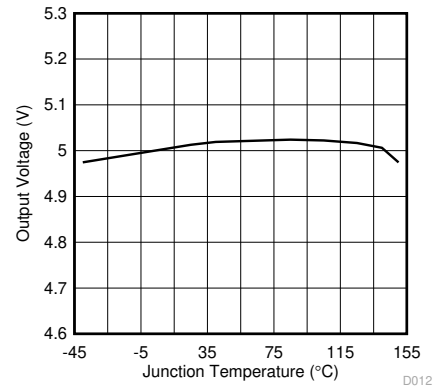


图 5-4. 输出电压与结温之间的关系 (旧芯片)

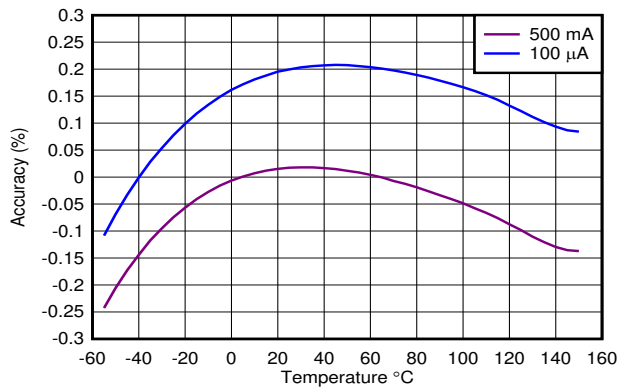


图 5-5. 输出精度与温度之间的关系 (新芯片)

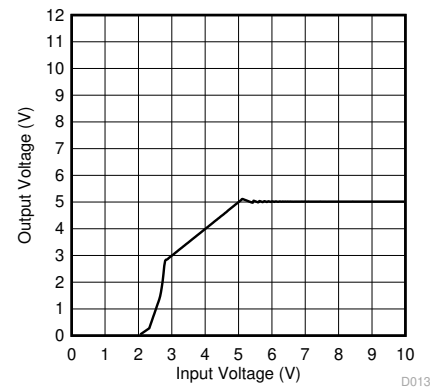


图 5-6. 输出电压与输入电压之间的关系 (旧芯片)

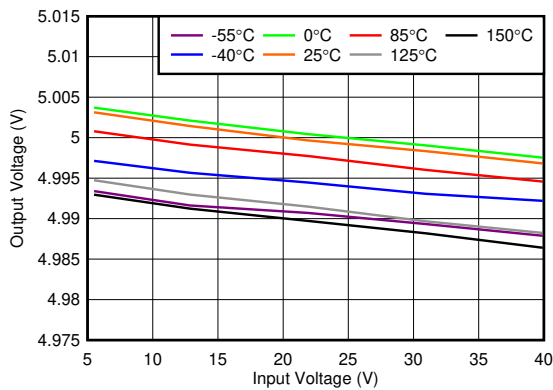


图 5-7. 输出线路调整与 V_{IN} 之间的关系 (新芯片)

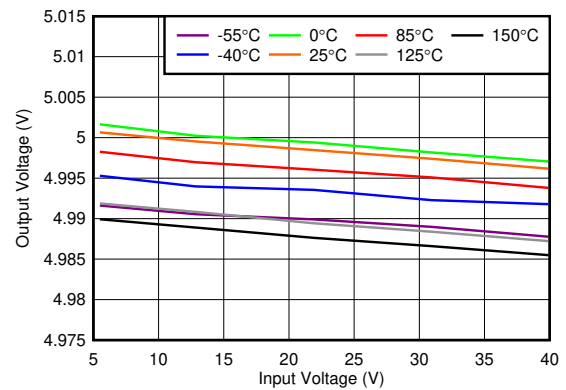


图 5-8. 线路调整与 V_{IN} 之间的关系 (新芯片)

5.7 典型特性 (续)

旧芯片: $T_A = 25^\circ\text{C}$; 新芯片: 在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定 (除非另有说明)

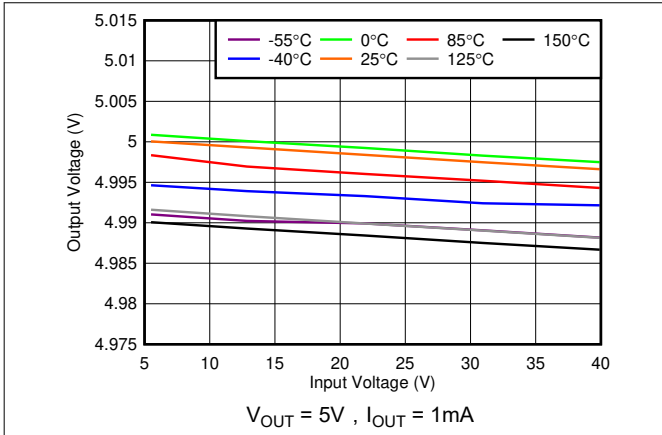


图 5-9. 线路调整与 V_{IN} 之间的关系 (新芯片)

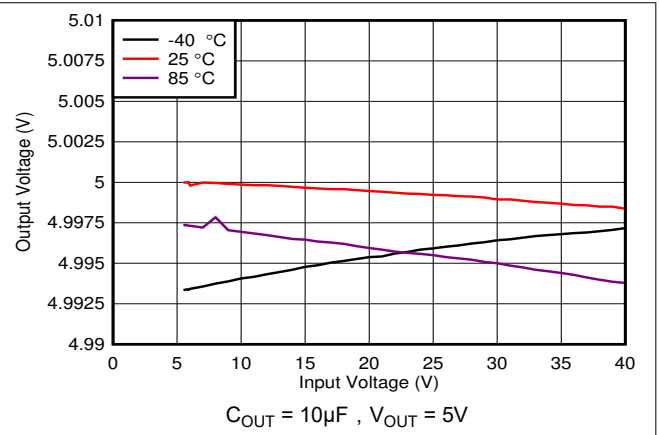


图 5-10. 50mA 时的线路调整 (新芯片)

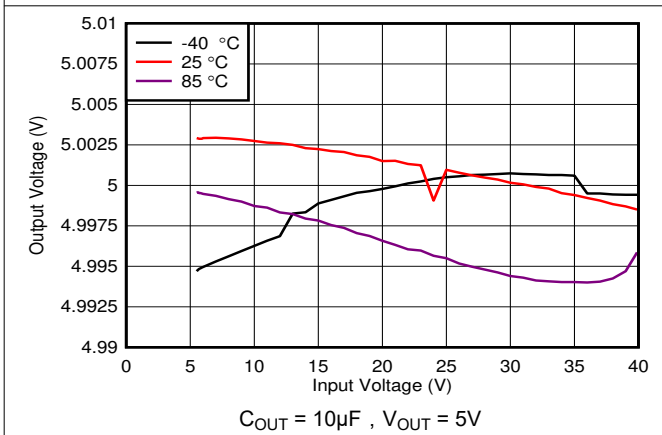


图 5-11. 100mA 时的线路调整 (新芯片)

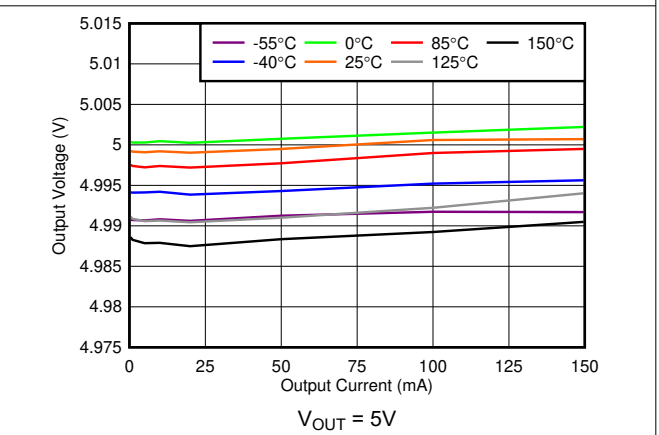


图 5-12. 线路调整与 I_{OUT} 之间的关系 (新芯片)

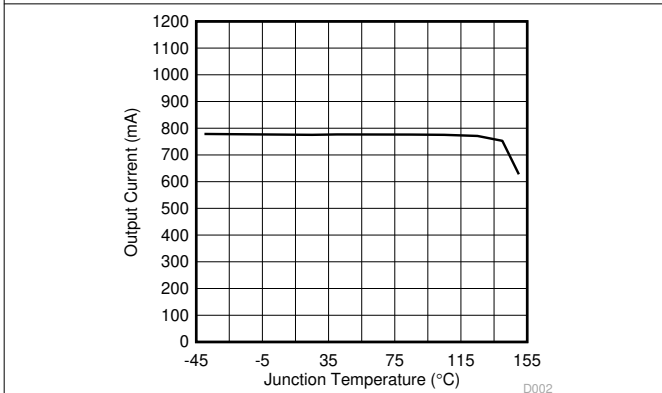


图 5-13. 输出电流与结温之间的关系 (旧芯片)

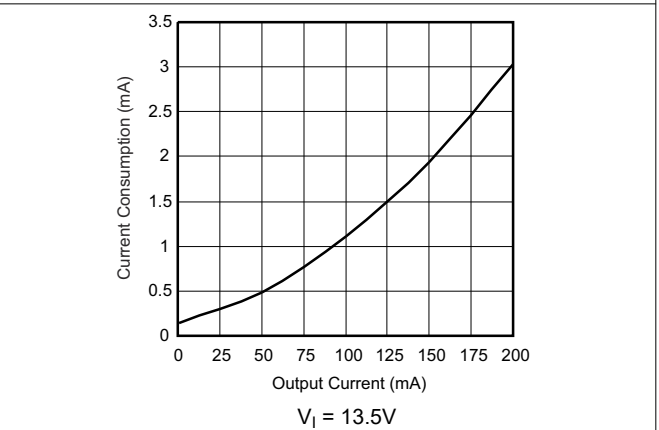


图 5-14. 电流消耗与输出电流之间的关系 (旧芯片)

5.7 典型特性 (续)

旧芯片： $T_A = 25^\circ\text{C}$ ；新芯片：在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定 (除非另有说明)

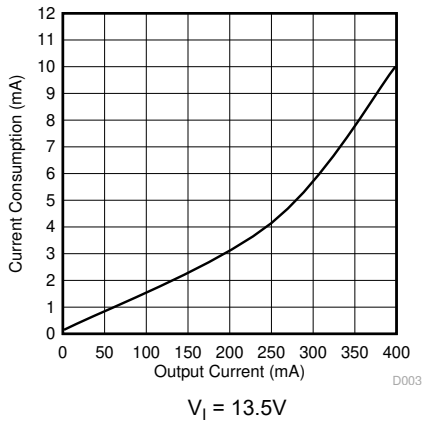


图 5-15. 电流消耗与输出电流之间的关系 (旧芯片)

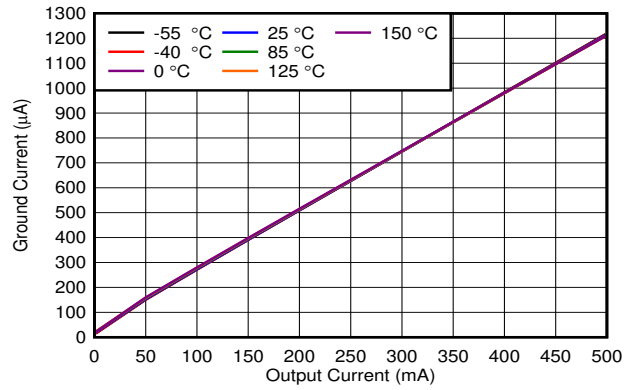


图 5-16. 接地电流 (I_{GND}) 与 I_{OUT} 之间的关系 (新芯片)

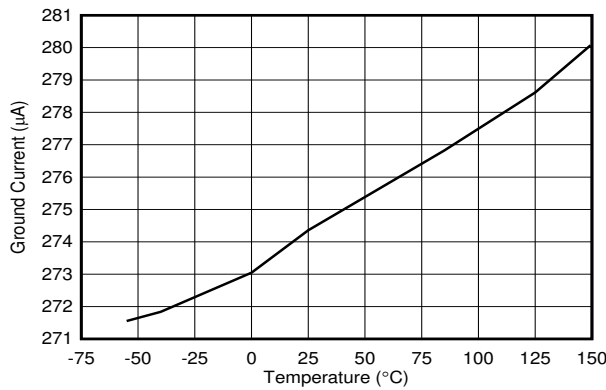


图 5-17. 100mA 时的接地电流 (新芯片)

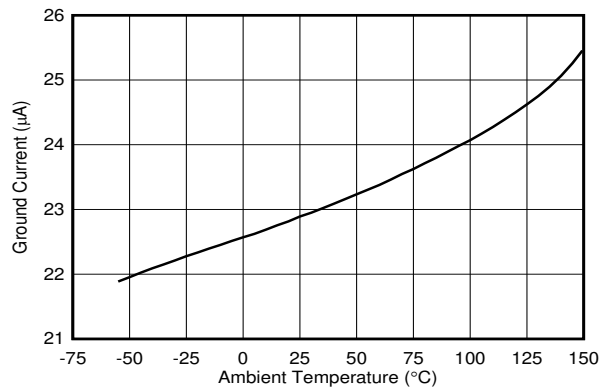


图 5-18. 500µA 时的接地电流 (新芯片)

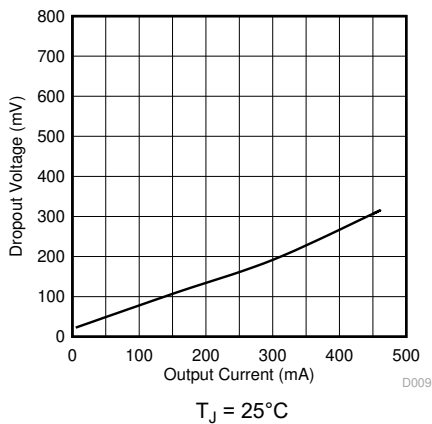


图 5-19. 压降电压 (V_{do}) 与输出电流之间的关系 (旧芯片)

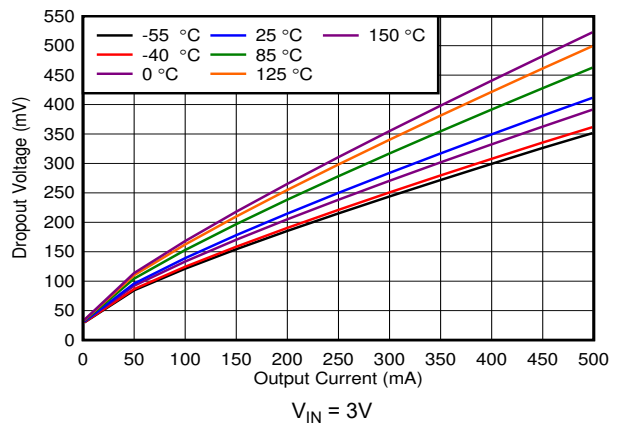


图 5-20. 压降电压 (V_{DO}) 与 I_{OUT} 之间的关系 (新芯片)

5.7 典型特性 (续)

旧芯片: $T_A = 25^\circ\text{C}$; 新芯片: 在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定 (除非另有说明)

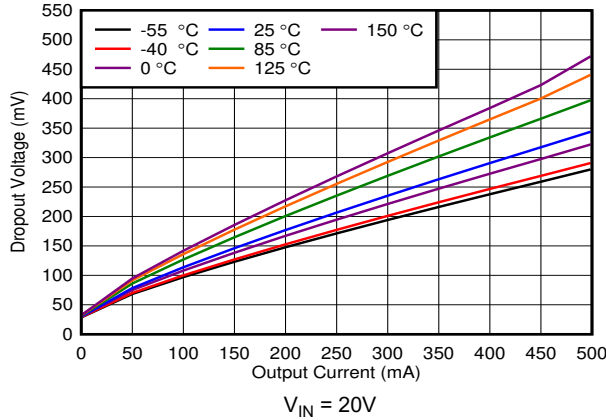


图 5-21. 压降电压 (V_{DO}) 与 I_{OUT} 之间的关系 (新芯片)

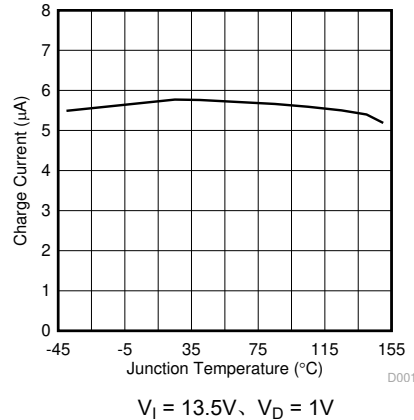


图 5-22. 充电电流 ($I_{D,C}$) 与结温之间的关系 (旧芯片)

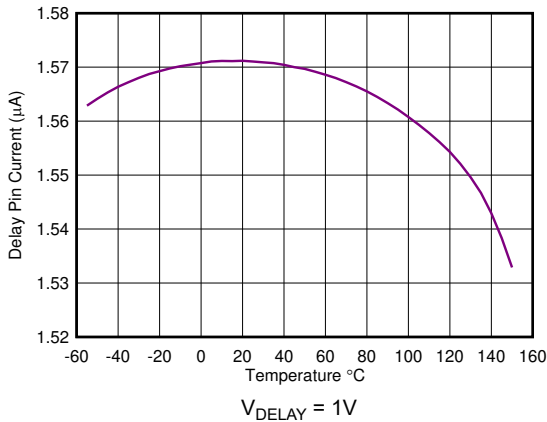


图 5-23. 延迟引脚电流与温度之间的关系 (新芯片)

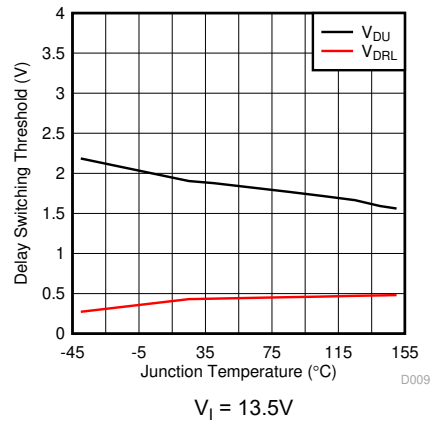


图 5-24. 延迟开关阈值与结温之间的关系 (旧芯片)

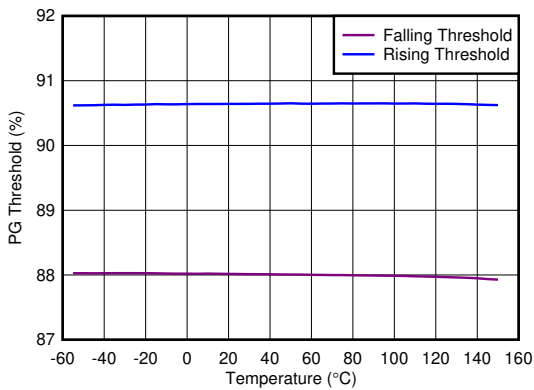


图 5-25. RESET (PG) 阈值与温度之间的关系 (新芯片)

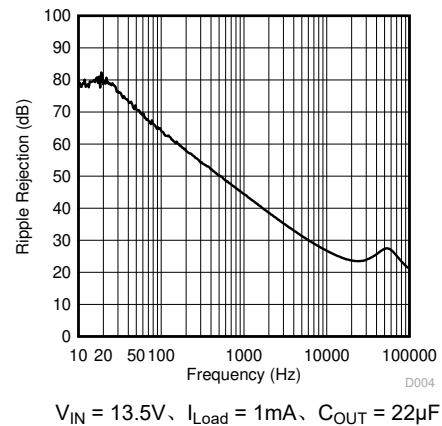


图 5-26. 电源纹波抑制与频率之间的关系 (旧芯片)

5.7 典型特性 (续)

旧芯片: $T_A = 25^\circ\text{C}$; 新芯片: 在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定 (除非另有说明)

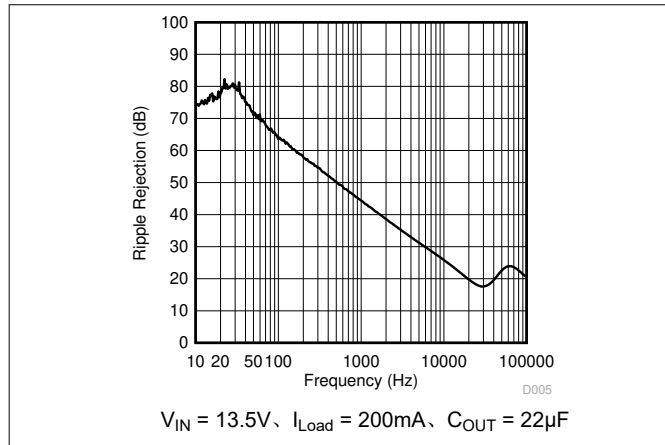


图 5-27. 电源纹波抑制与频率之间的关系 (旧芯片)

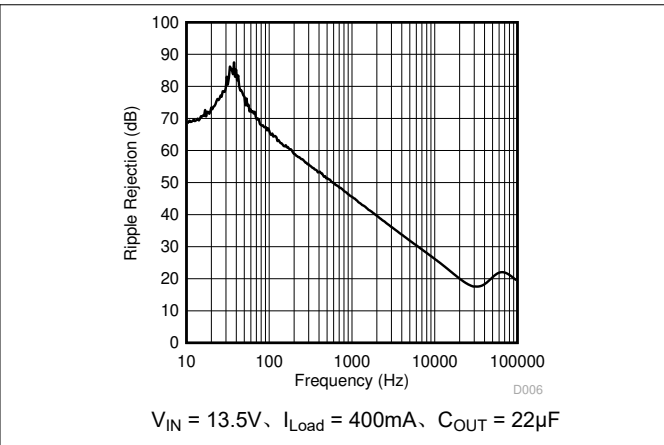


图 5-28. 电源纹波抑制与频率之间的关系 (旧芯片)

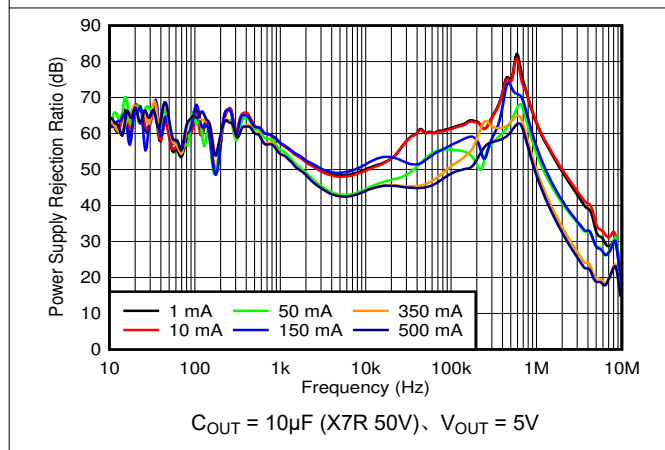


图 5-29. 电源纹波抑制与频率和 I_{OUT} 之间的关系 (新芯片)

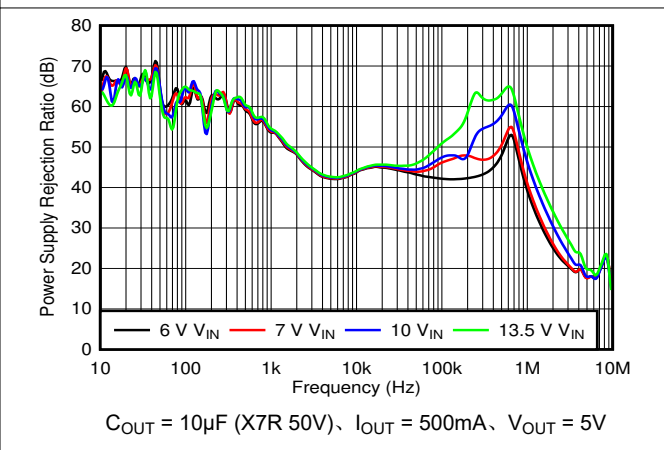


图 5-30. 电源纹波抑制与频率和 V_{IN} 之间的关系 (新芯片)

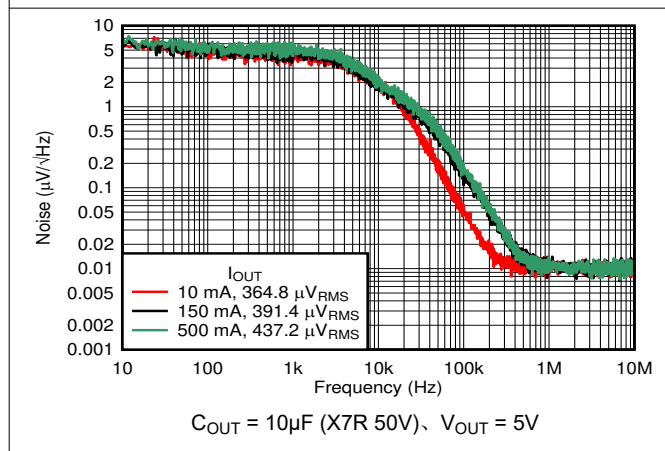


图 5-31. 噪声与频率之间的关系 (新芯片)

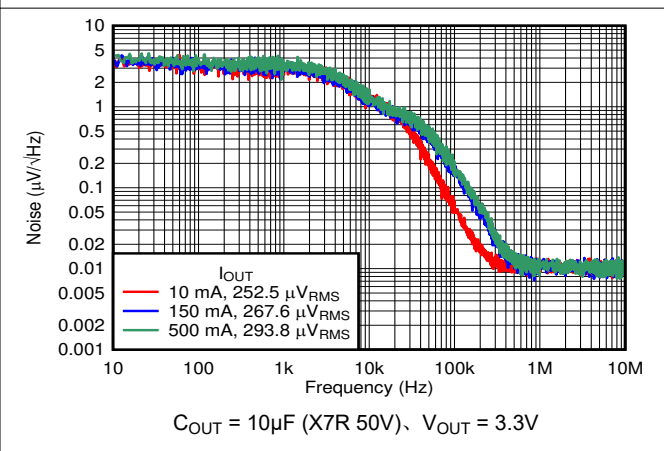


图 5-32. 噪声与频率之间的关系 (新芯片)

5.7 典型特性 (续)

旧芯片: $T_A = 25^\circ\text{C}$; 新芯片: 在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定 (除非另有说明)

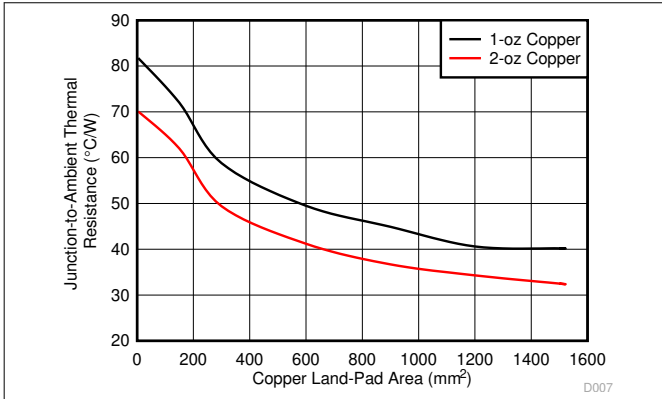


图 5-33. 热阻与铜焊盘面积之间的关系 (JEDEC 51-3 低 K 电路板) (旧芯片)

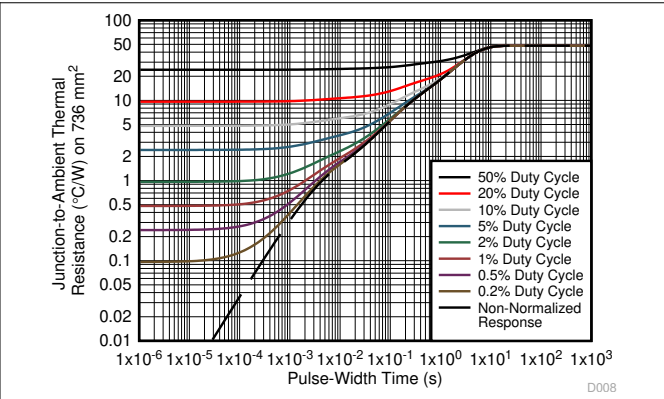


图 5-34. 各种占空比下的热阻与脉冲持续时间之间的关系 (旧芯片)

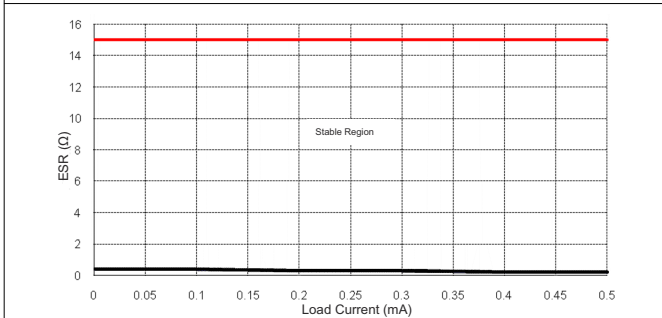


图 5-35. ESR 稳定性与负载电流之间的关系 (旧芯片)

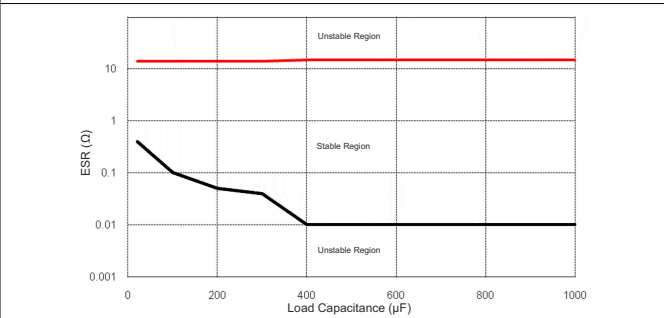


图 5-36. ESR 稳定性与负载电容之间的关系 (旧芯片)

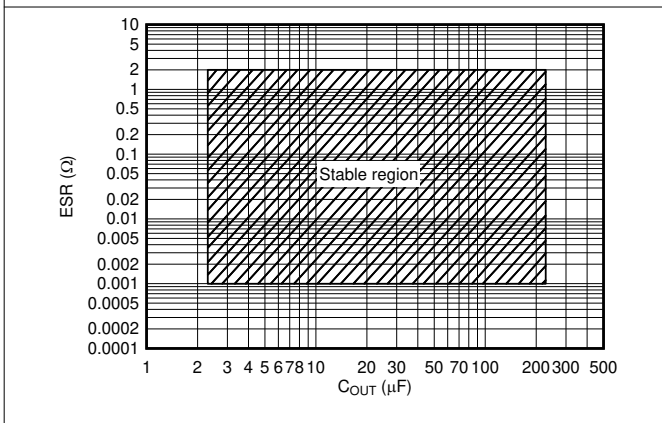
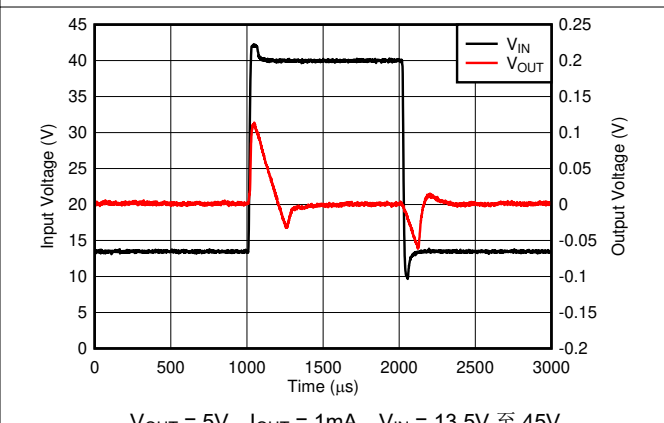


图 5-37. 稳定性、ESR 与 C_{OUT} 之间的关系 (新芯片)

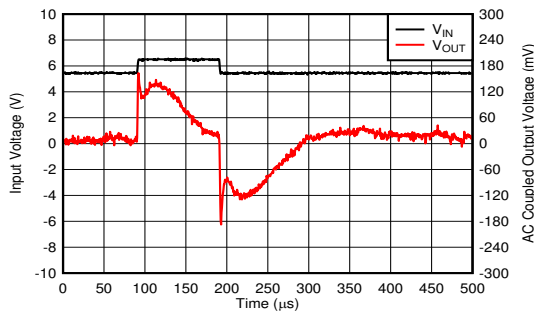


$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $V_{IN} = 13.5\text{V}$ 至 45V 、
压摆率 = $2.7\text{V}/\mu\text{s}$

图 5-38. 线路瞬态 (新芯片)

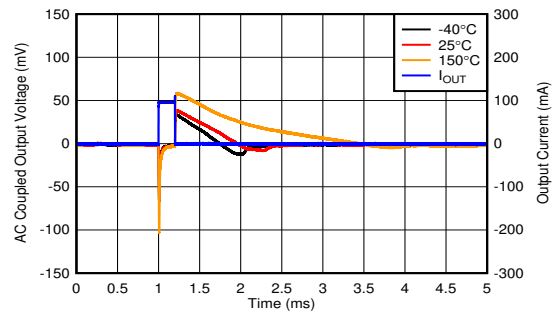
5.7 典型特性 (续)

旧芯片: $T_A = 25^\circ\text{C}$; 新芯片: 在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定 (除非另有说明)



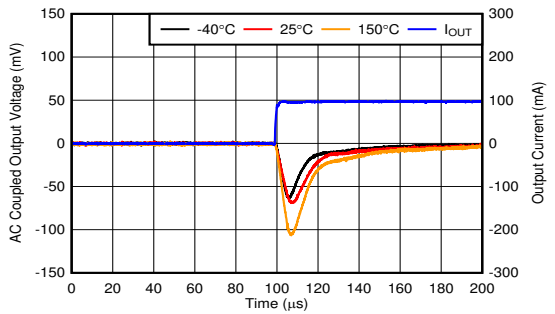
$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 100\text{mA}$ 、 $V_{IN} = 5.5\text{V}$ 至 6.5V 、
上升时间 = $1\mu\text{s}$

图 5-39. 线路瞬态 (新芯片)



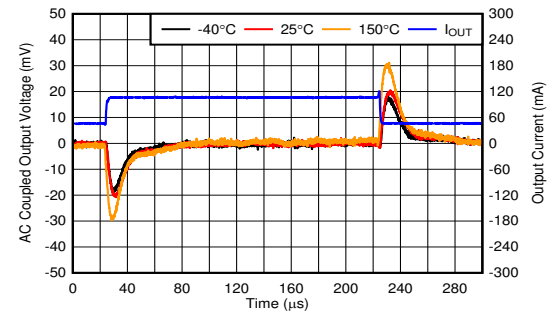
$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 0\text{mA}$ 至 100mA 、压摆率 = $1\text{A}/\mu\text{s}$ 、
 $C_{OUT} = 10\mu\text{F}$

图 5-40. 负载瞬态, 100mA 无负载 (新芯片)



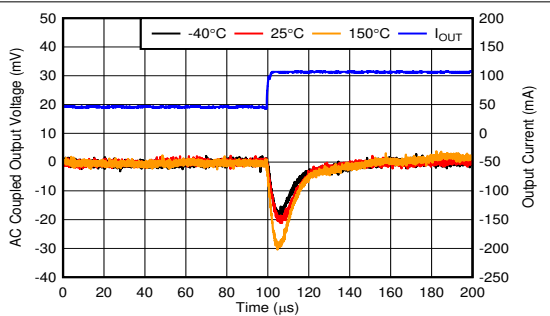
$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 0\text{mA}$ 至 100mA 、压摆率 = $1\text{A}/\mu\text{s}$ 、
 $C_{OUT} = 10\mu\text{F}$

图 5-41. 负载瞬态, 100mA 上升沿无负载 (新芯片)



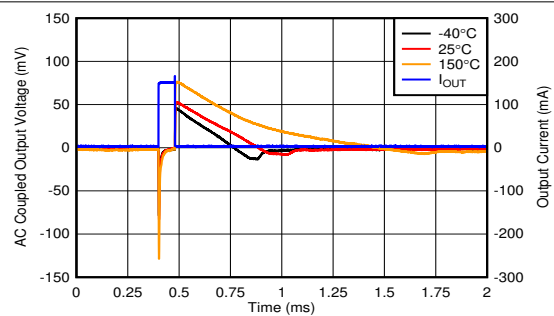
$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 45\text{mA}$ 至 105mA 、压摆率 = $0.1\text{A}/\mu\text{s}$ 、
 $C_{OUT} = 10\mu\text{F}$

图 5-42. 负载瞬态, 45mA 至 105mA (新芯片)



$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 45\text{mA}$ 至 105mA 、压摆率 = $0.1\text{A}/\mu\text{s}$ 、
 $C_{OUT} = 10\mu\text{F}$

图 5-43. 负载瞬态, 45mA 至 105mA 上升沿 (新芯片)

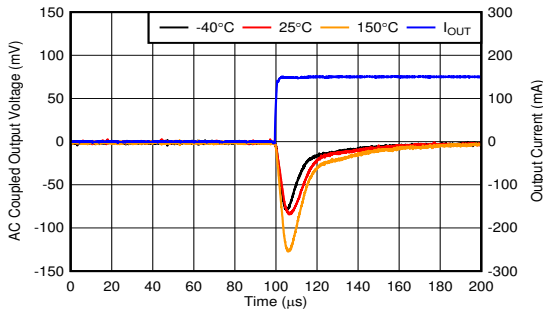


$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 0\text{mA}$ 至 150mA 、压摆率 = $1\text{A}/\mu\text{s}$ 、
 $C_{OUT} = 10\mu\text{F}$

图 5-44. 负载瞬态, 150mA 无负载 (新芯片)

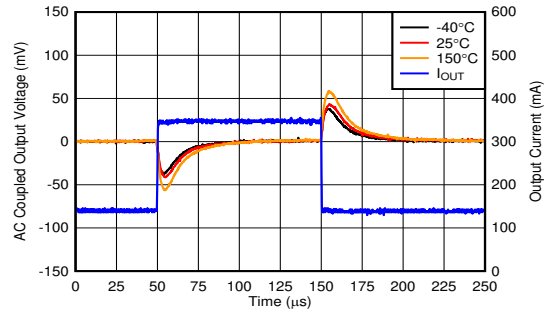
5.7 典型特性 (续)

旧芯片: $T_A = 25^\circ\text{C}$; 新芯片: 在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定 (除非另有说明)



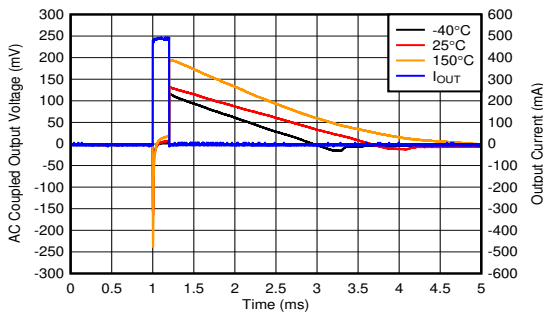
$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 0\text{mA}$ 至 150mA 、压摆率 = $1\text{A}/\mu\text{s}$ 、 $C_{OUT} = 10\mu\text{F}$

图 5-45. 负载瞬态, 150mA 上升沿无负载 (新芯片)



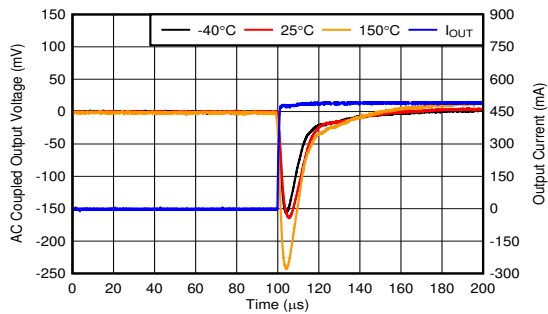
$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 150\text{mA}$ 至 350mA 、压摆率 = $0.1\text{A}/\mu\text{s}$ 、 $C_{OUT} = 10\mu\text{F}$

图 5-46. 负载瞬态, 150mA 至 350mA (新芯片)



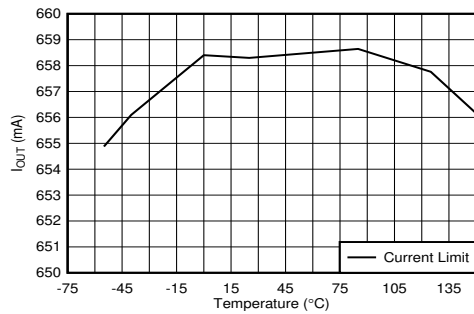
$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 0\text{mA}$ 至 500mA 、压摆率 = $1\text{A}/\mu\text{s}$ 、 $C_{OUT} = 10\mu\text{F}$

图 5-47. 负载瞬态, 500mA 无负载 (新芯片)



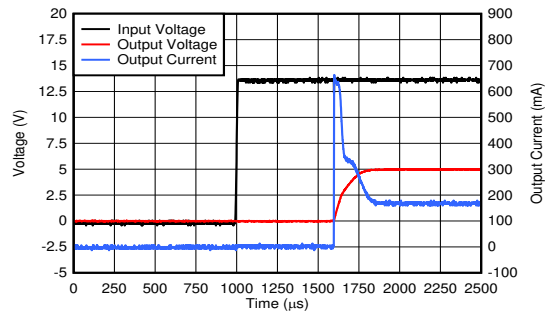
$V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 0\text{mA}$ 至 500mA 、压摆率 = $1\text{A}/\mu\text{s}$ 、 $C_{OUT} = 10\mu\text{F}$

图 5-48. 负载瞬态, 500mA 上升沿无负载 (新芯片)



$V_{IN} = V_{OUT} + 1\text{V}$ 、 $V_{OUT} = 90\% \times V_{OUT(NOM)}$

图 5-49. 输出电流限制与温度之间的关系 (新芯片)



$V_{IN} = 13.5\text{V}$ 、 $V_{OUT} = 5\text{V}$ 、 $I_{OUT} = 150\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$

图 5-50. 启动图浪涌电流

5.7 典型特性 (续)

旧芯片： $T_A = 25^\circ\text{C}$ ；新芯片：在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定 (除非另有说明)

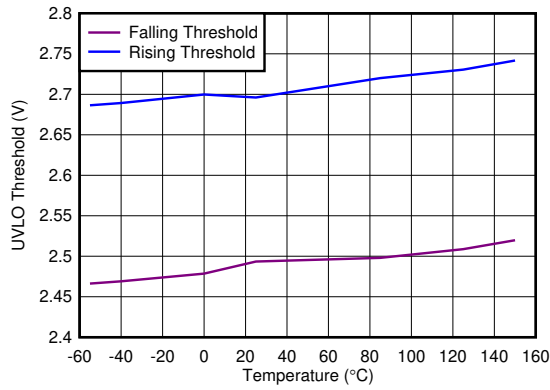


图 5-51. 欠压锁定 (UVLO) 阈值与温度间的关系 (新芯片)

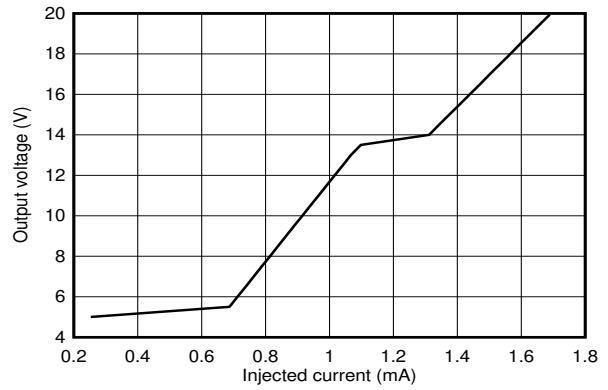


图 5-52. 输出电压与注入电流间的关系 (新芯片)

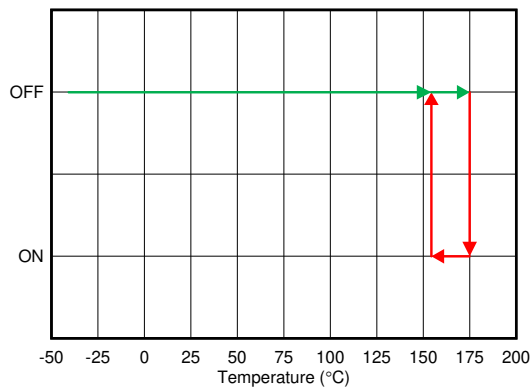


图 5-53. 热关断信息 (新芯片)

6 参数测量信息

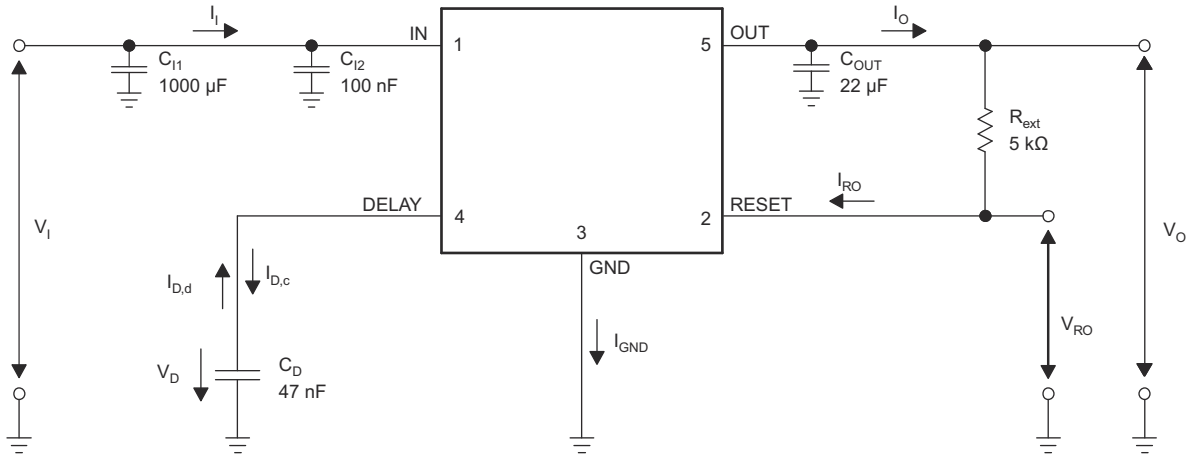


图 6-1. 测试电路 (旧芯片)

7 详细说明

7.1 概述

TLE4275-Q1 是一款具有更高瞬态性能的低压降线性稳压器 (LDO)，可以快速响应线路或负载条件的变化。此器件 (新芯片) 还特有新颖的输出过冲减降特性，因此可大大减少冷启动条件下的输出过冲。

集成的 RESET (电源正常) 和延迟特性允许系统在电源正常时通知下游元件并帮助满足时序控制要求。此器件为 4.5V (典型值) (新芯片) 的输出电压 $V_{OUT,rt}$ 生成一个复位 (电源正常) 信号。使用外部延迟电容器对复位延迟时间进行编程。

正常运行时，该器件可在整个线路、负载和温度范围内维持 $\pm 0.85\%$ 的直流精度 (新芯片)。更高的精度可支持为敏感的模拟负载或传感器供电。

7.2 功能方框图

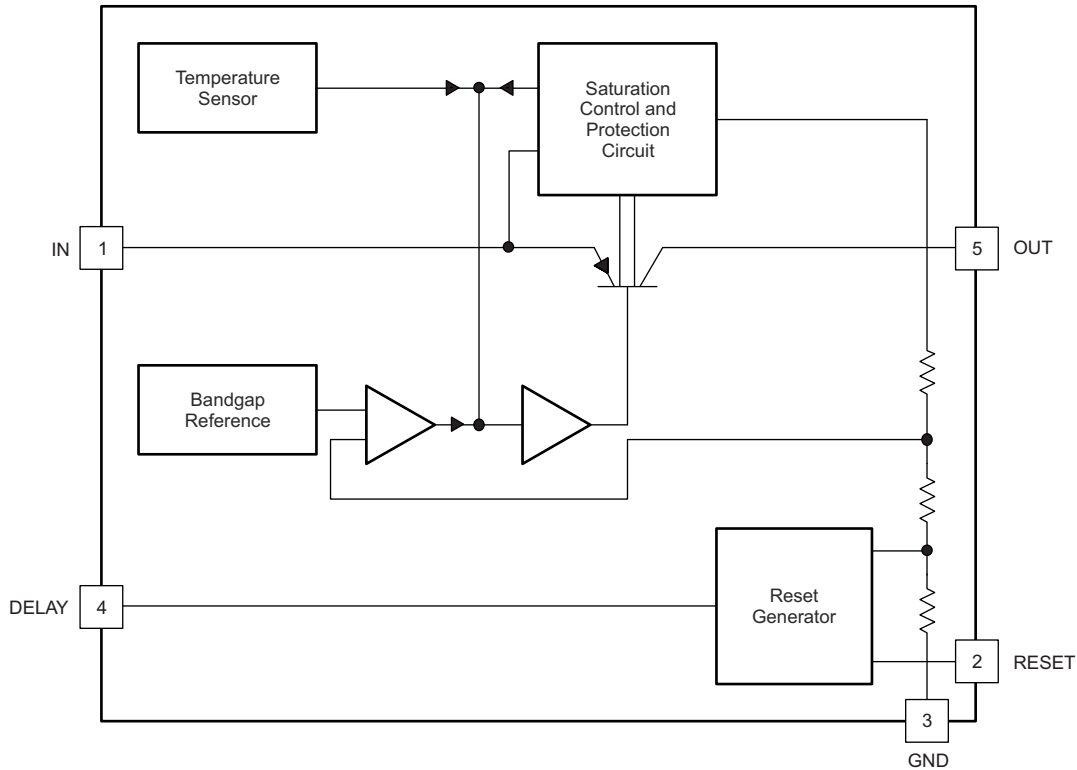


图 7-1. 功能方框图 (旧芯片)

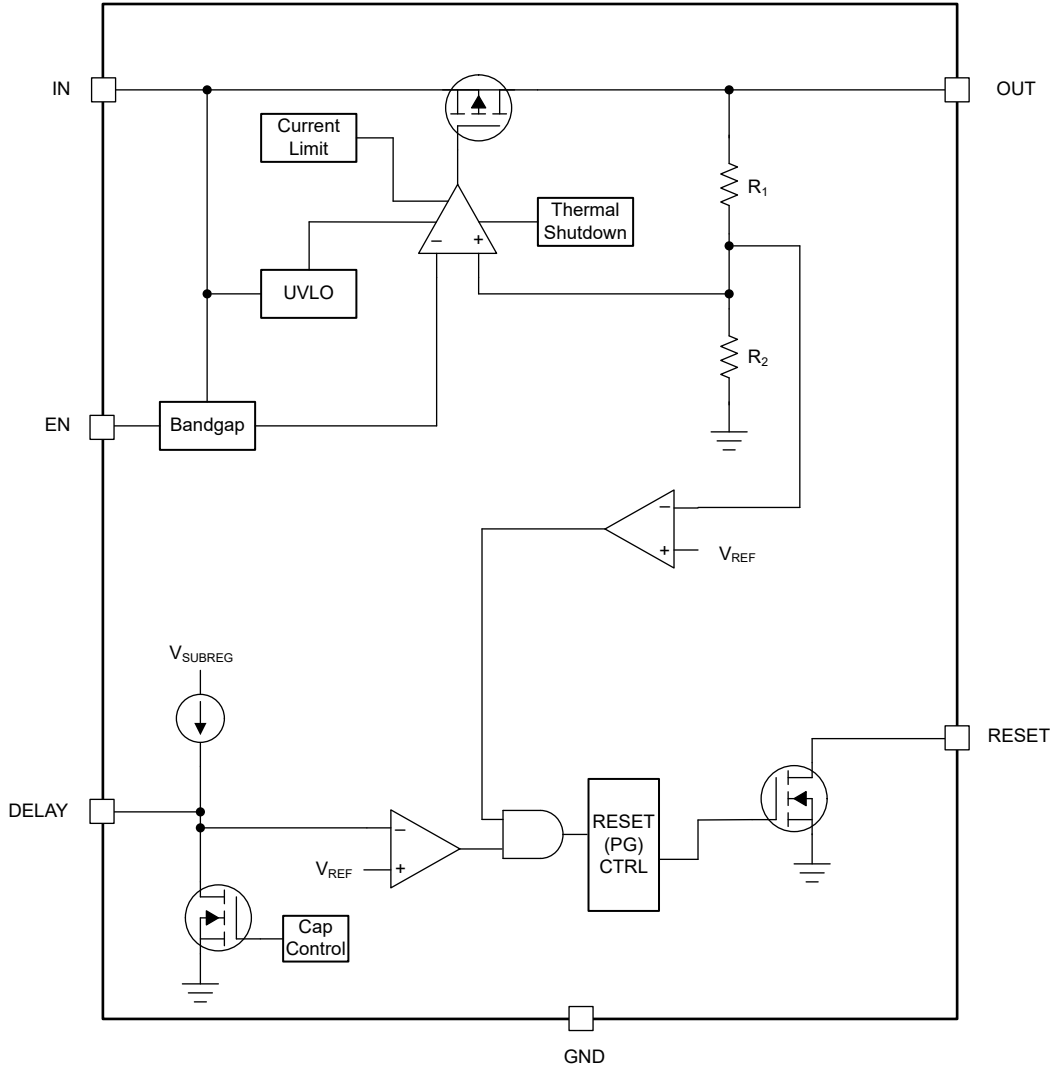


图 7-2. 功能方框图 (新芯片)

7.3 特性说明

7.3.1 电源正常状态复位 (RESET)

电源正常状态复位 (RESET) 引脚为开漏输出，通过外部上拉电阻器连接到稳压电源。在 [建议运行条件](#) 表中，最大上拉电压作为 V_{RESET} 列出。要使 RESET 引脚具有有效输出。请确保 IN 引脚上的电压大于 $V_{\text{UVLO(RISING)}}$ ，如 [电气特性](#) 中所列。当 V_{OUT} 超过 $V_{\text{RESET(TH, RISING)}}$ 时，PG 输出为高阻抗，PG 引脚电压上拉至连接的稳压电源。当稳压输出降至 $V_{\text{RESET(TH, FALLING)}}$ 以下时，开漏输出开启并将 RESET 输出拉至低电平。如果不需要输出电压监控，将 PG 引脚保持悬空或接地。

通过将上拉电阻器连接至外部电源，任何下游器件都会接收电源正常复位 (RESET) 作为可用于时序控制的逻辑信号。确保外部上拉电源电压使接收器件获得有效的逻辑信号。

7.3.2 可调节电源正常 RESET 延迟计时器 (DELAY)

电源正常复位延迟周期是外部电容器在 DELAY 引脚上的功能。可调延迟可配置 RESET 引脚变为高电平所需的时间。通过在该引脚和 GND 之间连接一个外部电容器来配置此延迟。图 7-3 显示了电源正常延迟引脚的典型时序图。如果 DELAY 引脚悬空，则电源正常延迟为 $t_{\text{(DLY_FIX)}}$ 。更多有关如何对 RESET 延迟进行编程的信息，请参阅 [设置可调电源正常复位延迟](#) 部分。

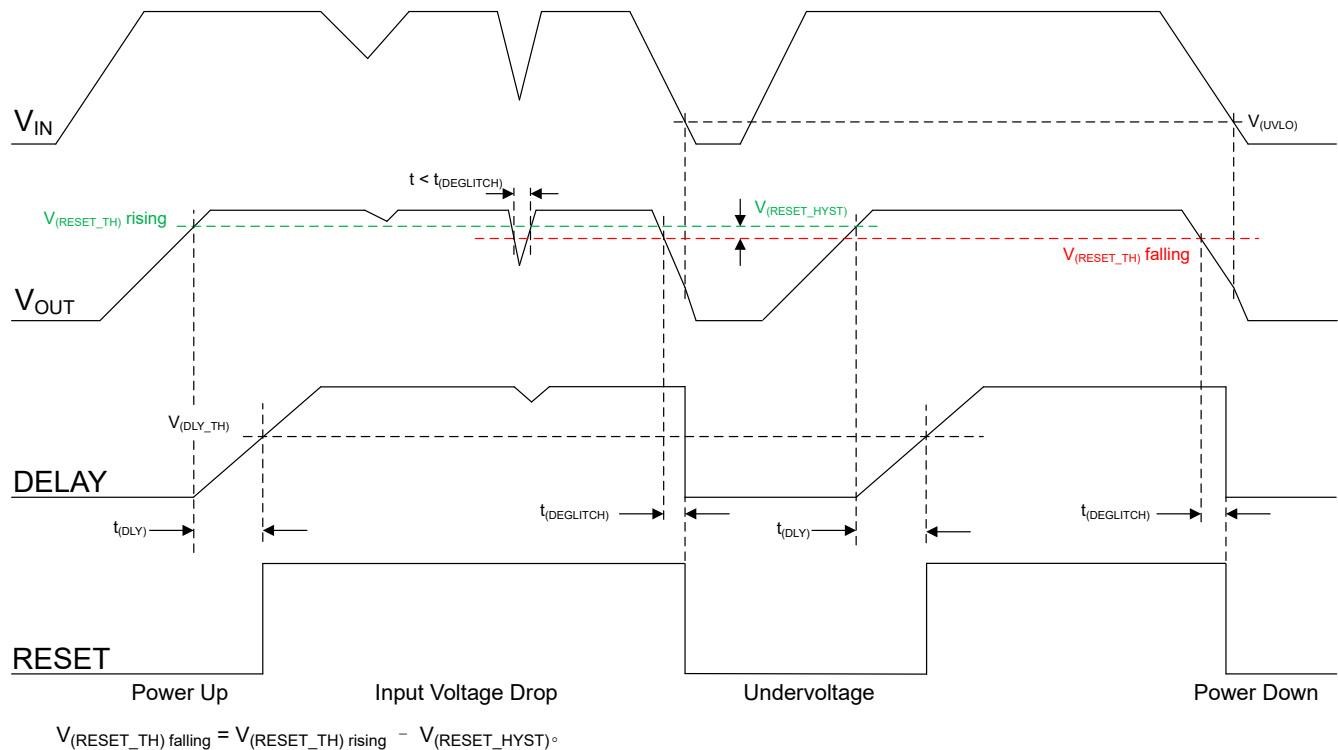


图 7-3. 典型的电源正常复位时序图

7.3.2.1 设置可调电源正常复位延迟

电源正常复位延迟时间通过两种方式设置：将 DELAY 引脚悬空或在该引脚和 GND 之间连接一个电容器。当 DELAY 引脚悬空时，时间默认为 $t_{\text{(DLY_FIX)}}$ 。如果 DELAY 引脚和 GND 之间连接了一个电容器，则通过以下公式设置延迟时间。

$$t = t_{\text{(DLY_FIX)}} + C_{\text{DELAY}} \left(\frac{V_{\text{DLY(TH)}}}{I_{\text{DLY(CHARGE)}}} \right) \quad (1)$$

7.3.3 欠压锁定

该器件（新芯片）具有一个独立的欠压锁定 (UVLO) 电路，用于监控输入电压。此电路可实现受控且一致的输出电压导通和关断。为了防止器件在导通期间输入下降时关断，UVLO 会出现迟滞，如 [电气特性](#) 表中所示。

7.3.4 电流限值

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是砖墙方案。在高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{CL})。 [电气特性](#) 表中列出了 I_{CL} 。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ 。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 [了解限制应用手册](#)。

图 7-4 展示了电流限制图。

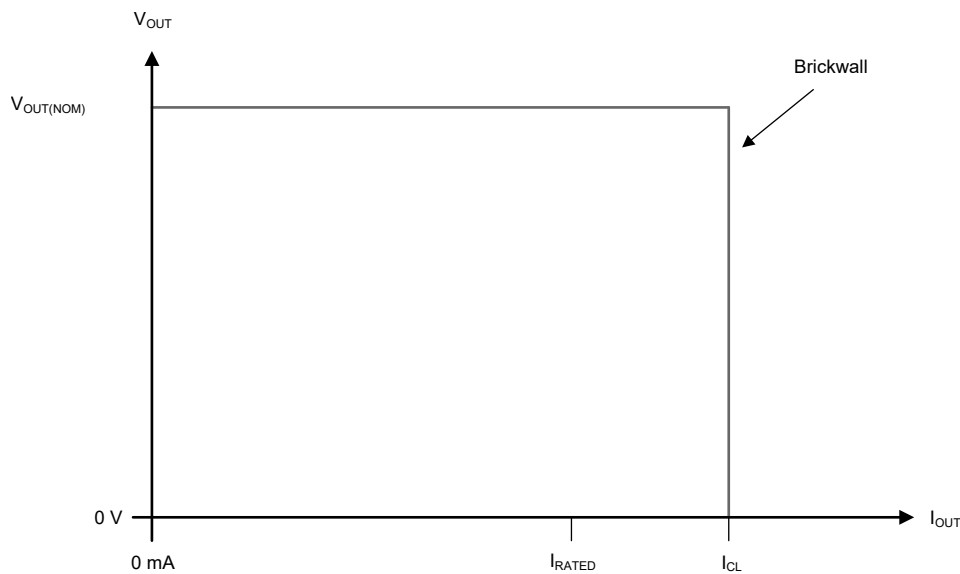


图 7-4. 电流限值

7.3.5 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD}(\text{shutdown})$ (典型值) 时禁用器件。热关断迟滞可确保在温度降至 $T_{SD}(\text{reset})$ (典型值) 时器件复位 (导通)。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以上电下电，直到功率耗散降低。由于器件上的 $V_{IN} - V_{OUT}$ 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在 [建议运行条件](#) 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止热过载情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

7.4 器件功能模式

表 7-1 给出了不同工作模式的参数条件。有关参数值，请参阅 [电气特性](#) 表格。

表 7-1. 器件功能模式比较

工作模式	参数		
	V_{IN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用 (任何真条件都会禁用该器件)	$V_{IN} < V_{UVLO}$	不适用	$T_J > T_{SD(shutdown)}$

7.4.1 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

7.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，则器件在压降模式下运行。但是，确保满足正常运行所需的所有其他条件。在此模式下，输出电压会跟踪输入电压。在压降模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态时，导通晶体管被驱动进入欧姆或三极管区域。此状态定义为器件在正常稳压状态后直接处于压降状态，但在启动期间不处于此状态。当 $V_{IN} < V_{OUT(NOM)} + V_{DO}$ 时，发生压降。当输入电压返回值 $\geq V_{OUT(NOM)} + V_{DO}$ 时，输出电压会在短时间内过冲。 $V_{OUT(NOM)}$ 是标称输出电压， V_{DO} 是压降电压。在此期间，该器件将导通晶体管拉回线性区域。

7.4.3 禁用

通过强制输入电压低于 $UVLO$ 下降阈值来关断器件的输出（请参阅 [电气特性表](#)）。禁用时，导通晶体管关断，内部电路关断。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.1.1 输入和输出电容器选择

8.1.1.1 旧芯片电容器选择

对于旧芯片，输入电容 (C_{IN}) 可补偿线路波动。将大约 $1\ \Omega$ 的电阻器与 C_{IN} 串联可抑制输入电感和输入电容的振荡。输出电容 (C_{OUT}) 可使调节电路保持稳定。输出在 $C_{OUT} \geq 22\ \mu\text{F}$ 和 $\text{ESR} \leq 5\ \Omega$ 下保持稳定，处于工作温度范围内。

8.1.1.2 新芯片电容器选择

8.1.1.2.1 输出电容器

为了实现稳定性，TLE4275-Q1 的新芯片版本需要一个 $2.2\ \mu\text{F}$ 或更大的输出电容器 ($1\ \mu\text{F}$ 或更大的电容)。 $0.001\ \Omega$ 和 $2\ \Omega$ 之间还需要一个等效串联电阻 (ESR)。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。为了获得出色性能，建议的最大输出电容为 $220\ \mu\text{F}$ 。

8.1.1.2.2 输入电容器

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在很大的频率范围内具有高阻抗，请并联使用多个输入电容器以降低频率范围内的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

8.1.2 压降电压

压降电压 (V_{DO}) 定义为额定输出电流 (I_{RATED}) 下的 $V_{IN} - V_{OUT}$ 之差，此时，导通晶体管完全导通。 V_{IN} 是输入电压、 V_{OUT} 是输出电压、 I_{RATED} 是 [建议运行条件](#) 表中列出的最大 I_{OUT} 。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$ 。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (2)$$

8.1.3 反向电流

反向电流过大会损坏此器件。反向电流流经导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \leq V_{IN} + 0.3\text{V}$ 的绝对最大额定值。

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，则建议使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。

8.1.4 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。确保稳压器周围的 PCB 区域具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (3)$$

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。确保此焊盘区域包含一组电镀过孔，这些过孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。功率耗散和结温通常与 PCB 和器件封装组合的 $R_{\theta JA}$ 以及与 T_A 温度有关。 $R_{\theta JA}$ 是结至环境热阻， T_A 是环境空气温度。以下公式展示了这种关系：

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (4)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此， $R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。[热性能信息](#) 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定。 $R_{\theta JA}$ 用作封装热性能的相对测量值。

8.1.4.1 热性能与铜面积

最常用的热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此， $R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。[热性能信息](#) 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准 (参阅 [图 8-1](#))、PCB 和铜扩散面积决定。 $R_{\theta JA}$ 仅用作封装热性能的相对测量值。对于精心设计的热布局， $R_{\theta JA}$ 实际上是封装 $R_{\theta JCbot}$ 与 PCB 铜产生的热阻的总和。 $R_{\theta JCbot}$ 是结至外壳 (底部) 热阻。

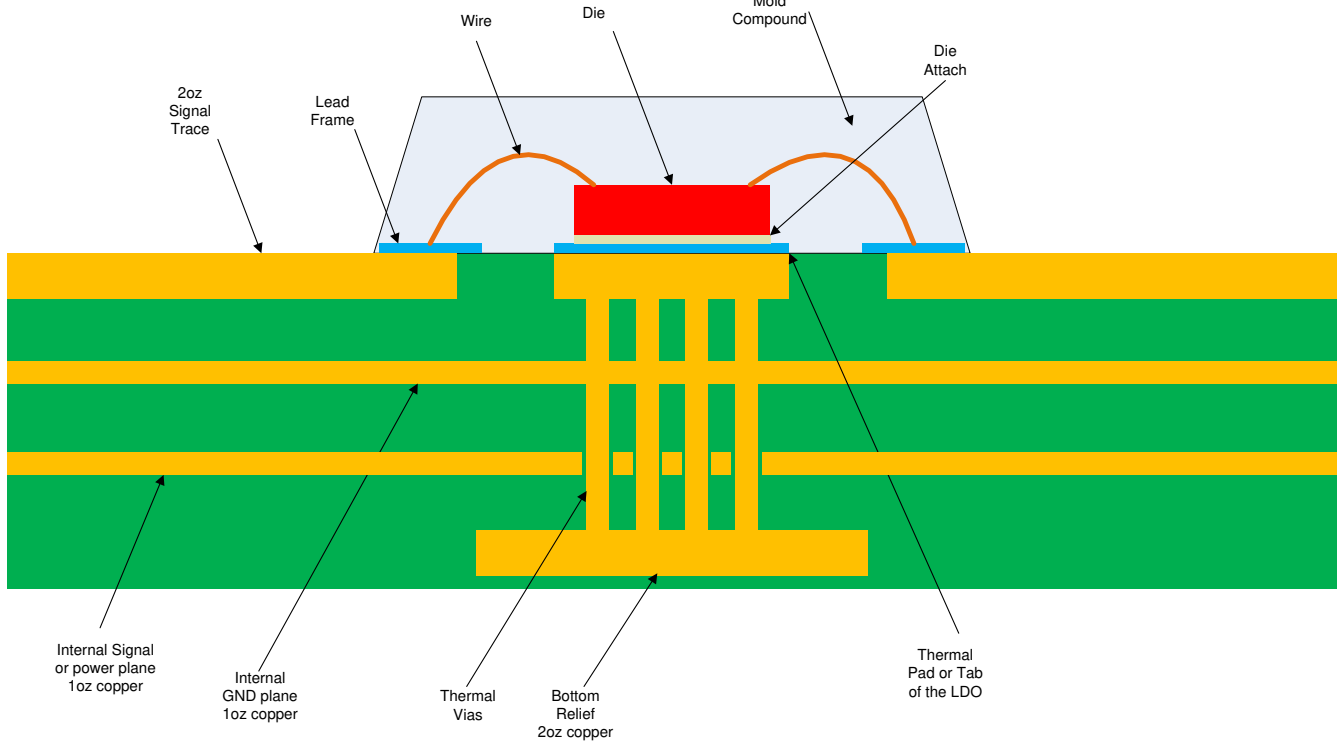


图 8-1. JEDEC 标准 2s2p PCB

图 8-2 和 图 8-3 (新芯片) 展示了 $R_{\theta JA}$ 和 ψ_{JB} 的功能与铜面积和厚度的关系。这些图是使用 $101.6\text{mm} \times 101.6\text{mm} \times 1.6\text{mm}$ 两层和四层 PCB 生成。对于 4 层板, 内部平面使用 1oz 厚度的覆铜。外层均使用 1oz 和 2oz 铜厚度进行模拟。一个 3×4 (KVU 封装) 阵列的热通孔具有 $300\mu\text{m}$ 钻孔直径和 $25\mu\text{m}$ 镀铜, 位于器件散热焊盘下方。散热通孔连接顶层和底层, 如果是 4 层板, 则连接第一个内部 GND 平面。每一层都有一个面积相等的铜平面。

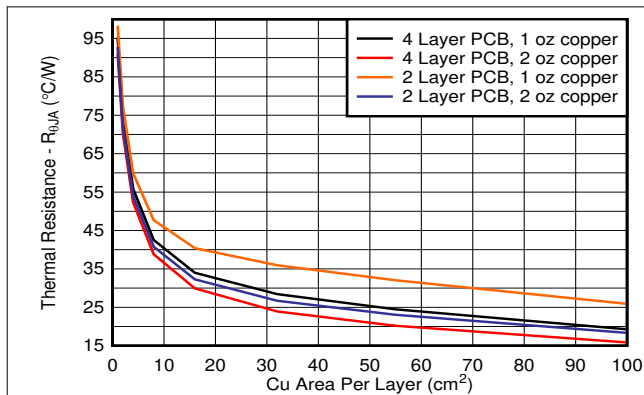


图 8-2. $R_{\theta JA}$ 与铜面积间的关系 (KVU 封装)

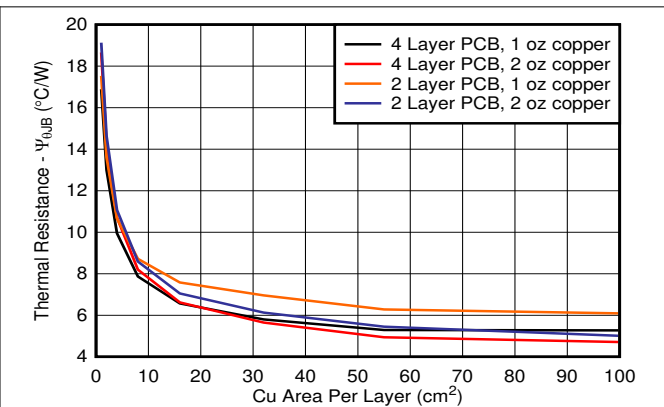


图 8-3. ψ_{JB} 与铜面积 (KVU 封装)

8.1.4.2 功率耗散与环境温度之间的关系

图 8-4 基于 JEDEC 51-7 4 层高 K 电路板。使用以下公式估算允许的功率损耗。通过添加顶层覆铜并增加散热过孔的数量，改善 JEDEC 高 K 布局中的散热性能。如果采用良好的散热布局，则允许的散热最多可改善 50%。有关更多信息，请参阅 [电路板布局布线对 LDO 热性能影响的经验分析应用手册](#)

$$T_A + R_{\theta JA} \times P_D \leq 150^\circ\text{C} \quad (5)$$

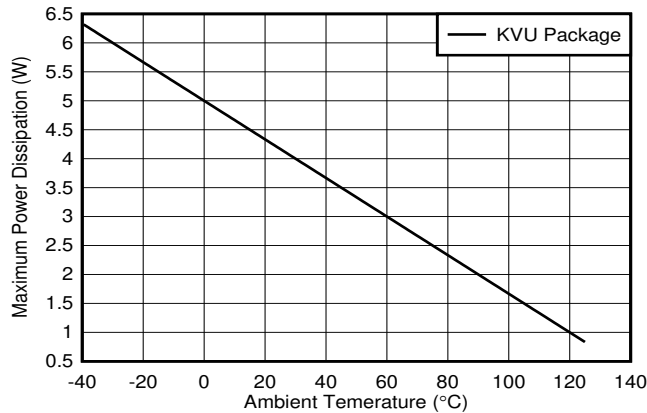


图 8-4. TLE4275-Q1 (KVU) 允许的功率耗散

8.1.5 估算结温

JEDEC 现在建议使用 ψ (Psi) 热指标。使用这些指标估算在典型 PCB 电路板应用的电路中的线性稳压器结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 ψ 指标与可用于散热的铜面积明显无关。**热性能信息** 该表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \psi_{JT} \times P_D \quad (6)$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (7)$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅 [半导体和 IC 封装热指标应用手册](#)。

8.1.6 设置可调电源正常复位延迟

电源正常复位延迟时间通过两种方式设置：将 DELAY 引脚悬空或在该引脚和 GND 之间连接一个电容器。当 DELAY 引脚悬空时，时间默认为 $t_{(DLY_FIX)}$ 。如果 DELAY 引脚和 GND 之间连接了一个电容器，则通过以下公式设置延迟时间。

$$t = t_{(DLY_FIX)} + C_{DELAY} \left(\frac{V_{DLY(TH)}}{I_{DLY(CHARGE)}} \right) \quad (8)$$

8.2 典型应用

图 8-5 显示了 TLE4275-Q1 的典型应用电路（新芯片）。使用具有 X5R 或 X7R 电介质的低 ESR 陶瓷电容器。

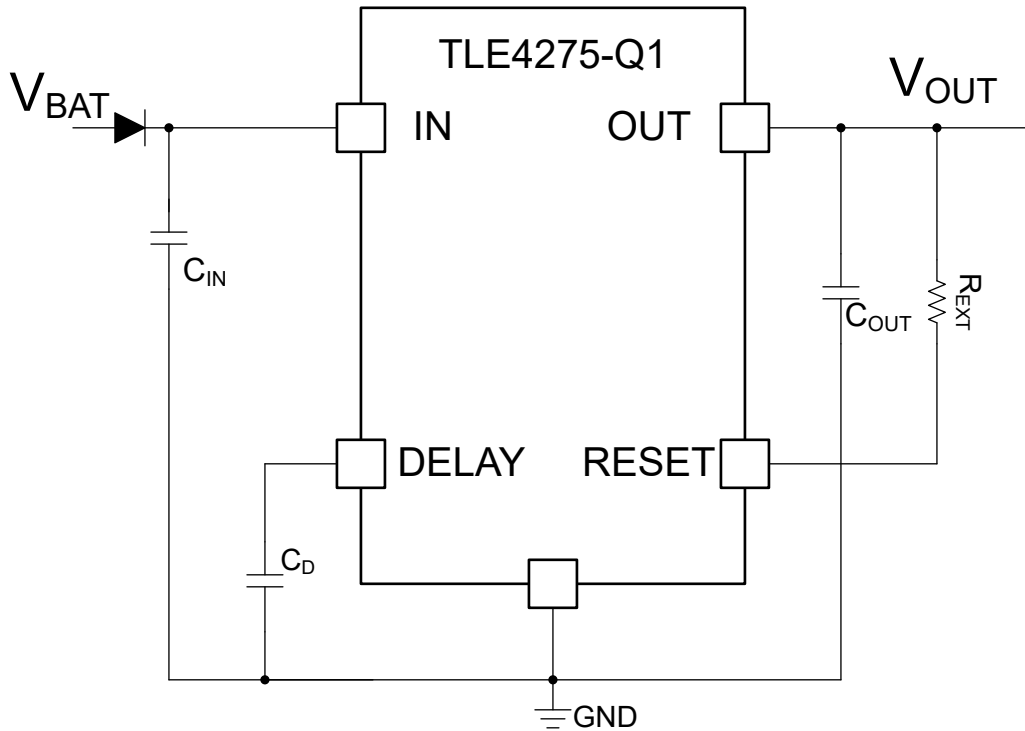


图 8-5. 典型应用图（新芯片）

8.2.1 设计要求

此设计示例使用表 8-1 中列出的参数。

表 8-1. 设计参数

设计参数	示例值
输入电压范围	6.0V 至 40V
输出电压	5V
输出电流额定值	350mA
输出电容器范围	10 μ F
DELAY 电容器范围	100pF 至 500nF

8.2.2 详细设计过程

要开始设计过程，请确定以下内容：

- 输入电压范围
- 输出电压
- 输出电流额定值
- 输出电容器
- 上电复位延迟时间

8.2.2.1 输入电容器

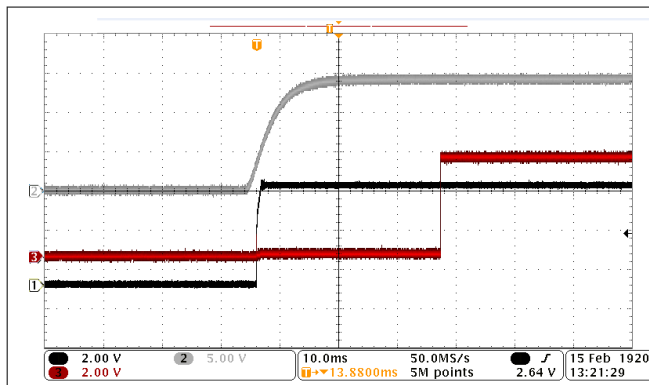
该器件需要一个输入去耦电容器，其值取决于应用。去耦电容器的典型建议值为 $1\mu\text{F}$ 。确保电压额定值大于最大输入电压。

8.2.2.2 输出电容器

此器件需要一个输出电容器来稳定输出电压。对于新芯片，电容器值范围介于 $2.2\mu\text{F}$ 和 $200\mu\text{F}$ 之间，ESR 范围介于 $1\text{m}\Omega$ 和 2Ω 之间。本设计使用低 ESR、 $10\mu\text{F}$ 陶瓷电容器来提高瞬态性能。

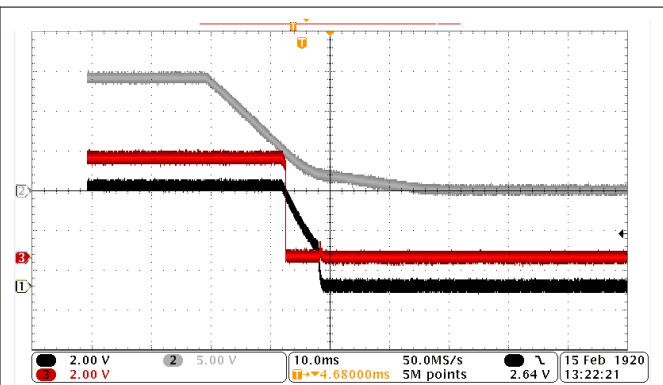
8.2.3 应用曲线

旧芯片： $I_{\text{OUT}} = 200\text{mA}$ 、 $C_{\text{IN}} = 22\mu\text{F}$ 且 $C_{\text{OUT}} = 10\mu\text{F}$ ；新芯片：在 $T_{\text{J}} = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$ 、 $V_{\text{IN}} = 13.5\text{V}$ 、 $I_{\text{OUT}} = 100\mu\text{A}$ 、 $C_{\text{OUT}} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{\text{OUT}} \text{ ESR} < 2\Omega$ 且 $C_{\text{IN}} = 1\mu\text{F}$ 条件下指定（除非另有说明）



通道 1 = V_{OUT} 、通道 2 = V_{IN} 、通道 3 = V_{RESET}

图 8-6. 上电波形 (旧芯片)



通道 1 = V_{OUT} 、通道 2 = V_{IN} 、通道 3 = V_{RESET}

图 8-7. 断电波形 (旧芯片)

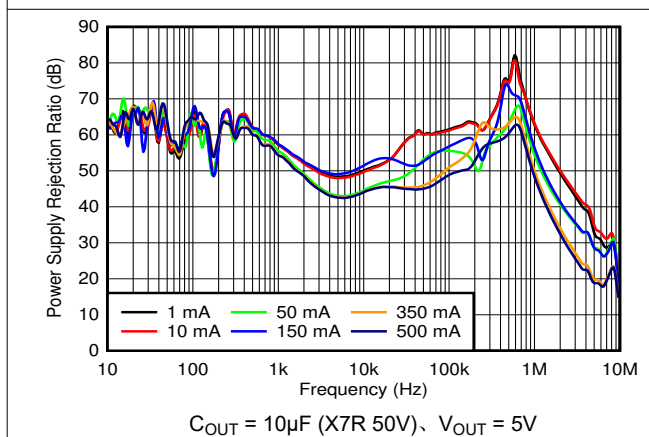


图 8-8. 电源纹波抑制与频率和 I_{OUT} 之间的关系 (新芯片)

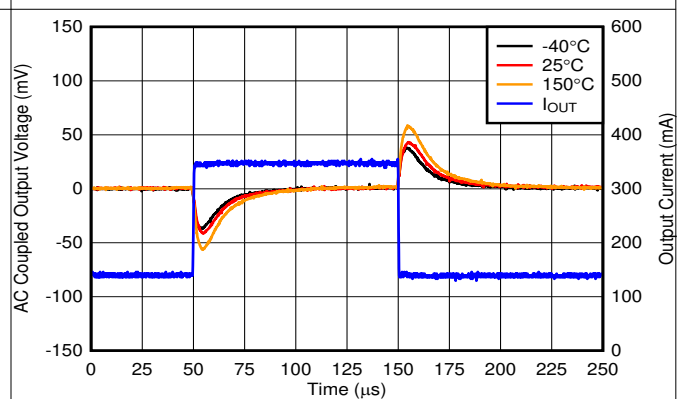
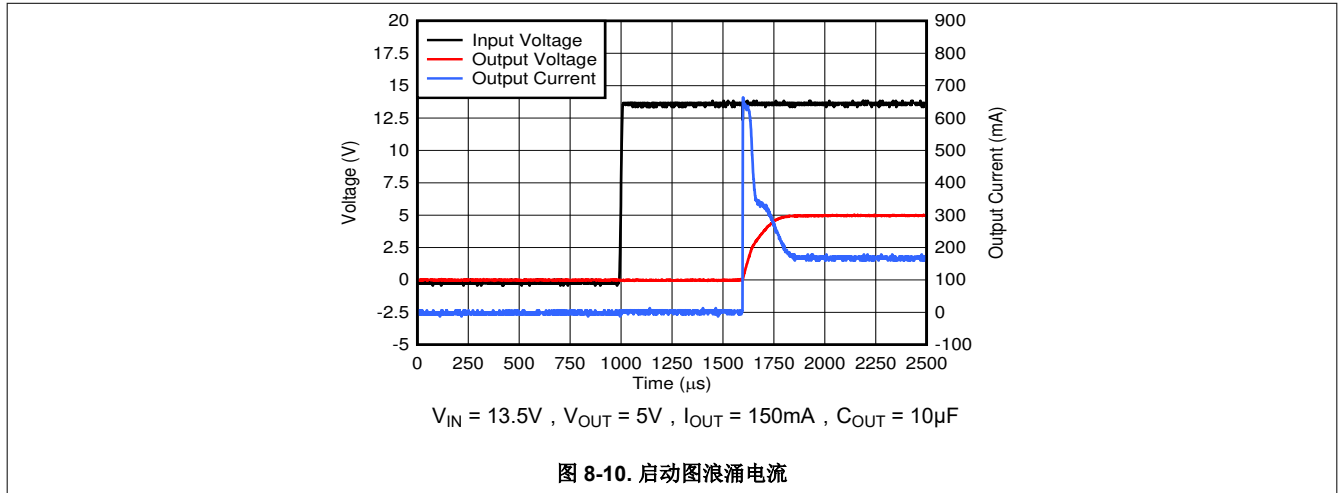


图 8-9. 负载瞬态, 150mA 至 350mA (新芯片)

8.2.3 应用曲线 (续)

旧芯片： $I_{OUT} = 200\text{mA}$ 、 $C_{IN} = 22\mu\text{F}$ 且 $C_{OUT} = 10\mu\text{F}$ ；新芯片：在 $T_J = -40^\circ\text{C}$ 至 $+150^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$ 且 $C_{IN} = 1\mu\text{F}$ 条件下指定（除非另有说明）



8.3 电源相关建议

对于旧芯片，该器件设计为在 4V 至 40V 的输入电源电压范围内运行。确保该输入电源得到良好调节。如果输入电源与 TLE4275-Q1 相距几英寸，则在输入端添加一个 47 μF 电解质电容器和一个陶瓷旁路电容器。

对于新芯片，该器件设计为在 3V 至 40V 的输入电源电压范围内运行。确保该输入电源得到良好调节。如果输入电源与 TLE4275-Q1 相距几英寸，则在输入端添加一个 22 μF 电解质电容器和一个陶瓷旁路电容器。

8.4 布局

8.4.1 布局指南

为了获得出色的整体性能，请将所有电路元件放置在电路板的同一侧。将这些元件放置在尽可能靠近各自 LDO 引脚连接的位置。将输入和输出电容器的接地回路连接以及 LDO 接地引脚的接地回路连接放置得尽可能彼此靠近。为这些元件使用较宽的元件侧铜表面进行连接。强烈建议不要在输入和输出电容器上使用过孔和长迹线、否则会对系统性能产生负面影响。使用嵌入在 PCB 中，或者位于 PCB 底部与元件相对位置的接地基准平面。该参考平面提供输出电压的精度并屏蔽噪声。当连接到散热焊盘时，该参考平面的作用类似于散热平面，可扩散（或吸收）LDO 器件的热量。在大多数应用中，此接地平面是满足散热要求的必要条件。

8.4.2 布局示例

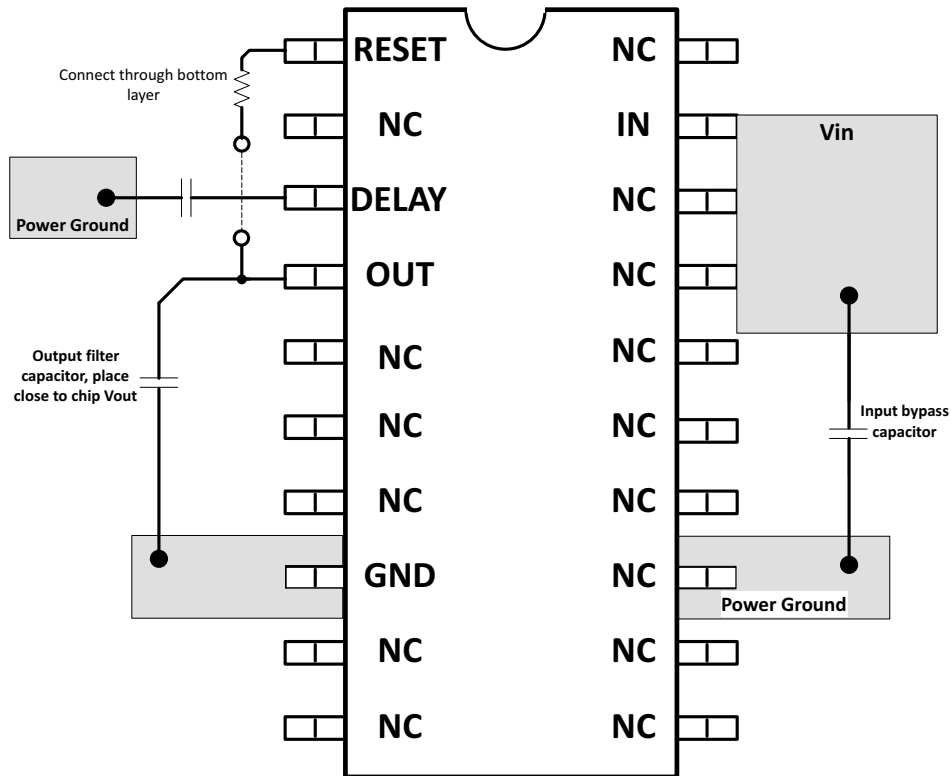


图 8-11. TLE4275-Q1 HTSSOP 布局设计示例

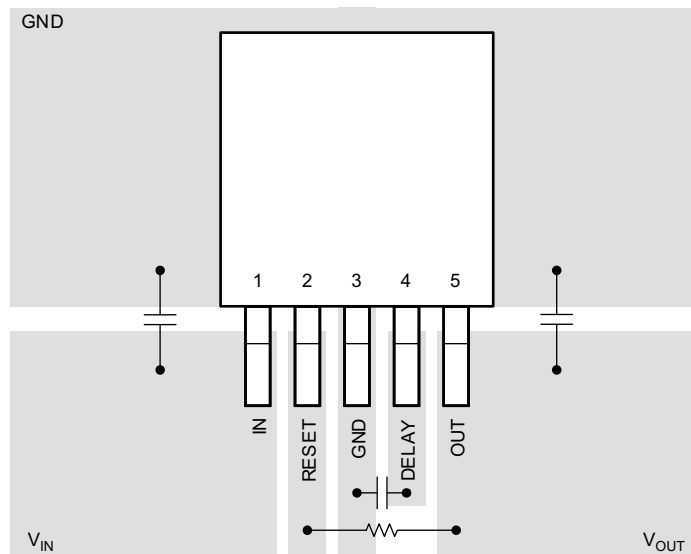


图 8-12. TLE4275-Q1 TO-263 布局设计示例

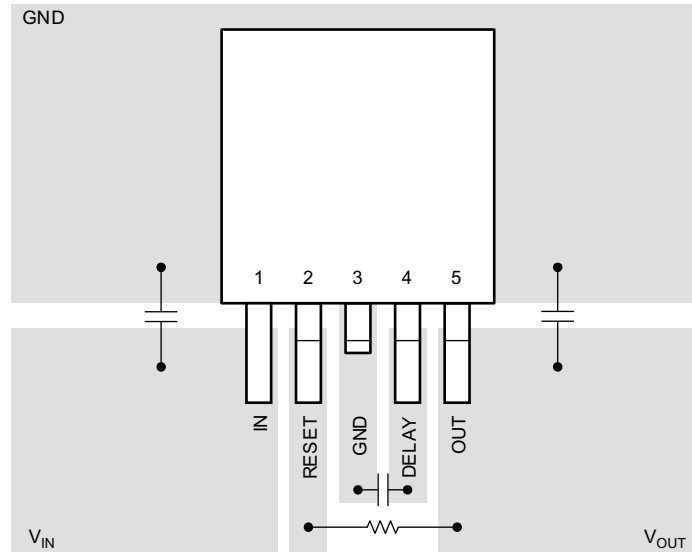


图 8-13. TLE4275-Q1 TO-252 布局设计示例

9 器件和文档支持

9.1 器件支持

9.1.1 器件命名规则

表 9-1. 器件命名规则

产品 ⁽¹⁾	说明
TLE4275QyyyRQ1	<p>Q 表示此器件是一款符合 AEC-Q100 标准的 1 级器件。</p> <p>yyy 是封装标识符。</p> <p>R 是卷带标识符尺寸。Q1 表示此器件是一款汽车级 (AEC-Q100) 器件。</p> <p>该器件随带旧芯片或新芯片。该芯片由封装标签上的晶圆制造厂来标识。(CSO : RFB = 新芯片 ; CSO : SFAB = 旧芯片)。数据表通篇对新芯片和旧芯片的相关性能进行了相应区分。</p>

(1) 如需获得最新的封装和订购信息，请参阅本文档末尾的 *封装选项附录*，或者访问 www.ti.com 上的器件产品文件夹。

9.1.2 开发支持

有关 PSpice 模型，请参阅 [TPS7B86-Q1 PSpice 瞬态模型](#)。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

德州仪器 (TI)、[TLE4275-Q1 低温稳定性应用手册](#) (旧芯片)

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision I (November 2014) to Revision J (May 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更改了整个文档以与当前系列格式保持一致.....	1
• 向文档添加了新芯片器件.....	1
• 更改了 <i>特性、应用和说明</i> 部分.....	1
• 更改了 <i>引脚功能表</i>	4
• 更改了 <i>ESR 稳定性与负载电流间的关系</i> 图中的 X 轴标题.....	10
• 更改了 <i>ESR 稳定性与负载电流</i> 特性曲线.....	10
• 添加了 <i>器件命名规则</i> 部分.....	34

Changes from Revision H (March 2013) to Revision I (November 2014)	Page
• 添加了 <i>应用、引脚配置和功能</i> 部分、 <i>处理等级表、特性说明</i> 部分、 <i>器件功能模式、应用和实施</i> 部分、 <i>电源相关建议</i> 部分、 <i>布局</i> 部分、 <i>器件和文档支持</i> 部分，以及 <i>机械、封装和可订购信息</i> 部分.....	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航面板。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLE4275QKTTTRM3Q1	Active	Production	DDPAK/ TO-263 (KTT) 5	500 LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TLE4275Q
TLE4275QKTTTRQ1	Active	Production	DDPAK/ TO-263 (KTT) 5	500 LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TLE4275Q
TLE4275QKTTTRQ1.A	Active	Production	DDPAK/ TO-263 (KTT) 5	500 LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	TLE4275Q
TLE4275QKVURM3Q1	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	TLE4275Q
TLE4275QKVURQ1	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	TLE4275Q
TLE4275QKVURQ1.A	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	TLE4275Q
TLE4275QPWPRQ1	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLE4275Q
TLE4275QPWPRQ1.A	Active	Production	HTSSOP (PWP) 20	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLE4275Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLE4275QKTTRM3Q1	DDPAK/TO-263	KTT	5	500	330.0	24.4	10.6	15.8	4.9	16.0	24.0	Q2
TLE4275QKTTRQ1	DDPAK/TO-263	KTT	5	500	330.0	24.4	10.6	15.8	4.9	16.0	24.0	Q2
TLE4275QKVURM3Q1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TLE4275QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TLE4275QPWPRQ1	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLE4275QKTTRM3Q1	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TLE4275QKTTRQ1	DDPAK/TO-263	KTT	5	500	340.0	340.0	38.0
TLE4275QKVURM3Q1	TO-252	KVU	5	2500	340.0	340.0	38.0
TLE4275QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TLE4275QPWPRQ1	HTSSOP	PWP	20	2000	350.0	350.0	43.0

GENERIC PACKAGE VIEW

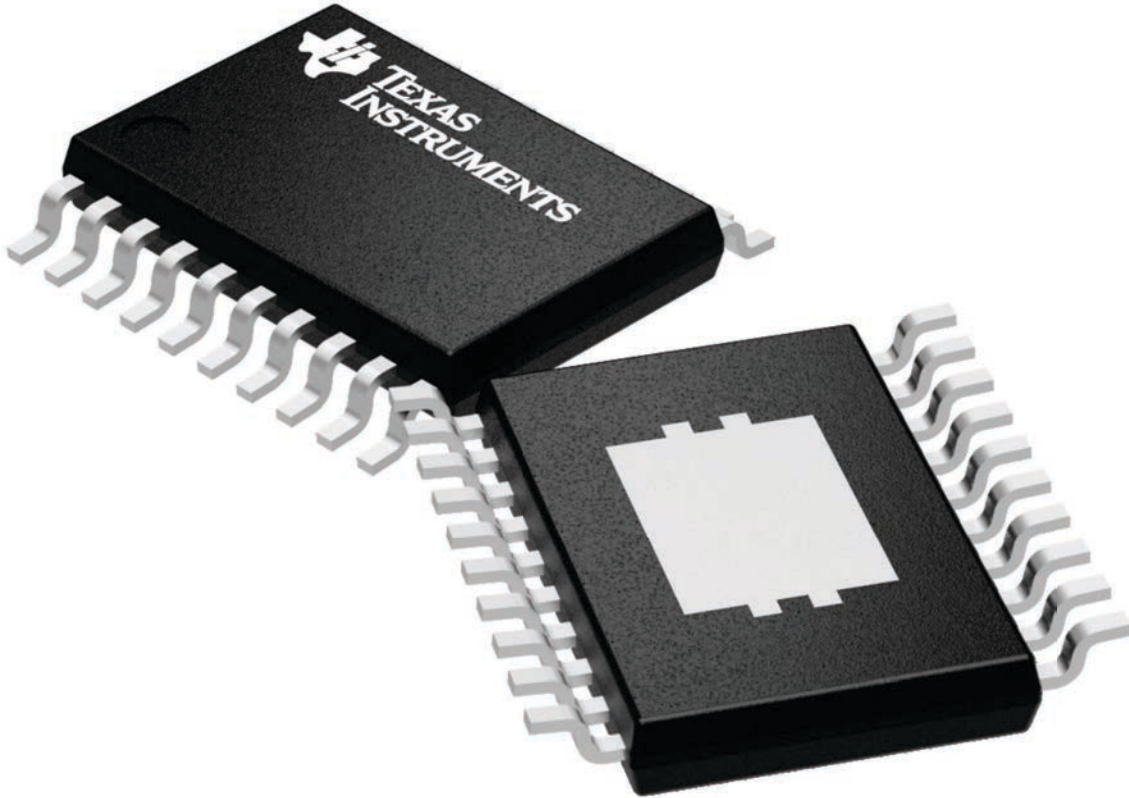
PWP 20

HTSSOP - 1.2 mm max height

6.5 x 4.4, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224669/A

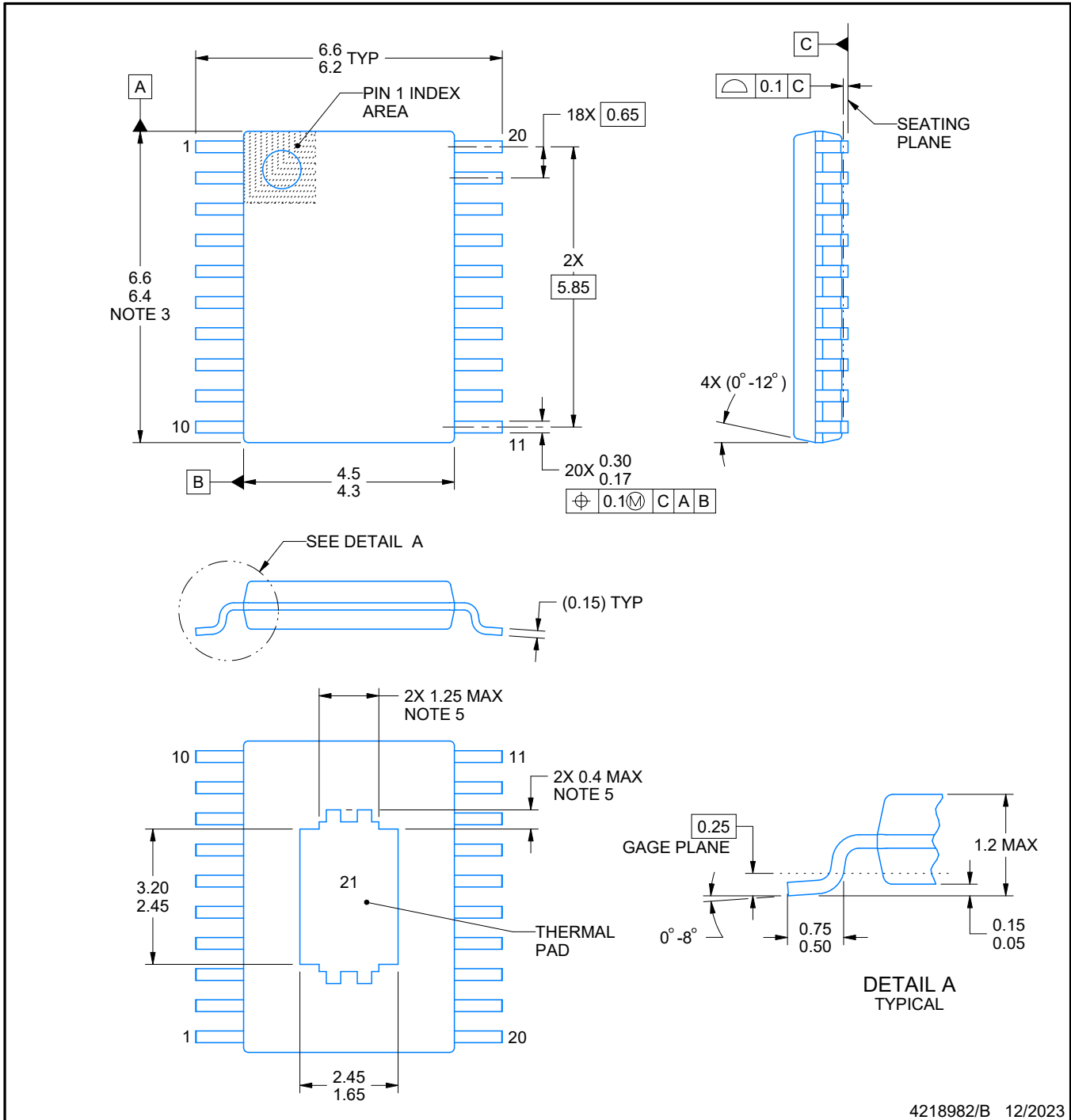
PWP0020N



PACKAGE OUTLINE

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4218982/B 12/2023

PowerPAD is a trademark of Texas Instruments.

NOTES:

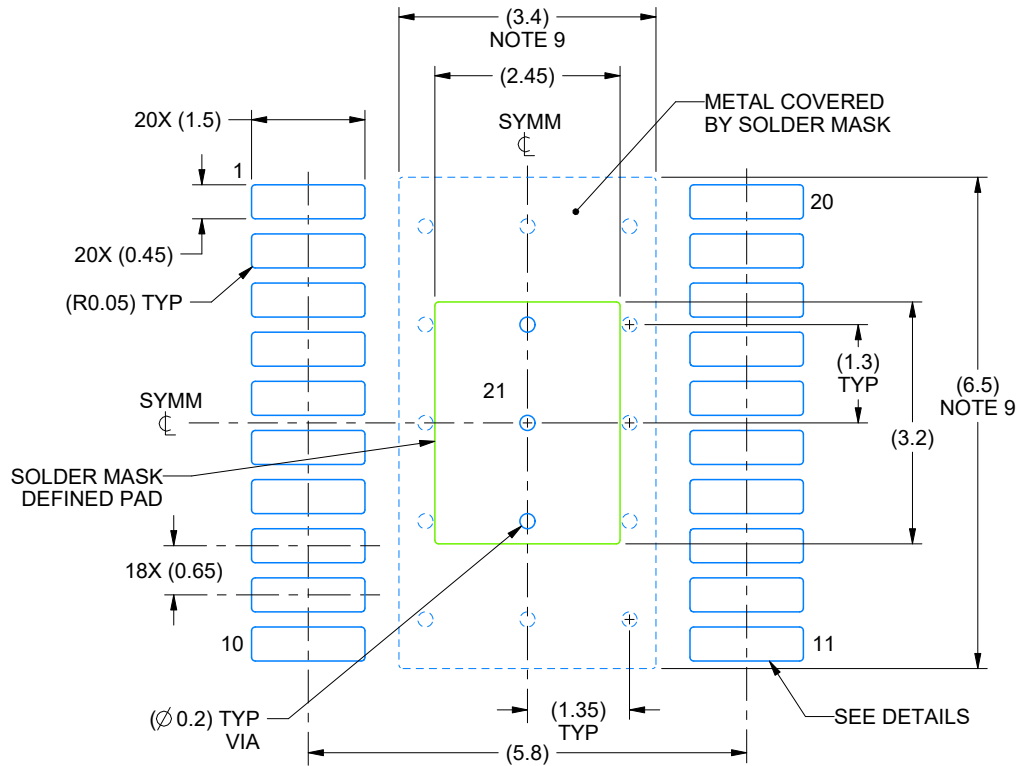
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

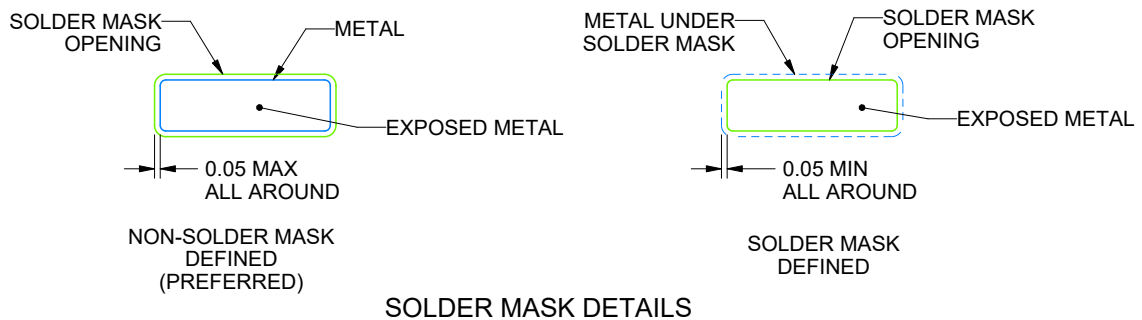
PWP0020N

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4218982/B 12/2023

NOTES: (continued)

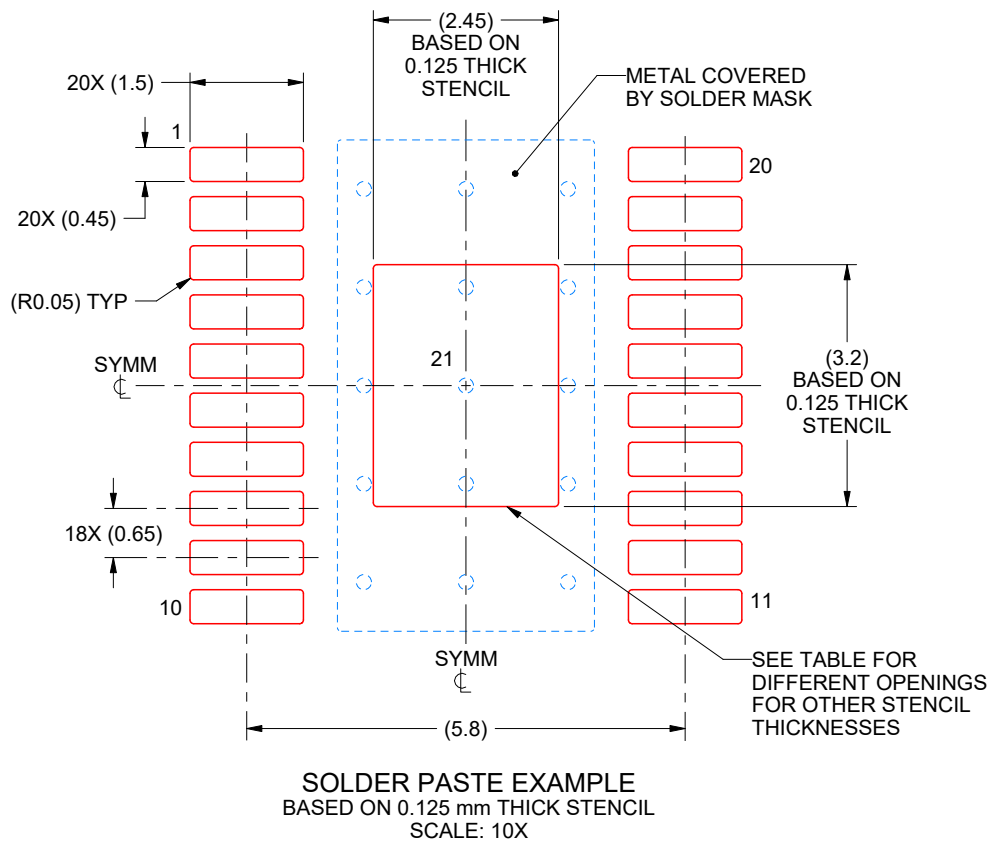
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0020N

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.74 X 3.58
0.125	2.5 X 3.2 (SHOWN)
0.15	2.24 X 2.92
0.175	2.07 X 2.70

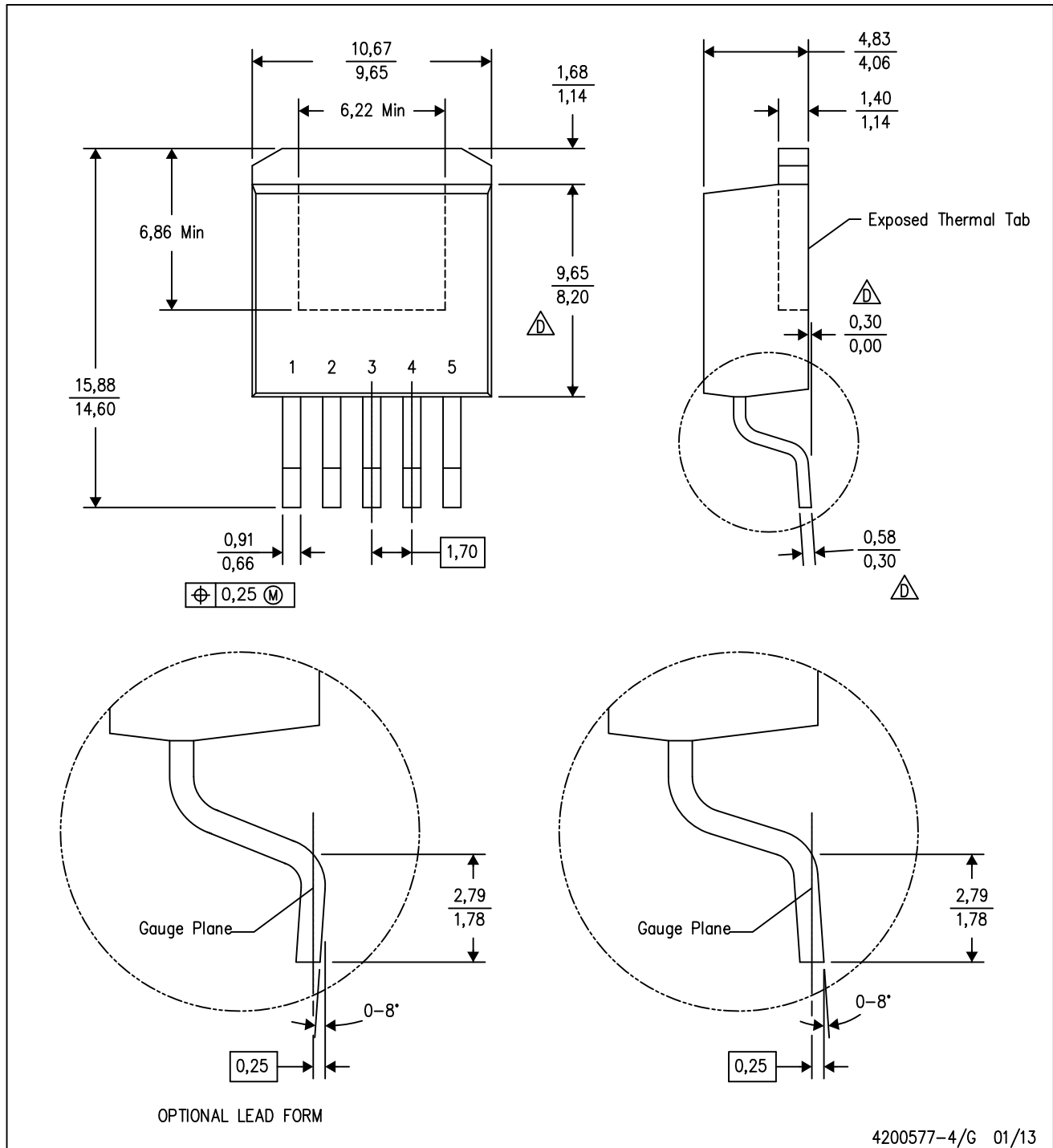
4218982/B 12/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

KTT (R-PSFM-G5)

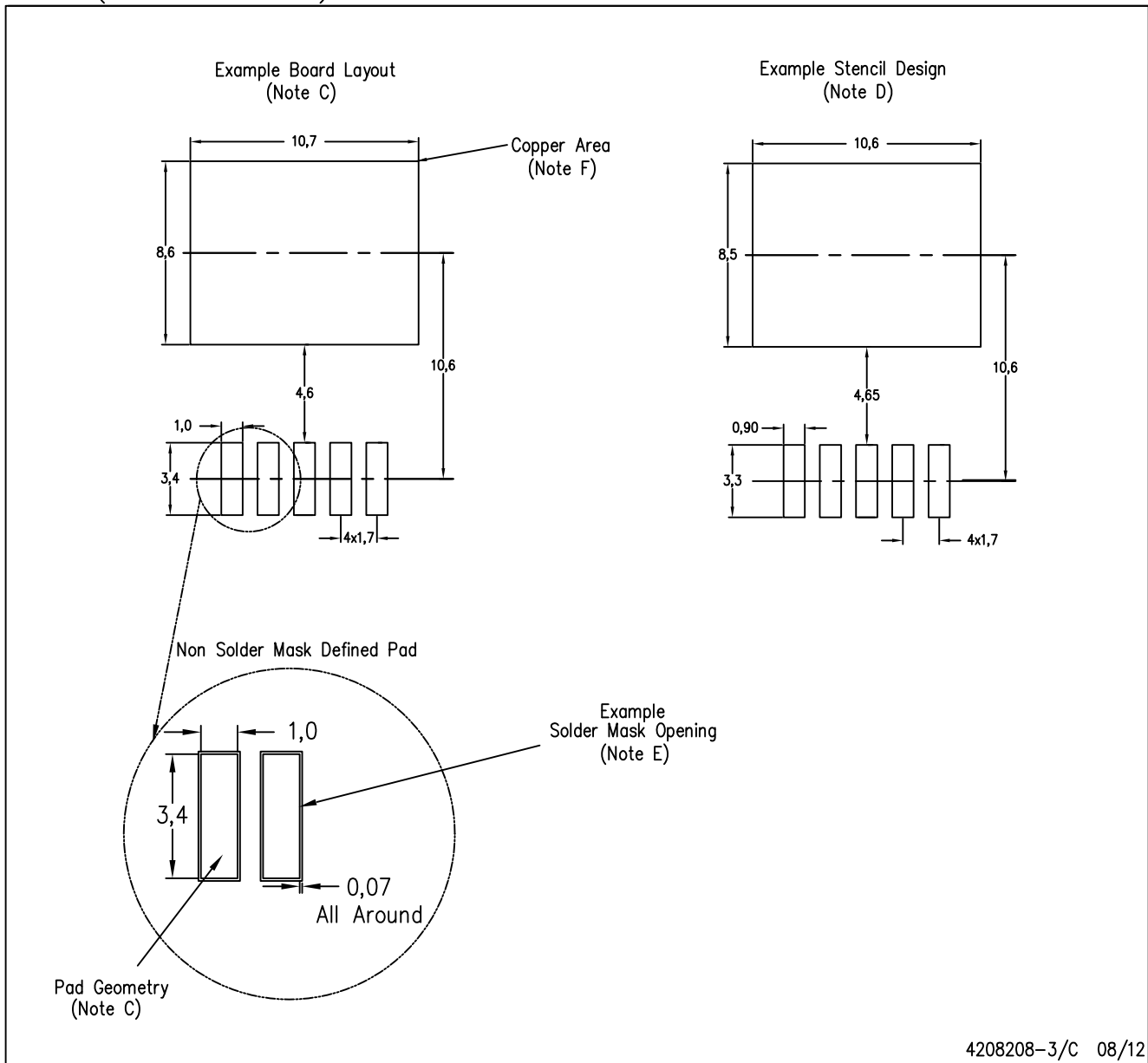
PLASTIC FLANGE-MOUNT PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion. Mold flash or protrusion not to exceed 0.005 (0,13) per side.
- △ Falls within JEDEC TO-263 variation BA, except minimum lead thickness, maximum seating height, and minimum body length.

KTT (R-PSFM-G5)

PLASTIC FLANGE-MOUNT PACKAGE

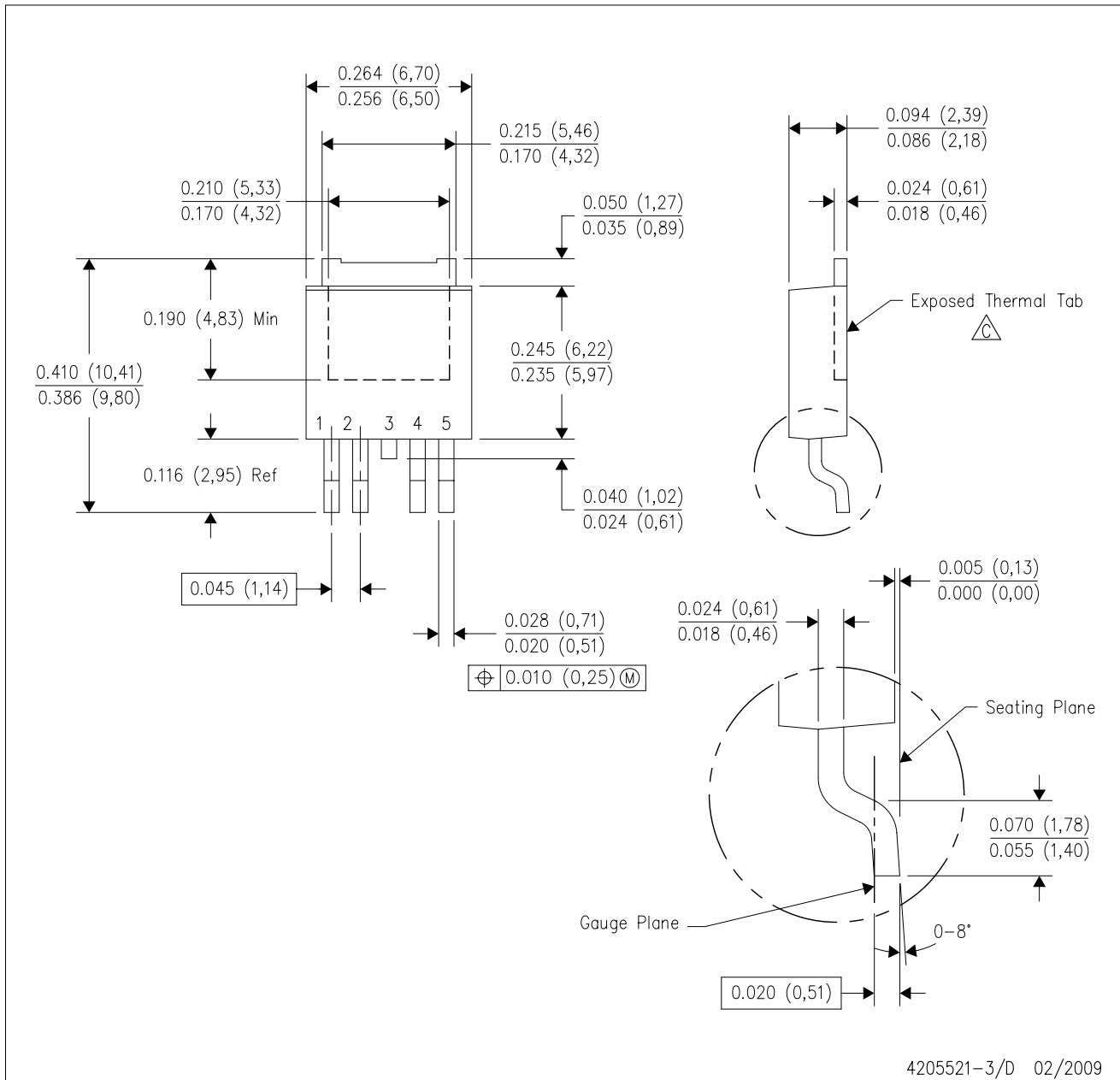


- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-SM-782 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.
 - This package is designed to be soldered to a thermal pad on the board. Refer to the Product Datasheet for specific thermal information, via requirements, and recommended thermal pad size. For thermal pad sizes larger than shown a solder mask defined pad is recommended in order to maintain the solderable pad geometry while increasing copper area.

MECHANICAL DATA

KVU (R-PSFM-G5)

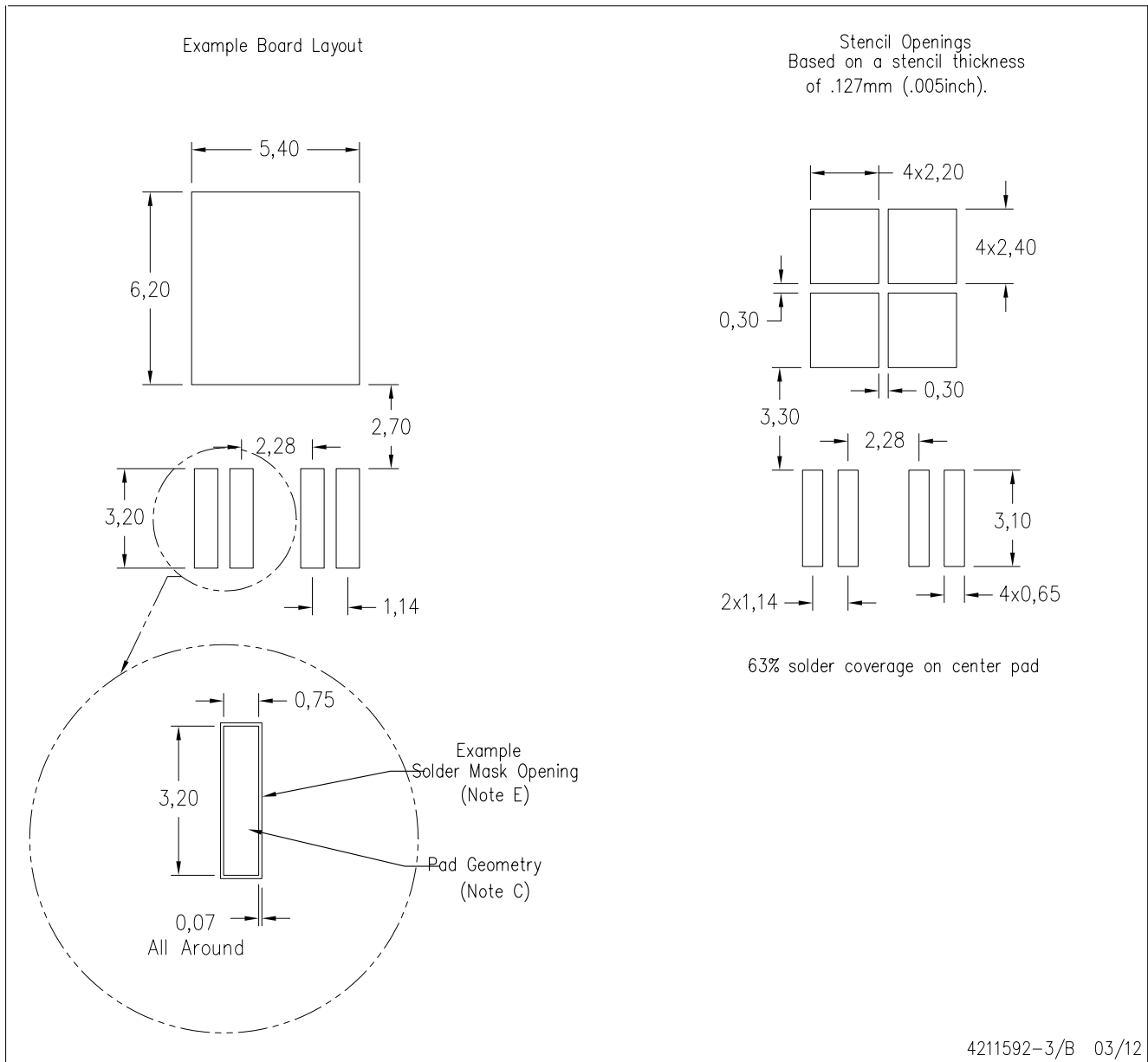
PLASTIC FLANGE-MOUNT PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. The center lead is in electrical contact with the exposed thermal tab.
 - D. Body Dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.006 (0,15) per side.
 - E. Falls within JEDEC TO-252 variation AD.

KVU (R-PSFM-G5)

PLASTIC FLANGE MOUNT PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-SM-782 is an alternate information source for PCB land pattern designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in thermal pad.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月