

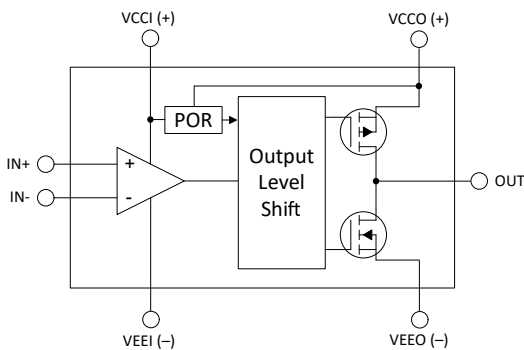
TLV1871/2 具有独立输入和输出电源的 40V 高速比较器

1 特性

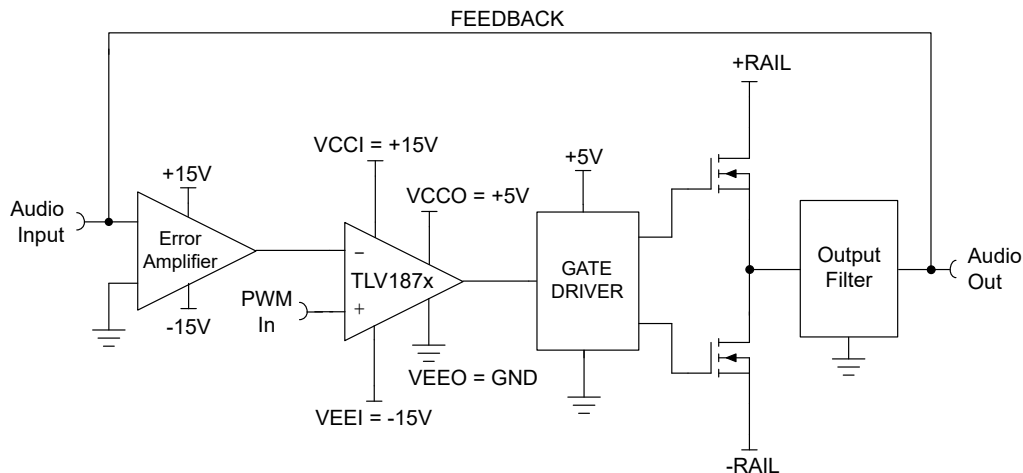
- 宽电源电压范围：2.7V 至 40V ($\pm 1.35V$ 至 $\pm 20V$)
- 65ns 传播延迟
- 单电源或双电源运行
- 具有独立电源的“悬空”推挽式输出
- 轨到轨输入
- 上电复位 (POR)
- 低电源电流：每通道 75 μA
- 温度范围：-40°C 至 +125°C

2 应用

- D 类放大器
- 电平转换
- 电机驱动器
- 双极过零检测器



简化的内部图



D 类放大器示例

3 说明

TLV187x 是一款 40V 高速比较器，提供轨到轨输入、推挽输出级以及独立的输入和输出电源引脚。这些特性与 65ns 传播延迟相结合，使该系列非常适合用于双极过零检测、D 类音频放大器系统或其他需要电平转换和传播延迟对称性的应用。

此器件具有上电复位 (POR) 功能，可在达到最小电源电压前使输出保持已知状态，然后输出才对输入做出响应，从而防止系统上电和下电期间出现错误输出。

TLV187x 具有推挽输出级，因此非常适合需要在上升和下降输出响应之间保持对称性的应用。由于采用单独的输入和输出电源，此器件能够在较低电压下为下游器件进行电平转换。

器件信息

器件型号	封装 (1)	封装尺寸 (标称值) (2)
TLV1871	SOT-23 (8)	1.60mm × 2.90mm
TLV1872	VSSOP (10)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

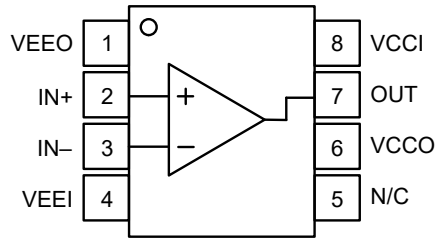


内容

1 特性	1	6.3 特性说明	15
2 应用	1	6.4 器件功能模式	16
3 说明	1	7 应用和实施	19
4 引脚配置和功能	3	7.1 应用信息.....	19
4.1 引脚配置：TLV1871 单通道.....	3	7.2 典型应用.....	21
引脚配置：TLV1872 双通道.....	4	7.3 电源相关建议.....	22
5 规格	5	7.4 布局.....	22
5.1 绝对最大额定值.....	5	8 器件和文档支持	23
5.2 ESD 等级.....	5	8.1 文档支持.....	23
5.3 热性能信息.....	6	8.2 接收文档更新通知.....	23
5.4 建议运行条件.....	6	8.3 支持资源.....	23
5.5 电气特性.....	7	8.4 商标.....	23
5.6 开关特性.....	8	8.5 静电放电警告.....	23
5.7 典型特性.....	9	8.6 术语表.....	23
6 详细说明	15	9 修订历史记录	24
6.1 概述.....	15	10 机械、封装和可订购信息	24
6.2 功能方框图.....	15		

4 引脚配置和功能

4.1 引脚配置：TLV1871 单通道

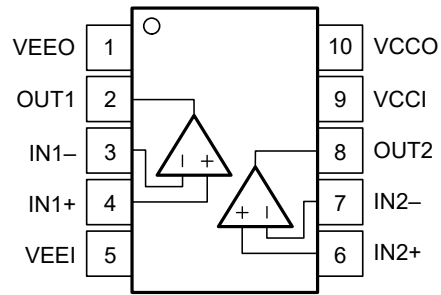


DDF 封装
8 引脚 SOT-23
 顶视图

表 4-1. 引脚功能

引脚		I/O	说明
名称	编号		
VEEO	1	—	输出负电源电压
IN+	2	I	同相输入
IN-	3	I	反相输入
VEEI	4	—	输入负电源电压
NC	5	—	无连接
VCCO	6	O	输出正电源电压
OUT	7	—	输出
VCCI	8	—	输入正电源电压

引脚配置：TLV1872 双通道



DGS 封装
10 引脚 VSSOP
俯视图

表 4-2. 引脚功能

引脚		I/O	说明
名称	编号		
VEEO	1	—	输出负电源电压
OUT1	2	O	比较器 1 的输出引脚
IN1 -	3	I	比较器 1 的反相输入引脚
IN1+	4	I	比较器 1 的同相输入引脚
VEEI	5	—	输入负电源电压
IN2+	6	I	比较器 2 的同相输入引脚
IN2 -	7	I	比较器 2 的反相输入引脚
OUT2	8	O	比较器 2 的输出引脚
VCCI	9	—	输入正电源电压
VCCO	10	—	输出正电源电压

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

	最小值	最大值	单位
输入电源电压: ($V_{CC1} - V_{EE1}$)	-0.3	42	V
输出负电源电压: V_{EE0}	V_{EE1}	$V_{EE1} + 20$	V
输出正电源电压: V_{CC0}	$V_{EE0} - 0.3$	$V_{CC1} + 0.3$	V
输入引脚 ($IN+$ 、 $IN-$) ⁽²⁾	$V_{EE1} - 0.3$	$V_{CC1} + 0.3$	V
进入输入引脚 ($IN+$ 、 $IN-$) 的电流 ⁽²⁾	-10	10	mA
V_{EE0} 的输出 (OUT) ⁽³⁾	-0.3	$(V_{CC0}) + 0.3$	V
输出短路电流 ^{(4) (5)}	-10	10	mA
结温, T_J		150	°C
贮存温度, T_{stg}	-65	150	°C

- 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用,器件可能不会完全正常运行,这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 输入端子被二极管钳制至 (V_{EE1}) 和 (V_{CC1})。对于摆幅可能超过电源轨 0.3V 的输入信号,必须将其电流限制为 10mA 或者更低。
- 输出 (OUT) 被二极管钳制至 (V_{EE0}) 和 (V_{CC0})。有关更多信息,请参阅应用信息部分的输出和 ESD 保护。
- 当在绝对最大输出电压限值内运行时,输出灌电流和拉电流在内部限制为 <35mA。此处指定的绝对最大输出电流限值是在超过低于 (V_{EE0}) 或高于 (V_{CC0}) 的电源电压时流经钳位结构的最大电流。
- 在升高的电源电压下持续输出短路会导致过热并超过允许的最大结温,最终导致器件损坏。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1000

- JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 热性能信息

热指标 ⁽¹⁾		TLV1871	TLV1872	单位
		DDF (SOT-23)	DGS (WSON)	
		8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	165.8	151.4	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	86.0	55.0	°C/W
$R_{\theta JB}$	结至电路板热阻	83.5	84.9	°C/W
ψ_{JT}	结至顶部特征参数	6.6	3.2	°C/W
ψ_{JB}	结至电路板特征参数	83.2	83.7	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	-	-	°C/W

(1) 更多有关新旧热指标的信息，请参阅[半导体和 IC 封装热指标](#)报告。

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

	最小值	最大值	单位
输入电源电压: $V_{CCI} - V_{EEI}$	2.7	40	V
输出负电源电压: V_{EEO}	V_{EEI}	$V_{EEI} + 18$	V
输出正电源电压: V_{CCO}	$V_{EEO} + 2.7$	V_{CCI}	V
V_{EEI} 的输入电压范围	- 0.2	$V_{CCI} + 0.2$	V
环境温度, T_A	-40	125	°C

5.5 电气特性

对于 $V_{CCI} = 12V$ ，在 $T_A = 25^\circ C$ 时， $V_{EE1} = 0V$ ， $V_{CCO} = 3.3V$ ， $V_{EE0} = 0V$ ， $V_{CM} = 0V$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	$T_A = 25^\circ C$	-2.5	± 0.3	2.5	mV
V_{OS}	输入失调电压	$T_A = -40^\circ C$ 至 $+125^\circ C$	-3.0		3.0	mV
dV_{IO}/dT	输入失调电压温漂	$T_A = -40^\circ C$ 至 $+125^\circ C$		± 1.2		$\mu V/^\circ C$
电源						
I_Q	静态电流 (每个比较器) (2)	无负载, 输出高电平 $T_A = 25^\circ C$		75	100	μA
		无负载, 输出高电平 $T_A = -40^\circ C$ 至 $+125^\circ C$			105	μA
		无负载, 输出低电平 $T_A = 25^\circ C$		100	135	μA
		无负载, 输出低电平 $T_A = -40^\circ C$ 至 $+125^\circ C$			140	μA
V_{POR}			1.9		V	
输入偏置电流						
I_B	输入偏置电流 (1)			500		pA
I_B	输入偏置电流 (1) (3)	$T_A = -40^\circ C$ 至 $+125^\circ C$	-5		5	nA
I_{OS}	输入失调电流			10		pA
输入电容						
C_{ID}	输入电容, 差分			5		pF
C_{IC}	输入电容, 共模			5		pF
输入共模范围						
$V_{CM-Range}$	共模电压范围	$V_{CCI} - V_{EE1} = 2.7V$ 至 $36V$ $T_A = -40^\circ C$ 至 $+125^\circ C$	$V_{EE1} - 0.2$		$V_{CCI} + 0.2$	V
输出						
V_{OL}	(V_{EE0}) 的电压摆幅	$I_{SINK} = 4mA$ $T_A = -40^\circ C$ 至 $+125^\circ C$			300	mV
V_{OH}	(V_{CC0}) 的电压摆幅	$I_{SOURCE} = 4mA$ $T_A = -40^\circ C$ 至 $+125^\circ C$			300	mV
I_{OL}	短路电流	灌电流 $T_A = -40^\circ C$ 至 $+125^\circ C$		30		mA
I_{OH}	短路电流	拉电流 $T_A = -40^\circ C$ 至 $+125^\circ C$		30		mA

(1) 请参阅图中的 I_{BIAS} 与 V_{ID} 性能曲线

(2) 所示电流是流经 V_{CCI} 和 V_{CCO} 的电流之和。请参阅“典型特性”部分的“电源电流图”。

(3) 此参数通过设计和/或表征保证，而未经生产测试。

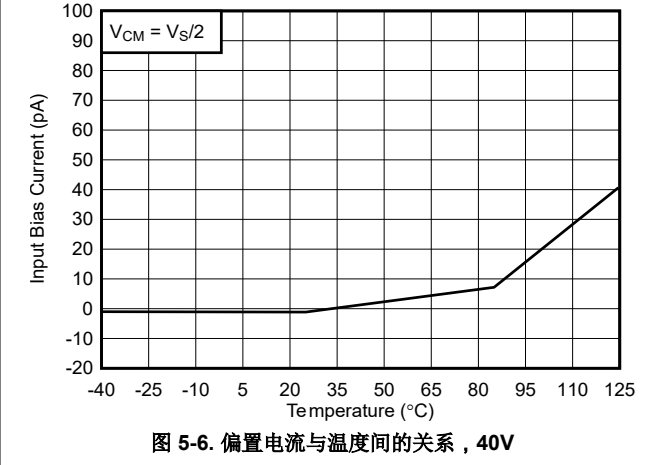
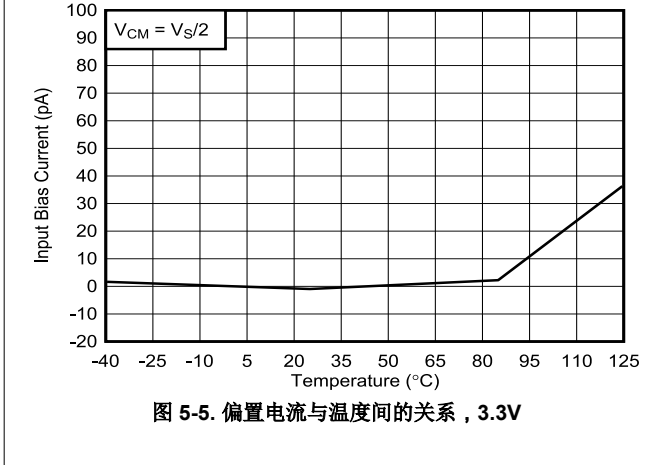
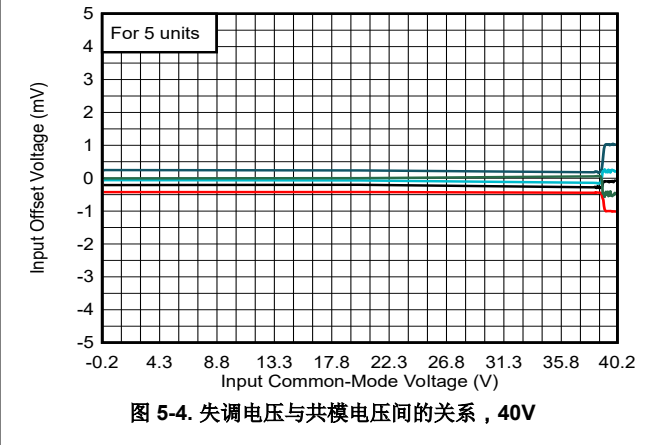
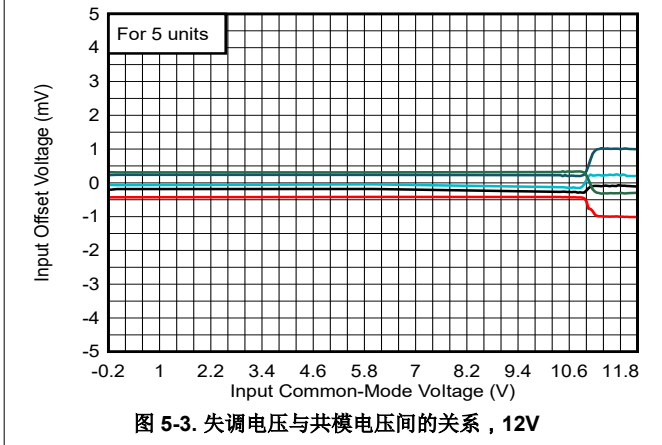
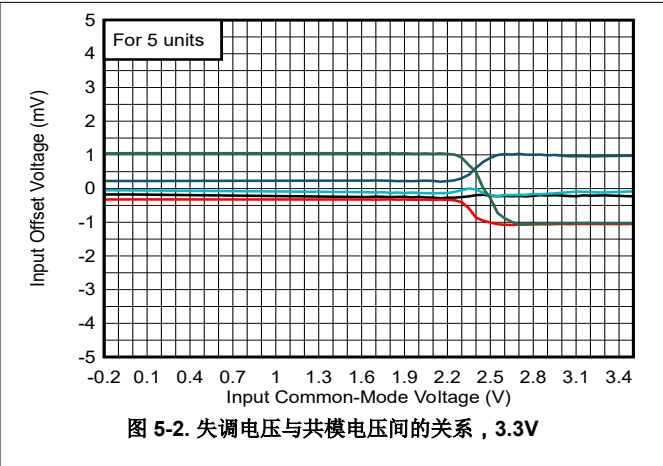
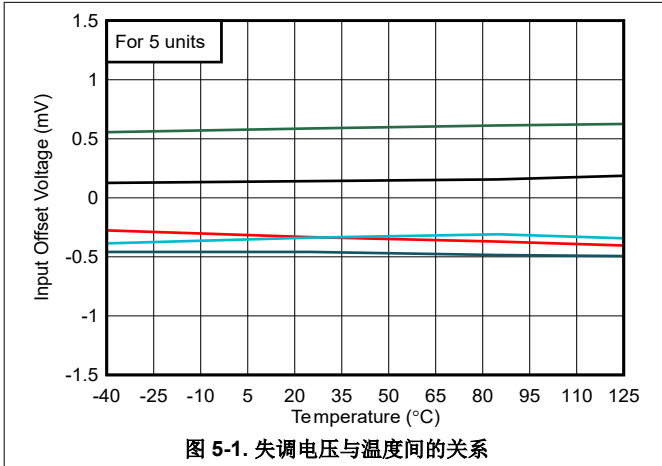
5.6 开关特性

对于 $V_{CCI} = 12V$ ，在 $T_A = 25^\circ C$ 时， $V_{EEI} = 0V$ ， $V_{CCO} = 3.3V$ ， $V_{EEO} = 0V$ ， $V_{CM} = VS/2$ ， $C_L = 15pF$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
输出						
T_{PD-HL}	传播延迟时间，高电平到低电平	$V_{OD} = 10mV$ ， $V_{UD} = 100mV$		110		ns
T_{PD-HL}	传播延迟时间，高电平到低电平	$V_{OD} = 100mV$ ， $V_{UD} = 100mV$		65		ns
T_{PD-LH}	传播延迟时间，从低电平到高电平	$V_{OD} = 10mV$ ， $V_{UD} = 100mV$		110		ns
T_{PD-LH}	传播延迟时间，从低电平到高电平	$V_{OD} = 100mV$ ， $V_{UD} = 100mV$		65		ns
T_{RISE}	输出上升时间，20% 至 80%	$V_{OD} = 100mV$ ， $V_{UD} = 100mV$		5		ns
T_{FALL}	输出下降时间，80% 至 20%	$V_{OD} = 100mV$ ， $V_{UD} = 100mV$		5		ns
F_{TOGGLE}	切换频率	$V_{ID} = 200mV$		7.5		MHz
上电时间						
P_{ON}	上电时间			80		μs

5.7 典型特性

在 $T_A = 25^\circ\text{C}$ 时, $V_{CCI} - V_{EEI} = 12\text{V}$, $V_{CCO} - V_{EEO} = 3.3\text{V}$, $V_{CM} = V_S/2$, $C_L = 15\text{pF}$, 输入过驱 = 输入欠驱 = 100mV, 除非另有说明。



5.7 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 时, $V_{CCI} - V_{EEI} = 12\text{V}$, $V_{CCO} - V_{EEO} = 3.3\text{V}$, $V_{CM} = VS/2V$, $C_L = 15\text{pF}$, 输入过驱 = 输入欠驱 = 100mV, 除非另有说明。

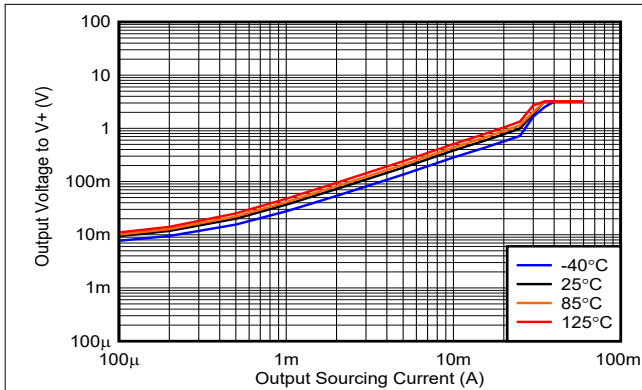


图 5-7. 输出电压与拉电流间的关系, 3.3V

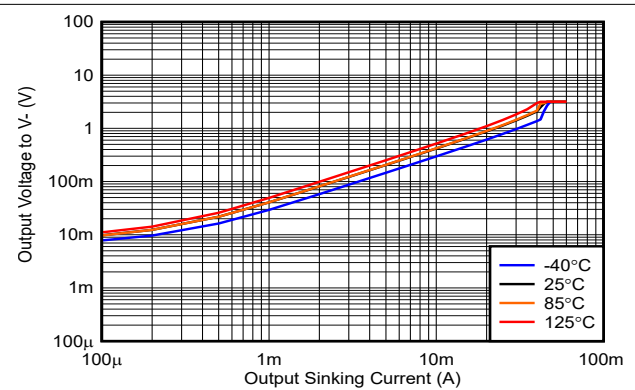


图 5-8. 输出电压与灌电流间的关系, 3.3V

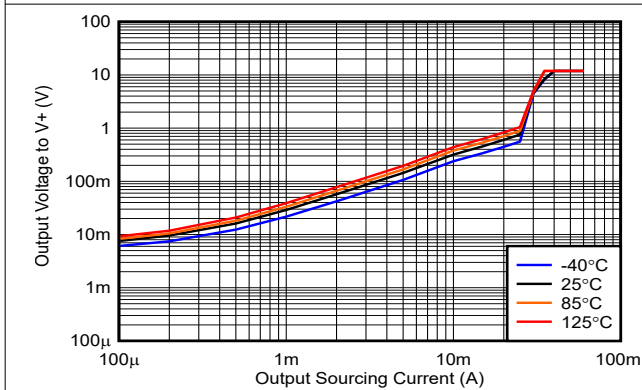


图 5-9. 输出电压与拉电流间的关系, 12V

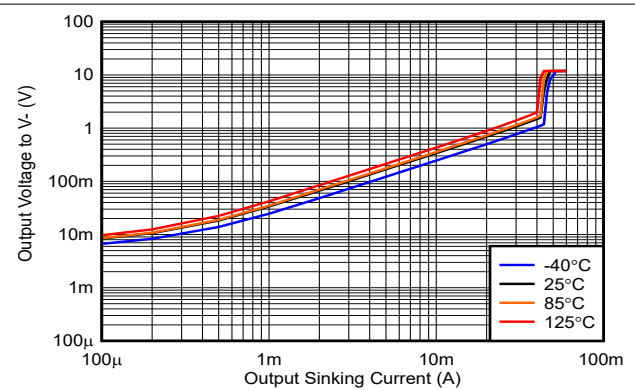


图 5-10. 输出电压与灌电流间的关系, 12V

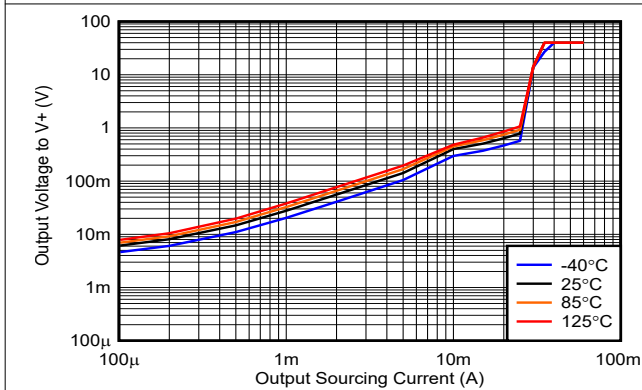


图 5-11. 输出电压与拉电流间的关系, 40V

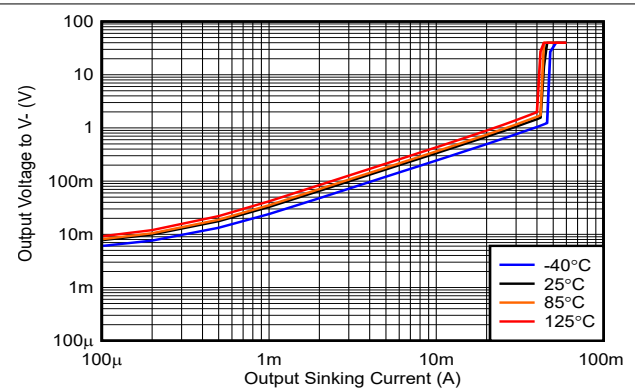


图 5-12. 输出电压与灌电流间的关系, 40V

5.7 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 时, $V_{CC1} - V_{EE1} = 12\text{V}$, $V_{CCO} - V_{EEO} = 3.3\text{V}$, $V_{CM} = VS/2V$, $C_L = 15\text{pF}$, 输入过驱 = 输入欠驱 = 100mV, 除非另有说明。

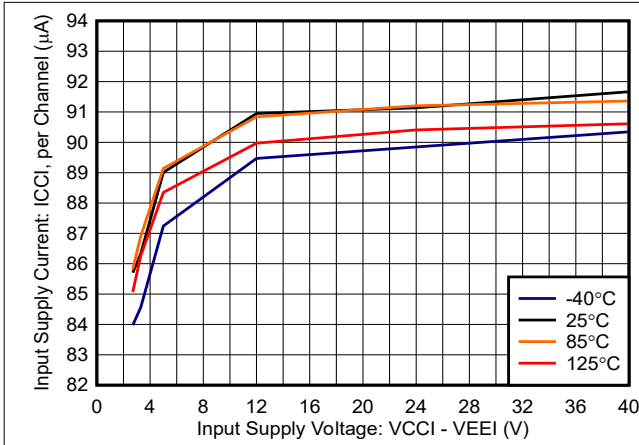


图 5-13. 输入电源电流与输入电源电压间的关系, 输出低电平, 无负载

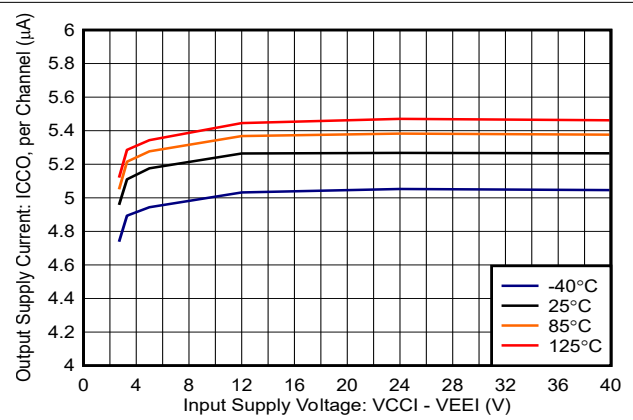


图 5-14. 输出电源电流与输入电源电压间的关系, 输出低电平, 无负载

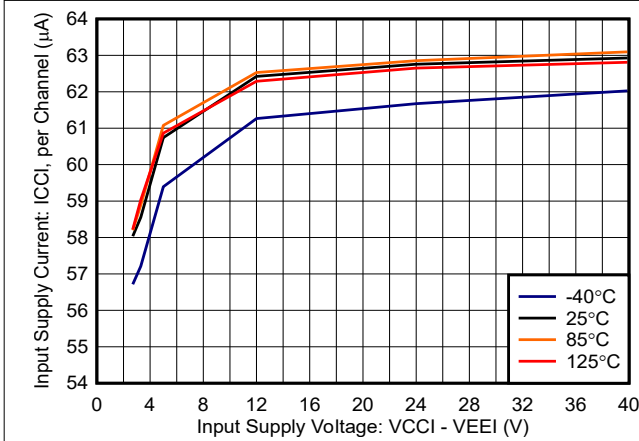


图 5-15. 输入电源电流与输入电源电压间的关系, 输出高电平, 无负载

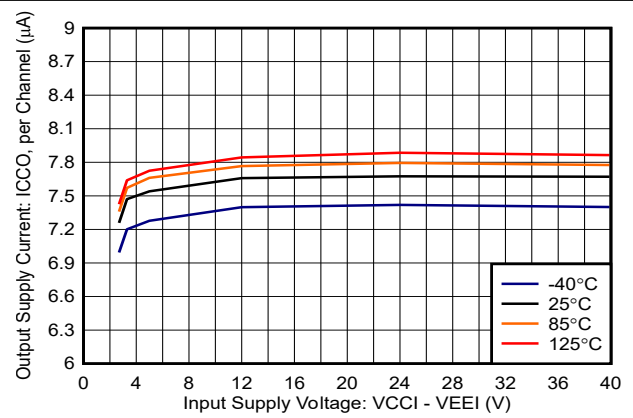


图 5-16. 输出电源电流与输入电源电压间的关系, 输出高电平, 无负载

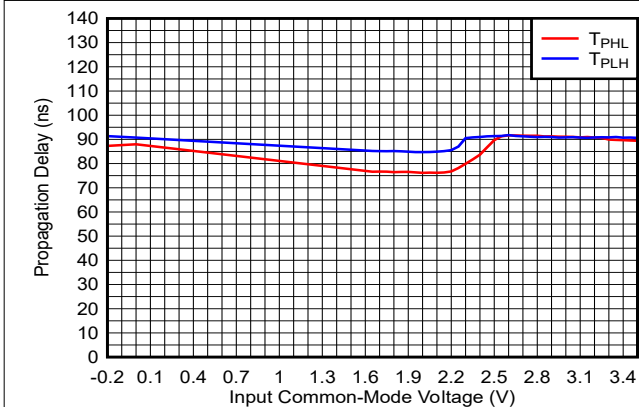


图 5-17. 传播延迟与共模电压间的关系, 3.3V

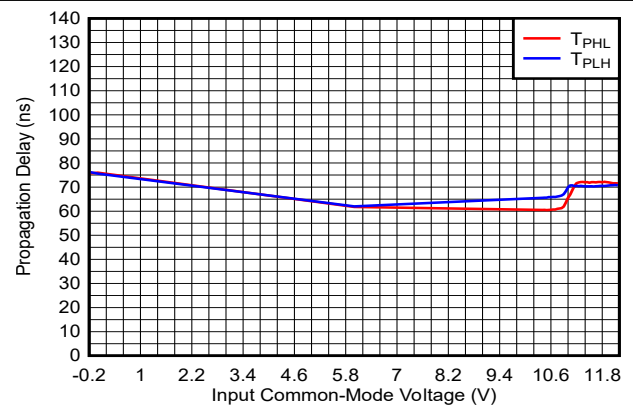


图 5-18. 传播延迟与共模电压间的关系, 12V

5.7 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 时, $V_{CC1} - V_{EE1} = 12\text{V}$, $V_{CC0} - V_{EE0} = 3.3\text{V}$, $V_{CM} = VS/2V$, $C_L = 15\text{pF}$, 输入过驱 = 输入欠驱 = 100mV, 除非另有说明。

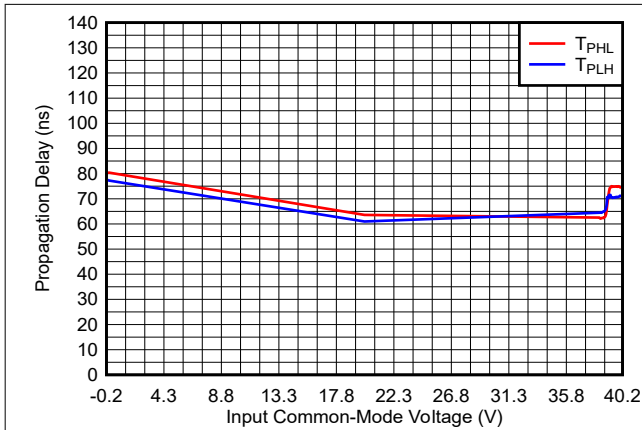


图 5-19. 传播延迟与共模电压间的关系, 40V

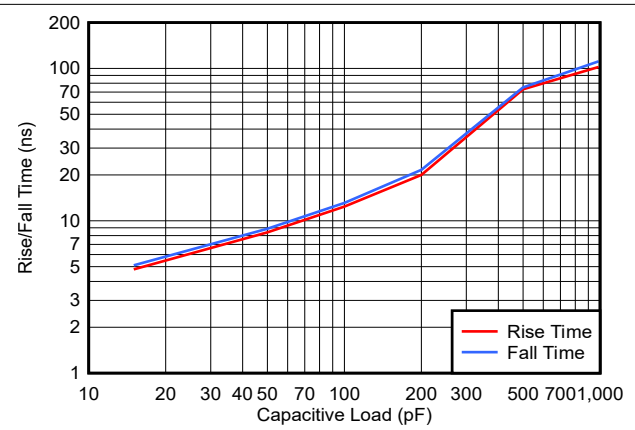


图 5-20. 上升/下降时间与容性负载间的关系, 12V

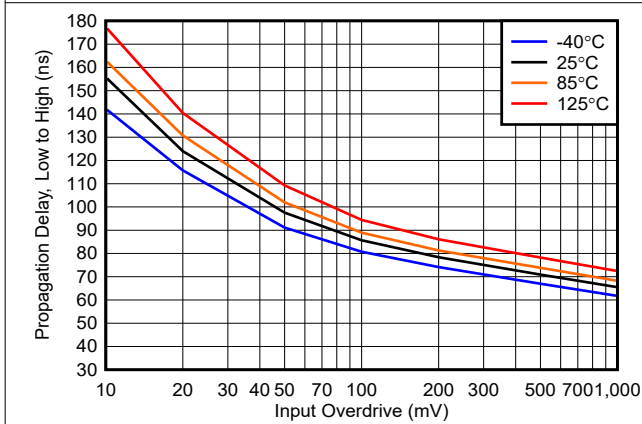


图 5-21. 传播延迟 (低电平到高电平) 与输入过驱间的关系, 3.3V

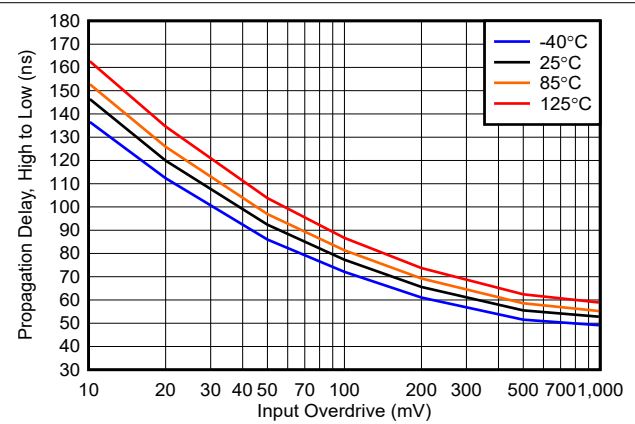


图 5-22. 传播延迟 (高电平到低电平) 与输入过驱间的关系, 3.3V

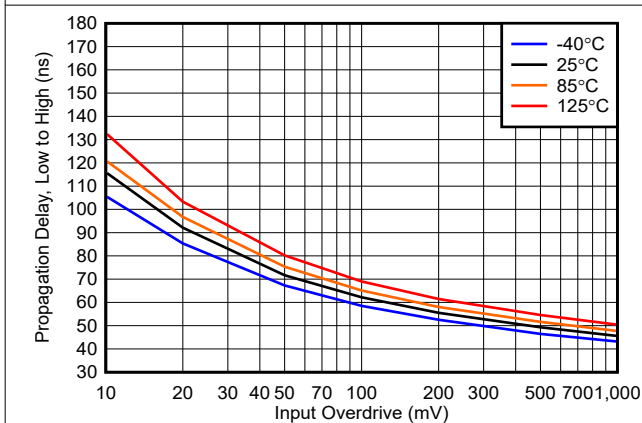


图 5-23. 传播延迟 (低电平到高电平) 与输入过驱间的关系, 12V

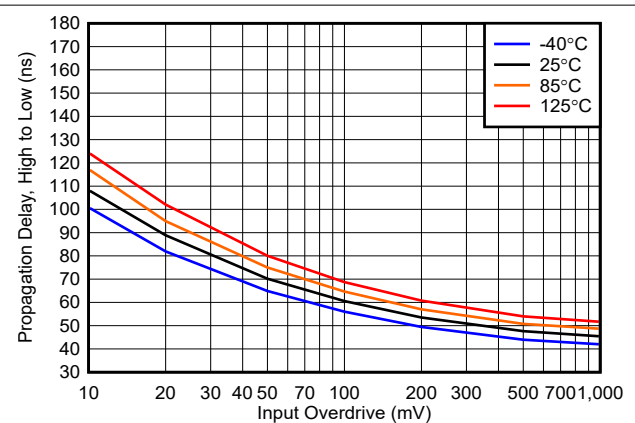


图 5-24. 传播延迟 (高电平到低电平) 与输入过驱间的关系, 12V

5.7 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 时, $V_{CC1} - V_{EE1} = 12\text{V}$, $V_{CCO} - V_{EEO} = 3.3\text{V}$, $V_{CM} = V_S/2V$, $C_L = 15\text{pF}$, 输入过驱 = 输入欠驱 = 100mV, 除非另有说明。

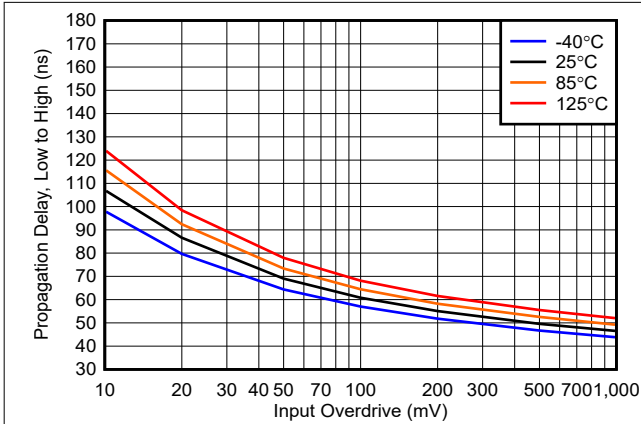


图 5-25. 传播延迟 (低电平到高电平) 与输入过驱间的关系, 40V

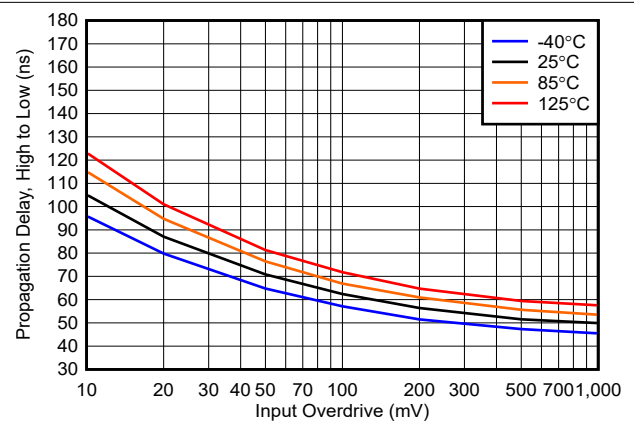


图 5-26. 传播延迟 (低电平到高电平) 与输入过驱间的关系, 40V

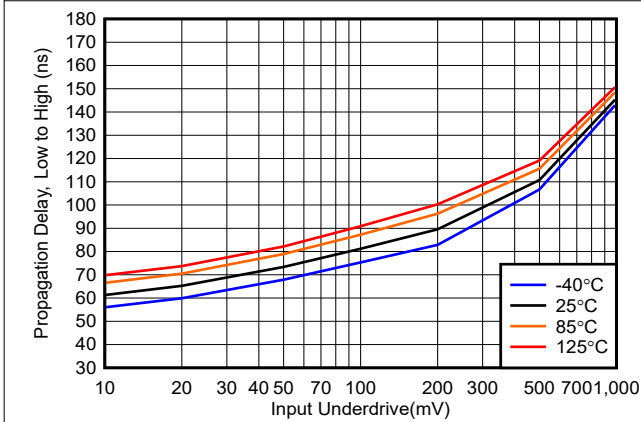


图 5-27. 传播延迟 (低电平到高电平) 与输入欠驱间的关系, 3.3V

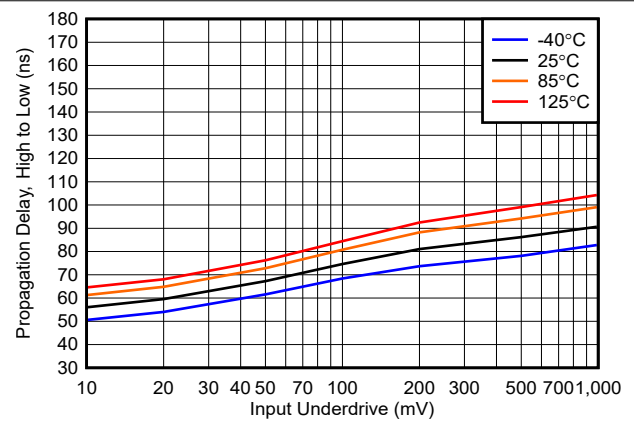


图 5-28. 传播延迟 (高电平到低电平) 与输入欠驱间的关系, 3.3V

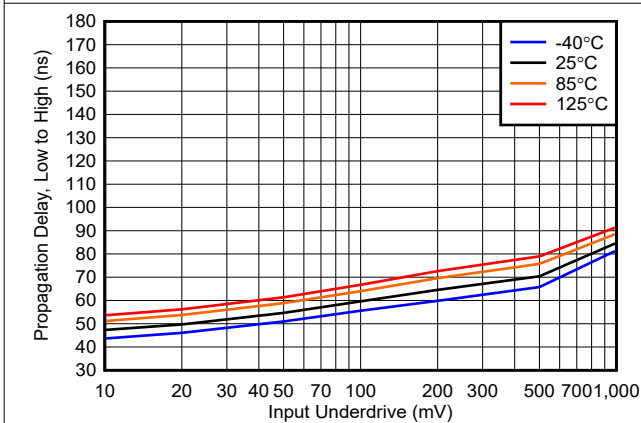


图 5-29. 传播延迟 (低电平到高电平) 与输入欠驱间的关系, 12V

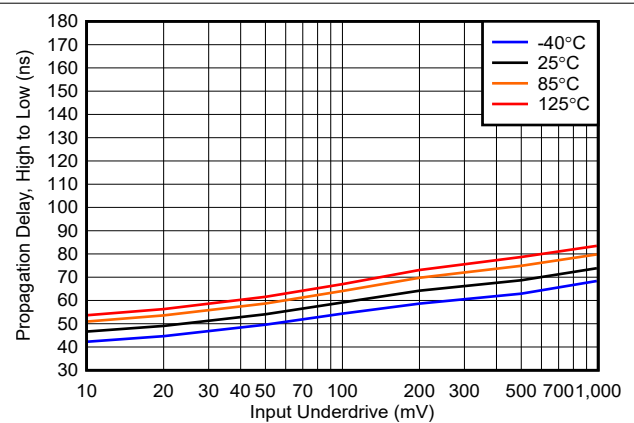
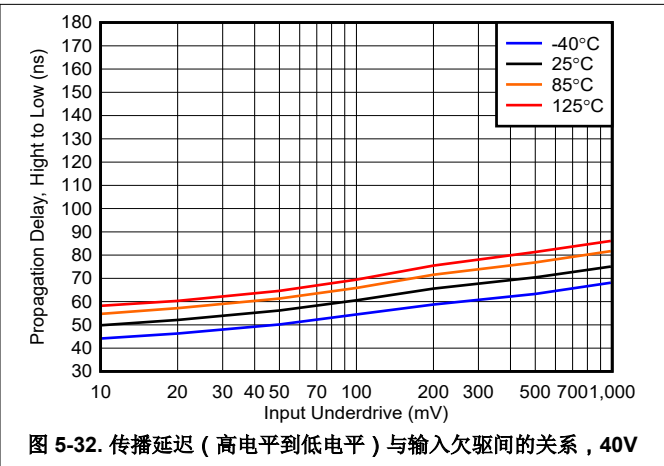
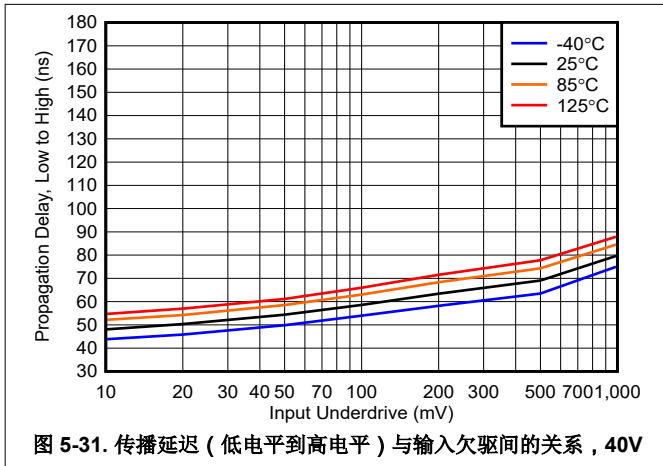


图 5-30. 传播延迟 (高电平到低电平) 与输入欠驱间的关系, 12V

5.7 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 时, $V_{CCI} - V_{EEI} = 12\text{V}$, $V_{CCO} - V_{EEO} = 3.3\text{V}$, $V_{CM} = VS/2V$, $C_L = 15\text{pF}$, 输入过驱 = 输入欠驱 = 100mV , 除非另有说明。



6 详细说明

6.1 概述

TLV187x 系列是 40V 高速比较器，具有推挽输出，采用单独的输入和输出电源。因此输入端可采用双电源，并为下游的 5V 或 3.3V 逻辑器件提供电平转换输出。这使得 TLV187x 非常适合双极过零检测应用或 D 类音频放大器系统。内部上电复位电路可确保在上电和断电期间输出保持在已知状态。

6.2 功能方框图

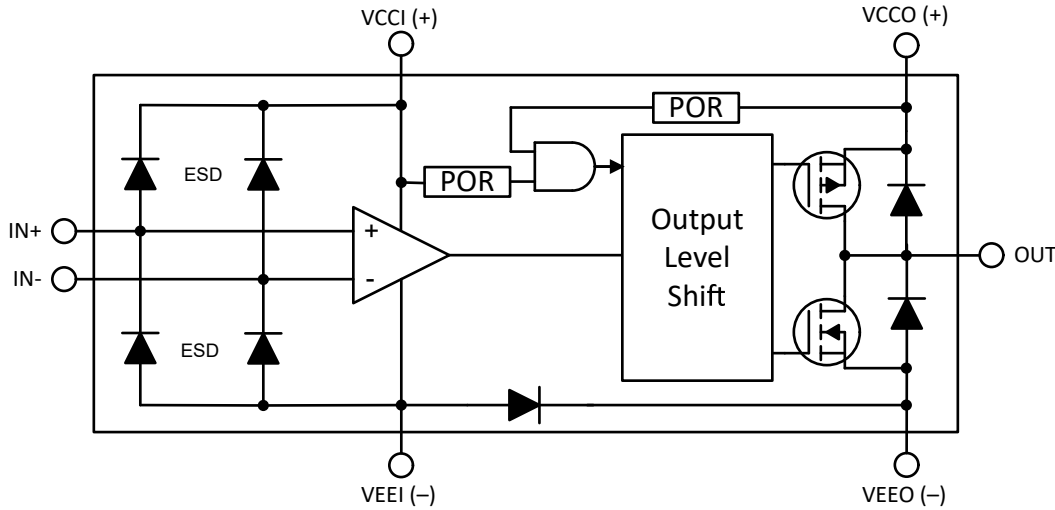


图 6-1. 方框图

6.3 特性说明

TLV187x (推挽输出) 器件是高速比较器，典型传播延迟为 65ns，可在高达 40V 的电压下运行。独立的输入和输出电源使得这些比较器非常适合用于需要将双极信号进行电平转换以传输到低压逻辑器件的应用。这样也不再需要上拉电阻器，并提供传播延迟和边沿速率对称。这些比较器还具有轨到轨输入级，能够在超出电源轨高达 200mV 的电压下运行，还具有最大 2.5mV 的输入失调电压和用于已知启动条件的上电复位 (POR)。

6.4 器件功能模式

6.4.1 独立电源

TLV187x 具有独特的“悬空”输出级，输入和输出具有单独的电源，从而可以在不需要外部电平转换的情况下达到所需的输出电平。这样就可以使用双电源以及专为直接驱动处理器、ASIC 或栅极驱动器而设计的以接地为基准的低电压逻辑输出，来直接检测双极输入信号。

VCCI 和 VEEI 引脚为输入级和比较器内核提供电源。VCCO 和 VEEO 引脚为输出级提供电源并设置输出摆幅。

VCCO 和 VEEO 引脚受到 VEEI 和 VCCI 引脚的限制。有关规格信息，请参阅**绝对最大额定值**和**建议运行条件**表。以下是对这些限制的总结。

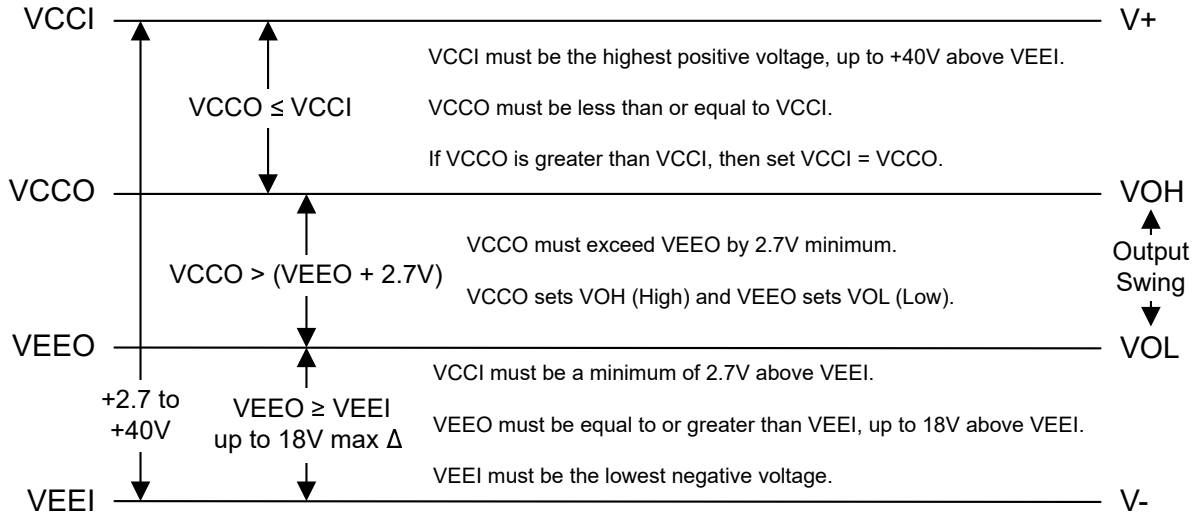


图 6-2. 电源限制的图形视图

VCCI 是输入级的正电源，用于设置正输入电压范围（正 VCM）。为了确立总工作电压 (V_S)，VCCI 必须比 VEEI 至少高 2.7V，最多不超过 40V。

VCCO 是输出级的正电源，用于设置输出高电压电平 (VOH)。VCCO 必须比 VEEO 至少高 2.7V，最多不超过 VCCI。

VEEO 是输出级的负电源，用于设置输出低电压电平 (VOL)。VEEO 引脚必须等于或大于 VEEI 引脚，且 VEEI 和 VEEO 引脚之间的最大差值为 +18V。

VEEI 为输入级的负电源，用于设置负输入电压范围（负 VCM）。VEEI 引脚是器件的最大负值“基板”电源。因此，VEEI 引脚必须处于最大负值电路电势下。使用任何电源引脚组合时，整个器件的电压都不得超过 40V。

例如，如果一个应用的输入级为 $VCCI = +15V$ 、 $VEEI = -15V$ ，输出级采用单电源且 $VCCO = +3.3V$ 、 $VEEO = GND$ ，这是可以接受的。

但是，如果一个应用的 $VCCI = +5V$ 、 $VEEI = GND$ ，输出级采用双电源且 $VCCO = +12V$ 、 $VEEO = -12V$ ，这是不可以的，因为这违反了以下规则： $VEEO \geq VEEI$ （VEEI 不是最低负电势）和 $VCCI < VCCO$ 。如果 VCCI 改为连接至 +12V 电源，而 VEEI 连接 -12V 电源，则这是可以接受的。

相反，如果一个负输入电压应用的 $VCCI = GND$ 、 $VEEI = -12V$ ，且输出级采用单电源， $VCCO = +3V$ 、 $VEEO = GND$ ，这是不可接受的，因为这违反了 $VCCO \geq VCCI$ （VEEO 大于 VCCI）规则。在这种情况下，应改为将 VCCI 连接到 +3V 输出电源，这是可以接受的 ($VCCI = VCCO$)。

只要 VCCO 小于或等于 VCCI ($VCCO \leq VCCI$)，也可以使用单电源应用，VEEO 和 VEEI 都连接在 GND。因此， $VCCO = +3V$ 和 $VCCI = +12V$ 是可以接受的，但 $VCCO = +12V$ 和 $VCCI = +3V$ 是不可接受的（应该改为将 VCCI 连接到 +12V，使其可接受）。

只要遵循上述条件 ($V_{CCI} \geq +5V$ 和 $V_{EE0} > V_{EE1}$) 且 V_{EE0} 和 V_{CC0} 之间的最小电压为 $+2.7V$, 那么也可以使输出摆幅介于两个正电压值 (例如 $+2V$ 和 $+5V$, 即 $V_{EE0} = +2V$, $V_{CC0} = +5V$) 之间。

6.4.2 上电复位 (POR)

TLV187x 器件具有内部上电复位 (POR) 电路, 用于已知的启动或断电条件。当电源电压逐渐上升时, 在超过 $1.7V$ 的 V_{POR} 阈值后, POR 电路将被激活并持续长达 $80\mu s$ 。

TLV187x 输出在 POR 期间 (t_{ON}) 保持高阻抗 (Hi-Z)。

输入和输出 POR 阈值一起进行“与”运算。当输入电源 ($V_{CCI}-V_{EE1}$) 和输出电源 ($V_{CC0} - V_{EE0}$) 都大于 V_{POR} 电压时, 经过一个延迟周期 (t_{ON}) 后, 比较器输出会反映差分输入 (V_{ID}) 的状态。

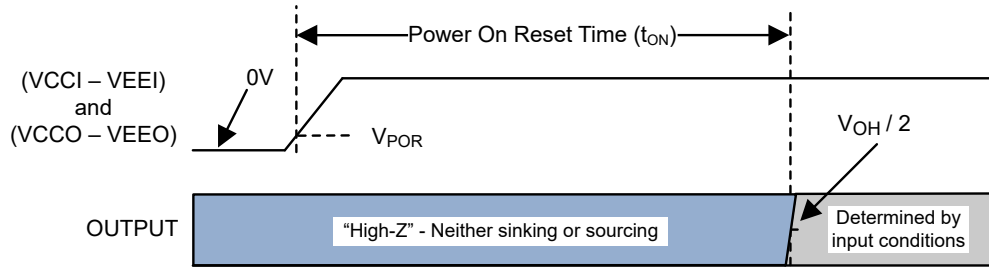


图 6-3. 上电复位时序图

断电没有延迟。当两个电源都降至低于 V_{POR} 时, 输出立即进入 POR 状态。

6.4.3 输入

6.4.3.1 轨到轨输入

输入电压范围扩大为 $V_{EE1} - 200mV$ 至 $V_{CCI} + 200mV$, 从而更大幅度地扩大了输入动态范围。输入级到 V_{CCI} 电源线具有 ESD 钳位, 因此输入电压不得超出电源电压 $200mV$ 以上。请勿在没有电源电压的情况下向轨到轨输入施加信号。为避免在超过建议的输入电压范围时损坏输入, 必须使用外部电阻器把电流限制到不足 $1mA$ 。同样, 与高速放大器不同, 比较器输入之间没有钳位二极管。这适合输入差分电压可与电源电压 ($V+$) 匹配的应用。但是, 当输入差分电压增加到 $2V$ 时, 偏置电流会增加到 nA 范围。这是内部电路的结果, 其目的是更大幅度地减少由于输入欠驱振幅巨大而增加的传播延迟。

6.4.3.2 未使用的输入

如果不使用通道, 请勿将输入端连接在一起。由于存在高等效带宽和低失调电压, 将输入端直接连接在一起会导致高频振荡, 因为器件会触发其自身的内部宽带噪声。相反, 可以将输入端连接到处于指定输入电压范围内并提供至少 $50mV$ 差分电压的任何可用电压。例如, 一个输入可以接地, 另一个输入可以连接到基准电压, 甚至连接到 V_{CCI} 。

6.4.4 推挽输出

TLV187x 具有推挽输出级，既能灌入电流，也能拉出电流。这允许驱动负载（如 LED 和 MOSFET 栅极），并且无需使用耗电的外部上拉电阻器。推挽输出绝不能连接到另一个输出端。

直接将输出与电源轨短接会导致热失控，并最终导致器件损坏。如果可能发生输出短路，建议将一个串联限流电阻器与输出串联来限制功率耗散。

未使用的推挽输出必须保持悬空，绝不能连接到电源、地面或其他输出端。

6.4.5 ESD 保护

如[功能方框图](#)所示，轨到轨输入的 VCCI 和 VEEI 都有 ESD 钳位，因此输入电压不得比 VCCI 和 VEE0 电源电压高出 200mV 以上。如果没有串联输入限流，请勿在没有电源电压的情况下直接向输入施加信号。

如果输入端要连接到低阻抗源（例如电源或缓冲参考线，或断电时可能存在的信号），TI 建议添加一个与输入端串联的限流电阻，以限制钳位要导通的任何瞬态电流。必须将电流限制在 10mA 或以下。该串联电阻可以是任何电阻输入分压器或网络的一部分。

TLV187x 推挽输出的 VCCO 和 VEE0 都有 ESD 钳位，如[功能方框图](#)所示。输出电压不得比输出电源轨高出 200mV 以上。输出布线振铃、电感负载反冲或外部感应瞬态会引起输出偏移。

由于输出边沿速率很高 (<10ns)，所以除非使用了匹配的阻抗布线，否则可以在输出布线中串联一个小型串联电阻器 (33Ω 至 100Ω) 来抑制不匹配的布线反射。请参阅[布局指南](#)部分中的[布局示例](#)。

7 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其具体用途需求。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

7.1.1 基本的比较器定义

7.1.1.1 操作

基本比较器将一个输入端上的输入电压 (V_{IN}) 与另一输入端上的基准电压 (V_{REF}) 进行比较。在下面的 图 7-1 示例中，如果 V_{IN} 小于 V_{REF} ，则输出电压 (V_O) 为逻辑低电平 (V_{OL})。如果 V_{IN} 大于 V_{REF} ，则输出电压 (V_O) 为逻辑高电平 (V_{OH})。表 7-1 总结了输出条件。只需交换输入引脚，即可反转输出逻辑。

表 7-1. 输出条件

输入条件	输出
$IN+ > IN-$	高 (V_{OH})
$IN+ = IN-$	不确定 (抖动 - 请参阅迟滞)
$IN+ < IN-$	低 (V_{OL})

7.1.1.2 传播延迟

在输入超过基准电压和输出响应之间存在一定的延迟，这种延迟称为传播延迟。输入从高电平转换为低电平和从低电平转换为高电平时，传播延迟可能不同。如 图 7-1 中的 t_{pLH} 和 t_{pHL} 所示，从输入的中点到输出的中点进行测量。

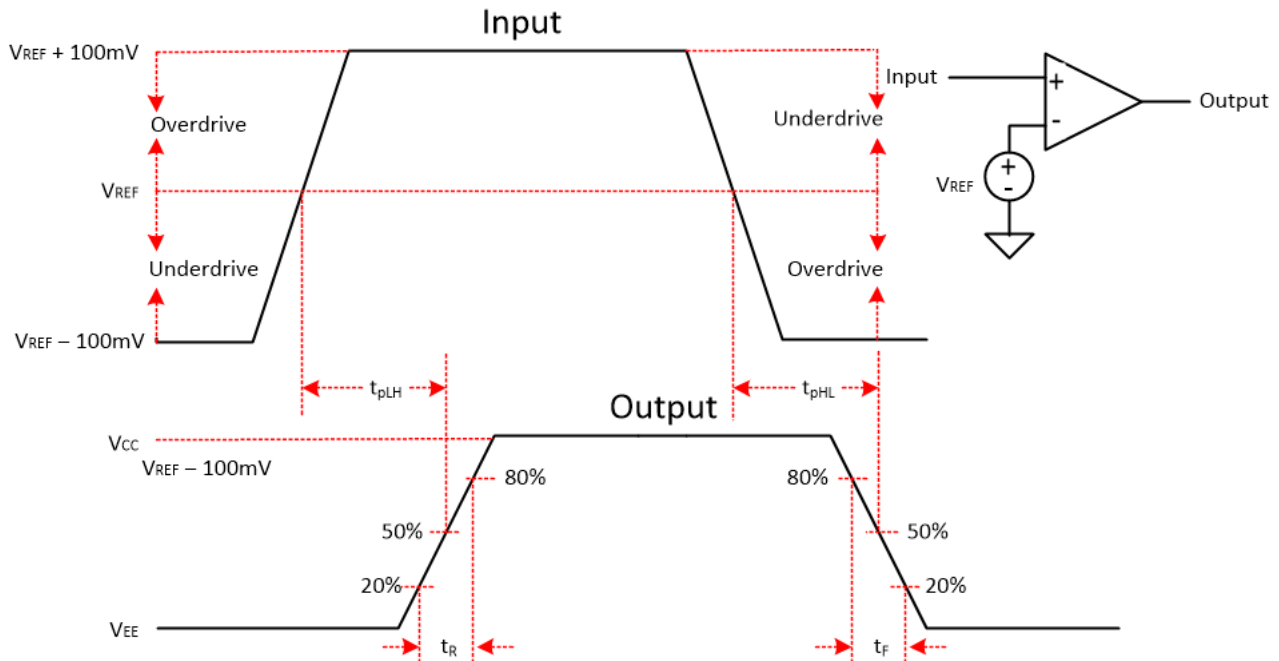


图 7-1. 比较器时序图

7.1.1.3 过驱电压

过驱电压 V_{OD} 是超出基准电压的输入电压（而不是总输入峰峰值电压）。如 [图 7-1](#) 示例所示，过驱电压为 100mV 。过驱电压会影响传播延迟 (t_p)。过驱电压越小，传播延迟越长，尤其在 $<100\text{mV}$ 时。如果需要非常快的速度，TI 建议使用尽可能大的过驱电压。

上升时间 (t_r) 和下降时间 (t_f) 是从输出波形的 20% 和 80% 点开始的时间。

7.1.2 迟滞

如果所施加的差分输入电压接近比较器的失调电压，则基本比较器配置会产生有噪声的“抖动”输出。该情况通常在输入信号非常缓慢地超过比较器的开关阈值时发生。向比较器添加外部迟滞可防止出现这个问题。

由于 TLV187x 具有 2.7mV 的超小内部迟滞，因此可以通过正反馈环路形式施加外部迟滞，从而根据电流输出状态调整比较器的跳变点。

[图 7-2](#) 展示了迟滞传递曲线。该曲线是一个涉及三个分量的函数： V_{TH} 、 V_{OS} 和 V_{HYST} ：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的迟滞（或跳变窗口）。

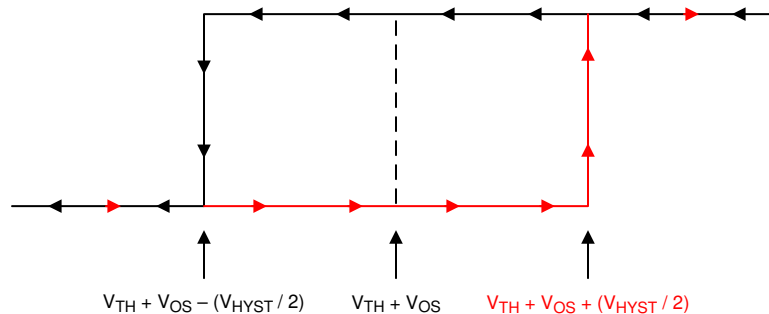


图 7-2. 迟滞传递曲线

更多相关信息，请参阅应用手册 SBOA219 “[具有/不具有迟滞功能的比较器电路](#)”。

7.2 典型应用

7.2.1 精确的双极过零检测器

下面的图 7-3 展示了双极输入过零检测器电路。信号源是电流或电压互感器的次级，它会输出摆幅为 0V (GND) 的双极 ($\pm 100\text{mVp}$ 至 $\pm 12\text{Vp}$) 交流信号。由于输入电压未进行交流耦合，电平会转换或进一步衰减，因此可以实现精确的直流毫伏级过零精度 (即使波形失真时也是如此)。这是因为直接直流耦合输入可以由 $\pm 12\text{V}$ 分离电源和 TLV187x 的轨到轨输入提供低于接地的双极检测范围。直流耦合还可避免因交流耦合引起的相移和因二极管钳位引起的非线性。由于输出不需要任何进一步的电平转换或衰减，因此处理器可以获得理想的输出边沿。

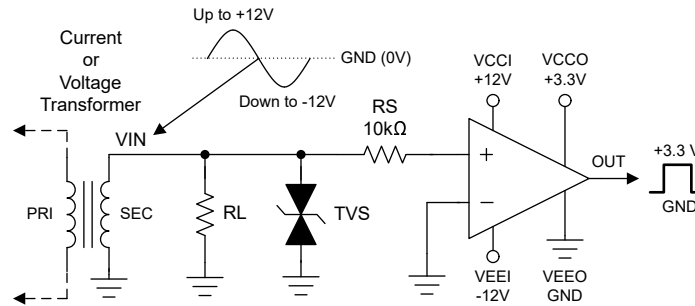


图 7-3. 使用 TLV187x 的双极过零电路

7.2.1.1 设计要求

表 7-2. 设计参数

参数	值
电源电压	+3.3V、+12V 和 -12V
输入电压范围	双极 $\pm 100\text{mVp}$ 至 $\pm 12\text{Vp}$
阈值水平	0V (或 GND)
频率范围	50 - 1000Hz
逻辑输出电压	0V 至 3.3V

7.2.1.2 详细设计过程

表 7-2 展示了设计要求。输入电压是双极，范围在 $\pm 100\text{mV}$ 至 $\pm 12\text{V}$ 之间，因此在比较器输入端需要使用双电源。

对于电流或电压互感器，RL 是必需的负载电阻。实际值请参考变压器制造商的建议。

当比较器电源关闭时，RS 会限制流入 ESD 钳位的电流，而来自变压器的交流信号仍然存在。所有电流必须限制在 10mA 或更低 (越小越好)。

TVS 提供输入保护，可以应对通过变压器的大瞬变电流。

为了适应双极输入范围，输入电源设置为 $VCCI = +12\text{V}$ 且 $VVEO = -12\text{V}$ 。这样就可实现完整的 -12V 至 +12V 输入范围。

输出电源设置为 $VCCO = +3.3\text{V}$ 且 $VVEO = \text{GND}$ ，从而获得专为直接输入处理器而设计的 0V 至 3.3V 兼容逻辑输出。

7.2.1.3 应用性能曲线图

图 7-4 展示了电路产生的输出。当交流波形高于地电平时，输出为高电平；当波形低于地电平时，输出为低电平。

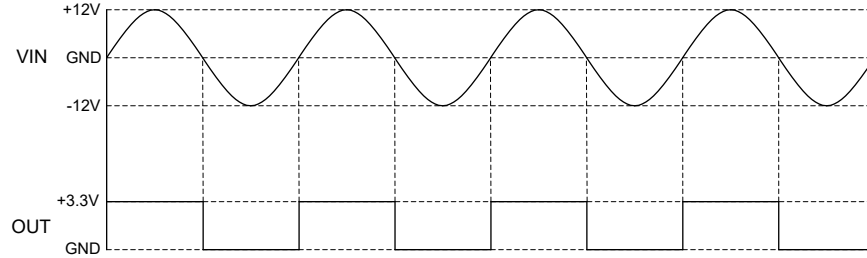


图 7-4. 过零电路的典型性能图

7.3 电源相关建议

由于存在快速输出边沿，务必要在电源引脚上安装适当的旁路电容器，以防止电源发生振铃和误触发以及振荡。尽可能直接地在电源引脚和接地之间放置一个低 ESR $0.1\mu\text{F}$ 陶瓷 SMT 旁路电容器，直接在每个器件上绕过电源。由于该器件是推挽输出器件，在输出转换期间会汲取窄脉冲峰值电流。这些窄脉冲会导致电源线和接地不良的情况下出现振铃现象，可能会导致输入电压范围受到干扰并产生不准确的比较，甚至造成振荡或误触发

有关更多信息，请参阅[独立电源](#)部分。

7.4 布局

7.4.1 布局指南

精确比较器应用必须保持电源稳定，并将噪声和干扰降至最低。输出上升和下降时间为几十纳秒，必须被视为高速逻辑器件。

旁路电容器必须尽可能靠近电源引脚放置并连接到实心接地层，最好直接放在 $VCCx$ 或 $VEEx$ 与 GND 引脚之间。焊盘需要有两个或更多个过孔，以便更大幅度地减小电源平面的电感。共享的接地岛需要多个连接到主接地层的过孔。

尽量减少输出和输入之间的耦合，以防止输出振荡。除非输出之间存在 GND 布线，否则请勿并行布置输出和输入布线，以减少耦合。向输入端 (RIN) 添加串联电阻时，将电阻器放在靠近器件的位置。

还可以在输出端添加一个低阻值 (<100 欧姆) 的串联电阻 ($ROUT$)，以便抑制非阻抗控制的长布线上出现任何振铃或反射。为获得理想边缘形状，在进行长距离布线时必须使用带有反向终端的受控阻抗布线。

7.4.2 布局示例

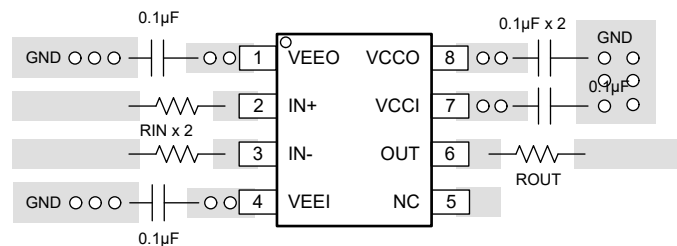


图 7-5. 布局示例

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

[TLV1872 评估模块电路板- https://www.ti.com.cn/tool/TLV1872EVM](https://www.ti.com.cn/tool/TLV1872EVM)

[模拟工程师电路设计指导手册：放大器 \(请参阅“比较器”一节 \) - SLYY137](#)

[精密设计，具有迟滞功能的比较器参考设计 - TIDU020](#)

[窗口比较器电路 - SBOA221](#)

[参考设计，窗口比较器参考设计 - TIPD178](#)

[具有/不具有迟滞功能的比较器电路 - SBOA219](#)

[具有迟滞功能的反相比较器电路 - SNOA997](#)

[具有迟滞功能的同相比较器电路 - SBOA313](#)

[四个独立运行的比较器 - SNOA654](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2024) to Revision A (December 2024)

Page

-
- 删除了单个器件的预发布标签并添加了热数据.....1
-

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV1871DDFR	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3LDH	Samples
TLV1872DGSR	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	TL72	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV1871DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV1872DGSR	VSSOP	DGS	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV1871DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV1872DGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0

DGS0010A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4221984/A 05/2015

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.

EXAMPLE BOARD LAYOUT

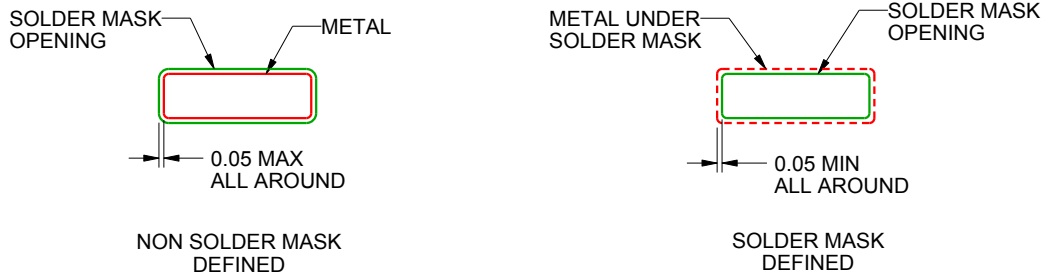
DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DDF0008A



PACKAGE OUTLINE

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



4222047/E 07/2024

NOTES:

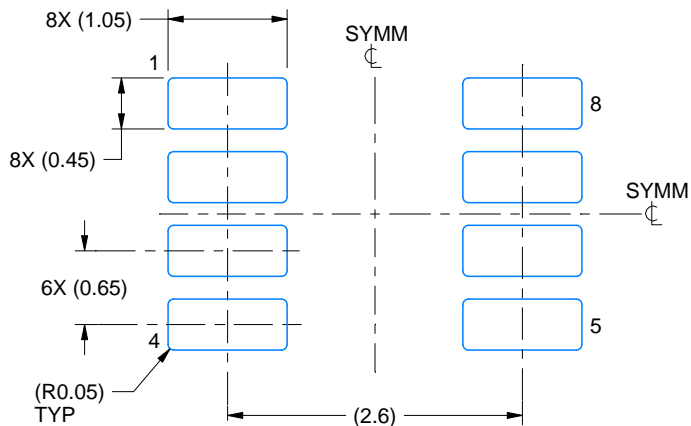
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

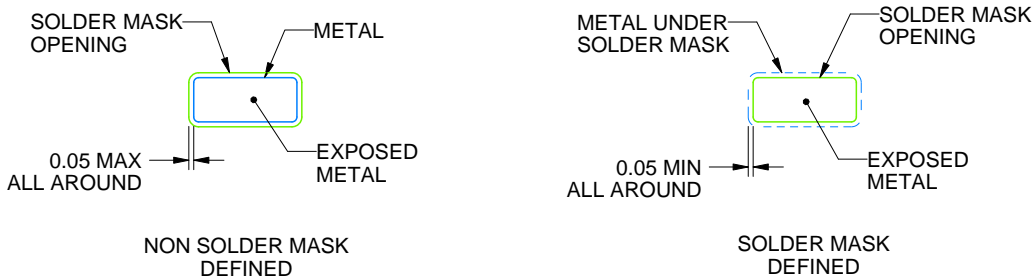
DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

- 4. Publication IPC-7351 may have alternate designs.
- 5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司