

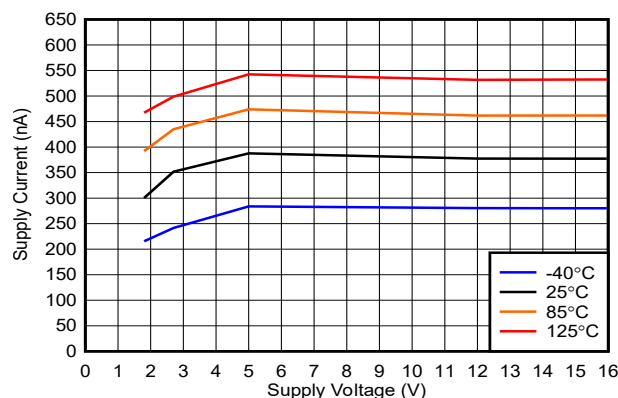
TLV370x-Q1 具有推挽输出的 16V 毫微功耗比较器系列

1 特性

- 符合汽车应用要求
- ESD 保护超过 2000V (根据 MIL-STD-883 方法 3015) ; 超过 200V (使用机器模型, $C = 200\text{pF}$, $R = 0$)
- 低电源电流。..560nA/每通道
- 输入共模范围超过电源导轨。..-0.1V 至 16V
- 电源电压范围。..2.7V 至 16V
- 高达 18V 的反向电池保护
- 推挽式 CMOS 输出级
- 指定的温度范围
- 40°C 至 125°C - 汽车级
- 超小型封装
5 引脚 SOT-23 (TLV3701)
- 通用运算放大器 EVM (有关更多信息, 请参阅 SLOU060)

2 应用

- 低功耗汽车电子产品
- 安全检测系统



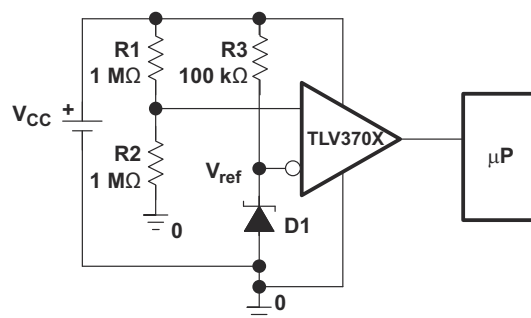
电源电流与电源电压间的关系

3 说明

TLV370x 是德州仪器 (TI) 第一个毫微功耗比较器系列, 每通道电源电流小于 560nA, 使此器件非常适合低功耗应用。

TLV370x 在扩展的汽车温度范围 ($T_A = -40^\circ\text{C}$ 至 125°C) 内的最小工作电源电压为 2.7V, 同时其输入共模范围为 -0.1 至 16V。低电源电流使其非常适合静态电流是主要关注点的低功耗应用。电池反向保护可保护放大器免受由于电池安装不当而导致的过流情况的影响。对于严苛环境, 输入可以高于正电源导轨 5V 而不会损坏器件。

器件采用 SOIC 封装, 单通道器件采用小型 SOT-23 封装。其他封装选项可应要求提供。



高侧电压检测电路



内容

1 特性	1	6.6 典型特性	9
2 应用	1	7 详细说明	12
3 说明	1	7.1 概述.....	12
4 器件比较表	3	7.2 功能方框图.....	12
5 引脚配置和功能	4	7.3 特性说明.....	13
引脚配置：TLV3701.....	4	7.4 器件功能模式.....	13
引脚配置：TLV3702.....	5	8 器件和文档支持	15
6 规格	6	8.1 接收文档更新通知.....	15
6.1 绝对最大额定值.....	6	8.2 支持资源.....	15
6.2 功耗等级表.....	6	8.3 静电放电警告.....	15
6.3 建议运行条件.....	6	8.4 术语表.....	15
6.4 电气特性.....	7	9 修订历史记录	15
6.5 开关特性.....	8	10 机械、封装和可订购信息	15

4 器件比较表

表 4-1. 输出比较器的选择

所有规范均是在 5V 下测得的典型值。

器件	V _{CC} (V)	V _{IO} (μV)	I _{CC} /Ch (μA)	I _{IB} (pA)	t _{PLH} (μs)	t _{PHL} (μs)	t _f (μs)	t _r (μs)	轨到 轨	输出 级
TLV370x	2.5 – 16	250	0.56	80	56	83	22	8	I	PP
TLV340x	2.5 – 16	250	0.47	80	55	30	5	–	I	OD
TLC3702/4	3 – 16	1200	9	5	1.1	0.65	0.5	0.125	–	PP
TLC393/339	3 – 16	1400	11	5	1.1	0.55	0.22	–	–	OD
TLC372/4	3 – 16	1000	75	5	0.65	0.65	–	–	–	OD

表 4-2. TLV3701 可用选项

T _A	在 25°C 时的 V _{IO} 最大值	封装器件 ^{(1) (2)}		
		小外形 (D)	SOT-23 (DBV) ⁽³⁾	符号
-40°C 至 125°C	5000μV	TLV3701QDRQ1	TLV3701QDBVRQ1	VBCQ

(1) 有关最新的封装和订购信息，请参阅本文档结尾的“封装选项附录”，或访问 TI 网站：<http://www.ti.com>。

(2) 封装图、热数据和符号可登录 <http://www.ti.com/packaging> 获取。

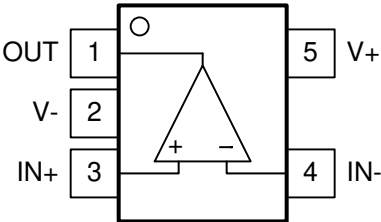
(3) 此封装仅提供每卷 3000 个标准数量的卷带式封装。

表 4-3. TLV3702 可用选项

T _A	在 25°C 时的 V _{IO} 最大值	封装器件	
		小外形 (D)	符号
-40°C 至 125°C	5000μV	TLV3702QDRQ1	3702Q1

5 引脚配置和功能

引脚配置：TLV3701

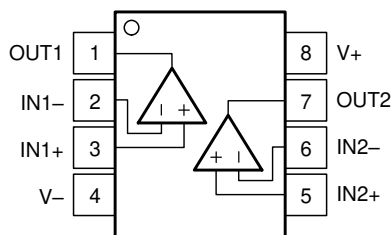


DCK、DBV 封装
SOT-23-5、SC-70-5
顶视图
(标准“西北”引脚排列)

表 5-1. 引脚功能：TLV3701

引脚		I/O	说明
名称	编号		
OUT	1	O	输出
V-	2	-	负电源电压
IN+	3	I	同相 (+) 输入
IN-	4	I	反相 (-) 输入
V+	5	-	正电源电压

引脚配置：TLV3702



D、DGK 封装
8 引脚 SOIC、VSSOP
 顶视图

表 5-2. 引脚功能：TLV3702

引脚		I/O	说明
名称	编号		
OUT1	1	O	比较器 1 的输出引脚
IN1 -	2	I	比较器 1 的反相输入引脚
IN1+	3	I	比较器 1 的同相输入引脚
V-	4	—	负电源电压
IN2+	5	I	比较器 2 的同相输入引脚
IN2 -	6	I	比较器 2 的反相输入引脚
OUT2	7	O	比较器 2 的输出引脚
V+	8	—	正电源电压

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

	值	单位
电源电压 (V+) ⁽²⁾	17	V
差分输入电压, V_{ID}	± 20	V
输入电压范围, V_I ⁽²⁾	-0.3 至 20	V
输入电流范围, I_I	± 10	mA
输出电流范围, I_O	± 10	mA
持续总功率耗散	请参阅功耗等级表	
自然通风条件下的工作温度范围, T_A : Q 后缀	-40 至 125	°C
最大结温, T_J	150	°C
贮存温度范围, T_{stg}	-65 至 150	°C
10 秒内距离外壳 1.6mm (1/16 英寸) 的引线温度	260	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 除差分电压外的所有电压值都相对于 GND。

6.2 功耗等级表

封装	θ_{JC} (°C/W)	θ_{JA} (°C/W)
D (8)	64.6	121.6
DBV (5)	68.1	168.1

6.3 建议运行条件

		最小值	最大值	单位
电源电压范围, (V+)	单电源	2.7	16	V
	双电源	± 1.35	± 8	
共模输入电压范围, V_{ICR}		-0.1	16	V
自然通风工作温度范围, T_A	Q 后缀	-40	125	°C

6.4 电气特性

在指定自然通风工作温度下, $V_+ = 2.7V$ 、 $5V$ 、 $15V$ (除非另有说明)

参数		测试条件	T _A ⁽¹⁾	最小值	典型值	最大值	单位	
直流性能								
V _{IO}	输入偏移电压	V _{IC} = (V+)/2 , R _S = 50 Ω	25°C	250	5000	7000	μV	
			完整范围					
α _{VIO}	失调电压漂移	V _{IC} = (V+)/2 , R _S = 50 Ω	25°C	3			μV/°C	
V _{HYS}	输入迟滞电压	V _{IC} = (V+)/2 , R _S = 50 Ω	25°C	1	2.8	5	mV	
CMRR	共模抑制比	V _{IC} = 0 至 2.7V R _S = 50 Ω	25°C	72			dB	
		V _{IC} = 0 至 5V R _S = 50 Ω	25°C	76				
		V _{IC} = 0 至 15V R _S = 50 Ω	25°C	88				
A _{VD}	大信号差分电压放大		25°C	1000			V/mV	
输入/输出特性								
I _{IO}	输入失调电流	V _{IC} = (V+)/2 , R _S = 50 Ω	25°C	20	100	1000	pA	
			完整范围					
I _{IB}	输入偏置电流		25°C	80	250	2000	pA	
			完整范围					
r _{i(d)}	差分输入电阻		25°C	300			M Ω	
V _{OH}	高电平输出电压	V _{IC} =(V+)/2 , I _{OH} = 2μA , V _{ID} = 1V	25°C	(V+) – 0.08			mV	
		V _{IC} = (V+)/2 , I _{OH} = -50 μ A , V _{ID} = 1V	25°C	(V+) – 320				
			完整范围	(V+) – 450				
V _{OL}	低电平输出电压	V _{IC} = (V+)/2 , I _{OH} = 2μA , V _{ID} - 1V	25°C	8			mV	
		V _{IC} = (V+)/2 , I _{OH} = 50 μ A , V _{ID} - 1V	25°C	80	200			
			完整范围	300				
电源								
I ⁺	电源电流 (每通道)	输出状态高电平	25°C	560	800	1200	nA	
			完整范围					
PSRR	电源抑制比	V _{IC} = (V+)/2 , 空载	(V+) = 2.7V 至 5V	25°C	75	100		dB
			(V+) = 5V 至 15V	完整范围	70			
				25°C	85	105		
				完整范围	80			

(1) Q 后缀的完整范围为 $-40^\circ C$ 至 $125^\circ C$ 。

6.5 开关特性

$T_A = 25^\circ\text{C}$ 时, $V_S = (V_+) - (V_-) = 12\text{V}$, $V_{CM} = V_S/2$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
输出						
T_{PD-HL}	传播延迟时间, 高电平到低电平	$V_{OD} = 10\text{mV}$, $C_L = 25\text{pF}$, $V_{STEP} = 100\text{mV}$		45		μs
		$V_{OD} = 50\text{mV}$, $C_L = 25\text{pF}$, $V_{STEP} = 100\text{mV}$		16		μs
		$V_{OD} = 100\text{mV}$, $C_L = 25\text{pF}$, $V_{STEP} = 200\text{mV}$		13		μs
T_{PD-LH}	传播延迟时间, 低电平到高电平 (推挽输出)	$V_{OD} = 10\text{mV}$, $C_L = 10\text{pF}$, $V_{STEP} = 100\text{mV}$		34		μs
T_{PD-LH}	传播延迟时间, 低电平到高电平 (推挽输出)	$V_{OD} = 50\text{mV}$, $C_L = 10\text{pF}$, $V_{STEP} = 100\text{mV}$		16		μs
T_{PD-LH}	传播延迟时间, 低电平到高电平 (推挽输出)	$V_{OD} = 100\text{mV}$, $C_L = 10\text{pF}$, $V_{STEP} = 200\text{mV}$		14		μs
T_{PD-LH}	传播延迟时间, 低电平到高电平 (开漏输出)	$V_{OD} = 10\text{mV}$, $C_L = 25\text{pF}$, $R_P = 1\text{M}\Omega$, $V_{STEP} = 100\text{mV}$		57		μs
		$V_{OD} = 50\text{mV}$, $C_L = 25\text{pF}$, $R_P = 1\text{M}\Omega$, $V_{STEP} = 100\text{mV}$		36		μs
		$V_{OD} = 100\text{mV}$, $C_L = 25\text{pF}$, $R_P = 1\text{M}\Omega$, $V_{STEP} = 200\text{mV}$		35		μs
T_{RISE}	输出上升时间, 20% 至 80%, 推挽输出	$C_L = 25\text{pF}$		0.2		μs
T_{FALL}	输出下降时间, 80% 至 20%	$C_L = 25\text{pF}$		0.2		μs
上电时间						
T_{ON}	上电时间			3		ms

6.6 典型特性

$T_A = 25^\circ\text{C}$ 时, $V_S = 12\text{V}$, $V_{CM} = V_S/2\text{V}$, $R_P = 1\text{M}\Omega$ (仅开漏), $C_L = 25\text{pF}$, $V_{\text{OVERDRIVE}} = 100\text{mV}$, 除非另有说明。

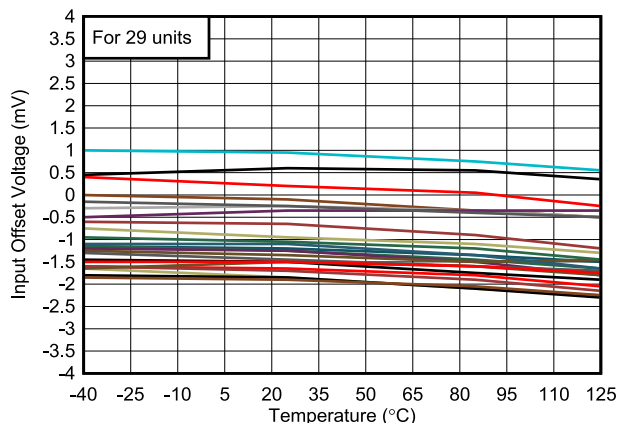


图 6-1. 失调电压与温度间的关系

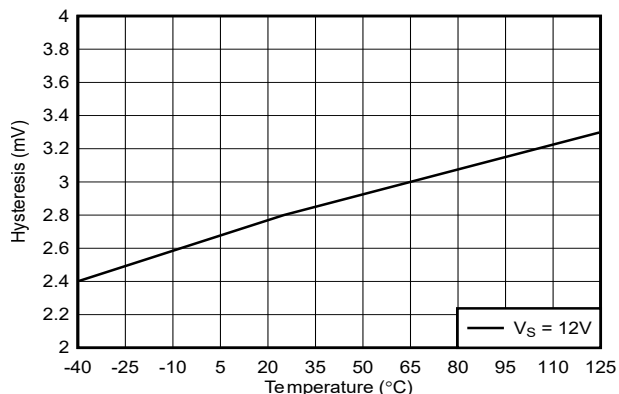


图 6-2. 迟滞与温度之间的关系

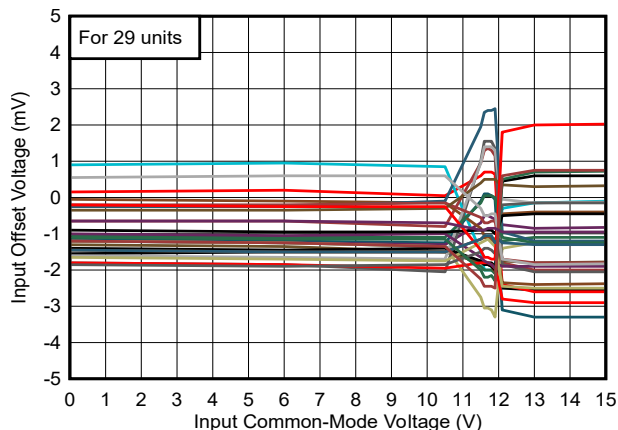


图 6-3. 失调电压与共模电压间的关系, 12V

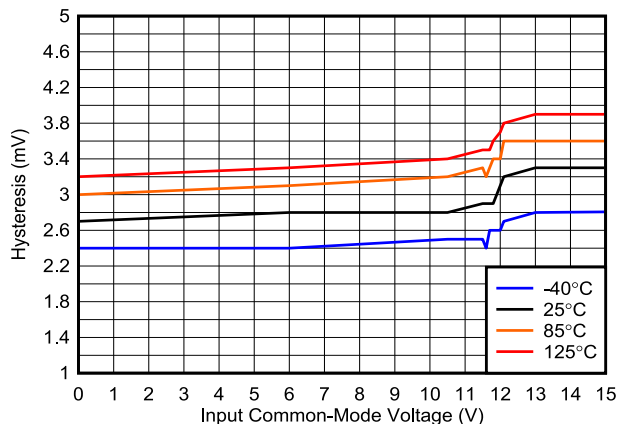


图 6-4. 迟滞与共模电压间的关系, 12V

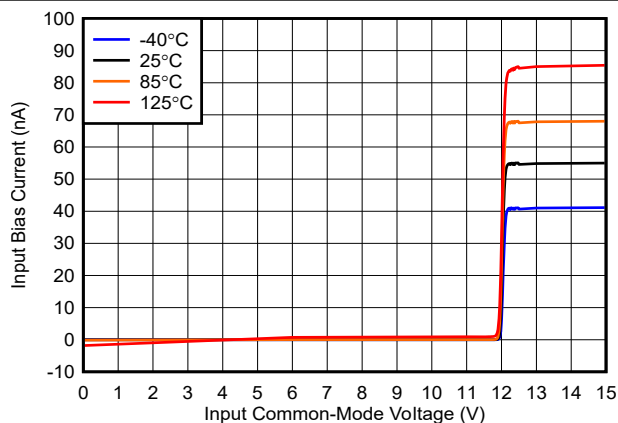


图 6-5. 偏置电流与共模电压间的关系, 12V

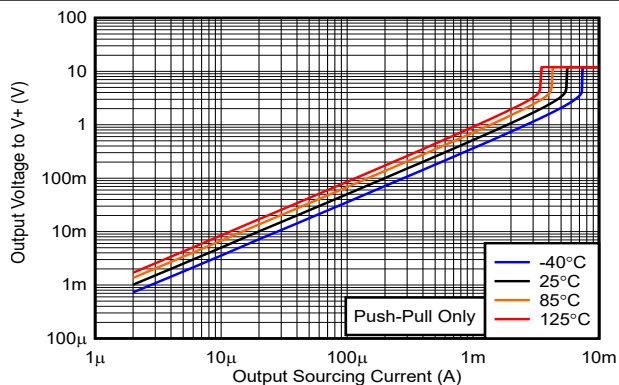


图 6-6. 输出电压与输出拉电流间的关系, 12V

6.6 典型特性 (续)

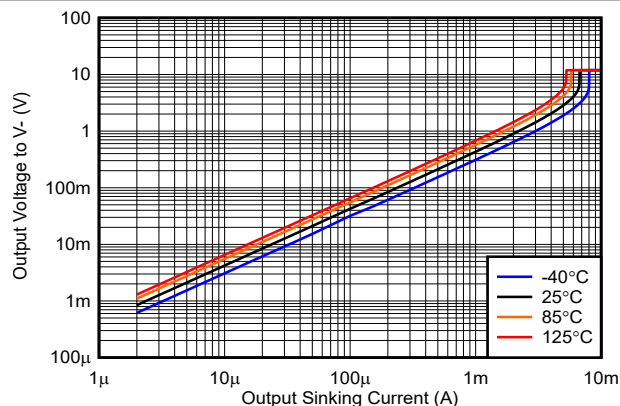


图 6-7. 输出电压与输出灌电流间的关系, 12V

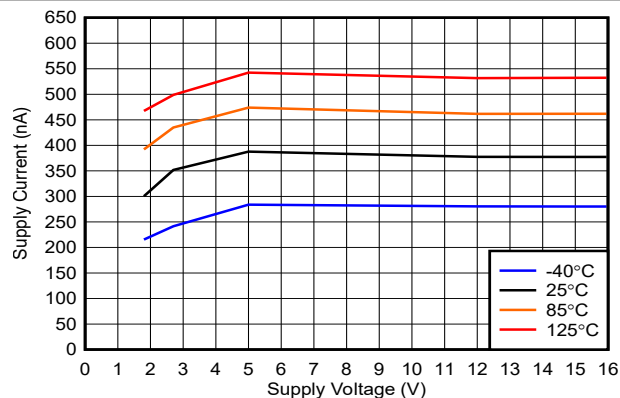


图 6-8. 电源电流与电源电压间的关系 (输出低电平), 推挽

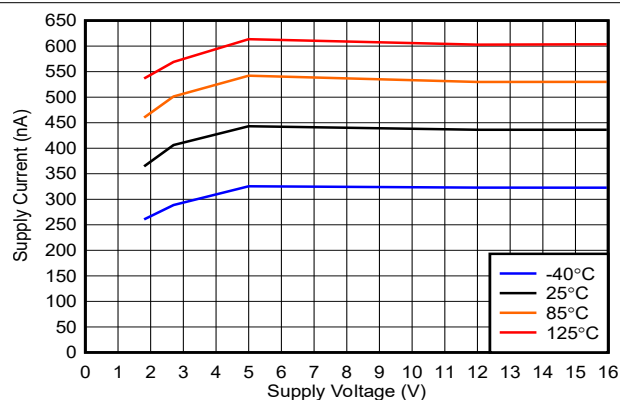


图 6-9. 电源电流与电源电压间的关系 (输出高电平), 推挽

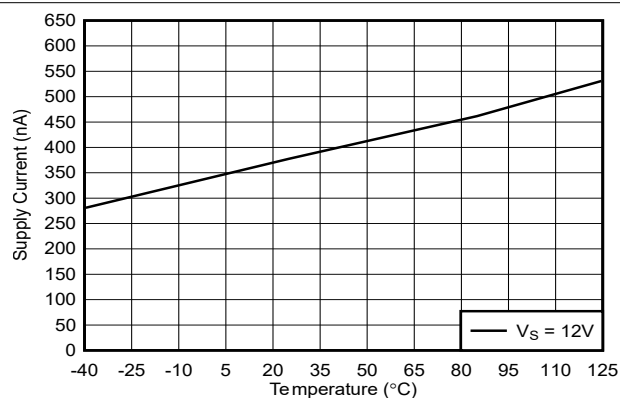


图 6-10. 电源电流与温度间的关系 (输出低电平), 推挽

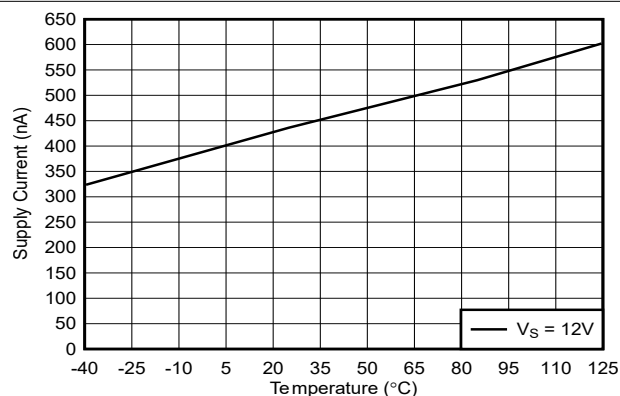


图 6-11. 电源电流与温度间的关系 (输出高电平), 推挽

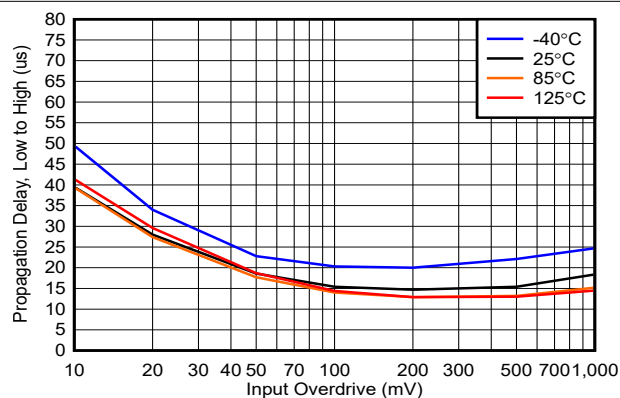


图 6-12. 传播延迟, 从低电平到高电平, 12V, 推挽

6.6 典型特性 (续)

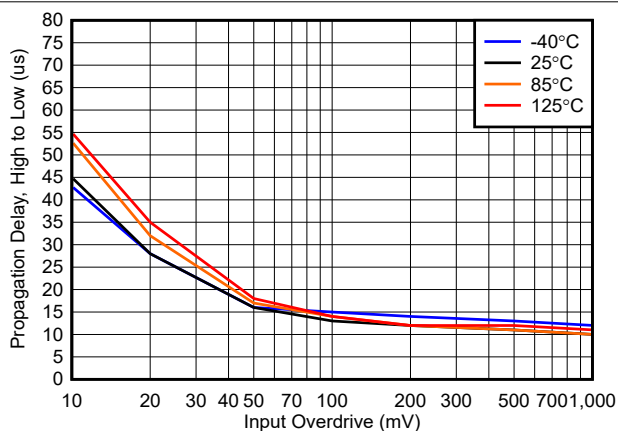


图 6-13. 传播延迟, 从高电平到低电平, 12V

7 详细说明

7.1 概述

TLV370x 器件是具有推挽输出选项的毫微功耗比较器。TLV370x 器件的工作电压低至 2.7V，而且每通道仅消耗 560nA 的电流，非常适合在低电压和高压低功耗、常开型系统中检测电压、电流和温度。内部上电复位电路可确保在上电和断电期间输出保持在已知状态。输入具有失效防护输入，能够承受输入瞬态，而不会造成损坏或产生错误输出。

7.2 功能方框图

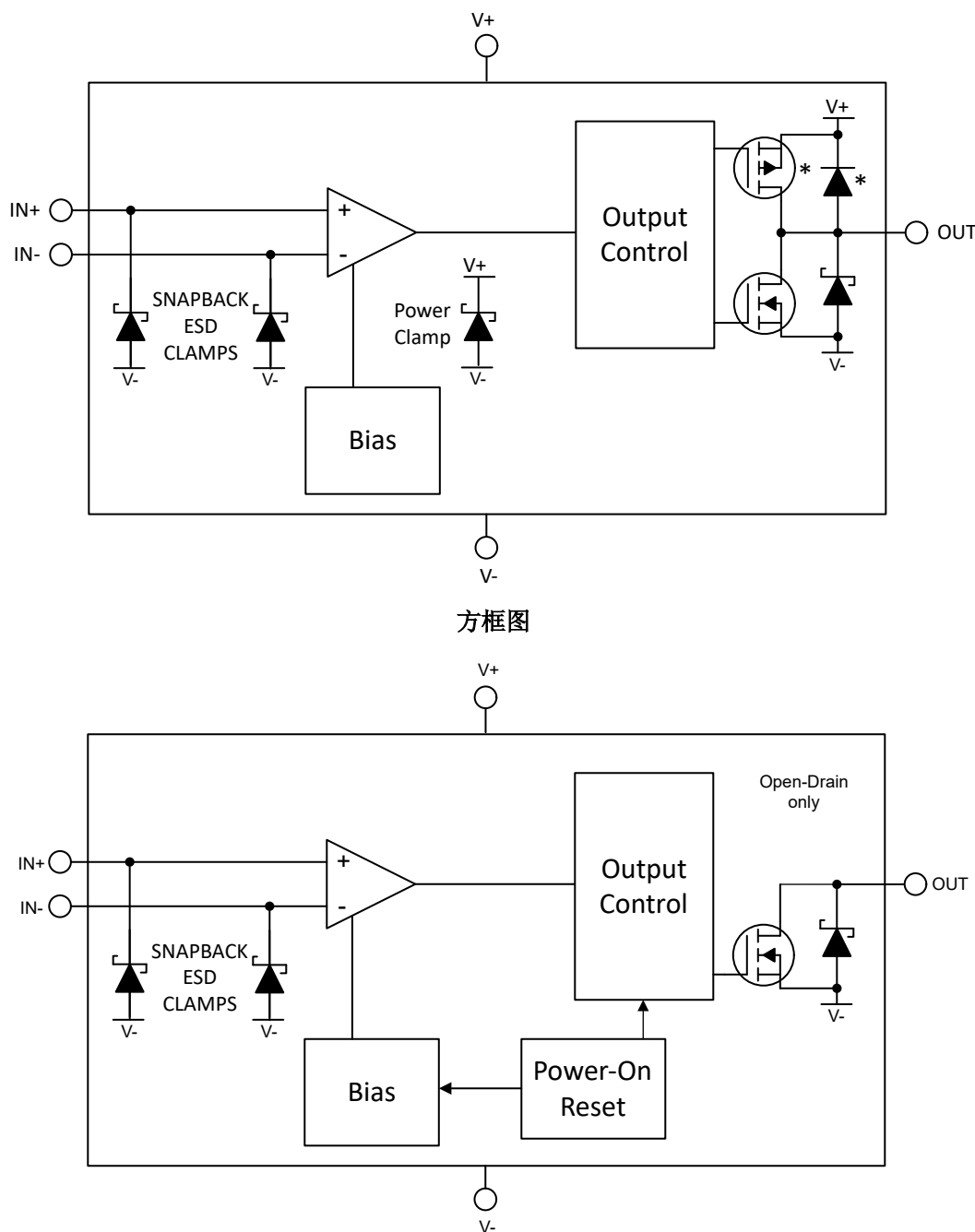


图 7-1. 方框图

7.3 特性说明

TLV370x 器件是能够在高电压下工作的毫微功耗比较器。此系列比较器具有失效防护输入级和过轨工作条件模式，能够在高达 16V 的电压下工作，不受 V^+ 影响。比较器还具有内部反向电池保护功能和用于已知启动条件的上电复位功能。

7.4 器件功能模式

7.4.1 输入

7.4.1.1 工作共模范围

TLV370x 器件有两个工作共模范围：轨内和过轨。

轨内工作： IN^+ 和 IN^- 小于 (V^+)

当输入引脚的工作电压低于 (V^+) 时，定义了可以比较输入电压的两个工作区域：低共模和高共模。在通常从 0V 扩展到 (V^+) - 1V 的低共模下，典型输入偏置电流小于 1pA。在通常从 (V^+) - 1V 扩展到 (V^+) 的高共模下，典型输入偏置电流小于 14nA。

过轨工作： IN^+ 和/或 IN^- 大于 (V^+)

TLV370x 器件具有独特的输入级，允许输入共模范围从 0V 扩展到 16V，不受电源电压的影响。此特性意味着低电源电压下的工作不会限制可比较的输入电压范围。当输入引脚过轨工作（高于 (V^+)）时，偏置电流会增加到 55nA 的典型值。

7.4.1.2 失效防护输入

TLV370x 系列的一个特性是输入可在高达 16V 的电压下具有失效防护功能，不受 (V^+) 影响。输入保持为高输入阻抗，并且可以是 -0.1V 至 16V 之间的任何值，即使在 (V^+) 未上电或低于最小电源电压时也是如此。由于输入未被二极管钳位到 (V^+)，此特性可避免电源时序或瞬态问题。

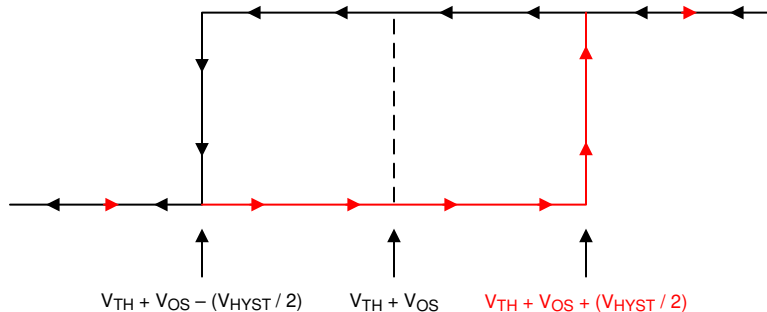
7.4.1.3 未使用的输入

如果不使用通道，请勿将输入端连接在一起。由于存在高等效带宽和低失调电压，将输入端直接连接在一起会导致高频振荡，因为器件会触发其自身的内部宽带噪声。应将输入端连接到处于指定输入电压范围内并提供至少 50mV 差分电压的任何可用电压。例如，一个输入可以接地，另一个输入可以连接到基准电压，甚至连接到 (V^+)。

7.4.2 内部迟滞

图 7-2 展示了器件磁滞传递曲线。该曲线是一个涉及三个分量的函数： V_{TH} 、 V_{OS} 和 V_{HYST} ：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN^+} 和 V_{IN^-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的内部迟滞（或跳变窗口）。



7.4.3 输出

7.4.3.1 推挽输出

TLV370x 器件具有推挽输出级，既能灌入电流，也能拉出电流。这允许驱动负载（如 LED 和 MOSFET 栅极），并且无需使用耗电的外部上拉电阻器。推挽输出绝不能连接到另一个输出端。

直接将输出与电源轨短接（当输出为“低电平”时为 (V+)，当输出为“高电平”时为 (V-)）会导致热失控，并最终在高电源电压 (>12V) 下摧毁器件。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的推挽输出必须保持悬空，绝不能连接到电源、地面或其他输出端。

7.4.4 ESD 保护

7.4.4.1 输入

失效防护输入在所有引脚上均整合了内部 ESD 保护电路。失效防护输入在每个引脚到 (V-) 之间具有 ESD 保护功能，从而允许这些引脚超过高达 16V 的电源电压 (V+)。如果输入电压将超过 16V，则需要一个外部钳位。同样，输入端的负电压会通过 ESD 钳位到 (V-)，必须限制在 -0.1V 以内。

如果输入端要连接到低阻抗源（例如电源或缓冲参考线），请添加一个与输入端串联的限流电阻器，以限制钳位导通时的任何瞬态电流。将电流限制在 10mA 或以下。该串联电阻可以是任何电阻输入分压器或网络的一部分。

7.4.4.2 输出

TLV370x 推挽输出保护电路还包含输出与 (V-) 之间的传统二极管型 ESD 钳位，因为输出应超过电源导轨。

7.4.5 上电复位 (POR)

TLV370x 器件具有内部上电复位 (POR) 电路，用于已知的启动或断电条件。当电源电压 (V+) 逐渐上升或逐渐下降时，在超过 1.5V 的 V_{POR} 后，激活 POR 电路并持续长达 2ms。当电源电压大于等于最小电源电压时，经过延迟周期后，比较器输出将反映差分输入的状态 (V_{ID})。

对于 TLV370x 推挽输出器件，输出在 POR 期间 (t_{on}) 保持低电平。

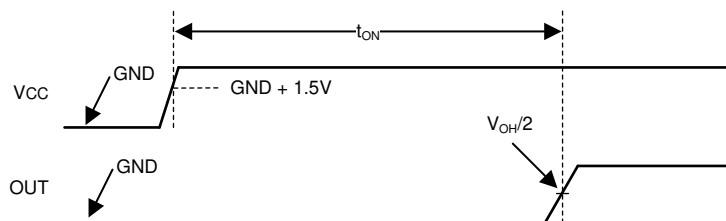


图 7-3. 上电复位时序图

7.4.6 电池反向保护

TLV370x 器件具有内部反向电池保护功能，可防止电源引脚上的电池安装不当时损坏比较器。此保护功能可在高达 18V 的电压下工作。

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.4 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (October 2000) to Revision F (September 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 向 EC 表中添加了磁滞规范.....	7
• 删除了 EC 表中 CMRR 的最低要求.....	7
• 更新了 EC 表中的传播延迟规范.....	7
• 更新了典型性能曲线.....	9
• 添加了“详细说明”信息.....	12

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3701QDBVRG4Q1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCQ
TLV3701QDBVRG4Q1.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCQ
TLV3701QDBVRQ1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	Call TI Nipdau	Level-1-260C-UNLIM	-40 to 125	VBCQ
TLV3701QDBVRQ1.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBCQ
TLV3702QDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702Q1
TLV3702QDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702Q1
TLV3702QDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702Q1
TLV3702QDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3702Q1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

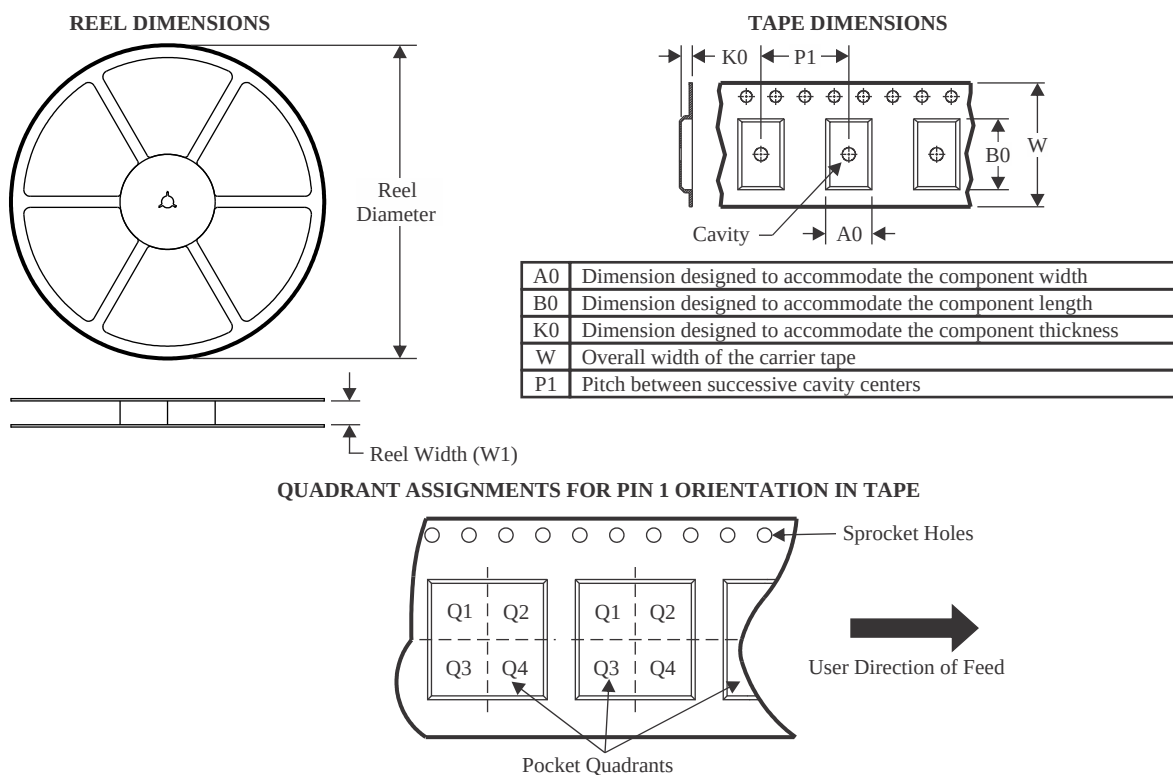
OTHER QUALIFIED VERSIONS OF TLV3701-Q1, TLV3702-Q1 :

- Catalog : [TLV3701](#), [TLV3702](#)
- Enhanced Product : [TLV3701-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

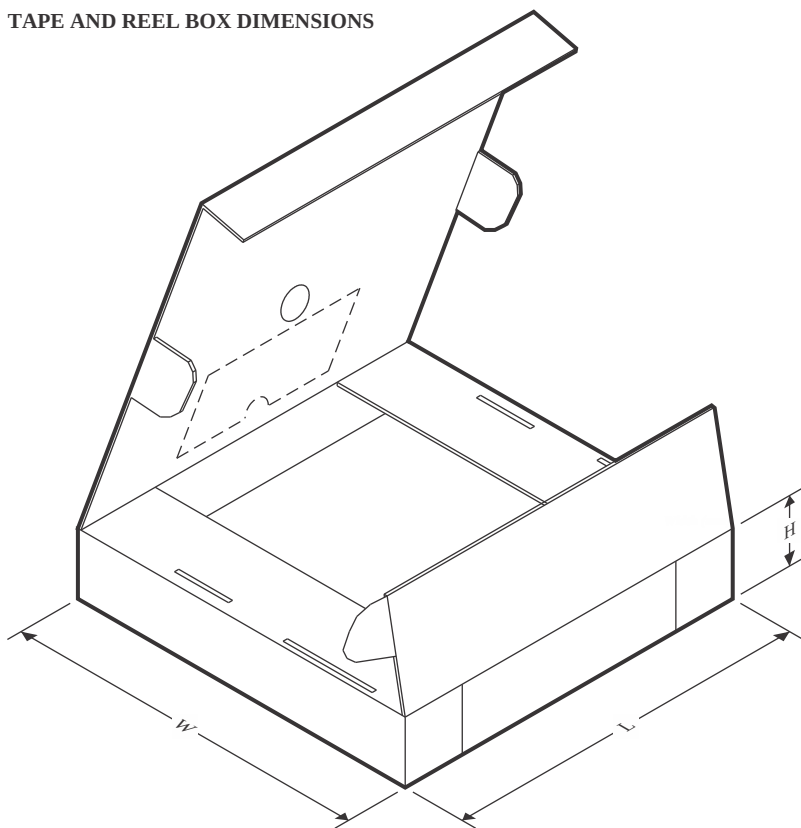
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3701QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3701QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3702QDRG4Q1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV3702QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

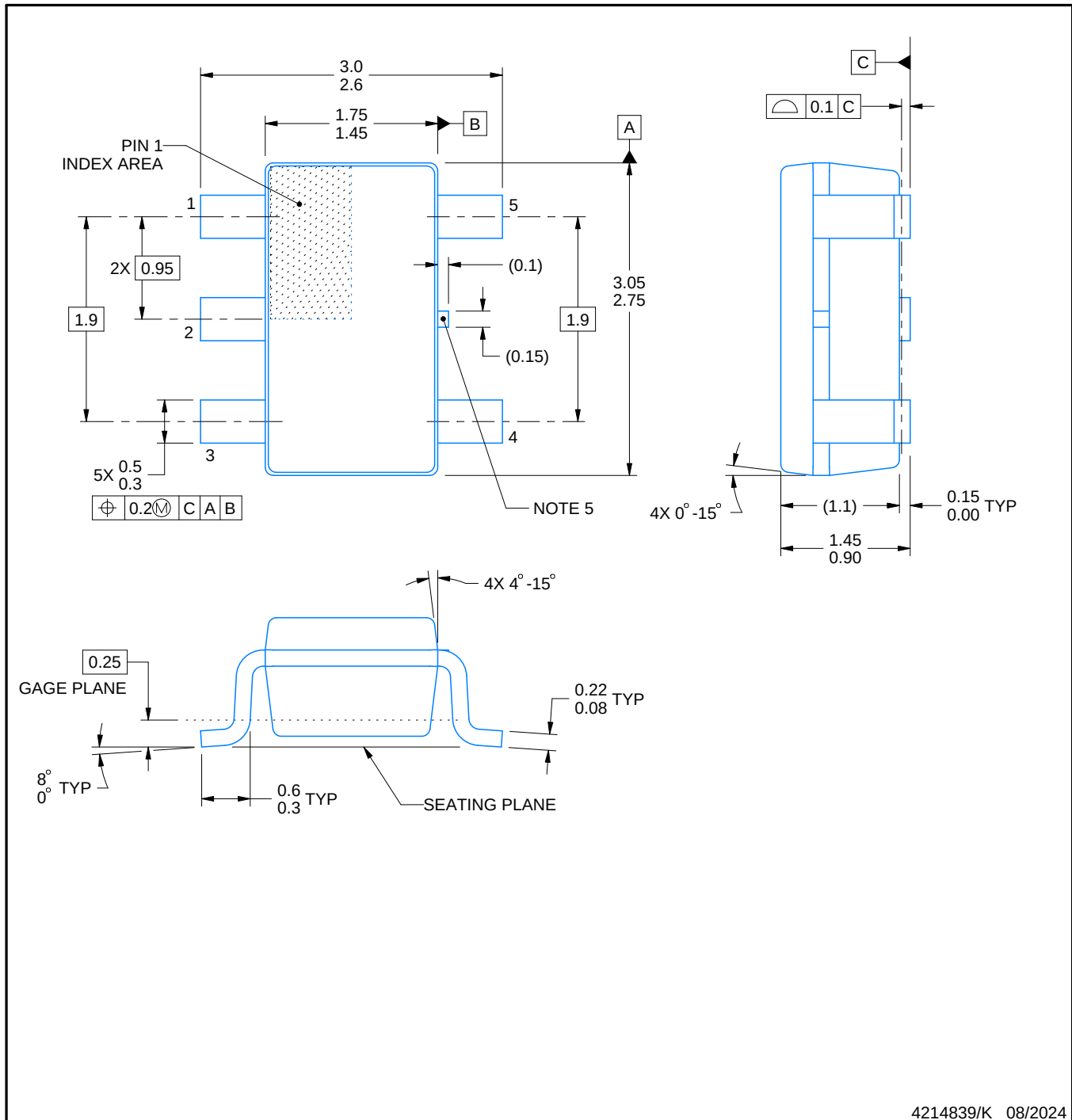


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3701QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3701QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3702QDRG4Q1	SOIC	D	8	2500	353.0	353.0	32.0
TLV3702QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0

DBV0005A**PACKAGE OUTLINE****SOT-23 - 1.45 mm max height**

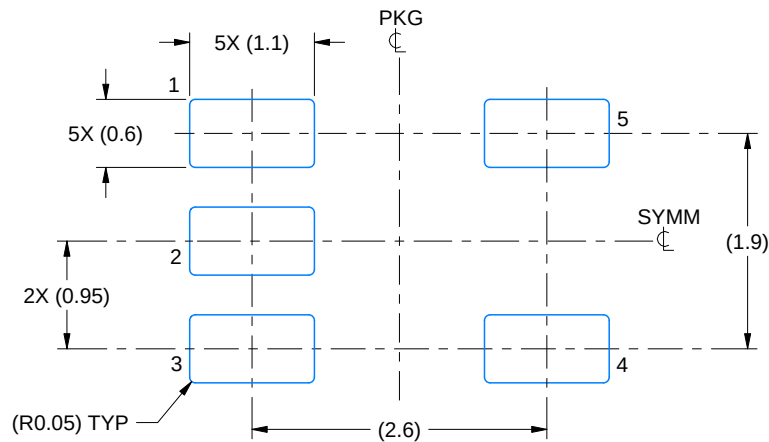
SMALL OUTLINE TRANSISTOR



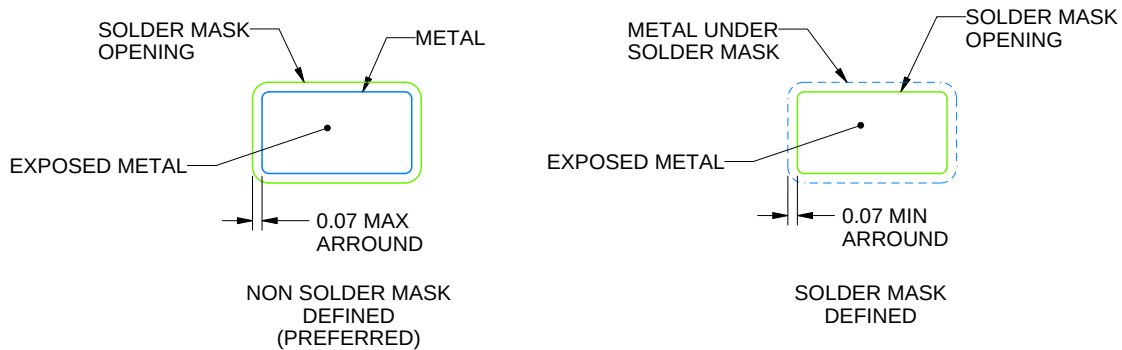
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

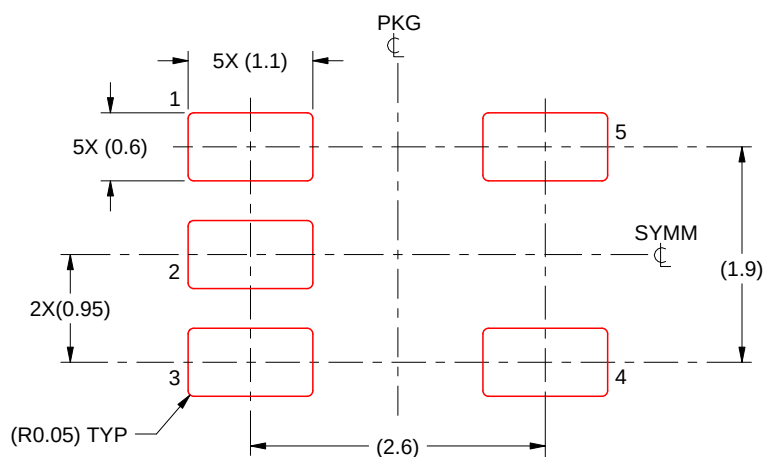
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

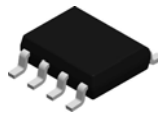


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

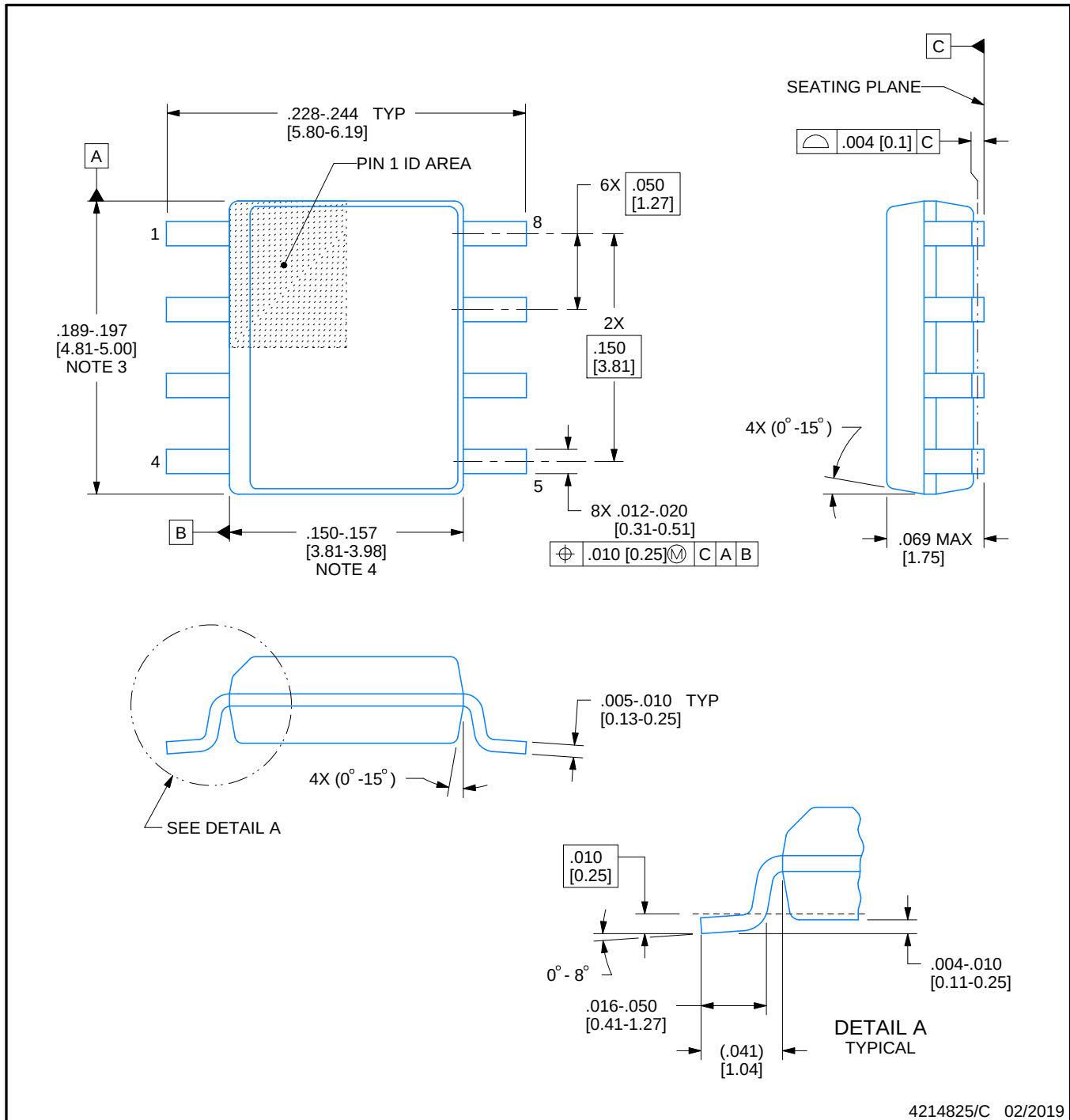


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

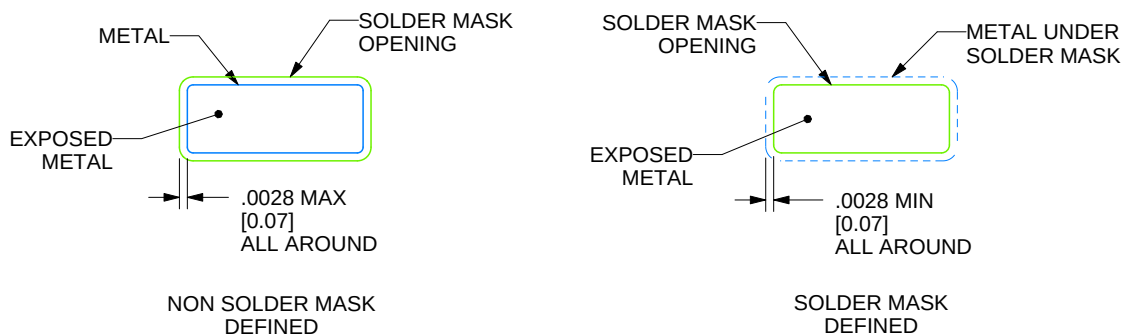
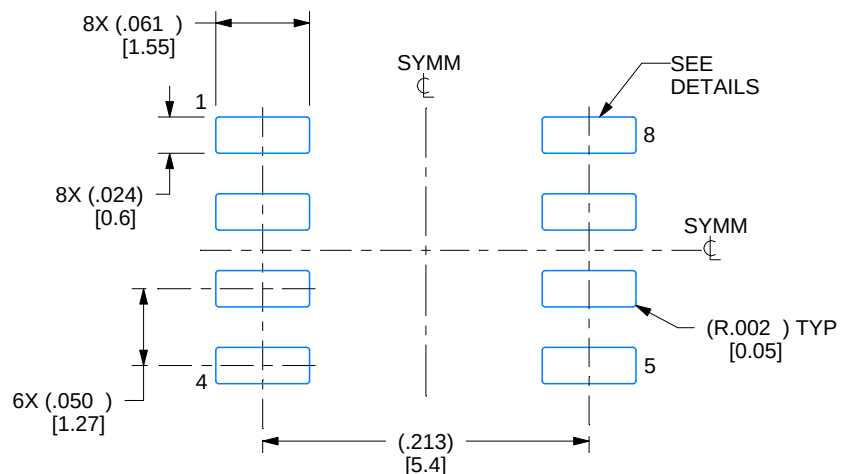
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

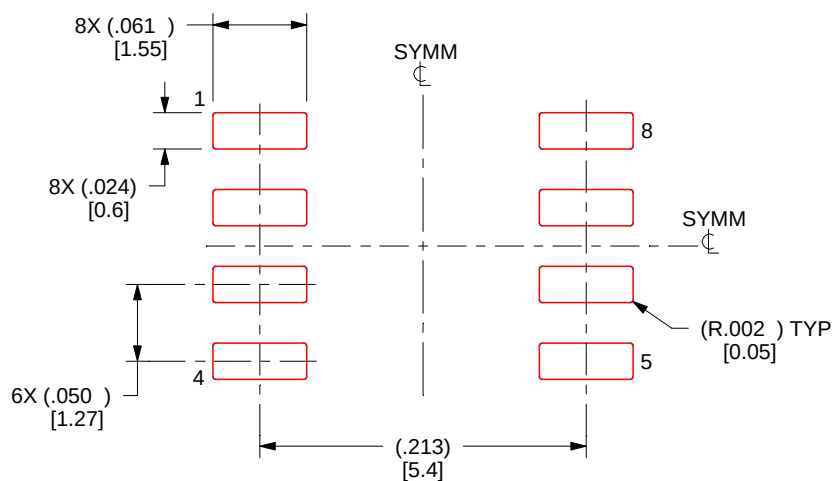
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月