

TLVx376 适用于成本敏感型系统的低偏移和低漂移、低噪声精密运算放大器

1 特性

- 低噪声：1kHz 时为 $8\text{nV}/\sqrt{\text{Hz}}$
- 0.1Hz 至 10Hz 噪声： $1.6\ \mu\text{V}_{\text{PP}}$
- 静态电流：815 μA （典型值）
- 低偏移电压（典型值）：
 - 单通道和双通道版本：40 μV
 - 四通道版本：50 μV
- 增益带宽积：5.5MHz
- 轨到轨输入和输出
- 单电源供电
- 电源电压：2.2V 至 5.5V
- 行业标准封装：
 - 小外形尺寸晶体管 (SOT)-23、小外形尺寸集成电路 (SOIC)、超薄小外形尺寸 (VSSOP) 和薄型小外形尺寸 (TSSOP) 封装

2 应用

- 太阳能逆变器
- 医疗器械
- 模数转换器 (ADC) 缓冲器
- 手持测试设备
- 有源滤波
- 传感器调节

3 说明

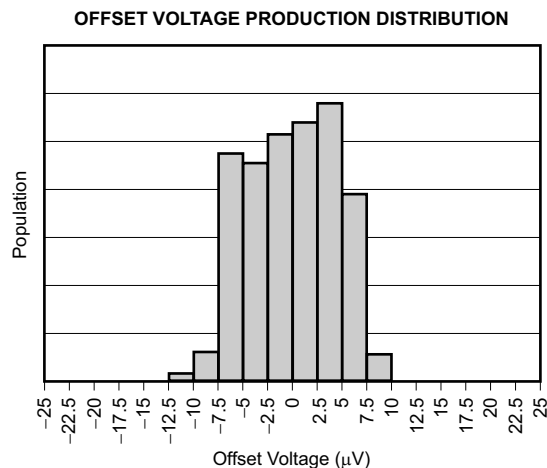
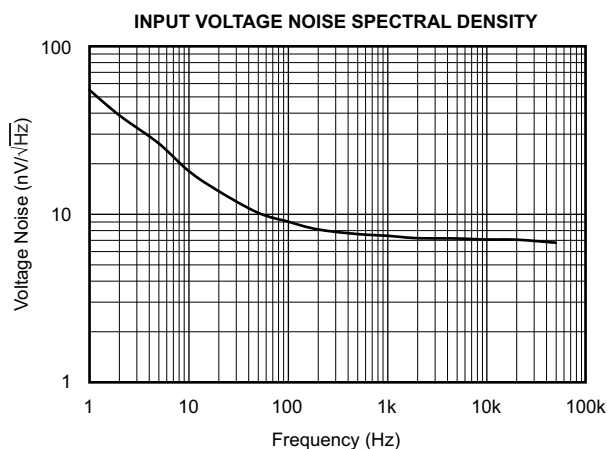
TLVx376 系列是采用 e-trim 的新一代低噪声运算放大器的典型代表，™可提供出色的直流精度和交流性能。该系列器件具有轨到轨输入和输出、低偏移（最大值为 125 μV ）、低噪声 ($8\text{nV}/\sqrt{\text{Hz}}$)、1.2mA 静态电流（最大值）、5.5MHz 带宽以及 2V/ μs 快速转换率，非常适合各类精密和便携式应用的输出电流传感电阻器和运算放大器而得以实现。此外，这些器件的电源电压范围相当大，电源抑制比 (PSRR) 优异，因此非常适合不经稳压而直接由电池供电的应用。

TLV376（单通道版本）采用 SOT-23-5 与 SOIC-8 封装。TLV2376（双通道）采用 VSSOP-8 和 SOIC-8 封装。TLV4376（四通道）采用 TSSOP-14 封装。所有器件版本的额定工作温度范围均为 -40°C 至 +125°C。

器件信息(1)

器件型号	封装	封装尺寸 (标称值)
TLV376	SOIC (8)	4.90mm x 3.91mm
	SOT-23 (5)	2.90mm x 1.60mm
TLV2376	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm x 3.00mm
TLV4376	PW (14)	5.00mm x 4.40mm

(1) 要了解所有可用封装，请参见数据表末尾的封装选项附录。



目录

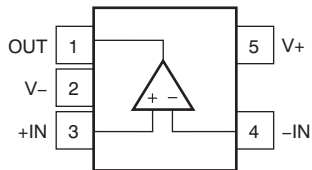
1	特性	1	7.4	器件功能模式	14
2	应用	1	8	应用和实现	15
3	说明	1	8.1	应用信息	15
4	修订历史记录	2	8.2	典型应用	18
5	引脚配置和功能	3	9	电源相关建议	19
6	技术规格	5	10	布局	19
6.1	绝对最大额定值	5	10.1	布局准则	19
6.2	ESD 额定值	5	10.2	布局示例	20
6.3	建议的工作条件	5	11	器件和文档支持	21
6.4	热性能信息: TLV376	6	11.1	器件支持	21
6.5	热性能信息: TLV2376	6	11.2	文档支持	21
6.6	热性能信息: TLV4376	6	11.3	相关链接	22
6.7	电气特性	7	11.4	接收文档更新通知	22
6.8	典型特性	8	11.5	社区资源	22
7	详细 说明	12	11.6	商标	22
7.1	概述	12	11.7	静电放电警告	22
7.2	功能框图	12	11.8	Glossary	22
7.3	特性 说明	12	12	机械、封装和可订购信息	22

4 修订历史记录

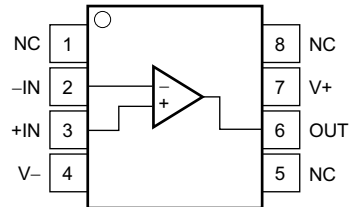
日期	修订版本	注意
2016 年 10 月	*	初始发行版。

5 引脚配置和功能

TLV376 : DBV 封装
5 引脚 SOT23
俯视图



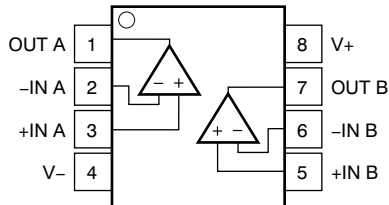
TLV376 : D 封装
8 引脚小外形尺寸集成电路 (SOIC) 封装
俯视图



引脚功能 : TLV376

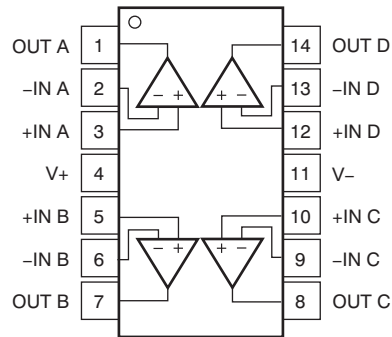
名称	引脚		I/O	说明
	DBV	D		
-IN	4	2	I	负输入信号
+IN	3	3	I	正输入信号
NC	—	1、5、8	—	无连接
OUT	1	6	O	输出信号
V-	2	4	—	负电源电压
V+	5	7	—	正电源电压

TLV2376 : D 和 DGK 封装
8 引脚 SOIC 和 8 引脚 VSSOP
俯视图



引脚功能 : TLV2376

名称	引脚		I/O	说明
	D、DGK			
-IN A	2		I	反相输入, 通道 A
-IN B	6		I	反相输入, 通道 B
+IN A	3		I	同相输入, 通道 A
+IN B	5		I	同相输入, 通道 B
OUT A	1		O	输出, 通道 A
OUT B	7		O	输出, 通道 B
V-	4		—	负电源电压
V+	8		—	正电源电压

**TLV4376 : PW 封装
14 引脚 TSSOP
俯视图**

引脚功能 : TLV4376

引脚		I/O	说明
名称	PW		
-IN A	2	O	反相输入, 通道 A
-IN B	6	O	反相输入, 通道 B
-IN C	9	O	反相输入, 通道 C
-IN D	13	O	反相输入, 通道 D
+IN A	3	I	同相输入, 通道 A
+IN B	5	I	同相输入, 通道 B
+IN C	10	I	同相输入, 通道 C
+IN D	12	I	同相输入, 通道 D
OUT A	1	O	输出, 通道 A
OUT B	7	O	输出, 通道 B
OUT C	8	O	输出, 通道 C
OUT D	14	O	输出, 通道 D
V-	11	—	负电源电压
V+	4	—	正电源电压

6 技术规格

6.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电压	电源, $V_S = (V+) - (V-)$		7	V
	信号输入引脚 ⁽²⁾	$(V-) - 0.5$	$(V+) + 0.5$	V
电流	信号输入引脚 ⁽²⁾	-10	10	mA
	输出短路 ⁽³⁾	连续		
温度	指定温度, T_A	-40	125	°C
	结温, T_J		150	
	存储温度, T_{stg}	-65	150	

- (1) 超出绝对最大额定值下列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况, 对于额定值下器件的功能性操作以及在超出**建议的工作条件**下的任何其它操作, 在此并未说明。长时间运行在最大绝对额定条件下会影响器件可靠性。
- (2) 输入引脚被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。
- (3) 对地短路, 每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±4000	V
	组件充电模式 (CDM), 符合 JEDEC 规格 JESD22-C101 ⁽²⁾	±1000	

- (1) JEDEC 文档 JEP155 规定: 500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 规定: 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
电源电压, $V_S = (V+) - (V-)$	单电源	2.2		5.5	V
	双电源	±1.1		±2.75	
T_A	指定温度范围	-40		125	°C

6.4 热性能信息：TLV376

热指标 ⁽¹⁾		TLV376		单位
		D (SOIC)	DBV (SOT-23)	
		8 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	100.1	273.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	42.4	126.8	°C/W
$R_{\theta JB}$	结至电路板热阻	41.0	85.9	°C/W
Ψ_{JT}	结至顶部的特征参数	4.8	10.9	°C/W
Ψ_{JB}	结至电路板的特征参数	40.3	84.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 热性能信息：TLV2376

热指标 ⁽¹⁾		TLV2376		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	111.1	171.2	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	54.7	63.9	°C/W
$R_{\theta JB}$	结至电路板热阻	51.7	92.8	°C/W
Ψ_{JT}	结至顶部的特征参数	10.5	9.2	°C/W
Ψ_{JB}	结至电路板的特征参数	51.2	91.2	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.6 热性能信息：TLV4376

热指标 ⁽¹⁾		TLV4376	单位
		PW (TSSOP)	
		14 引脚	
$R_{\theta JA}$	结至环境热阻	107.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	29.6	°C/W
$R_{\theta JB}$	结至电路板热阻	52.6	°C/W
Ψ_{JT}	结至顶部的特征参数	1.5	°C/W
Ψ_{JB}	结至电路板的特征参数	51.6	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

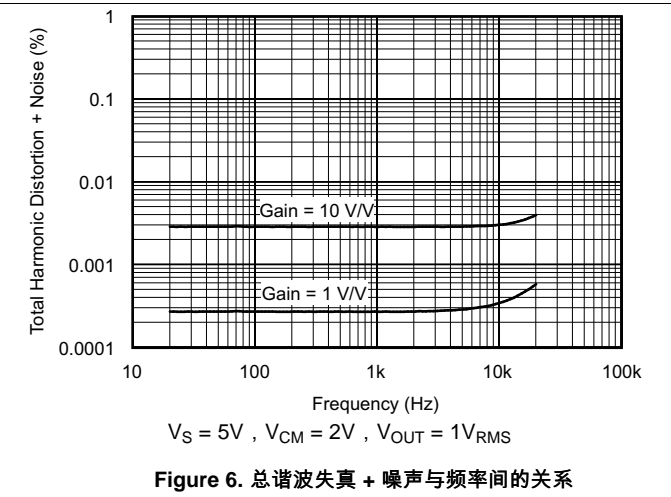
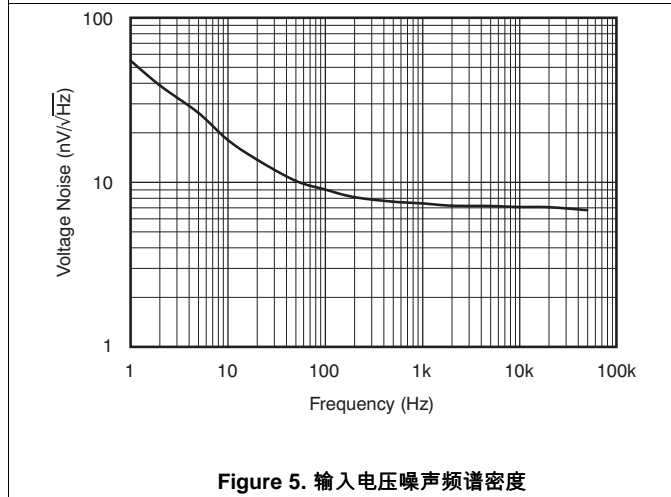
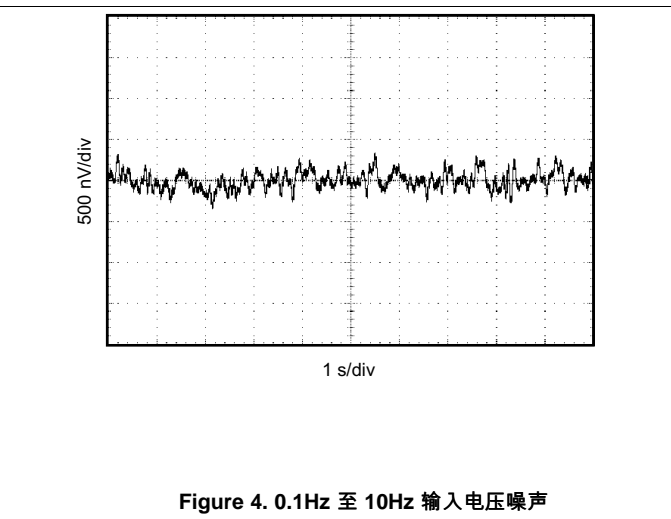
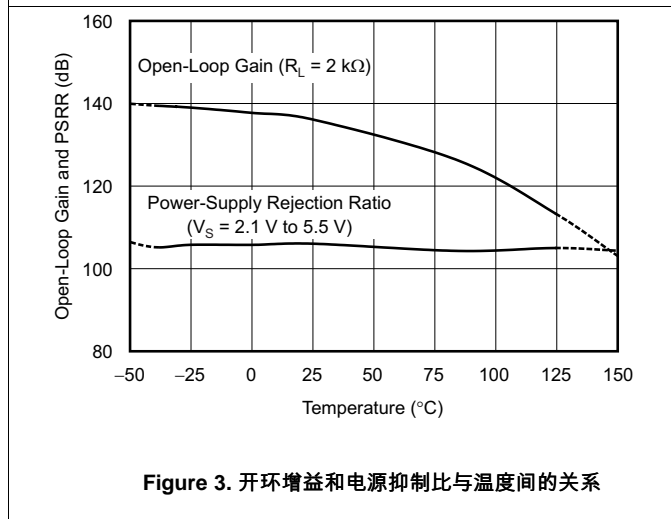
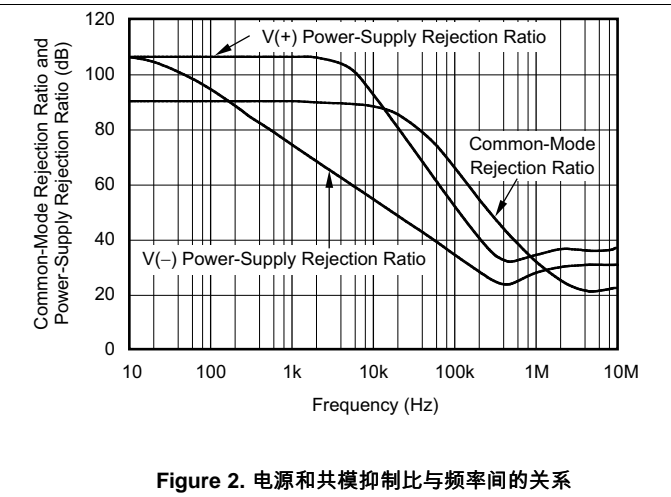
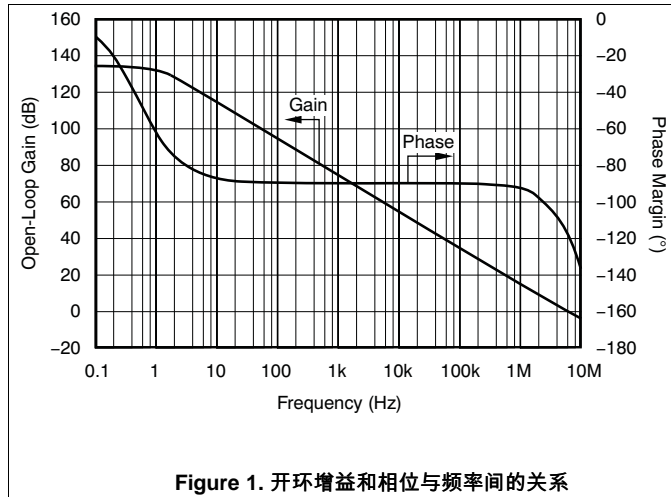
6.7 电气特性

在 $T_A = 25^\circ\text{C}$, $R_L = 10\text{k}\Omega$ 且连接至 $V_S/2$, $V_{CM} = V_S/2$, $V_{OUT} = V_S/2$ 的条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
失调电压					
V_{OS} 输入失调电压	TLV376、TLV2376		40	100	μV
	TLV4376		50	125	
dV_{OS}/dT 偏移电压与温度间的关系	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		1.0		$\mu\text{V}/^\circ\text{C}$
PSRR 电源抑制比	$V_S=2.2\text{V}$ 至 5.5V , $V_{CM}<(V+)-1.3\text{V}$	84	110		dB
	通道分离, 直流		0.5		mV/V
输入偏置电流					
I_B 输入偏置电流			0.3		pA
	$T_A=-40^\circ\text{C}$ 至 $+125^\circ\text{C}$		请参阅 典型特性		
I_{OS} 输入失调电流			0.2		pA
噪声					
	输入电压噪声	$f = 0.1\text{Hz}$ 至 10Hz	2.2		μV_{PP}
e_n	输入电压噪声密度	$f = 1\text{kHz}$	8.0		$\text{nV}/\sqrt{\text{Hz}}$
i_n	输入电流噪声	$f = 1\text{kHz}$	2		$\text{fA}/\sqrt{\text{Hz}}$
输入电压范围					
V_{CM} 共模电压范围		$(V-)-0.1$		$(V+)+0.1$	V
CMRR 共模抑制比	$(V-)<V_{CM}<(V+)-1.3\text{V}$	72	88		dB
输入电容					
	差模		6.5		pF
	共模		13		pF
开环增益					
A_{OL} 开环电压增益	$100\text{mV} < V_O < (V+) - 100\text{mV}$, $R_L = 2\text{k}\Omega$	100	126		dB
频率响应 ($C_L = 100\text{pF}$, $V_S = 5.5\text{V}$)					
GBW 增益带宽积			5.5		MHz
SR 压摆率	$G = 1$		2		$\text{V}/\mu\text{s}$
t_s 趋稳时间	到 0.1%, 2V 阶跃, $G = 1$		1.6		μs
	到 0.01%, 2V 阶跃, $G = 1$		2		
	过载恢复时间	$V_{IN} \times \text{增益} > V_S$	0.33		μs
THD+N 总谐波失真 + 噪声	$V_O = 1V_{RMS}$, $G = 1$, $f = 1\text{kHz}$, $R_L = 10\text{k}\Omega$		0.0005%		
输出					
	相对于电源轨的电压输出摆幅	$R_L = 10\text{k}\Omega$	10	20	mV
I_{SC} 短路电流	源电流		30		mA
	灌电流		-50		
C_{LOAD} 电容负载驱动			请参阅 典型特性		
R_O 开环输出阻抗			150		Ω
电源					
V_S 额定电压范围		2.2		5.5	V
	工作电压范围		2 至 5.5		
I_Q 静态电流 (每个放大器)	$I_O = 0\text{mA}$, $V_S = 5.5\text{V}$, $V_{CM} < (V+) - 1.3\text{V}$		815	1200	μA
温度					
	额定温度范围		-40	125	$^\circ\text{C}$

6.8 典型特性

在 $T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $R_L = 10\text{k}\Omega$ 且连接至 $V_S/2$, $V_{CM} = V_S/2$, 且 $V_{OUT} = V_S/2$ 的条件下测得 (除非另有说明)



典型特性 (continued)

在 $T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $R_L = 10\text{k}\Omega$ 且连接至 $V_S/2$, $V_{CM} = V_S/2$, 且 $V_{OUT} = V_S/2$ 的条件下测得 (除非另有说明)

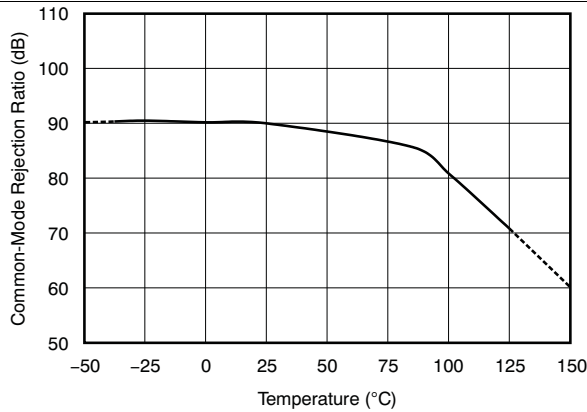


Figure 7. 共模抑制比与温度间的关系

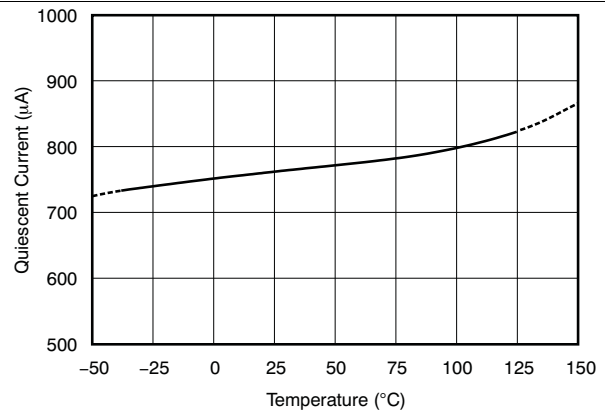


Figure 8. 静态电流与温度间的关系

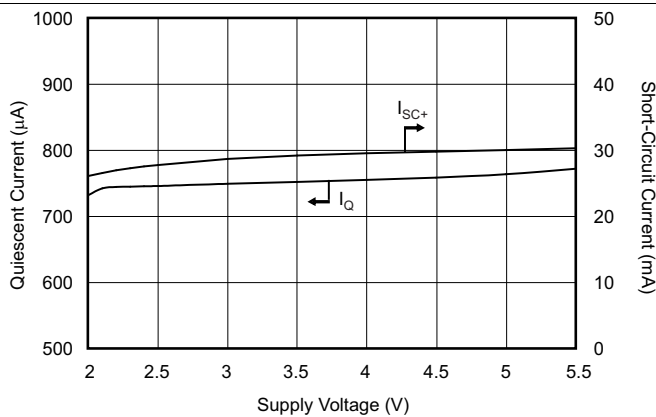


Figure 9. 静态电流和短路电流与电源电压间的关系

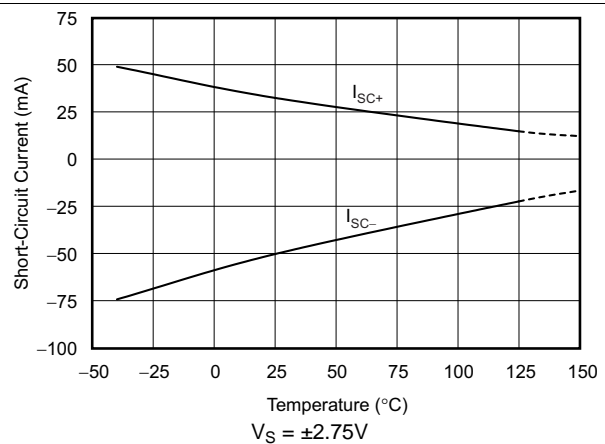


Figure 10. 短路电流与温度间的关系

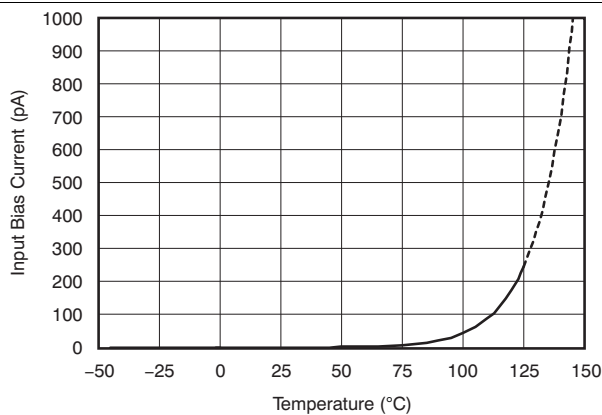


Figure 11. 输入偏置电流与温度间的关系

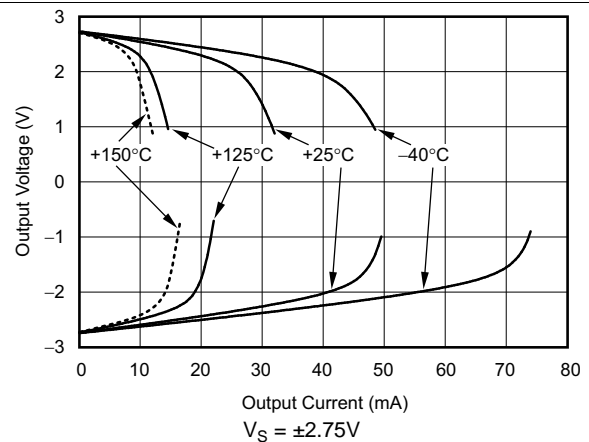
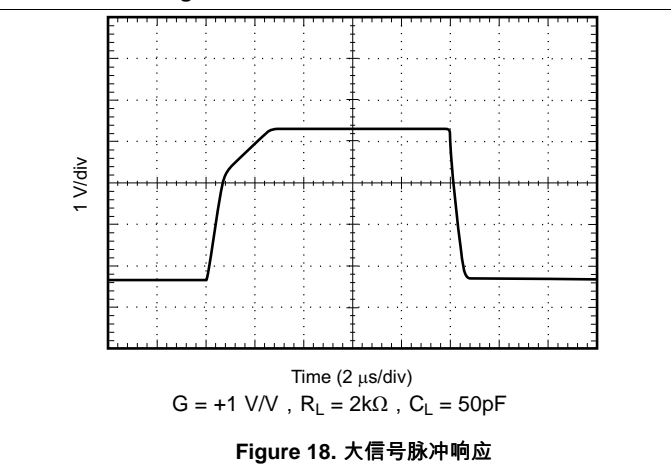
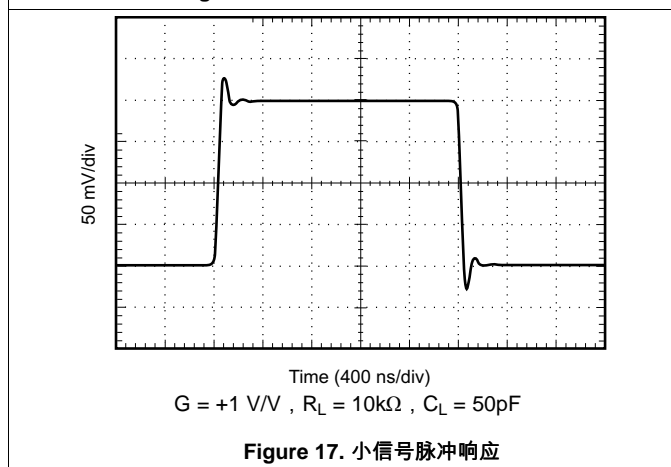
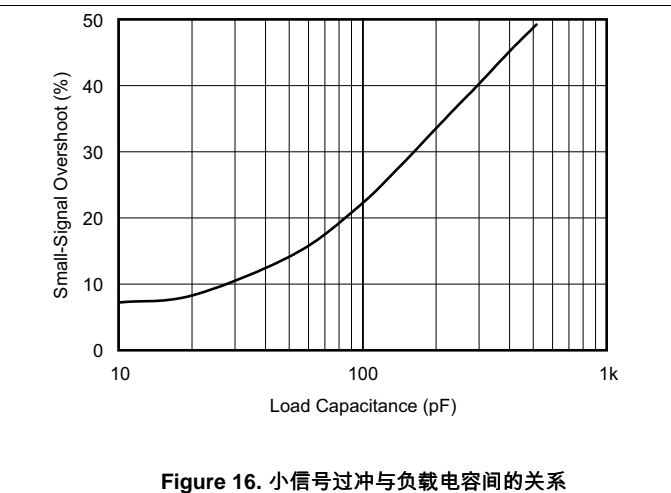
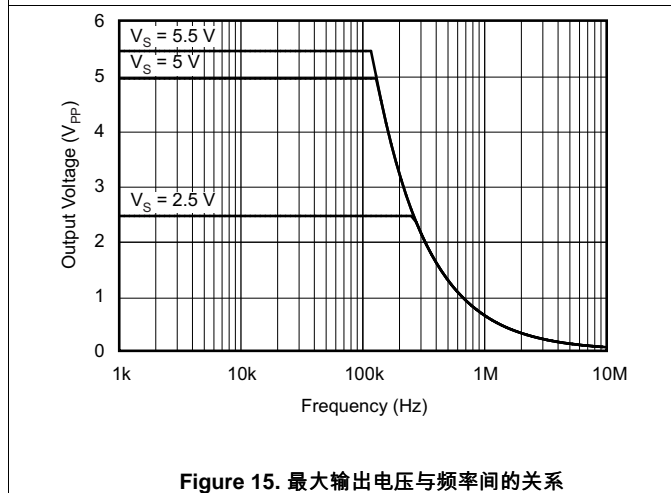
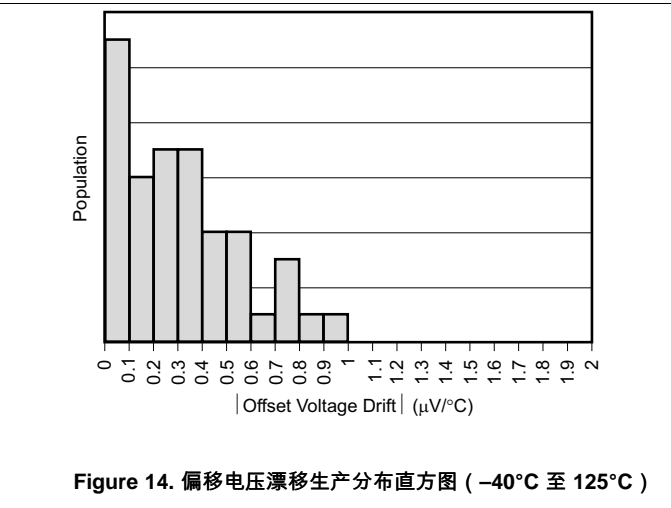
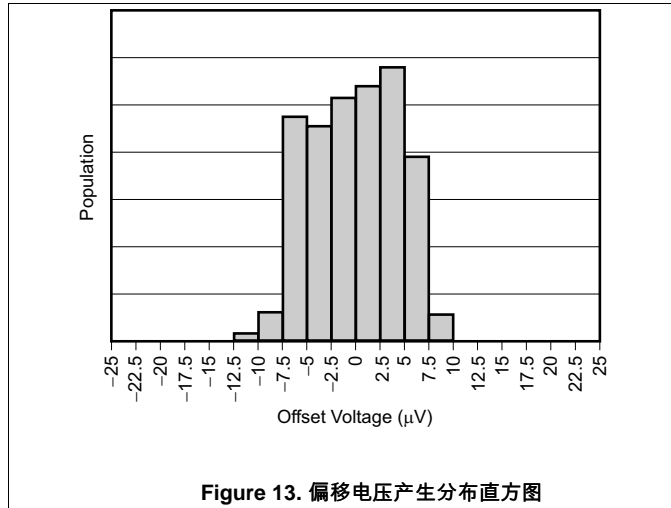


Figure 12. 输出电压与输出电流间的关系

典型特性 (continued)

在 $T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $R_L = 10\text{k}\Omega$ 且连接至 $V_S/2$, $V_{CM} = V_S/2$, 且 $V_{OUT} = V_S/2$ 的条件下测得 (除非另有说明)



典型特性 (continued)

在 $T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $R_L = 10\text{k}\Omega$ 且连接至 $V_S/2$, $V_{CM} = V_S/2$, 且 $V_{OUT} = V_S/2$ 的条件下测得 (除非另有说明)

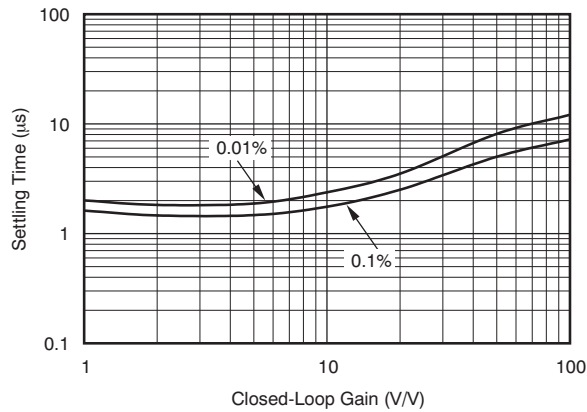


Figure 19. 趋稳时间与闭环增益间的关系

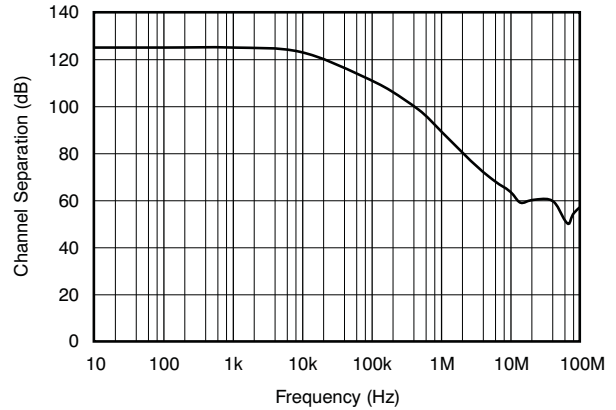


Figure 20. 通道分离与频率间的关系

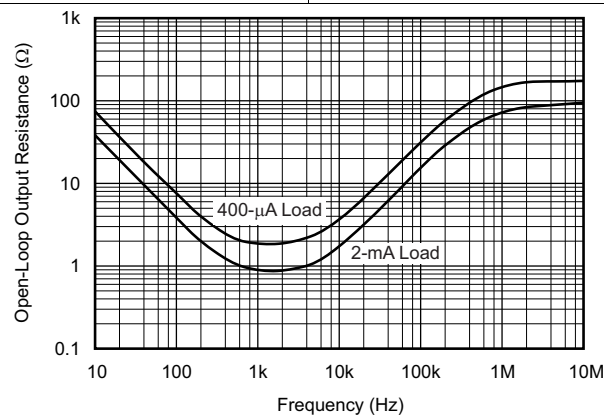


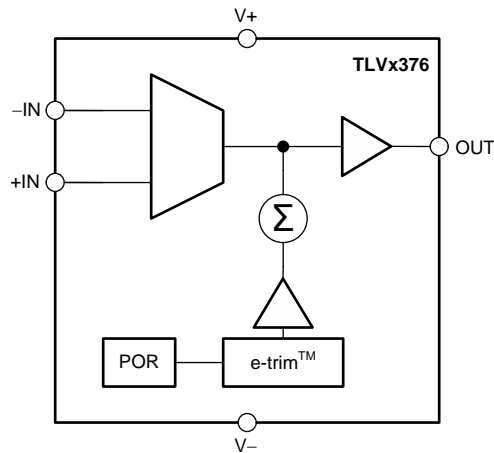
Figure 21. 开环输出电阻与频率间的关系

7 详细 说明

7.1 概述

TLVx376 系列是采用 e-trim™ 的新一代低噪声运算放大器，可为客户提供卓越的直流精度和交流性能。低噪声、轨至轨输入和输出、低偏移以及低静态电流的特性使得这些器件适用于各种高精度和移动式 应用的理想选择。此外，该系列器件拥有较宽的供电范围和出色的 PSRR，因此 TLVx376 非常合适 无需 调节的电池供电应用。

7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性 说明

TLVx376 系列精密放大器提供出色的直流性能和交流性能。TLVx376 采用单电源供电，能够驱动大电容负载，具有宽输入共模电压范围，而且非常适合驱动逐次逼近型寄存器 (SAR) 模数转换器 (ADC) 以及具有更高分辨率的 24 位转换器。所有器件都采用了内部 ESD 保护。TLVx376 系列为需要节省空间的应用 提供 多种符合行业标准的封装。

7.3.1 工作电压

TLVx376 系列放大器的工作电压范围为 2.2V 至 5.5V ($\pm 1.1V$ 至 $\pm 2.75V$)。多种技术规格适用于 $-40^{\circ}C$ 至 $+125^{\circ}C$ 的温度范围。[典型特性](#)部分提供的参数可能随工作电压或温度的不同出现显著变化。

7.3.2 电容负载和稳定性

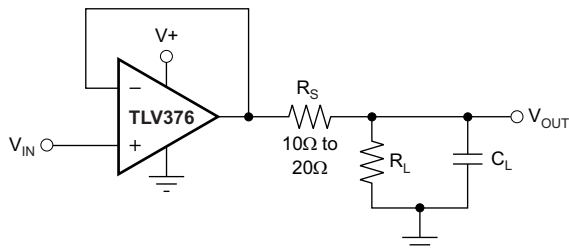
TLVx376 系列放大器可用于 需要驱动 电容负载的应用。与所有运算放大器一样，在某些特定情况下，TLVx376 可能会变得不稳定，并产生振荡。当需确定放大器在运行中能否保持稳定时，要考虑运算放大器在特定电路中的配置、布局布线、增益和输出负载等因素。与在更高噪声增益下工作的放大器相比，采用单位增益 ($+1V/V$) 缓冲器配置驱动电容负载的运算放大器更容易出现不稳定的情况。电容负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相位裕度降级的极点。当电容负载增加时，相位裕度的降级会减小。

特性说明 (continued)

7.3.3 输入失调电压和输入失调电压漂移

TLVx376 系列运算放大器利用 TI 的 e-trim™ 技术制造而成。每个放大器在生产中都经过微调，从而尽可能减小与输入失调电压和输入失调电压漂移相关的误差。e-trim™ 技术是 TI 专有的一种在晶圆测试或最终测试阶段微调内部器件参数的方法。

采用单位增益配置的 TLVx376 可直接驱动高达 250pF 的纯电容负载。增加增益可增强放大器驱动更大电容负载的能力；请参阅 Figure 16。在单位增益配置条件下，插入一个与输出端串联的小电阻器 (10Ω 至 20Ω) R_S 即可增强电容负载驱动能力，如 Figure 22 中所示。此电阻器可显著减少振铃，并保持纯电容负载的直流性能。然而，如果有一个与电容负载并联的电阻负载，则会生成一个分压器，从而在输出端引入增益误差并略微减小输出摆幅。引入的误差与 R_S / R_L 的比率成正比，在低输出电流中通常可忽略不计。



Copyright © 2016, Texas Instruments Incorporated

Figure 22. 增强电容负载驱动能力

7.3.4 共模电压范围

TLVx376 系列的输入共模电压范围在电源轨基础上向外扩展了 100mV。放大器的偏移电压非常低，大约 (V_-) 到 $(V_+) - 1V$ ，如 Figure 23 中所示。当共模电压超过 $(V_+) - 1V$ 时，偏移电压增加。共模抑制的额定电压范围为 (V_-) 至 $(V_+) - 1.3V$ 。

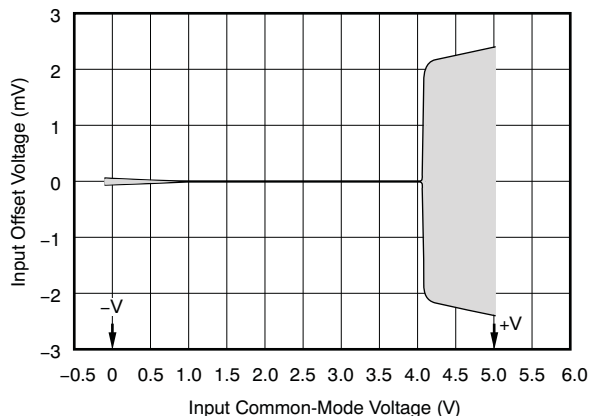


Figure 23. 失调和共模电压

特性说明 (continued)

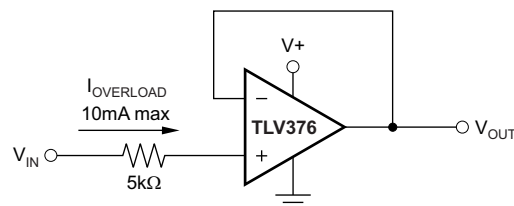
Table 1 列出了在共模电压范围内变化的参数。

Table 1. 在共模电压范围内变化的参数

参数	$(V-) - 0.1V < V_{CM} < (V+) - 1.3V$	$(V+) - 1.3V < V_{CM} < (V+) + 0.1V$	单位
	典型值	典型值	
失调电压			
V_{OS} 输入失调电压	40	2500	μV
dV_{OS}/dT 失调电压与温度间的关系	1	25	$\mu V/^{\circ}C$
开环增益			
A_{OL} 开环电压增益	126	96	dB
输入电压范围			
CMRR 共模抑制比	88	43	dB
频率响应			
GBW 增益带宽积	5.5	5.5	MHz
PM 相位裕度	72	72	度
SR 压摆率, $G = 1$	2	1.1	$V/\mu s$
噪声			
e_n 输入电压噪声密度, $f = 1kHz$	8	135	nV/\sqrt{Hz}
i_n 输入电流噪声, $f = 1kHz$	2	47	fA/\sqrt{Hz}

7.3.5 输入和 ESD 保护

TLVx376 系列在所有引脚上均整合了内部静电放电 (ESD) 保护电路。在输入和输出引脚的情况下, 这种保护主要包括连接在输入和电源引脚间的导流二极管。只要电流如**绝对最大额定值**表中所述限制为 10mA, 这些 ESD 保护二极管还能提供电路内的输入过驱保护。Figure 24 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声。在对噪声敏感的应用中, 此电阻器的值必须尽可能的低。



Copyright © 2016, Texas Instruments Incorporated

Figure 24. 输入电流保护

7.4 器件功能模式

TLVx376 系列具有单功能模式, 可在电源电压大于 2.2V ($\pm 1.1V$) 的条件下工作。TLVx376 系列的最大电源电压为 5.5V ($\pm 2.75V$)。

8 应用和实现

NOTE

以下 应用 部分的信息不属于 TI 组件规范, TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现, 以确保系统功能。

8.1 应用信息

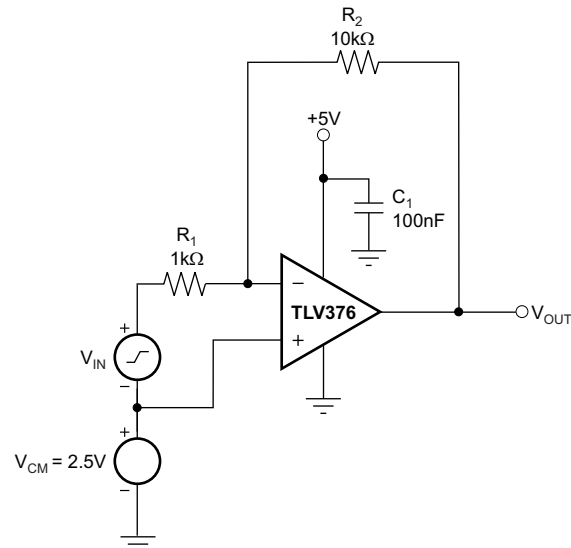
TLV376 系列运算放大器采用 e-trim™ 构建而成, 这是一种在最终制造阶段调整偏移电压的专有技术。这种技术补偿了在成型过程中可能产生的性能变化。得益于 e-trim™, TLV376 系列提供了出色的失调电压 (典型值为 $40\mu\text{V}$)。此外, 该放大器具有快速的转换速率、低漂移、低噪声以及出色的 PSRR 和 A_{OL} 。这些 5.5MHz CMOS 运算放大器仅消耗 $815\mu\text{A}$ (典型值) 的静态电流。

8.1.1 工作特性

TLVx376 系列放大器的完整额定参数为 2.2V 至 5.5V ($\pm 1.1\text{V}$ 至 $\pm 2.75\text{V}$)。多种技术规格适用于 -40°C 至 $+125^\circ\text{C}$ 的温度范围。典型特性部分提供的参数可能随工作电压或温度的不同出现显著变化。

8.1.2 基本放大器配置

TLVx376 系列具有稳定的单位增益。当输入过大时, TLVx376 不显示输出相位反转。Figure 25 中显示了典型的单电源连接。TLV376 被配置为具有 -10V/V 增益的基本反相放大器。该单电源连接具有以共模电压 (V_{CM}) 为中心的输。对于所示的电路, 该电压为 2.5V, 但它可以是共模输入电压范围内的任何值。



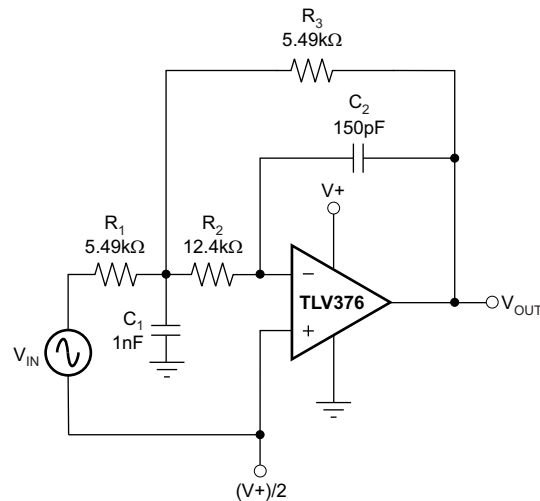
Copyright © 2016, Texas Instruments Incorporated

Figure 25. 基本单电源连接

应用信息 (continued)

8.1.3 有源滤波

TLVx376 系列非常适合于 需要 宽带宽、高转换速率、低噪声、单电源运算放大器的应用。Figure 26 展示了一个 50kHz 2 阶低通滤波器。这些组件经过挑选，以提供最大程度上平坦的巴特沃斯型响应。超过截止频率时，具有每十倍频 -40dB 的下降率。巴特沃斯型响应非常适合 需要 可预测增益特征的应用（例如在 ADC 之前使用的抗混叠滤波器）。

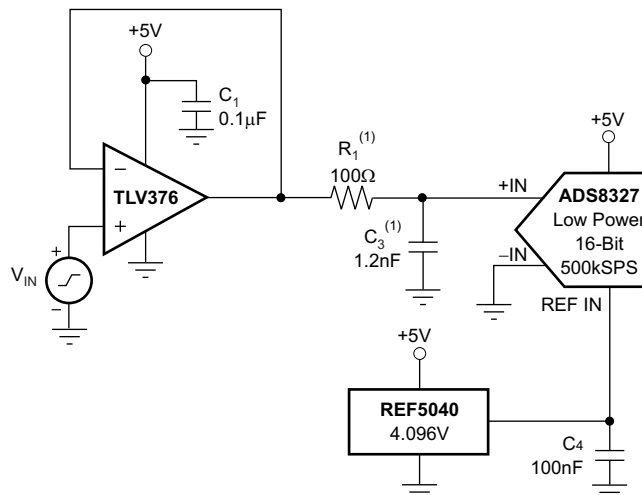


Copyright © 2016, Texas Instruments Incorporated

Figure 26. 2 阶、巴特沃斯型、50kHz、低通滤波器

8.1.4 驱动模数转换器

TLVx376 系列具有低噪声和宽增益带宽，因此，这类器件是驱动 ADC 的理想选择。Figure 27 展示了驱动 ADS8327 的 TLV376，ADS8327 是一种 16 位、250kSPS 转换器。放大器作为单位增益同相缓冲器连接。



Copyright © 2016, Texas Instruments Incorporated

NOTE: 建议值；可能需要根据具体应用进行调整。

Figure 27. 驱动 ADS8327

应用信息 (continued)

8.1.5 幻象供电麦克风

Figure 28 中电路展示了如何利用信号电缆输出侧的幻象电源为远程麦克风放大器供电。电缆有两种功能，同时承载麦克风放大器级发出的差动输出信号和接收的直流电。

TLV2376 可以用作具有 6dB 增益的差分输出放大器的单端输入。两个运算放大器的共模偏置由驻极体麦克风元件两端产生的直流电压提供。电缆输出侧的串行 6.8kΩ 电阻和电缆输入侧的 4.7 kΩ 和齐纳二极管，将 48V 的幻象电源降至 5.1V。交流耦合在电缆两端阻止彼此不同的直流电压电平。

INA163 仪表放大器提供差分输入并从电缆中接收均衡音频信号。通过选择 R_G 值，可以将 INA163 增益设置为 0dB 到 80dB。INA163 电路是混合控制台中使用的典型输入电路。

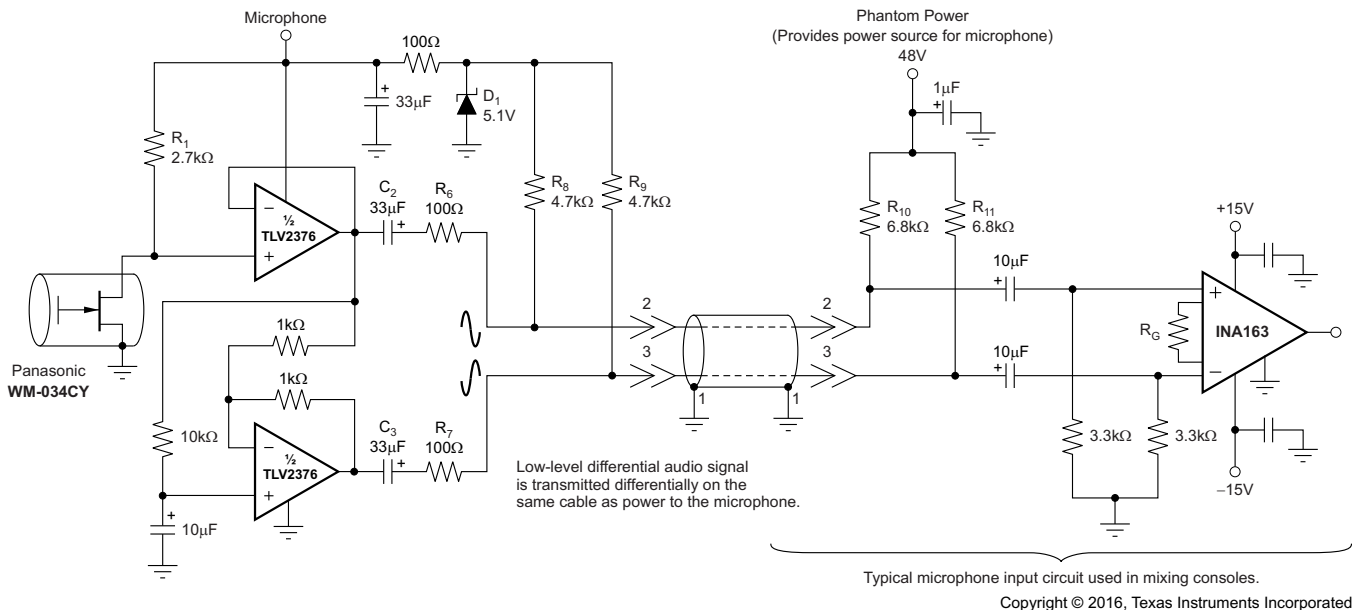
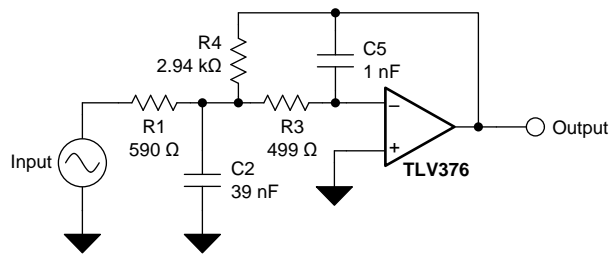


Figure 28. 幻象供电的驻极体麦克风

8.2 典型应用



Copyright © 2016, Texas Instruments Incorporated

Figure 29. 二阶低通滤波器

8.2.1 设计要求

低通滤波器通常用于在信号处理 应用 中降低噪声并防止混叠。TLV376 非常适合构建高速、高精度的有源滤波器。Figure 29 展示了信号处理应用中常见的二阶低通 滤波器。

本设计示例使用以下参数：

- 增益 = 5V/V (反相增益)
- 低通截止频率 = 25kHz
- 通带中增益峰值为 3dB 的二阶切比雪夫滤波器响应

8.2.2 详细设计流程

[应用曲线](#)部分展示了用于低通网络功能的无限增益多反馈电路。使用[Equation 1](#) 计算电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1 R_3 C_2 C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3 R_4 C_2 C_5} \quad (1)$$

Figure 29 中的该电路将产生信号反转。对于该电路，使用[Equation 2](#) 计算直流增益和低通截止频率：

$$\text{Gain} = \frac{R_4}{R_1}$$

$$f_c = \frac{1}{2\pi} \sqrt{(1/R_3 R_4 C_2 C_5)} \quad (2)$$

可使用软件工具简化滤波器设计。[WEBENCH® 滤波器设计器](#)是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 WEBENCH 滤波设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来打造最佳滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 [WEBENCH® 滤波器设计器](#)。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

典型应用 (continued)

8.2.3 应用曲线

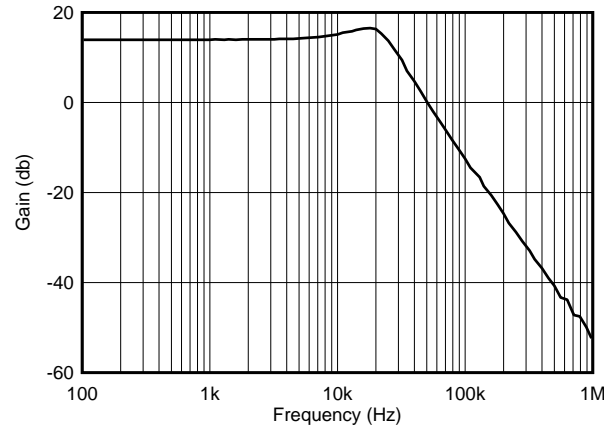


Figure 30. 测得的二阶低通滤波器频率响应

9 电源相关建议

TLVx376 系列器件的额定工作电压范围是 2.2V 至 5.5V ($\pm 1.1V$ 至 $\pm 2.75V$)；多种技术规格适用于 -40°C 至 $+125^{\circ}\text{C}$ 的温度范围。典型特性部分提供的参数可能随工作电压或温度的不同出现显著变化。

10 布局

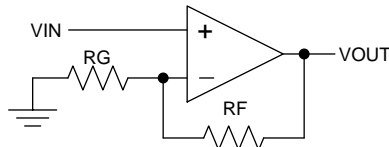
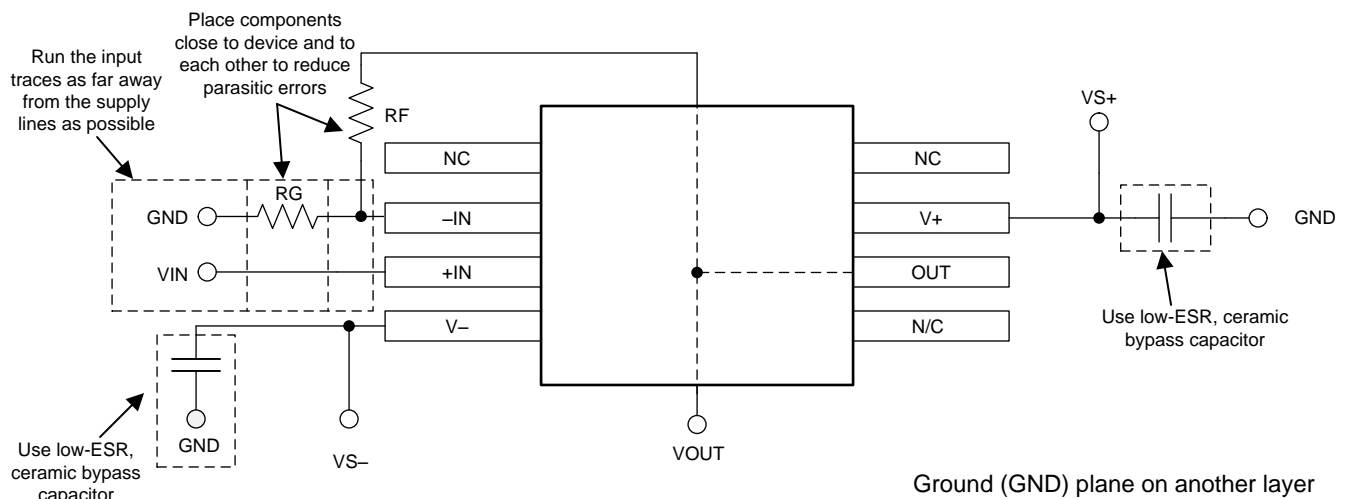
10.1 布局准则

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可通过全部电路电源引脚及运算放大器本身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) $0.1\mu\text{F}$ 陶瓷旁路电容器，放置位置尽量靠近器件。从 $V+$ 到接地端的单个旁路电容器适用于单电源应用的输出电流传感电阻器和运算放大器而得以实现。
- 将电路中的模拟部分和数字部分单独接地是最为简单有效的噪声抑制方法。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅《电路板布局技巧》应用报告。
- 为降低寄生耦合，输入走线应尽量远离电源或输出走线。如果这些走线不能保持分离状态，让敏感走线与有噪声的走线垂直相交要比平行相交好得多。
- 外部组件的位置应尽量靠近器件。如图 32 所示，使 RF 和 RG 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。

布局准则 (continued)

- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循所有的 PCB 水清洁流程，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

10.2 布局示例

Figure 31. Figure 32 的原理图表示

Figure 32. 布局示例

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.1.1.1 TINA-TI™ (免费下载)

TINA-TI™ 是一款基于 SPICE 引擎的电路仿真程序，简单易用并且功能强大。TINA-TI™ 是 TINA-TI™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI™ 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI™ 提供全面的后处理能力，便于用户以多种方式获得结果，用户可从 Analog eLab Design Center (模拟电子实验室设计中心) [免费下载](#)。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件 (由 DesignSoft™ 提供) 或者 TINA-TI™ 软件。请下载 [TINA-TI™ 文件夹](#) 中的免费 TINA-TI™ 软件。

11.1.1.2 TI 高精度设计

TI 高精度设计是由 TI 公司高精度模拟应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。如需获取 TI 高精度设计，请访问 www.ti.com/ww/en/analog/precision-designs/。

11.1.1.3 WEBENCH® 滤波器设计器

WEBENCH® 滤波器设计器 是一款简单、功能强大且便于使用的有源滤波器设计程序。WEBENCH® Filter Designer 通过选择 TI 运算放大器以及 TI 供应商合作伙伴的无源组件来构建优化滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 **WEBENCH® Filter Designer**。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

11.2 文档支持

11.2.1 相关文档

请参阅如下相关文档：

- [应用报告《电路板布线技巧》](#) (文献编号: SLOA089)
- [应用报告《运算放大器增益稳定性第 3 部分: 交流增益误差分析》](#) (文献编号: SLYT383)
- [应用报告《运算放大器增益稳定性第 2 部分: 直流增益误差分析》](#) (文献编号: SLYT374)
- [应用报告《在全差分有源滤波器中使用无限增益、MFB 滤波器拓扑》](#) (文献编号: SLYT343)
- [应用报告《运算放大器性能分析》](#) (文献编号: SBOA054)
- [应用报告《运算放大器的单电源运行》](#) (文献编号: SBOA059)
- [应用报告《调试放大器》](#) (文献编号: SBOA067)
- [应用报告《无铅组件涂层的保存期评估》](#) (文献编号: SZZA046)
- [《ADS832x 具有串行接口的低功耗、16 位 500kHz 单/双路、单极输入模数转换器》](#) (文献编号: SLAS415)
- [《REF50xx 低噪声、极低漂移、高精度电压基准》](#) (文献编号: SBOS410)
- [《INA163 低噪声、低失真仪表放大器》](#) (文献编号: SBOS177)
- [《ADS7822 12 位、200kHz 低功耗采样模数转换器》](#) (文献编号: SBAS062)

11.3 相关链接

表 2 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 2. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
TLV376	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2376	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV4376	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.4 接收文档更新通知

如需接收文档更新通知，请访问 [ti.com](#) 上的器件产品文件夹。点击右上角的提醒我 (Alert me) 注册后，即可每周定期收到已更改的产品信息。有关更改的详细信息，请查看任意已修订文档中包含的修订历史记录。

11.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

TI E2E™ 在线社区 *TI 的工程师对工程师 (E2E) 社区*。此社区的创建目的在于促进工程师之间的协作。在 [e2e.ti.com](#) 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 *TI 参考设计支持* 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.6 商标

典型代表，TINA-TI, E2E are trademarks of Texas Instruments.
DesignSoft is a trademark of DesignSoft, Inc.
All other trademarks are the property of their respective owners.

11.7 静电放电警告



ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.8 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参见左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV2376IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU SN NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	13F6	Samples
TLV2376IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU SN NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	13F6	Samples
TLV2376IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV 2376	Samples
TLV376IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 125	12J	Samples
TLV376IDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 125	12J	Samples
TLV376IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV 15M	Samples
TLV4376IPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV4376	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

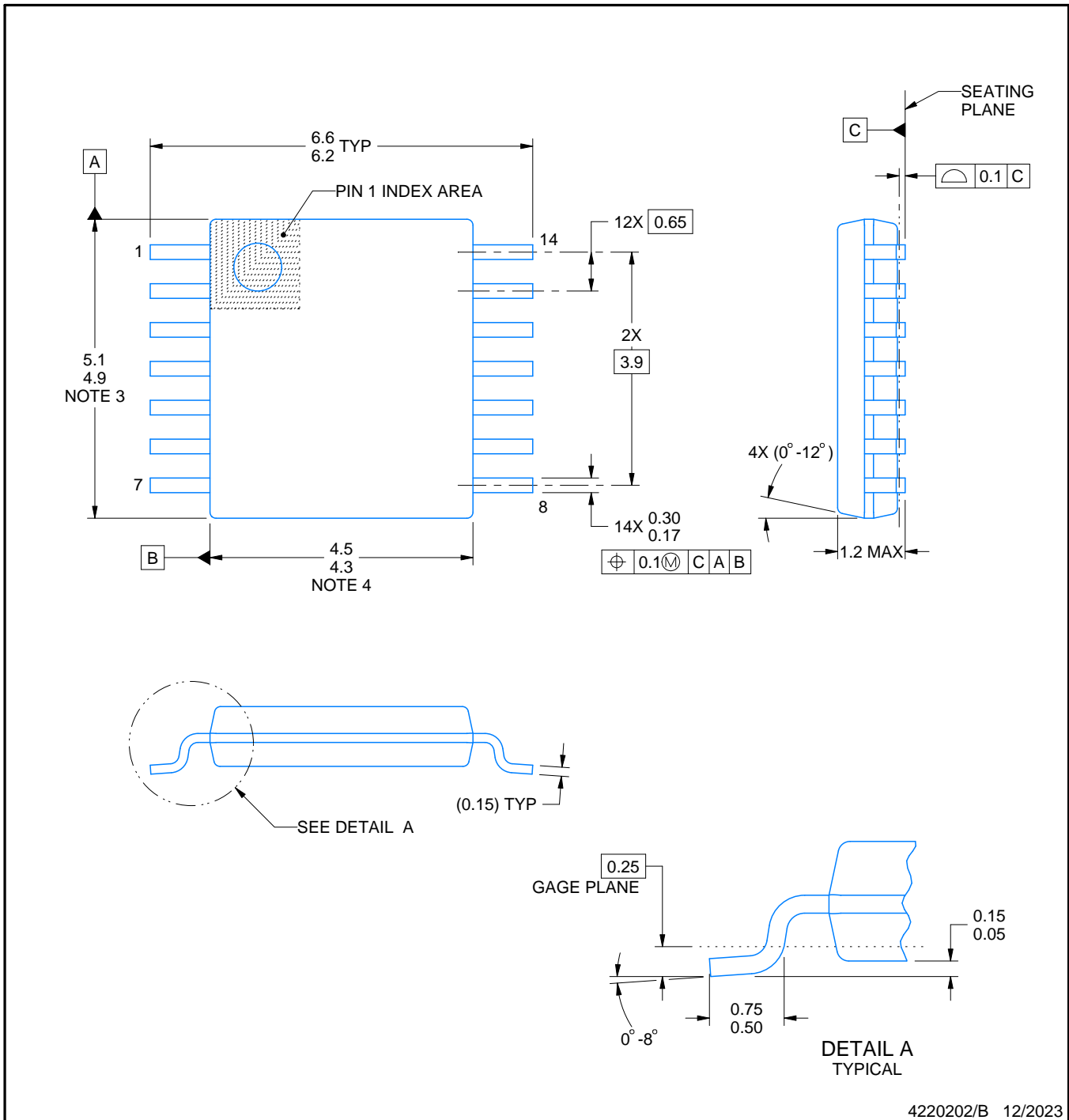
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

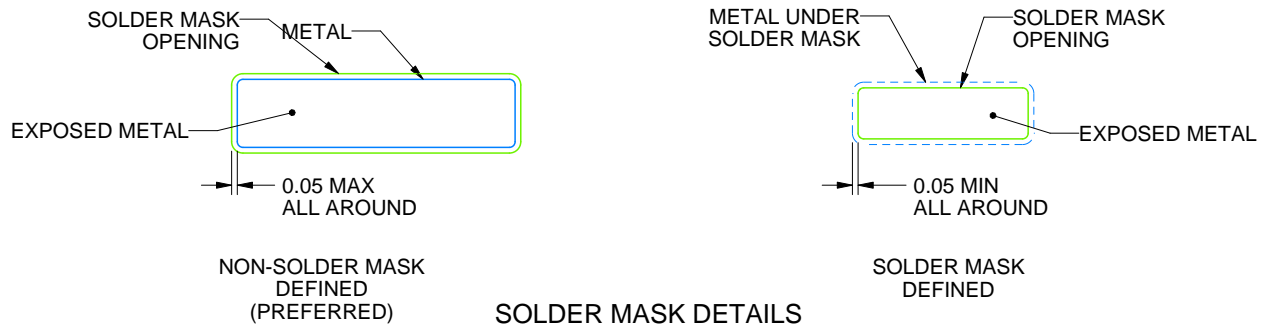
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

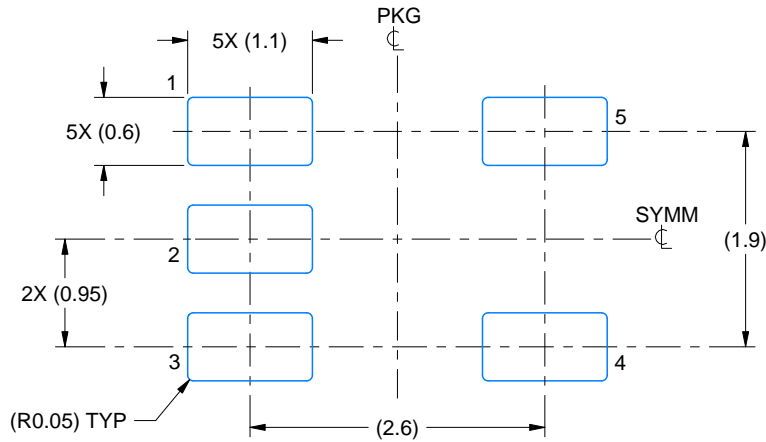
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司