

TLV904x-Q1 适用于功率敏感型应用的汽车级 1.2V 超低电压、10 μ A 低功耗 RRIO 放大器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
 - 温度等级 1：-40°C 至 +125°C，T_A
- 适用于成本优化型应用的低功耗 CMOS 放大器
- 可在电源电压低至 1.2V 的情况下运行
- 低输入偏置电流：1pA（典型值），12pA（最大值）
- 低静态电流：每通道 10 μ A
- 6.5 μ V_{p-p} 低集成噪声（在 0.1Hz 至 10Hz 范围内）
- 轨到轨输入和输出
- 高增益带宽积：350kHz
- 热本底噪声：64nV/ $\sqrt{\text{Hz}}$
- 低输入失调电压： \pm 0.6mV
- 单位增益稳定
- 稳健驱动 100pF 的负载电容
- 内置 RFI 和 EMI 滤波输入引脚

2 应用

- HEV/EV OBC 和直流/直流转换器
- 脚踏开启模块
- 热管理
- 汽车门禁和安全系统

3 说明

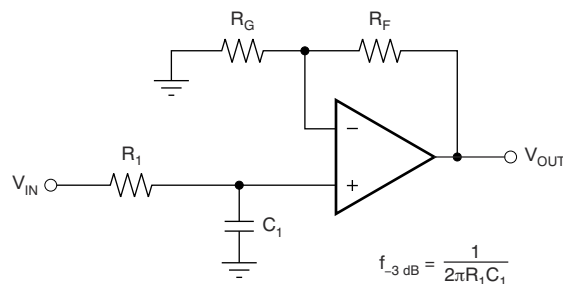
低功耗 TLV904x-Q1 系列包括单通道、双通道和四通道超低压（1.2V 至 5.5V）运算放大器，具有轨到轨输入和输出摆幅功能。TLV904x-Q1 凭借低静态电流（10 μ A，典型值）和在低至 1.2V 的电源电压下运行的能力实现功耗节省。这些器件具有成本效益，适用于需要低压运行的电源和空间受限型应用。

TLV904x-Q1 系列的稳健设计可简化电路设计。这些运算放大器集成了 RFI 和 EMI 抑制滤波器，具有单位增益稳定性，并且在输入过驱条件下不会出现相位反转。这类器件还提供出色的交流性能和 350kHz 增益带宽，可驱动 100pF 高容性负载，助力设计人员实现更高的性能和更低的功耗。

器件信息

器件型号 ⁽¹⁾	通道数	封装	封装尺寸 ⁽⁴⁾
TLV9041-Q1 ⁽²⁾	单通道	DBV (SOT-23, 5)	2.9mm × 2.80mm
		DCK (SC70, 5)	2.00mm × 2.10mm
TLV9042-Q1 ⁽²⁾	双通道	D (SOIC, 8)	4.90mm × 6.00mm
		DGK (VSSOP, 8)	3.00mm × 4.90mm
		PW (TSSOP, 8)	3.00mm × 6.40mm
TLV9044-Q1	四通道	D (SOIC, 14) ⁽³⁾	8.65mm × 6.00mm
		PW (TSSOP, 14)	5.00mm × 6.40mm
		DYY (SOT-23, 14) ⁽³⁾	4.20mm × 3.26mm

- 如需了解所有可用封装，请参阅节 10 中的可订购产品附录。
- 该器件仅处于预发布状态。
- 该封装仅处于预发布状态。
- 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1C_1}\right)$$

单极低通滤波器



内容

1 特性	1	6.4 器件功能模式.....	22
2 应用	1	7 应用和实施	23
3 说明	1	7.1 应用信息.....	23
4 引脚配置和功能	3	7.2 典型应用.....	23
5 规格	6	7.3 电源相关建议.....	25
5.1 绝对最大额定值.....	6	7.4 布局.....	26
5.2 ESD 等级.....	6	8 器件和文档支持	27
5.3 建议运行条件.....	6	8.1 文档支持.....	27
5.4 四通道器件的热性能信息.....	6	8.2 接收文档更新通知.....	27
5.5 电气特性.....	7	8.3 支持资源.....	27
5.6 典型特性.....	9	8.4 静电放电警告.....	27
6 详细说明	17	8.5 术语表.....	27
6.1 概述.....	17	9 修订历史记录	27
6.2 功能方框图.....	17	10 机械、封装和可订购信息	27
6.3 特性说明.....	18		

4 引脚配置和功能

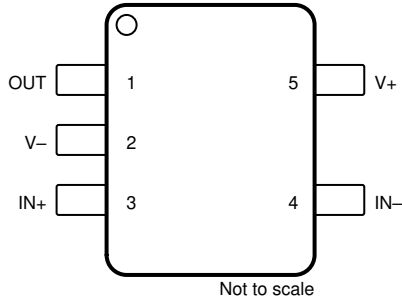


图 4-1. TLV9041-Q1 DBV 封装，
5 引脚 SOT-23⁽¹⁾
顶视图

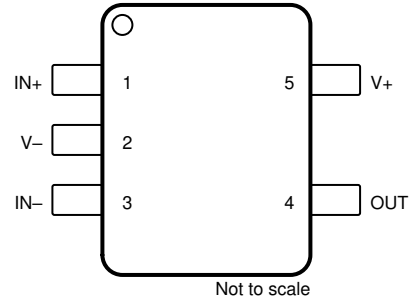


图 4-2. TLV9041-Q1 DCK 封装，
5 引脚 SC70⁽¹⁾
顶视图

表 4-1. 引脚功能：TLV9041-Q1

名称	引脚		I/O	说明
	SOT-23	SC70		
IN -	4	3	I	反相输入
IN+	3	1	I	同相输入
OUT	1	4	O	输出
V -	2	2	I 或 —	负（低）电源或接地（对于单电源供电）
V+	5	5	I	正（高）电源

(1) TLV9041-Q1 封装仅为预发布状态。

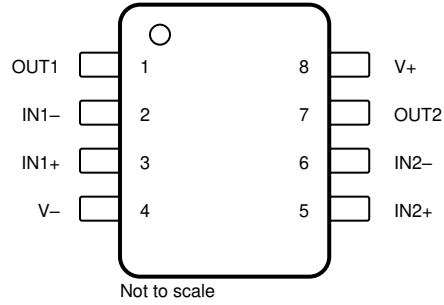


图 4-3. TLV9042-Q1 D、PW 和 DGK 封装，
8 引脚 SOIC、TSSOP 和 VSSOP⁽¹⁾
顶视图

表 4-2. 引脚功能：TLV9042-Q1

引脚		I/O	说明
名称	编号		
IN1 -	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 -	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V -	4	I	负（低）电源或接地（对于单电源供电）
V+	8	I	正（高）电源

(1) TLV9042-Q1 封装仅为预发布状态。

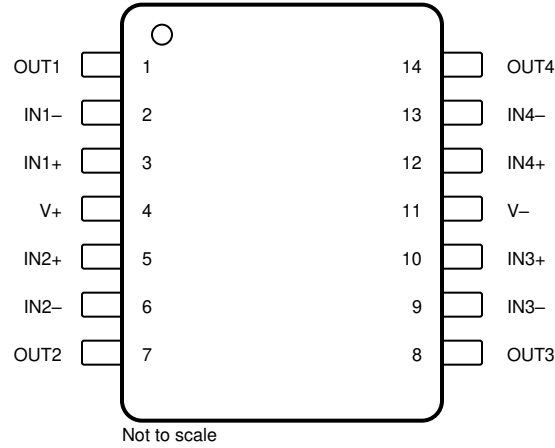


图 4-4. TLV9044-Q1 D、PW 和 DYY 封装，
 14 引脚 SOIC、TSSOP 和 SOT-23⁽¹⁾
 顶视图

表 4-3. 引脚功能：TLV9044-Q1

引脚		I/O	说明
名称	编号		
IN1 -	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 -	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
IN3 -	9	I	反相输入，通道 3
IN3+	10	I	同相输入，通道 3
IN4 -	13	I	反相输入，通道 4
IN4+	12	I	同相输入，通道 4
NC	—	—	无内部连接
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
V -	11	I 或 —	负（低）电源或接地（对于单电源供电）
V+	4	I	正（高）电源

(1) D (SOIC) 和 DYY (SOT-23) 封装仅为预发布状态。

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压, $V_S = (V+) - (V-)$		0	6.0	V
信号输入引脚	共模电压 ⁽²⁾	$(V-) - 0.5$	$(V+) + 0.5$	V
	差分电压 ⁽²⁾		$V_S + 0.2$	V
	电流 ⁽²⁾	-10	10	mA
输出短路 ⁽³⁾		持续		
工作环境温度, T_A		-55	150	°C
结温, T_J			150	°C
贮存温度, T_{stg}		-65	150	°C

- 超出绝对最大额定值运行可能会造成长期损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果器件在建议运行条件之外但在绝对最大额定值范围内运行, 则该器件可能无法完全正常工作。
- 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号, 其电流必须限制在 10mA 或者更低。
- 接地短路, 每个封装对应一个放大器。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC-Q100-002 标准 ⁽¹⁾	±3000	V
		充电器件模型 (CDM), 符合 AEC-Q100-001 标准	±1500	

- AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压, $(V+) - (V-)$	1.2	5.5	V
V_I	输入电压范围	$(V-)$	$(V+)$	V
T_A	额定温度	-40	125	°C

5.4 四通道器件的热性能信息

热指标 ⁽¹⁾		TLV9044-Q1	
		PW (TSSOP)	
		14 引脚	
			单位
$R_{\theta JA}$	结至环境热阻	127.6	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	60.6	°C/W
$R_{\theta JB}$	结至电路板热阻	83.8	°C/W
ψ_{JT}	结至顶部特征参数	10.0	°C/W
ψ_{JB}	结至电路板特征参数	82.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

- 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

$V_S = (V+) - (V-) = 1.2V$ 至 $5.5V$ ($\pm 0.6V$ 至 $\pm 2.75V$)， $T_A = 25^\circ C$ ， $R_L = 100k\Omega$ 且连接至 $V_S/2$ ， $V_{CM} = V_S/2$ ，且 $V_{O\ UT} = V_S/2$ ，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压			± 0.6	± 2.25	mV
		$T_A = -40^\circ C$ 至 $125^\circ C$			± 2.5	
dV_{OS}/dT	输入失调电压温漂	$T_A = -40^\circ C$ 至 $125^\circ C$		± 0.8		$\mu V/^\circ C$
PSRR	输入失调电压与电源间的关系	$V_S = \pm 0.6V$ 至 $\pm 2.75V$ ， $V_{CM} = V-$		± 20	± 100	$\mu V/V$
	通道隔离	$f = 10kHz$		± 5.6		$\mu V/V$
输入偏置电流						
I_B	输入偏置电流 ⁽¹⁾			± 1	± 12	pA
I_{OS}	输入失调电流 ⁽¹⁾			± 0.5	± 10	pA
噪声						
E_N	输入电压噪声	$f = 0.1Hz$ 至 $10Hz$		6.5		μV_{PP}
e_N	输入电压噪声密度	$f = 100Hz$		85		nV/\sqrt{Hz}
		$f = 1kHz$		66		
		$f = 10kHz$		64		
i_N	输入电流噪声 ⁽²⁾	$f = 1kHz$		20		fA/\sqrt{Hz}
输入电压范围						
V_{CM}	共模电压范围		(V-)		(V+)	V
CMRR	共模抑制比	$(V-) < V_{CM} < (V+) - 0.7V$ ， $V_S = 1.2V$	$T_A = -40^\circ C$ 至 $125^\circ C$	60	77	dB
		$(V-) < V_{CM} < (V+) - 0.7V$ ， $V_S = 5.5V$		75	89	
		$(V-) < V_{CM} < (V+)$ ， $V_S = 1.2V$			60	
		$(V-) < V_{CM} < (V+)$ ， $V_S = 5.5V$		57	72	
输入阻抗						
Z_{ID}	差分			$80 \parallel 1.4$		$G\Omega \parallel pF$
Z_{ICM}	共模			$100 \parallel 0.5$		$G\Omega \parallel pF$
开环增益						
A_{OL}	开环电压增益	$V_S = 1.2V$ ， $(V-) + 0.2V < V_O < (V+) - 0.2V$ ， $R_L = 10k\Omega$ (连接至 $V_S/2$)	$T_A = -40^\circ C$ 至 $125^\circ C$	98		dB
		$V_S = 5.5V$ ， $(V-) + 0.2V < V_O < (V+) - 0.2V$ ， $R_L = 10k\Omega$ (连接至 $V_S/2$)		125		
		$V_S = 1.2V$ ， $(V-) + 0.1V < V_O < (V+) - 0.1V$ ， $R_L = 100k\Omega$ (连接至 $V_S/2$)		105		
		$V_S = 5.5V$ ， $(V-) + 0.1V < V_O < (V+) - 0.1V$ ， $R_L = 100k\Omega$ (连接至 $V_S/2$)		107	130	
频率响应						
THD+N	总谐波失真 + 噪声 ⁽³⁾	$V_S = 5.5V$ ， $V_{CM} = 2.75V$ ， $V_O = 1V_{RMS}$ ， $G = +1$ ， $f = 1kHz$ ， $R_L = 100k\Omega$ (连接至 $V_S/2$)		0.013		%
GBW	增益带宽积	$R_L = 1M\Omega$ (连接至 $V_S/2$)		350		kHz
SR	压摆率	$V_S = 5.5V$ ， $G = +1$ ， $C_L = 10pF$		0.2		$V/\mu s$
t_s	稳定时间	精度达到 0.1%， $V_S = 5.5V$ ， $V_{STEP} = 4V$ ， $G = +1$ ， $C_L = 10pF$		25		μs
		精度达到 0.1%， $V_S = 5.5V$ ， $V_{STEP} = 2V$ ， $G = +1$ ， $C_L = 10pF$		22		
		精度达到 0.01%， $V_S = 5.5V$ ， $V_{STEP} = 4V$ ， $G = +1$ ， $C_L = 10pF$		35		
		精度达到 0.01%， $V_S = 5.5V$ ， $V_{STEP} = 2V$ ， $G = +1$ ， $C_L = 10pF$		30		
	相位裕度	$G = +1$ ， $R_L = 100k\Omega$ (连接至 $V_S/2$)， $C_L = 10pF$		65		$^\circ$
	过载恢复时间	$V_{IN} \times \text{增益} > V_S$		13		μs
EMIRR	电磁干扰抑制比	$f = 1GHz$ ， $V_{IN_EMIRR} = 100mV$		70		dB
输出						

$V_S = (V+) - (V-) = 1.2V$ 至 $5.5V$ ($\pm 0.6V$ 至 $\pm 2.75V$)， $T_A = 25^\circ C$ ， $R_L = 100k\Omega$ 且连接至 $V_S/2$ ， $V_{CM} = V_S/2$ ，且 $V_{O UT} = V_S/2$ ，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
相对于电源轨的电压输出摆幅	正电源轨余量		$V_S = 1.2V$ 、 $R_L = 100k\Omega$ (连接至 $V_S/2$)	0.75		7	mV
			$V_S = 5.5V$ 、 $R_L = 10k\Omega$ (连接至 $V_S/2$)	10		21	
			$V_S = 5.5V$ 、 $R_L = 100k\Omega$ (连接至 $V_S/2$)	1		8	
	负电源轨余量		$V_S = 1.2V$ 、 $R_L = 100k\Omega$ (连接至 $V_S/2$)	0.75		5	
			$V_S = 5.5V$ 、 $R_L = 10k\Omega$ (连接至 $V_S/2$)	10		21	
			$V_S = 5.5V$ 、 $R_L = 100k\Omega$ (连接至 $V_S/2$)	1		8	
I_{sc}	短路电流 ⁽⁴⁾	$V_S = 5.5V$		± 40			mA
Z_O	开环输出阻抗	$f = 10kHz$		7500			Ω
电源							
I_Q	每个放大器的静态电流	$V_S = 5.5V$ ， $I_O = 0A$		10	13		μA
			$T_A = -40^\circ C$ 至 $125^\circ C$			13.5	
关断							

- 根据表征结果指定最大 I_B 和 I_{OS} 限制。大于 2.5V 的输入差分电压会导致 I_B 增加
- 典型的输入电流噪声数据是根据设计仿真结果指定的
- 三阶滤波器；-3dB 时的带宽 = 80kHz。
- 短路电流是拉出和吸收短路电流的平均值

5.6 典型特性

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

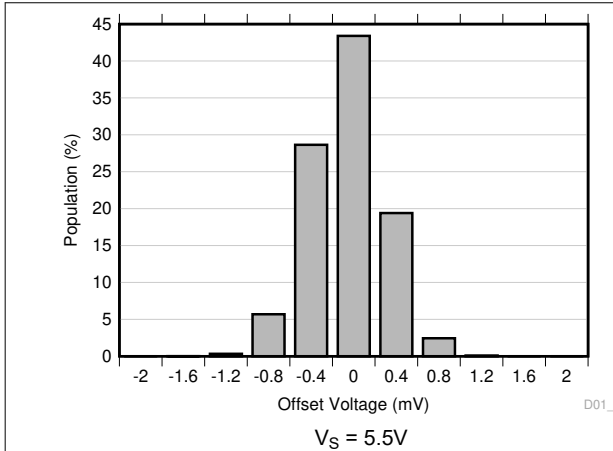


图 5-1. 失调电压分布直方图

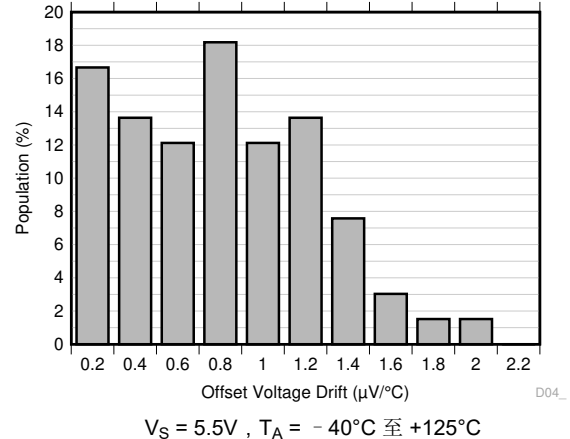


图 5-2. 失调电压漂移分布直方图

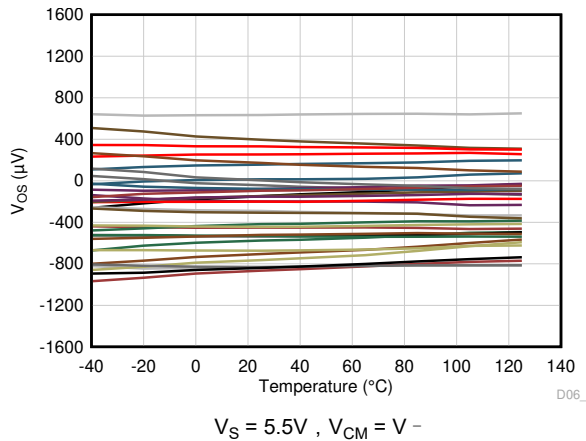


图 5-3. 输入失调电压与温度间的关系

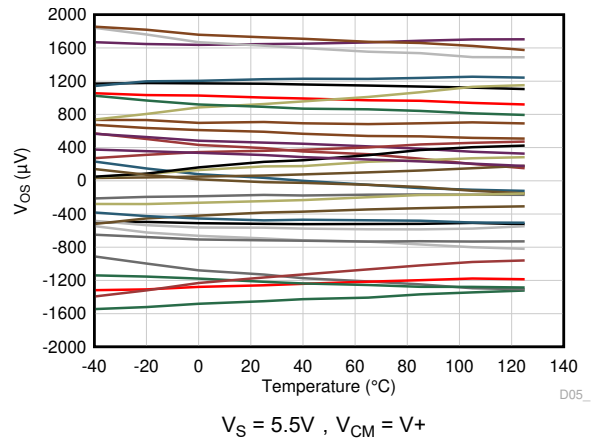


图 5-4. 输入失调电压与温度间的关系

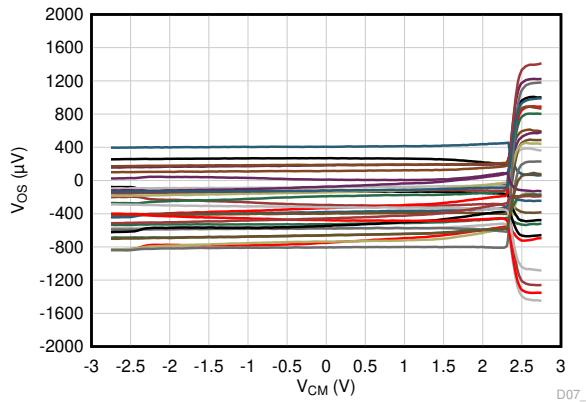


图 5-5. 失调电压与共模间的关系

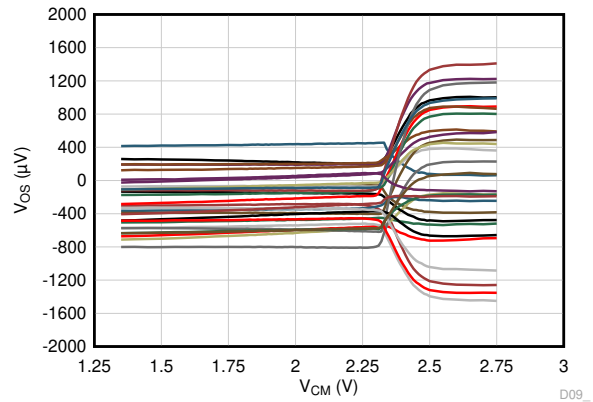


图 5-6. 失调电压与共模间的关系

5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

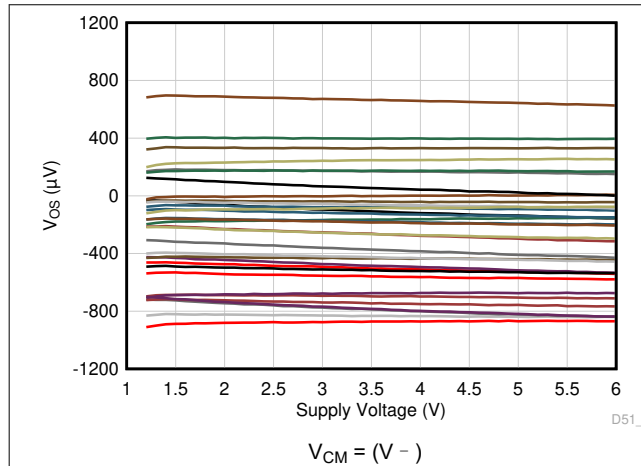


图 5-7. 失调电压与电源电压间的关系

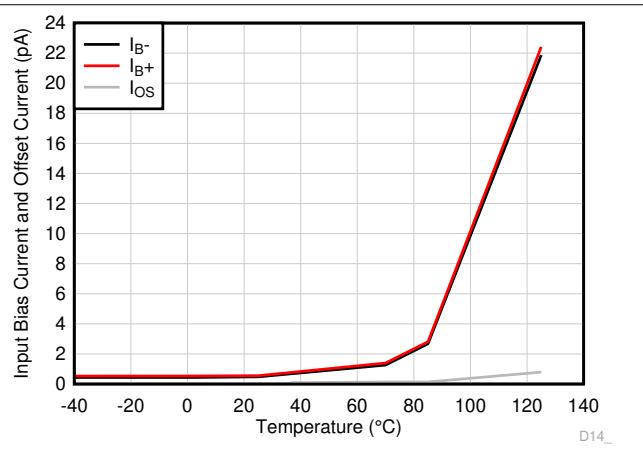


图 5-8. I_B 和 I_{OS} 与温度间的关系

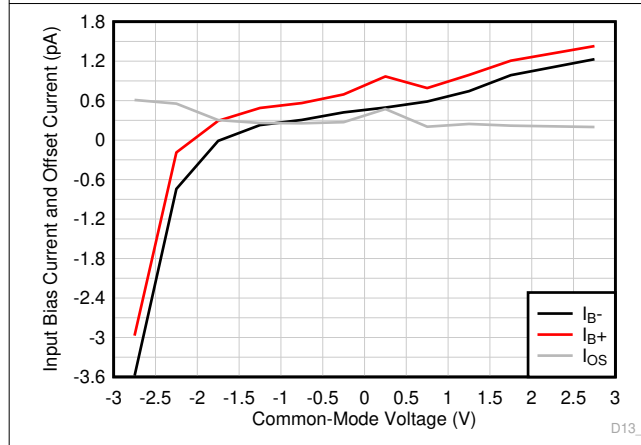


图 5-9. I_B 和 I_{OS} 与共模电压间的关系

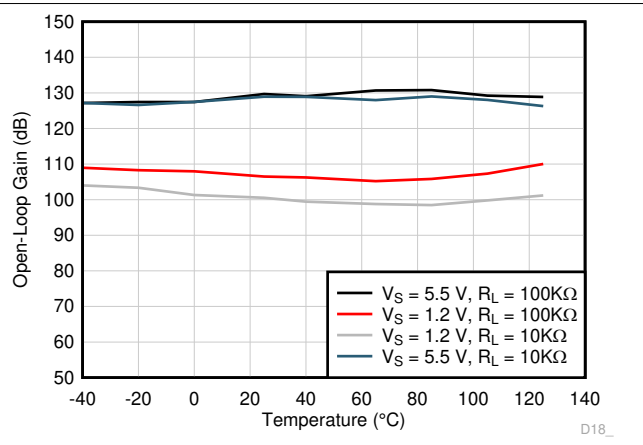


图 5-10. 开环增益与温度间的关系

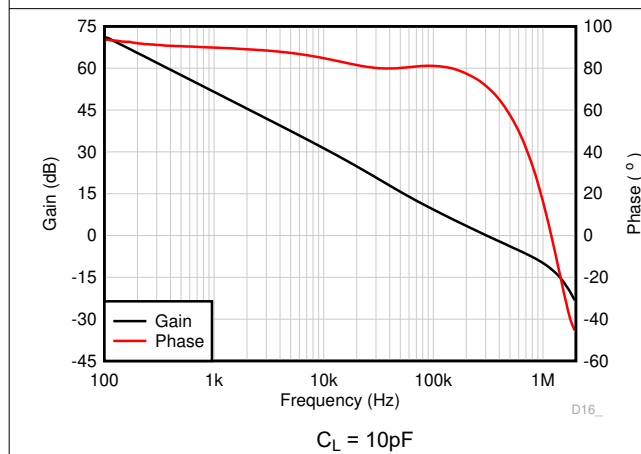


图 5-11. 开环增益和相位与频率间的关系

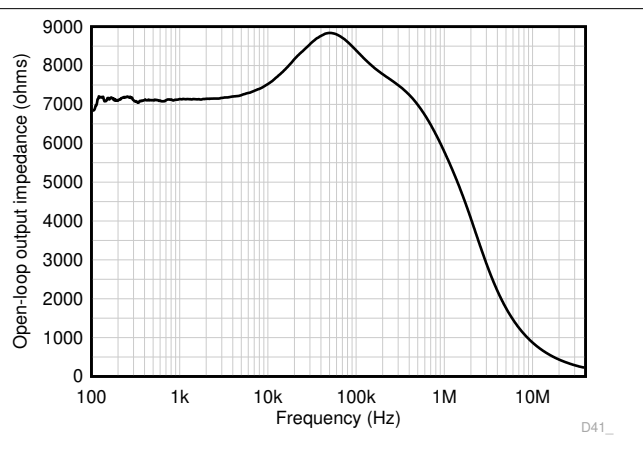


图 5-12. 开环输出阻抗与频率间的关系

5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

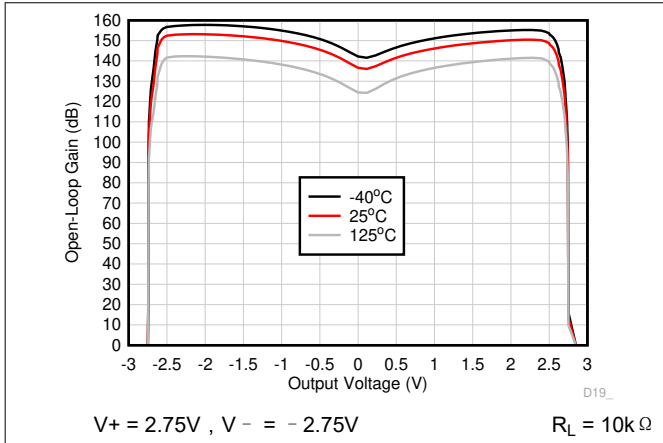


图 5-13. 开环增益与输出电压间的关系

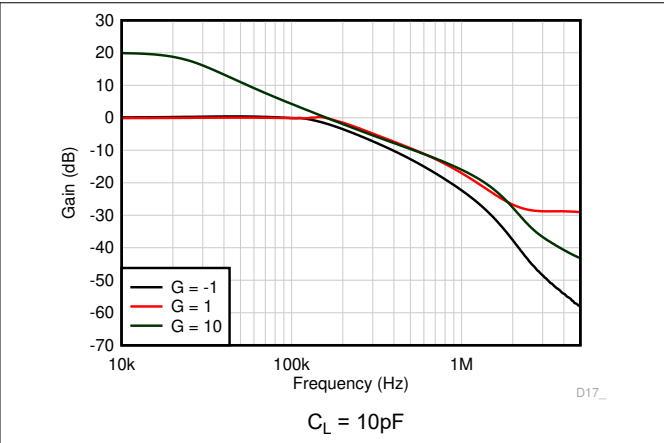


图 5-14. 闭环增益与频率间的关系

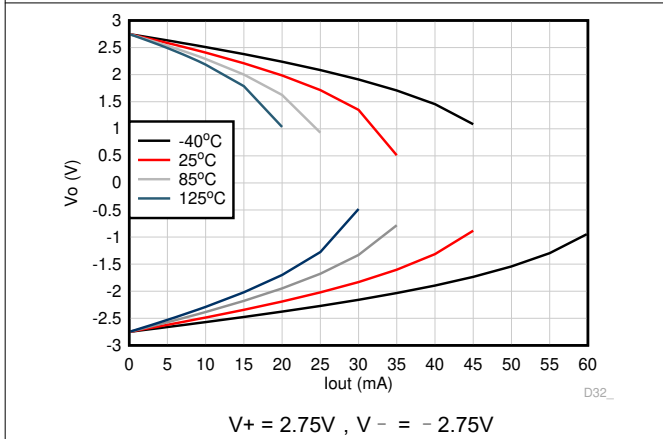


图 5-15. 输出电压与输出电流间的关系 (爪形)

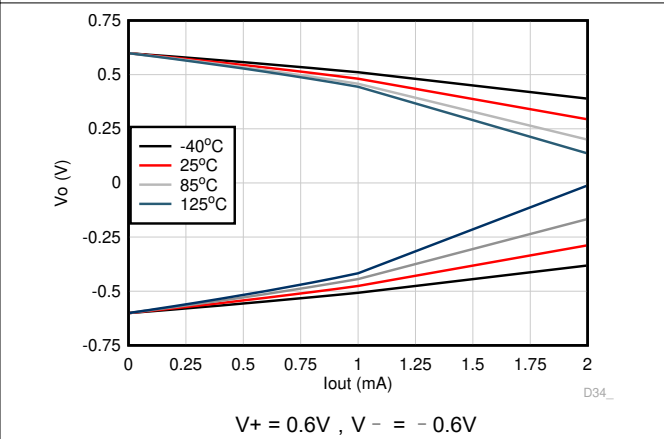


图 5-16. 输出电压与输出电流间的关系 (爪形)

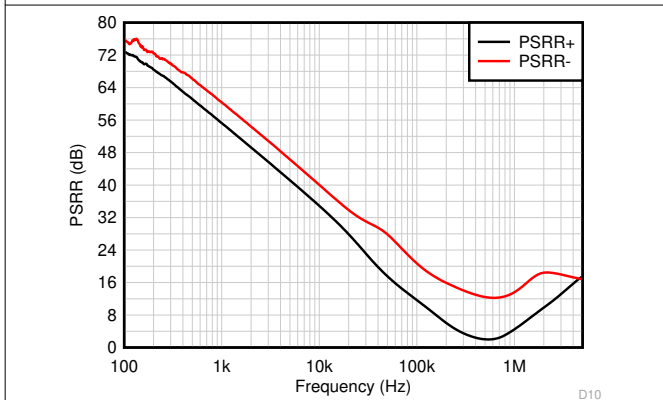


图 5-17. PSRR 与频率间的关系

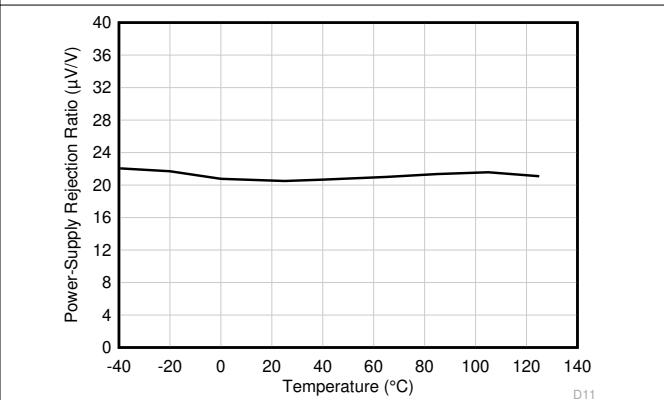
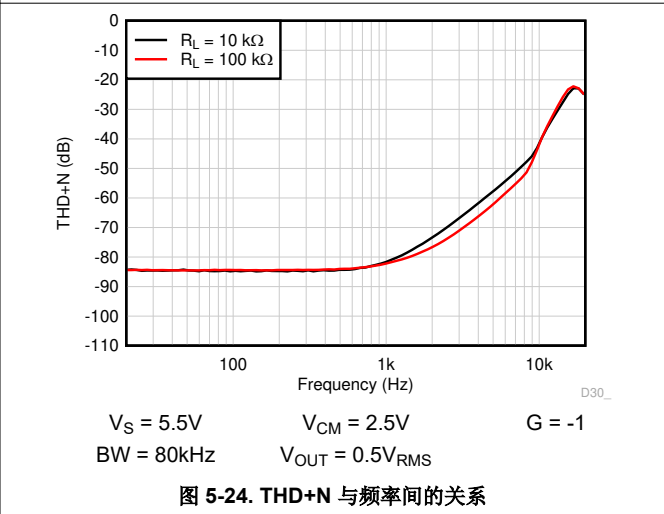
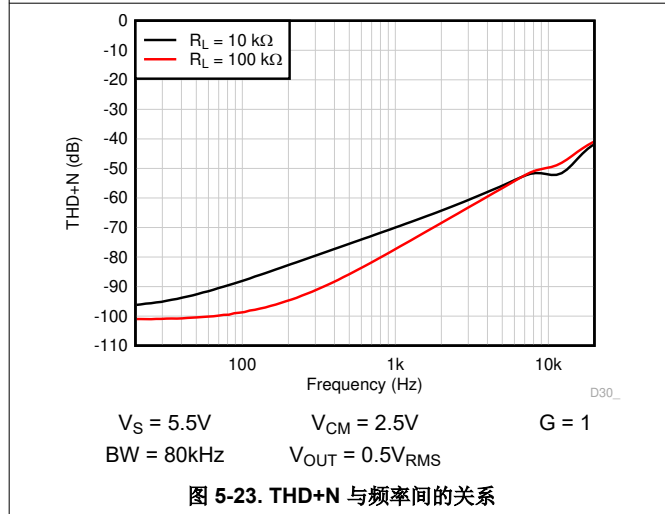
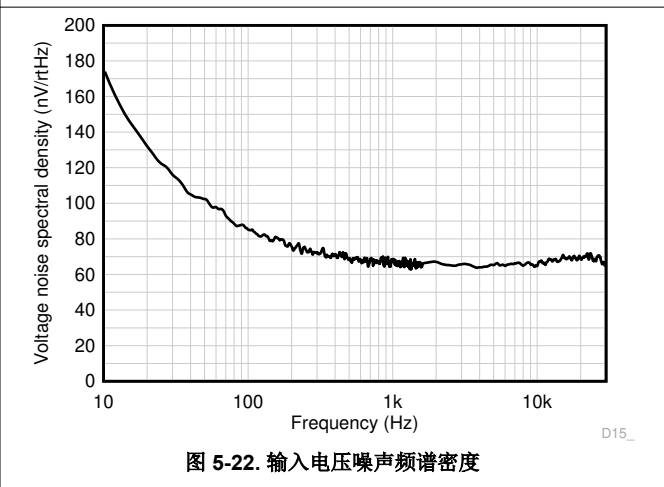
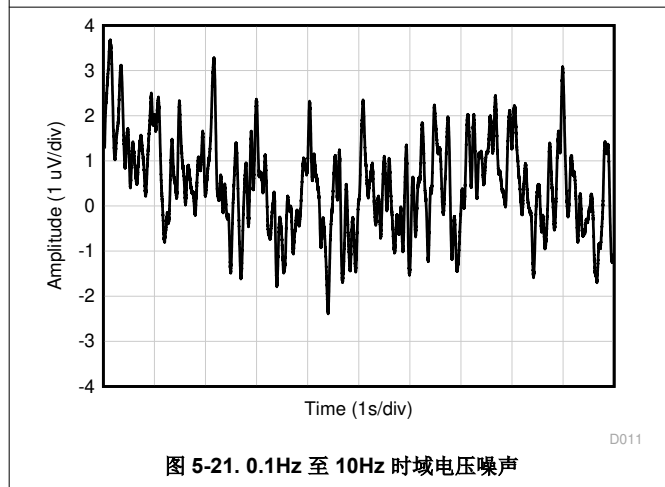
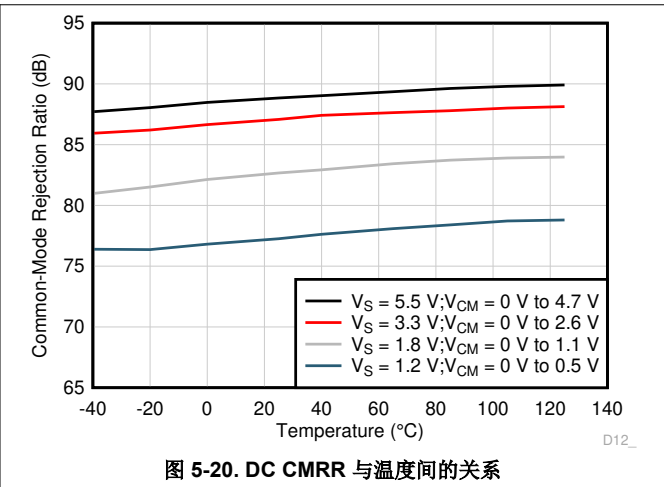
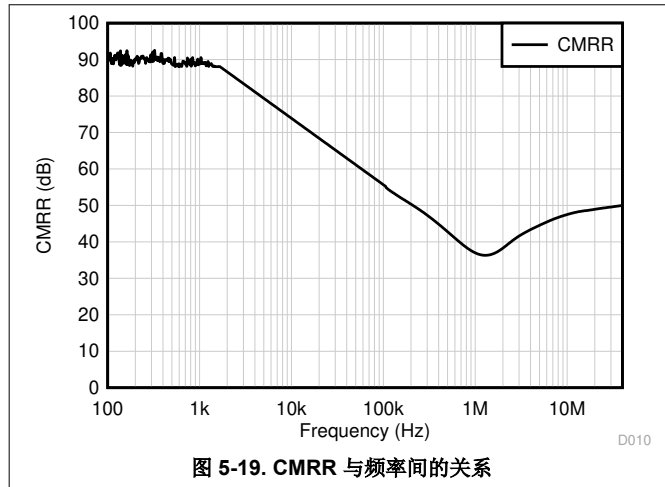


图 5-18. DC PSRR 与温度间的关系

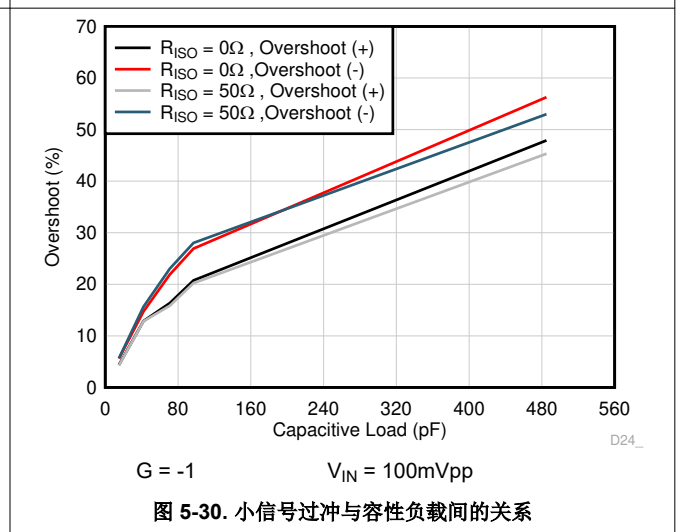
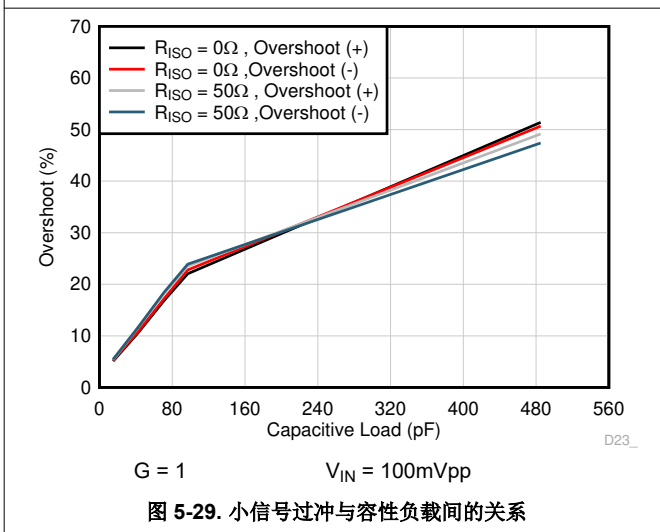
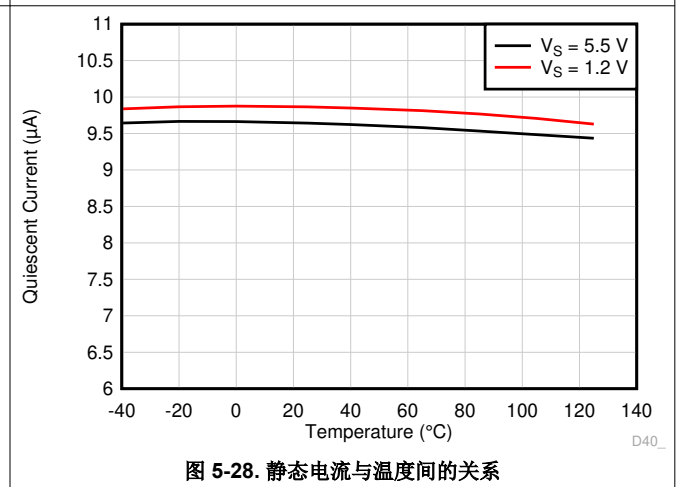
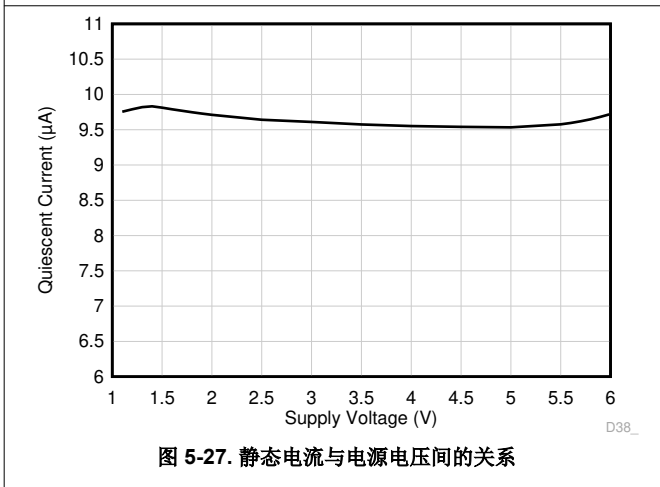
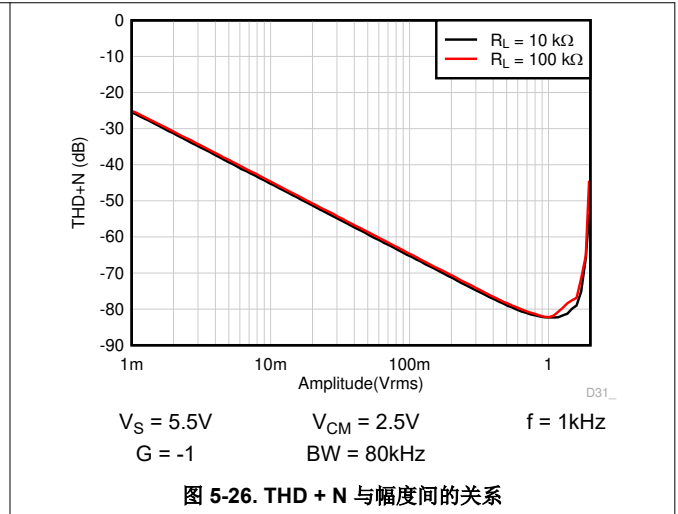
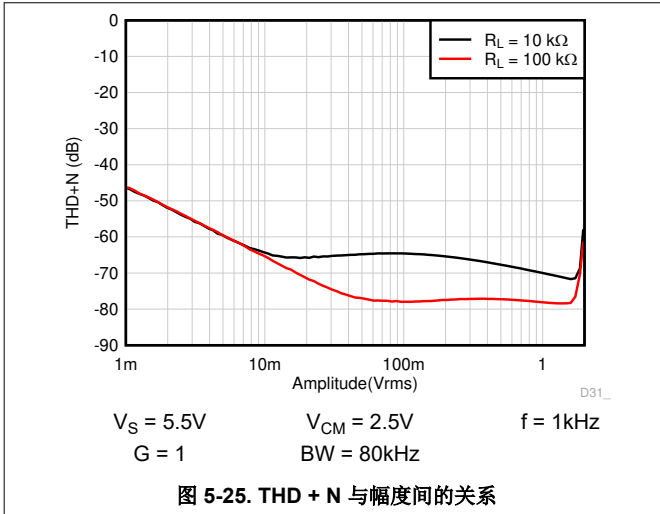
5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)



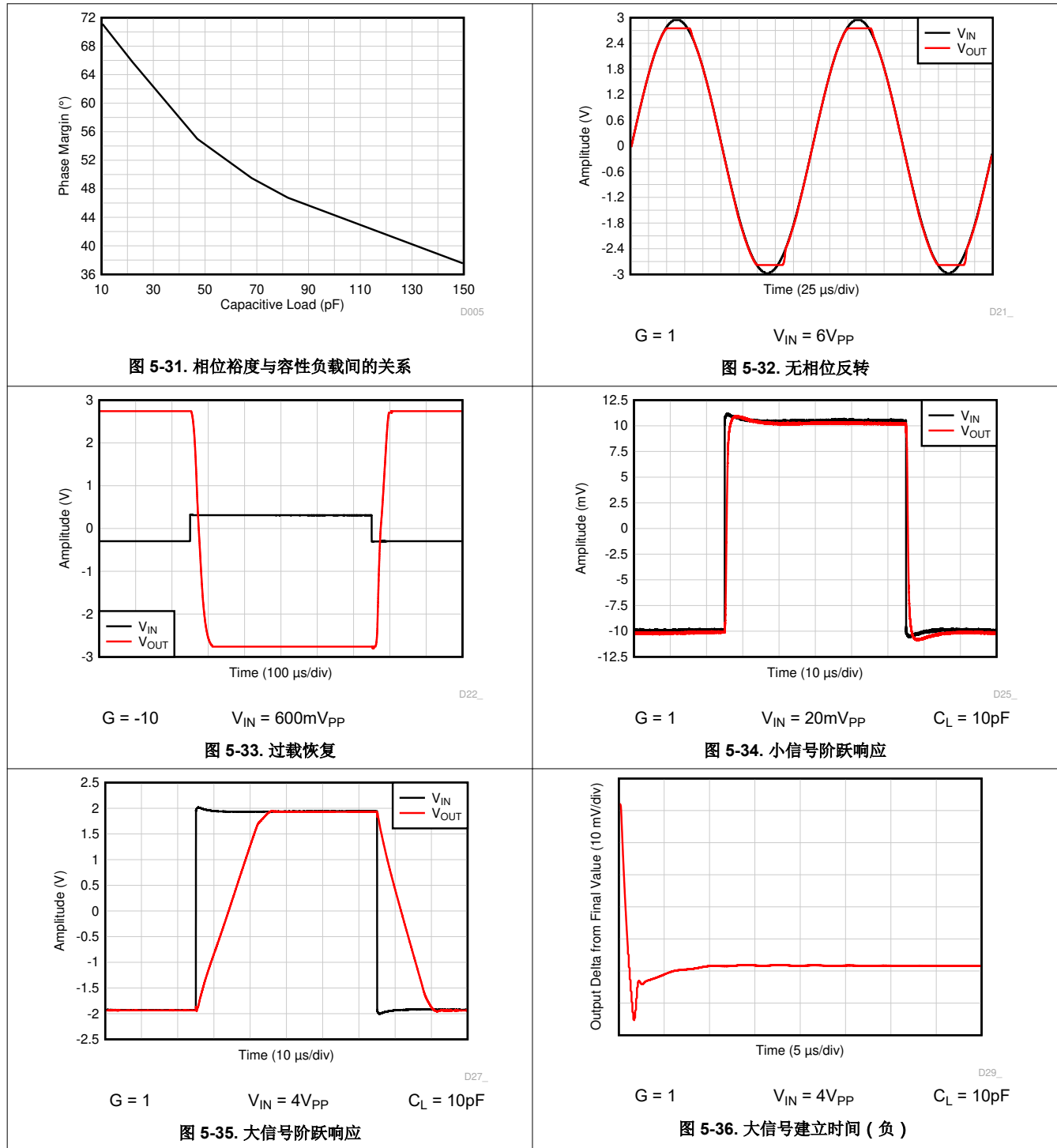
5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)



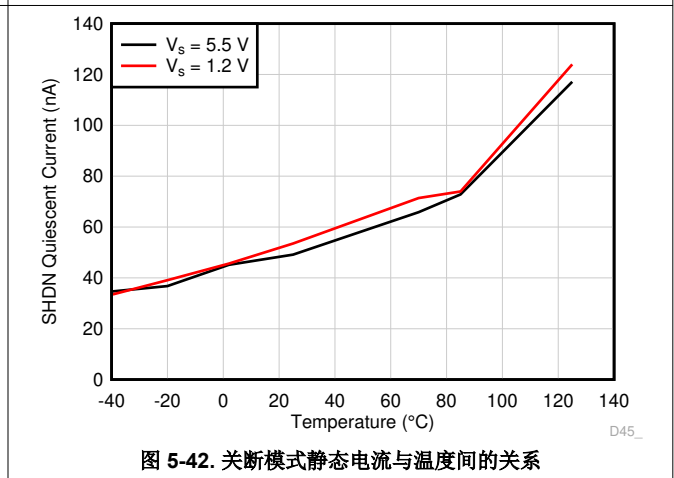
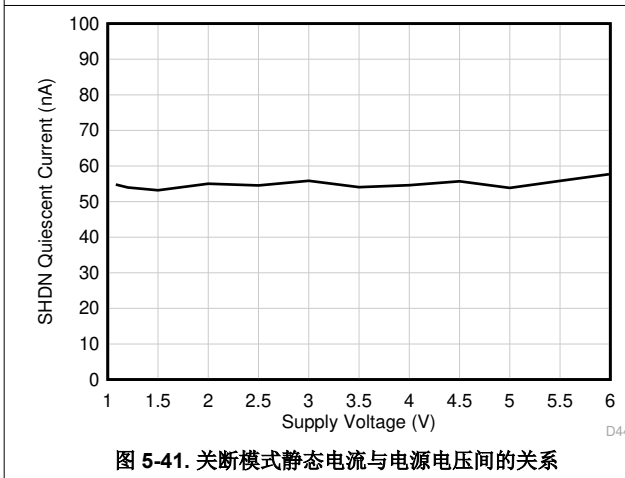
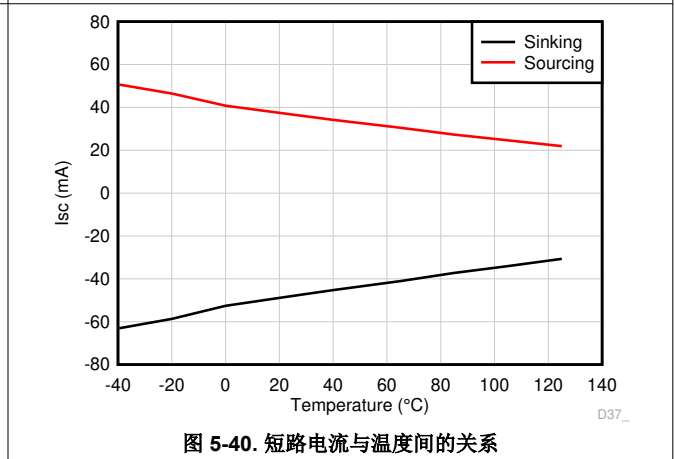
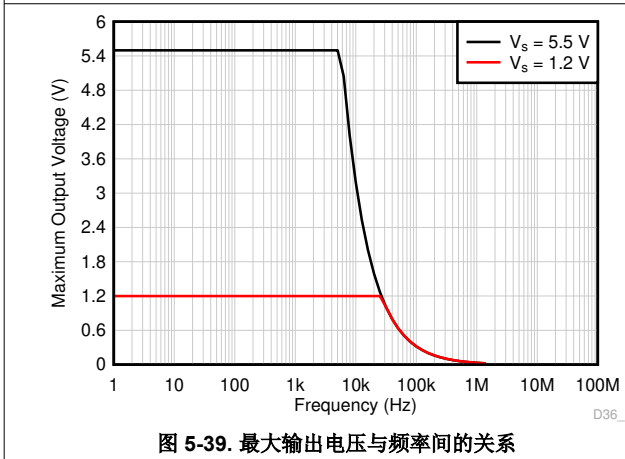
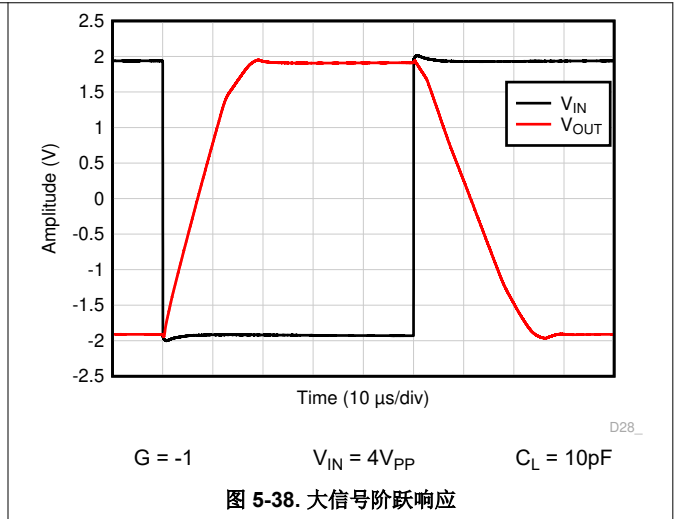
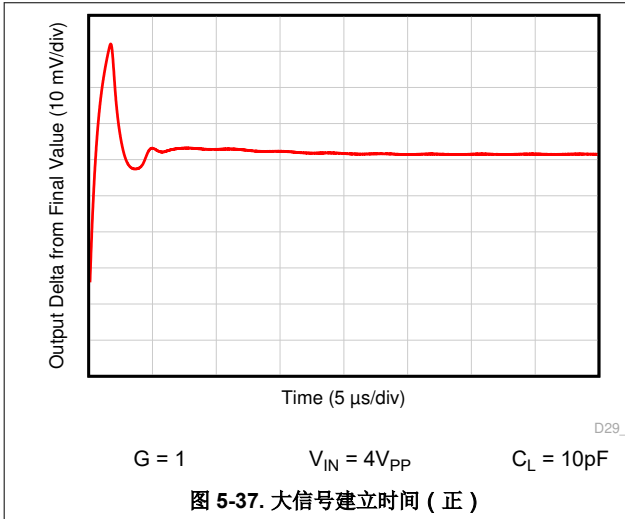
5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)



5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)



5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_+ = 2.75\text{V}$ 、 $V_- = -2.75\text{V}$ 、 $R_L = 10\text{k}\Omega$ 连接到 $V_S/2$ 、 $V_{CM} = V_S/2$ 且 $V_{OUT} = V_S/2$ 条件下测得 (除非另有说明)

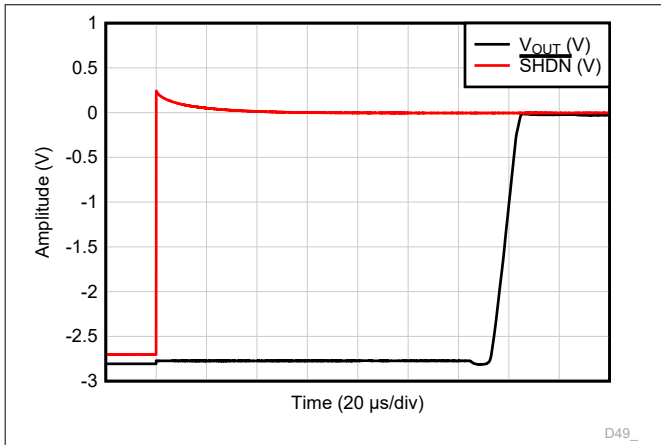


图 5-43. 放大器启用响应

D49_

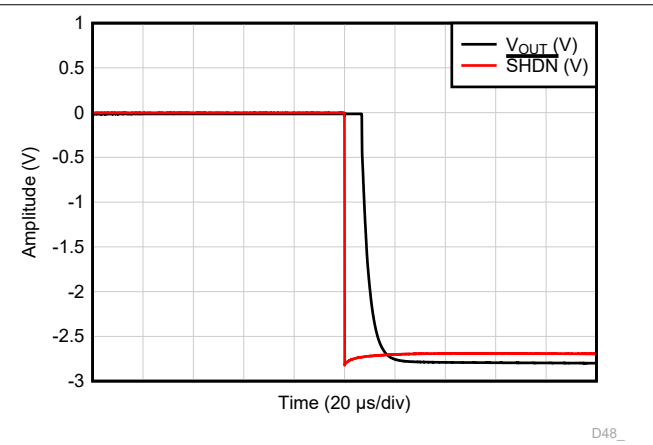


图 5-44. 放大器禁用响应

D48_

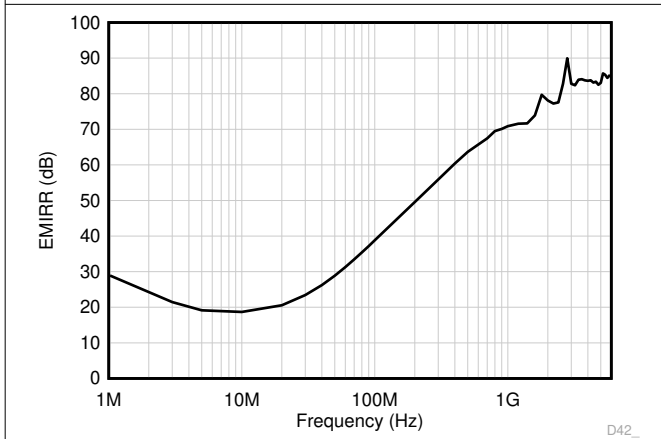


图 5-45. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系

D42_

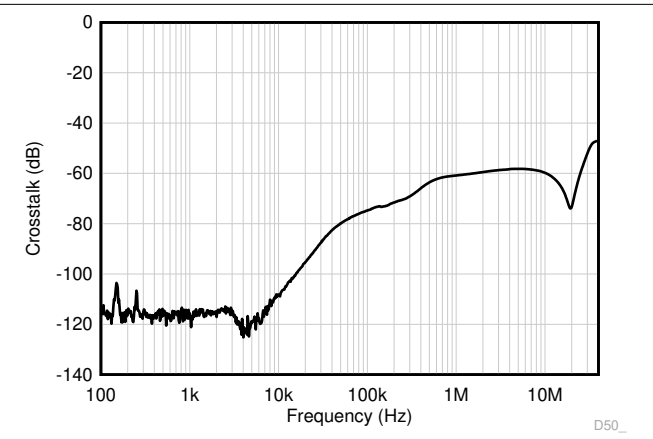


图 5-46. 通道隔离

D50_

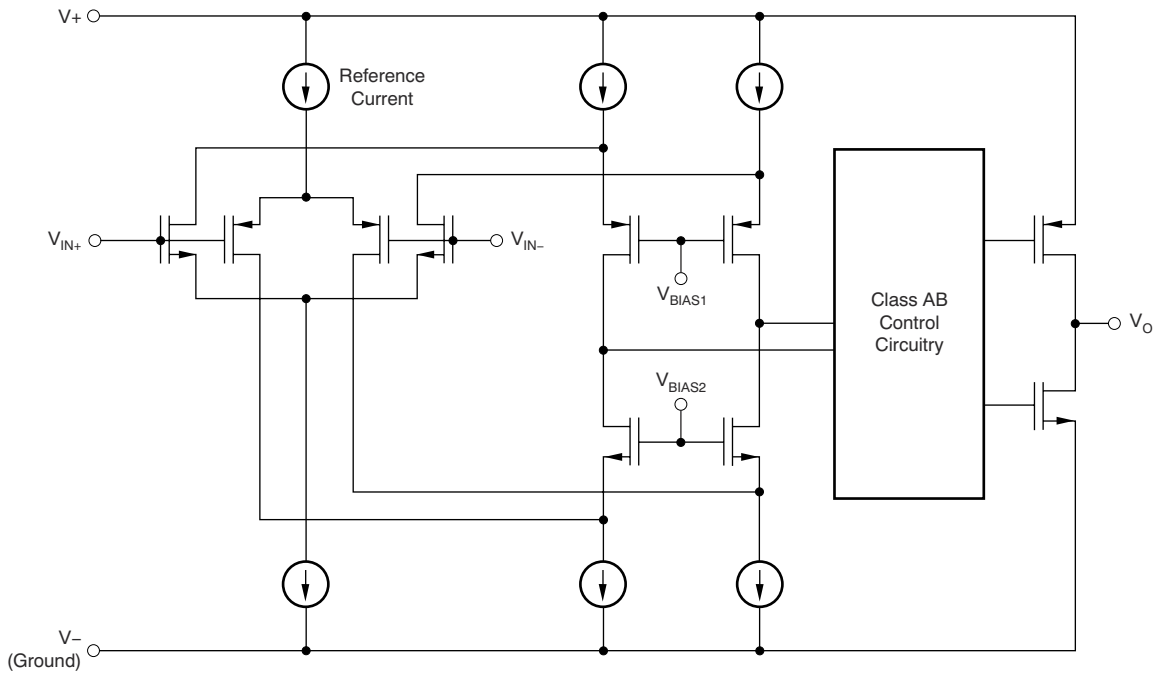
6 详细说明

6.1 概述

TLV904x-Q1 系列低功耗轨到轨输入和输出运算放大器是专为低功耗常开型应用而设计的。此系列放大器使用独特的晶体管，可在 1.2V 的超低电源电压至 5.5V 的标准电源电压范围内运行。这些单位增益稳定的放大器可提供 350kHz 的 GBW， I_Q 仅为 10 μ A。此外，TLV904x-Q1 在 5.5V 时具有 40mA 的短路电流能力。得益于兼具低电压、低 I_Q 和高输出电流能力，该系列器件非常独特，是各种通用应用的理想选择。输入共模电压范围包括两个电源轨，并支持将 TLV904x-Q1 系列用于许多单电源或双电源配置。轨到轨输入和输出摆幅显著增加了动态范围（特别是在低电源应用中更是如此），使得这些器件非常适合驱动低速采样模数转换器 (ADC)。此外，AB 类输出级能够驱动连接至 $V+$ 和接地端之间任一点的大于 2k Ω 的电阻负载。

TLV904x-Q1 可以驱动高达 100pF 的容性负载，具有 45° 典型相位裕度、350kHz 增益带宽积、0.2V/ μ s 压摆率和 6.5 μ V_{p-p} 集成噪声 (0.1Hz 至 10Hz)，同时每个通道仅消耗 10 μ A 的电源电流，从而能够以极低的功耗提供良好的交流性能。1pA (典型值) 的低输入偏置电流、0.6mV (典型值) 的输入失调电压以及良好的 PSRR、CMRR 和 A_{OL} 也非常适合直流应用。

6.2 功能方框图



6.3 特性说明

6.3.1 工作电压

TLV904x-Q1 系列运算放大器的额定工作电压范围为 1.2V 至 5.5V。此外，许多规格在 -40°C 至 125°C 的温度范围内都适用。[典型特性](#) 部分中提供了随工作电压或温度的变化而显著变化的参数。强烈建议使用至少 $0.01\ \mu\text{F}$ 的陶瓷电容器来旁路电源引脚。

6.3.2 轨到轨输入

TLV904x-Q1 系列的输入共模电压范围可以扩展到任何一个电源轨。即使在 1.2V 的超低电源电压，一直到 5.5V 的标准电源电压下工作时都是如此。此性能由一个互补输入级实现：一个 N 通道输入差分对和一个 P 通道差分对并联。更多详细信息，请参阅 [功能方框图](#)。

对于大多数具有互补输入级的放大器，其中一个输入对（通常是 P 通道输入对）设计用于在输入失调电压、N 通道对上的温漂方面提供稍微更好的性能。因此，P 通道对旨在覆盖大部分共模范围，而 N 通道对则被设计为在一定阈值电压下从正轨缓慢接管。就在阈值电压之后，两个输入对都在一个称为过渡区的小范围内工作。在这个区域之外，N 通道对完全接管。与器件在此区域外运行相比，器件在转换区域内运行时，PSRR、CMRR、失调电压、温漂和 THD 会降级。因此，大多数应用通常更喜欢在性能稍好一些的 P 通道输入范围内运行。

对于 TLV904x-Q1，P 通道对通常对从负电源轨到 $(V+) - 0.4\text{V}$ 的输入电压有效，而 N 通道对通常对从正电源到 $(V+) - 0.4\text{V}$ 的输入电压有效。过渡区域通常出现在 $(V+) - 0.5\text{V}$ 到 $(V+) - 0.3\text{V}$ 之间，在过滤区域内时，两对均开启。上面提到的这些电压电平可能随着与晶体管的阈值电压相关联的工艺变化而变化。在 TLV904x-Q1 中，上述 200mV 过渡区域在任一方向上的变化最高可达 200mV。因此，此转换区域（两个级都打开）在低端上的范围介于 $(V+) - 0.7\text{V}$ 至 $(V+) - 0.5\text{V}$ 之间，在高端上的范围高达 $(V+) - 0.3\text{V}$ 至 $(V+) - 0.1\text{V}$ 之间。

鉴于 P 通道输入对通常提供比 N 通道输入对更好的性能，TLV904x-Q1 与业内大多数互补输入放大器相比，提供了更宽的 P 通道输入对范围。下面提供了 TLV904x-Q1 和 TLV900x-Q1 的并排比较。请注意，TLV900x-Q1 可保证 P 通道对仅在距正轨 1.4V 之前运行，而 TLV904x-Q1 保证 P 通道对一直运行到距正轨 0.7V。TLV904x-Q1 的这个额外的 700mV P 通道输入对范围在 P 通道输入范围通常在很大程度上受到限制的较低电源电压（1.2V、1.8V 等）下运行时特别有用。

因此，输入信号的宽共模摆幅可以更容易地容纳在 TLV904x-Q1 的 P 通道输入对中，同时可能避开过渡区域，从而保持线性度。

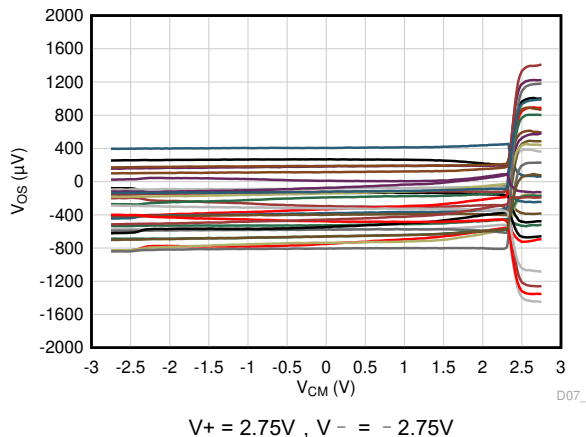


图 6-1. TLV904x-Q1 失调电压与共模电压间的关系

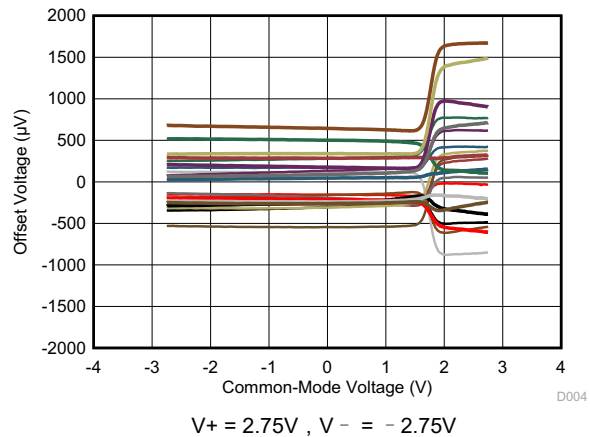


图 6-2. TLV900x-Q1 失调电压与共模电压间的关系

6.3.3 轨到轨输出

TLV904x-Q1 器件设计为一种低功耗、低噪声运算放大器，可提供强大的输出驱动能力。它采用一个具有共源晶体管的 AB 类输出级来实现完全的轨到轨输出摆幅功能。对于高达 $5k\Omega$ 的电阻负载，无论施加的电源电压是多少，输出摆幅通常在两个电源轨的 $20mV$ 以内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力。

6.3.4 共模抑制比 (CMRR)

TLV904x-Q1 的 CMRR 具有多种规格，因此可为给定应用提供最合适的匹配值；请参阅 [电气特性](#) 表。首先，给出了低于转换区域 $[V_{CM} < (V+) - 0.7V]$ 的共模范围内的器件 CMRR。当应用需要使用差分输入对之一时，此规格是器件功能的最佳指标。其次，指定了在 $(V_{CM} = 0V \text{ 至 } 5.5V)$ 时整个共模范围内的 CMRR。最后的这个值包含转换区域内测出的变化。

6.3.5 容性负载和稳定性

TLV904x-Q1 系列专为需要驱动容性负载的应用而设计。与所有运算放大器一样，可能存在会使 TLV904x-Q1 变得不稳定的特定情况。在确定特定运算放大器的运行是否稳定时，需要考虑放大器电路配置、布局、增益和输出负载等因素。在单位增益 ($1V/V$) 缓冲器配置下驱动容性负载的运算放大器比在更高噪声增益下工作的放大器更容易出现不稳定的情况。容性负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相位裕度降级的极点。当容性负载增加时，相位裕度的降级会增大。在单位增益配置下运行时，TLV904x-Q1 具有良好的相位裕度（典型值为 45° ），在高约 $100pF$ 的纯容性负载下仍能保持稳定。某些超大电容器 (C_L 大于 $1\mu F$) 的等效串联电阻足够改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。如果在电压增益更高时测量放大器的过冲响应，放大器驱动能力的提升会非常明显。

要提升在单位增益配置下运行的放大器的容性负载驱动能力，一种方法是插入一个与输出串联的小型电阻器（一般为 10Ω 到 20Ω ），（如图 6-3 中所示）。这个电阻器大大减少了与大容性负载相关的过冲和振铃。不过，该方法可能存在的问题是，这个新增的串联电阻和任一与容性负载并联的电阻会生成一个分压器。此分压器在输出上引入一个减少输出摆幅的增益误差。

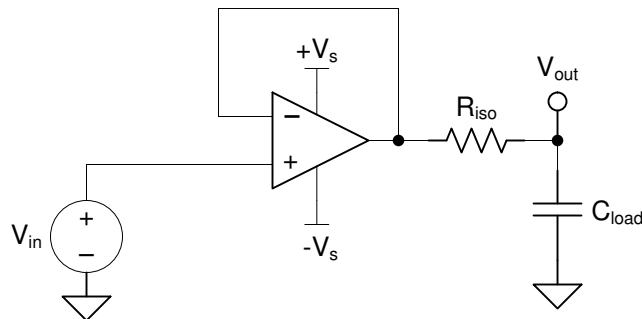


图 6-3. 增强容性负载驱动能力

6.3.6 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。一旦其中一个输出器件进入饱和区，输出级需要额外的时间才能恢复到线性工作状态，这被称为过载恢复时间。在输出级返回其线性工作状态后，放大器开始以指定的转换率转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。TLV904x-Q1 系列的过载恢复时间通常约为 $13\mu s$ 。

6.3.7 EMI 抑制

TLV904x-Q1 使用集成电磁干扰 (EMI) 滤波功能来降低干扰源（如无线通信设备以及混合使用模拟信号链和数字元件的高密度电路板）产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；TLV904x-Q1 可从这些设计改进中受益。德州仪器 (TI) 已经开发出在 $10MHz$ 至 $6GHz$ 扩展宽频谱范围内准确测量和量化运算放大器抗扰度的功能。图 6-4 展示了对 TLV904x-Q1 执行此测试的结果。表 6-1 展示了 TLV904x-Q1 在实际应用中常见特定频率

下的 EMIRR IN+ 值。运算放大器的 EMI 抑制比应用手册包含了 EMIRR 性能与运算放大器相关性的详细信息，该手册可在 www.ti.com 上下载。

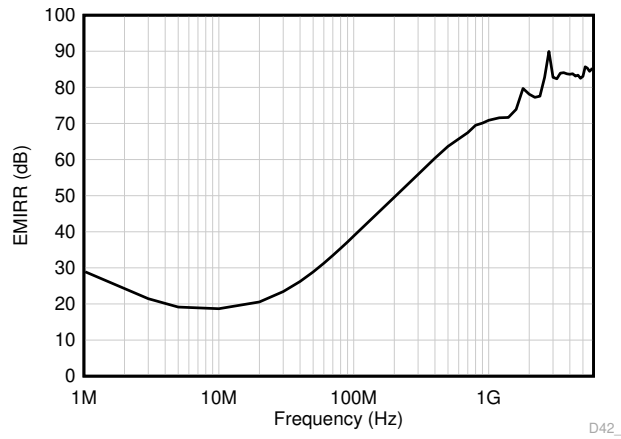


图 6-4. EMIRR 测试

表 6-1. TLV904x-Q1 在相关频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	60dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS (最高可达 1.6GHz)、GSM、航空移动通信及 UHF 应用	70dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段 (1GHz 至 2GHz)	75dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段 (2GHz 至 4GHz)	79dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	82dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段 (4GHz 至 8GHz)	85dB

6.3.8 电过应力

设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路以及与电气过载事件的关联性会有所帮助。图 6-5 显示了 TLV904x-Q1 器件中包含的 ESD 电路。ESD 保护电路涉及多个导流二极管。这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器的内部吸收器件。该保护电路在电路正常工作时处于未运行状态。

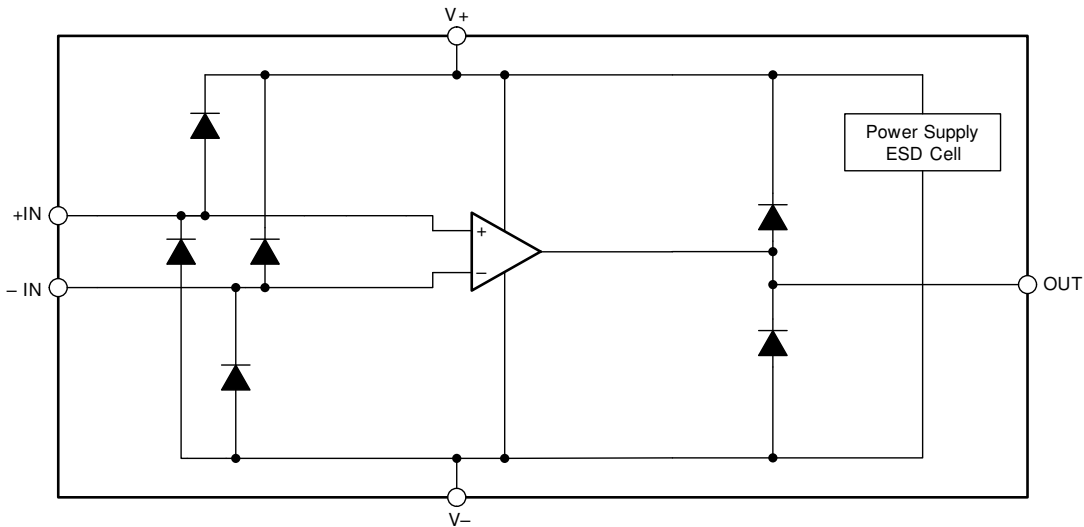


图 6-5. 等效内部 ESD 电路

6.3.9 输入和 ESD 保护

TLV904x-Q1 系列在所有引脚上均整合了内部 ESD 保护电路。对于输入和输出引脚，这种保护主要包括输入和电源引脚之间连接的导流二极管。只要电流不超过 10mA，这些 ESD 保护二极管就能提供电路内输入过驱保护。图 6-6 展示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声，在对噪声敏感的应用中，该值必须保持在最低。

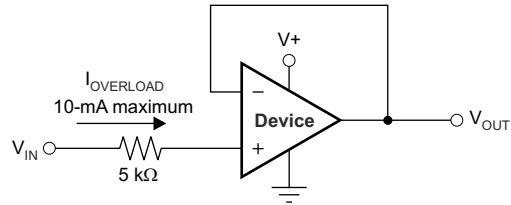


图 6-6. 输入电流保护

6.4 器件功能模式

TLV904x-Q1 器件拥有单功能模式。只要电源电压在 1.2V ($\pm 0.6V$) 与 5.5V ($\pm 2.75V$) 之间，这些器件就处于通电状态。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TLV904x-Q1 系列低功耗轨到轨输入和输出运算放大器是专为低功耗应用而设计的。这些器件的工作电压范围为 1.2V 至 5.5V，具有单位增益稳定特性，也是各种通用应用的卓越选择。AB 类输出级能够驱动连接至 $V+$ 和 $V-$ 之间任一点的大于 $2k\Omega$ 的电阻负载。输入共模电压范围包括两个电源轨，并支持将 TLV904x-Q1 系列用于许多单电源或双电源配置。

7.2 典型应用

7.2.1 TLV904x-Q1 低侧电流检测应用

图 7-1 展示了低侧电流检测应用中配置的 TLV904x-Q1。

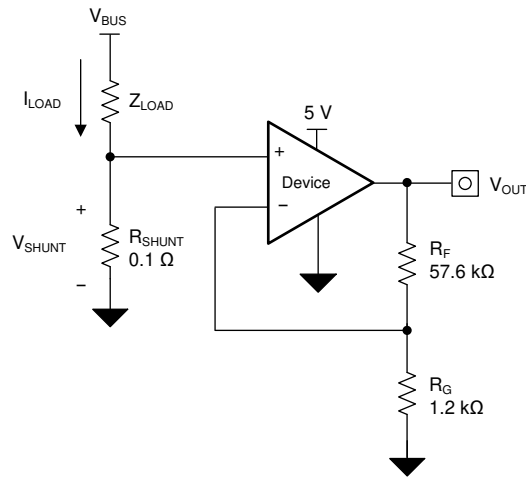


图 7-1. 低侧电流检测应用中的 TLV904x-Q1

7.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压最大值：4.9V
- 最大分流电压：100mV

7.2.1.2 详细设计过程

方程式 1 提供了图 7-1 中的电路传递函数。

$$V_{\text{OUT}} = I_{\text{LOAD}} \times R_{\text{SHUNT}} \times \text{Gain} \quad (1)$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 2 计算最大分流电阻：

$$R_{\text{SHUNT}} = \frac{V_{\text{SHUNT_MAX}}}{I_{\text{LOAD_MAX}}} = \frac{100\text{mV}}{1\text{A}} = 100\text{m}\Omega \quad (2)$$

使用方程式 2 计算出的 R_{SHUNT} 为 100m Ω 。 I_{LOAD} 和 R_{SHUNT} 产生的压降由 TLV904x-Q1 放大，从而产生约 0V 至 4.9V 的输出电压。可以使用方程式 3 计算 TLV904x-Q1 生成必要输出电压所需的增益。

$$\text{Gain} = \frac{(V_{\text{OUT_MAX}} - V_{\text{OUT_MIN}})}{(V_{\text{IN_MAX}} - V_{\text{IN_MIN}})} \quad (3)$$

本示例中，使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_{F} 和 R_{G} 设置。方程式 4 可确定 R_{F} 和 R_{G} 电阻器的大小，从而将 TLV904x-Q1 的增益设置为 49V/V。

$$\text{Gain} = 1 + \frac{(R_{\text{F}})}{(R_{\text{G}})} \quad (4)$$

选择 R_{F} 为 57.6k Ω 和 R_{G} 为 1.2k Ω 的组合，可得到 49V/V。图 7-2 展示了图 7-1 中所示电路测得的传递函数。请注意，增益只是反馈和增益电阻器的函数。通过改变电阻器的比率来调整该增益，并且实际电阻器值由设计人员想要建立的阻抗水平确定。阻抗水平决定了电流损耗、杂散电容的影响以及其他一些行为。单个阻抗选择无法适用于每个系统，您必须选择适合您的系统参数的阻抗。

7.2.1.3 应用曲线

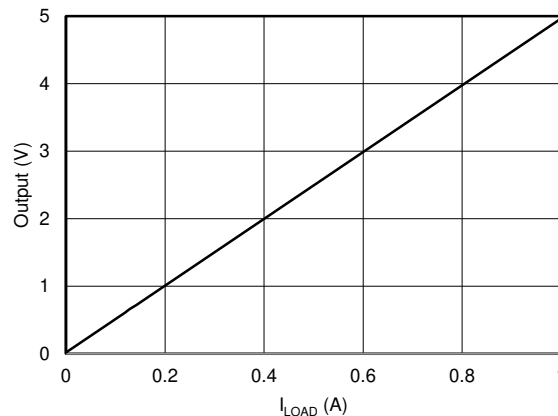


图 7-2. 低侧电流检测传递函数

7.3 电源相关建议

TLV904x-Q1 系列的额定工作电压范围为 1.2V 至 5.5V ($\pm 0.6V$ 至 $\pm 2.75V$) ; 许多规格在 -40°C 至 125°C 的温度范围内适用。 [电气特性](#) 部分介绍了可能会随工作电压或温度而显著变化的参数。

小心

电源电压大于 6V 会对器件造成永久损坏；请参阅 [绝对最大额定值](#) 表。

将 0.1 μF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置位置的详细信息，请参阅 [布局指南](#) 部分。

7.4 布局

7.4.1 布局指南

为了使器件具有出色的运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 请记住，噪声可以通过电路板的电源连接传播到模拟电路中，传播到运算放大器的电源引脚。旁路电容器用于通过提供低阻抗接地路径来降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) $0.1\mu\text{F}$ 陶瓷旁路电容器，并尽量靠近器件放置。从 $V+$ 到接地端的单个旁路电容器足以满足单电源应用的需求。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，应让输入布线尽可能远离电源或输出布线。如果这些走线不能保持分开，则以 90° 角穿过敏感走线比平行于噪声走线来排布走线要好得多。
- 外部元件的位置应尽量靠近器件，如 [布局示例](#) 中所示。使 R_F 和 R_G 接近反相输入可更大限度地减小寄生电容。
- 尽可能缩短输入布线的长度。切记，输入走线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- 为获得卓越性能，建议在组装 PCB 板后进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，建议将 PCB 组装烘干，以去除清洁时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

7.4.2 布局示例

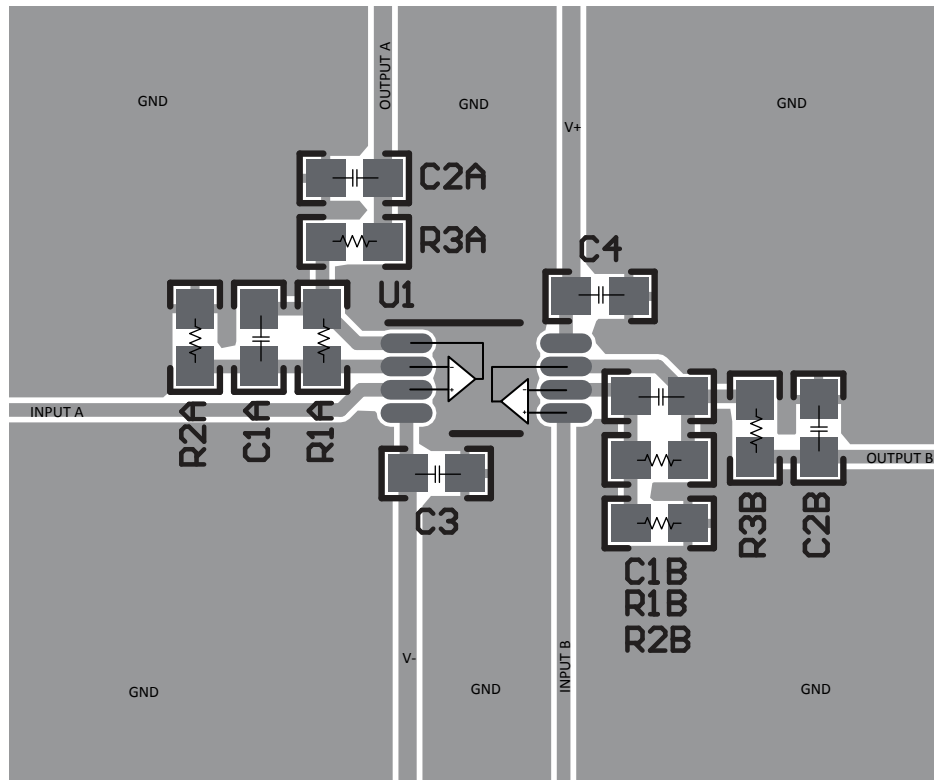


图 7-3. VSSOP-8 (DGK) 封装的布局示例

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [使用低功耗运算放大器进行设计 \(第 1 部分\) : 运算放大器电路节能技术 技术文章](#)
- 德州仪器 (TI), [使用低功耗运算放大器进行设计 \(第 2 部分\) : 适用于低电源电压应用的低功耗运算放大器 技术文章](#)
- 德州仪器 (TI), [使用低功耗运算放大器进行设计 \(第 3 部分\) : 通过关断放大器节省功耗 技术文章](#)
- 德州仪器 (TI), [使用低功耗运算放大器进行设计 \(第 4 部分\) : 稳定性问题和解决方案 技术文章](#)
- 德州仪器 (TI), [运算放大器的 EMI 抑制比 应用手册](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

商标

TI E2E™ is a trademark of Texas Instruments.

蓝牙® is a registered trademark of Bluetooth SIG, Inc.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (June 2024) to Revision A (August 2024)	Page
• 将数据表状态从 <i>预告信息</i> 更改为 <i>混合量产</i>	1
• 将 TLV9044-Q1 PW (TSSOP , 14) 封装状态从 <i>预发布</i> 更改为 <i>正在供货</i>	1
• 添加了 14 引脚 TSSOP (PW) 封装的热性能信息	6

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV9044QPWRQ1	ACTIVE	TSSOP	PW	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Q9044PW	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9044-Q1 :

- Catalog : [TLV9044](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

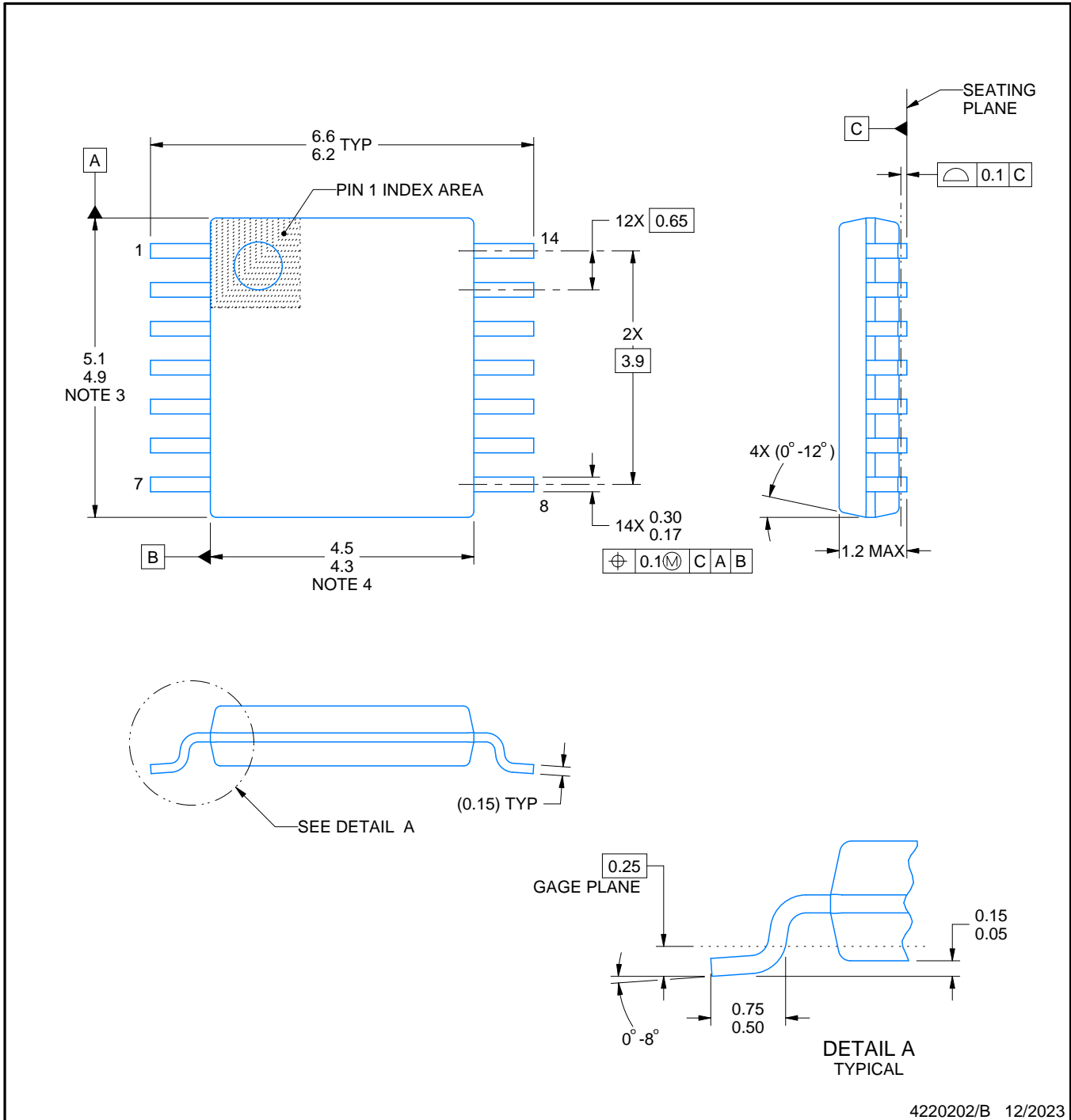
PW0014A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司