

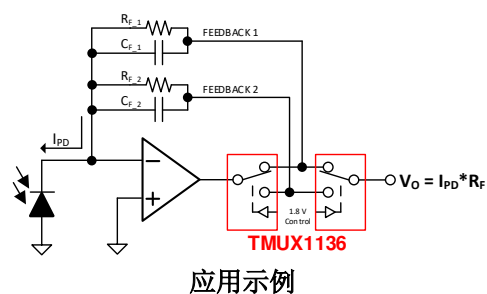
TMUX1136 5V 低漏电流、2:1、双通道精密模拟开关

1 特性

- 宽电源电压范围：1.08V 至 5.5V
- 低漏电流：3pA
- 低导通电阻：2 Ω
- 低电荷注入：-6pC
- 工作温度范围：-40°C 至 +125°C
- 兼容 1.8V 逻辑电平
- 失效防护逻辑
- 轨至轨运行
- 双向信号路径
- 先断后合开关
- ESD 保护 HBM：2000V

2 应用

- 超声波扫描仪
- 患者监护和诊断
- 血糖监测仪
- 光纤网络
- 光学测试设备
- 远程无线电单元
- 功率放大器开关
- 数据采集系统
- ATE 测试设备
- 工厂自动化和工业控制
- 流量变送器
- 可编程逻辑控制器 (PLC)
- 模拟输入模块
- 声纳接收器
- 电池监控系统



3 说明

TMUX1136 是一种互补金属氧化物半导体 (CMOS) 单极双投 (2:1) 开关，具有两个独立控制的通道。1.08V 至 5.5V 的宽工作电源电压范围使该器件非常适用于从医疗设备到工业系统的各种应用。该器件可在源极 (Sx) 和漏极 (Dx) 引脚上支持从 GND 到 V_{DD} 范围的双向模拟和数字信号。所有逻辑输入均具有兼容 1.8V 逻辑的阈值，当器件在有效电源电压范围内运行时，这些阈值可实现 TTL 和 CMOS 逻辑兼容性。失效防护逻辑电路允许先在控制引脚上施加电压，然后在电源引脚上施加电压，从而保护器件免受潜在的损害。

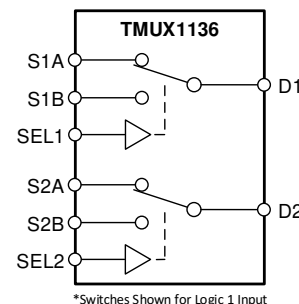
TMUX1136 是精密开关和多路复用器器件系列的一部分。这些器件具有非常低的导通和关断泄漏电流以及较低的电荷注入，因此可用于高精度测量应用。3nA 的低电源电流和小型封装选项使其可用于便携式应用。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TMUX1136	DGS (VSSOP , 10)	3mm × 4.9mm
	DQA (USON , 10)	2.5mm × 1mm

(1) 有关详细信息，请参阅节 11

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



方框图



内容

1 特性	1	6.8 串扰.....	17
2 应用	1	6.9 带宽.....	18
3 说明	1	7 详细说明	19
4 引脚配置和功能	3	7.1 功能方框图.....	19
5 规格	4	7.2 特性说明.....	19
5.1 绝对最大额定值.....	4	7.3 器件功能模式.....	21
5.2 ESD 等级.....	4	8 应用和实施	22
5.3 建议运行条件.....	4	8.1 应用信息.....	22
5.4 热性能信息.....	5	8.2 典型应用.....	22
5.5 电气特性 ($V_{DD} = 5V \pm 10\%$).....	5	8.3 电源相关建议.....	24
5.6 电气特性 ($V_{DD} = 3.3V \pm 10\%$).....	6	8.4 布局.....	24
5.7 电气特性 ($V_{DD} = 1.8V \pm 10\%$).....	8	9 器件和文档支持	26
5.8 电气特性 ($V_{DD} = 1.2V \pm 10\%$).....	9	9.1 文档支持.....	26
6 参数测量信息	14	9.2 接收文档更新通知.....	26
6.1 导通电阻.....	14	9.3 支持资源.....	26
6.2 关断漏电流.....	14	9.4 商标.....	26
6.3 导通漏电流.....	15	9.5 静电放电警告.....	26
6.4 转换时间.....	15	9.6 术语表.....	26
6.5 先断后合.....	16	10 修订历史记录	26
6.6 电荷注入.....	16	11 机械、封装和可订购信息	27
6.7 关断隔离.....	17		

4 引脚配置和功能

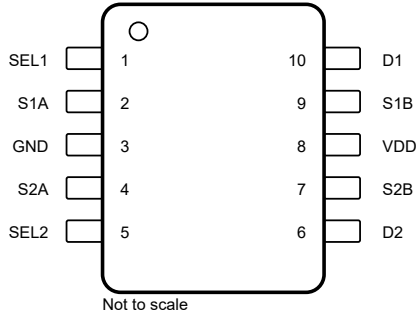


图 4-1. DGS 封装 10 引脚 VSSOP (顶视图)

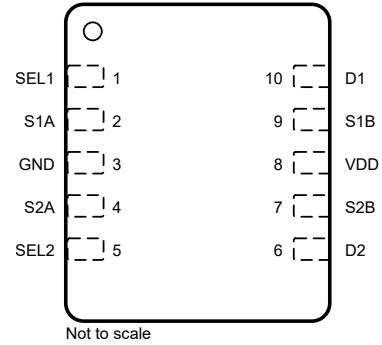


图 4-2. DQA 封装 10 引脚 USON (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
SEL1	1	I	选择引脚 1：根据表 7-1 控制开关 1 的状态。(逻辑低电平 = S1B 至 D1，逻辑高电平 = S1A 至 D1)
S1A	2	I/O	源极引脚 1A。可以是输入或输出。
GND	3	P	接地 (0V) 基准
S2A	4	I/O	源极引脚 2A。可以是输入或输出。
SEL2	5	I	选择引脚 2：根据表 7-1 控制开关 2 的状态。(逻辑低电平 = S2B 至 D2，逻辑高电平 = S2A 至 D2)
D2	6	I/O	漏极引脚 2。可以是输入或输出。
S2B	7	I/O	源极引脚 2B。可以是输入或输出。
VDD	8	P	正电源。该引脚是正电源电势最高的引脚。为了实现可靠运行，应在 V _{DD} 和 GND 之间连接一个 0.1μF 至 10μF 的去耦电容器。
S1B	9	I/O	源极引脚 1B。可以是输入或输出。
D1	10	I/O	漏极引脚 1。可以是输入或输出。

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
V_{DD}	电源电压	- 0.5	6	V
V_{SEL} 或 V_{EN}	逻辑控制输入引脚电压 (SELx)	- 0.5	6	V
I_{SEL} 或 I_{EN}	逻辑控制输入引脚电流 (SELx)	- 30	30	mA
V_S 或 V_D	源极或漏极电压 (SxA、SxB、Dx)	- 0.5	$V_{DD}+0.5$	V
I_S 或 I_D (CONT)	源极或漏极连续电流 (SxA、SxB、Dx)	$I_{DC} \pm 10\%$ (3)	$I_{DC} \pm 10\%$ (3)	mA
I_S 或 I_D (PEAK)	源极和漏极峰值电流：(最大周期 1ms, 最大占空比 10%) (SxA、SxB、Dx)	$I_{peak} \pm 10\%$ (3)	$I_{peak} \pm 10\%$ (3)	mA
T_{stg}	贮存温度	- 65	150	°C
P_{tot}	总功率损耗(4) (5)		500	mW
T_J	结温		150	°C

- 超出绝对最大额定值下列出的压力可能会对器件造成损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- 代数约定，其中最大负值为最小值，最大正值为最大值。
- 请参阅 I_{DC} 和 I_{peak} 额定值的建议运行条件。
- 对于 DGS(VSSOP) 封装： P_{tot} 会在 $T_A = 53^\circ\text{C}$ 时以线性方式降低 5.16mW/°C
- 对于 DQA(USON) 封装： P_{tot} 会在 $T_A = 63^\circ\text{C}$ 时以线性方式降低 5.81mW/°C

5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚(1)	±2000
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002, 所有引脚(2)	±750

- JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V_{DD}	电源电压	1.08		5.5	V
V_S 或 V_D	信号路径输入/输出电压 (源极或漏极引脚) (SxA、SxB、Dx)	0		V_{DD}	V
V_{SEL}	逻辑控制输入引脚电压 (SELx)	0		5.5	V
T_A	环境温度	-40		125	°C
I_{DC}	通过开关的持续电流	$T_J = 25^\circ\text{C}$		150	mA
		$T_J = 85^\circ\text{C}$		120	mA
		$T_J = 125^\circ\text{C}$		60	mA
		$T_J = 130^\circ\text{C}$		50	mA
I_{peak}	流经开关的峰值电流 (最大周期为 1ms, 最大占空比为 10%)	$T_J = 25^\circ\text{C}$		300	mA
		$T_J = 85^\circ\text{C}$		300	mA
		$T_J = 125^\circ\text{C}$		180	mA
		$T_J = 130^\circ\text{C}$		160	mA

5.4 热性能信息

热指标 ⁽¹⁾		TMUX1136		单位
		DGS (VSSOP)	DQA (USON)	
		10 引脚	10 引脚	
R _{θJA}	结至环境热阻	193.9	172.2	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	83.1	79.3	°C/W
R _{θJB}	结至电路板热阻	116.5	72.0	°C/W
Ψ _{JT}	结至顶部特征参数	22.0	9.0	°C/W
Ψ _{JB}	结至电路板特征参数	114.6	71.7	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体](#)和[IC 封装热指标](#)应用报告。

5.5 电气特性 (V_{DD} = 5V ±10 %)

在 T_A = 25°C, V_{DD} = 5V 时 (除非另有说明)

参数		测试条件	T _A	最小值	典型值	最大值	单位	
模拟开关								
R _{ON}	导通电阻	V _S = 0V 至 V _{DD} I _{SD} = 10mA 请参阅节 6.1	25°C		2	4	Ω	
			-40°C 至 +85°C			4.5	Ω	
			-40°C 至 +125°C			4.9	Ω	
ΔR _{ON}	通道间的导通电阻匹配	V _S = 0V 至 V _{DD} I _{SD} = 10mA 请参阅节 6.1	25°C		0.13		Ω	
			-40°C 至 +85°C			0.4	Ω	
			-40°C 至 +125°C			0.5	Ω	
R _{ON FLAT}	导通电阻平坦度	V _S = 0V 至 V _{DD} I _{SD} = 10mA 请参阅节 6.1	25°C		0.85		Ω	
			-40°C 至 +85°C			1.6	Ω	
			-40°C 至 +125°C			1.6	Ω	
I _{S(OFF)}	源极关断漏电流 ⁽¹⁾	V _{DD} = 5V 开关处于关断状态 V _D = 4.5V/1.5V V _S = 1.5V/4.5V 请参阅节 6.2	25°C	-0.08	±0.005	0.08	nA	
			-40°C 至 +85°C		-0.3		0.3	nA
			-40°C 至 +125°C		-0.9		0.9	nA
I _{D(ON) I_{S(ON)}}	通道导通漏电流	V _{DD} = 5V 开关处于导通状态 V _D = V _S = 2.5V 请参阅节 6.3	25°C	-0.025	±0.003	0.025	nA	
			-40°C 至 +85°C		-0.3		0.3	nA
			-40°C 至 +125°C		-0.95		0.95	nA
I _{D(ON) I_{S(ON)}}	通道导通漏电流	V _{DD} = 5V 开关处于导通状态 V _D = V _S = 4.5V/1.5V 请参阅节 6.3	25°C	-0.1	±0.01	0.1	nA	
			-40°C 至 +85°C		-0.35		0.35	nA
			-40°C 至 +125°C		-2		2	nA
逻辑输入 (SELx)								
V _{IH}	输入逻辑高电平		-40°C 至 +125°C	1.49		5.5	V	
V _{IL}	输入逻辑低电平		-40°C 至 +125°C	0		0.87	V	
I _{IH I_{IL}}	输入漏电流		25°C		±0.005		μA	
I _{IH I_{IL}}	输入漏电流		-40°C 至 +125°C			±0.05	μA	
C _{IN}	逻辑输入电容		25°C		1		pF	
C _{IN}	逻辑输入电容		-40°C 至 +125°C			2	pF	
电源								

5.5 电气特性 ($V_{DD} = 5V \pm 10\%$) (续)

 在 $T_A = 25^\circ\text{C}$, $V_{DD} = 5V$ 时 (除非另有说明)

参数		测试条件	TA	最小值	典型值	最大值	单位
I_{DD}	V_{DD} 电源电流	逻辑输入 = 0V 或 5.5V	25°C		0.003		μA
			-40°C 至 +125°C			1	μA
动态特性							
t_{TRAN}	通道间的切换时间	$V_S = 3V$ $R_L = 200\Omega$, $C_L = 15\text{pF}$ 请参阅节 6.4	25°C		12		ns
			-40°C 至 +85°C			18	ns
			-40°C 至 +125°C			19	ns
t_{OPEN} (BBM)	先断后合时间	$V_S = 3V$ $R_L = 200\Omega$, $C_L = 15\text{pF}$ 请参阅节 6.5	25°C		8		ns
			-40°C 至 +85°C		1		ns
			-40°C 至 +125°C		1		ns
Q_C	电荷注入	$V_D = 1V$ $R_S = 0\Omega$, $C_L = 1\text{nF}$ 请参阅节 6.6	25°C		-6		pC
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5\text{pF}$ $f = 1\text{MHz}$ 请参阅节 6.7	25°C		-65		dB
		$R_L = 50\Omega$, $C_L = 5\text{pF}$ $f = 10\text{MHz}$ 请参阅节 6.7	25°C		-45		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5\text{pF}$ $f = 1\text{MHz}$ 请参阅节 6.8	25°C		-100		dB
		$R_L = 50\Omega$, $C_L = 5\text{pF}$ $f = 10\text{MHz}$ 请参阅节 6.8	25°C		-80		dB
BW	带宽	$R_L = 50\Omega$, $C_L = 5\text{pF}$ 请参阅节 6.9	25°C		220		MHz
C_{SOFF}	源极关断电容	$f = 1\text{MHz}$	25°C		6		pF
C_{SON} C_{DON}	导通电容	$f = 1\text{MHz}$	25°C		20		pF

 (1) 当 V_S 为 4.5V 时, V_D 为 1.5V。或者, 当 V_S 为 1.5V, V_D 为 4.5V。

5.6 电气特性 ($V_{DD} = 3.3V \pm 10\%$)

 在 $T_A = 25^\circ\text{C}$, $V_{DD} = 3.3V$ 时 (除非另有说明)

参数		测试条件	TA	最小值	典型值	最大值	单位
模拟开关							
R_{ON}	导通电阻	$V_S = 0V$ 至 V_{DD} $I_{SD} = 10\text{mA}$ 请参阅节 6.1	25°C		3.7	8.8	Ω
			-40°C 至 +85°C			9.5	Ω
			-40°C 至 +125°C			9.8	Ω
ΔR_{ON}	通道间的导通电阻匹配	$V_S = 0V$ 至 V_{DD} $I_{SD} = 10\text{mA}$ 请参阅节 6.1	25°C		0.13		Ω
			-40°C 至 +85°C			0.4	Ω
			-40°C 至 +125°C			0.5	Ω
R_{ON} FLAT	导通电阻平坦度	$V_S = 0V$ 至 V_{DD} $I_{SD} = 10\text{mA}$ 请参阅节 6.1	25°C		1.9		Ω
			-40°C 至 +85°C		2		Ω
			-40°C 至 +125°C		2.2		Ω

5.6 电气特性 ($V_{DD} = 3.3V \pm 10\%$) (续)

在 $T_A = 25^\circ C$, $V_{DD} = 3.3V$ 时 (除非另有说明)

参数		测试条件	TA	最小值	典型值	最大值	单位
$I_{S(OFF)}$	源极关断漏电流 ⁽¹⁾	$V_{DD} = 3.3V$ 开关处于关断状态 $V_D = 3V/1V$ $V_S = 1V/3V$ 请参阅节 6.2	25°C	-0.05	± 0.001	0.05	nA
			-40°C 至 +85°C	-0.1		0.1	nA
			-40°C 至 +125°C	-0.5		0.5	nA
$I_{D(ON)}$ $I_{S(ON)}$	通道导通漏电流	$V_{DD} = 3.3V$ 开关处于导通状态 $V_D = V_S = 3V/1V$ 请参阅节 6.3	25°C	-0.1	± 0.005	0.1	nA
			-40°C 至 +85°C	-0.35		0.35	nA
			-40°C 至 +125°C	-2		2	nA
逻辑输入 (SELx)							
V_{IH}	输入逻辑高电平		-40°C 至 +125°C	1.35		5.5	V
V_{IL}	输入逻辑低电平		-40°C 至 +125°C	0		0.8	V
I_{IH} I_{IL}	输入漏电流		25°C		± 0.005		μA
			-40°C 至 125°C			± 0.05	μA
C_{IN}	逻辑输入电容		25°C		1		pF
C_{IN}	逻辑输入电容		-40°C 至 +125°C			2	pF
电源							
I_{DD}	V_{DD} 电源电流	逻辑输入 = 0V 或 5.5V	25°C		0.003		μA
			-40°C 至 +125°C			0.8	μA
动态特性							
t_{TRAN}	通道间的切换时间	$V_S = 2V$ $R_L = 200\Omega$, $C_L = 15pF$ 请参阅节 6.4	25°C		14		ns
			-40°C 至 +85°C			20	ns
			-40°C 至 +125°C			21	ns
t_{OPEN} (BBM)	先断后合时间	$V_S = 2V$ $R_L = 200\Omega$, $C_L = 15pF$ 请参阅节 6.5	25°C		9		ns
			-40°C 至 +85°C		1		ns
			-40°C 至 +125°C		1		ns
Q_C	电荷注入	$V_D = 1V$ $R_S = 0\Omega$, $C_L = 1nF$ 请参阅节 6.6	25°C		-6		pC
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $f = 1MHz$ 请参阅节 6.7	25°C		-65		dB
		$R_L = 50\Omega$, $C_L = 5pF$ $f = 10MHz$ 请参阅节 6.7	25°C		-45		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $f = 1MHz$ 请参阅节 6.8	25°C		-100		dB
		$R_L = 50\Omega$, $C_L = 5pF$ $f = 10MHz$ 请参阅节 6.8	25°C		-80		dB
BW	带宽	$R_L = 50\Omega$, $C_L = 5pF$ 请参阅节 6.9	25°C		220		MHz
C_{SOFF}	源极关断电容	$f = 1MHz$	25°C		6		pF

5.6 电气特性 ($V_{DD} = 3.3V \pm 10\%$) (续)

在 $T_A = 25^\circ\text{C}$, $V_{DD} = 3.3V$ 时 (除非另有说明)

参数		测试条件	TA	最小值	典型值	最大值	单位
C_{SON} C_{DON}	导通电容	$f = 1\text{MHz}$	25°C		20		pF

(1) 当 V_S 为 3V 时, V_D 为 1V。或者, 当 V_S 为 1V, V_D 为 3V。

5.7 电气特性 ($V_{DD} = 1.8V \pm 10\%$)

在 $T_A = 25^\circ\text{C}$, $V_{DD} = 1.8V$ 时 (除非另有说明)

参数		测试条件	TA	最小值	典型值	最大值	单位	
模拟开关								
R_{ON}	导通电阻	$V_S = 0V$ 至 V_{DD} $I_{SD} = 10\text{mA}$ 请参阅节 6.1	25°C		40		Ω	
			-40°C 至 $+85^\circ\text{C}$			80	Ω	
			-40°C 至 $+125^\circ\text{C}$			80	Ω	
ΔR_{ON}	通道间的导通电阻匹配	$V_S = 0V$ 至 V_{DD} $I_{SD} = 10\text{mA}$ 请参阅节 6.1	25°C		0.4		Ω	
			-40°C 至 $+85^\circ\text{C}$			1.5	Ω	
			-40°C 至 125°C			1.5	Ω	
$I_{S(OFF)}$	源极关断漏电流 ⁽¹⁾	$V_{DD} = 1.98V$ 开关处于关断状态 $V_D = 1.62V/1V$ $V_S = 1V/1.62V$ 请参阅节 6.2	25°C	-0.05	± 0.003	0.05	nA	
			-40°C 至 $+85^\circ\text{C}$		-0.1		0.1	nA
			-40°C 至 $+125^\circ\text{C}$		-0.5		0.5	nA
$I_{D(ON)}$ $I_{S(ON)}$	通道导通漏电流	$V_{DD} = 1.98V$ 开关处于导通状态 $V_D = V_S = 1.62V/1V$ 请参阅节 6.3	25°C	-0.1	± 0.005	0.1	nA	
			-40°C 至 $+85^\circ\text{C}$		-0.5		0.5	nA
			-40°C 至 $+125^\circ\text{C}$		-2		2	nA
逻辑输入 (SELx)								
V_{IH}	输入逻辑高电平		-40°C 至 $+125^\circ\text{C}$	1.07		5.5	V	
V_{IL}	输入逻辑低电平		-40°C 至 $+125^\circ\text{C}$	0		0.68	V	
I_{IH} I_{IL}	输入漏电流		25°C		± 0.005		μA	
			-40°C 至 $+125^\circ\text{C}$			± 0.05	μA	
C_{IN}	逻辑输入电容		25°C		1		pF	
C_{IN}	逻辑输入电容		-40°C 至 $+125^\circ\text{C}$			2	pF	
电源								
I_{DD}	V_{DD} 电源电流	逻辑输入 = 0V 或 5.5V	25°C		0.001		μA	
			-40°C 至 $+125^\circ\text{C}$			0.85	μA	
动态特性								
t_{TRAN}	通道间的转换时间	$V_S = 1V$ $R_L = 200\Omega$, $C_L = 15\text{pF}$ 请参阅节 6.4	25°C		28		ns	
			-40°C 至 $+85^\circ\text{C}$			44	ns	
			-40°C 至 $+125^\circ\text{C}$			44	ns	
t_{OPEN} (BBM)	先断后合时间	$V_S = 1V$ $R_L = 200\Omega$, $C_L = 15\text{pF}$ 请参阅节 6.5	25°C		16		ns	
			-40°C 至 $+85^\circ\text{C}$		1		ns	
			-40°C 至 $+125^\circ\text{C}$		1		ns	
Q_C	电荷注入	$V_D = 1V$ $R_S = 0\Omega$, $C_L = 1\text{nF}$ 请参阅节 6.6	25°C		-3		pC	

5.7 电气特性 ($V_{DD} = 1.8V \pm 10\%$) (续)

在 $T_A = 25^\circ C$, $V_{DD} = 1.8V$ 时 (除非另有说明)

参数		测试条件	TA	最小值	典型值	最大值	单位
O _{ISO}	关断隔离	R _L = 50Ω, C _L = 5pF f = 1MHz 请参阅节 6.7	25°C		-65		dB
		R _L = 50Ω, C _L = 5pF f = 10MHz 请参阅节 6.7	25°C		-45		dB
X _{TALK}	串扰	R _L = 50Ω, C _L = 5pF f = 1MHz 请参阅节 6.8	25°C		-100		dB
		R _L = 50Ω, C _L = 5pF f = 10MHz 请参阅节 6.8	25°C		-80		dB
BW	带宽	R _L = 50Ω, C _L = 5pF	25°C		220		MHz
C _{SOFF}	源极关断电容	f = 1MHz	25°C		6		pF
C _{SON} C _{DON}	导通电容	f = 1MHz	25°C		20		pF

(1) 当 V_S 为 1.62V 时, V_D 为 1V。或者, 当 V_S 为 1V, V_D 为 1.62V。

5.8 电气特性 ($V_{DD} = 1.2V \pm 10\%$)

在 $T_A = 25^\circ C$, $V_{DD} = 1.2V$ 时 (除非另有说明)

参数		测试条件	TA	最小值	典型值	最大值	单位	
模拟开关								
R _{ON}	导通电阻	V _S = 0V 至 V _{DD} I _{SD} = 10mA 请参阅节 6.1	25°C		70		Ω	
			-40°C 至 +85°C			105	Ω	
			-40°C 至 +125°C			105	Ω	
ΔR _{ON}	通道间的导通电阻匹配	V _S = 0V 至 V _{DD} I _{SD} = 10mA 请参阅节 6.1	25°C		0.4		Ω	
			-40°C 至 +85°C			1.5	Ω	
			-40°C 至 125°C			1.5	Ω	
I _{S(OFF)}	源极关断漏电流 ⁽¹⁾	V _{DD} = 1.32V 开关处于关断状态 V _D = 1V/0.8V V _S = 0.8V/1V 请参阅节 6.2	25°C	-0.05	±0.003	0.05	nA	
			-40°C 至 +85°C		-0.1		0.1	nA
			-40°C 至 +125°C		-0.5		0.5	nA
I _{D(ON)} I _{S(ON)}	通道导通漏电流	V _{DD} = 1.32V 开关处于导通状态 V _D = V _S = 1V/0.8V 请参阅节 6.3	25°C	-0.1	±0.005	0.1	nA	
			-40°C 至 +85°C		-0.5		0.5	nA
			-40°C 至 +125°C		-2		2	nA
逻辑输入 (SELx)								
V _{IH}	输入逻辑高电平		-40°C 至 +125°C	0.96		5.5	V	
V _{IL}	输入逻辑低电平		-40°C 至 +125°C	0		0.36	V	
I _{IH} I _{IL}	输入漏电流		25°C		±0.005		μA	
I _{IH} I _{IL}	输入漏电流		-40°C 至 +125°C			±0.05	μA	
C _{IN}	逻辑输入电容		25°C		1		pF	
C _{IN}	逻辑输入电容		-40°C 至 +125°C			2	pF	
电源								

5.8 电气特性 ($V_{DD} = 1.2V \pm 10\%$) (续)

在 $T_A = 25^\circ C$, $V_{DD} = 1.2V$ 时 (除非另有说明)

参数		测试条件	TA	最小值	典型值	最大值	单位
I_{DD}	V_{DD} 电源电流	逻辑输入 = 0V 或 5.5V	25°C		0.003		μA
			-40°C 至 +125°C			0.7	μA
动态特性							
t_{TRAN}	通道间的转换时间	$V_S = 1V$ $R_L = 200\Omega$, $C_L = 15pF$ 请参阅节 6.4	25°C		55		ns
			-40°C 至 +85°C			190	ns
			-40°C 至 +125°C			190	ns
t_{OPEN} (BBM)	先断后合时间	$V_S = 1V$ $R_L = 200\Omega$, $C_L = 15pF$ 请参阅节 6.5	25°C		28		ns
			-40°C 至 +85°C		1		ns
			-40°C 至 +125°C		1		ns
Q_C	电荷注入	$V_D = 1V$ $R_S = 0\Omega$, $C_L = 1nF$ 请参阅节 6.6	25°C		-2		pC
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $f = 1MHz$ 请参阅节 6.7	25°C		-65		dB
		$R_L = 50\Omega$, $C_L = 5pF$ $f = 10MHz$ 请参阅节 6.7	25°C		-45		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $f = 1MHz$ 请参阅节 6.8	25°C		-100		dB
		$R_L = 50\Omega$, $C_L = 5pF$ $f = 10MHz$ 请参阅节 6.8	25°C		-80		dB
BW	带宽	$R_L = 50\Omega$, $C_L = 5pF$	25°C		220		MHz
C_{SOFF}	源极关断电容	$f = 1MHz$	25°C		6		pF
C_{SON} C_{DON}	导通电容	$f = 1MHz$	25°C		20		pF

(1) 当 V_S 为 1V 时, V_D 为 0.8V。或者, 当 V_S 为 0.8V, V_D 为 1V。

典型特性

在 $T_A = 25^\circ C$, $V_{DD} = 5V$ 时 (除非另有说明)

典型特性

在 $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$ 时 (除非另有说明)

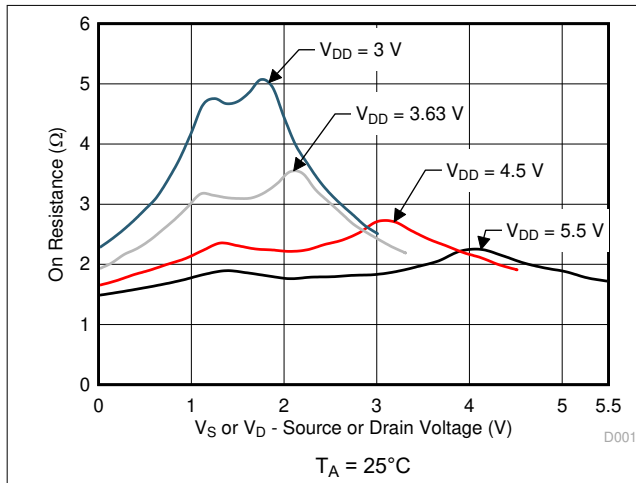


图 5-1. 导通电阻与源极或漏极电压之间的关系

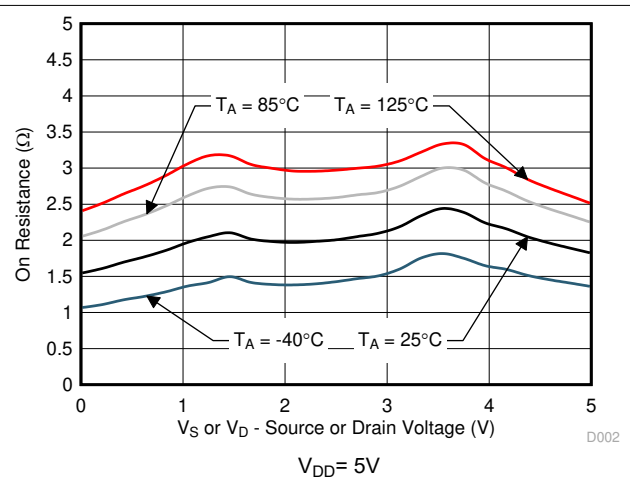


图 5-2. 导通电阻与温度间的关系

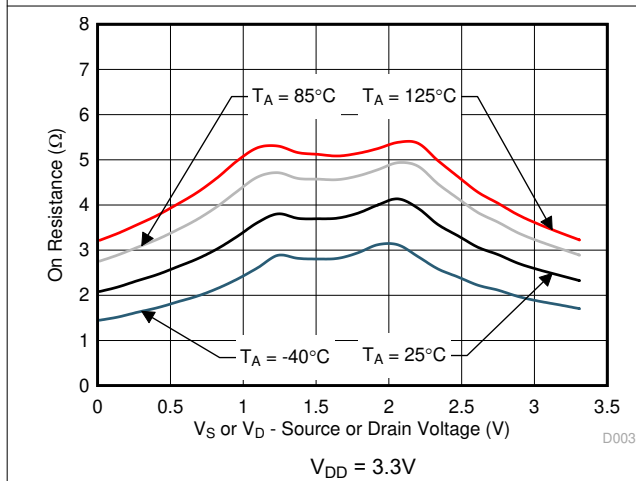


图 5-3. 导通电阻与温度间的关系

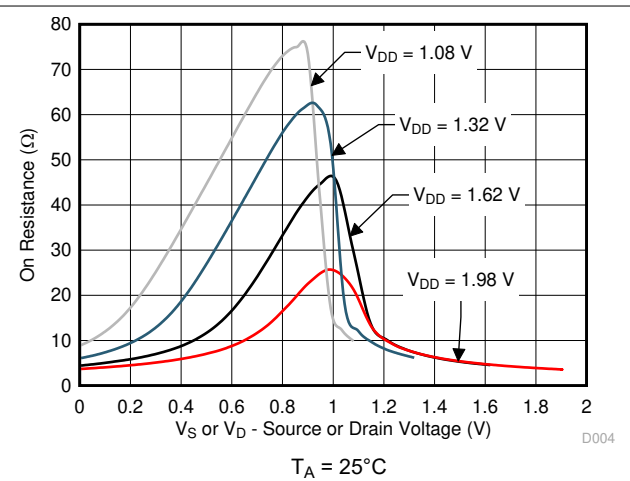


图 5-4. 导通电阻与源极或漏极电压之间的关系

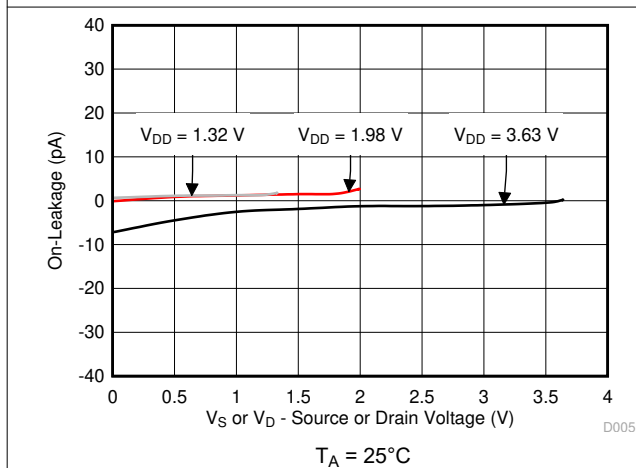


图 5-5. 导通漏电流与源极电压或漏极电压间的关系

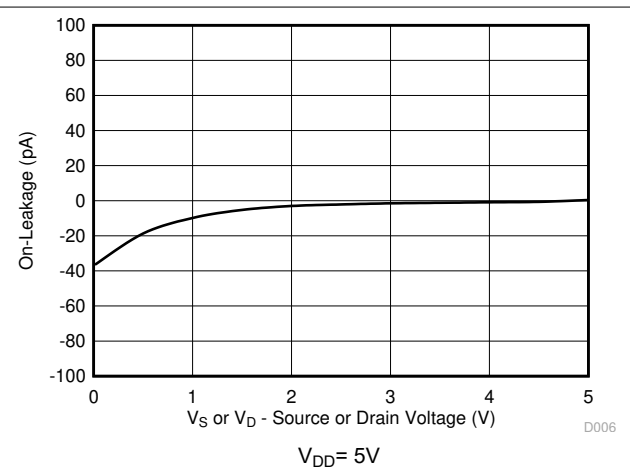


图 5-6. 导通漏电流与源极电压或漏极电压间的关系

典型特性

在 $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$ 时 (除非另有说明)

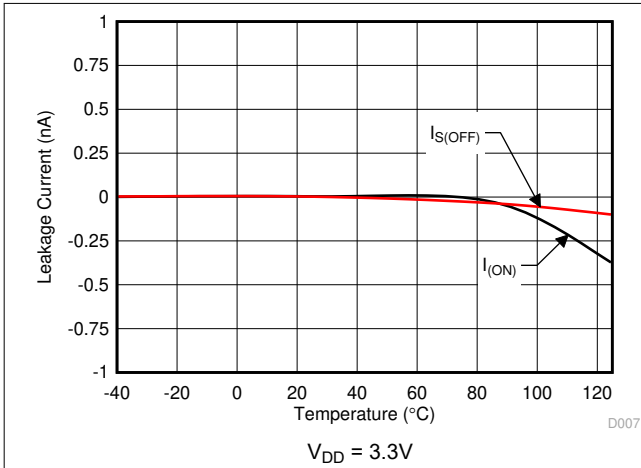


图 5-7. 泄漏电流与温度间的关系

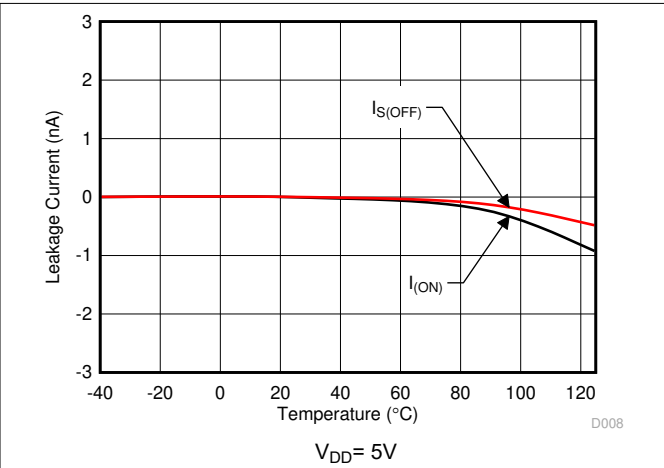


图 5-8. 泄漏电流与温度间的关系

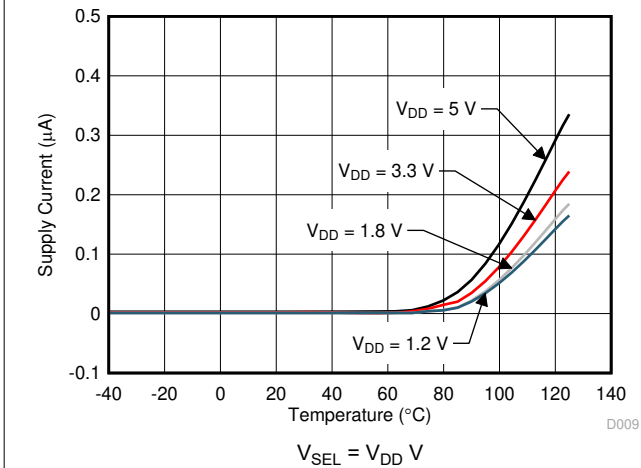


图 5-9. 电源电流与温度间的关系

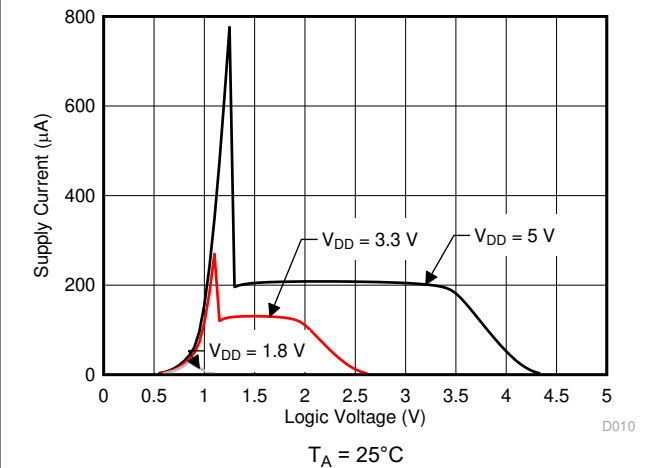


图 5-10. 电源电流与逻辑电压间的关系

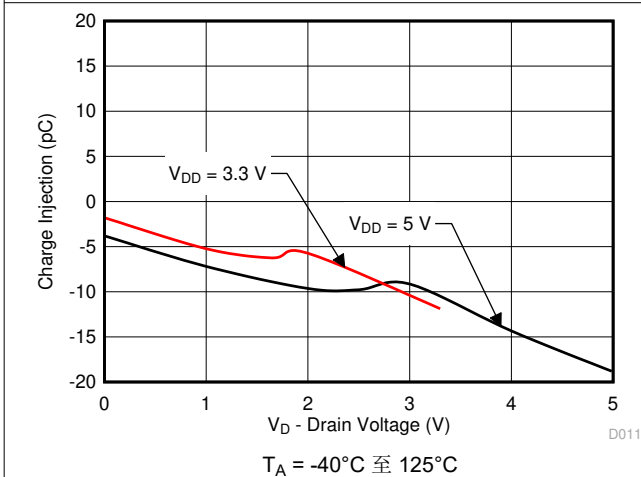


图 5-11. 电荷注入与漏极电压间的关系

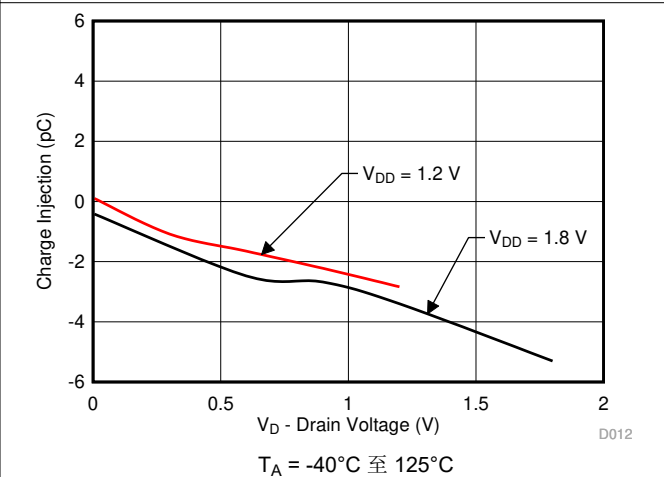
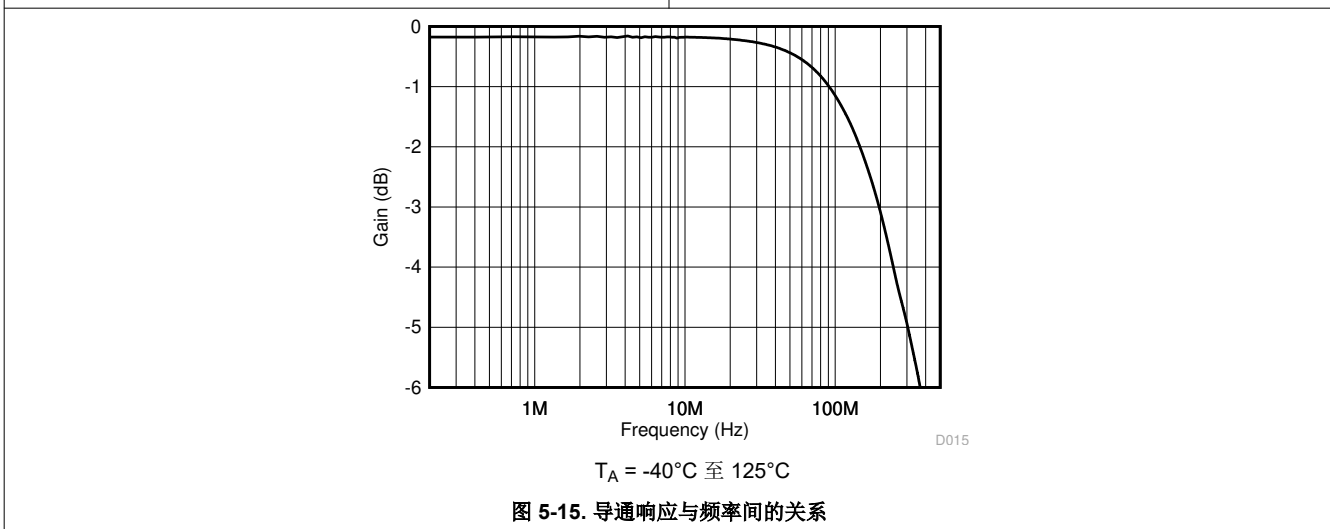
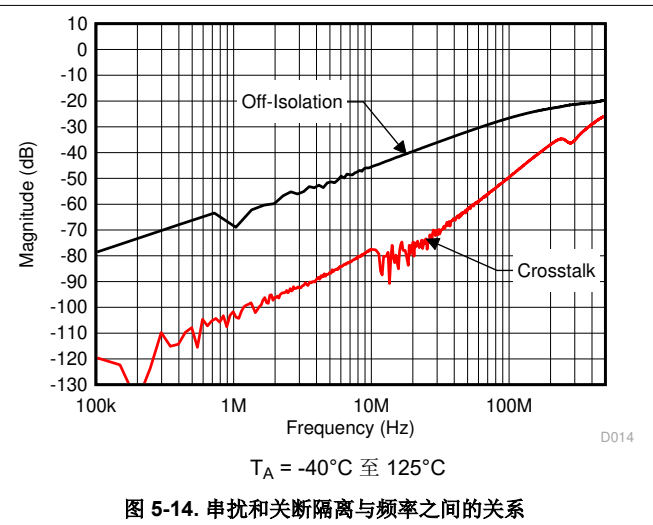
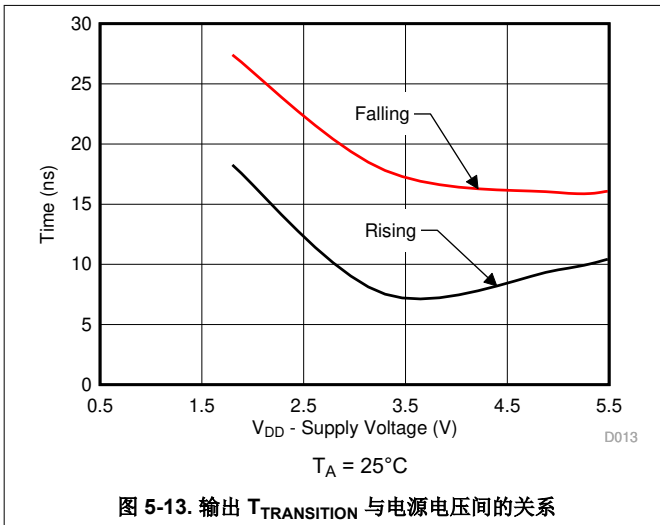


图 5-12. 电荷注入与漏极电压间的关系

典型特性

在 $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$ 时 (除非另有说明)



6 参数测量信息

6.1 导通电阻

器件的导通电阻是器件源极 (Sx) 和漏极 (Dx) 引脚之间的欧姆电阻。导通电阻随输入电压和电源电压的变化而变化。符号 R_{ON} 用于表示导通电阻。图 6-1 展示了用于测量 R_{ON} 的测量设置。电压 (V) 和电流 (I_{SD}) 可通过此设置进行测量，而 R_{ON} 可通过 $R_{ON} = V/I_{SD}$ 来计算：

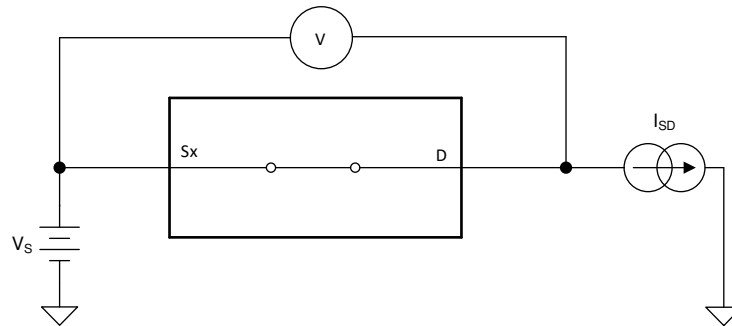


图 6-1. 导通电阻测量设置

6.2 关断漏电流

源极和漏极关断漏电流定义为开关关闭时流入或流出源极或漏极引脚的漏电流。该电流用符号 $I_{S(OFF)}$ 和 $I_{D(OFF)}$ 表示。图 6-2 展示了用于测量关断漏电流的设置。

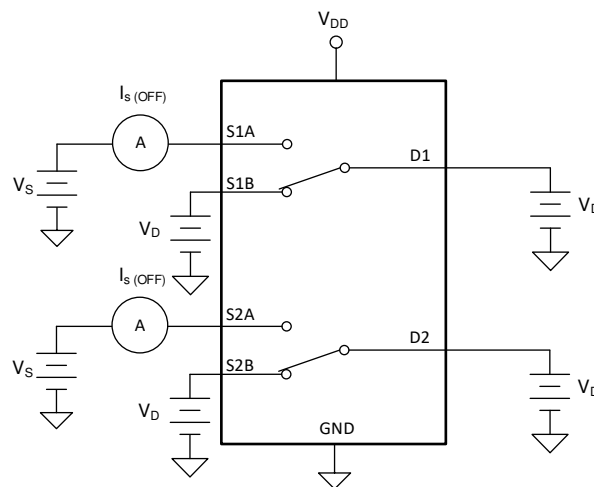


图 6-2. 关断漏电流测量设置

6.3 导通漏电流

源极导通漏电流定义为开关闭合时流入或流出源极引脚的漏电流。该电流用符号 $I_{S(ON)}$ 表示。漏极导通漏电流定义为开关闭合时流入或流出漏极引脚的漏电流。该电流用符号 $I_{D(ON)}$ 表示。在测量期间，源极引脚或漏极引脚均保持悬空。图 6-3 展示了用于测量导通漏电流（用 $I_{S(ON)}$ 或 $I_{D(ON)}$ 表示）的电路。

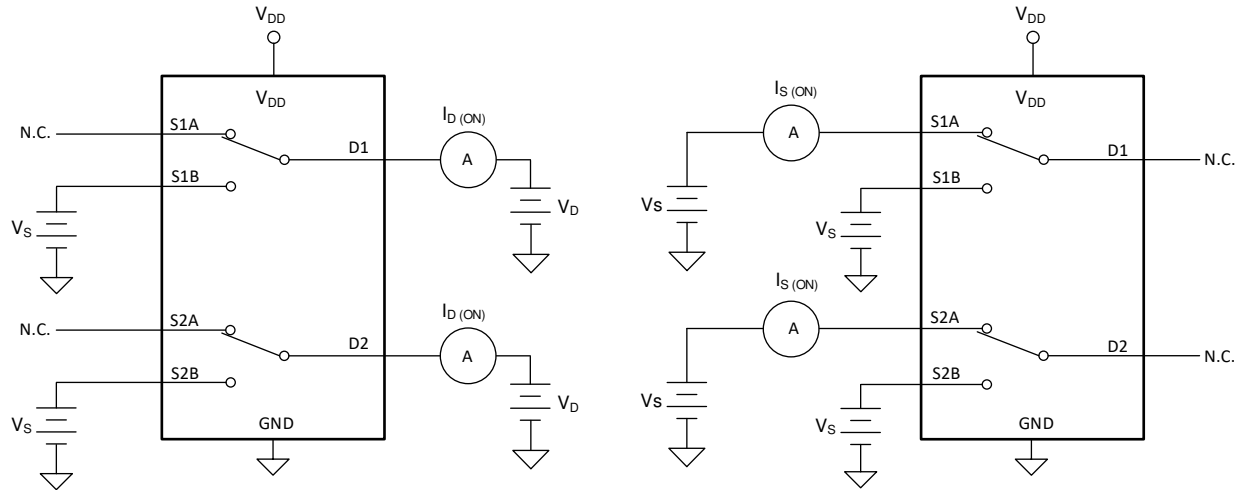


图 6-3. 导通漏电流测量设置

6.4 转换时间

转换时间定义为在控制信号上升或下降至超过逻辑阈值后器件输出上升或下降 10% 所需的时间。10% 转换测量值用于提供器件的时序。然后，系统级时序可以考虑为从负载电阻和负载电容添加的时间常数。图 6-4 展示了用于测量转换时间（用符号 $t_{TRANSITION}$ 表示）的设置。

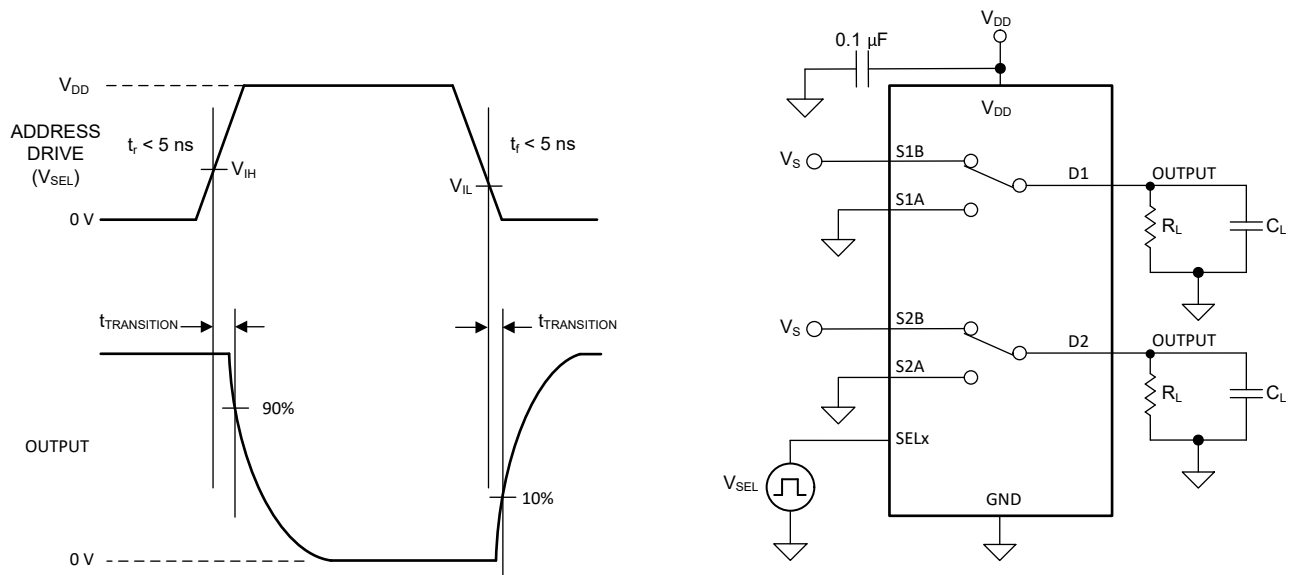


图 6-4. 转换时间测量设置

6.5 先断后合

先断后合延迟是一项安全功能，可防止在开关器件时连接两个输入。输出首先断开与导通状态开关的连接，然后与下一个导通状态开关建立连接。*断开*和*闭合*之间的延时时间称为先断后合延迟。图 6-5 展示了用于测量先断后合延迟（用符号 $t_{OPEN(BBM)}$ 表示）的设置。

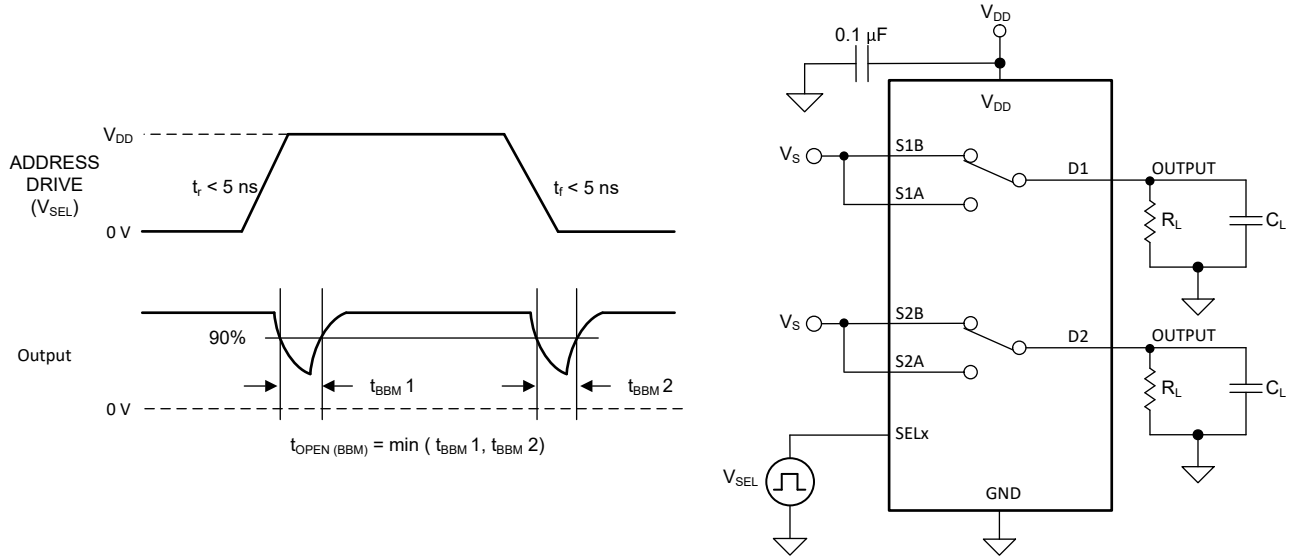


图 6-5. 先断后合延迟测量设置

6.6 电荷注入

TMUX1136 具有传输门拓扑。NMOS 和 PMOS 晶体管之间电容的任何不匹配都会导致在栅极信号的下降沿或上升沿期间向漏极或源极注入电荷。注入器件源极或漏极的电荷量称为电荷注入，用符号 Q_C 表示。图 6-6 展示了用于测量从漏极 (D) 到源极 (Sx) 的电荷注入的设置。

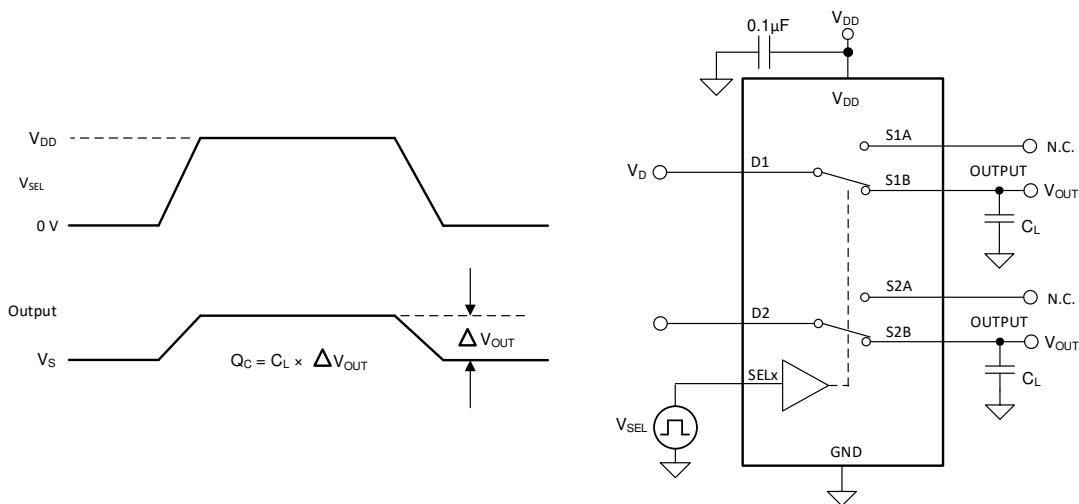


图 6-6. 电荷注入测量设置

6.7 关断隔离

关断隔离定义为器件的漏极引脚 (D) 处的信号与关断通道的源极引脚 (Sx) 上施加的信号之比。图 6-7 展示了用于测量关断隔离的设置和用于计算关断隔离的公式。

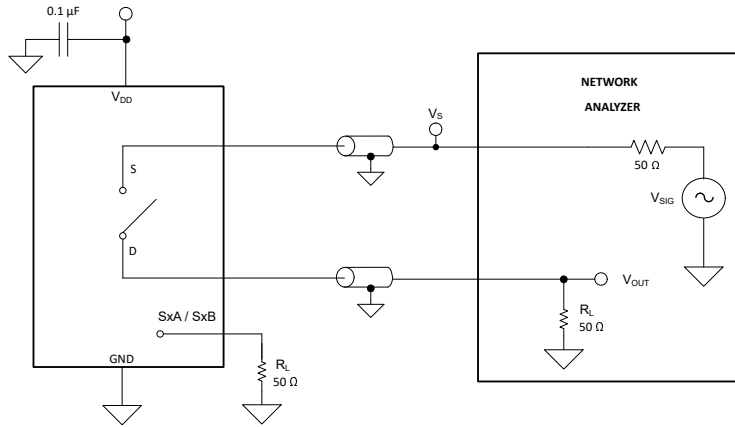


图 6-7. 关断隔离测量设置

$$\text{Off Isolation} = 20 \times \text{Log} \left(\frac{V_{OUT}}{V_S} \right) \quad (1)$$

6.8 串扰

串扰定义为不同通道的漏极引脚 (D) 处的信号与导通通道的源极引脚 (Sx) 上施加的信号之比。图 6-8 展示了用于测量串扰的设置和用于计算串扰的公式。

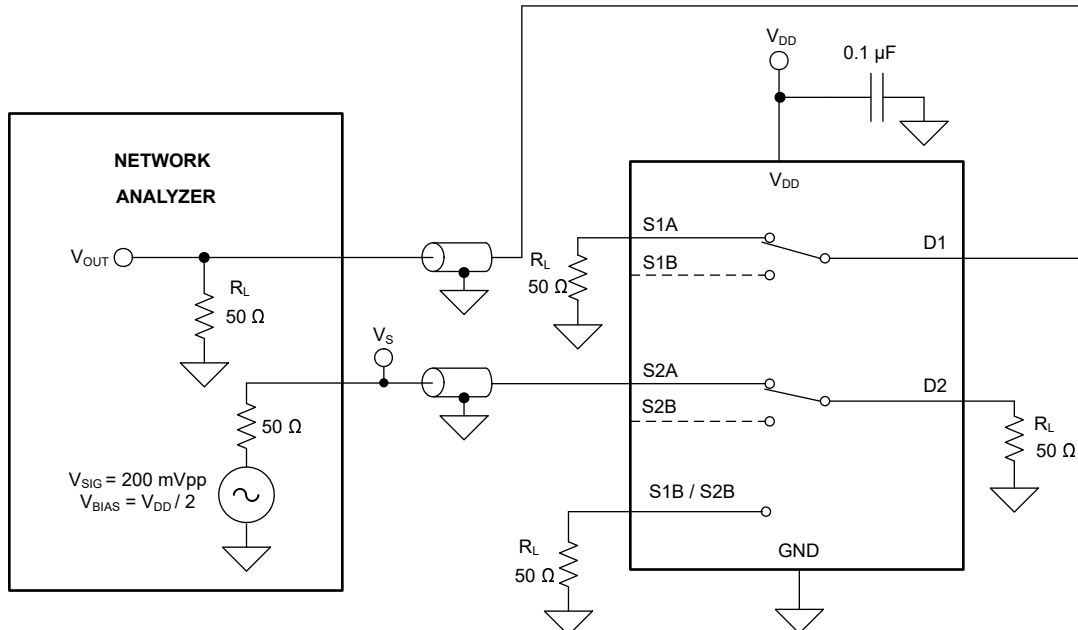


图 6-8. 串扰测量设置

$$\text{Channel-to-Channel Crosstalk} = 20 \times \text{Log} \left(\frac{V_{OUT}}{V_S} \right) \quad (2)$$

6.9 带宽

带宽定义为当输入施加到开启通道的源极引脚 (Sx) 且输出在器件的漏极引脚 (D) 处测量时衰减小于 3dB 的频率范围。图 6-9 显示了用于测量带宽的设置。

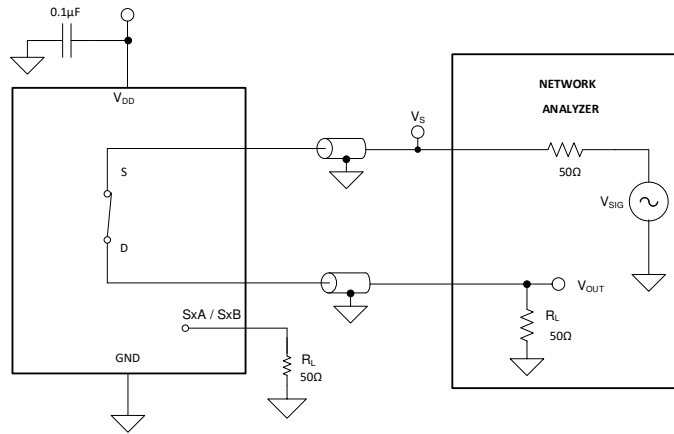


图 6-9. 带宽测量设置

7 详细说明

7.1 功能方框图

TMUX1136 是一款 2:1 (SPDT)、2 通道模拟开关，具有两个独立控制的通道。每个通道均由一个单选 (SELx) 控制引脚控制，以便在源输入之间切换。

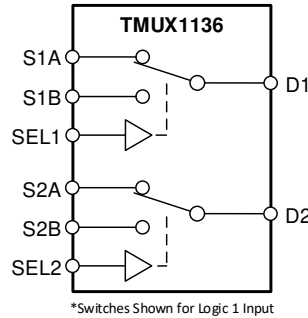


图 7-1. TMUX1136 功能方框图

7.2 特性说明

7.2.1 双向运行

TMUX1136 从源极 (Sx) 到漏极 (Dx) 或从漏极 (Dx) 到源极 (Sx) 的导电性能同样出色。该器件在两个方向上都有非常相似的特性，并支持模拟和数字信号。

7.2.2 轨到轨运行

TMUX1136 的有效信号路径输入/输出电压范围为 GND 至 V_{DD} 。

7.2.3 1.8V 逻辑兼容输入

对于所有逻辑控制输入 (SELx)，TMUX1136 具备 1.8V 逻辑兼容控制。逻辑输入阈值随电源而变化，但在 5.5V 电源电压下工作时仍提供 1.8V 逻辑控制。1.8V 逻辑电平输入支持 TMUX1136 连接具有较低逻辑 I/O 电源轨的处理器，并且无需外部转换器，从而节省了空间和 BOM 成本。当在较高的电源电压下使用 1.8V 逻辑时，TMUX1136 的电流消耗会增加，如图 5-10 所示。有关 1.8V 逻辑实现的更多信息，请参阅[使用 1.8V 逻辑多路复用器和开关简化设计](#)。

7.2.4 失效防护逻辑

TMUX1136 在控制输入引脚 (SELx) 上支持失效防护逻辑，因此无论电源引脚的状态如何，均支持高达 5.5V 的工作电压。此特性允许在电源引脚之前对控制引脚施加电压，从而保护器件免受潜在的损坏。失效防护逻辑无需在逻辑控制引脚上进行电源时序控制，从而更大幅度地降低了系统复杂性。例如，失效防护逻辑特性允许 TMUX1136 的选择引脚在 $V_{DD} = 0V$ 时斜升至 5.5V。此外，该特性使得 TMUX1136 能够在 $V_{DD} = 1.2V$ 的情况下运行，同时允许选择引脚与另一个逻辑电平高达 5.5V 的器件连接。

7.2.5 超低漏电流

TMUX1136 器件提供超低的导通漏电流和关断漏电流。TMUX1136 由于具有超低漏电流，因此能够将高源阻抗输入中的信号切换至高输入阻抗运算放大器，并且失调电压误差非常小。图 7-2 展示了 TMUX1136 的典型漏电流与温度间的关系。

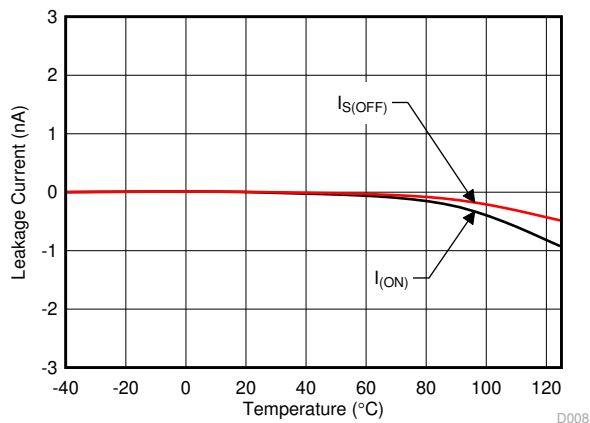


图 7-2. 泄漏电流与温度间的关系

7.2.6 超低电荷注入

TMUX1136 具有传输门拓扑结构，如图 7-3 所示。与 NMOS 和 PMOS 相关的杂散电容中的任何不匹配都会导致开关断开或闭合时导致输出电平发生变化。

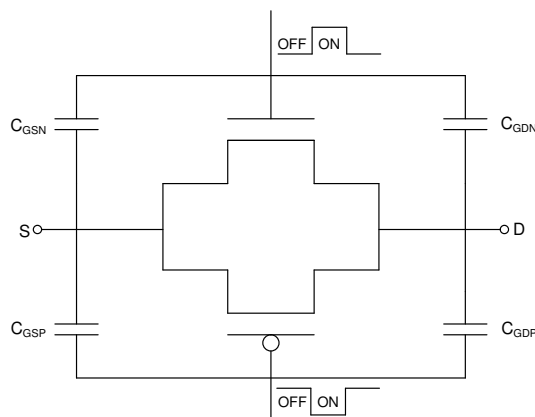


图 7-3. 传输门拓扑

TMUX1136 具有特殊的电荷注入消除电路，可在 $V_D = 1V$ 时将源极到漏极的电荷注入降至 $-6pC$ ，如图 7-4 所示。

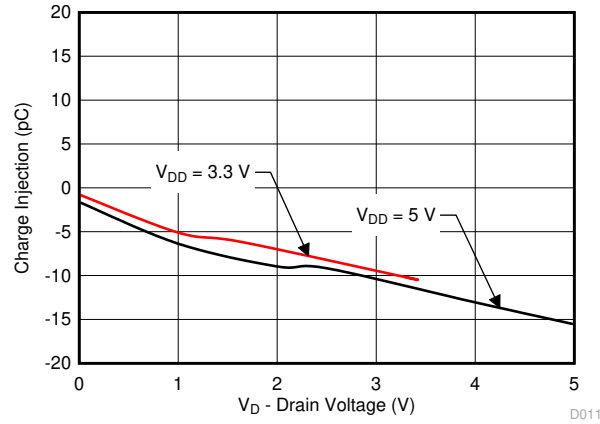


图 7-4. 电荷注入与漏极电压间的关系

7.3 器件功能模式

TMUX1136 的选择 (SELx) 引脚控制哪个源极连接到器件的漏极引脚。未选择信号路径时，该源极引脚处于高阻抗模式 (高阻态)。控制引脚可高达 5.5V。

7.3.1 真值表

表 7-1. TMUX1136 真值表

控制逻辑 (SELx)	所选源极 (SxA 或 SxB) 连接到漏极 (Dx) 引脚
0	S1B 至 D1 S2B 至 D2
1	S1A 至 D1 S2A 至 D2

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TMUX11xx 系列提供超低输入/输出漏电流和低电荷注入。这些器件的工作电压高达 5.5V，并提供模拟和数字信号的真正轨到轨输入和输出。TMUX1136 具有低导通电容，可在时域中多路复用输入时缩短稳定时间。这些特性使得 TMUX11xx 精密、高性能开关和多路复用器器件系列十分适用于低电压应用。

8.2 典型应用

图 8-1 展示了一个示例电路，其中 TMUX1136 用于切换跨阻放大器 (TIA) 的不同反馈网络。该应用使用 2 通道 SPDT 开关来优化开关的低漏电流和导通电阻之间的权衡。

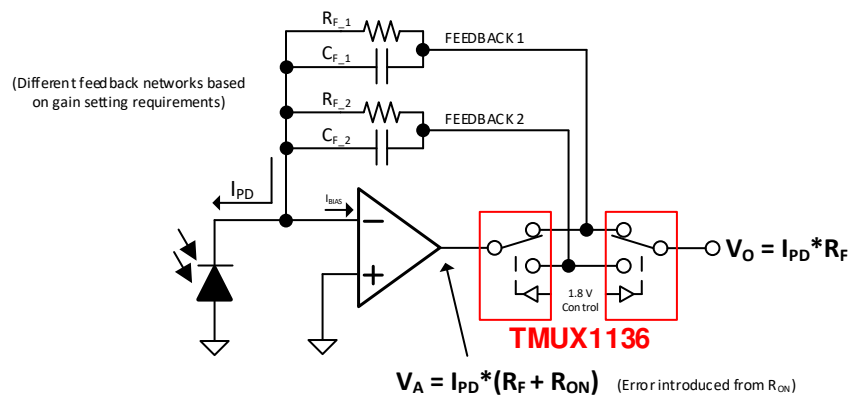


图 8-1. 跨阻放大器反馈开关

8.2.1 设计要求

对于这个设计示例，请使用表 8-1 中列出的参数。

表 8-1. 设计参数

参数	值
电源 (V _{DD})	5V
输入/输出信号范围	1nA 至 10 μA
控制逻辑阈值	1.8V 兼容

8.2.2 详细设计过程

TMUX1136 无需任何外部元件（电源去耦电容器除外）即可运行。开关的所有输入必须处于 TMUX1136 的建议运行条件范围内，包括信号范围和持续电流。对于该电源电压为 5V 的设计，信号范围可以为 0V 至 5V，最大持续电流可以为 30mA。

光电二极管通常具有几百皮安到几十微安的电流输出，具体取决于吸收的光量。差分反馈网络可以切换为跨阻放大器，以调节输出电压，从而更大幅度地扩大系统动态范围。典型的反馈电阻在 10 千欧到 100 千欧范围内，在该范围内，开关的导通电阻对系统精度的影响极小。然而，某些应用会因曝光时间较长而产生较大的光电二极管电流，并且可能需要低至 100Ω 的反馈电阻。模拟开关和多路复用器通常需要在导通电阻和漏电流之间进行权衡，这两者都会导致整体系统误差。图 8-1 展示了如何配置多通道模拟开关来消除导通电阻的影响，以及如何选择针对低漏电流进行优化的器件。该架构的缺点是，TIA 级的输出阻抗现在是多路复用器的导通电阻，因为第二个通道位于反馈环路之外。这通常是可接受的折衷，因为 TMUX1136 的导通电阻非常低，典型值为 2Ω。

TMUX1136 具有不到 10pA 的典型导通漏电流，因此可确保精度在满量程 10μA 信号的 1% 以内。TMUX1136 的低导通和关断电容可尽可能地减小放大器输出端的总电容，从而提高系统稳定性。较低的电容会导致系统中的过冲和振铃较少，如果相位裕度不是至少为 45°，则可能导致放大器电路不稳定。有关如何计算相位裕度与过冲百分比的更多信息，请参阅 [使用低 C_{ON} 多路复用器改善稳定性问题](#)。

8.2.3 应用曲线

由于具有超低漏电流和低导通电阻，TMUX1136 能够以极小的失真开关信号。图 8-2 展示了 TMUX1136 的漏电流如何因输入电压不同而变化。

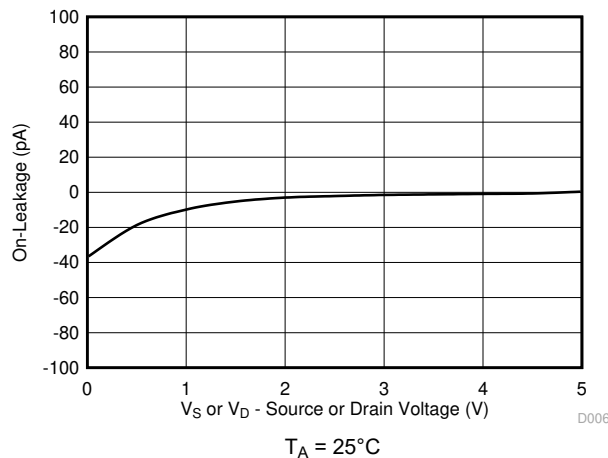


图 8-2. 导通漏电流与源极电压或漏极电压间的关系

8.3 电源相关建议

TMUX1136 可在 1.08V 至 5.5V 的宽电源电压范围内运行。请勿超过绝对最大额定值，因为应力超出列出的额定值可能会对器件造成永久损坏。

电源旁路可提高噪声容限并防止开关噪声从 V_{DD} 电源传播到其他元件。良好的电源去耦对于实现最优性能至关重要。为提高电源噪声抗扰度，请在 V_{DD} 和地之间使用 $0.1 \mu\text{F}$ 至 $10 \mu\text{F}$ 的电源去耦电容器。使用低阻抗接头将旁路电容器放置在尽可能靠近器件电源引脚的位置。TI 建议使用多层陶瓷贴片电容 (MLCC) 提供等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度较高或在恶劣噪声环境中使用的系统，避免使用过孔将电容与器件引脚相连，以获得出色的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层相连。

8.4 布局

8.4.1 布局指南

当 PCB 布线以 90° 角拐角时，会发生反射。反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到原来宽度的 1.414 倍。这种增加会影响传输线路特性，尤其是导致反射的布线的分布式电容和自感特性。并非所有 PCB 布线都是直线，因此某些布线必须拐角。图 8-3 展示了渐入佳境的圆角技术。只有最后一个示例 (理想) 保持恒定的布线宽度并能够更最大限度地减少反射。

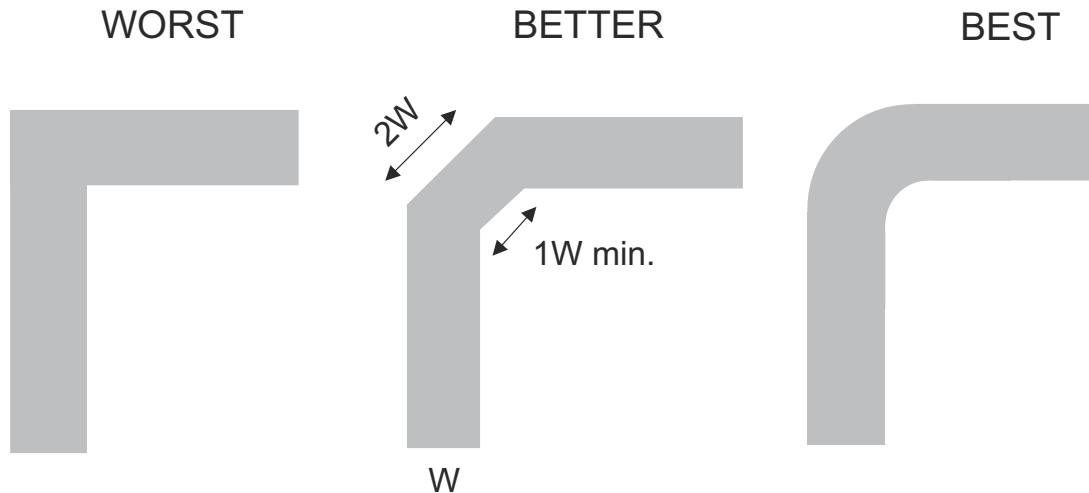


图 8-3. 布线示例

使用较少的过孔和拐角路由高速信号可减少信号反射和阻抗变化。当必须使用过孔时，增加其周边的间隙尺寸以降低其电容。每一过孔均引入了信号传输线非连续性，并增加了来自其他电路板层干扰信号的几率。设计测试点时要小心，不建议在高频下使用穿孔引脚。

图 8-4 展示了采用 TMUX1136 的 PCB 布局示例。一些重要注意事项有：

- 使用一个 $0.1\mu\text{F}$ 电容器对 V_{DD} 引脚进行去耦，该电容器尽可能靠近引脚放置。确保电容器额定电压足以满足 V_{DD} 电源的要求。
- 尽可能缩短输入线路。
- 使用实心接地平面有助于降低电磁干扰 (EMI) 噪声拾取。
- 敏感的模拟布线不能与数字布线平行。尽可能避免数字引线 with 模拟引线交叉，仅在必要时以垂直交叉方式布线。

8.4.2 布局示例

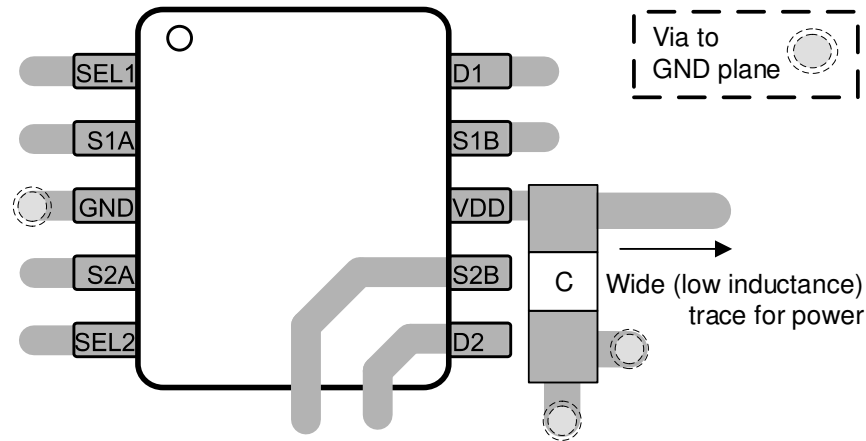


图 8-4. TMUX1136 布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [采用 MSP430™ 的超声波燃气表前端参考设计](#)。
- 德州仪器 (TI), [真差分 4 x 2 多路复用器、模拟前端、同步采样 ADC 电路](#)。
- 德州仪器 (TI), [使用低 CON 多路复用器改善稳定性问题](#)。
- 德州仪器 (TI), [使用 1.8V 逻辑多路复用器和开关简化设计](#)。
- 德州仪器 (TI), [利用关断保护信号开关消除电源时序](#)。
- 德州仪器 (TI), [高电压模拟多路复用器的系统级保护](#)。
- 德州仪器 (TI), [QFN/SON PCB 连接](#)。
- 德州仪器 (TI), [Quad Flatpack No-Lead 逻辑封装](#)。

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (July 2019) to Revision B (February 2024)	Page
• 更新了 Is 或 Id (连续电流) 值.....	4
• 在 <i>建议运行条件</i> 表中添加了 Ipeak 值.....	4

Changes from Revision * (June 2019) to Revision A (July 2019)	Page
• 删除了 <i>器件信息</i> 表中 DQA 封装的 <i>产品预发布</i> 注释.....	1

-
- 删除了 *引脚配置和功能* 部分中 DQA 封装的 *预告信息* 注释..... **3**
-

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMUX1136DGSR	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAUAG SN	Level-1-260C-UNLIM	-40 to 125	1136	Samples
TMUX1136DQAR	ACTIVE	USON	DQA	10	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	136	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMUX1136DGSR	VSSOP	DGS	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TMUX1136DQAR	USON	DQA	10	3000	180.0	9.5	1.18	2.68	0.72	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMUX1136DGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
TMUX1136DQAR	USON	DQA	10	3000	189.0	185.0	36.0

DGS0010A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4221984/A 05/2015

NOTES:

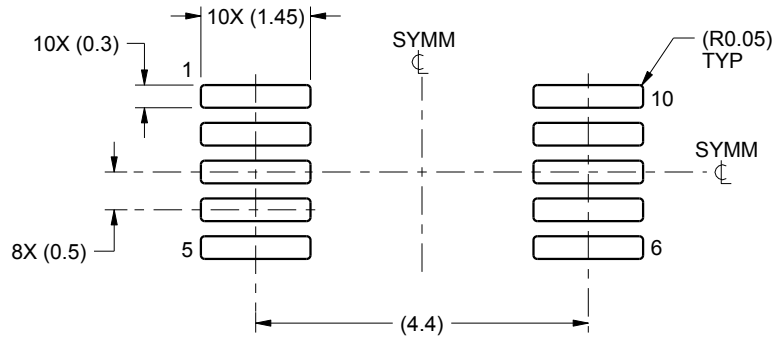
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.

EXAMPLE BOARD LAYOUT

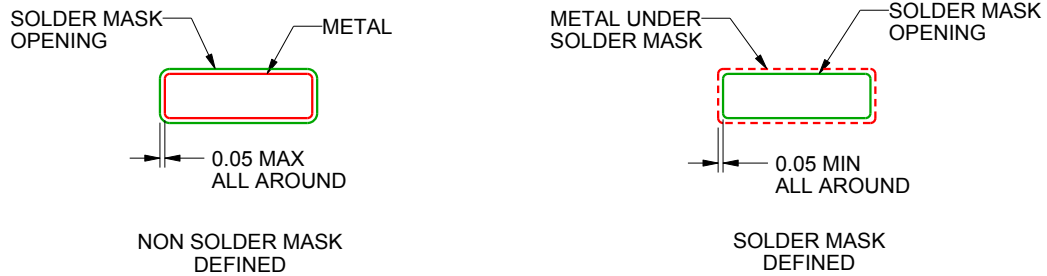
DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

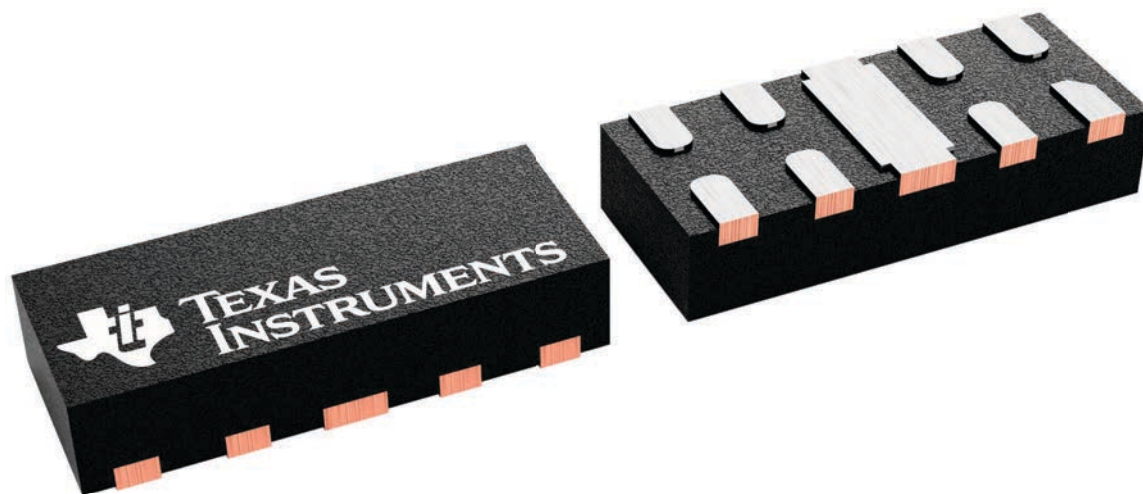
DQA 10

USON - 0.55 mm max height

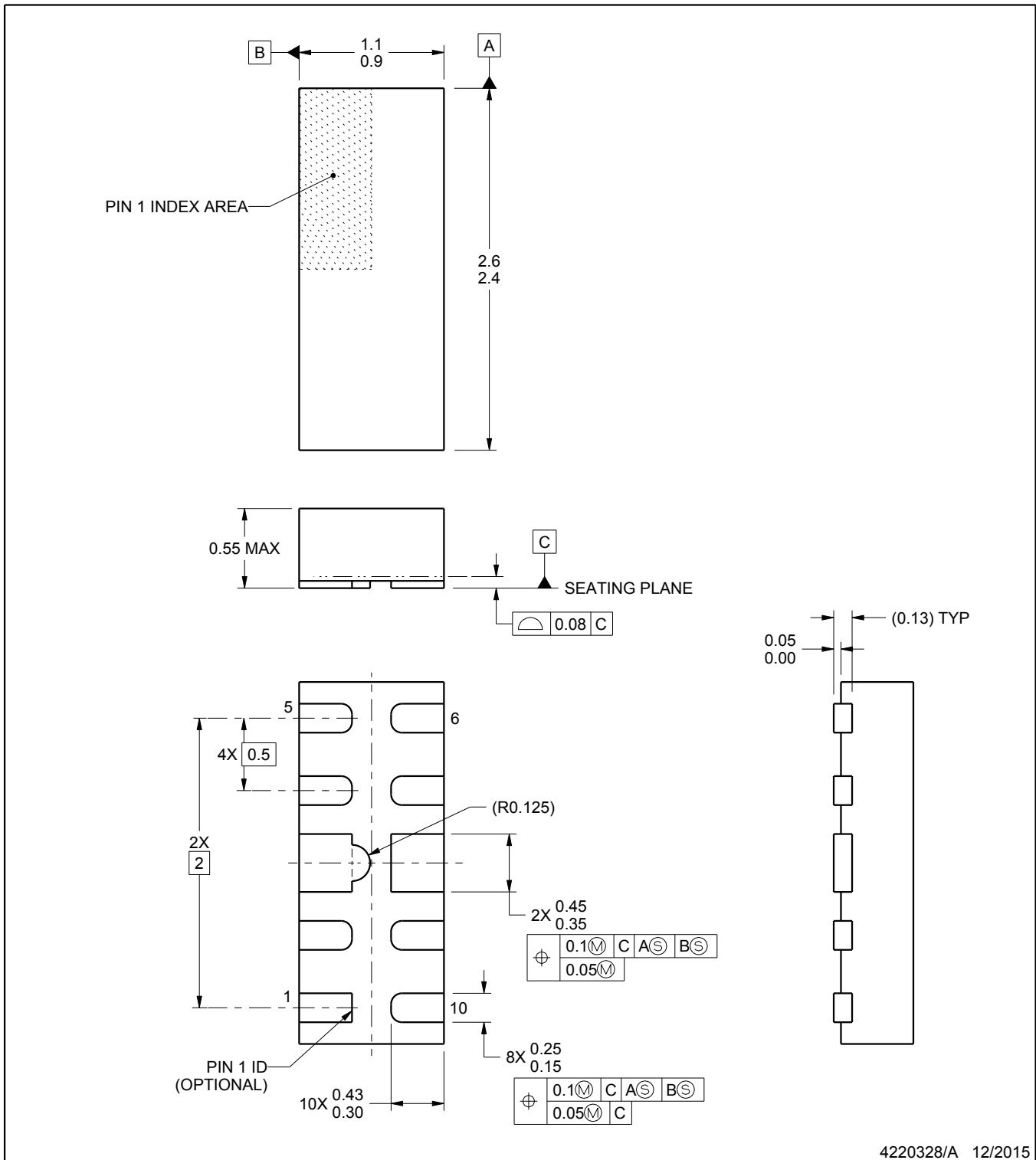
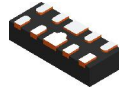
1 x 2.5, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4230320/A



4220328/A 12/2015

NOTES:

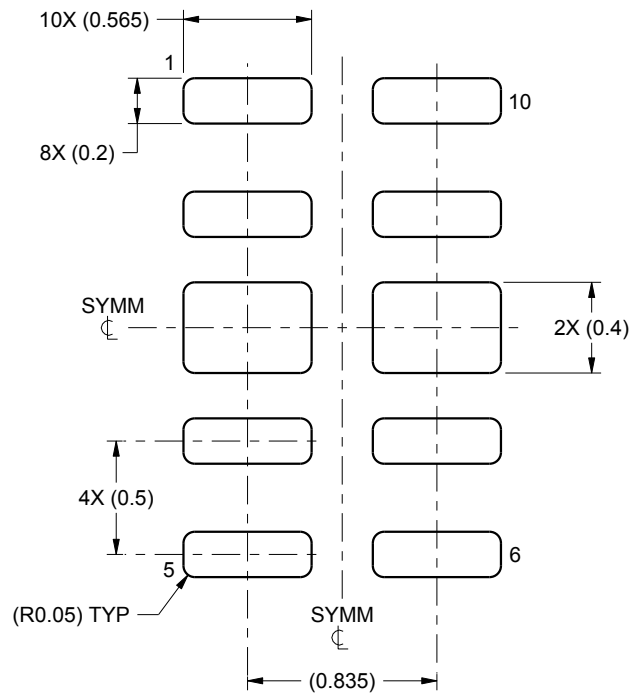
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

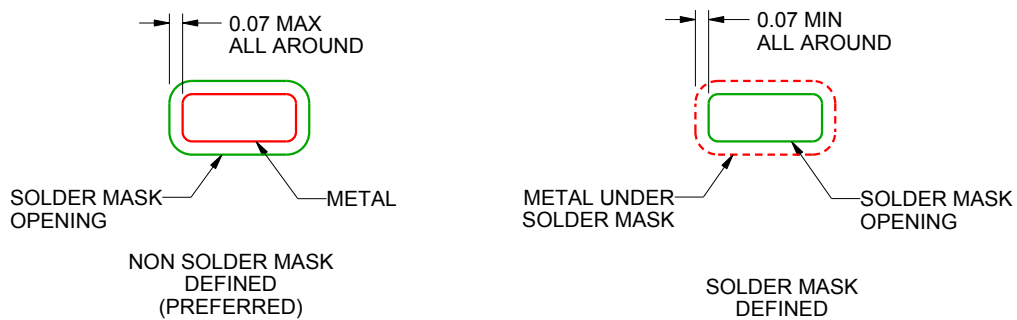
DQA0010A

USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:30X



SOLDER MASK DETAILS

4220328/A 12/2015

NOTES: (continued)

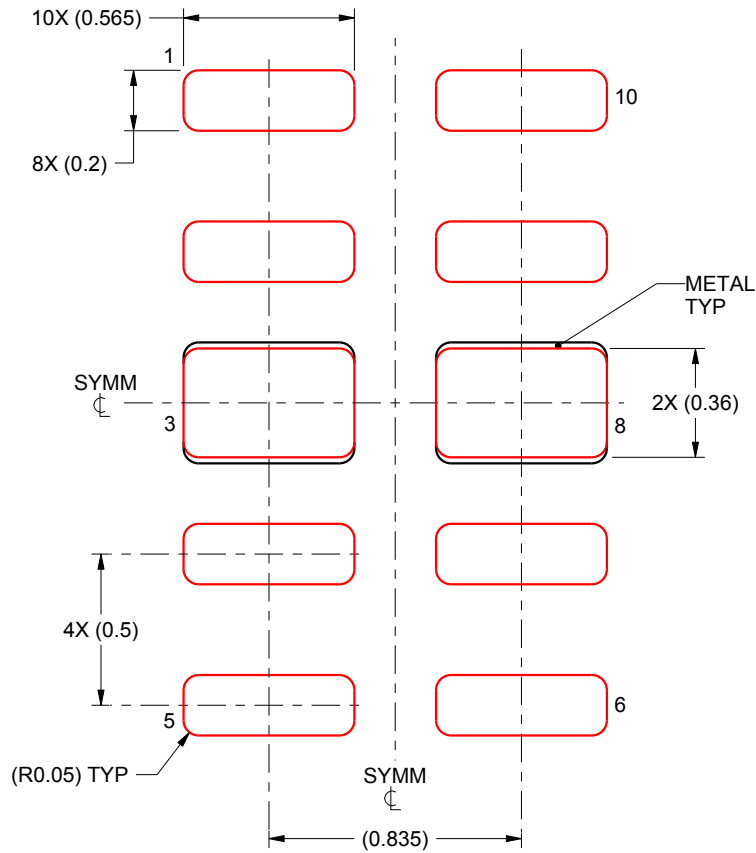
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DQA0010A

USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PADS 3 & 8:
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220328/A 12/2015

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司