

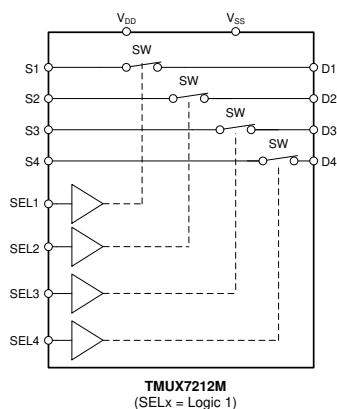
TMUX7212M 44 V 具有闩锁效应抑制和 1.8V 逻辑电平的低 RON、1:1 (SPST) 4 通道精密开关

1 特性

- 闩锁效应抑制
- 双电源电压范围：±4.5V 至 ±22 V
- 单电源电压范围：4.5V 至 44 V
- -55°C 至 +125°C 工作温度
- 低导通电阻：2Ω
- 大电流支持：220mA (最大值)
- 兼容 1.8V 逻辑电平
- 逻辑引脚具有集成的下拉电阻器
- 失效防护逻辑
- 轨到轨运行
- 双向运行

2 应用

- 航空电子设备飞行控制单元
- 飞行器驾驶舱显示屏
- 独立航空电子设备精密飞行控制
- 互连配电盒
- 航天和国防



TMUX7212M 方框图

3 说明

TMUX7212M 是互补金属氧化物半导体 (CMOS) 开关，具有四个独立可选的 1:1 单极单掷 (SPST) 开关通道。该器件支持单电源 (4.5V 至 44 V)、双电源 (±4.5V 至 ±22 V) 或非对称电源 (例如， $V_{DD} = 12V$, $V_{SS} = -5V$)。TMUX7212M 可支持源极 (Sx) 和漏极 (Dx) 引脚上 V_{SS} 到 V_{DD} 范围的双向模拟和数字信号。

TMUX7212M 的每个开关均通过 SELx 引脚上适当的逻辑控制输入进行控制。TMUX7212M 是精密开关和多路复用器系列器件，具有非常低的导通和关断漏电流，因此可用于高精度测量应用。

TMUX7212M 具有闩锁效应抑制，可防止器件内寄生结构之间通常由过压事件引起的大电流不良事件。闩锁状态通常会一直持续到电源轨关闭为止，并可能导致器件故障。闩锁效应抑制使得 TMUX7212M 系列开关和多路复用器能够在恶劣的环境中使用。此外，TMUX7212M 的额定工作温度可低至 -55°C，非常适合用于环境恶劣的工业和航空应用。

封装信息

器件型号 ⁽¹⁾	封装 ⁽²⁾	封装尺寸 ⁽³⁾
TMUX7212M	PW (TSSOP, 16)	5mm × 6.4mm

- (1) 请参阅节 4
- (2) 有关详细信息，请参阅节 12
- (3) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



内容

1 特性	1	7.8 关断隔离.....	22
2 应用	1	7.9 通道-通道串扰.....	23
3 说明	1	7.10 带宽.....	23
4 器件比较表	2	7.11 THD + 噪声.....	23
5 引脚配置和功能	3	7.12 电源抑制比 (PSRR).....	24
6 规格	4	8 详细说明	25
6.1 绝对最大额定值.....	4	8.1 概述.....	25
6.2 ESD 等级.....	4	8.2 功能方框图.....	25
6.3 热性能信息.....	5	8.3 特性说明.....	25
6.4 建议运行条件.....	5	8.4 器件功能模式.....	27
6.5 源极或漏极持续电流.....	5	8.5 真值表.....	27
±15V 双电源：电气特性.....	6	9 应用和实施	28
±15V 双电源：开关特性.....	7	9.1 应用信息.....	28
±20V 双电源：电气特性.....	8	9.2 典型应用 – 开关增益放大器.....	28
±20V 双电源：开关特性.....	9	9.3 设计要求.....	28
44V 单电源：电气特性.....	10	9.4 详细设计过程.....	28
44V 单电源：开关特性.....	11	9.5 电源相关建议.....	29
12V 单电源：电气特性.....	12	9.6 布局.....	30
12V 单电源：开关特性.....	13	10 器件和文档支持	31
6.6 典型特性.....	14	10.1 文档支持.....	31
7 参数测量信息	19	10.2 接收文档更新通知.....	31
7.1 导通电阻.....	19	10.3 支持资源.....	31
7.2 关断漏电流.....	19	10.4 商标.....	31
7.3 导通漏电流.....	20	10.5 静电放电警告.....	31
7.4 t_{ON} 和 t_{OFF} 时间.....	20	10.6 术语表.....	31
7.5 $t_{ON(VDD)}$ 时间.....	20	11 修订历史记录	31
7.6 传播延迟.....	21	12 机械、封装和可订购信息	31
7.7 电荷注入.....	22		

4 器件比较表

产品	说明
TMUX7212M	低漏电流精密 4 通道 1:1 (SPST) 开关 (逻辑高电平)

5 引脚配置和功能

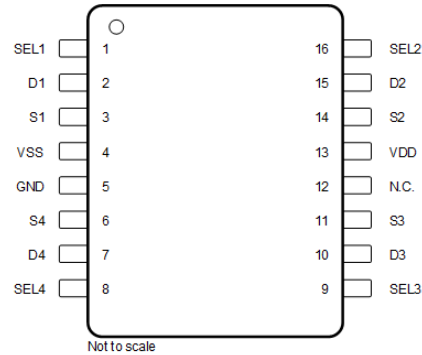


图 5-1. PW 封装，16 引脚 TSSOP (顶视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明 ⁽²⁾
名称	编号		
D1	2	I/O	漏极引脚 1。可以是输入或输出。
D2	15	I/O	漏极引脚 2。可以是输入或输出。
D3	10	I/O	漏极引脚 3。可以是输入或输出。
D4	7	I/O	漏极引脚 4。可以是输入或输出。
GND	5	P	接地 (0V) 基准
N.C.	12	—	无内部连接。可短接到 GND 或保持悬空。
S1	3	I/O	源极引脚 1。可以是输入或输出。
S2	14	I/O	源极引脚 2。可以是输入或输出。
S3	11	I/O	源极引脚 3。可以是输入或输出。
S4	6	I/O	源极引脚 4。可以是输入或输出。
SEL1	1	I	逻辑控制输入 1，具有内部 4MΩ 下拉电阻。控制通道 1 的状态，如节 8.5 所示。
SEL2	16	I	逻辑控制输入 2，具有内部 4MΩ 下拉电阻。控制通道 2 的状态，如节 8.5 所示。
SEL3	9	I	逻辑控制输入 3，具有内部 4MΩ 下拉电阻。控制通道 3 的状态，如节 8.5 所示。
SEL4	8	I	逻辑控制输入 4，具有内部 4MΩ 下拉电阻。控制通道 4 的状态，如节 8.5 所示。
VDD	13	P	正电源。该引脚是正电源电势最高的引脚。为了实现可靠运行，应在 V _{DD} 和 GND 之间连接一个 0.1μF 至 10μF 的去耦电容器。
VSS	4	P	负电源。该引脚是负电源电势最高的引脚。在单电源应用中，该引脚可以接地。为了实现可靠运行，应在 V _{SS} 和 GND 之间连接一个 0.1μF 至 10μF 的去耦电容器。

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源。

(2) 有关如何处理未使用的引脚的信息，请参阅节 8.4。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
$V_{DD} - V_{SS}$	电源电压		48	V
V_{DD}		-0.5	48	V
V_{SS}		-48	0.5	V
V_{SEL} 或 V_{EN}	逻辑控制输入引脚电压 (SELx)	-0.5	48	V
I_{SEL} 或 I_{EN}	逻辑控制输入引脚电流 (SELx)	-30	30	mA
V_S 或 V_D	源极或漏极电压 (Sx, Dx)	$V_{SS} - 0.5$	$V_{DD} + 0.5$	V
I_{IK}	二极管钳位电流 ⁽³⁾	-30	30	mA
I_S 或 I_D (CONT)	源极或漏极连续电流 (Sx, Dx)		$I_{DC} + 10\%$ ⁽⁴⁾	mA
T_A	环境温度	-55	150	°C
T_{stg}	贮存温度	-65	150	°C
T_J	结温		150	°C
P_{tot}	总功率耗散 (QFN) ⁽⁵⁾		1650	mW
	总功率耗散 (TSSOP) ⁽⁵⁾		700	mW

- 超出绝对最大额定值的运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能会影响器件的可靠性、功能性和性能，并缩短器件的寿命。
- 除非另有说明，否则所有电压均以接地为基准。
- 引脚被二极管钳制至电源轨。过压信号的电压和电流必须限制在最大额定值内。
- 有关 I_{DC} 规格，请参阅源极或漏极连续电流表。
- 对于 QFN 封装： P_{tot} 会在 T_A 大于 70°C 时以线性方式降低 24.2mW/°C。
对于 TSSOP 封装： $P_{tot} = 700\text{mW}$ (最大值)，会在 T_A 大于 70°C 时以线性方式降低 10.7mW/°C。

6.2 ESD 等级

		值	单位
TMUX7212			
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚 ⁽¹⁾	±1500
		充电器件模型 (CDM)，符合 JEDEC JS-002 标准，所有引脚 ⁽²⁾	±500

- JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
- JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 热性能信息

热指标 ⁽¹⁾		TMUX7212	单位
		PW (TSSOP)	
		16 引脚	
$R_{\theta JA}$	结至环境热阻	94.5	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	25.5	°C/W
$R_{\theta JB}$	结至电路板热阻	41.1	°C/W
Ψ_{JT}	结至顶部特征参数	1.1	°C/W
Ψ_{JB}	结至电路板特征参数	40.4	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

6.4 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
$V_{DD} - V_{SS}$ ⁽¹⁾	电源电压差分	4.5		44	V
V_{DD}	正电源电压	4.5		44	V
V_S 或 V_D	信号路径输入/输出电压 (源极或漏极引脚) (Sx, D)	V_{SS}		V_{DD}	V
V_{SEL} 或 V_{EN}	地址或使能引脚电压	0		44	V
I_S 或 $I_D (CONT)$	源极或漏极连续电流 (Sx, D)			I_{DC} ⁽²⁾	mA
T_A	环境温度	-55		125	°C

(1) 只要满足 $4.5V \leq (V_{DD} - V_{SS}) \leq 44V$ 以及最小 V_{DD} 条件, V_{DD} 和 V_{SS} 就可以是任意值。

(2) 有关 I_{DC} 规格, 请参阅[源极或漏极连续电流表](#)。

6.5 源极或漏极持续电流

电源电压为 $V_{DD} \pm 10\%$, $V_{SS} \pm 10\%$ 时 (除非另有说明)

每通道持续电流 (I_{DC}) ⁽²⁾		$T_A = 25^\circ C$	$T_A = 85^\circ C$	$T_A = 125^\circ C$	单位
封装	测试条件				
PW (TSSOP)	+44 V 双电源 ⁽¹⁾	220	160	100	mA
	±15V 双电源	220	160	100	mA
	+12V 单电源	190	130	90	mA
	±5V 双电源	170	120	80	mA
	+5V 单电源	130	90	60	mA

(1) 仅适用于标称电源电压。

(2) 请参阅[绝对最大额定值表](#)中的总功率耗散 (P_{tot}) 限制, 必须遵循最大持续电流规格。

±15V 双电源：电气特性
 $V_{DD} = +15V \pm 10\%$, $V_{SS} = -15V \pm 10\%$, $GND = 0V$ (除非另有说明)

 $V_{DD} = +15V$, $V_{SS} = -15V$, $T_A = 25^\circ C$ 时的典型值 (除非另有说明)

参数		测试条件	T_A	最小值	典型值	最大值	单位	
模拟开关								
R_{ON}	导通电阻	$V_S = -10V$ 至 $+10V$ $I_D = -10mA$ 请参阅 导通电阻	25°C		2	2.7	Ω	
			-40°C 至 +85°C			3.4	Ω	
			-55°C 至 +125°C			4	Ω	
ΔR_{ON}	通道间的导通电阻不匹配	$V_S = -10V$ 至 $+10V$ $I_D = -10mA$ 请参阅 导通电阻	25°C		0.1	0.18	Ω	
			-40°C 至 +85°C			0.19	Ω	
			-55°C 至 +125°C			0.21	Ω	
$R_{ON\ FLAT}$	导通电阻平坦度	$V_S = -10V$ 至 $+10V$ $I_S = -10mA$ 请参阅 导通电阻	25°C		0.2	0.46	Ω	
			-40°C 至 +85°C			0.65	Ω	
			-55°C 至 +125°C			0.7	Ω	
$R_{ON\ DRIFT}$	导通电阻漂移	$V_S = 0V$, $I_S = -10mA$ 请参阅 导通电阻	-55°C 至 +125°C		0.008		$\Omega/^\circ C$	
$I_{S(OFF)}$	源极关断漏电流 ⁽¹⁾	$V_{DD} = 16.5V$, $V_{SS} = -16.5V$ 开关状态为关断 $V_S = +10V/-10V$ $V_D = -10V/+10V$ 请参阅 关断漏电流	25°C	-0.25	0.05	0.25	nA	
			-40°C 至 +85°C		-3		3	nA
			-55°C 至 +125°C		-20		20	nA
$I_{D(OFF)}$	漏极关断漏电流 ⁽¹⁾	$V_{DD} = 16.5V$, $V_{SS} = -16.5V$ 开关状态为关断 $V_S = +10V/-10V$ $V_D = -10V/+10V$ 请参阅 关断漏电流	25°C	-0.25	0.05	0.25	nA	
			-40°C 至 +85°C		-3		3	nA
			-55°C 至 +125°C		-20		20	nA
$I_{S(ON)}$ $I_{D(ON)}$	通道导通漏电流 ⁽²⁾	$V_{DD} = 16.5V$, $V_{SS} = -16.5V$ 开关状态为导通 $V_S = V_D = \pm 10V$ 请参阅 导通漏电流	25°C	-0.4	0.1	0.4	nA	
			-40°C 至 +85°C		-1		1	nA
			-55°C 至 +125°C		-3		3	nA
逻辑输入 (SEL/EN 引脚)								
V_{IH}	逻辑电压高位		-55°C 至 +125°C	1.3		44	V	
V_{IL}	逻辑电压低位		-55°C 至 +125°C	0		0.8	V	
I_{IH}	输入漏电流		-55°C 至 +125°C		0.4	1.2	μA	
I_{IL}	输入漏电流		-55°C 至 +125°C	-0.1	-0.005		μA	
C_{IN}	逻辑输入电容		-55°C 至 +125°C		3.5		pF	
电源								
I_{DD}	V_{DD} 电源电流	$V_{DD} = 16.5V$, $V_{SS} = -16.5V$ 逻辑输入 = 0V、5V 或 V_{DD}	25°C		35	56	μA	
			-40°C 至 +85°C			65	μA	
			-55°C 至 +125°C			80	μA	
I_{SS}	V_{SS} 电源电流	$V_{DD} = 16.5V$, $V_{SS} = -16.5V$ 逻辑输入 = 0V、5V 或 V_{DD}	25°C		5	20	μA	
			-40°C 至 +85°C			24	μA	
			-55°C 至 +125°C			35	μA	

(1) 当 V_S 为正时, V_D 为负, 或当 V_S 为负时, V_D 为正。(2) 当 V_S 处于电压电势时, V_D 处于浮动状态, 或当 V_D 处于电压电势时, V_S 处于浮动状态。

±15V 双电源：开关特性

$V_{DD} = +15V \pm 10\%$, $V_{SS} = -15V \pm 10\%$, $GND = 0V$ (除非另有说明)

$V_{DD} = +15V$, $V_{SS} = -15V$, $T_A = 25^\circ C$ 时的典型值 (除非另有说明)

参数		测试条件	T_A	最小值	典型值	最大值	单位
t_{ON}	控制输入的开通时间	$V_S = 10V$ $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通和关断时间	25°C		100	175	ns
			-40°C 至 +85°C			205	ns
			-55°C 至 +125°C			225	ns
t_{OFF}	控制输入的关断时间	$V_S = 10V$ $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通和关断时间	25°C		80	205	ns
			-40°C 至 +85°C			225	ns
			-55°C 至 +125°C			240	ns
$t_{ON(VDD)}$	器件开通时间 (V_{DD} 至输出)	V_{DD} 上升时间 = 1 μs $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通 (VDD) 时间	25°C		0.17		ms
			-40°C 至 +85°C			0.18	ms
			-55°C 至 +125°C			0.18	ms
t_{PD}	传播延迟	$R_L = 50\Omega$, $C_L = 5pF$ 请参阅 传播延迟	25°C		260		ps
Q_{INJ}	电荷注入	$V_S = 0V$, $C_L = 100pF$ 请参阅 电荷注入	25°C		60		pC
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 100kHz$ 请参阅 关断隔离	25°C		-70		dB
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 1MHz$ 请参阅 关断隔离	25°C		-50		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 100kHz$ 请参阅 串扰	25°C		-114		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 1MHz$ 请参阅 串扰	25°C		-93		dB
BW	-3dB 带宽	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$ 请参阅 带宽	25°C		56		MHz
I_L	插入损耗	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 1MHz$	25°C		-0.15		dB
ACPSRR	交流电源抑制比	$V_{PP} = 0.62V$ (在 V_{DD} 和 V_{SS} 上) $R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$ 请参阅 ACPSRR	25°C		-68		dB
THD+N	总谐波失真 + 噪声	$V_{PP} = 15V$, $V_{BIAS} = 0V$ $R_L = 10k\Omega$, $C_L = 5pF$, $f = 20Hz$ 至 $20kHz$ 请参阅 THD + 噪声	25°C		0.0004		%
$C_{S(OFF)}$	源极关断电容	$V_S = 0V$, $f = 1MHz$	25°C		28		pF
$C_{D(OFF)}$	漏极关断电容	$V_S = 0V$, $f = 1MHz$	25°C		45		pF
$C_{S(ON)}$, $C_{D(ON)}$	导通电容	$V_S = 0V$, $f = 1MHz$	25°C		145		pF

±20V 双电源：电气特性

$V_{DD} = +20V \pm 10\%$, $V_{SS} = -20V \pm 10\%$, GND = 0V (除非另有说明)

$V_{DD} = +20V$, $V_{SS} = -20V$, $T_A = 25^\circ\text{C}$ 时的典型值 (除非另有说明)

参数		测试条件	T_A	最小值	典型值	最大值	单位
模拟开关							
R_{ON}	导通电阻	$V_S = -15V$ 至 $+15V$ $I_D = -10\text{mA}$ 请参阅 导通电阻	25°C	1.7	2.5		Ω
			-40°C 至 +85°C			3	Ω
			-55°C 至 +125°C			3.6	Ω
ΔR_{ON}	通道间的导通电阻不匹配	$V_S = -15V$ 至 $+15V$ $I_D = -10\text{mA}$ 请参阅 导通电阻	25°C	0.1	0.18		Ω
			-40°C 至 +85°C			0.19	Ω
			-55°C 至 +125°C			0.21	Ω
$R_{ON\ FLAT}$	导通电阻平坦度	$V_S = -15V$ 至 $+15V$ $I_S = -10\text{mA}$ 请参阅 导通电阻	25°C	0.3	0.6		Ω
			-40°C 至 +85°C			0.8	Ω
			-55°C 至 +125°C			0.95	Ω
$R_{ON\ DRIFT}$	导通电阻漂移	$V_S = 0V$, $I_S = -10\text{mA}$ 请参阅 导通电阻	-55°C 至 +125°C	0.008			$\Omega/^\circ\text{C}$
$I_{S(OFF)}$	源极关断漏电流 ⁽¹⁾	$V_{DD} = 22V$, $V_{SS} = -22V$ 开关状态为关断 $V_S = +15V/-15V$ $V_D = -15V/+15V$ 请参阅 关断漏电流	25°C	-1	0.05	1	nA
			-40°C 至 +85°C	-4.5		4.5	nA
			-55°C 至 +125°C	-33		33	nA
$I_{D(OFF)}$	漏极关断漏电流 ⁽¹⁾	$V_{DD} = 22V$, $V_{SS} = -22V$ 开关状态为关断 $V_S = +15V/-15V$ $V_D = -15V/+15V$ 请参阅 关断漏电流	25°C	-1	0.1	1	nA
			-40°C 至 +85°C	-4.5		4.5	nA
			-55°C 至 +125°C	-33		33	nA
$I_{S(ON)}$ $I_{D(ON)}$	通道导通漏电流 ⁽²⁾	$V_{DD} = 22V$, $V_{SS} = -22V$ 开关状态为导通 $V_S = V_D = \pm 15V$ 请参阅 导通漏电流	25°C	-1	0.1	1	nA
			-40°C 至 +85°C	-1.5		1.5	nA
			-55°C 至 +125°C	-8		8	nA
逻辑输入 (SEL/EN 引脚)							
V_{IH}	逻辑电压高位		-55°C 至 +125°C	1.3		44	V
V_{IL}	逻辑电压低位		-55°C 至 +125°C	0		0.8	V
I_{IH}	输入漏电流		-55°C 至 +125°C		0.4	1.2	μA
I_{IL}	输入漏电流		-55°C 至 +125°C	-0.1	-0.005		μA
C_{IN}	逻辑输入电容		-55°C 至 +125°C		3.5		pF
电源							
I_{DD}	V_{DD} 电源电流	$V_{DD} = 22V$, $V_{SS} = -22V$ 逻辑输入 = 0V、5V 或 V_{DD}	25°C	33	65		μA
			-40°C 至 +85°C			74	μA
			-55°C 至 +125°C			90	μA
I_{SS}	V_{SS} 电源电流	$V_{DD} = 22V$, $V_{SS} = -22V$ 逻辑输入 = 0V、5V 或 V_{DD}	25°C	7	26		μA
			-40°C 至 +85°C			30	μA
			-55°C 至 +125°C			45	μA

(1) 当 V_S 为正时, V_D 为负, 或当 V_S 为负时, V_D 为正。

(2) 当 V_S 处于电压电势时, V_D 处于浮动状态, 或当 V_D 处于电压电势时, V_S 处于浮动状态。

±20V 双电源：开关特性

$V_{DD} = +20V \pm 10\%$, $V_{SS} = -20V \pm 10\%$, $GND = 0V$ (除非另有说明)

$V_{DD} = +20V$, $V_{SS} = -20V$, $T_A = 25^\circ C$ 时的典型值 (除非另有说明)

参数		测试条件	T_A	最小值	典型值	最大值	单位
t_{ON}	控制输入的开通时间	$V_S = 10V$ $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通和关断时间	25°C		100	185	ns
			-40°C 至 +85°C			210	ns
			-55°C 至 +125°C			230	ns
t_{OFF}	控制输入的关断时间	$V_S = 10V$ $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通和关断时间	25°C		90	210	ns
			-40°C 至 +85°C			225	ns
			-55°C 至 +125°C			235	ns
$t_{ON(VDD)}$	器件开通时间 (V_{DD} 至输出)	V_{DD} 上升时间 = 1 μs $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通 (VDD) 时间	25°C		0.17		ms
			-40°C 至 +85°C			0.18	ms
			-55°C 至 +125°C			0.18	ms
t_{PD}	传播延迟	$R_L = 50\Omega$, $C_L = 5pF$ 请参阅 传播延迟	25°C		260		ps
Q_{INJ}	电荷注入	$V_S = 0V$, $C_L = 100pF$ 请参阅 电荷注入	25°C		92		pC
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 100kHz$ 请参阅 关断隔离	25°C		-70		dB
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 1MHz$ 请参阅 关断隔离	25°C		-50		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 100kHz$ 请参阅 串扰	25°C		-112		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 1MHz$ 请参阅 串扰	25°C		-93		dB
BW	-3dB 带宽	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$ 请参阅 带宽	25°C		48		MHz
I_L	插入损耗	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 0V$, $f = 1MHz$	25°C		-0.14		dB
ACPSRR	交流电源抑制比	$V_{PP} = 0.62V$ (在 V_{DD} 和 V_{SS} 上) $R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$ 请参阅 ACPSRR	25°C		-68		dB
THD+N	总谐波失真 + 噪声	$V_{PP} = 20V$, $V_{BIAS} = 0V$ $R_L = 10k\Omega$, $C_L = 5pF$, $f = 20Hz$ 至 20kHz 请参阅 THD + 噪声	25°C		0.0003		%
$C_{S(OFF)}$	源极关断电容	$V_S = 0V$, $f = 1MHz$	25°C		28		pF
$C_{D(OFF)}$	漏极关断电容	$V_S = 0V$, $f = 1MHz$	25°C		45		pF
$C_{S(ON)}$, $C_{D(ON)}$	导通电容	$V_S = 0V$, $f = 1MHz$	25°C		145		pF

44V 单电源：电气特性

$V_{DD} = +44V$, $V_{SS} = 0V$, $GND = 0V$ (除非另有说明)

$V_{DD} = +44V$, $V_{SS} = 0V$, $T_A = 25^\circ C$ 时的典型值 (除非另有说明)

参数		测试条件	T_A	最小值	典型值	最大值	单位	
模拟开关								
R_{ON}	导通电阻	$V_S = 0V$ 至 $40V$ $I_D = -10mA$ 请参阅 导通电阻	$25^\circ C$		2	2.4	Ω	
			$-40^\circ C$ 至 $+85^\circ C$			3.2	Ω	
			$-55^\circ C$ 至 $+125^\circ C$			3.8	Ω	
ΔR_{ON}	通道间的导通电阻不匹配	$V_S = 0V$ 至 $40V$ $I_D = -10mA$ 请参阅 导通电阻	$25^\circ C$		0.1	0.18	Ω	
			$-40^\circ C$ 至 $+85^\circ C$			0.19	Ω	
			$-55^\circ C$ 至 $+125^\circ C$			0.21	Ω	
$R_{ON\ FLAT}$	导通电阻平坦度	$V_S = 0V$ 至 $40V$ $I_D = -10mA$ 请参阅 导通电阻	$25^\circ C$		0.65	0.8	Ω	
			$-40^\circ C$ 至 $+85^\circ C$			1.1	Ω	
			$-55^\circ C$ 至 $+125^\circ C$			1.2	Ω	
$R_{ON\ DRIFT}$	导通电阻漂移	$V_S = 22V$, $I_S = -10mA$ 请参阅 导通电阻	$-55^\circ C$ 至 $+125^\circ C$		0.007		$\Omega/^\circ C$	
$I_{S(OFF)}$	源极关断漏电流 ⁽¹⁾	$V_{DD} = 44V$, $V_{SS} = 0V$ 开关状态为关断 $V_S = 40V/1V$ $V_D = 1V/40V$ 请参阅 关断漏电流	$25^\circ C$	-1	0.05	1	nA	
			$-40^\circ C$ 至 $+85^\circ C$		-7		7	nA
			$-55^\circ C$ 至 $+125^\circ C$		-50		50	nA
$I_{D(OFF)}$	漏极关断漏电流 ⁽¹⁾	$V_{DD} = 44V$, $V_{SS} = 0V$ 开关状态为关断 $V_S = 40V/1V$ $V_D = 1V/40V$ 请参阅 关断漏电流	$25^\circ C$	-1	0.05	1	nA	
			$-40^\circ C$ 至 $+85^\circ C$		-7		7	nA
			$-55^\circ C$ 至 $+125^\circ C$		-50		50	nA
$I_{S(ON)}$ $I_{D(ON)}$	通道导通漏电流 ⁽²⁾	$V_{DD} = 44V$, $V_{SS} = 0V$ 开关状态为导通 $V_S = V_D = 40V$ 或 $1V$ 请参阅 导通漏电流	$25^\circ C$	-1	0.05	1	nA	
			$-40^\circ C$ 至 $+85^\circ C$		-3.5		3.5	nA
			$-55^\circ C$ 至 $+125^\circ C$		-5		5	nA
逻辑输入 (SEL/EN 引脚)								
V_{IH}	逻辑电压高位		$-55^\circ C$ 至 $+125^\circ C$	1.3		44	V	
V_{IL}	逻辑电压低位		$-55^\circ C$ 至 $+125^\circ C$	0		0.8	V	
I_{IH}	输入漏电流		$-55^\circ C$ 至 $+125^\circ C$		0.6	1.2	μA	
I_{IL}	输入漏电流		$-55^\circ C$ 至 $+125^\circ C$	-0.1	-0.005		μA	
C_{IN}	逻辑输入电容		$-55^\circ C$ 至 $+125^\circ C$		3.5		pF	
电源								
I_{DD}	V_{DD} 电源电流	$V_{DD} = 44V$, $V_{SS} = 0V$ 逻辑输入 = $0V$ 、 $5V$ 或 V_{DD}	$25^\circ C$		44	79	μA	
			$-40^\circ C$ 至 $+85^\circ C$			88	μA	
			$-55^\circ C$ 至 $+125^\circ C$			105	μA	

(1) 当 V_S 为正时, V_D 为负, 或当 V_S 为负时, V_D 为正。

(2) 当 V_S 处于电压电势时, V_D 处于浮动状态, 或当 V_D 处于电压电势时, V_S 处于浮动状态。

44V 单电源：开关特性

$V_{DD} = +44V$, $V_{SS} = 0V$, $GND = 0V$ (除非另有说明)

$V_{DD} = +44V$, $V_{SS} = 0V$, $T_A = 25^\circ C$ 时的典型值 (除非另有说明)

参数		测试条件	T_A	最小值	典型值	最大值	单位
t_{ON}	控制输入的开通时间	$V_S = 18V$ $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通和关断时间	25°C		80	185	ns
			-40°C 至 +85°C			205	ns
			-55°C 至 +125°C			225	ns
t_{OFF}	控制输入的关断时间	$V_S = 18V$ $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通和关断时间	25°C		90	205	ns
			-40°C 至 +85°C			220	ns
			-55°C 至 +125°C			228	ns
$t_{ON(VDD)}$	器件开通时间 (V_{DD} 至输出)	V_{DD} 上升时间 = 1 μs $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通 (VDD) 时间	25°C		0.14		ms
			-40°C 至 +85°C			0.15	ms
			-55°C 至 +125°C			0.15	ms
t_{PD}	传播延迟	$R_L = 50\Omega$, $C_L = 5pF$ 请参阅 传播延迟	25°C		270		ps
Q_{INJ}	电荷注入	$V_S = 22V$, $C_L = 100pF$ 请参阅 电荷注入	25°C		104		pC
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 100kHz$ 请参阅 关断隔离	25°C		-70		dB
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 1MHz$ 请参阅 关断隔离	25°C		-50		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 100kHz$ 请参阅 串扰	25°C		-112		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 1MHz$ 请参阅 串扰	25°C		-93		dB
BW	-3dB 带宽	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$ 请参阅 带宽	25°C		46		MHz
I_L	插入损耗	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 1MHz$	25°C		-0.15		dB
ACPSRR	交流电源抑制比	$V_{PP} = 0.62V$ (在 V_{DD} 和 V_{SS} 上) $R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$ 请参阅 ACPSRR	25°C		-66		dB
THD+N	总谐波失真 + 噪声	$V_{PP} = 22V$, $V_{BIAS} = 22V$ $R_L = 10k\Omega$, $C_L = 5pF$, $f = 20Hz$ 至 $20kHz$ 请参阅 THD + 噪声	25°C		0.0003		%
$C_{S(OFF)}$	源极关断电容	$V_S = 22V$, $f = 1MHz$	25°C		28		pF
$C_{D(OFF)}$	漏极关断电容	$V_S = 22V$, $f = 1MHz$	25°C		45		pF
$C_{S(ON)}$, $C_{D(ON)}$	导通电容	$V_S = 22V$, $f = 1MHz$	25°C		145		pF

12V 单电源：电气特性

$V_{DD} = +12V \pm 10\%$, $V_{SS} = 0V$, $GND = 0V$ (除非另有说明)

$V_{DD} = +12V$, $V_{SS} = 0V$, $T_A = 25^\circ C$ 时的典型值 (除非另有说明)

参数		测试条件	T_A	最小值	典型值	最大值	单位	
模拟开关								
R_{ON}	导通电阻	$V_S = 0V$ 至 $10V$ $I_D = -10mA$ 请参阅 导通电阻	$25^\circ C$	2.8	5.4		Ω	
			$-40^\circ C$ 至 $+85^\circ C$			6.8	Ω	
			$-55^\circ C$ 至 $+125^\circ C$			7.4	Ω	
ΔR_{ON}	通道间的导通电阻不匹配	$V_S = 0V$ 至 $10V$ $I_D = -10mA$ 请参阅 导通电阻	$25^\circ C$	0.13	0.21		Ω	
			$-40^\circ C$ 至 $+85^\circ C$			0.23	Ω	
			$-55^\circ C$ 至 $+125^\circ C$			0.25	Ω	
$R_{ON\ FLAT}$	导通电阻平坦度	$V_S = 0V$ 至 $10V$ $I_S = -10mA$ 请参阅 导通电阻	$25^\circ C$	1	1.7		Ω	
			$-40^\circ C$ 至 $+85^\circ C$			1.9	Ω	
			$-55^\circ C$ 至 $+125^\circ C$			2	Ω	
$R_{ON\ DRIFT}$	导通电阻漂移	$V_S = 6V$, $I_S = -10mA$ 请参阅 导通电阻	$-55^\circ C$ 至 $+125^\circ C$	0.015			$\Omega/^\circ C$	
$I_{S(OFF)}$	源极关断漏电流 ⁽¹⁾	$V_{DD} = 13.2V$, $V_{SS} = 0V$ 开关状态为关断 $V_S = 10V/1V$ $V_D = 1V/10V$ 请参阅 关断漏电流	$25^\circ C$	-0.25	0.01	0.25	nA	
			$-40^\circ C$ 至 $+85^\circ C$		-2		2	nA
			$-55^\circ C$ 至 $+125^\circ C$		-16		16	nA
$I_{D(OFF)}$	漏极关断漏电流 ⁽¹⁾	$V_{DD} = 13.2V$, $V_{SS} = 0V$ 开关状态为关断 $V_S = 10V/1V$ $V_D = 1V/10V$ 请参阅 关断漏电流	$25^\circ C$	-0.25	0.05	0.25	nA	
			$-40^\circ C$ 至 $+85^\circ C$		-2		2	nA
			$-55^\circ C$ 至 $+125^\circ C$		-16		16	nA
$I_{S(ON)}$ $I_{D(ON)}$	通道导通漏电流 ⁽²⁾	$V_{DD} = 13.2V$, $V_{SS} = 0V$ 开关状态为导通 $V_S = V_D = 10V$ 或 $1V$ 请参阅 导通漏电流	$25^\circ C$	-0.5	0.05	0.5	nA	
			$-40^\circ C$ 至 $+85^\circ C$		-1		1	nA
			$-55^\circ C$ 至 $+125^\circ C$		-3		3	nA
逻辑输入 (SEL/EN 引脚)								
V_{IH}	逻辑电压高位		$-55^\circ C$ 至 $+125^\circ C$	1.3		44	V	
V_{IL}	逻辑电压低位		$-55^\circ C$ 至 $+125^\circ C$	0		0.8	V	
I_{IH}	输入漏电流		$-55^\circ C$ 至 $+125^\circ C$		0.4	1.2	μA	
I_{IL}	输入漏电流		$-55^\circ C$ 至 $+125^\circ C$	-0.1	-0.005		μA	
C_{IN}	逻辑输入电容		$-55^\circ C$ 至 $+125^\circ C$		3.5		pF	
电源								
I_{DD}	V_{DD} 电源电流	$V_{DD} = 13.2V$, $V_{SS} = 0V$ 逻辑输入 = $0V$ 、 $5V$ 或 V_{DD}	$25^\circ C$	30	44		μA	
			$-40^\circ C$ 至 $+85^\circ C$			52	μA	
			$-55^\circ C$ 至 $+125^\circ C$			62	μA	

(1) 当 V_S 为正时, V_D 为负, 或当 V_S 为负时, V_D 为正。

(2) 当 V_S 处于电压电势时, V_D 处于浮动状态, 或当 V_D 处于电压电势时, V_S 处于浮动状态。

12V 单电源：开关特性

$V_{DD} = +12V \pm 10\%$, $V_{SS} = 0V$, $GND = 0V$ (除非另有说明)

$V_{DD} = +12V$ 、 $V_{SS} = 0V$ 、 $T_A = 25^\circ C$ 时的典型值 (除非另有说明)

参数		测试条件	T_A	最小值	典型值	最大值	单位
t_{ON}	控制输入的开通时间	$V_S = 8V$ $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通和关断时间	25°C		170	225	ns
			-40°C 至 +85°C			276	ns
			-55°C 至 +125°C			315	ns
t_{OFF}	控制输入的关断时间	$V_S = 8V$ $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通和关断时间	25°C		75	248	ns
			-40°C 至 +85°C			285	ns
			-55°C 至 +125°C			310	ns
$t_{ON(VDD)}$	器件开通时间 (V_{DD} 至输出)	V_{DD} 上升时间 = 1 μs $R_L = 300\Omega$, $C_L = 35pF$ 请参阅 导通 (VDD) 时间	25°C		0.17		ms
			-40°C 至 +85°C			0.18	ms
			-55°C 至 +125°C			0.18	ms
t_{PD}	传播延迟	$R_L = 50\Omega$, $C_L = 5pF$ 请参阅 传播延迟	25°C		270		ps
Q_{INJ}	电荷注入	$V_S = 6V$, $C_L = 100pF$ 请参阅 电荷注入	25°C		12		pC
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 100kHz$ 请参阅 关断隔离	25°C		-70		dB
O_{ISO}	关断隔离	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 1MHz$ 请参阅 关断隔离	25°C		-50		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 100kHz$ 请参阅 串扰	25°C		-112		dB
X_{TALK}	串扰	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 1MHz$ 请参阅 串扰	25°C		-93		dB
BW	-3dB 带宽	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$ 请参阅 带宽	25°C		125		MHz
I_L	插入损耗	$R_L = 50\Omega$, $C_L = 5pF$ $V_S = 6V$, $f = 1MHz$	25°C		-0.25		dB
ACPSRR	交流电源抑制比	$V_{PP} = 0.62V$ (在 V_{DD} 和 V_{SS} 上) $R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$ 请参阅 ACPSRR	25°C		-70		dB
THD+N	总谐波失真 + 噪声	$V_{PP} = 6V$, $V_{BIAS} = 6V$ $R_L = 10k\Omega$, $C_L = 5pF$, $f = 20Hz$ 至 $20kHz$ 请参阅 THD + 噪声	25°C		0.001		%
$C_{S(OFF)}$	源极关断电容	$V_S = 6V$, $f = 1MHz$	25°C		35		pF
$C_{D(OFF)}$	漏极关断电容	$V_S = 6V$, $f = 1MHz$	25°C		50		pF
$C_{S(ON)}$, $C_{D(ON)}$	导通电容	$V_S = 6V$, $f = 1MHz$	25°C		145		pF

6.6 典型特性

$T_A = 25^\circ\text{C}$ (除非另有说明)

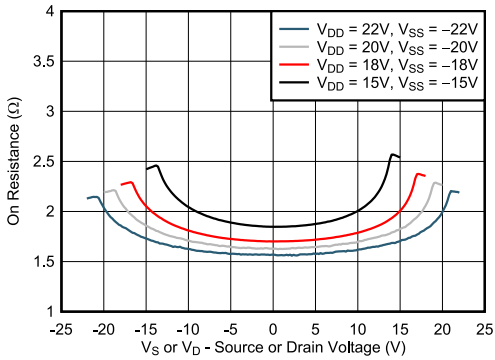


图 6-1. 导通电阻与源极或漏极电压间的关系 – 双电源

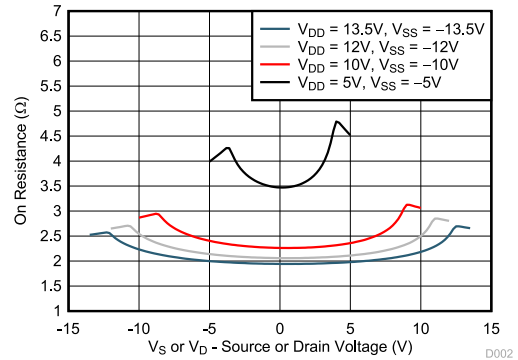


图 6-2. 导通电阻与源极或漏极电压间的关系 – 双电源

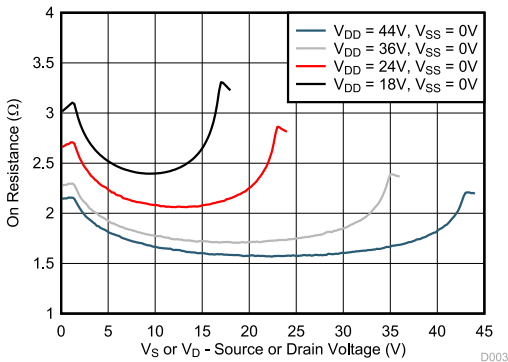


图 6-3. 导通电阻与源极或漏极电压间的关系 – 单电源

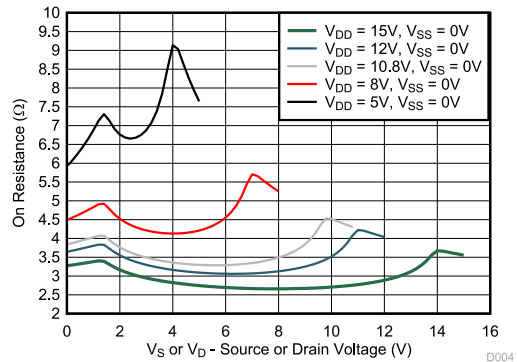


图 6-4. 导通电阻与源极或漏极电压间的关系 – 单电源

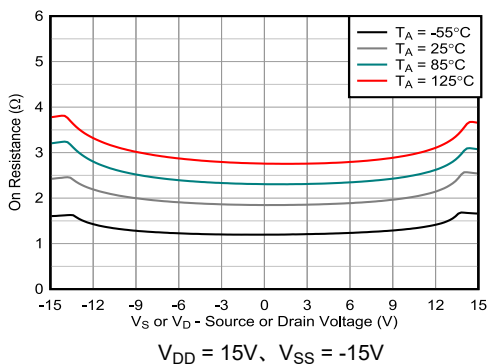


图 6-5. 导通电阻与温度间的关系

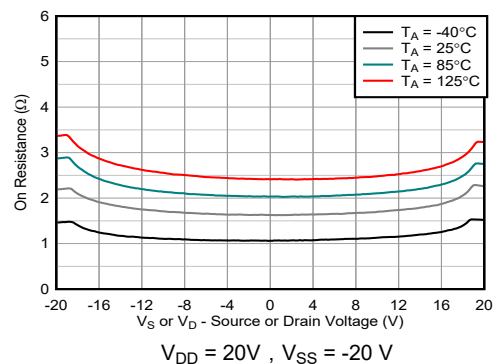


图 6-6. 导通电阻与温度间的关系

6.6 典型特性 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

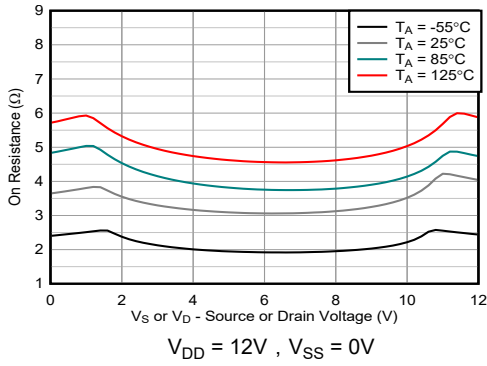


图 6-7. 导通电阻与温度间的关系

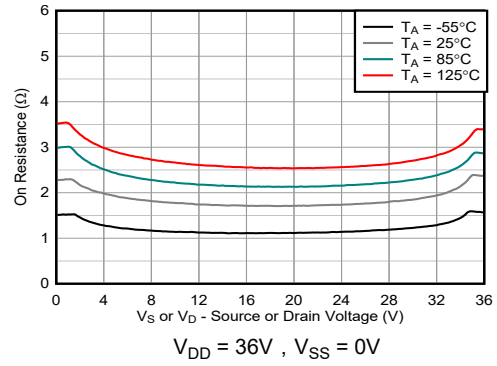


图 6-8. 导通电阻与温度间的关系

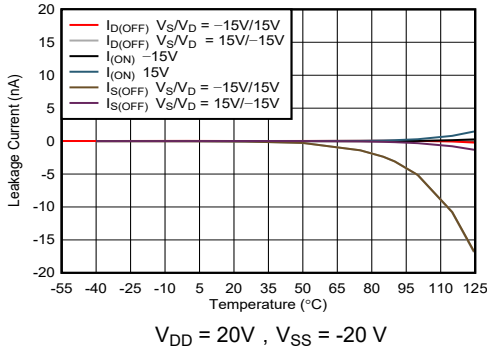


图 6-9. 泄漏电流与温度间的关系

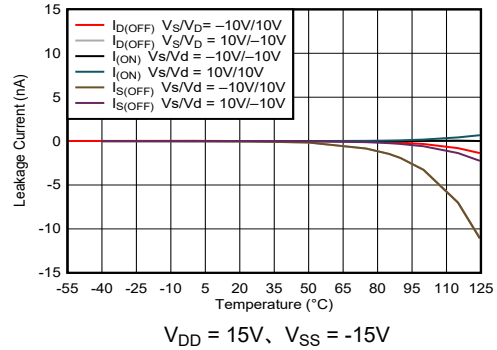


图 6-10. 漏电流与温度间的关系

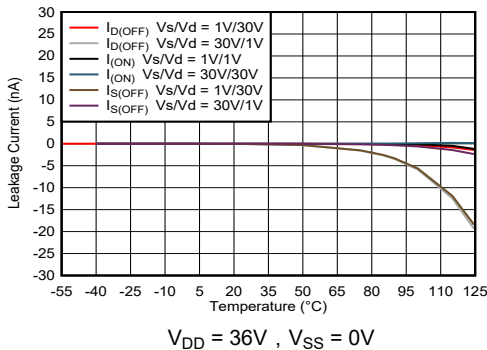


图 6-11. 泄漏电流与温度间的关系

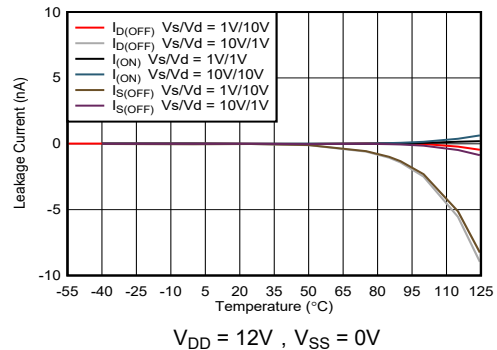


图 6-12. 泄漏电流与温度间的关系

6.6 典型特性 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

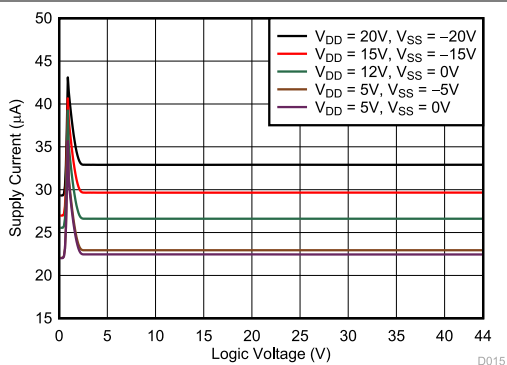


图 6-13. 电源电流与逻辑电压间的关系

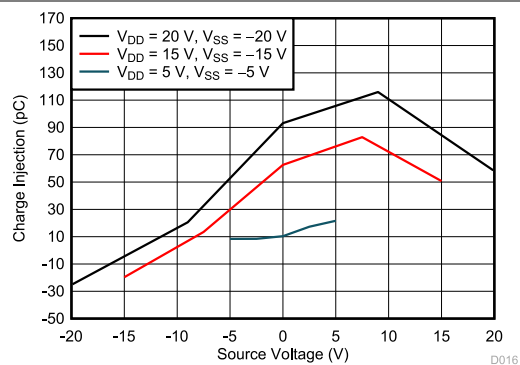


图 6-14. 电荷注入与源极电压间的关系 – 双电源

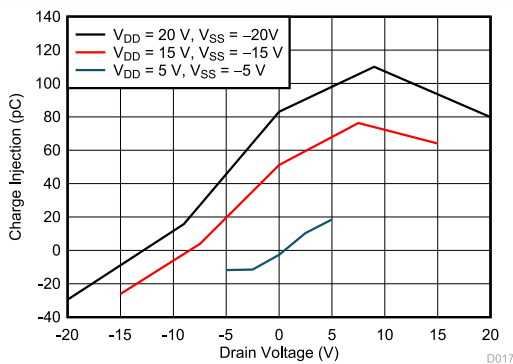


图 6-15. 电荷注入与源极电压间的关系 – 双电源

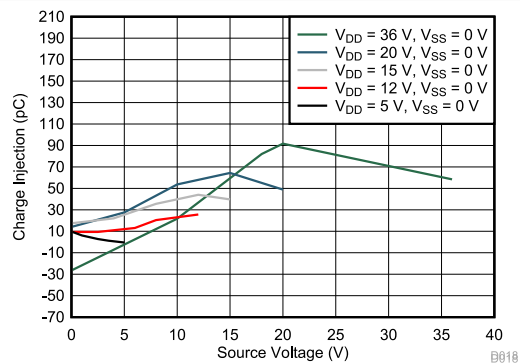


图 6-16. 电荷注入与源极电压间的关系 – 单电源

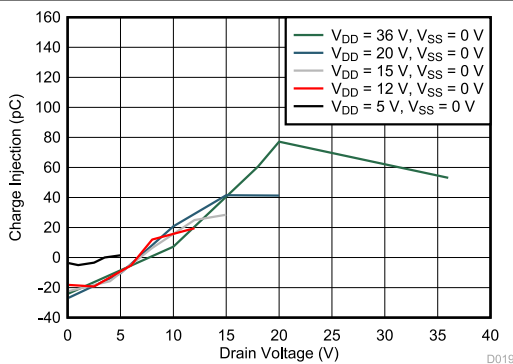


图 6-17. 电荷注入与源极电压间的关系 – 单电源

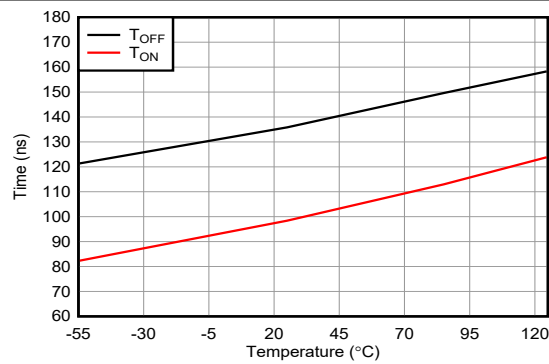


图 6-18. T_{ON} 和 T_{OFF} 与温度间的关系

6.6 典型特性 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

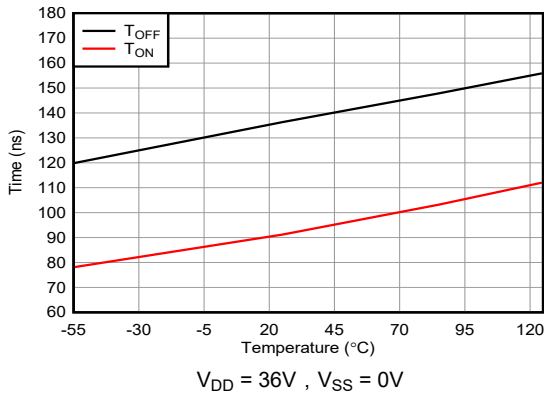


图 6-19. T_{ON} 和 T_{OFF} 与温度间的关系

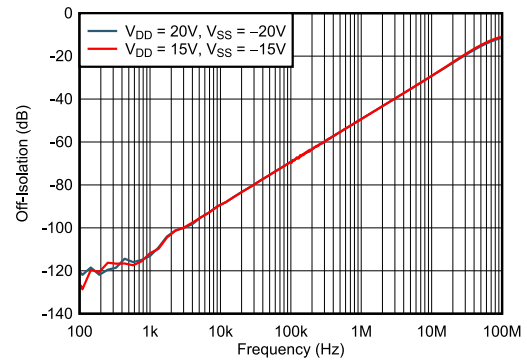


图 6-20. 关断隔离与频率间的关系

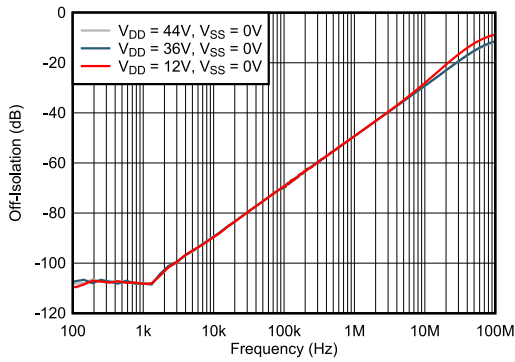


图 6-21. 关断隔离与频率间的关系

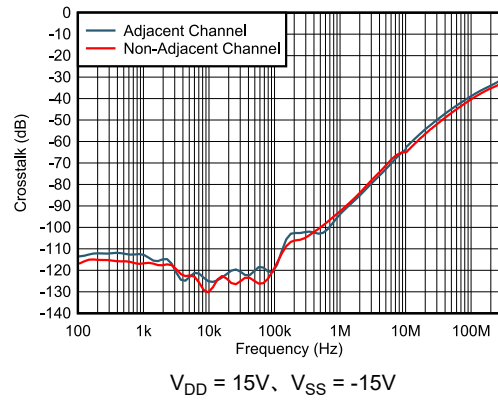


图 6-22. 串扰与频率间的关系

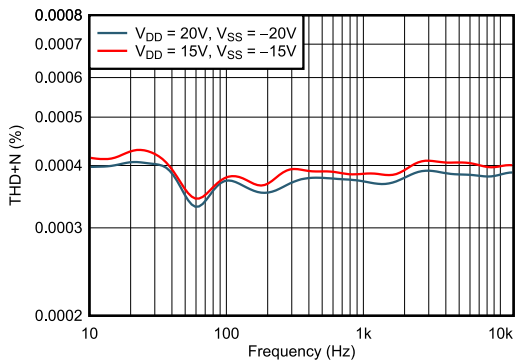


图 6-23. THD+N 与频率间的关系 (双电源)

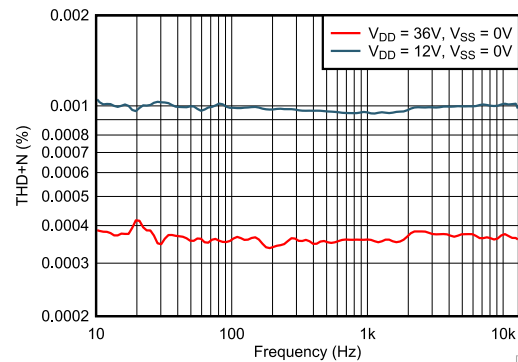
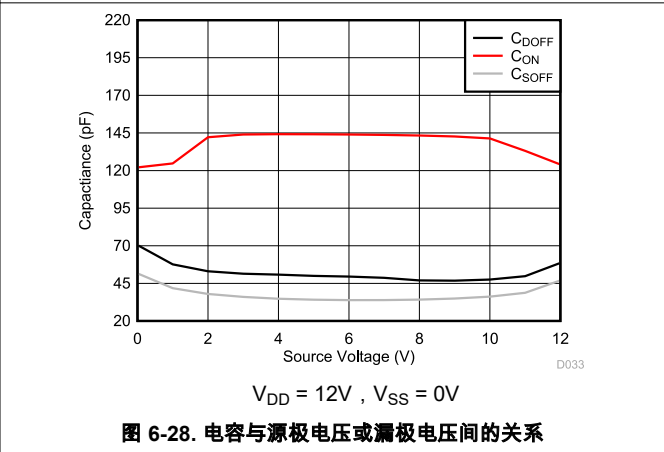
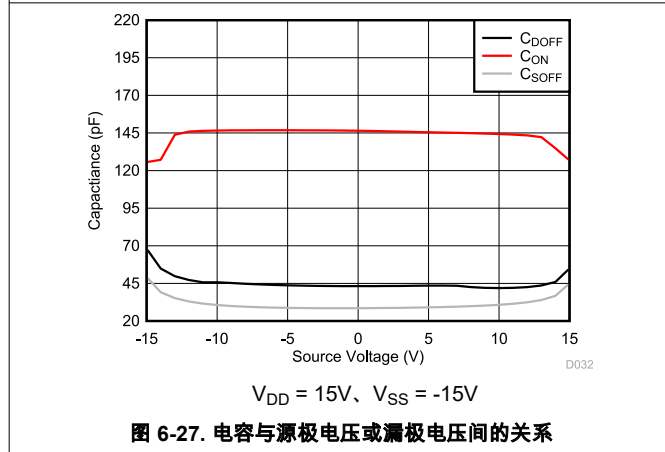
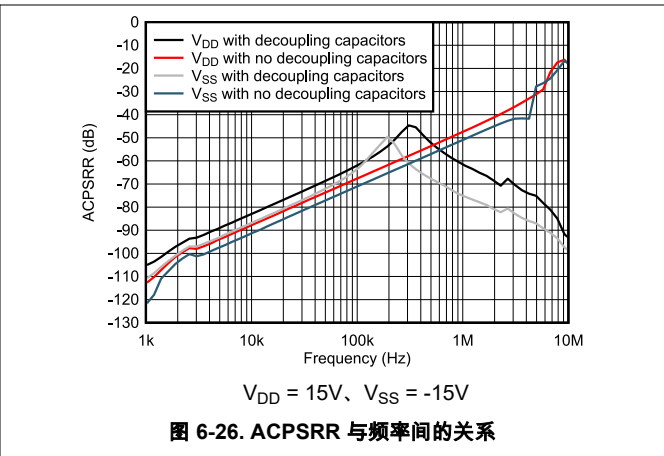
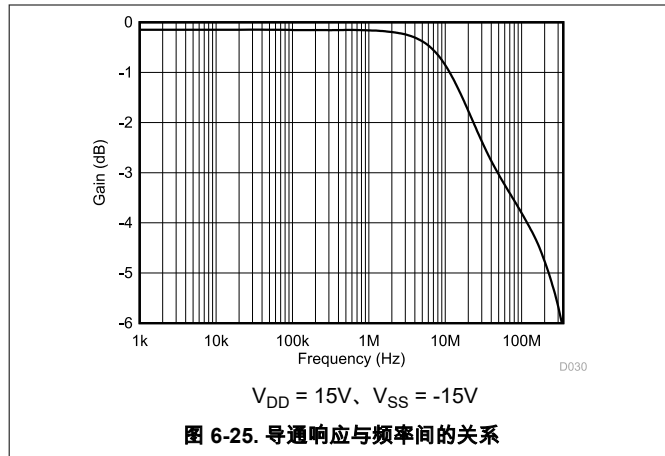


图 6-24. THD+N 与频率间的关系 (单电源)

6.6 典型特性 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)



7 参数测量信息

7.1 导通电阻

器件的导通电阻是器件源极 (Sx) 和漏极 (Dx) 引脚之间的欧姆电阻。导通电阻随输入电压和电源电压的变化而变化。符号 R_{ON} 用于表示导通电阻。图 7-1 展示了用于测量 R_{ON} 的测量设置。电压 (V) 和电流 (I_{SD}) 可通过此设置进行测量，而 R_{ON} 可通过 $R_{ON} = V/I_{SD}$ 来计算：

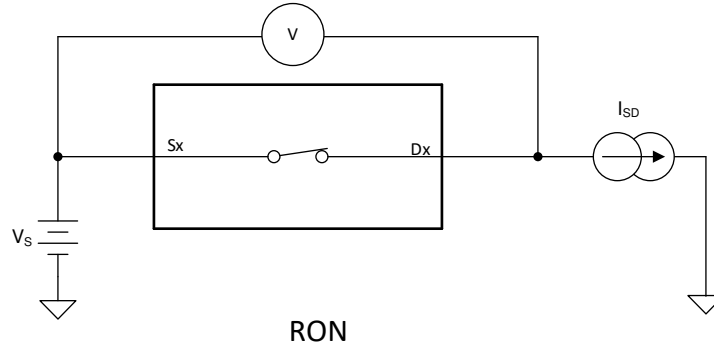


图 7-1. 导通电阻测量设置

7.2 关断漏电流

在关断状态下，开关有两种类型的漏电流：

1. 源极关断漏电流。
2. 漏极关断漏电流。

源极漏电流定义为开关断开时流入或流出源极引脚的漏电流。该电流用符号 $I_{S(OFF)}$ 表示。

漏极漏电流定义为开关断开时流入或流出漏极引脚的漏电流。该电流用符号 $I_{D(OFF)}$ 表示。

图 7-2 显示了用于测量两个关断漏电流的设置。

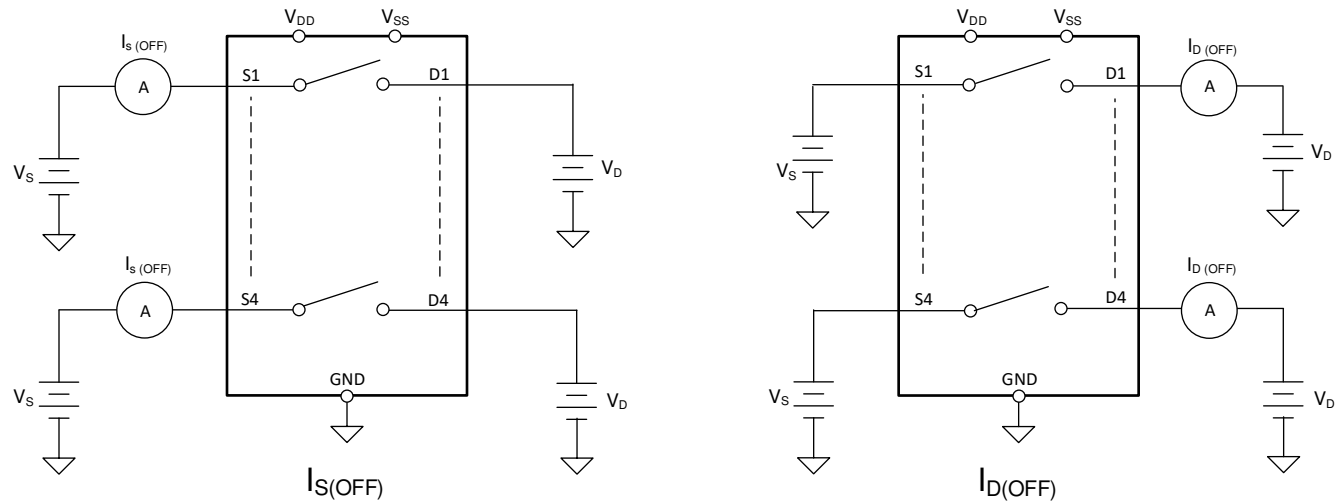


图 7-2. 关断漏电流测量设置

7.3 导通漏电流

源极导通漏电流定义为开关闭合时流入或流出源极引脚的漏电流。该电流用符号 $I_{S(ON)}$ 表示。

漏极导通漏电流定义为开关闭合时流入或流出漏极引脚的漏电流。该电流用符号 $I_{D(ON)}$ 表示。

在测量期间，源极引脚或漏极引脚均保持悬空。图 7-3 显示了用于测量导通漏电流（用 $I_{S(ON)}$ 或 $I_{D(ON)}$ 表示）的电路。

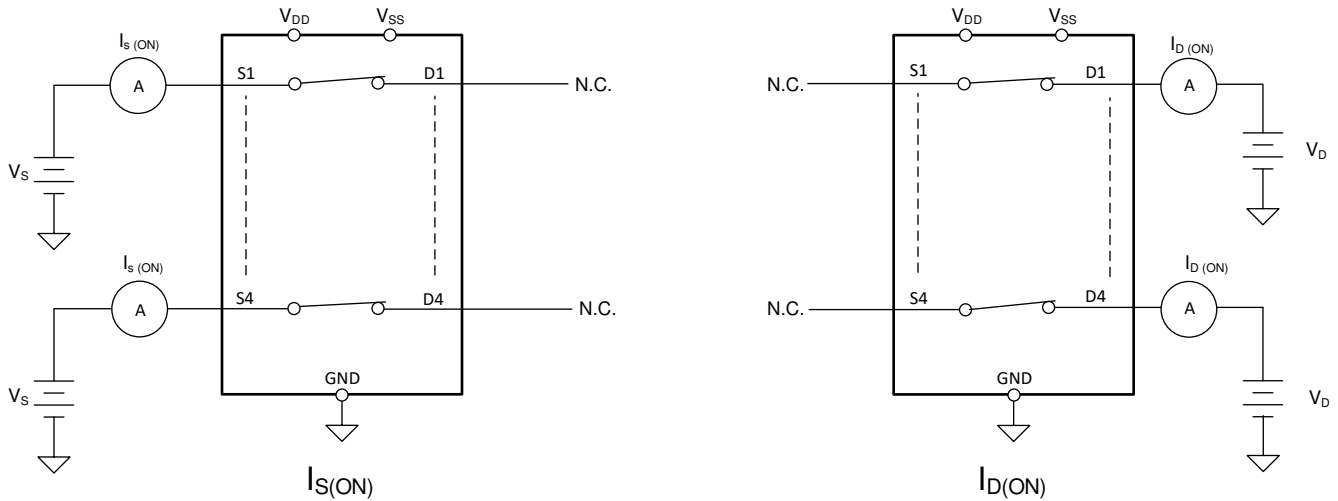


图 7-3. 导通漏电流测量设置

7.4 t_{ON} 和 t_{OFF} 时间

开通时间定义为使能上升到超过逻辑阈值后器件输出上升至 90% 所需的时间。90% 的测量值用于提供器件的时序。然后，系统级时序可以考虑负载电阻和负载电容所增加的时间常数。图 7-4 显示了用于测量开通时间（用符号 t_{ON} 表示）的设置。

关断时间定义为使能下降到超过逻辑阈值后器件输出下降至 10% 所需的时间。10% 的测量值用于提供器件的时序。然后，系统级时序可以考虑负载电阻和负载电容所增加的时间常数。图 7-4 显示了用于测量关断时间（用符号 t_{OFF} 表示）的设置。

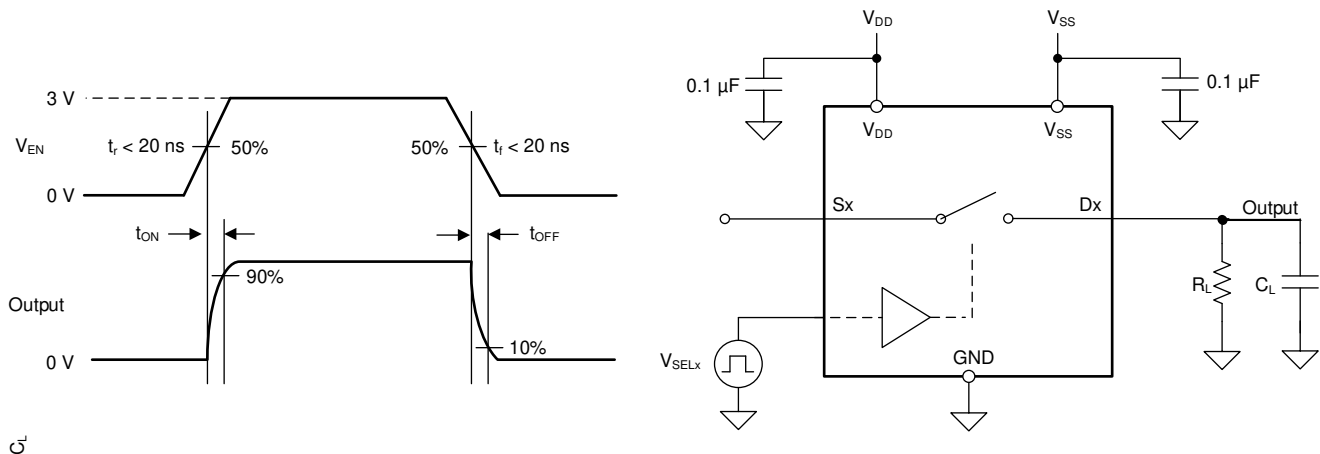


图 7-4. 导通和关断时间测量设置

7.5 $t_{ON(VDD)}$ 时间

$t_{ON(VDD)}$ 时间定义为电源上升到超过电源阈值后器件输出上升至 90% 所需的时间。90% 测量用于提供器件在系统中导通的时序。图 7-5 展示了用于测量开通时间（用符号 $t_{ON(VDD)}$ 表示）的设置。

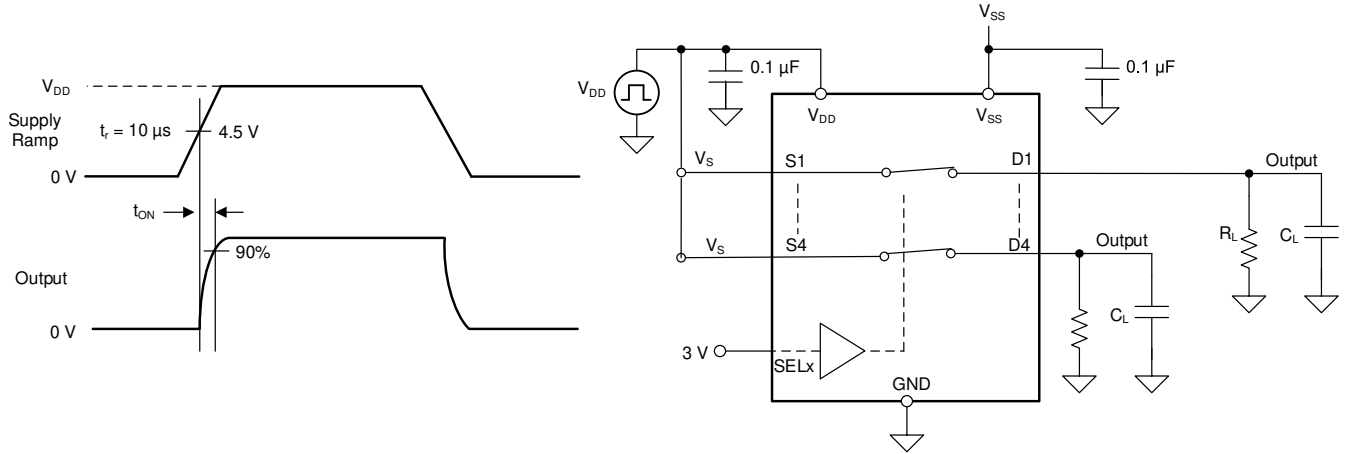


图 7-5. $t_{ON}(V_{DD})$ 时间测量设置

7.6 传播延迟

传播延迟定义为在输入信号上升或下降至超过 50% 阈值后器件输出上升或下降 50% 所需的时间。图 7-6 展示了用于测量传播延迟（用符号 t_{PD} 表示）的设置。

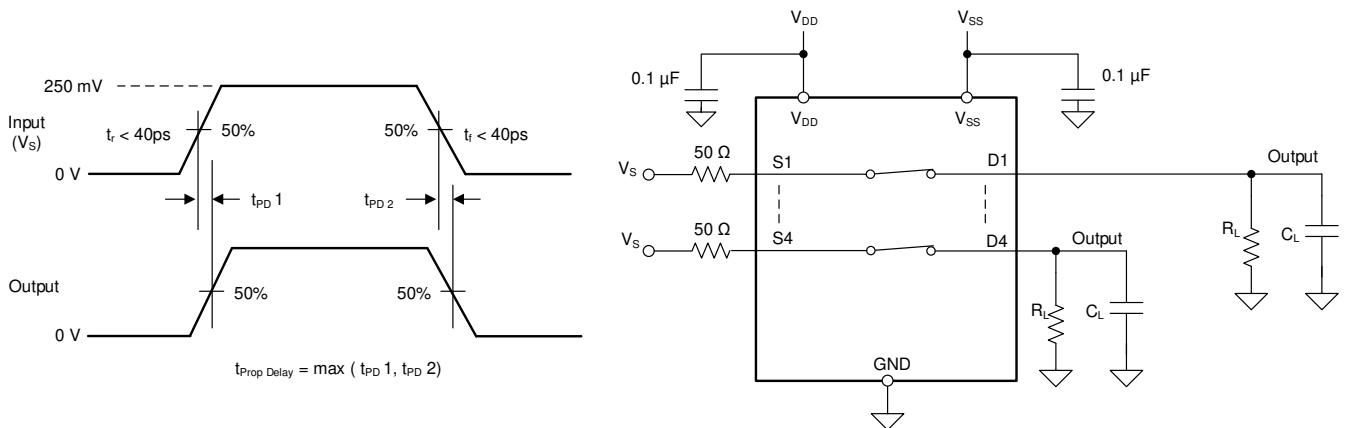


图 7-6. 传播延迟测量设置

7.7 电荷注入

TMUX7212M 器件具有传输门拓扑结构。NMOS 和 PMOS 晶体管之间电容的任何不匹配都会导致在栅极信号的下降沿或上升沿期间向漏极或源极注入电荷。注入器件源极或漏极的电荷量称为电荷注入，用符号 Q_C 表示。图 7-7 展示了用于测量从源极 (Sx) 到漏极 (Dx) 的电荷注入的设置。

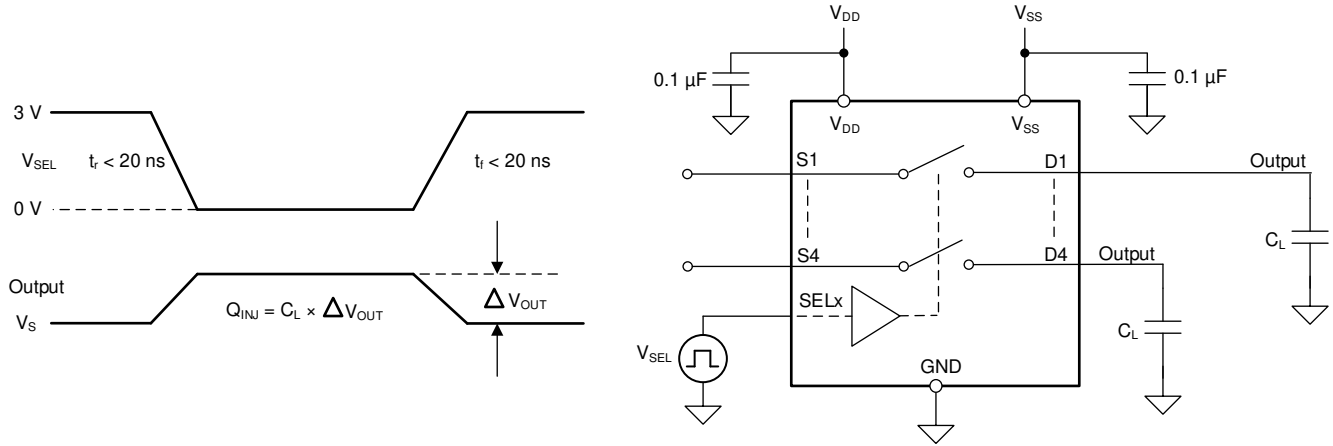


图 7-7. 电荷注入测量设置

7.8 关断隔离

关断隔离定义为器件漏极引脚 (Dx) 处的信号与关断通道的源极引脚 (Sx) 上施加的信号之比。特性阻抗 Z_0 测量值为 50Ω 。图 7-8 显示了用于测量关断隔离的设置。使用关断隔离公式来计算关断隔离。

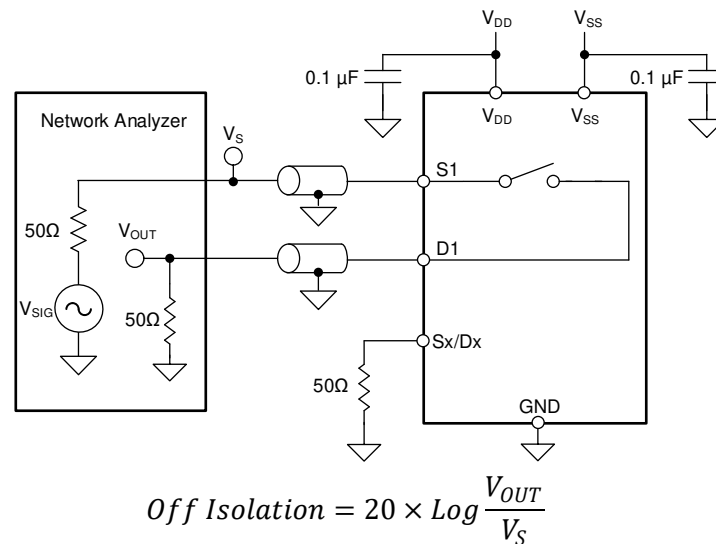


图 7-8. 关断隔离测量设置

7.9 通道-通道串扰

串扰定义为不同通道的漏极引脚 (Dx) 处的信号与导通通道的源极引脚 (Sx) 上施加的信号之比。特性阻抗 Z_0 测量值为 50Ω 。图 7-9 显示了用于测量串扰的设置和用于计算串扰的公式。

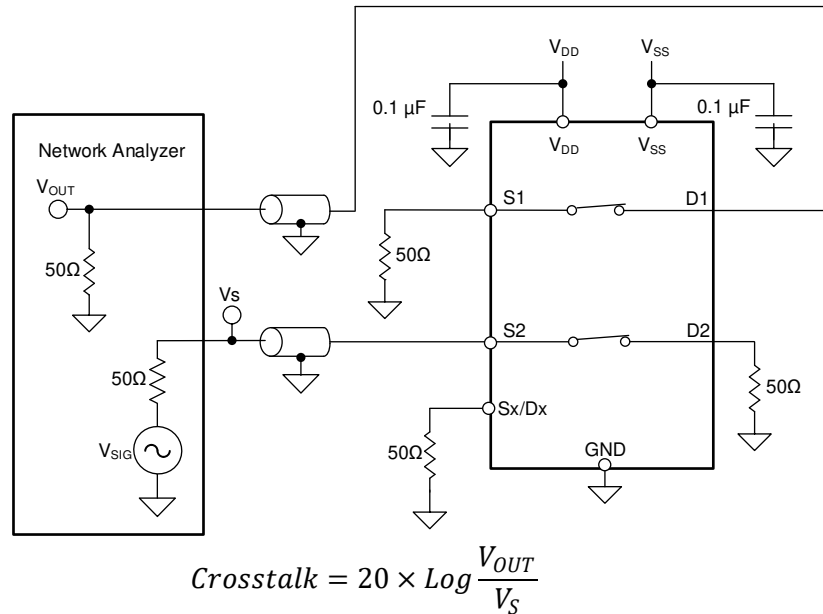


图 7-9. 通道间串扰测量设置

7.10 带宽

带宽定义为当输入施加到开启通道的源极引脚 (Sx) 且输出在器件的漏极引脚 (Dx) 处测量时衰减小于 3dB 的频率范围。特性阻抗 Z_0 测量值为 50Ω 。图 7-10 显示了用于测量带宽的设置。

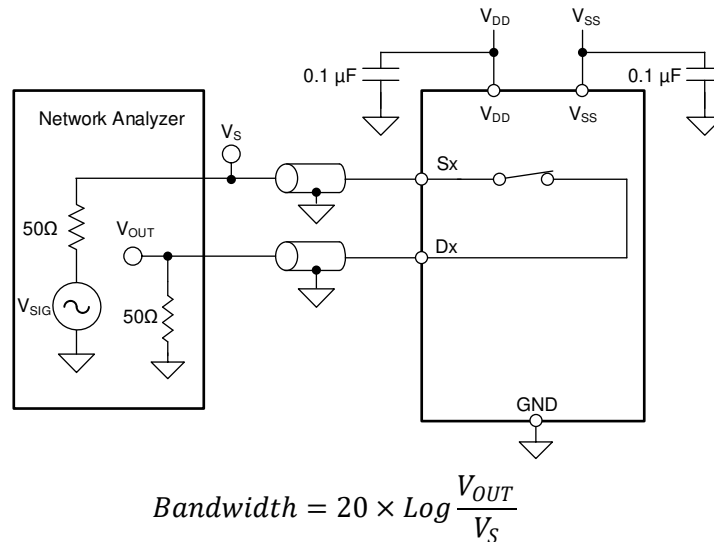


图 7-10. 带宽测量设置

7.11 THD + 噪声

信号的总谐波失真 (THD) 是对谐波失真的度量，定义为多路复用器输出端所有谐波分量的功率之和与基频功率之比。该器件的导通电阻随输入信号振幅的变化而变化，当漏极引脚连接到低阻抗负载时，会导致失真。总谐波失真加噪声表示为 THD + N。

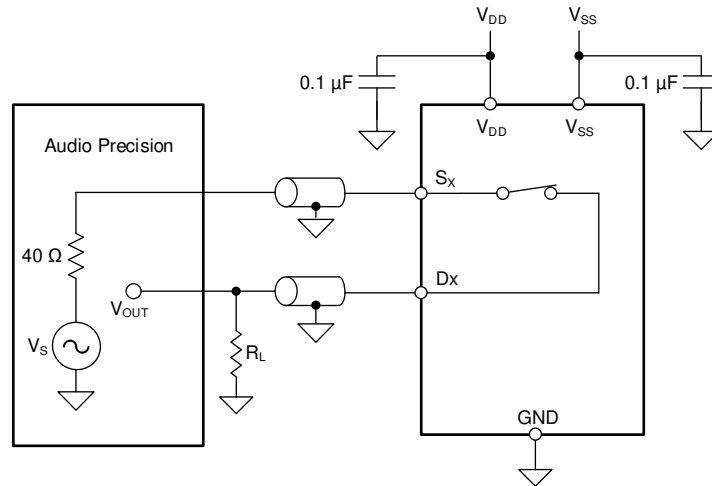


图 7-11. THD + N 测量设置

7.12 电源抑制比 (PSRR)

PSRR 衡量器件防止出现在电源电压引脚上的噪声和杂散信号耦合到开关输出的能力。器件电源上的直流电压由 100mV_{PP} 的正弦波调制。输出端信号振幅与调制信号振幅之比为交流 PSRR。

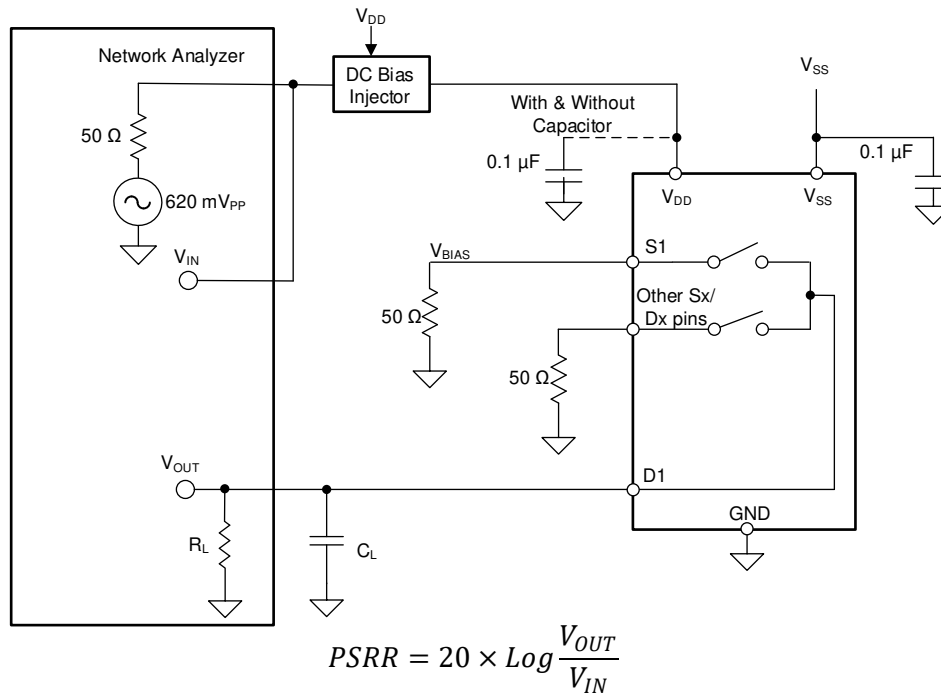


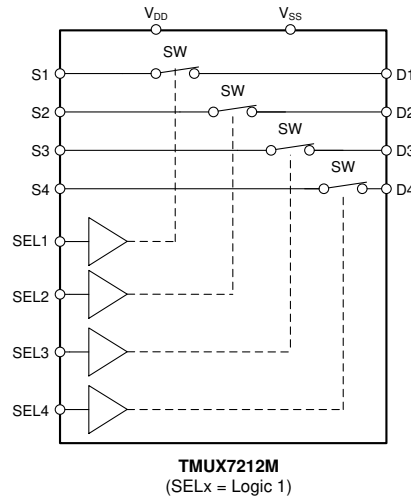
图 7-12. 交流 PSRR 测量设置

8 详细说明

8.1 概述

TMUX7212M 是一款 1:1 (SPST) 4 通道开关。该器件具有四个独立可选的单刀单掷开关，这些开关会根据相应选择引脚的状态进行开启或关闭。

8.2 功能方框图



8.3 特性说明

8.3.1 双向运行

TMUX7212M 从源极 (Sx) 到漏极 (Dx) 或从漏极 (Dx) 到源极 (Sx) 的导电性能同样出色。每个通道在两个方向上都有相似的特性，并都支持模拟和数字信号。

8.3.2 轨至轨运行

TMUX7212M 的有效信号路径输入和输出电压范围为 V_{SS} 至 V_{DD} 。

8.3.3 1.8V 逻辑兼容输入

对于所有逻辑控制输入，TMUX7212M 器件具备 1.8V 逻辑兼容控制。1.8V 逻辑电平输入允许 TMUX7212M 连接具有较低逻辑电平 I/O 轨的处理器，并且无需外部电压转换器，从而节省了空间和物料清单成本。有关 1.8V 逻辑实现的更多信息，请参阅 [使用 1.8V 逻辑多路复用器和开关简化设计](#)。

8.3.4 逻辑引脚上的集成下拉电阻

TMUX7212M 具有连接至 GND 的内部弱下拉电阻，来确保逻辑引脚不悬空。该下拉电阻的值约为 $4M\Omega$ ，但在较高电压时被钳位至约 $1\mu A$ 。此功能集成了最多四个外部元件，可减少系统尺寸并降低成本。

8.3.5 失效防护逻辑

TMUX7212M 在控制输入引脚 (SEL1、SEL2、SEL3 和 SEL4) 上支持失效防护逻辑，因此无论电源引脚的状态如何，均支持高达 44 V 的工作电压。此特性允许在电源极引脚之前对控制引脚施加电压，从而保护器件免受潜在的损坏。失效防护逻辑无需在逻辑控制引脚上进行电源时序控制，从而更大幅度地降低了系统复杂性。例如，失效防护逻辑特性允许 TMUX7212M 的选择引脚在 V_{DD} 和 $V_{SS} = 0V$ 时斜升至 44 V。在断电条件下，逻辑控制输入可防止高达 44 V 的正故障，但不提供负过压保护。

8.3.6 闩锁效应抑制

闩锁是在电源引脚和接地之间创建低阻抗路径的情况。这种情况由触发器（电流注入或过压）引起，一旦激活，即使触发器不再存在，低阻抗路径也仍然存在。该低阻抗路径可能会因电流电平过高而导致系统混乱或巨大损坏。闩锁情况通常需要下电上电来消除低阻抗路径。

TMUX7212M 系列器件采用基于绝缘体硅 (SOI) 的工艺制造，在每个 CMOS 开关的 PMOS 和 NMOS 晶体管之间添加了氧化层，用于防止形成寄生结构。氧化层也称为绝缘沟道，可防止因过压或电流注入而触发闩锁事件。闩锁效应抑制使得 TMUX7212M 系列开关和多路复用器能够在恶劣的环境中使用。请参阅 [使用闩锁效应抑制多路复用器帮助改善系统可靠性](#)，了解有关闩锁效应抑制的更多信息。

8.3.7 超低电荷注入

图 8-1 显示了 TMUX7212M 器件的传输门拓扑结构。与 NMOS 和 PMOS 相关的杂散电容中的任何不匹配都会在开关断开或闭合时导致输出电平发生变化。

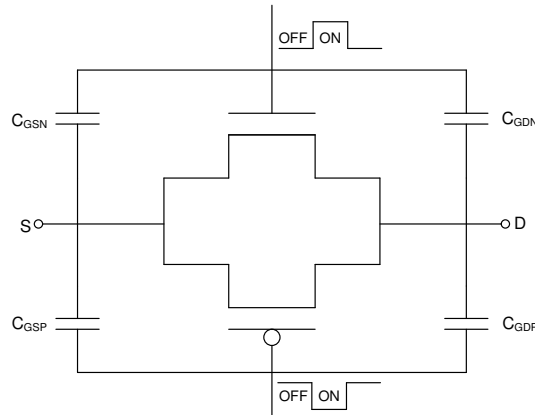


图 8-1. 传输门拓扑

TMUX7212M 包含可减少漏极 (Dx) 电荷注入的专用架构。为了进一步减少敏感应用中的电荷注入，可以在源极 (Sx) 上添加补偿电容器 (Cp)。这将确保开关转换产生的多余电荷被推入源极 (Sx) 而非漏极 (Dx) 上的补偿电容器。一般来说，Cp 应比漏极 (Dx) 上的等效负载电容大 20 倍。图 8-2 展示了源极侧不同补偿电容器的电荷注入变化。该图是在 TMUX72xx 系列中的 TMUX7219M 上捕获的，负载电容为 100pF。

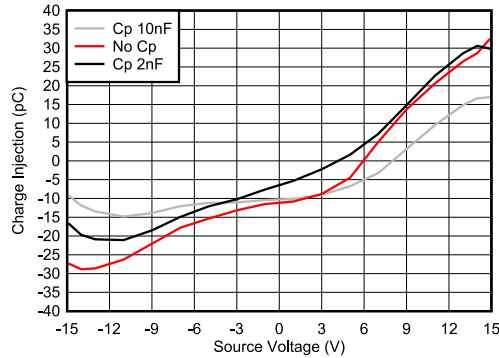


图 8-2. 电荷注入补偿

8.4 器件功能模式

TMUX7212M 器件具有四个独立可选的单刀单掷开关，这些开关会根据相应选择引脚的状态进行开启或关闭。控制引脚可高达 44 V。

TMUX7212M 器件无需任何外部元件（电源去耦电容器除外）即可运行。SELx 引脚具有 4MΩ 的内部下拉电阻。如未使用，SELx 引脚必须连接至 GND，以便器件不会消耗额外的电流，[CMOS 输入缓慢变化或悬空的影响](#) 中重点介绍了相关内容。未使用的信号路径输入（Sx 或 Dx）应连接到 GND。

8.5 真值表

表 8-1 显示了 TMUX7212M 的真值表。

表 8-1. TMUX7212M 真值表

SEL x ⁽¹⁾	通道 x
0	通道 x 关闭
1	通道 x 开启

(1) x 表示相应通道的 1、2、3 或 4。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

TMUX7212M 是精密开关和多路复用器器件系列的一部分。这些器件在双电源（ $\pm 4.5\text{V}$ 至 $\pm 22\text{V}$ ）、单电源（ 4.5V 至 44V ）或非对称电源（如 $V_{DD} = 12\text{V}$ ， $V_{SS} = -30\text{V}$ ）供电时均能正常运行，并提供真正的轨到轨输入和输出。TMUX7212M 具有低 R_{ON} 、低导通和关断漏电流以及超低电荷注入性能。这些特性使得 TMUX7212M 成为一系列适用于高电压汽车应用、稳定可靠的高性能精密模拟多路复用器。

9.2 典型应用 – 开关增益放大器

开关和多路复用器通常用于放大器电路的反馈路径，以提供可配置的增益控制。通过在每条开关路径上使用不同的电阻值，TMUX7212M 支持系统采用多种增益设置。使用外部电阻，或利用 1 个通道始终处于关闭状态，可确保放大器不在开环配置下运行。选择增益控制器件时，TMUX7212M 的漏电流、导通电阻和电荷注入性能是需要评估的关键规格。

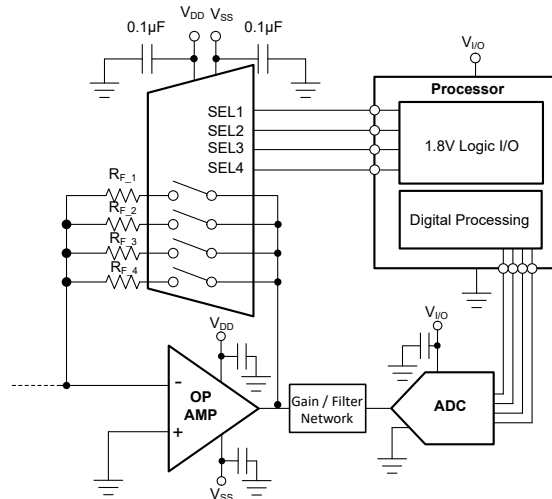


图 9-1. 开关增益设置

9.3 设计要求

对于这个设计示例，请使用表 9-1 中列出的参数。

表 9-1. 设计参数

参数	值
电源 (V_{DD})	15V
电源 (V_{SS})	-15V
输入/输出信号范围	-15V 至 15V (轨到轨)
控制逻辑阈值	1.8V 兼容

9.4 详细设计过程

TMUX7212M 器件无需任何外部元件（电源去耦电容器除外）即可运行。所有通过开关的输入信号都必须处于 TMUX7212M 的建议运行条件范围内，包括信号范围和持续电流。对于本设计示例，电源电压为 +15V 和 -15V，器件通电后，信号范围为 +15V 至 -15V。最大持续电流可达 220mA。

[开关增益设置](#) 中所示的应用演示了如何使用 TMUX7212M 来控制精密运算放大器的反馈增益。这种反馈设计可能对感应的电压和电流失调非常敏感。TMUX7212M 具有 100pA 的典型导通漏电流，这将使精度远低于满量程 1 μ A 信号的 1%，从而极大地减小了电流失调造成的误差。TMUX7212M 的低导通电阻使得反馈电阻误差和产生的增益误差较小。这样还能更大限度地减少任何电压失调。

9.5 电源相关建议

TMUX7212M 器件在 $\pm 4.5\text{V}$ 至 $\pm 22\text{V}$ (单电源模式下为 4.5V 至 44 V) 的宽电源电压范围内运行。该器件还适用于非对称电源，例如 $V_{\text{DD}} = 12\text{V}$ 和 $V_{\text{SS}} = -5\text{V}$ 。

电源旁路可提高噪声容限并防止开关噪声从电源轨传播到其他元件。良好的电源去耦对于实现最优性能至关重要。为提高电源噪声抗扰度，可在 V_{DD} 和 V_{SS} 引脚与接地端之间使用 0.1 μF 至 10 μF 的电源去耦电容器。使用低阻抗接头将旁路电容器放置在尽可能靠近器件电源引脚的位置。TI 建议使用多层陶瓷贴片电容 (MLCC) 提供等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度较高或在恶劣噪声环境中使用的系统，避免使用过孔将电容与器件引脚相连，以获得出色的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层和电源层相连。在电源斜升之前，务必确保已建立接地 (GND) 连接。

9.6 布局

9.6.1 布局指南

当 PCB 布线以 90° 角拐角时，会发生反射。反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到原来宽度的 1.414 倍。这种增加会影响传输线路特性，尤其是导致反射的布线的分布式电容和自感特性。并非所有 PCB 布线都是直线，因此某些布线必须拐角。图 9-2 展示了渐入佳境的圆角技术。只有最后一个示例（理想）保持恒定的布线宽度并能够更大限度地减少反射。

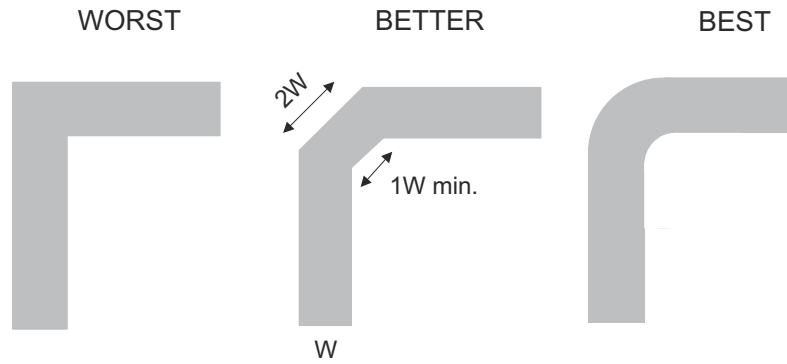


图 9-2. 布线示例

使用较少的过孔和拐角路由高速信号可减少信号反射和阻抗变化。当必须使用过孔时，增加其周边的间隙尺寸以降低其电容。每一过孔均引入了信号传输线非连续性，并增加了来自其他电路板层干扰信号的几率。设计测试点时要小心，不建议在高频下使用穿孔引脚。

一些重要注意事项有：

- 为了实现可靠运行，应在 VDD/VSS 和 GND 之间连接一个 $0.1\mu\text{F}$ 至 $10\mu\text{F}$ 的去耦电容器。我们建议使用 $0.1\mu\text{F}$ 和 $1\mu\text{F}$ 电容器，将值最低的电容器尽可能靠近引脚放置。确保电容器额定电压足以满足电源电压要求。
- 尽可能缩短输入线路。
- 使用实心接地平面有助于降低电磁干扰 (EMI) 噪声拾取。
- 敏感的模拟布线不能与数字布线平行。尽可能避免数字布线与模拟布线交叉，仅在必要时以垂直交叉方式布线。
- 并联使用多个过孔可降低总电感并且有利于与接地平面相连。

9.6.2 布局示例

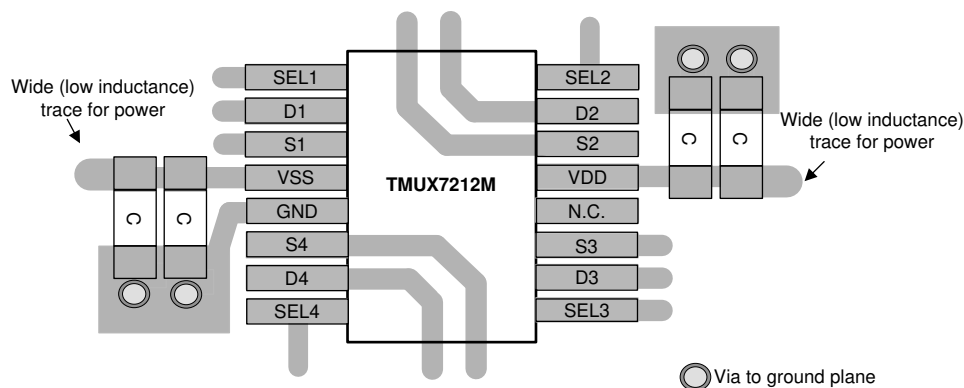


图 9-3. TMUX7212M 布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

- 德州仪器 (TI), [使用闩锁效应抑制多路复用器帮助改善系统可靠性 应用手册](#)
- 德州仪器 (TI), [使用低 CON 多路复用器改善稳定性问题 应用简报](#)
- 德州仪器 (TI), [提高自动化测试设备的信号测量精度 应用简报](#)
- 德州仪器 (TI), [通过采样保持减少干扰实现精密输出的参考设计参考指南](#)
- 德州仪器 (TI), [使用 1.8V 逻辑多路复用器和开关简化设计 应用简报](#)
- 德州仪器 (TI), [高电压模拟多路复用器的系统级保护 应用手册](#)
- 德州仪器 (TI), [真差分 4 x 2 多路复用器、模拟前端、同步采样 ADC 电路 应用手册](#)
- 德州仪器 (TI), [Quad Flatpack No-Lead 逻辑封装 应用手册](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

日期	修订版本	说明
2024 年 1 月	*	初始发行版

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMUX7212MPWR	ACTIVE	TSSOP	PW	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	X212	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4220204/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司