

TPS1685x 具有准确、快速电流监测器的 9V 至 80V、3.65mΩ、20A 可堆叠集成热插拔器件（电子保险丝）

1 特性

- 输入工作电压范围：9V 至 80V
 - 绝对最大值为 92V
 - 输出端可耐受高达 -5V 的负电压
- 具有低导通电阻的集成 FET： $R_{ON} = 3.65m\Omega$ （典型值）
- 带有可调节欠压锁定 (UVLO) 的高电平有效使能输入
- 可调节过压保护
- 支持并联连接多个电子保险丝，以便在启动和稳定状态期间进行器件状态同步和负载共享
- 可调节输出压摆率控制 (dVdt)，用于提供浪涌电流保护
- 精确的负载电流监测
 - 在最大电流的 50-100% 之间误差小于 3%
 - 1MHz 带宽
- 强大的过流保护
 - 断路器响应
 - 可调节阈值：2A 至 20A
 - 过流保护精度： $\pm 3\%$
 - 可调节的瞬态过流计时器 (ITIMER)，以支持峰值电流
- 对短路事件的快速跳变响应
- 过热保护 (OTP)，具有模拟芯片温度监测器输出 (TEMP)
- FET 运行状况监测和报告
- 故障指示引脚 (FLT)
- 电源正常状态指示引脚 (PGOOD)
- 小尺寸：QFN 6mm × 5mm
 - 在 60V 电压下提供符合 IPC9592B 标准的间隙

2 应用

- 输入热插拔
- [服务器和高性能计算](#)
- [网络接口卡](#)
- [显卡和硬件加速器卡](#)
- [数据中心交换机和路由器](#)
- [火警控制面板](#)

3 说明

TPS1685x 是一款集成式大电流电路保护和电源管理器件。该器件只需很少的外部元件即可提供多种保护模式，能够非常有效地抵御过载、短路和过多浪涌电流。浪涌电流有特别要求的应用可以通过单个外部电容器设定输出转换率。用户可根据系统需求设置输出电流限制电平。借助用户可调节的过流消隐计时器，系统可在电子保险丝不出现跳变的情况下支持负载电流的瞬态峰值。集成的快速、准确检测模拟负载电流监测器有助于进行预测性维护，并且先进的动态平台电源管理技术（如 Intel® PSYS 和 PROCHOT）可优化服务器和数据中心的性能。

可以并行连接多个 TPS1685x 器件，以增加高功率系统的总电容量。所有器件在启动和稳态期间均主动同步其运行状态并共享电流，以避免某些器件上出现过载情况而导致并行链过早关闭或部分关闭。

集成的快速、准确检测模拟负载电流监测器有助于进行预测性维护，并且先进的动态平台电源管理技术（如 Intel® PSYS 和 PROCHOT#）可更大限度地提高系统吞吐量和电源利用率。

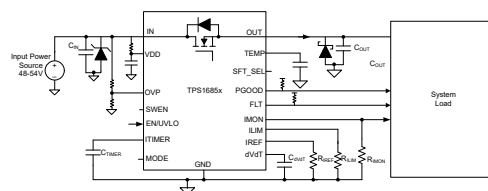
此类器件的额定工作结温范围为 -40°C 至 +125°C。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS16850VMAR TPS16851VMAR	VMA (LQFN, 23)	6.00mm × 5.00mm

(1) 有关所有可用封装，请参阅节 11。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图



内容

1 特性	1	7.4 器件功能模式	32
2 应用	1	8 应用和实施	33
3 说明	1	8.1 应用信息.....	33
4 器件比较表	3	8.2 典型应用：数据中心服务器中的 54V 电源路径保护..	37
5 引脚配置和功能	4	8.3 电源相关建议.....	42
6 规格	6	8.4 布局.....	44
6.1 绝对最大额定值.....	6	9 器件和文档支持	46
6.2 ESD 等级.....	6	9.1 文档支持.....	46
6.3 建议运行条件.....	7	9.2 接收文档更新通知.....	46
6.4 热性能信息.....	7	9.3 支持资源.....	46
6.5 电气特性.....	8	9.4 商标.....	46
6.6 逻辑接口.....	11	9.5 静电放电警告.....	46
6.7 时序要求.....	11	9.6 术语表.....	46
6.8 典型特性.....	12	10 修订历史记录	46
7 详细说明	14	11 机械、封装和可订购信息	46
7.1 概述.....	14	11.1 卷带包装信息.....	47
7.2 功能方框图.....	15	11.2 机械数据.....	49
7.3 特性说明.....	16		

4 器件比较表

器件型号	故障行为
TPS16850	自动重试
TPS16851	闭锁

5 引脚配置和功能

ADVANCE INFORMATION

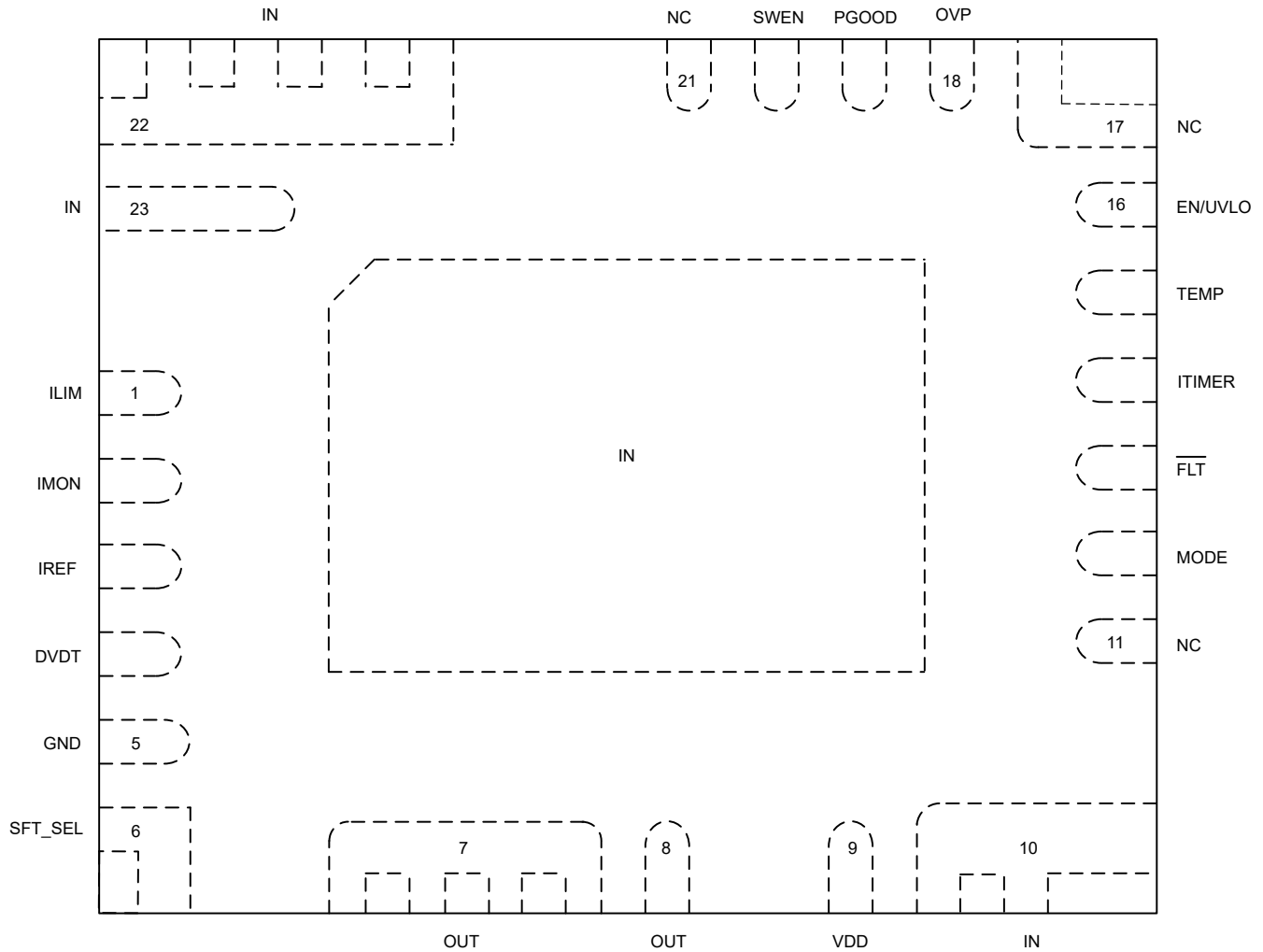


图 5-1. TPS1685x VMA 封装，23 引脚 QFN (顶视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
ILIM	1	I/O	该引脚与 GND 之间的外部电阻器可设置稳定状态期间的主动均流阈值。在稳定状态期间，该引脚还用作独立电子保险丝电流监测器输出。不保持悬空。
IMON	2	I/O	该引脚与 GND 之间的外部电阻器可设置稳定状态期间的过流保护阈值和快速跳变阈值。此外，此引脚在稳定状态期间用作快速且准确的模拟输出负载电流监测信号。不保持悬空。
IREF	3	I/O	该引脚设置过流、短路保护和主动均流块的基准电压。基准电压可使用内部电流源和该引脚上的电阻器生成，也可以从外部电压源驱动。不保持悬空。
dVdT	4	I/O	该引脚用于配置启动期间的输出压摆率。让该引脚保持开路可实现最快的启动。通过电容器将该引脚接地可降低压摆率以管理浪涌电流。
GND	5	G	器件接地基准引脚。连接到系统地。
SFT_SEL	6	I/O	该引脚在稳定状态期间选择可扩展的快速跳变阈值乘法器。在该引脚和 GND 之间连接一个电阻器可选择 SFT 乘法器。
OUT	7、8	P	电源输出。必须均匀地焊接到输出电源平面，以实现适当散热。

表 5-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
VDD	9	P	控制器电源输入引脚。可用于通过经过滤波的稳定电源为内部控制电路供电，使之不受系统瞬态的影响。通过一个串联电阻器将该引脚连接至 VIN，并将一个去耦电容器连接至 GND。
IN	10、22、23	P	电源输入。必须均匀地焊接到输入电源平面，以实现适当散热。
NC	11、17、21	—	不要将任何内容连接到该引脚。
MODE	12	I	此引脚用于将器件配置为独立/主模式或辅助模式。将该引脚连接到 GND，即可将器件配置为主电子保险丝/控制器的辅助器件。将该引脚悬空，即可将器件配置为在独立/主模式下工作。
FLT	13	O	这是一个漏极开路低电平有效引脚，被拉低时会指示故障。使用一个电阻器将该引脚上拉至外部电源。
ITIMER	14	I/O	该引脚与 GND 之间的电容器设置过流消隐间隔，在此期间，在器件过流响应采取措施之前，在稳定状态运行期间输出电流可能会暂时超过过流阈值（但低于快速跳变阈值）。
TEMP	15	I/O	针对结温的模拟电压输出。可以在并联配置中与多个器件的 TEMP 输出连接在一起，以指示并联链的峰值温度。
EN/UVLO	16	I	高电平有效使能输入。从输入电源连接电阻分压器以设置欠压阈值。不保持悬空。
OVP	18	I	此引脚可用于设置过压设定点。在 VIN 和该引脚之间连接一个电阻分压器。不保持悬空。
PGOOD	19	O	这是一个漏极开路高电平有效电源正常引脚，当器件处于稳定状态时，该引脚被置为有效高电平。该引脚有弱内部上拉至内部电源。
SWEN	20	I/O	这是一个漏极开路信号，用于指示和控制电源开关开启/关闭状态。该引脚有助于在并联链中的多个器件之间实现主动同步。该引脚有弱内部上拉至内部电源。
IN	PowerPad	P	电源输入。必须均匀地焊接到输入电源平面，以实现适当散热。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数		引脚	最小值	最大值	单位
V_{INMAX}, V_{DDMAX}	最高输入电压和电源电压 ($-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$)	IN, VDD	-0.3	90	V
$V_{INMAX,25}, V_{DDMAX,25}$	最高输入电压和电源电压 ($25^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$)	IN, VDD	-0.3	92	V
V_{OUTMAX}	最大输出电压	OUT	-5 ⁽²⁾	92V 和 $V_{IN} + 0.3$ 中的较小值	
$V_{IN} - V_{OUT}$	IN 和 OUT 之间的最大电压差	IN, OUT	-0.3	90	V
$V_{IILIMMAX}$	ILIM 引脚最高电压	ILIM	-0.3	内部受限制	V
$V_{IMONMAX}$	IMON 引脚最高电压	IMON	-0.3	内部受限制	V
V_{SFT_SELMAX}	SFT_SEL 引脚最高电压	SFT_SEL	-0.3	内部受限制	V
V_{OVP}	OVP 引脚最高电压	OVP	-0.3	6	V
V_{ITIMER}	ITIMER 引脚最高电压	ITIMER	-0.3	内部受限制	V
$V_{IREFMAX}$	IREF 引脚最高电压	IREF	-0.3	6	V
$V_{DVDTMAX}$	DVDT 引脚最高电压	DVDT	-0.3	6	V
$V_{MODEMAX}$	MODE 引脚最高电压	MODE	-0.3	内部受限制	V
$V_{SWENMAX}$	SWEN 引脚最高电压	SWEN	-0.3	6	V
$I_{SWENMAX}$	SWEN 引脚最大灌电流	SWEN		10	mA
V_{ENMAX}	EN/UVLO 引脚最高电压	EN/UVLO	-0.3	6	V
V_{FLTMAX}	FLT 引脚最高电压	FLT	-0.3	6	V
I_{FLTMAX}	FLT 引脚最大灌电流	FLT		10	mA
$V_{PGOODMAX}$	PGOOD 引脚最高电压	PGOOD	-0.3	6	V
$I_{PGOODMAX}$	PGOOD 引脚最大灌电流	PGOOD		10	mA
V_{TEMP}	TEMP 引脚最高电压	TEMP	-0.3	6	V
I_{MAX}	最大持续开关电流	IN 至 OUT		内部受限制	A
T_{JMAX}	结温			内部受限制	$^{\circ}\text{C}$

(1) 超出绝对最大额定值下列出的应力可能会对器件造成永久性损坏。这些仅为应力等级，并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 在 FET 关断条件下针对负瞬态。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	± 1500
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	± 500

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		引脚	最小值	最大值	单位
V _{IN}	输入电压范围	IN	9	80	V
V _{DD}	电源电压范围	VDD	9	80	V
V _{OUT}	输出电压范围	OUT		V _{IN}	V
V _{EN/UVLO}	使能引脚电压范围	EN/ UVLO		5	V
dVdT	DVDT 引脚电容额定电压	dVdT	4		V
V _{PGOOD}	PGOOD 引脚上拉电压范围	PGOOD		5	V
V _{FLT}	FLT 引脚上拉电压范围	FLT		5	V
V _{SWEN}	SWEN 引脚上拉电压范围	SWEN		5	V
V _{TEMP}	TEMP 引脚额定电压	TEMP		5	V
V _{IREF}	IREF 引脚电压范围	IREF	0.3	1.2	V
V _{ILIM}	ILIM 引脚电压范围	ILIM		0.4	V
V _{IMON}	IMON 引脚电压范围	IMON		1.2	V
C _{IN}	IN 引脚上的电容	IN	10		nF
C _{OUT}	OUT 引脚上的电容	OUT	10		μF
dV _{IN} /dt	IN 引脚上的压摆率	IN		500	V/μs
I _{MAX}	RMS 开关电流 T _J ≤ 125°C	IN 至 OUT		20	A
I _{MAX, Pulse}	峰值输出电流持续时间 ≤ 10ms, T _A ≤ 70°C	IN 至 OUT		27	A
T _J	结温		-40	125	°C

6.4 热性能信息

热指标 ^{(1) (2)}		TPS1685X	单位
		LQFN	
		引脚	
R _{θJA}	结至环境热阻	22.8	°C/W
Ψ _{JT}	结至顶部特征参数	0.1	°C/W
Ψ _{JB}	结至电路板特征参数	10.7	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

(2) 基于在将器件安装在 3 x 4.5 英寸 PCB (2s2p) (如 JESD51-7) 上进行的仿真

6.5 电气特性

-40°C ≤ T_J ≤ +125°C, V_{IN} = V_{DD} = 50V, OUT = 开路, R_{LIM} = 931 Ω, R_{IMON} = 2.55k Ω, V_{IREF} = 1V, $\overline{\text{FLT}}$ = 33k Ω 上拉至 3.3V, PGOOD = 33k Ω 上拉至 3.3V, C_{OUT} = 10μF, C_{IN} = 10nF, dVdT = 开路, ITIMER = 开路, V_{EN/UVLO} = 2V, TEMP = 开路, MODE = 开路。(所有电压均以 GND 为基准 (除非另有说明))

参数		测试条件	最小值	典型值	最大值	单位
输入电源 (VDD)						
V _{IN}	输入电压范围		9		80	V
V _{DD}	输入电压范围		V _{IN}		80	V
I _{QON(VDD)}	V _{DD} 导通状态静态电流	V _{DD} > V _{UVPR} , V _{EN} ≥ V _{UVLOR} , V _{OVP} < V _{OVPF}		0.6		mA
V _{UVPR}	V _{DD} 欠压保护阈值上升	V _{DD} 上升		8.5		V
V _{UVPF}	V _{DD} 欠压保护阈值下降	V _{DD} 下降		7.05		V
V _{UVPHYS}	UVP 迟滞 VDD			1450		mV
输入电源 (IN)						
V _{UVPR(VIN)}	VIN 欠压保护阈值	V _{IN} 上升		8.5		V
V _{UVPF(VIN)}	VIN 欠压保护阈值	V _{IN} 下降		7.05		V
I _{QON(VIN)}	V _{IN} 导通状态静态电流	V _{EN} ≥ V _{UVLOR}		1.35		mA
I _{QOFF(VIN)}	V _{IN} 关断状态电流	V _{SDR} < V _{EN} < V _{UVLO}		45		μA
I _{SD(VIN)}	V _{IN} 关断电流	V _{EN} < V _{SDF}		44		μA
使能/欠压锁定 (EN/UVLO)						
V _{UVLO(R)}	用于导通的 EN/UVLO 引脚电压阈值, 上升	EN/UVLO 上升		1.2		V
V _{UVLO(F)}	用于关断且启用 QOD 的 EN/UVLO 引脚电压阈值, 下降 (主器件)	EN/UVLO 下降		1.12		V
V _{UVLOF}	用于关断且启用 QOD 的 EN/UVLO 引脚电压阈值, 下降 (辅助器件)	EN/UVLO 下降		1		V
V _{UVLOHYS}	UVLO 迟滞			84		mV
V _{SDF}	关断阈值	EN/UVLO 下降		0.45		V
V _{SDR}	关断阈值	EN/UVLO 上升		0.5		V
过压保护 (IN)						
V _{OVP(R)}	过压保护阈值 (上升)	OVP 引脚上升		1.16		V
V _{OVP(F)}	过压保护阈值 (下降)	OVP 引脚下降		1.12		V
V _{OVPHYS}	过压保护阈值 (迟滞)			41		mV
V _{OVPR(IN)}	内部过压保护阈值 (上升)	VIN 上升		90.75		V
V _{OVPF(IN)}	内部过压保护阈值 (下降)	VIN 下降		84.5		V
导通电阻 (IN - OUT)						
R _{ON}	导通状态电阻	I _{OUT} = 12A		3.65		mΩ
电流限制基准电压 (IREF)						
V _{IREF}	IREF 引脚建议的电压范围			1		V
I _{IREF}	IREF 内部拉电流	V _{IREF} = 1V		25		μA
电流限制 (ILIM)						
G _{ILIM(LIN)}	电流监测器增益 (ILIM:IOUT) 与 IOUT 间的关系。	器件处于稳定状态 (PG 置为有效), I _{OUT} = 12A		18.26		μA/A
I _{start-up}	IOUT 启动电流限制调节阈值	V _{IN} - V _{OUT} = 350mV		0.56		A
V _{FB}	折返电压			2		V
输出电流监测和过流保护 (IMON)						

6.5 电气特性 (续)

-40°C ≤ T_J ≤ +125°C, V_{IN} = V_{DD} = 50V, OUT = 开路, R_{ILIM} = 931 Ω, R_{IMON} = 2.55k Ω, V_{IREF} = 1V, \overline{FLT} = 33k Ω 上拉至 3.3V, PGOOD = 33k Ω 上拉至 3.3V, C_{OUT} = 10μF, C_{IN} = 10nF, dVdT = 开路, ITIMER = 开路, V_{EN/UVLO} = 2V, TEMP = 开路, MODE = 开路。(所有电压均以 GND 为基准 (除非另有说明))

参数	测试条件	最小值	典型值	最大值	单位
G _{IMON}	电流监测器增益 (IMON:IOUT)	器件处于稳定状态 (PG 置为有效), 对于 2A ≤ I _{OUT} ≤ 20A	18.38		μA/A
G _{IMON}	电流监测器增益 (IMON:IOUT)	器件处于稳定状态 (PG 置为有效), I _{OUT} = 4A	18.27		μA/A
I _{OC}	IOUT 电流限制跳变 (断路器) 阈值	R _{IMON} = 2.55k Ω, V _{IREF} = 1V	21.51		A
电流故障计时器 (ITIMER)					
I _{ITMR}	ITIMER 引脚内部放电电流	I _{OUT} > I _{OC} , ITIMER ↓	2		μA
R _{ITMR}	ITIMER 引脚内部上拉电阻		12.66		kΩ
V _{INT}	ITIMER 引脚内部上拉电压	I _{OUT} < I _{OC}	5		V
ΔV _{ITMR}	ITIMER 放电电压	I _{OUT} > I _{TRIP} , ITIMER ↓	1.54		V
短路保护					
I _{FFT}	稳定状态下的固定快速跳变阈值 (主器件)	PG 置为高电平 (MODE = 开路)	87.11		A
I _{FFT}	稳定状态下的固定快速跳变阈值 (辅助器件)	PG 置为高电平 (MODE = GND)	97.2		A
I _{SFT}	可扩展的快速跳变电流	R _{SFT_SEL} < 95kΩ, PG 置为高电平 (MODE = 开路)	8 × I _{OC}		A
I _{SFT}	可扩展的快速跳变电流	105kΩ < R _{SFT_SEL} < 195kΩ, PG 置为高电平 (MODE = 开路)	2.5 × I _{OC}		A
I _{SFT}	可扩展的快速跳变电流	105kΩ < R _{SFT_SEL} < 195kΩ, PG 置为高电平 (MODE = GND)	2.8 × I _{OC}		A
I _{SFT}	可扩展的快速跳变电流	205kΩ < R _{SFT_SEL} < 295kΩ, PG 置为高电平 (MODE = 开路)	2 × I _{OC}		A
I _{SFT}	可扩展的快速跳变电流	205kΩ < R _{SFT_SEL} < 295kΩ, PG 置为高电平 (MODE = GND)	2.26 × I _{OC}		A
I _{SFT}	可扩展的快速跳变电流	305kΩ < R _{SFT_SEL} , PG 置为高电平 (MODE = 开路)	1.5 × I _{OC}		A
I _{SFT}	可扩展的快速跳变电流	305kΩ < R _{SFT_SEL} , PG 置为高电平 (MODE = GND)	1.71 × I _{OC}		A
I _{SFT(SAT)}	可扩展的快速跳变电流 (浪涌)	在上电期间, PGOOD 为低电平	2		A
主动均流					
R _{ON(ACS)}	主动均流期间的 R _{ON}	V _{ILIM} > 1.1 × (1/3) × V _{IREF}	4.67		mΩ
G _{IMON(ACS)}	主动电流限制期间的 IMON:IOUT 比	PG 置为高电平, V _{ILIM} > 1.1 × V _{IREF}	18.67		μA/A
CL _{REF(ACS)}	主动均流触发器阈值与稳定状态断路器阈值之比	PG 置为高电平	36.67		%
浪涌电流保护 (DVDT)					
I _{DVDT}	DVDT 引脚充电电流 (主/独立模式)	MODE = 开路	2.06		μA
G _{DVDT}	DVDT 增益	0.4V < V _{dVdt} < 2.4V	25		V/V
I _{DVDTLKG}	DVDT 引脚漏电流 (辅助模式)	MODE = GND	30		nA

6.5 电气特性 (续)

-40°C ≤ T_J ≤ +125°C, V_{IN} = V_{DD} = 50V, OUT = 开路, R_{LIM} = 931 Ω, R_{IMON} = 2.55k Ω, V_{IREF} = 1V, \overline{FLT} = 33k Ω 上拉至 3.3V, PGOOD = 33k Ω 上拉至 3.3V, C_{OUT} = 10μF, C_{IN} = 10nF, dVdT = 开路, ITIMER = 开路, V_{EN/UVLO} = 2V, TEMP = 开路, MODE = 开路。(所有电压均以 GND 为基准 (除非另有说明))

参数		测试条件	最小值	典型值	最大值	单位
R _{DVDT}	DVDT 引脚至 GND 放电电阻			494		Ω
GHI						
V _{GS(GHI)} 上升	GHI/PG 置为有效时的 G-S 阈值			7		V
V _{GS(GHI)} 下降	GHI/PG 置为无效时的 G-S 阈值			3.4		V
R _{ON(GHI)}	GHI/PG 置为有效时的 Ron			3.65		mΩ
快速输出放电 (QOD)						
I _{QOD}	快速输出放电下拉电流	V _{SD(R)} < V _{EN} < V _{UVLO} , 0 < T _J < 125°C, V _{IN} = 50V		21.75		mA
I _{QOD}	快速输出放电下拉电流	V _{SD(R)} < V _{EN} < V _{UVLO} , -40 < T _J < 125°C, V _{IN} = 50V		21.75		mA
温度传感器输出 (TEMP)						
G _{TMP}	TEMP 传感器增益	V _{IN} = 51V		2.75		mV/°C
V _{TMP}	TEMP 引脚输出电压	T _J = 25°C, V _{IN} = 51V		670		mV
I _{TMPSRC}	TEMP 引脚拉电流	V _{IN} = 51V		110		μA
I _{TMPSNK}	TEMP 引脚灌电流	V _{IN} = 51V		10.4		μA
过热保护 (OTP)						
TSD	绝对热关断上升阈值	T _J 上升, V _{IN} = 51V		150		°C
TSD _{HYS}	绝对热关断迟滞	T _J 下降, V _{IN} = 51V		13		°C
FET 运行状况监测						
V _{DSFLT}	FET D-S 故障阈值	SWEN = L, V _{IN} = 51V		0.5		V
V _{DSOK}	FET D-S 故障恢复阈值	SWEN = L, V _{IN} = 51V		0.62		V
单点故障 (IMON、IREF、ITIMER)						
I _{OC_BKP}	备份过流保护阈值	IMON 短路至 GND		39		A
电源正常输出 (PG)						
R _{PG}	电源正常输出放电电阻	V _{EN} < V _{SD(F)} , V _{IN} = 51V		60		Ω

6.6 逻辑接口

-40°C ≤ T_J ≤ +125°C, V_{IN} = V_{DD} = 45V 至 60V, OUT = 开路, R_{LIM} = 931 Ω, R_{MON} = 2.55kΩ, V_{REF} = 1V, \overline{FLT} = 33kΩ 上拉至 3.3V, PGOOD = 33kΩ 上拉至 3.3V, C_{OUT} = 10μF, C_{IN} = 10nF, dVdT = 开路, ITIMER = 开路。V_{EN/UVLO} = 2V, TEMP = 开路, MODE = 开路。(所有电压均以 GND 为基准(除非另有说明))

参数		测试条件	最小值	典型值	最大值	单位
SWEN						
R _{SWEN}	SWEN 引脚下拉电阻	SWEN 置为无效低电平		7.5		Ω
I _{SWENLKG}	SWEN 引脚漏电流	SWEN 置为有效高电平, 上拉至 5.5V		0.02		μA
故障指示 (FLT)						
R _{FLT}	\overline{FLT} 引脚下拉电阻	\overline{FLT} 置为有效低电平		4.2		Ω
I _{FLTLKG}	\overline{FLT} 引脚漏电流	\overline{FLT} 置为无效高电平, 通过 33kΩ 上拉至 3.3V		0.02		μA
电源正常状态指示 (PG)						
R _{PG}	PG 引脚下拉电阻	PG 置为无效低电平		4.2		Ω
I _{PGKG}	PG 引脚漏电流	PG 置为有效高电平, 通过 33kΩ 上拉至 3.3V		0.02		μA

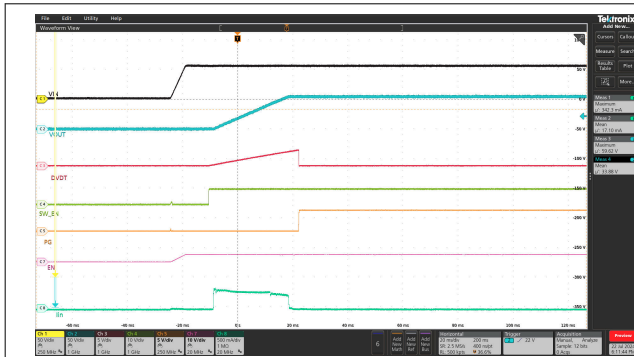
6.7 时序要求

-40°C ≤ T_J ≤ +125°C, V_{IN} = V_{DD} = 45V 至 60V, OUT = 开路, R_{LIM} = 931 Ω, R_{MON} = 2.55kΩ, V_{REF} = 1V, \overline{FLT} = 33kΩ 上拉至 3.3V, PGOOD = 33kΩ 上拉至 3.3V, C_{OUT} = 10μF, C_{IN} = 10nF, dVdT = 开路, ITIMER = 开路。V_{EN/UVLO} = 2V, TEMP = 开路, MODE = 开路。(所有电压均以 GND 为基准(除非另有说明))

参数		测试条件	最小值	典型值	最大值	单位
t _{OVP}	过压保护响应时间	V _{OVP} > V _{OVP} R 至 SWEN ↓		1.5		μs
t _{insdly}	插入延迟	V _{EN/UVLO} > V _{UVLO(R)} 至 SWEN ↑		10		ms
t _{FFT}	固定快速跳变响应时间硬短路	V _{DS} > V _{DSCOMP} 至 I _{OUT} ↓		195		ns
t _{SFT}	可扩展的快速跳变响应时间	I _{OUT} > 3 × I _{OCP} 至 I _{OUT} ↓		400		ns
t _{TIMER}	过流消隐间隔	I _{OUT} = 1.5 × I _{OCP} , C _{TIMER} = 开路		0		ms
t _{TIMER}	过流消隐间隔	I _{OUT} = 1.5 × I _{OCP} , C _{TIMER} = 4.7nF		3.5		ms
t _{RST}	自动重试间隔	自动重试型号, 主模式 (MODE = 开路)		285		ms
t _{REC}	故障恢复时间	辅助模式 (MODE = GND), SWEN ↓ 至 SWEN ↑		12		μs
t _{EN(DG)}	EN/UVLO 抗尖峰脉冲时间			13		μs
t _{SWEN(TO)}	SWEN 低间隔以禁用快速恢复					us
t _{SU_TMR}	启动超时时间	SWEN ↑ 至 FLT ↓		5		s
t _{Discharge}	QOD 放电时间 (V _{OUT} 的 90% 至 10%)	V _{SD} < V _{EN/UVLO} < V _{UVLO} , C _{OUT} = 0.5mF, V _{IN} = 51V。		1300		ms
t _{QOD}	QOD 使能计时器	V _{SD} < V _{EN/UVLO} < V _{UVLO}		6		ms

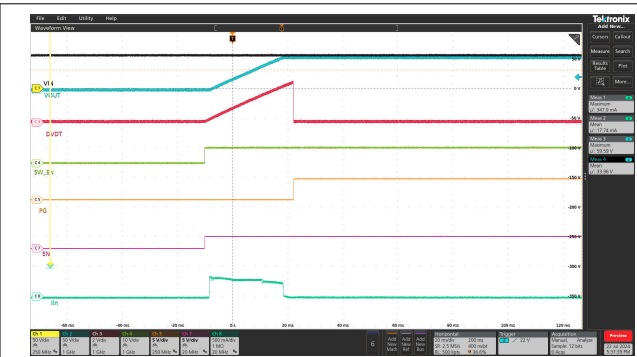
6.8 典型特性

ADVANCE INFORMATION



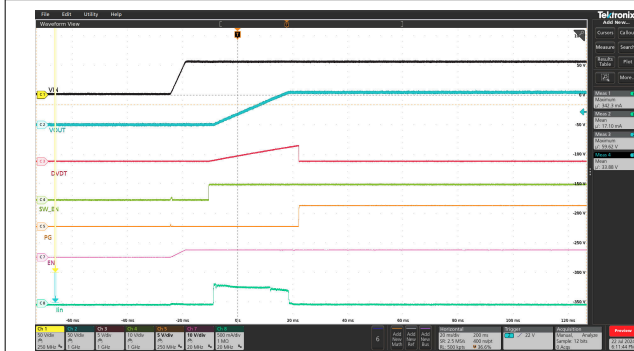
输入电源斜升

图 6-1. 在 EN 通过电阻器连接至 VIN 的情况下使用输入电源的上电时序



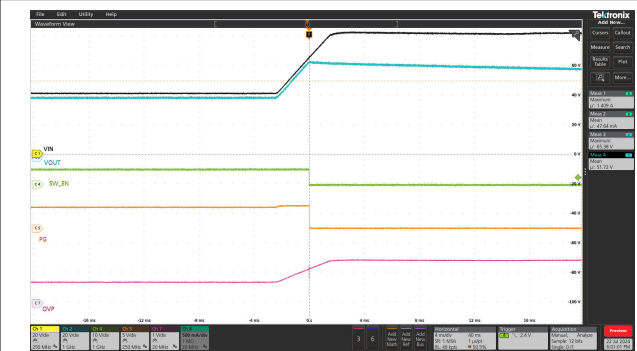
输入电源保持稳定, EN/UVLO 引脚切换为高电平

图 6-2. 通过 EN/UVLO 引脚上电



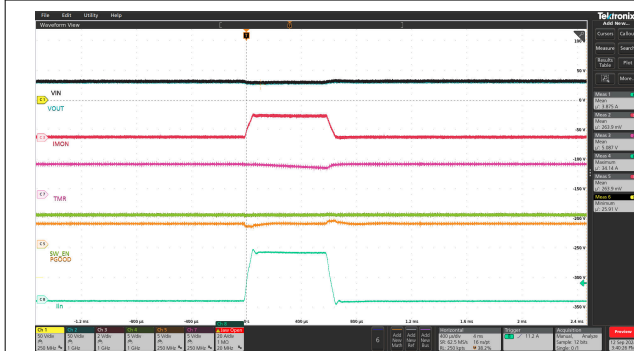
$C_{OUT} = 144 \mu F$, $C_{dVdt} = 22nF$

图 6-3. 容性负载下的浪涌电流控制



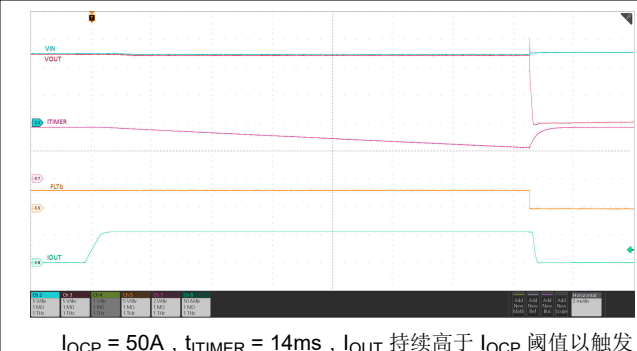
输入电源电压斜升至 65V 以上

图 6-4. OVP 阈值 = 65V 时的输入过压保护响应



$I_{OCP} = 22A$, $t_{TIMER} = 1.4ms$, I_{OUT} 在短时间内超过 I_{OCP} 阈值而不触发断路器响应

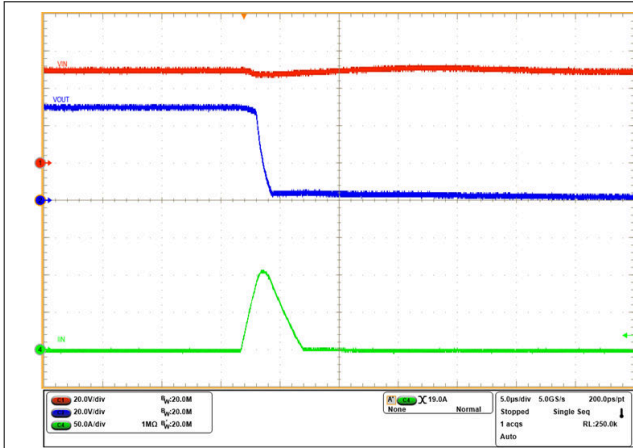
图 6-5. 峰值电流支持到瞬态过流消隐计时器到期



$I_{OCP} = 50A$, $t_{TIMER} = 14ms$, I_{OUT} 持续高于 I_{OCP} 阈值以触发断路器响应

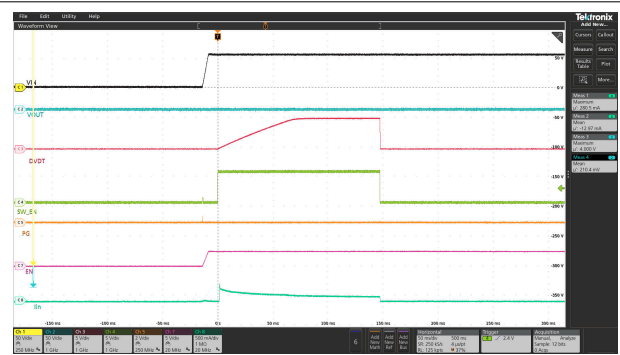
图 6-6. 过流保护响应 (断路器)

6.8 典型特性 (续)



$I_{OCP} = 22A$ ，稳定时输出硬短路至 GND。 I_{OUT} 上升至 $2 \times I_{OCP}$ 以上触发快速跳变响应

图 6-7. 短路保护响应



在输出硬短路至 GND 的情况下，使用 SWEN 导通器件。器件通过折返来限制电流。

图 6-8. 上电至短路

7 详细说明

7.1 概述

TPS1685x 是一款具有集成电源开关的电子保险丝，用于管理负载电压和负载电流。该器件工作时，首先监测 V_{DD} 和 I_N 总线。当 V_{DD} 和 V_{IN} 超过各自的欠压保护 (UVP) 阈值时，器件会等待插入延迟计时器持续时间，以便电源稳定后再启动。接下来，它会对 EN/UVLO 引脚进行采样。该引脚为高电平时，内部 MOSFET 开始导通，并允许电流从 I_N 流向 O_{UT}。当 EN/UVLO 保持低电平时，内部 MOSFET 关断。

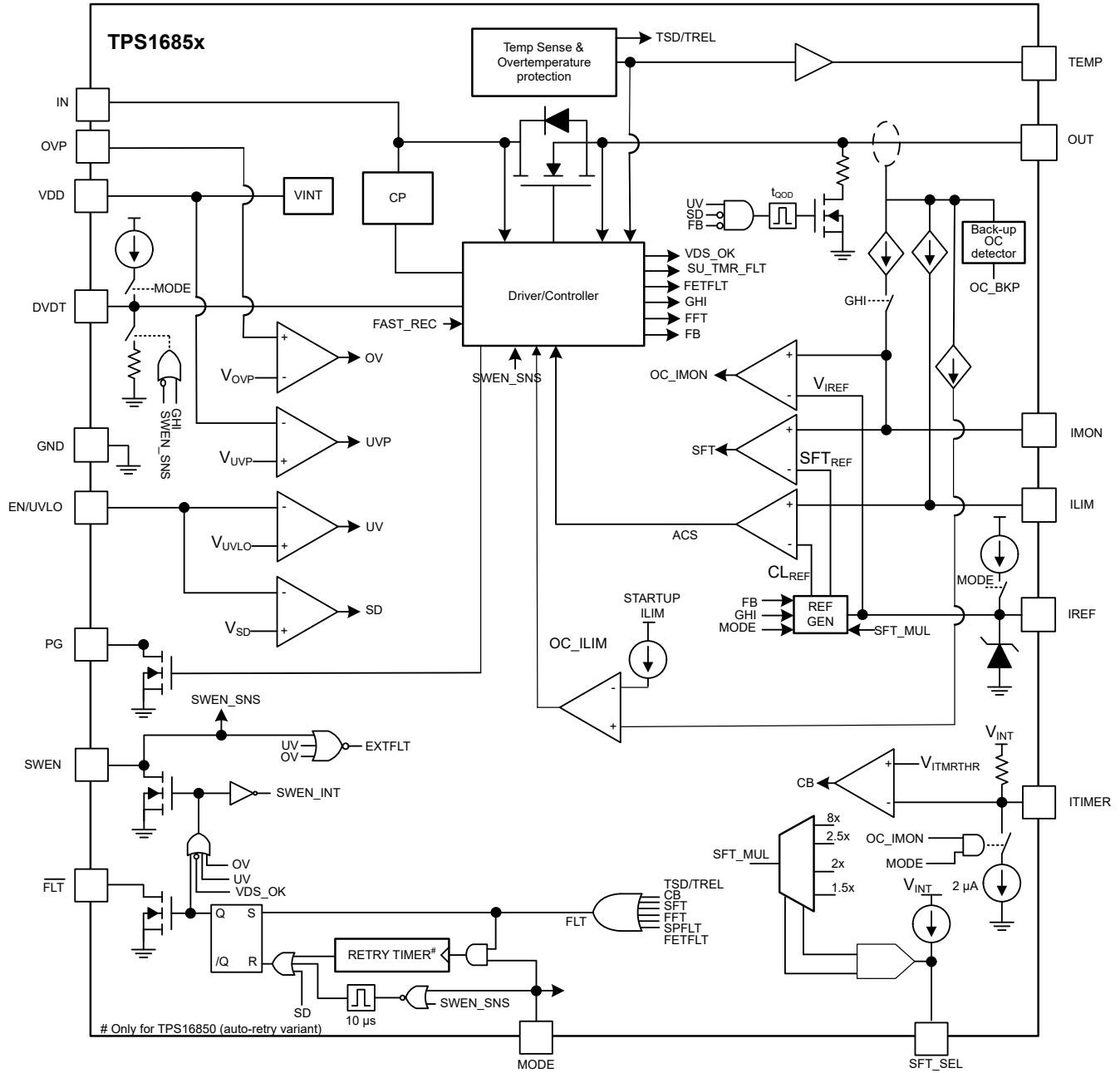
启动序列成功后，TPS1685x 器件现在会主动监测其负载电流和输入电压，并控制内部 FET，以确保不超过用户可调节的过流保护阈值限制 I_{LIM} 并且 I_N 引脚上的过压尖峰被切断。这可使系统免受有害电压和电流的影响。同时，用户可调节的过流消隐计时器使系统能够允许负载电流曲线中的瞬态峰值，而不会触发电子保险丝出现跳变。同样，电源线上的电压瞬变被智能屏蔽，以防止干扰性跳变。这确保了针对实际故障的稳健保护解决方案，并且不受瞬变的影响，从而确保实现超长的系统正常运行时间。

该器件集成了高精度和高带宽模拟负载电流监测器，使系统能够在稳定状态和瞬态期间精确监测负载电流。这有助于实施先进的动态平台电源管理技术，在不影响安全性和可靠性的前提下，更大限度地提高系统电源利用率和吞吐量。

对于需要支持较高负载电流的系统，可以并联连接多个 TPS1685x 电子保险丝。在启动和稳定状态期间，所有器件分摊电流，以避免一些器件比另一些器件承受更大的过载，从而导致并联链过早关闭或部分关闭。这些器件会同步其运行状态，以确保平稳启动、关断和应对故障。

该器件具有集成保护电路，可确保器件在建议运行条件下的安全性和可靠性。内部 FET 始终受到热关断机制的保护，该机制会在结温 (T_j) 过高时关闭 FET。

7.2 功能方框图



ADVANCE INFORMATION

7.3 特性说明

TPS1685x 电子保险丝是一款功能丰富的紧凑型电源管理器件，可在系统发生故障时提供检测、保护和指示。

7.3.1 欠压保护

TPS1685x 会在 VDD 和 VIN 上实现欠压锁定，以防施加的电压变得过低，导致系统或器件无法正常运行。欠压锁定在 VDD 上的内部默认锁定阈值为 V_{UVP} ，在 V_{IN} 上的默认锁定阈值为 V_{UVPIN} 。此外，EN/UVLO 引脚上的 UVLO 比较器允许从外部将欠压保护阈值调整为用户定义的值。下面的图和公式显示了如何使用电阻分压器设置给定电压电源的 UVLO 设置点。

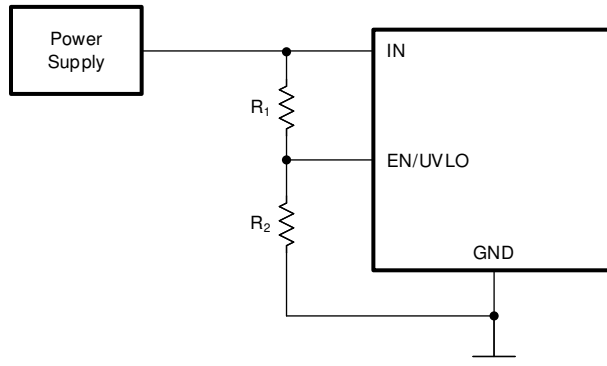


图 7-1. 可调节的欠压保护

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (1)$$

EN/UVLO 引脚可实现双电平阈值。

1. $V_{EN} > V_{UVLO(R)}$ ：器件完全导通。
2. $V_{SD(F)} < V_{EN} < V_{UVLO(F)}$ ：FET 以及大多数控制器电路均被关断，但一些关键偏置和数字电路除外。将 EN/UVLO 引脚保持在此状态的时间超过 t_{QOD} 时，将激活输出放电功能。
3. $V_{EN} < V_{SD(F)}$ ：器件内的所有有源电路将关断，且不保留数字状态存储器。该引脚还会复位任何闭锁的故障。在这种情况下，器件的静态电流消耗非常小。

7.3.2 插入延迟

TPS1685x 会在启动时实施插入延迟，以确保在器件尝试导通前电源已稳定。这是为了防止在以下情况下系统出现任何意外行为：如果器件在卡未与背板牢固接触的情况下尝试导通，或者如果在启动期间出现任何电源振铃/振荡。

器件最初会等待 VDD 电源上升至高于 UVP 阈值以及所有内部偏置电压稳定。之后，无论 EN/UVLO 引脚条件如何，器件都将保持关断状态并额外延迟 10ms。

7.3.3 过压保护

TPS1685x 执行过压锁定来保护负载免受输入过压情况的影响。需要在 OVP 引脚上连接一个电阻分压器，以从外部设置过压设定点。

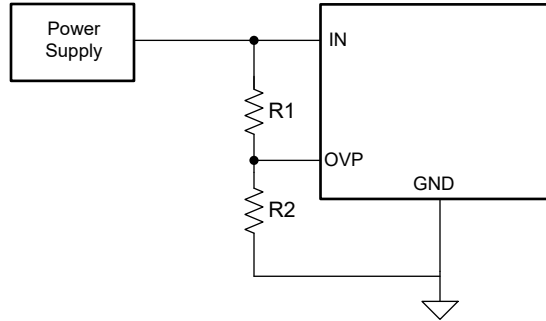


图 7-2. 可调节过压保护

$$V_{IN(OVP)} = V_{OVP(R)} \frac{R1 + R2}{R2} \quad (2)$$

当 V_{IN} 超过此值时，器件会关断以保护负载免受过压影响。

该器件还在 IN 引脚上具有固定的内部过压保护，固定值为 $V_{OVPR(IN)}$ 。

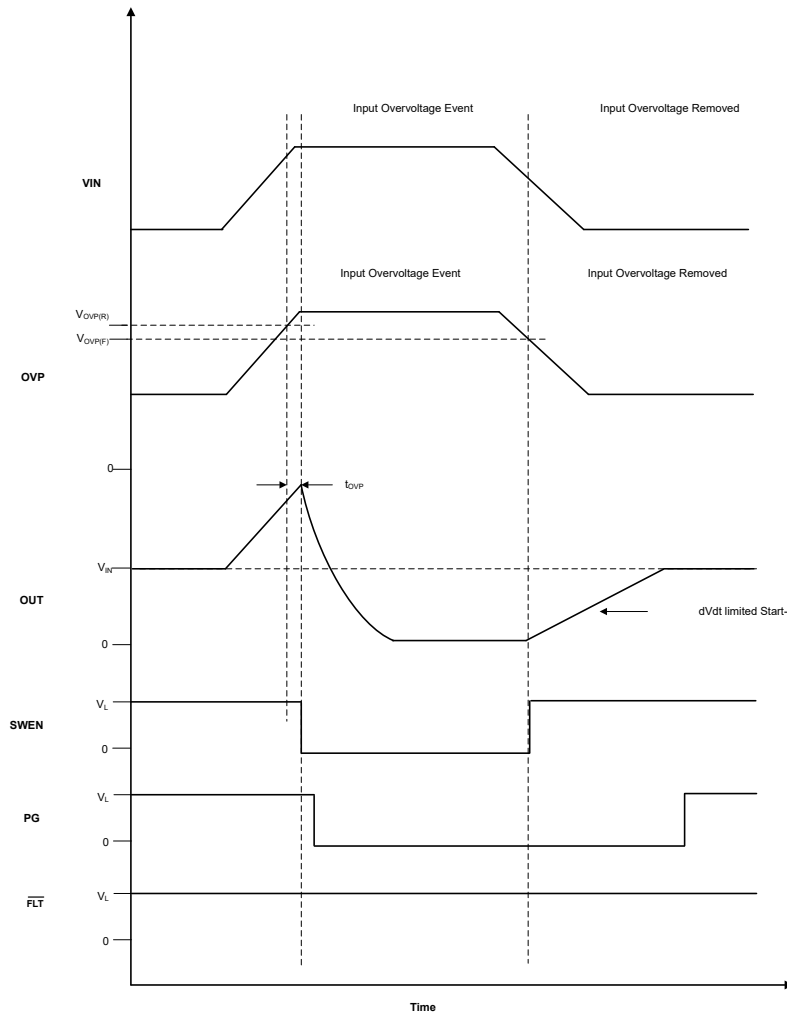


图 7-3. 输入过压保护响应

7.3.4 浪涌电流、过流和短路保护

TPS1685x 包含四个级别的过流保护：

1. 可调节压摆率 (dVdt) 和浪涌电流控制
2. 固定电流限制 ($I_{start-up}$)，用于启动期间的过流保护
3. 具有可调节阈值 (I_{OCP}) 和消隐计时器 (t_{TIMER}) 的断路器，用于在稳定状态期间提供过流保护

7.3.4.1 压摆率 (dVdt) 和浪涌电流控制

在热插拔事件期间或尝试为大输出电容充电时，可能会存在较大的浪涌电流。如果浪涌电流管理不当，浪涌电流可能会损坏输入连接器并导致系统电源电压下降。此操作可能导致系统其他地方意外重启。导通期间的浪涌电流与负载电容和上升压摆率成正比。可以使用 [方程式 3](#) 来确定在给定负载电容 (C_{LOAD}) 下限制浪涌电流 (I_{INRUSH}) 所需的压摆率 (SR)：

$$SR(V/ms) = \frac{I_{INRUSH}(A)}{C_{LOAD}(mF)} \quad (3)$$

可以在 DVDT 引脚上添加一个电容器，以控制导通期间的上升压摆率并降低浪涌电流。可以使用 [方程式 4](#) 计算产生给定压摆率所需的 CdVdt 电容。

$$C_{DVDT}(nF) = \frac{48}{SR(V/ms)} \quad (4)$$

通过使 DVDT 引脚保持开路，可以实现最快的输出压摆率。

备注

1. 高输入压摆率和高输入电源路径电感相结合会导致启动期间出现振荡。可使用以下一个或多个步骤缓解此问题：
 - a. 降低输入电感。
 - b. 增大 VIN 引脚上的电容。
 - c. 增大 DVDT 引脚电容，以降低压摆率或增加启动时间。TI 建议使用 8ms 最短启动时间。

7.3.4.1.1 启动超时

如果启动未完成（即，在 SWEN 置为有效后，FET 未在特定的超时间隔 (t_{SU_TMR}) 内完全导通），器件会将其寄存为故障。FLT 被置为有效低电平，并且器件会进入闭锁或自动重试模式，具体视器件配置而定。

7.3.4.2 稳态过流保护（断路器）

TPS1685x 通过在用户可调节的瞬态故障消隐间隔后执行断路器操作来应对稳定状态期间的输出过流情况。此操作使该器件能够在用户定义的短时间间隔内支持更高的峰值电流，同时还可确保在出现持续输出故障的情况下提供强大的保护。

该器件会不断检测输出负载电流，并在 IMON 引脚上提供与负载电流成比例的模拟电流输出 (I_{IMON})，进而根据 [方程式 5](#) 在 IMON 引脚电阻器 (R_{IMON}) 两端产生成比例的电压 (V_{IMON})。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (5)$$

其中 G_{IMON} 是电流监测器增益 ($I_{IMON}: I_{OUT}$)

通过将此电压与 IREF 引脚上作为基准的电压进行比较来检测过流情况。可以通过两种方式控制基准电压 (V_{IREF})，从而相应地设置过流保护阈值 (I_{OCP})。

- 在独立或主工作模式下，内部电流源与外部 IREF 引脚电阻器 (R_{IREF}) 相互作用以产生基准电压。也可以通过外部低阻抗基准电压源驱动 IREF 引脚，如 [方程式 6](#) 所示。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (6)$$

- 在主器件和辅助器件并联的配置中，主电子保险丝或控制器驱动 IREF 引脚上的电压，为链中的所有辅助器件提供外部基准 (V_{IREF})。

稳定状态期间的过流保护阈值 (I_{OCP}) 可以使用 [方程式 7](#) 计算得出。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (7)$$

检测到过流情况后（即负载电流超过用户可调节的过流限制阈值 (I_{OCP})，但仍低于短路阈值 (I_{SFT})），器件开始使用内部下拉电流使 ITIMER 引脚电容器放电。如果在 ITIMER 电容器放电 ΔV_{ITIMER} 之前，负载电流降至电流限制阈值以下，则通过在内部将 ITIMER 上拉至 V_{INT} 来重置 ITIMER，并且不会启动断路器操作。此操作允许短过载瞬态脉冲通过器件而不会使断路器跳闸。如果过流情况仍然存在，ITIMER 电容器将继续放电，并且在下降 ΔV_{ITIMER} 之后，断路器操作会立即关断 FET。同时，ITIMER 电容器再次充电至 V_{INT} ，以便在下一次过流事件之前处于默认状态。此操作可确保为每个过流事件提供完整的消隐计时器间隔。可使用 [方程式 8](#) 来计算所需过流阈值对应的 R_{IMON} 值。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP}} \quad (8)$$

允许瞬态的持续时间可以通过在 ITIMER 引脚与接地之间使用适当的电容值来调整。瞬态过流消隐间隔可使用 [方程式 9](#) 计算得出。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \quad (9)$$

备注

1. 使 ITIMER 引脚保持开路可让器件以尽可能小的延迟断开电路。不过，这会使断路器响应对噪声极其敏感，并可能会导致在负载瞬变期间误跳闸。
2. 将 ITIMER 引脚短接至地可使过流响应延迟最小（类似于 ITIMER 引脚开路情况），但会增加静态电流，不建议采用这种工作模式。
3. 增大 ITIMER 电容值会延长过流消隐间隔。不过，它还会延长 ITIMER 电容器在下次过流事件之前充电至 V_{INT} 所需的时间。如果下一个过流事件在 ITIMER 电容器完全充电之前发生，则放电至 V_{ITIMER} 阈值所需的时间更短，因此提供比预期更短的消隐间隔。

[图 7-4](#) 展示了 TPS1685x 电子保险丝的过流响应。器件因断路器故障而关断后，会保持闭锁状态（TPS16851 型号）或在固定的延迟时间后自动重启（TPS16850 型号）。

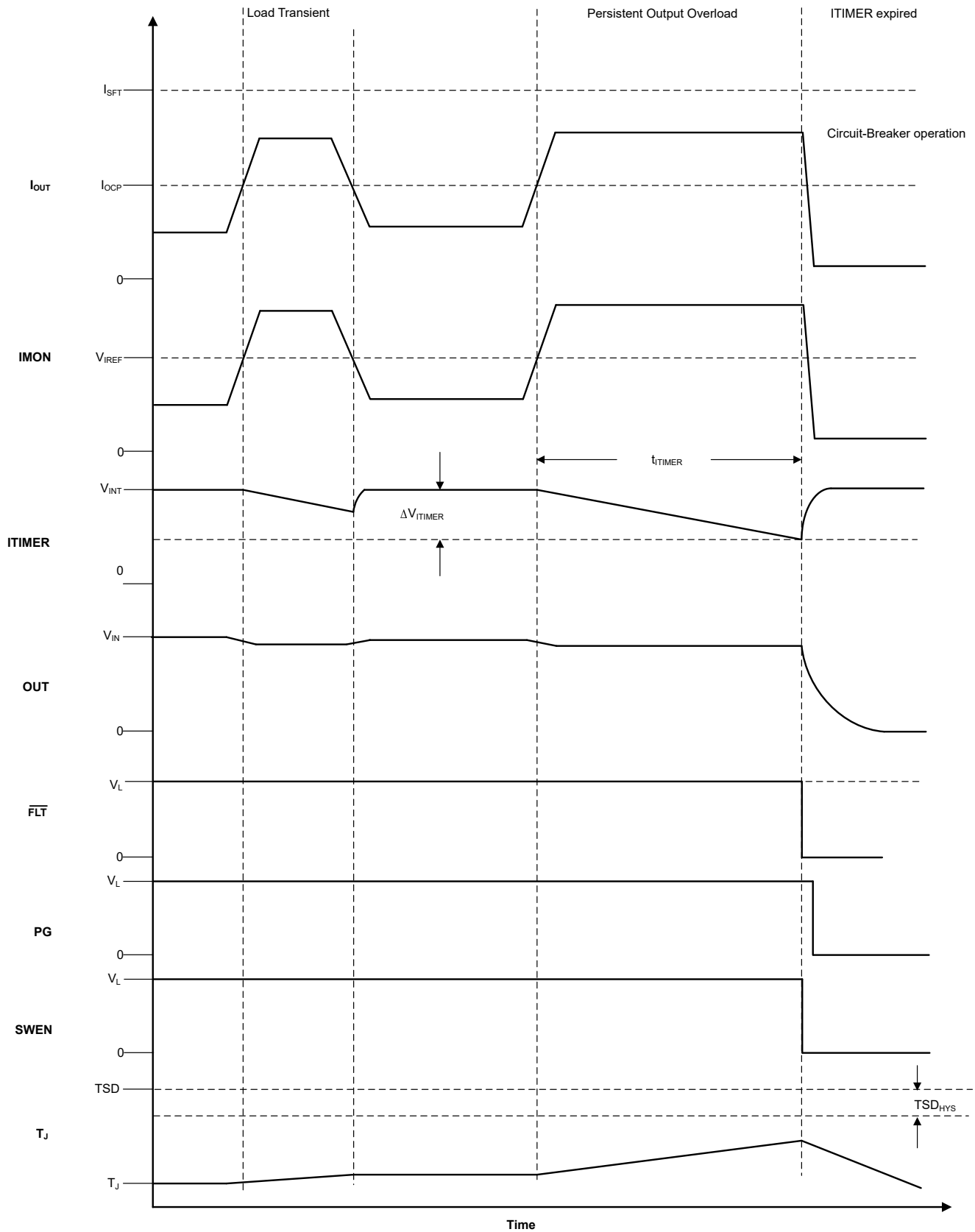


图 7-4. 稳态过流 (断路器) 响应

7.3.4.3 启动期间的工作电流限制

TPS1685x 通过主动限制电流来应对启动期间的输出过流情况。启动电流限制在内部固定为 $I_{start-up}$ 。

在启动期间，当负载电流超过 $I_{start-up}$ 时，器件会尝试调节负载电流并将其保持在 $I_{start-up}$ 。

在电流调节期间，输出电压下降，导致 FET 上的器件功率耗散增加。如果器件内部温度 (T_J) 超过热关断阈值 (TSD)，则会关断 FET。器件因 TSD 故障而关断后，会保持闭锁状态 (TPS16851 型号) 或在固定的延迟后自动重启 (TPS16850 型号)。有关器件应对过热情况的更多详细信息，请参阅 [过热保护](#) 一节。

备注

主动电流限制块在启动期间根据输出电压 (V_{OUT}) 采用折返机制。当 V_{OUT} 低于折返阈值 (V_{FB}) 时，会进一步降低电流限制阈值。

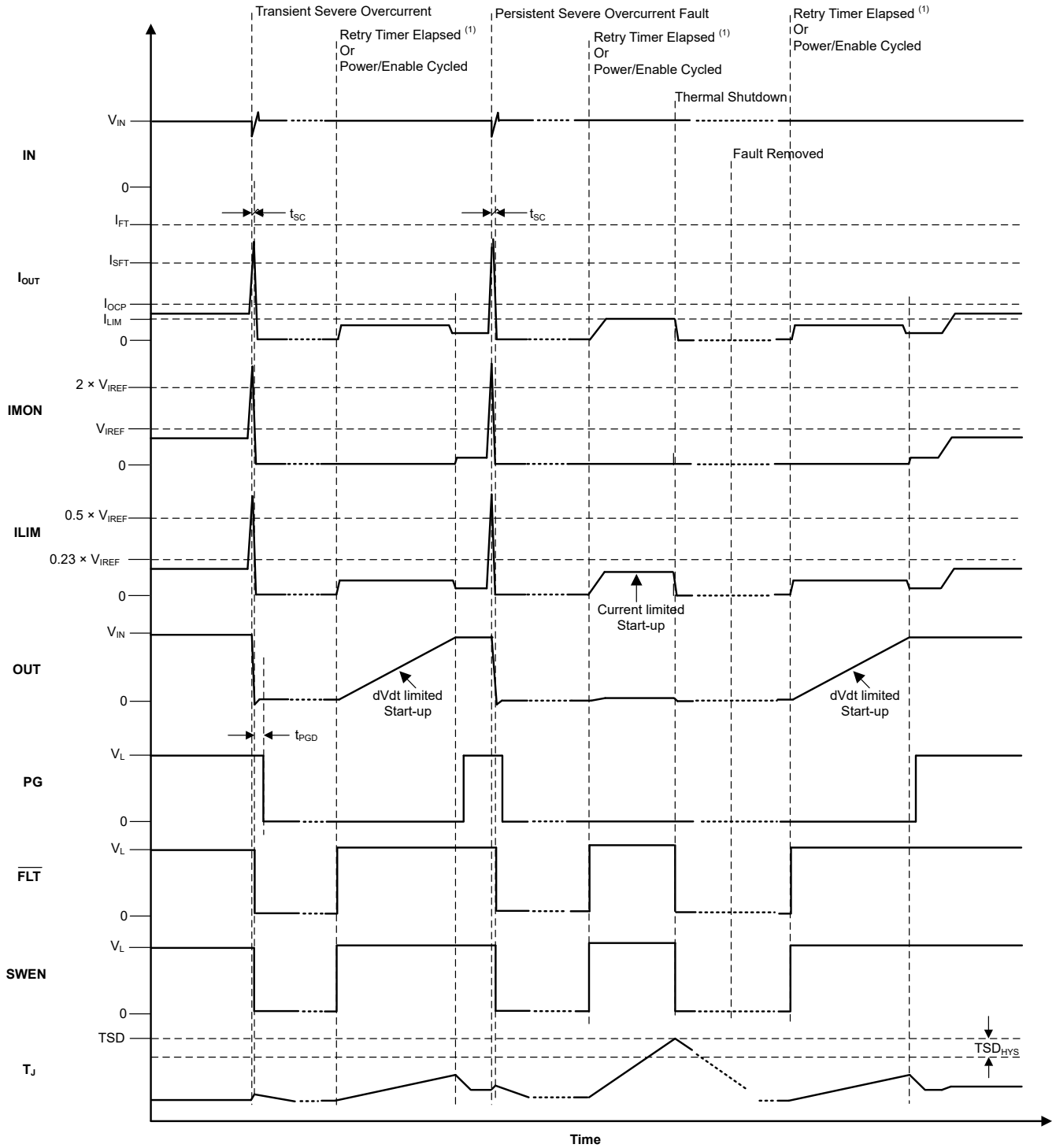
7.3.4.4 短路保护

在输出短路事件期间，流经器件的电流会迅速增大。当检测到输出短路时，内部快速跳变比较器会触发快速保护序列，以防止电流进一步增大并导致任何损坏或输入电源压降过大。快速跳变比较器在稳定状态期间采用可扩展的阈值 (I_{SFT})。 I_{SFT} 可以通过 SFT_SEL 引脚上的电阻器进行选择。这使用户能够根据系统额定值调整快速跳变阈值，而不是使用固定高阈值，该值可能并不适用于所有系统。电流超过快速跳变阈值后，TPS1685x 会在 t_{SFT} 内关断 FET。该器件还采用更高的固定快速跳变阈值 (I_{FFT})，可在稳定状态期间 (FET 处于线性区域) 提供快速短路保护。当电流超过 I_{FFT} 后，会在 t_{FFT} 内将 FET 完全关断。

表 7-1. 基于 SFT_SEL 引脚上的电阻器的器件功能模式

I_{SFT_SEL}	SFT_SEL 引脚	MODE 引脚
$8 \times I_{OCP}$	$R_{SFT_SEL} < 95k\Omega$	开路
$2.5 \times I_{OCP}$	$105k\Omega < R_{SFT_SEL} < 195k\Omega$	开路
$2.8 \times I_{OCP}$	$105k\Omega < R_{SFT_SEL} < 195k\Omega$	Gnd
$2 \times I_{OCP}$	$205k\Omega < R_{SFT_SEL} < 295k\Omega$	开路
$2.26 \times I_{OCP}$	$205k\Omega < R_{SFT_SEL} < 295k\Omega$	Gnd
$1.5 \times I_{OCP}$	$305k\Omega < R_{SFT_SEL}$	开路
$1.71 \times I_{OCP}$	$305k\Omega < R_{SFT_SEL}$	Gnd

图 7-5 展示了 TPS1685x 电子保险丝的短路响应。



(1) Applicable only to TPS16850 variants

图 7-5. 短路响应

7.3.5 模拟负载电流监测器 (IMON)

TPS1685x 通过在 IMON 引脚上提供与流过 FET 的电流成比例的模拟电流，使系统能够精确监测输出负载电流。电流输出的好处是，信号可以在电路板上路由，而不会由于相邻布线的压降或噪声耦合而增加明显的误差。电流

输出还允许将多个 TPS1685x 器件的 IMON 引脚连接在一起，以获得并联配置中的总电流。IMON 信号可以通过在监控点的电阻器上施加电压来转换为电压。用户可以检测 R_{IMON} 两端的电压 (V_{IMON}) 以使用 [方程式 10](#) 来获得输出负载电流的测量值。

$$I_{OUT} = \frac{V_{IMON}}{G_{IMON} \times R_{IMON}} \quad (10)$$

TPS1685x IMON 电路旨在提供高带宽和高精度，适用于各种负载和温度条件，不受电路板布局布线和其他系统运行条件的影响。此设计允许将 IMON 信号用于先进的动态平台电源管理技术（如 Intel® PSYS 或 PROCHOT#），以更大限度地提高系统功耗和平台吞吐量，而不会影响安全性或可靠性。

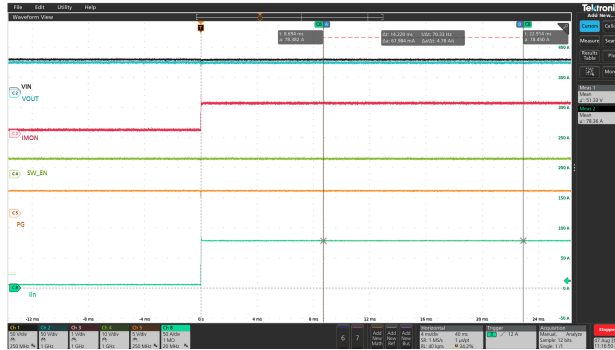


图 7-6. 模拟负载电流监测器响应

备注

1. IMON 引脚仅在稳定状态期间提供负载电流监测信息。在浪涌期间，IMON 引脚报告零负载电流。
2. ILIM 引脚始终报告单个器件的负载电流，也可用作每个单独器件的模拟负载电流监测器。
3. 必须注意尽量减少 IMON 和 ILIM 引脚上的寄生电容，以避免对过流和短路保护时序产生任何影响。

7.3.6 模式选择 (MODE)

此引脚可用于将一个 TPS1685x 配置为链中的主器件，将链中的其他 TPS1685x 电子保险丝指定为辅助器件。此特性允许更改某些 TPS1685x 引脚功能，有助于实现主器件和辅助器件并联连接。

在上电时对此引脚进行采样。将此引脚保持开路会将器件配置为主器件或独立器件。将此引脚连接至 GND 会将器件配置为辅助器件。

以下功能在辅助模式下禁用，辅助器件依赖主器件来提供此功能：

1. IREF 内部电流源
2. DVDT 内部电流源
3. 在稳定状态下进行过流检测，以实现断路器响应
4. 在达到稳定状态后 PG 置为失效（下拉）
5. 故障后锁存

在辅助模式下，以下功能仍然有效：

1. 过热保护
2. 启动电流限制
3. 浪涌期间和稳定状态期间的主动均流
4. 在稳定状态下的模拟电流监测器 (IMON)
5. 基于 IMON 的稳定状态过流检测。这通过在内部将 ITIMER 引脚拉至低电平来指示，但在 ITIMER 到期时不会触发断路器操作。相反，它依靠主器件启动自己的 ITIMER，然后在 ITIMER 到期后将 SWEN 拉至低电平，

从而触发针对整个链的断路器操作。不过，在主器件较长时间无法启动断路器操作的情况下，辅助器件会使用内部过流计时器作为备用措施。有关详细信息，请参阅 [单点故障缓解](#) 一节。

6. 每个器件仍具有单独的可扩展和固定快速跳变阈值来保护自身。在辅助模式下，单独的短路保护阈值设置为较高的值，以便主器件可以在整个系统内进一步降低该阈值。
7. 在辅助器件中，单独的 **OVP** 设置为最大值，以便主器件可以在整个系统中进一步降低该值。
8. 基于各个器件故障检测（断路器除外）的 **FLT** 置为有效。
9. 浪涌期间的 **PG** 置为无效控制和器件达到稳定状态后的置为有效控制。不过，在稳定状态下置为有效之后，辅助器件不再控制在发生故障时将 **PG** 置为无效。
10. 根据内部事件执行 **SWEN** 置为有效或置为无效，并根据 **SWEN** 引脚状态进行 **FET** 导通和关断控制。

在辅助模式下，短路和快速跳变期间的器件行为也会发生变化。有关更多详细信息，请参阅 [短路保护](#) 一节。

7.3.7 并联器件同步 (SWEN)

SWEN 引脚是一个信号引脚，当 **FET** 必须导通时，该引脚被驱动为高电平。当 **SWEN** 引脚被驱动为低电平时（在内部或在外部），它会向驱动器电路发送信号以关断 **FET**。该引脚既用作控制信号，也用作握手信号，并允许采用并联配置的多个器件同步其 **FET** 导通和关断转换。

表 7-2. **SWEN** 汇总

器件状态	FET 驱动器状态	SWEN
稳定状态	导通	H
浪涌	导通	H
过热关断	关断	L
自动重试计时器正在运行	关断	L
欠压 (EN/UVLO)	关断	L
欠压 (VDD UVP)	关断	L
欠压 (VIN UVP)	关断	L
插入延迟	关断	L
过压锁定 (VIN OVP)	关断	L
瞬态过流	导通	H
断路器 (持续过流，随后 ITIMER 到期)	关断	L
快速跳变	关断	L
故障响应单稳态正在运行 (MODE = GND)	关断	L
故障响应单稳态已过期 (MODE = GND)	导通	H
IMON 引脚开路 (稳定状态)	关断	L
IMON 引脚短路 (稳定状态)	关断	L
FET 运行状况故障	关断	L

备注

1. **SWEN** 是一个漏极开路引脚，但有一个弱内部上拉至 V_{INT} 。
2. 也可以将 **SWEN** 上拉至外部电源。TI 建议使用源自电子保险丝输入的系统备用电源轨。

在主器件和辅助器件并联的配置中，主器件使用 **SWEN** 引脚来控制辅助器件的导通和关断转换。同时，该引脚支持辅助器件将任何可能会阻止其导通的故障或其他情况传达给主器件。有关更多详细信息，请参阅 [故障响应和指示 \(FLT\)](#)。

为了保持状态机同步，这些器件依赖于 SWEN 电平转换以及握手时序。这可确保所有器件以相同的方式同步导通和关断（例如，DVDT 控制或限流启动）。SWEN 控制和握手逻辑中还有失效防护机制，可确保即使主器件在发生故障时无法控制，也能安全地关断整个链。

备注

TI 建议将 SWEN 引脚上的寄生负载保持在最低水平，以避免出现同步时序问题。

7.3.8 堆叠多个电子保险丝以使可扩展性不受限制

对于所需电流高于单个 TPS1685x 可以支持的电流的系统，可以并联连接多个 TPS1685x 器件以提供该系统总电流。由于传统电子保险丝的路径电阻不匹配（包括各个器件的 R_{DSON} 差异以及寄生 PCB 布线电阻），因此在稳定状态期间它们无法平均分摊电流。这种情况可能会导致系统中出现多个问题：

1. 一些器件承载的电流始终高于另一些器件，这可能导致这些器件的故障加速，并导致系统整体运行寿命缩短。
2. 因此，承载更高电流的电路板、器件、迹线和通孔上会形成热点，从而导致 PCB 的可靠性问题。此外，这一问题使热建模和电路板热管理对设计人员而言更具挑战性。
3. 承载更高电流的器件可能会过早达到其各自的断路器阈值，即使系统总负载电流低于整体断路器阈值也是如此。此操作可能会导致电子保险丝在正常运行期间误跳变。这会降低并联链的载流能力。换句话说，与单个电子保险丝的电流额定值总和相比，必须降低并联电子保险丝链的电流额定值。此降低额定值系数取决于路径电阻不匹配、并联器件数量和各个电子保险丝断路器精度。

降低额定值的需要会对系统设计产生不利影响。设计人员不得不做出以下权衡之一：

1. 将系统的工作负载电流限制在电子保险丝链的降额后电流阈值以下。本质上，这意味着平台功能低于电源 (PSU) 所支持的水平。
2. 增加整体断路器阈值，从而允许所需的系统负载电流通过而不会发生跳变。因此，电源 (PSU) 必须略大，以在故障期间提供更高的电流，从而解决整体断路器精度下降的问题。

无论在哪种情况下，系统的电源利用率都会很差，这可能意味着系统吞吐量不理想或安装和运营成本增加，或两者兼而有之。

TPS1685x 使用专有技术来解决这些问题，并通过根据需要并联尽可能多的电子保险丝来提供该解决方案的无限可扩展性。并联电子保险丝不会产生不均衡的电流分流或任何精度下降。

为了使该方案正常工作，必须按以下方式连接器件：

- 将所有器件的 SWEN 引脚连接在一起。
- 必须将所有器件的 IMON 引脚连接在一起。连接在一起的 IMON 引脚上的 R_{IMON} 电阻值可以使用 [方程式 11](#) 计算得出。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (11)$$

- 必须根据 [方程式 12](#) 选择各个电子保险丝的 R_{ILIM} 。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (12)$$

其中 N = 并联链中的器件数量。

备注

当在稳定状态下流过任何电子保险丝的电流超过通过 R_{ILIM} (其电阻值根据 [方程式 13](#) 计算得出) 设置的单独均流阈值时, 将启用主动均流方案。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \quad (13)$$

当系统总电流超过系统过流 (断路器) 阈值 ($I_{OCP(TOTAL)}$) 时, 主动均流方案将停用。

7.3.8.1 启动期间的电流平衡

TPS1685x 在启动期间实施专有的电流平衡机制, 从而允许并联连接的多个 TPS1685x 器件分流浪涌电流并将热应力分散到所有器件。此特性有助于所有器件成功完成启动, 避免某些电子保险丝过早进入热关断状态。这实际上增加了并联链的浪涌电流能力。改进的浪涌性能使得在高电流平台上支持非常大负载电容器成为可能, 并且不会影响浪涌时间或系统可靠性。

7.3.9 模拟结温监测器 (TEMP)

该器件通过在 TEMP 引脚上提供与芯片温度成比例的模拟电压, 使系统能够准确监测结温 (T_J)。此电压可连接到主机控制器或具有数字遥测功能的电子保险丝的 ADC 输入端。在多器件并联配置中, 所有器件的 TEMP 输出可以连接在一起。在此配置中, TEMP 信号会报告链中最热器件的温度。

7.3.10 过热保护

TPS1685x 采用内部热关断机制来在内部 FET 过热而无法安全运行时保护自身。当 TPS16851 检测到热过载时, 它会关断并保持闭锁状态, 直到器件下电上电或重新使能。当 TPS16850 检测到热过载时, 它会保持关断状态, 直到它充分冷却。此后, 该器件会保持关断状态并额外延迟 t_{RST} , 此后如果它仍处于使能状态, 则会自动重试导通。

表 7-3. 过热保护总结

器件	进入 TSD	退出 TSD
TPS16851 (闭锁)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ VDD 下电上电至 0V 然后高于 $V_{UVP(R)}$, 或者 EN/UVLO 切换至低于 $V_{SD(F)}$
TPS16850 (自动重试)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ t_{RST} 计时器到期, 或 VDD 下电上电至 0V 然后高于 $V_{UVP(R)}$, 或者 EN/UVLO 切换至低于 $V_{SD(F)}$

7.3.11 故障响应和指示 (\overline{FLT})

表 7-4 汇总了器件如何应对各种故障情况。

表 7-4. 故障汇总

事件或条件	器件响应	内部锁存故障	\overline{FLT} 引脚状态	延迟
稳定状态	无	不适用	H	
浪涌	无	不适用	H	
过热	关断	Y	L	
欠压 (EN/UVLO)	关断	N	H	
欠压 (VDD UVP)	关断	N	H	
欠压 (VIN UVP)	关断	N	H	
过压 (VIN OVP)	关断	N	H	
瞬态过流	无	N	H	
持续过流 (稳定状态)	断路器	Y	L	t_{TIMER}
持续过流 (启动)	电流限制	N	L	
短路 (主模式)	快速跳变	Y	L	t_{FT}
短路 (辅助模式)	快速跳变后进行限流启动	N	H	
ILIM 引脚开路 (稳定状态)	主动均流环路始终处于有效状态	N	H	
ILIM 引脚短路 (稳定状态)	禁用主动均流环路	N	H	
IMON 引脚开路 (稳定状态)	关断	Y	L	
IMON 引脚短路 (稳定状态)	关断 (如果 $I_{\text{OUT}} > I_{\text{OC_BKP}}$)	Y	L	30 μs
IREF 引脚开路 (稳定状态)	关断 (如果 $I_{\text{OUT}} > I_{\text{OC_BKP}}$)	Y	L	t_{TIMER}
IREF 引脚短路 (稳定状态)	关断	Y	L	
ITIMER 引脚被强制为高电压	关断 (如果 $I_{\text{OUT}} > I_{\text{OCP}}$ 或 $I_{\text{OUT}} > I_{\text{OC_BKP}}$)	Y	L	$t_{\text{SPFAIL_TMR}}$
启动超时	关断	Y	L	$t_{\text{SU_TMR}}$
FET 运行状况故障 (G-S)	关断	Y	L	10 μs
FET 运行状况故障 (G-D)	关断	Y	L	
FET 运行状况故障 (D-S)	关断	N	L	$t_{\text{SU_TMR}}$
外部故障 (当器件不处于 UV 或 OV 状态时, 在外部将 SWEN 拉至低电平)	关断	Y	L	

\overline{FLT} 是一个漏极开路引脚, 必须上拉至外部电源。

发生故障后, 器件的响应因工作模式而异:

1. 在独立或主模式工作期间 ($MODE = \text{开路}$)，器件会锁存故障并进行自动重试或闭锁响应 (取决于所选器件)。当器件再次导通时，它遵循正常的 DVDT 限制启动序列。
2. 在辅助工作模式期间 ($MODE = \text{GND}$)，如果器件检测到任何故障，它会暂时将 SWEN 引脚拉至低电平以向主器件发出事件信号，然后依靠主器件来控制故障响应。不过，如果主器件未能记录故障，则辅助器件中的失效防护机制会关断整个链并进入闭锁状态。此后，只能通过将 VDD 下电上电至低于 $V_{UV(P)}$ 或通过 EN/UVLO 引脚下电上电至低于 $V_{SD(F)}$ 来再次导通器件。

对于内部锁存的故障，对器件进行下电上电或将 EN/UVLO 引脚电压拉至低于 $V_{SD(F)}$ 可清除故障，并且将该引脚置为无效。此操作还会清除 t_{RST} 计时器 (仅限自动重试型号)。在这种情况下，将 EN/UVLO 拉至低于 UVLO 阈值对器件没有影响。这对于闭锁和自动重试型号都是如此。

7.3.12 电源正常状态指示 (PG)

电源正常指示是一个高电平有效输出，当器件处于稳定状态并且能够提供最大功率时，该输出被置为有效高电平以指示这种情况。

表 7-5. PG 指示汇总

事件或条件	FET 状态	PG 引脚状态	PG 延迟
欠压 ($V_{EN} < V_{UVLO}$)	关断	L	t_{PGD}
$V_{IN} < V_{UVP}$	关断	L	
$V_{DD} < V_{UVP}$	关断	L	
过压 ($V_{IN} > V_{OVP}$)	关断	L	t_{PGD}
稳定状态	导通	H	t_{PGA}
浪涌	导通	L	t_{PGA}
瞬态过流	导通	H	不适用
断路器 (持续过流，随后 ITIMER 到期)	关断	L (MODE = H) H (MODE = L)	t_{PGD} 不适用
快速跳变	关断	L (MODE = H) H (MODE = L)	t_{PGD} 不适用
过热	关断	L (MODE = H) H (MODE = L)	t_{PGD} 不适用

上电后，PG 最初被拉至低电平。器件启动一个浪涌序列，在此序列中，栅极驱动器电路开始从内部电荷泵对栅极电容充电。当 FET 栅极电压达到完全过驱时 (指示浪涌序列已完成并且器件能够提供全功率)，PG 引脚在抗尖峰脉冲时间 (t_{PGA}) 后被置为有效高电平。

在正常运行期间，如果在任何时候关断 FET，PG 会置为无效。PG 置为无效抗尖峰脉冲时间为 t_{PGD} 。

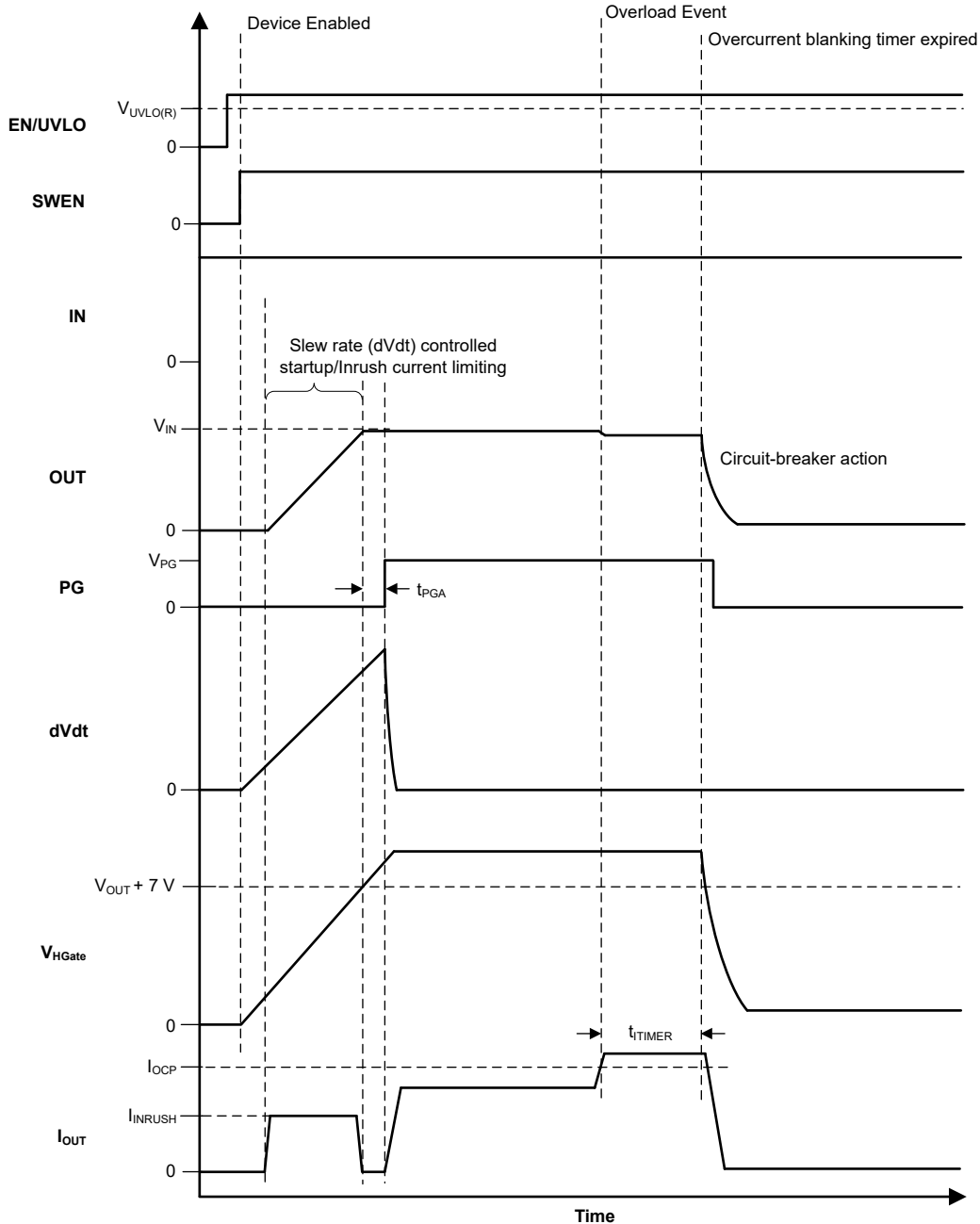


图 7-7. TPS1685x PG 时序图

PG 为漏极开路引脚，必须上拉至外部电源。

当器件未通电时，PG 引脚应保持低电平。不过，在这种情况下，没有有源下拉来将该引脚一直驱动至 0V。如果 PG 引脚被上拉至即使器件未通电也存在的独立电源，则此引脚上可能会出现一个小电压，具体取决于引脚灌电流，这是上拉电源电压和电阻的函数。尽可能减小灌电流，以使该引脚电压保持在足够低的水平，使得在此情况下不会被相关的外部电路检测为逻辑高电平。

该器件在辅助模式下 ($MODE = GND$) 与并联链中用作主器件的另一个 TPS1685x 器件一起使用时，会在启动期间控制 PG 置位操作，但器件达到稳定状态后，不再控制 PG 取消置位操作。有关更多详细信息，请参阅 [模式选择 \(MODE\)](#)。

7.3.13 输出放电

该器件具有集成输出放电功能，可使用内部恒定电流 (I_{QOD}) 将 OUT 引脚上的电容器放电至 GND。当 EN/UVLO 保持低电平时 ($V_{SD(F)} < V_{EN} < V_{UVLO(F)}$) 并至少持续最短间隔 (t_{QOD}) 时，将会激活输出放电功能。输出放电功能有助于快速消除大输出电容器上残留的电荷，并防止总线长时间保持在某个未定义的电压。当 $V_{OUT} < V_{FB}$ 或者器件检测到故障时，将会禁用输出放电。

输出放电功能会导致器件内部功率耗散过多，从而导致结温 (T_J) 升高。如果结温 (T_J) 超过 TSD，则会禁用输出放电，以避免器件长期降级。

备注

在主器件和辅助器件并联的配置中，TI 建议将 EN/UVLO 电压保持在辅助器件的 $V_{UVLO(F)}$ 阈值以下，以激活链中所有器件的输出放电。

7.3.14 FET 运行状况监测

TPS1685x 可以检测并报告某些表明电源路径 FET 发生故障的情况。如果未检测到或未报告这些情况，则这些情况可能会因无法正确向负载供电或无法提供必要的保护级别而损害系统性能。检测到 FET 故障后，TPS1685x 会尝试通过拉低栅极来关断内部 FET 并将 \overline{FLT} 引脚置为有效。

- **D-S 短路**：D-S 短路可能会导致从电源到负载形成恒定的不受控制的电力输送路径，这可能是由于电路板组装缺陷或内部 FET 故障造成的。在启动时，通过在 FET 导通之前检查 V_{IN-OUT} 是否小于 V_{DSFLT} 来检测这种情况。如果是，器件会启动内部输出放电以尝试对输出进行放电。如果 V_{OUT} 未能在允许的特定时间间隔内放电至低于 V_{FB} ，则器件会将 \overline{FLT} 引脚置为有效。
- **G-D 短路**：TPS1685x 始终通过检查栅极电压是否接近 V_{IN} 来检测此类 FET 故障，即使内部控制逻辑试图将 FET 保持在关断状态也不例外。
- **G-S 短路**：TPS1685x 在启动期间通过以下方法来检测此类 FET 故障：检查 FET G-S 电压是否未能在栅极驱动器导通后的特定超时时间段 (t_{SU_TMR}) 内达到必要的过驱电压。在稳定状态下，如果在控制器逻辑向栅极驱动器发出关断 FET 的信号之前 G-S 电压变为低电平，则会将其锁存为故障。

7.3.15 单点故障缓解

TPS1685x 依靠 IMON、IREF 和 ITIMER 引脚上的正确元件连接和偏置来在任何情况下提供过流和短路保护。作为一项额外的安全措施，该器件使用以下机制来确保器件提供某种形式的过流保护，即使这些引脚中的任何一个在系统中未正确连接或相关元件在现场出现故障也是如此。

7.3.15.1 IMON 引脚单点故障

- **IMON 引脚开路**：在这种情况下，在内部将 IMON 引脚电压上拉至更高的电压并超过阈值 (V_{IREF})，从而导致器件执行断路器操作，即使没有大电流流过器件也不例外。
- **IMON 引脚直接或通过非常低的电阻短接至 GND**：在这种情况下，IMON 引脚电压保持为低电压，即使有大电流流过器件也不允许超过阈值 (V_{IREF})，从而使主要过流保护机制失效。器件依靠内部过流检测机制来提供一定程度的保护作为备用措施。如果器件检测到超过备用电流检测阈值 (I_{OC_BKP}) 的情况但同时 IMON 引脚上的主要过流检测失败，则会触发单点故障检测并锁存故障。FET 被关断并且 \overline{FLT} 引脚被置为有效。

7.3.15.2 IREF 引脚单点故障

- **IREF 引脚开路或被强制为更高的电压**：在这种情况下，根据建议的 I_{OCP} 或 I_{LIM} 计算结果，会在内部或外部将 IREF 引脚 (V_{IREF}) 上拉至高于目标值的电压，从而防止触发主要断路器、主动限流和短路保护，即使有大电流流过器件也不例外。器件依靠内部过流检测机制来提供一定程度的保护作为备用措施。如果器件检测到超过备用过流阈值的情况但同时 IMON 引脚上的主要过流或短路检测失败，则会触发单点故障检测并锁存故障。FET 被关断并且 \overline{FLT} 引脚被置为有效。
- **IREF 引脚短接至 GND**：在这种情况下， V_{IREF} 阈值设置为 0V，从而导致器件执行主动限流或断路器操作，即使没有大电流流过器件也不例外。

7.3.15.3 ITIMER 引脚单点故障

- **ITIMER 引脚开路或短接至 GND**：在这种情况下，ITIMER 引脚已放电至低于 $V_{ITIMERTHR}$ ，因此在过流事件后立即指示过流消隐计时器到期，并立即触发断路器操作，没有任何延迟。
- **ITIMER 引脚被强制为高于 $V_{ITIMERTHR}$ 的某个电压**：在这种情况下，ITIMER 引脚无法放电至低于 $V_{ITIMERTHR}$ ，因此无法指示过流消隐计时器到期，从而导致断路器机制失效。器件依靠备用过流计时器机制来提供一定程度的保护作为备用措施。如果器件在 IMON 引脚或备用过流检测电路上检测到过流事件，则器件会启动内部备用时间器，并且在该计时器到期 ($t_{SPFLTMR}$) 后锁存故障。FET 被关断并且 \overline{FLT} 引脚被置为有效。

7.4 器件功能模式

器件的特性取决于工作模式。表 7-6 和表 7-7 总结了器件功能模式。

表 7-6. 基于 EN/UVLO 引脚的器件功能模式

引脚 : EN/UVLO	器件状态	输出放电
$> V_{UVLO(R)}$	完全导通	禁用
$> V_{SD(F)}, < V_{UVLO(F)} (< t_{QOD})$	FET 关断	禁用
$> V_{SD(F)}, < V_{UVLO(F)} (> t_{QOD})$	FET 关断	启用
$< V_{SD(F)}$	关断	禁用

表 7-7. 基于 MODE 引脚的器件功能模式

引脚 : MODE	器件配置
开路	主或独立
GND	辅助

表 7-8. 基于 SFT_SEL 引脚上的电阻器的器件功能模式

I_{SFT_SEL}	SFT_SEL 引脚	MODE 引脚
$8 \times I_{OCP}$	$R_{SFT_SEL} < 95k\Omega$	开路
$2.5 \times I_{OCP}$	$105k\Omega < R_{SFT_SEL} < 195k\Omega$	开路
$2.8 \times I_{OCP}$	$105k\Omega < R_{SFT_SEL} < 195k\Omega$	GND
$2 \times I_{OCP}$	$205k\Omega < R_{SFT_SEL} < 295k\Omega$	开路
$2.26 \times I_{OCP}$	$205k\Omega < R_{SFT_SEL} < 295k\Omega$	GND
$1.5 \times I_{OCP}$	$305k\Omega < R_{SFT_SEL}$	开路
$1.71 \times I_{OCP}$	$305k\Omega < R_{SFT_SEL}$	GND

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TPS1685x 是一款高电压和高电流电子保险丝，通常用于电源轨保护应用。该器件的工作电压范围为 9V 至 80V，具有输入过压保护和可调节欠压保护功能。该器件能够控制浪涌电流，并提供过流和短路保护。该器件可以用于各种系统，例如服务器主板、附加卡、显卡、加速器卡、企业交换机、路由器等。可以使用后续小节中介绍的设计过程，根据应用要求选择支持的元件值。此外，Web 产品文件夹中还提供了电子表格设计工具 [TPS1685x 设计计算器](#)。

8.1.1 单器件独立运行

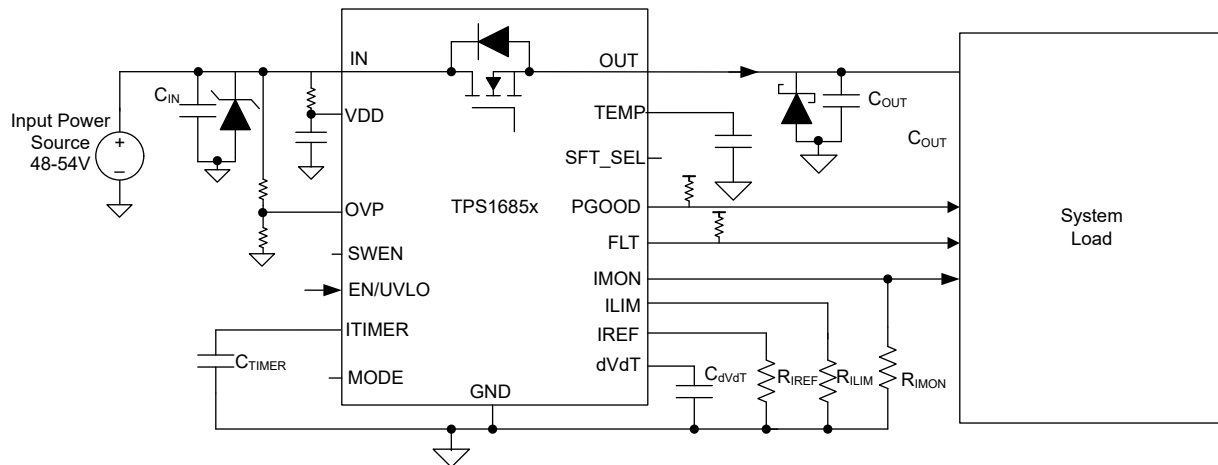


图 8-1. 单器件独立运行

备注

MODE 引脚保持开路，以配置为独立工作。

其他不同的情况：

1. IREF 引脚可通过外部基准电压源驱动。
2. 在主机 MCU 控制的系统中，可以将 EN/UVLO 连接至 GPIO 引脚来控制器件。可以使用 ADC 来监测 IMON 引脚电压。主机 MCU 可以使用 DAC 驱动 IREF，以动态更改电流限制阈值。
3. 通过将 ILIM 和 IMON 引脚连接至 GND 并使 IREF 引脚保持开路，该器件可用作简单的高电流负载开关，而无需可调节的过流或快速跳变保护功能。在这种情况下，浪涌电流保护、固定快速跳变和内部固定过流保护仍然有效。

8.1.2 多个器件，并行连接

ADVANCE INFORMATION

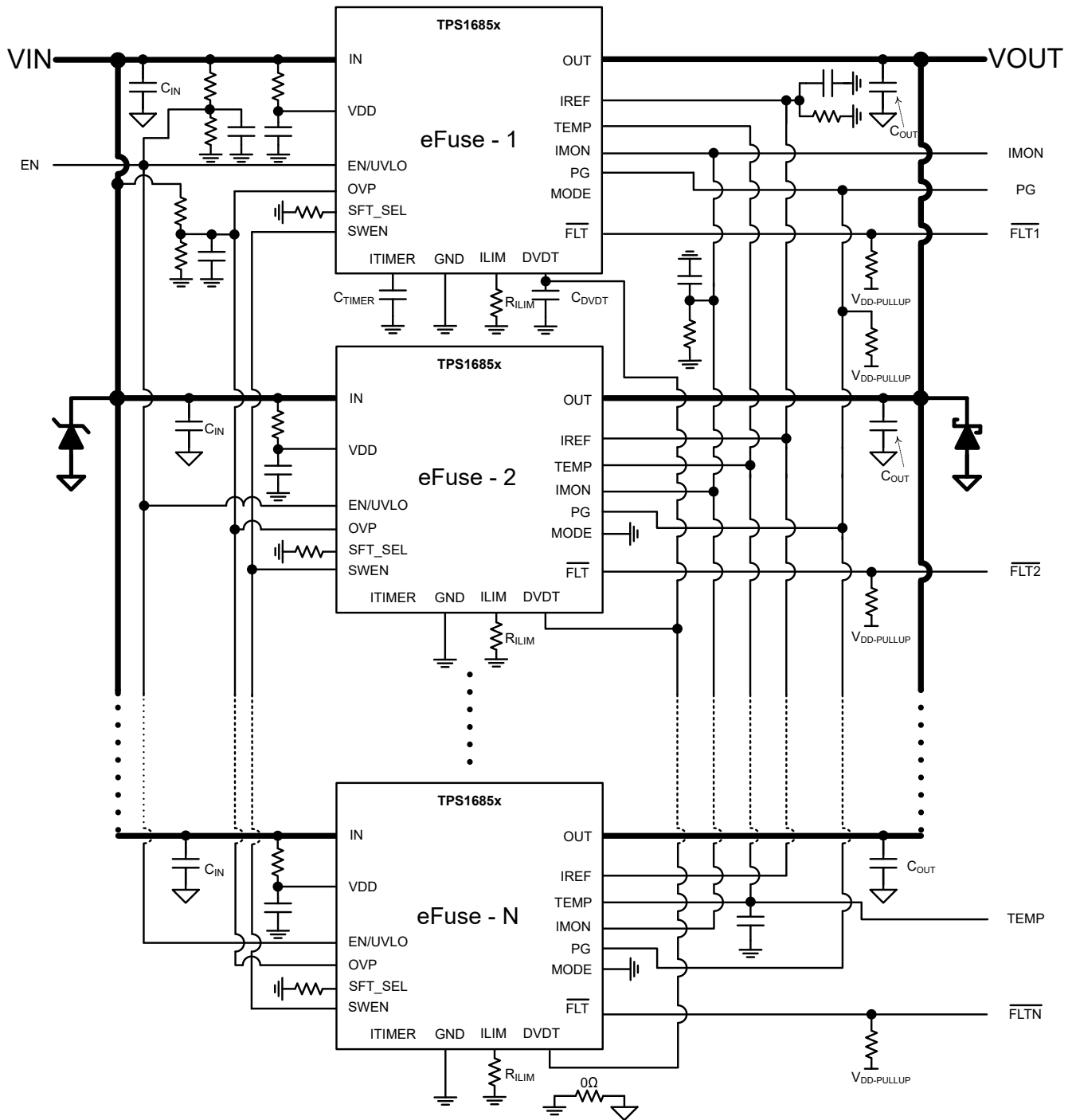


图 8-2. 并联连接器件以提供更高的电流

在此配置中，将一个 TPS1685x 器件指定为主器件，它控制链中指定为辅助器件的其他 TPS1685x 器件。此配置通过按如下方式连接主器件来实现：

1. 通过 R-C 滤波器将 VDD 连接至 IN。
2. MODE 引脚保持开路。
3. 通过电容器将 ITIMER 连接至 GND。

4. 通过电容器将 DVDT 连接至 GND。
5. 通过电阻器将 IREF 连接至 GND。
6. 通过电阻器将 IMON 连接至 GND。
7. 通过电阻器将 ILIM 连接至 GND。
8. 将 SWEN 上拉至 3.3V 到 5V 备用电源轨电压。必须独立于电子保险丝器件为此电源轨供电。

必须按以下方式连接辅助器件：

1. 通过 R-C 滤波器将 VDD 连接至 IN。
2. 将 MODE 引脚连接至 GND。
3. ITIMER 引脚保持开路。
4. 通过电阻器将 ILIM 连接至 GND。

必须将所有器件的以下引脚连接在一起：

1. IN
2. OUT
3. EN/UVLO
4. OVP
5. DVDT
6. SWEN
7. PG
8. IMON
9. IREF

在此配置中，所有器件同时上电和启用。

上电：上电或启用后，所有器件最初都将其 SWEN 保持在低电平，直到内部块正确偏置和初始化为止。之后，每个器件都会释放自己的 SWEN。在所有器件释放其 SWEN 后，组合的 SWEN 变为高电平，并且这些器件已准备好同时导通其各自的 FET。

浪涌：在浪涌期间，由于 DVDT 引脚一起连接到单个 DVDT 电容器，因此所有器件以相同的压摆率 (SR) 启用输出。根据下面的方程式 14 和方程式 15 选择公共的 DVDT 电容器 (C_{DVDT})。

$$SR(V/ms) = \frac{I_{INRUSH}(A)}{C_{LOAD}(mF)} \quad (14)$$

$$C_{DVDT}(nF) = \frac{48}{SR(V/ms)} \quad (15)$$

在这种情况下，内部平衡电路可确保在启动期间在所有器件之间均衡负载电流。此操作可防止某些器件导通速度比其他器件更快并且与其他器件相比承受更大热应力的情况。这可能会导致并联链过早关闭或部分关闭，甚至导致造成器件 SOA 损坏。电流平衡方案可确保链的浪涌能力根据并联连接的器件数量而扩缩，从而确保在启动期间以更大的输出电容或更高的负载成功启动。

在启动期间，所有器件将其各自的 PG 信号保持为低电平。输出完全斜升并达到稳定状态后，每个器件都会释放自己的 PG 下拉。由于所有器件的 DVDT 引脚连接在一起，因此所有器件的内部栅极高电平检测同步进行。器件之间可能存在某种阈值或时序不匹配，从而导致以交错方式将 PG 置为有效。不过，由于所有器件的 PG 引脚连接在一起，只有在所有器件都释放其 PG 下拉之后，组合的 PG 信号才会变为高电平。该信号被发送到下游负载以允许取电。

稳定状态：在稳定状态期间，所有器件都使用主动均流机制平均分摊电流，该机制会主动调节相应器件 R_{DSON} ，以在并联链中的所有器件上均匀分配电流。

稳定状态期间的过流：并联链的断路器阈值基于系统总电流，而不是基于流过各个器件的电流。这通过将所有器件的 IMON 引脚连接在一起实现。同样，所有器件的 IREF 引脚连接在一起并连接至单个 R_{IREF} (或外部 V_{IREF})

源)，以便为所有器件中的过流保护模块生成公共基准。此操作有助于尽可能地减小 I_{IREF} 变化和 R_{IREF} 容差对器件之间过流阈值的整体不匹配的影响。在这种情况下，请按照下面的方程式 16 选择组合的 R_{IMON} ：

$$R_{IMON} = \frac{I_{IREF} \times R_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (16)$$

必须根据下面的方程式 17 选择每个单独电子保险丝的 R_{ILIM} 值。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (17)$$

其中 N = 并联链中的器件数量。

其他不同的情况：

I_{REF} 引脚可通过外部电压基准 (V_{IREF}) 驱动。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (18)$$

在过流事件期间，同时触发所有器件的过流检测。这进而触发每个器件上的过流消隐计时器 (ITIMER)。不过，只有主器件使用 ITIMER 到期事件作为触发器来将所有器件的 $SWEN$ 拉至低电平，从而针对整个链路启动断路器操作。此机制可确保器件之间电流分布、过流阈值和 ITIMER 间隔不匹配不会降低整个并联链的断路器阈值或过流消隐间隔的精度。

不过，辅助器件也会启动其备用过流计时器，并且当主器件未能在特定的时间间隔内关断整个链时触发关断整个链。

严重过流 (短路)：如果在稳定状态运行期间输出端存在严重故障 (例如，通过低阻抗路径短接到地)，电流会快速累积到很高的值并在每个器件中触发快速跳变响应。这些器件使用两个阈值实现快速跳变保护 - 一个是用户可调节的阈值 I_{SFT} ，另一个是固定的阈值 I_{FFT} 。快速跳变后，这些器件会进入闭锁故障状态，直到器件下电上电或重新启用或者自动重试计时器到期 (仅适用于自动重试型号)。

8.2 典型应用：数据中心服务器中的 54V 电源路径保护

此设计示例考虑了 54V 系统工作电压，容差为 $\pm 10\%$ 。最大稳定状态负载电流为 80A。如果负载电流超过 85A，电子保险丝电路必须允许间隔长达 3ms 的瞬态过载电流。对于持续时间超过该间隔的持续过载，电子保险丝电路必须断开电路，然后闭锁。电子保险丝电路必须为 1mF 的大容量电容充电。图 8-3 展示了此设计示例的应用原理图。

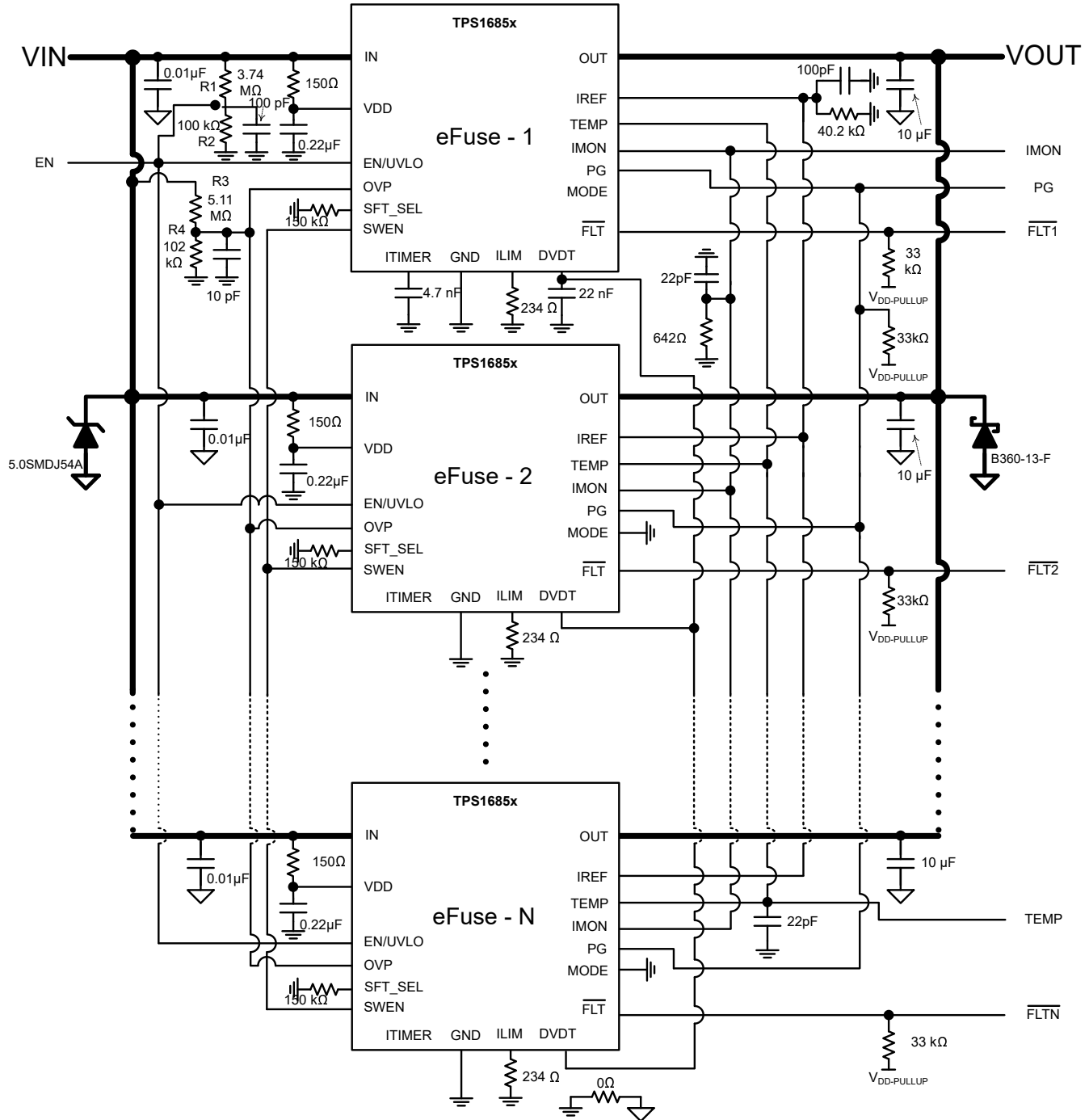


图 8-3. 54V、4.3kW 电源路径保护电路的应用原理图

8.2.1 设计要求

表 8-1 展示了此应用示例的设计参数。

表 8-1. 设计参数

参数	值
输入电压范围 (V_{IN})	48.6V 至 59.4V
最大 DC 负载电流 ($I_{OUT(max)}$)	80A
最大输出电容 (C_{LOAD})	1mF
最高环境温度	55°C
瞬态过载消隐计时器	3ms
输出电压压摆率	2.2V/ms
是否需要承受输出端“热短路”情况？	是
是否需要承受“上电至短路”情况？	是
电路板是否可以热插拔或是否需要电路板进行下电上电？	是
是否需要负载电流监测？	是
故障响应	闭锁

8.2.2 详细设计过程

- 确定要并联使用的电子保险丝器件数量

由于结温至环境温度热阻 ($R_{\theta JA}$) 的变化很小，单个 TPS1685x 电子保险丝器件的额定最大稳定状态直流电流为 20A，最高结温低于 125°C。因此，可以使用 [方程式 19](#) 来计算出并联的器件数量 (N)，以支持必须为其设计解决方案的最大稳定状态直流负载电流 ($I_{LOAD(max)}$)。

$$N \geq \frac{I_{OUT(max)}(A)}{20A} \quad (19)$$

根据 [表 8-1](#)， $I_{OUT(max)}$ 为 80A。因此，并联连接 4 个 TPS1685 电子保险丝器件。

- 设置并联配置中的主器件和辅助器件

MODE 引脚用于将一个 TPS1685x 电子保险丝配置为并联链中的主器件，并将其他 TPS1685x 电子保险丝配置为辅助器件。因此，可以更改 TPS1685 的一些引脚功能，以方便进行主器件和辅助器件配置，如 [多个器件，并联连接](#) 中所述。

让该引脚保持开路可将相应的器件配置为主器件。对于辅助器件，必须将该引脚连接到 GND。

- 选择 C_{DVDT} 电容器以控制输出压摆率和启动时间

必须在 DVDT 引脚与 GND 之间添加一个电容器 (C_{DVDT}) 以设置所需的压摆率值。使用 [方程式 20](#) 来计算 C_{DVDT} 的值。必须将并联链中所有电子保险丝器件的 DVDT 引脚连接在一起。

$$C_{DVDT}(nF) = \frac{48}{V_{IN}(V)/T_{SS}(ms)} \quad (20)$$

要获得 2.2V/ms 的压摆率，根据上述公式，可以得到 C_{DVDT} 为 21.82nF。我们可以保持接近的标准值 22nF。

- 选择 R_{IREF} 电阻器以设置过流保护和主动均流的基准电压

在此并联配置中，主电子保险丝的 IREF 内部电流源 (I_{IREF}) 与外部 IREF 引脚电阻器 (R_{IREF}) 相互作用以生成基准电压 (V_{IREF})，用于过流保护和主动均流块。当将 IMON 引脚上的电压 (V_{IMON}) 用作 ADC 的输入以监测系统电流或在 VR 控制器内部实现平台电源控制 (Intel PSYS) 功能时，必须将 V_{IREF} 设置为控制器 ISYS_IN 输入最大电压范围的一半。此操作为系统提供了必要的余量和动态范围，以准确地监测最高为快速跳变阈值 (2 × I_{OCP}) 的负载电流。方程式 21 用于计算 R_{IREF} 的阻值。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (21)$$

在此设计示例中，V_{IREF} 设置为 1V。当 I_{IREF} = 25μA (典型值) 时，我们可以计算出目标 R_{IREF} 为 40kΩ。R_{IREF} 的最接近标准值是容差为 0.1% 且额定功率为 100mW 的 40.2kΩ。为了提高防噪性能，在 IREF 引脚和 GND 之间放置一个 100pF 陶瓷电容器。

备注

将 V_{IREF} 保持在建议的电压范围内，以确保过流检测电路正常工作。

- 选择 R_{IMON} 电阻器以设置稳定状态期间的过流 (断路器) 和快速跳变阈值

TPS1685x 电子保险丝通过在用户可调节的瞬态故障消隐间隔后关闭输出来应对稳定状态期间的输出过流情况。此电子保险丝器件持续检测系统总电流 (I_{OUT}) 并在 IMON 引脚上产生成比例的模拟电流输出 (I_{IMON})。这会在 IMON 引脚电阻器 (R_{IMON}) 两端产生电压 (V_{IMON}) 以响应负载电流，其定义为方程式 22。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (22)$$

G_{IMON} 是电流监测器增益 (I_{IMON}: I_{out})，其典型值为 18.2μA/A。通过将 V_{IMON} 与作为阈值的 V_{IREF} 进行比较来检测过流情况。稳态期间的断路器阈值 (I_{OCP}) 可以使用方程式 23 计算得出。

$$I_{OCP(TOTAL)} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (23)$$

在此设计示例中，I_{OCP(TOTAL)} 视为 85A，在 G_{IMON} 为 18.2μA/A 且 V_{IREF} 为 1V 的情况下，可以计算出 R_{IMON} 为 646.4Ω。R_{IMON} 的最接近标准值是容差为 0.1% 且额定功率为 100mW 的 642Ω。为了降低噪声，请在 IMON 引脚和 GND 之间放置一个 22pF 陶瓷电容器。

备注

选择 R_{IMON} 时必须考虑系统输出电流 (I_{OUT})，而不是每个器件承载的电流。

- 选择 R_{ILIM} 电阻器以设置稳定状态期间的主动均流阈值

R_{ILIM} 用于设置稳定状态期间的主动均流阈值。每个器件都持续监测流过它的电流 (I_{DEVICE}) 并在其自身的 ILIM 引脚上输出成比例的模拟输出电流。这进而在相应的 ILIM 引脚电阻器 (R_{ILIM}) 两端产生成比例的电压 (V_{ILIM})，表示为方程式 24。

$$V_{ILIM} = I_{DEVICE} \times G_{ILIM} \times R_{ILIM} \quad (24)$$

G_{ILIM} 是电流监测器增益 (I_{ILIM}: I_{DEVICE})，其典型值为 20 μA/A。

- **稳定状态期间的主动均流**：此机制仅在器件达到稳定状态后才起作用，并通过将其自身的负载电流信息 (V_{ILIM}) 与主动均流基准 (CLREF_{LIN}，定义为方程式 25) 阈值进行比较而独立起作用。

$$CLREF_{LIN} = \frac{1.1 \times V_{IREF}}{3} \quad (25)$$

因此，必须使用[方程式 26](#) 计算 R_{ILIM} 以将主动均流阈值定义为 $I_{OCP(TOTAL)}/N$ ，其中 N 是并联器件的数量。使用 $N = 4$ 、 $R_{IMON} = 642\ \Omega$ 和[方程式 26](#)，可以计算出 R_{ILIM} 为 $235.4\ \Omega$ 。对于每个器件，选择容差为 0.1% 且额定功率为 100mW 的最接近标准值 $234\ \Omega$ 的电阻器作为 R_{ILIM} 。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (26)$$

备注

要确定 R_{ILIM} 的值，如果需要与不同于 I_{OCP}/N 的主动均流阈值 ($I_{LIM(ACS)}$)，则必须使用[方程式 27](#)。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \quad (27)$$

- 选择 C_{ITIMER} 电容器以设置过流消隐计时器

必须在主器件或独立器件的 $ITIMER$ 引脚与接地端之间连接一个合适的电容器，以调整允许负载瞬态超过断路器阈值的持续时间。瞬态过流消隐间隔可使用[方程式 28](#) 计算得出。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \quad (28)$$

其中 t_{ITIMER} 是瞬态过流消隐计时器， C_{ITIMER} 是连接在主器件的 $ITIMER$ 引脚与 GND 之间的电容器。 $I_{ITIMER} = 2\ \mu A$ (典型值) 且 $\Delta V_{ITIMER} = 1.3V$ (典型值)。在此设计中，使用容差为 10% 且直流额定电压为 25V 的 4.7nF 电容作为主器件的 C_{ITIMER} ，这使得 t_{ITIMER} 为 3ms。所有辅助器件的 $ITIMER$ 引脚应保持开路。

- 选择电阻器来设置欠压锁定阈值

欠压锁定 (UVLO) 阈值通过使用连接在器件的 IN、EN/UVLO 和 GND 引脚之间的外部分压器网络 R_1 和 R_2 来调整，如[欠压保护](#)一节所述。设置 UVLO 阈值所需的电阻值通过使用[方程式 29](#) 计算得出。

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (29)$$

为了尽可能降低从电源汲取的输入电流，TI 建议对 R_1 和 R_2 使用较高的电阻值。根据器件电气规格，UVLO 上升阈值 $V_{UVLO(R)} = 1.2V$ 。根据设计要求， $V_{IN(UV)} = 46V$ 。首先选择 R_1 的值 = $3.74M\ \Omega$ ，然后使用[方程式 29](#) 计算得出 $R_2 = 100k\ \Omega$ 。使用最接近的标准 1% 电阻值： $R_1 = 3.74M\ \Omega$ 和 $R_2 = 100k\ \Omega$ 。为了降低噪声，在 EN/UVLO 引脚和 GND 之间放置一个 100pF 陶瓷电容器。

- 选择电阻器以设置过压锁定阈值

过压锁定 (OVLO) 阈值通过使用连接在设备的 IN、OVLO 和 GND 引脚之间的外部分压器网络 R_3 和 R_4 进行调整，如[过压保护](#)一节所述。设置 OVLO 阈值所需的电阻值通过使用下面的公式计算得出。

$$V_{IN(OV)} = V_{OVLO(R)} \frac{R_3 + R_4}{R_4} \quad (30)$$

为了尽可能降低从电源汲取的输入电流，TI 建议对 R_3 和 R_4 使用较高的电阻值。根据器件电气规格，OVLO 上升阈值 $V_{OVLO(R)} = 1.164V$ 。根据设计要求， $V_{IN(OV)} = 60V$ 。首先选择 R_1 的值 = $5.11M\ \Omega$ ，然后使用[方程式 29](#) 计算得出 $R_3 = 101k\ \Omega$ 。使用最接近的标准 1% 电阻值： $R_3 = 5.11M\ \Omega$ 和 $R_4 = 102k\ \Omega$ 。为了降低噪声，请在 OVLO 引脚和 GND 之间放置一个 10pF 陶瓷电容器。

- 选择 VIN 和 VDD 之间的 R-C 滤波器

VDD 引脚用于通过经过滤波的稳定电源为电子保险丝器件的内部控制电路供电，使之不受系统瞬态的影响。因此，在输入电源 (IN 引脚) 和 VDD 引脚之间使用 R ($150\ \Omega$) - C ($0.22\ \mu F$) 滤波器。这有助于滤除电源噪声，并在严重故障 (例如输出端短路) 期间保持控制器电源。在并联链中，必须为每个器件采用此 R-C 滤波器。

• 为 PG、 $\overline{\text{FLT}}$ 选择上拉电阻器和电源

$\overline{\text{FLT}}$ 、PG 是漏极开路输出。如果使用这些逻辑信号，则必须通过 33k Ω 上拉电阻将相应的引脚上拉至合适的电源轨电压。

• 选择输入端的 TVS 二极管和输出端的肖特基二极管

如果发生短路或断路器事件，当器件瞬间中断大电流时，输入电感会在输入端产生正电压尖峰，而输出电感会在输出端产生负电压尖峰。这些电压尖峰（瞬变）的峰值振幅取决于与器件输入或输出串联的电感值。如果不采取适当的措施来解决此问题，此类瞬变可能会超过器件的绝对最大额定值，并最终导致因电气过应力 (EOS) 而导致的故障。解决此问题的典型方法包括：

1. 更大限度减少进出器件的引线长度和电感。
2. 使用较大的 PCB GND 平面。
3. 在输入端添加瞬态电压抑制器 (TVS) 二极管来钳制正瞬态尖峰。
4. 在输出端使用肖特基二极管来吸收负尖峰。

请参阅 [热插拔电路中的 TVS 钳位](#)、[在热插拔和 ORing 应用中选择 TVS 二极管](#)、[TVS 二极管建议工具](#) 以了解有关以下详细信息：选择合适的 TVS 二极管以及要并联的 TVS 二极管数量，以有效地将输入端的正瞬态电压钳位在 IN 引脚的绝对最大额定值 (20V) 以下。这些 TVS 二极管还有助于在热插拔事件期间限制 IN 引脚上的瞬态电压。在此设计示例中，并联使用了四 (4) 个 SMDJ54A。

备注

所选 TVS 二极管在 I_{pp} (10/1000 μ s) (V) 时的最大钳位电压 V_C 规格必须低于电源输入 (IN) 引脚的绝对最大额定值，以确保电子保险丝器件安全工作。

必须根据以下标准来选择肖特基二极管：

- 所选二极管的非重复峰值正向浪涌电流 (I_{FSM}) 必须大于快速跳变阈值 ($2 \times I_{OCP(TOTAL)}$)。如果单个肖特基二极管无法满足所需的 I_{FSM} 额定值，则必须使用两个或更多个并联的肖特基二极管。[方程式 31](#) 可计算出必须并联的肖特基二极管数量 ($N_{Schottky}$)。

$$N_{Schottky} > \frac{2 \times I_{OCP(TOTAL)}}{I_{FSM}} \quad (31)$$

- 接近 I_{FSM} 的正向压降 (V_F) 必须尽可能小。理想情况下，OUT 引脚上的负瞬态电压必须钳制在 OUT 引脚的绝对最大额定值 (-5V) 内。
- 直流阻断电压 (V_{RM}) 必须大于最大输入工作电压。
- 漏电流 (I_R) 必须尽可能小。

在此设计示例中，并联使用了 4 个 B360-13-F。

• 选择 C_{IN} 和 C_{OUT}

TI 建议添加陶瓷旁路电容器，以帮助稳定输入端和输出端的电压。 C_{IN} 的值必须保持较小，以便尽可能地减小热插拔事件期间的电流尖峰。对于每个器件，0.01 μ F 的 C_{IN} 是合理的目标。由于 C_{OUT} 在热插拔期间不会充电，因此可以在每个器件的 OUT 引脚上使用较大的值（例如 10 μ F）。

8.2.3 应用曲线

以下所有波形都是在四个 TPS1685 电子保险丝并联的评估设置中捕获的。所有上拉电源均来自单独的备用电源轨。

ADVANCE INFORMATION

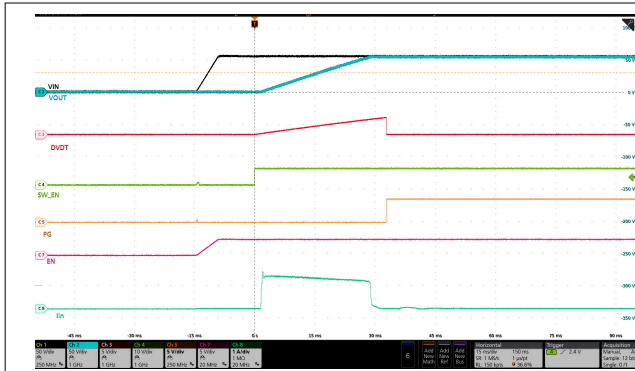


图 8-4. V_{IN} 从 0V 斜升至 54V

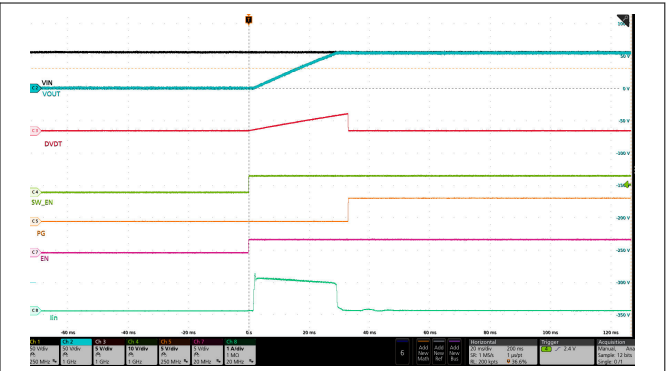


图 8-5. 通过 EN/UVLO 启动



图 8-6. 主动均流

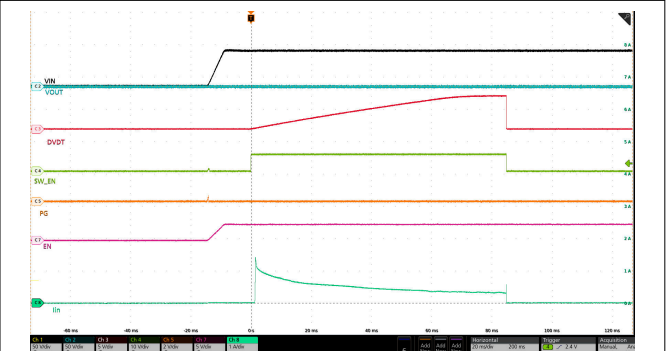


图 8-7. 上电至短路: $V_{IN} = 54V$, EN/UVLO 从 0V 升至 3V

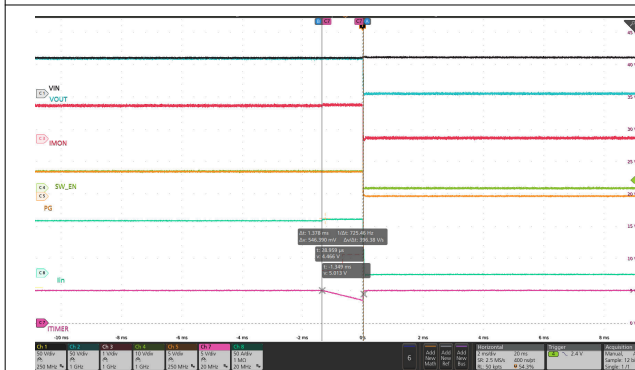


图 8-8. 断路器响应

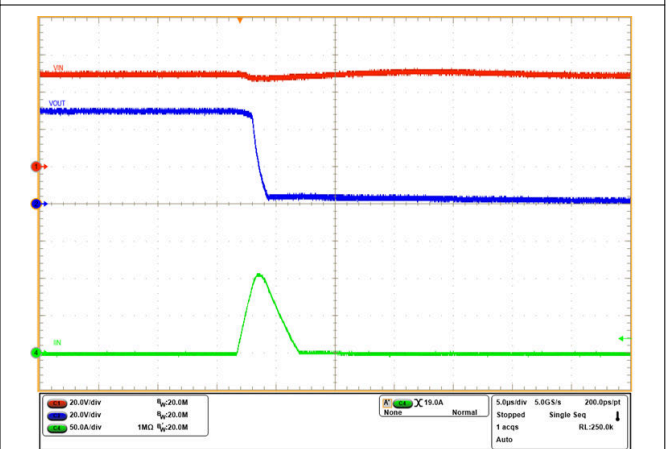


图 8-9. 输出热短接响应

8.3 电源相关建议

TPS1685x 器件设计为在 IN 和 VDD 引脚上供应 9V 至 80V 的电源电压范围。TI 建议在并联链中每个器件的 IN 引脚上使用 0.1 μ F 的最小电容, 以避免热插拔事件期间发生高压摆率耦合。TI 还建议在并联链中每个器件的输入电源到 VDD 引脚之间使用 R-C 滤波器, 以便滤除电源噪声并在发生短路等严重故障时保持控制器电源稳定。

8.3.1 瞬态保护

如果发生短路或断路器事件，当器件中断电流时，输入电感会在输入端产生正电压尖峰，输出电感会在输出端产生负电压尖峰。电压尖峰（瞬变）的峰值振幅取决于与器件输入或输出串联的电感值。如果未采取措施解决此问题，此类瞬变可能会超过器件的绝对最大额定值。解决瞬变的典型方法包括：

- 更大限度减少进出器件的引线长度和电感。
- 使用较大的 PCB GND 平面。
- 在 OUT 引脚和接地端之间连接一个肖特基二极管来吸收负尖峰。
- 在非常靠近器件的 OUT 引脚上连接一个 10 μF 或更大的低 ESR 电容器。
- 在非常靠近器件的 IN 引脚处连接一个 0.1 μF 或更大的陶瓷电容器 C_{IN}，以抑制输入瞬变的上升时间。电容器电压额定值必须至少为输入电源电压的两倍，才能承受电感振铃期间的正电压偏移。

输入电容的近似值可通过方程式 32 进行估算。

$$V_{SPIKE(Absolute)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (32)$$

其中

V_{IN} 是标称电源电压。

I_{LOAD} 是负载电流。

L_{IN} 等于在源极中观察到的有效电感。

C_{IN} 是输入端存在的电容。

- 某些应用可能需要添加瞬态电压抑制器 (TVS)，以防止瞬变超过器件的绝对最大额定值。在某些情况下，即使瞬变的最大幅度低于器件的绝对最大额定值，TVS 也有助于吸收过多的能量转储，并防止其在 IC 的输入电源引脚上产生非常快速的瞬变电压，这种电压可能会耦合到内部控制电路并导致意外行为。

带有可选保护元件的电路实现如图 8-10 所示。

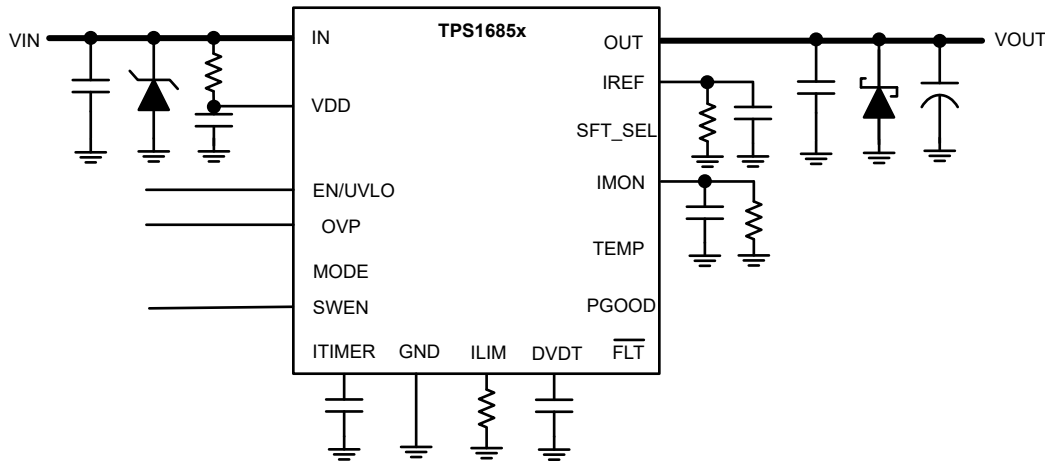


图 8-10. 带有可选保护元件的电路实现

8.3.2 输出短路测量

很难获得可重复和相似的短路测试结果。以下因素会导致结果的变化：

- 源旁路
- 输入引线
- 电路布局
- 组件选择

- 输出短路方法
- 短路的相对位置
- 仪表

实际的短路呈现出一定程度的随机性，因为它在微观上会弹跳和形成电弧。确保使用适当的配置和方法来获得真实的结果。不要期望看到与本数据表中的波形完全相同的波形，因为每个设置都不同。

8.4 布局

8.4.1 布局指南

- 对于所有应用，TI 建议在 IN 引脚和 GND 引脚之间使用 0.1 μ F 或更大的陶瓷去耦电容器。
- 对于所有应用，TI 建议在 OUT 引脚和 GND 引脚之间使用 10 μ F 或更大的陶瓷去耦电容器。
- 去耦电容器的最佳放置位置是紧靠器件的 IN 引脚和 GND 引脚的位置。请务必注意，尽量减小旁路电容器连接和 IC 的 IN 引脚及 GND 引脚所构成的环路区域。如需 PCB 布局示例，请参阅下面的图。
- 高载流电源路径连接必须尽可能短，并且其大小必须能够承载至少两倍的满载电流。
- 必须在 IC 的引脚处将 GND 引脚连接至 PCB 接地平面。PCB 接地必须是电路板上一个铜层或铜岛。
- IN 和 OUT 引脚用于散热。通过散热过孔连接至尽可能多的铜区域。
- 将以下支持元件放置在靠近其连接引脚的位置：
 - R_{ILIM}
 - R_{IMON}
 - C_{IMON}
 - R_{IREF}
 - C_{IREF}
 - C_{dVdT}
 - C_{ITIMER}
 - C_{IN}
 - C_{OUT}
 - C_{VDD}
 - 用于 EN/UVLO 引脚和 OVP 引脚的电阻器
- 采用最短的走线将元件另一端连接至器件的 GND 引脚。C_{IN}、C_{OUT}、C_{VDD}、R_{IREF}、C_{IREF}、R_{ILIM}、R_{IMON}、C_{IMON}、C_{ITIMER} 和 C_{dVdT} 元件到器件的布线必须尽可能短，以减少对电流限制、过流消隐间隔和软启动时序的寄生效应。这些走线不得与电路板中的开关信号发生耦合。
- 由于 IMON、ILIM、IREF 和 ITIMER 引脚直接控制器件的过流保护行为，因此这些节点的 PCB 布线必须远离任何噪声（开关）信号。
- TI 建议将 SWEN 引脚上的寄生负载保持在最低水平，以避免出现同步问题。
- 必须将保护器件（如 TVS、缓冲器、电容器或二极管）放置在紧靠其要保护的器件的物理位置。必须使用短迹线为这些保护器件布线以减少电感。例如，TI 建议使用保护肖特基二极管来解决由于电感负载切换而导致的负瞬变，并且它必须位于靠近 OUT 引脚的物理位置。

8.4.2 布局示例

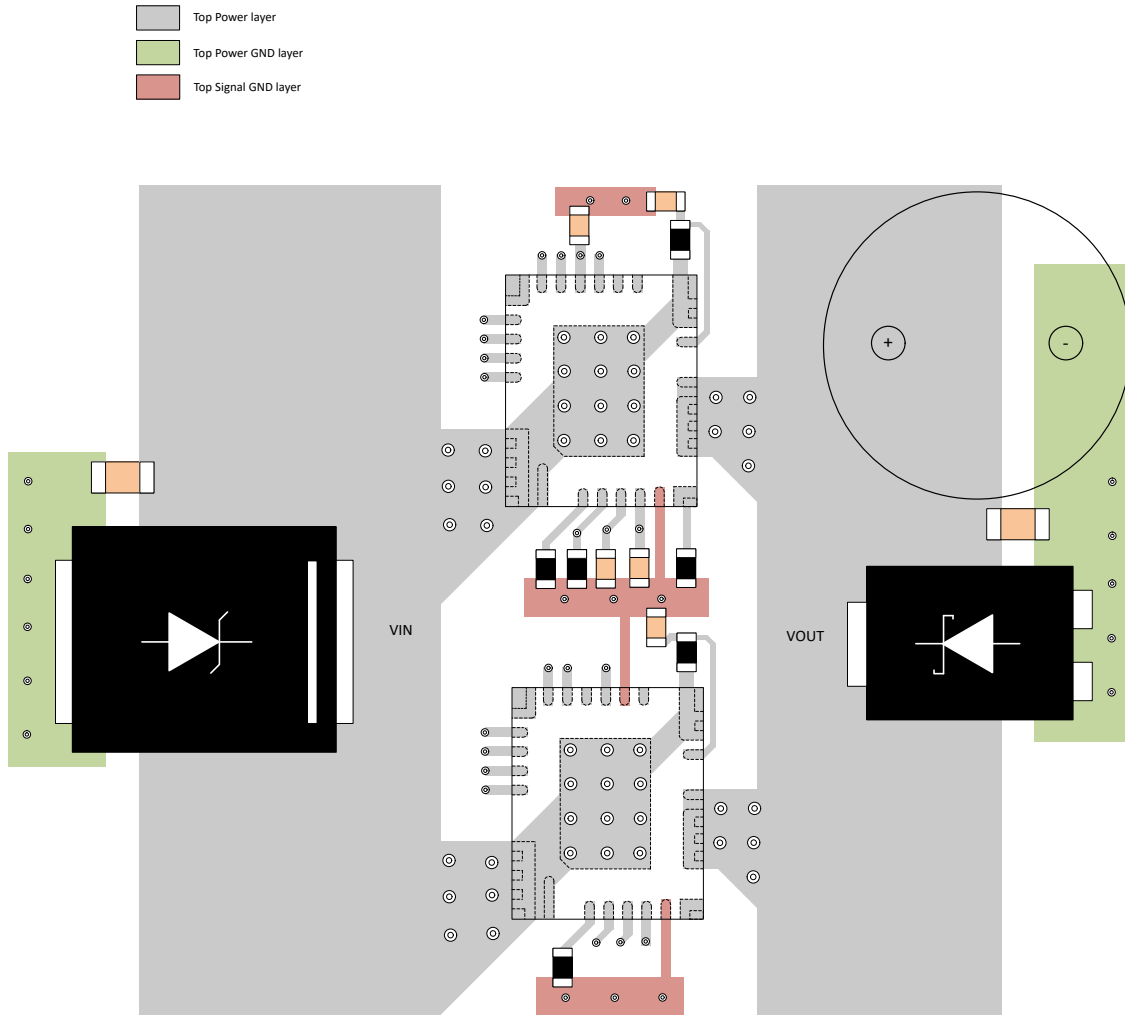


图 8-11. TPS1685x 两个并联器件布局示例

ADVANCE INFORMATION

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [TPS1685EVM 电子保险丝评估板](#)
- 德州仪器 (TI), [TPS1685x 设计计算器](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

Intel® is a registered trademark of Intel.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

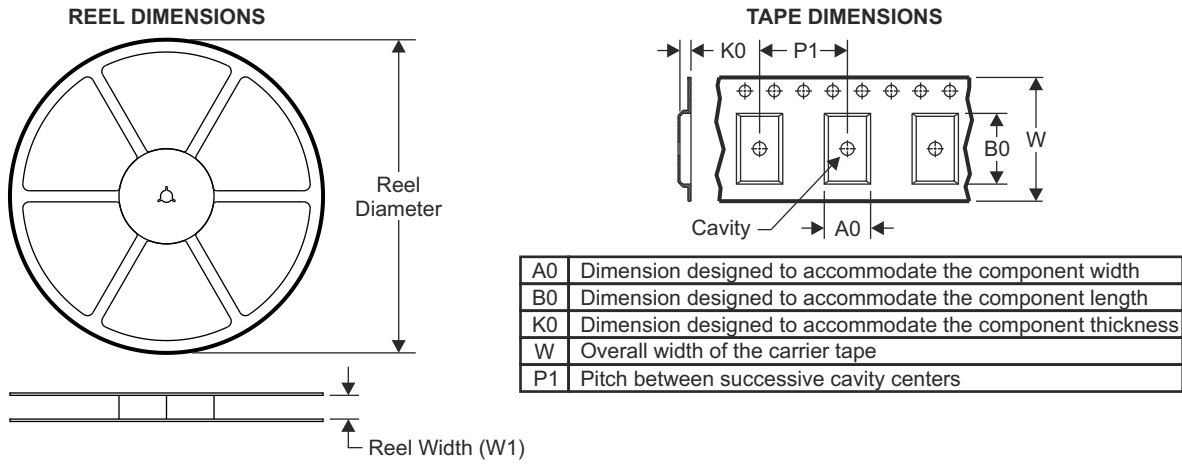
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
September 2024	*	初始发行版

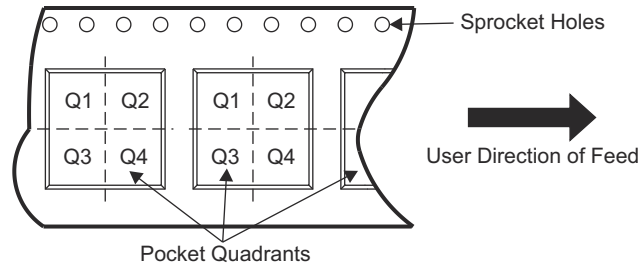
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

11.1 卷带包装信息



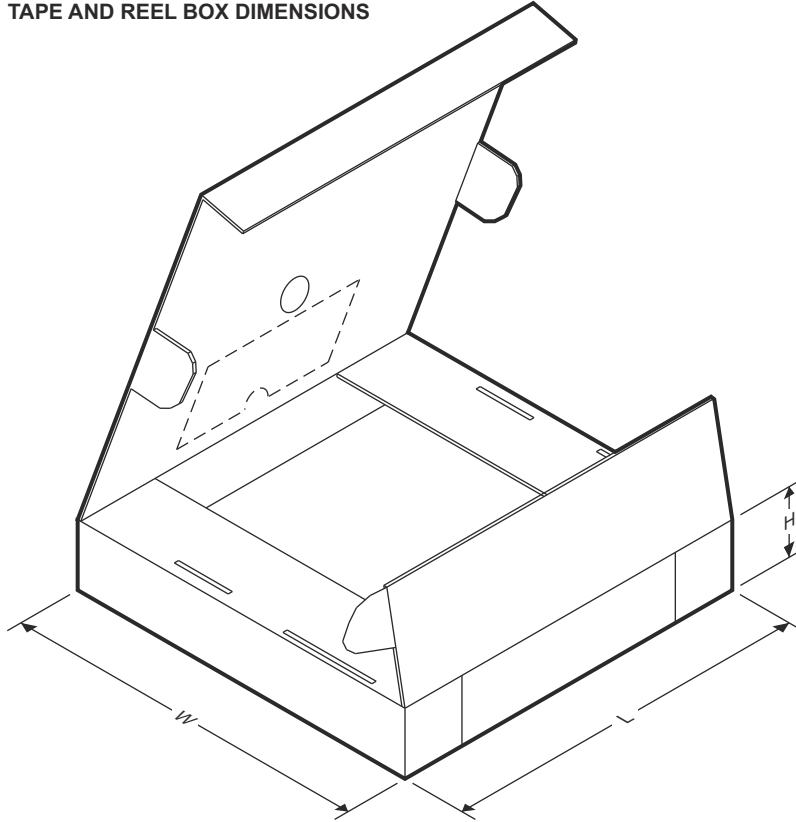
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
PTPS16850VMAR	LQFN	VMA	23	2500	330	16.4	6.3	5.3	1.75	8	16	Q1
PTPS16851VMAR	LQFN	VMA	23	2500	330	16.4	6.3	5.3	1.75	8	16	Q1

ADVANCE INFORMATION


TAPE AND REEL BOX DIMENSIONS

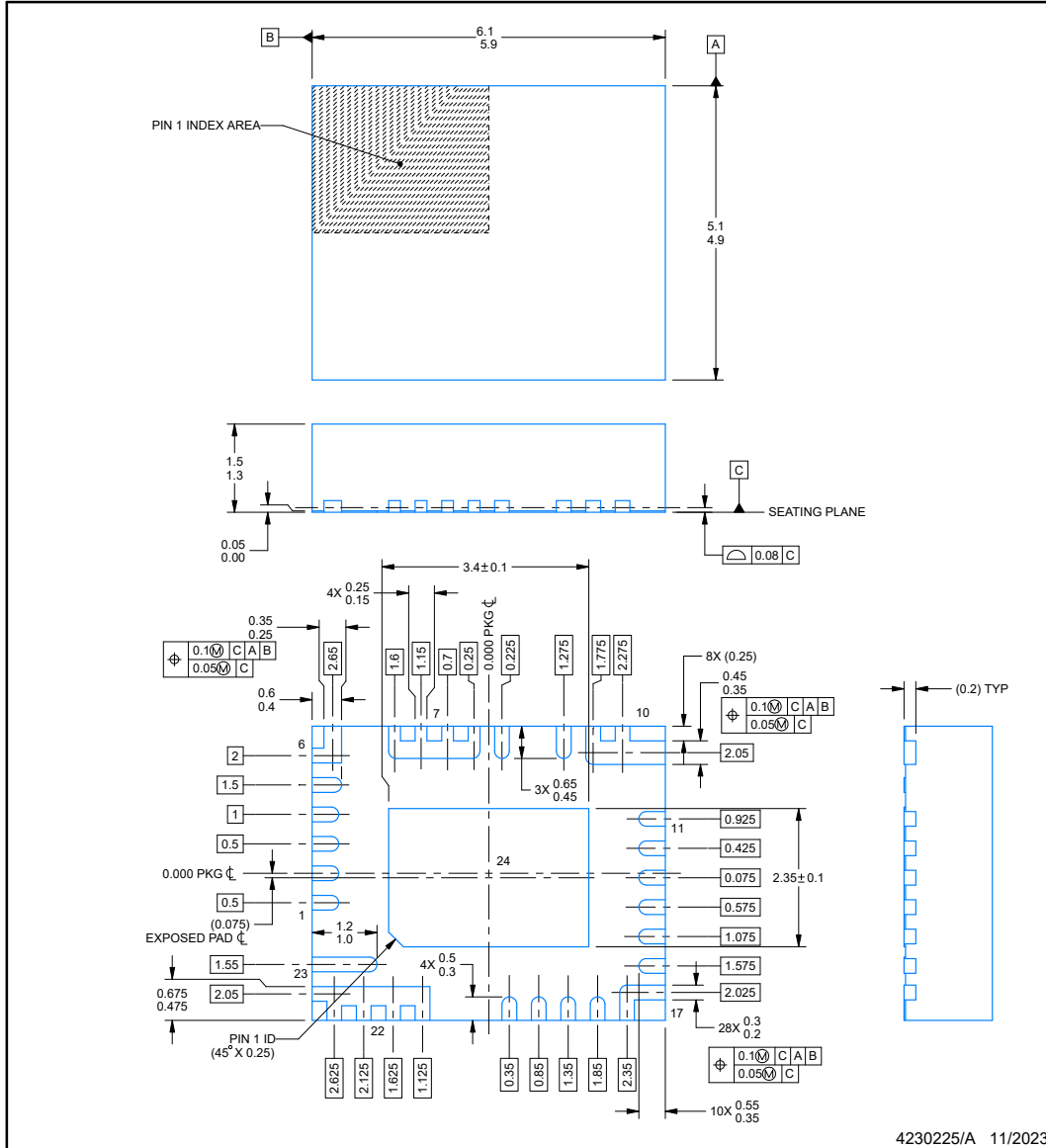


ADVANCE INFORMATION

器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PTPS16850VMAR	LQFN	VMA	23	2500	367	367	38
PTPS16851VMAR	LQFN	VMA	23	2500	367	367	38

11.2 机械数据

VMA0023A  PACKAGE OUTLINE
LQFN-CLIP - 1.5 mm max height
PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

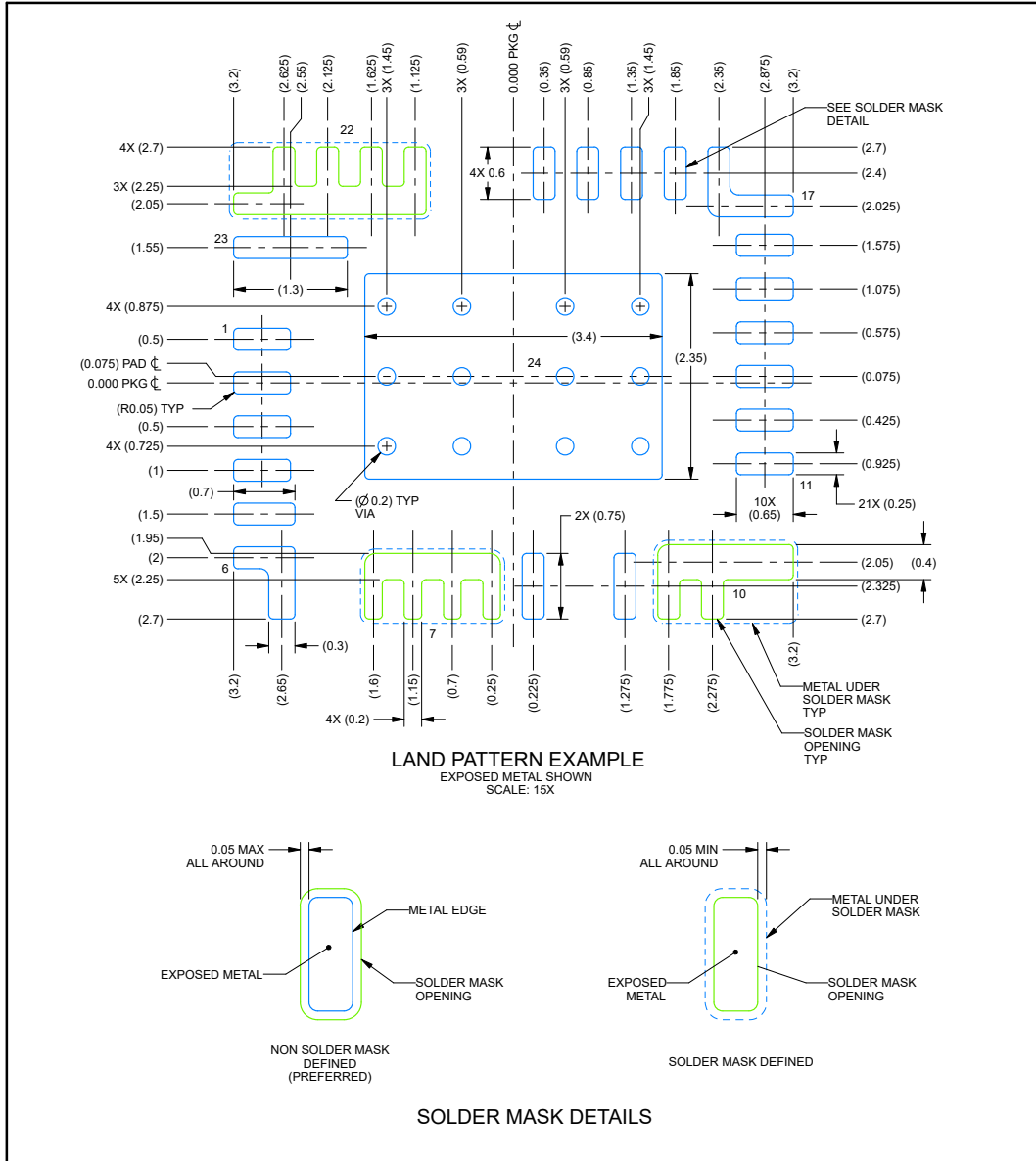
EXAMPLE BOARD LAYOUT

VMA0023A

LQFN-CLIP - 1.5 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



NOTES: (continued)

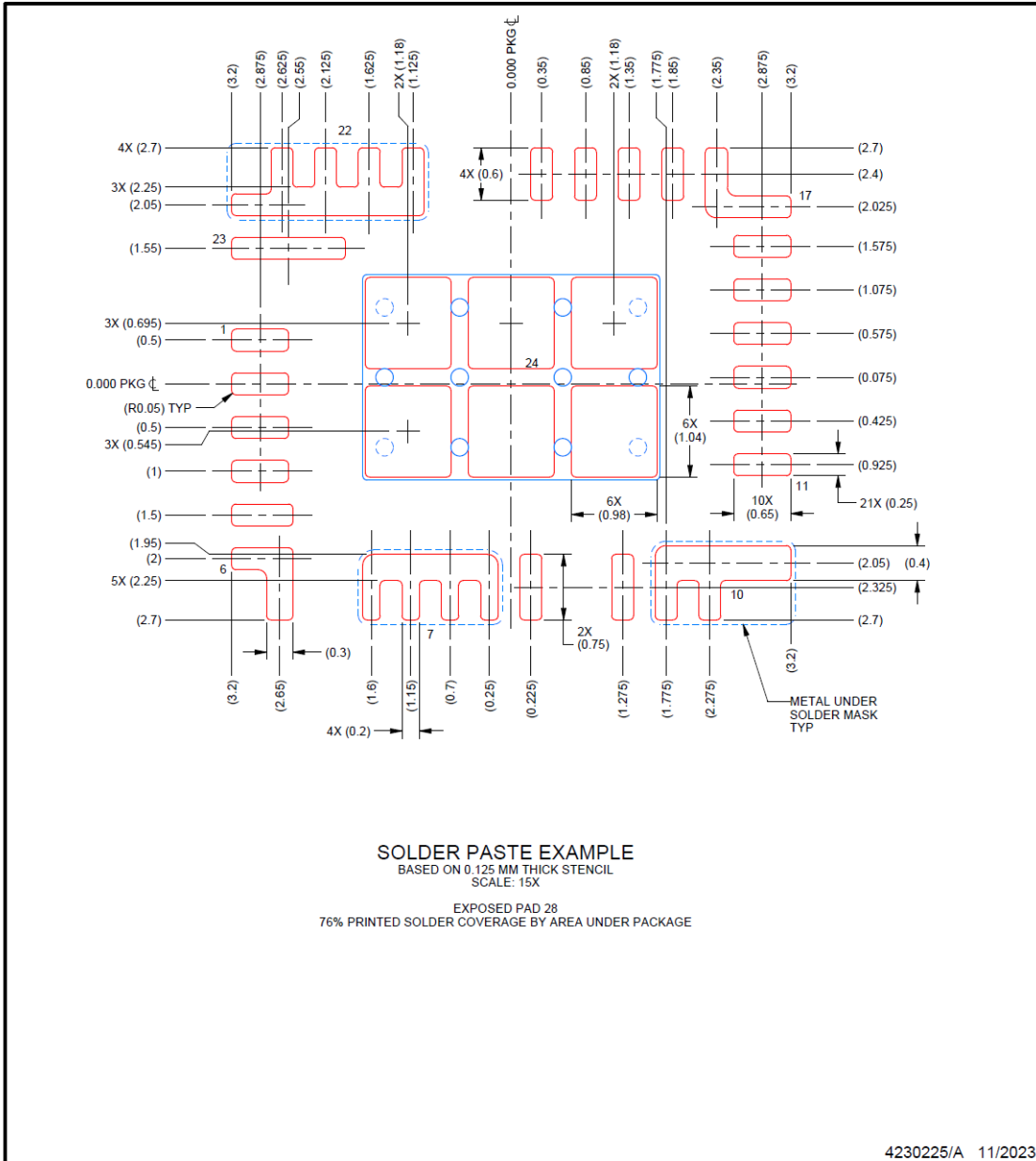
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VMA0023A

LQFN-CLIP - 1.5 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PTPS16850VMAR	ACTIVE	LQFN-CLIP	VMA	23	2500	TBD	Call TI	Call TI	-40 to 125		Samples
PTPS16851VMAR	ACTIVE	LQFN-CLIP	VMA	23	2500	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司