

TPS792 超低噪声、高 PSRR、快速射频、100mA、 低压降线性稳压器

1 特性

- 有关更新的器件产品组合，请参阅 [TPS7A20](#)
- 具有使能功能的 100mA 低压降稳压器
- 提供固定电压版本和可调节电压版本
- 低噪声：
 - $50 \mu\text{V}_{\text{RMS}}$ (旧芯片)
 - $69 \mu\text{V}_{\text{RMS}}$ (新芯片)
- 快速启动时间：
 - $50 \mu\text{s}$ (旧芯片)
 - $500 \mu\text{s}$ (新芯片)
- 超低压降电压：55mV (典型值)

2 应用

- [电视应用](#)
- [楼宇自动化](#)
- [智能手机和平板电脑](#)
- [联网外设和打印机](#)
- [家庭影院和娱乐应用](#)

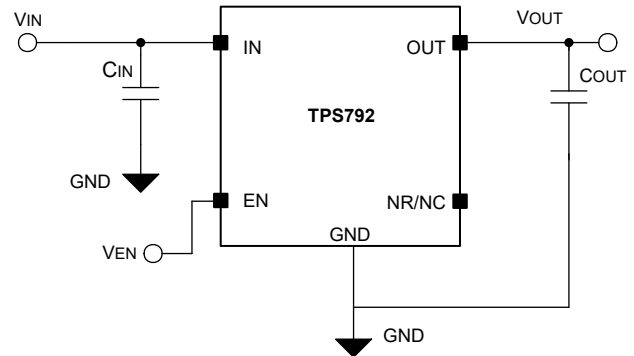
3 说明

TPS792 是一款低压降 (LDO) 稳压器，具有高电源抑制比 (PSRR)，并提供出色的线路和负载瞬态响应。该器件在输出端使用小型 $2.2\mu\text{F}$ 陶瓷电容器实现稳定工作。TPS792 提供低压降电压，例如 100mA 时为 55mV (典型值)。凭借低输出噪声和出色的 PSRR，此器件适用于功耗敏感型模拟负载。TPS792 提供灵活的后置稳压选项，具有可调节功能。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS792	DBV (SOT-23, 6)	2.9mm × 2.8mm
	DBV (SOT-23, 5)	2.9mm × 2.8mm

- (1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。
 (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



典型应用电路



内容

1 特性	1	7 应用和实施	18
2 应用	1	7.1 应用信息.....	18
3 说明	1	7.2 典型应用.....	21
4 引脚配置和功能	2	7.3 电源相关建议.....	23
5 规格	3	7.4 布局.....	23
5.1 绝对最大额定值.....	3	8 器件和文档支持	25
5.2 ESD 等级.....	3	8.1 器件支持.....	25
5.3 建议运行条件.....	3	8.2 文档支持.....	25
5.4 热性能信息.....	4	8.3 接收文档更新通知.....	25
5.5 电气特性.....	4	8.4 支持资源.....	25
5.6 典型特性.....	6	8.5 商标.....	25
6 详细说明	12	8.6 静电放电警告.....	26
6.1 概述.....	12	8.7 术语表.....	26
6.2 功能方框图.....	12	9 修订历史记录	26
6.3 特性说明.....	13	10 机械、封装和可订购信息	26
6.4 器件功能模式.....	17		

4 引脚配置和功能

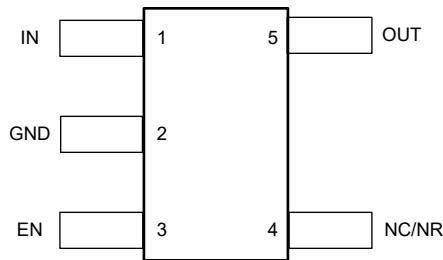


图 4-1. DBV 封装，5 引脚 SOT-23 固定电压版本（顶视图）

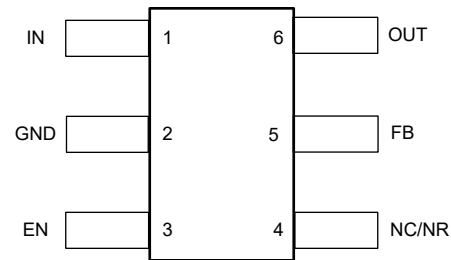


图 4-2. DBV 封装，6 引脚 SOT-23 可调节电压版本（顶视图）

表 4-1. 引脚功能

名称	引脚		I/O	说明
	DBV	YZQ		
EN	3	A3	I	使能引脚。驱动使能引脚 (EN) 为高电平打开稳压器。将这个引脚驱动为低电平来将稳压器置于关断模式。如未使用，EN 可被连接至 IN。
FB	5	—	I	反馈引脚。该端子是可调器件的反馈输入引脚。采用 DBV 封装的固定电压版本没有此引脚。
GND	2	A1	—	稳压器接地。
IN	1	C3	I	器件的输入。
NR/NC	4	B2	—	降噪引脚（仅限旧芯片）。将一个外部电容器连接到这个引脚来过滤由内部带隙生成的噪声。此配置仅针对旧芯片和 YZQ 封装改进了电源抑制并降低了输出噪声。 无连接引脚（仅限新芯片）。这个引脚不是内部连接。连接至 GND 以提高热性能或保持悬空。要降低固定器件的噪声性能，不妨查看 TPS7A20 。
OUT	6	C1	O	稳压器的输出。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电压	V_{IN} 、 V_{EN} 、 V_{OUT} (旧芯片)	-0.3	6	V
	V_{IN} 、 V_{EN} (新芯片)	-0.3	6.5	V
	V_{OUT} (新芯片)	-0.3	$V_{IN} + 0.3$ ⁽²⁾	
电流	输出, I_{OUT}	受内部限制		
温度	工作结温, T_J	-40	150	°C
	贮存温度, T_{stg}	-65	150	°C

- (1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 绝对最大额定值为 $V_{IN} + 0.3V$ 或 $6.5V$ (以较小者为准)。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, V 所有引脚 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V_{IN}	输入电压	2.7		5.5	V
V_{EN}	使能电压	0		5.5	V
V_{OUT}	输出电压	V_{FB}		5	V
I_{OUT}	输出电流	0		100	mA
T_J	工作结温	-40		125	°C
C_{IN}	输入电容器 (旧芯片)	0.1	1		µF
	输入电容器 (新芯片)	1			
C_{OUT}	输出电容器	2.2 ⁽¹⁾ ⁽²⁾	10		µF
C_{NR}	降噪电容器 ⁽³⁾	0	10		nF
C_{FF}	前馈电容器 (旧芯片)		15		pF
	前馈电容器 (新芯片) ⁽⁴⁾	0	10	100	nF
R_2	下部反馈电阻器 (旧芯片)		30.1		kΩ
F_{EN}	启用切换频率 (新芯片)			10	kHz

- (1) 如果未使用 C_{FF} 或 $V_{OUT(nom)} < 1.8V$, 则建议的最小 $C_{OUT} = 4.7\mu F$ 。
- (2) 仅新芯片的最小有效电容为 $0.47\mu F$ 。
- (3) 仅旧芯片。新芯片没有降噪引脚。有关更多信息, 请参阅引脚功能表。
- (4) 前馈电容器是可选的, 不是确保稳定性所必需的。

5.4 热性能信息

热指标 ⁽¹⁾		TPS792				单位
		DBV (SOT23-6)	DBV (SOT23-6) ⁽²⁾	DBV (SOT23-5)	DBV (SOT23-5) ⁽²⁾	
		6 引脚	6 引脚	5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	225.1	171.7	225.1	171.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	78.4	110.8	78.4	110.8	°C/W
$R_{\theta JB}$	结至电路板热阻	54.7	85.4	54.7	85.4	°C/W
ψ_{JT}	结至顶部特征参数	3.3	54.4	3.3	54.4	°C/W
ψ_{JB}	结至电路板特征参数	53.8	85.2	53.8	85.2	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装](#) 应用手册。

(2) 新芯片。

5.5 电气特性

在建议的工作温度范围内测得, $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{EN} = V_{IN}$, $V_{IN} = V_{O(typ)} + 1\text{V}$, $I_{OUT} = 1\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{NR} = 0.01\mu\text{F}$ (旧芯片) (除非另有说明)。所有典型值均在 $T_J = 25^{\circ}\text{C}$ 下测得。

参数	测试条件	最小值	典型值	最大值	单位	
V_{OUT}	输出精度	TPS79201 ⁽¹⁾ $0\mu\text{A} < I_{OUT} < 100\text{mA}$, $1.22\text{V} < V_{OUT} < 5.2\text{V}$	$0.98V_{OUT}$	V_{OUT}	$1.02V_{OUT}$	V
		TPS79225 (仅旧芯片) $0\mu\text{A} < I_{OUT} < 100\text{mA}$, $1.22\text{V} < V_{OUT} < 5.2\text{V}$	2.45	2.5	2.55	V
		TPS79228 (仅旧芯片) $0\mu\text{A} < I_{OUT} < 100\text{mA}$, $1.22\text{V} < V_{OUT} < 5.2\text{V}$	2.744	2.8	2.856	V
		TPS79230 $0\mu\text{A} < I_{OUT} < 100\text{mA}$, $4\text{V} < V_{IN} < 5.5\text{V}$	2.94	3	3.06	
I_{GND}	静态电流 (GND 电流)	$0\mu\text{A} \leq I_O \leq 100\text{mA}$ (旧芯片)	170	250	μA	
		$0\mu\text{A} \leq I_O \leq 100\text{mA}$ (新芯片)	250	1000		
$\Delta V_{OUT} / \Delta I_{OUT}$	负载调整率 ⁽²⁾	$0\mu\text{A} \leq I_{OUT} \leq 100\text{mA}$	5		mV	
$\Delta V_{OUT} / \Delta V_{IN}$	线路调整	$V_{OUT} + 1\text{V} \leq V_{IN} \leq 5.5\text{V}$	0.05	0.12	%/V	
V_n	输出噪声电压 (TPS7928) (仅限旧芯片)	BW = 100Hz 至 100kHz, $I_{OUT} = 100\text{mA}$ $C_{NR} = 0.001\mu\text{F}$		50	μV_{RMS}	
		BW = 100Hz 至 100kHz, $I_{OUT} = 100\text{mA}$ $C_{NR} = 0.0047\mu\text{F}$		33		
		BW = 100Hz 至 100kHz, $I_{OUT} = 100\text{mA}$ $C_{NR} = 0.01\mu\text{F}$		31		
		BW = 100Hz 至 100kHz, $I_{OUT} = 100\text{mA}$ $C_{NR} = 0.1\mu\text{F}$		27		
	输出噪声电压 (TPS79230)	BW = 100Hz 至 100kHz, $I_{OUT} = 100\text{mA}$ (新芯片)		69		
t_{STR}	启动时间 (TPS79230)	$R_L = 14\Omega$, $C_{OUT} = 1\mu\text{F}$	$C_{NR} = 0.001\mu\text{F}$	50	μs	
			$C_{NR} = 0.0047\mu\text{F}$	70		
			$C_{NR} = 0.01\mu\text{F}$	90		
			(新芯片)	500		

5.5 电气特性 (续)

在建议的工作温度范围内测得, $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{EN} = V_{IN}$, $V_{IN} = V_{O(typ)} + 1\text{V}$, $I_{OUT} = 1\text{mA}$, $C_{OUT} = 10\mu\text{F}$, $C_{NR} = 0.01\mu\text{F}$ (旧芯片) (除非另有说明)。所有典型值均在 $T_J = 25^{\circ}\text{C}$ 下测得。

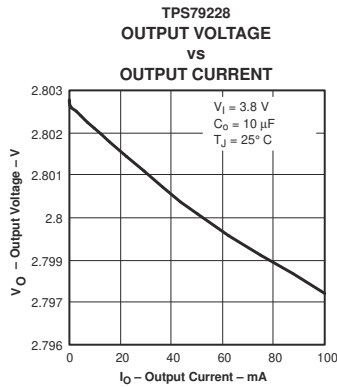
参数		测试条件		最小值	典型值	最大值	单位
I_{CL}	输出电流限制	$V_{OUT} = 0\text{V}$ (旧芯片)		285		600	mA
I_{CL}	输出电流限制	$V_{IN} = V_{OUT(NOM)} + 1\text{V}$, $V_{OUT} = 0.9 \times V_{OUT(NOM)}$ (仅限新芯片)		320		460	mA
I_{SC}	短路电流限制	$V_{OUT} = 0\text{V}$ (新芯片)			175		mA
I_{SHDN}	关断电流	$V_{EN} = 0\text{V}$, $2.7\text{V} < V_I < 5.5\text{V}$ (旧芯片)			0.07	1	μA
		$V_{EN} = 0\text{V}$, $2.7\text{V} < V_I < 5.5\text{V}$ (新芯片)			0.01	1	
$V_{EN(HI)}$	高电平使能输入电压	$2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$		1.7		V_{IN}	V
$V_{EN(HI)}$	高电平使能输入电压	$2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$ (新芯片)		0.85		V_{IN}	V
$V_{EN(LOW)}$	低电平使能输入电压	$2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$		0		0.7	V
$V_{EN(LOW)}$	低电平使能输入电压	$2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$ (新芯片)		0		0.425	V
I_{EN}	使能引脚电流	$V_{EN} = 0\text{V}$		-1		1	μA
V_{REF}	内部基准 (TPS79201)			1.201	1.225	1.25	V
PSRR	电源抑制比 (TPS79228)	f = 100Hz	$I_{OUT} = 10\text{mA}$ (旧芯片)		70		dB
	电源抑制比 (TPS79230)		$I_{OUT} = 10\text{mA}$ (新芯片)		64		
	电源抑制比 (TPS79228)		$I_{OUT} = 100\text{mA}$ (旧芯片)		72		
	电源抑制比 (TPS79230)		$I_{OUT} = 100\text{mA}$ (新芯片)		64		
	电源抑制比 (TPS79228)	f = 10kHz	$I_{OUT} = 100\text{mA}$ (旧芯片)		75		
	电源抑制比 (TPS79230)		$I_{OUT} = 100\text{mA}$ (新芯片)		49		
	电源抑制比 (TPS79228)	f = 100kHz	$I_{OUT} = 100\text{mA}$ (旧芯片)		47		
	电源抑制比 (TPS79230)		$I_{OUT} = 100\text{mA}$ (新芯片)		39		
$V_{DO}^{(3)}$	压降电压 (TPS79228)	$V_{IN} = V_{OUT} - 0.1\text{V}$, $I_{OUT} = 100\text{mA}$ (仅限旧芯片)			60	110	mV
	压降电压 (TPS79230)	$V_{IN} = V_{OUT} - 0.1\text{V}$, $I_{OUT} = 100\text{mA}$			55	100	
V_{UVLO}	UVLO 阈值	V_{IN} 上升 (旧芯片)		2.25		2.65	V
		V_{IN} 上升 (新芯片)		1.32		1.6	
$V_{UVLO(HYST)}$	UVLO 迟滞	$T_J = 25^{\circ}\text{C}$, V_{CC} 上升 (旧芯片)			100		mV
		$T_J = 25^{\circ}\text{C}$, V_{CC} 上升 (新芯片)			130		

(1) 最小 IN 工作电压为 2.7V 或 $V_{O(typ)} + 1\text{V}$, 以较大者为准。最大 IN 电压为 5.5V。最大输出电流为 100mA。

(2) 如果 $V_{OUT} \leq 2.5\text{V}$, 则 $V_{IN(min)} = 2.7\text{V}$, $V_{IN(max)} = 5.5\text{V}$; 线路调整 (mV) = (%/V) * $V_{OUT} (V_{IN(max)} - 2.7\text{V}) / 100 * 100$

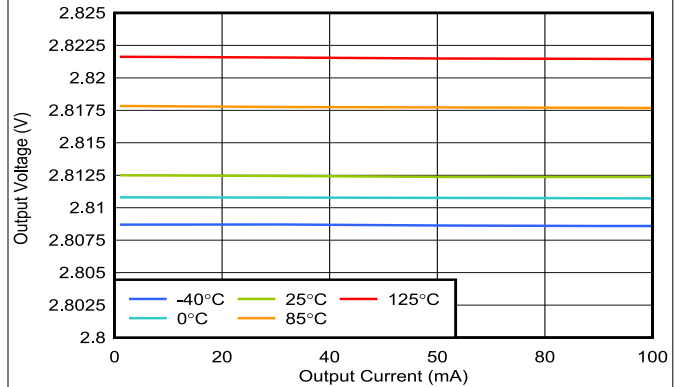
(3) IN 电压等于 $V_{OUT(nom)} - 100\text{mV}$; TPS79225 压降电压受输入电压范围限制。

5.6 典型特性



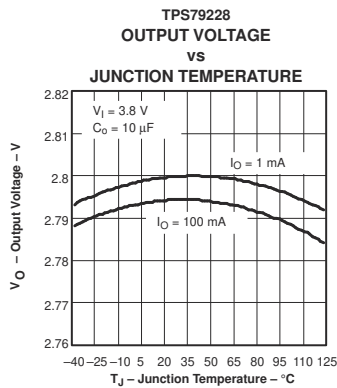
旧芯片

图 5-1. TPS792 输出电压与输出电流间的关系



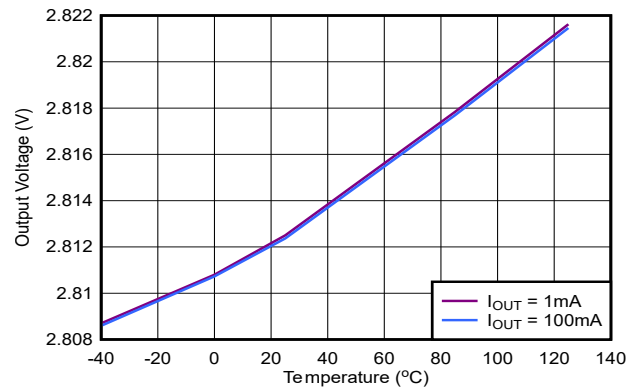
新芯片

图 5-2. TPS792 输出电压与输出电流间的关系



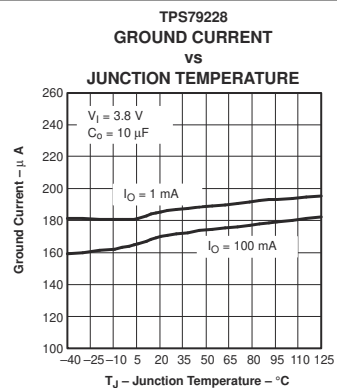
旧芯片

图 5-3. TPS792 输出电压与结温间的关系



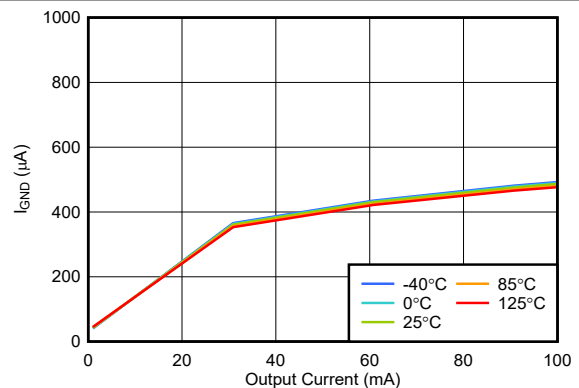
新芯片

图 5-4. TPS792 输出电压与结温间的关系



旧芯片

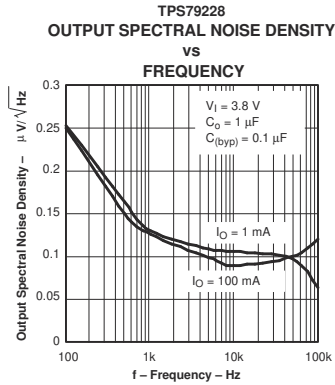
图 5-5. TPS792 接地电流与结温间的关系



新芯片

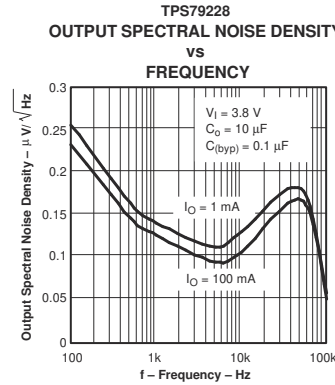
图 5-6. TPS792 接地电流与 I_{OUT} 间的关系

5.6 典型特性 (续)



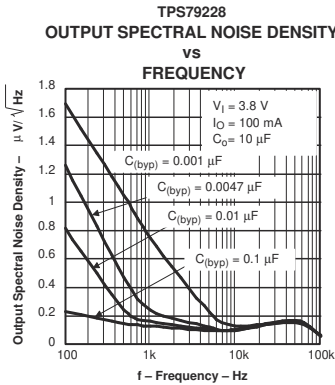
旧芯片

图 5-7. TPS792 输出频谱噪声密度与频率间的关系



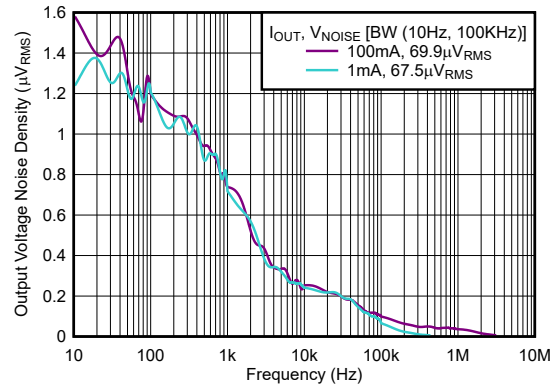
旧芯片

图 5-8. TPS792 输出频谱噪声密度与频率间的关系



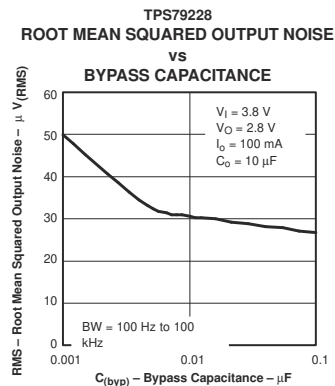
旧芯片

图 5-9. TPS792 输出频谱噪声密度与频率间的关系



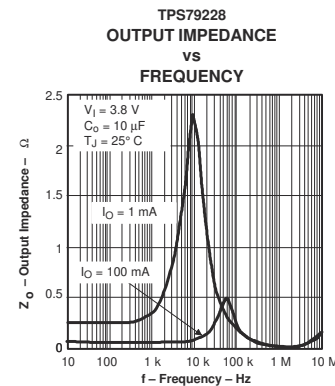
新芯片

图 5-10. TPS792 输出频谱噪声密度与频率间的关系



旧芯片

图 5-11. 均方根输出噪声与旁路电容间的关系



旧芯片

图 5-12. 输出阻抗与频率间的关系

5.6 典型特性 (续)

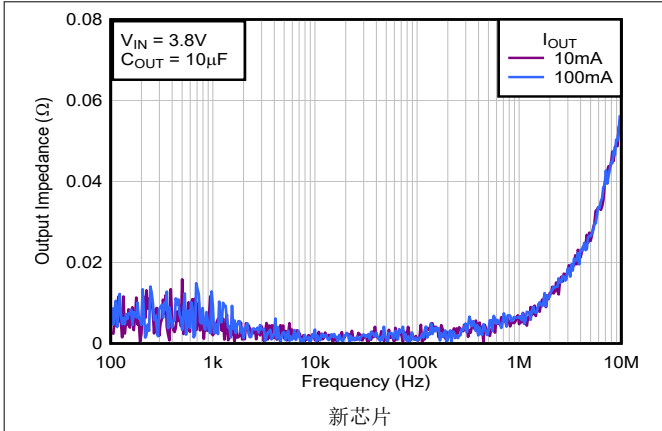


图 5-13. 输出阻抗与频率间的关系

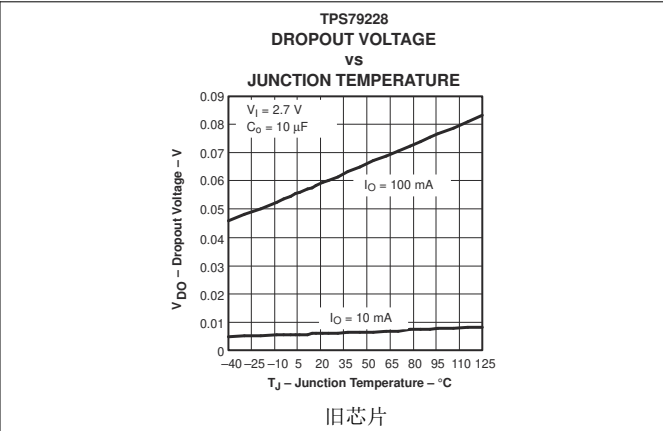


图 5-14. TPS792 压降电压与结温间的关系

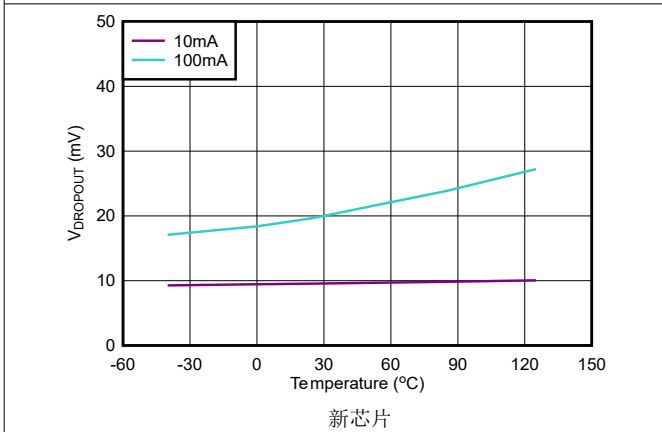


图 5-15. TPS792 压降电压与结温间的关系

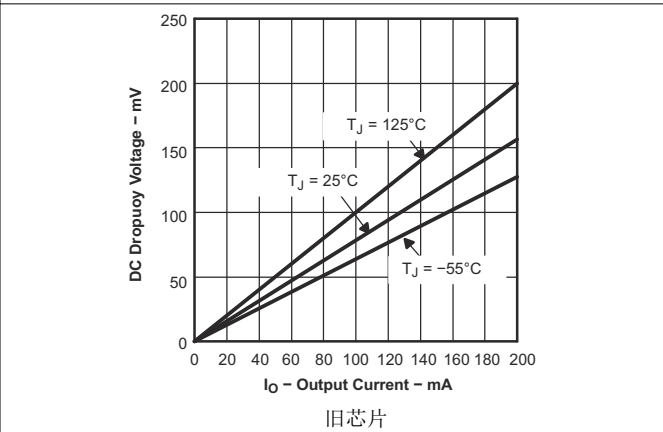


图 5-16. 压降电压与输出电流间的关系

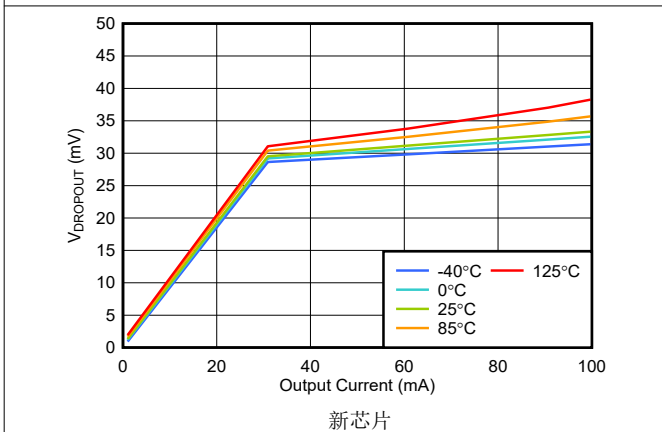


图 5-17. 压降电压与输出电流间的关系

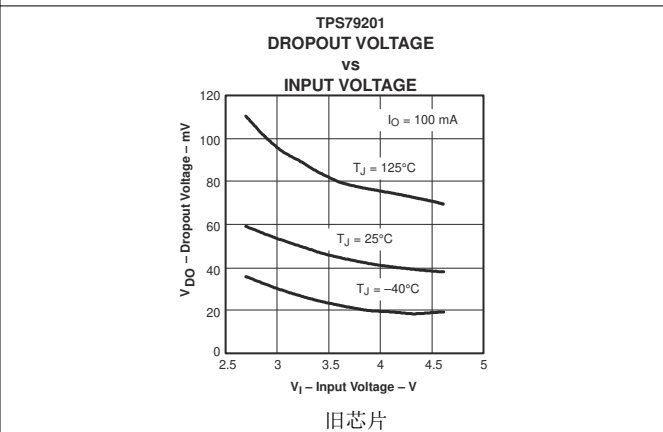


图 5-18. TPS792 压降电压与输入电压间的关系

5.6 典型特性 (续)

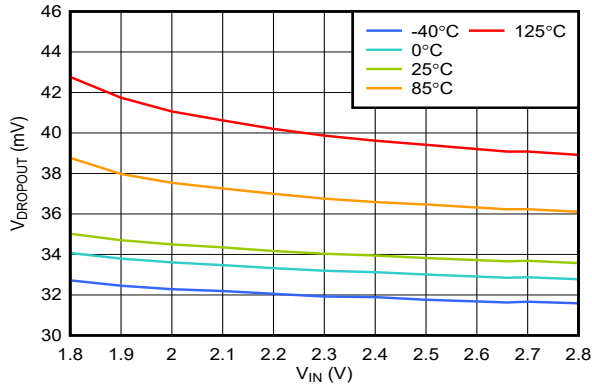


图 5-19. TPS792 压降电压与输入电压间的关系

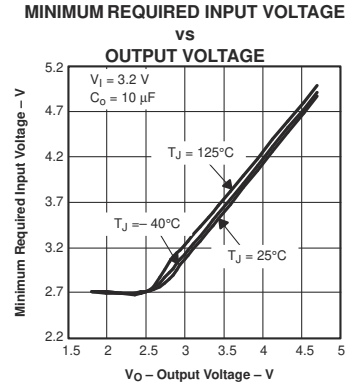


图 5-20. 所需的最小输入电压与输出电压间的关系

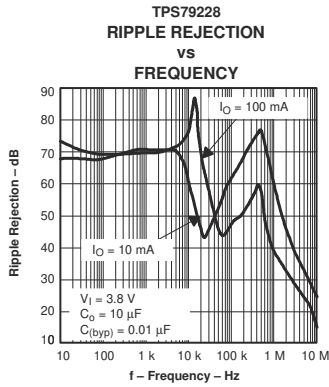


图 5-21. TPS792 波纹抑制与频率

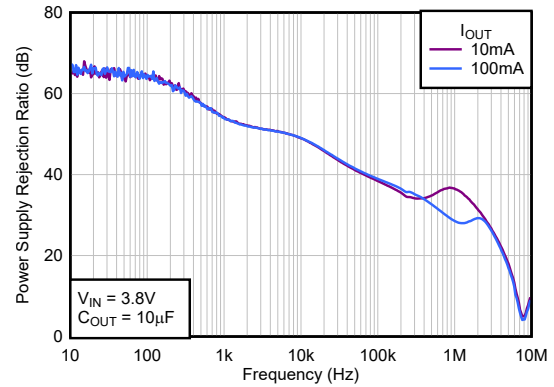


图 5-22. TPS792 波纹抑制与频率

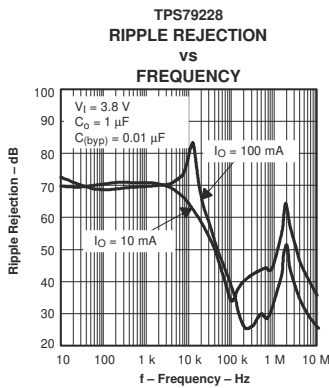


图 5-23. TPS792 波纹抑制与频率

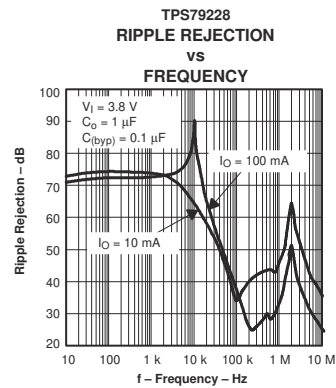


图 5-24. TPS792 波纹抑制与频率

5.6 典型特性 (续)

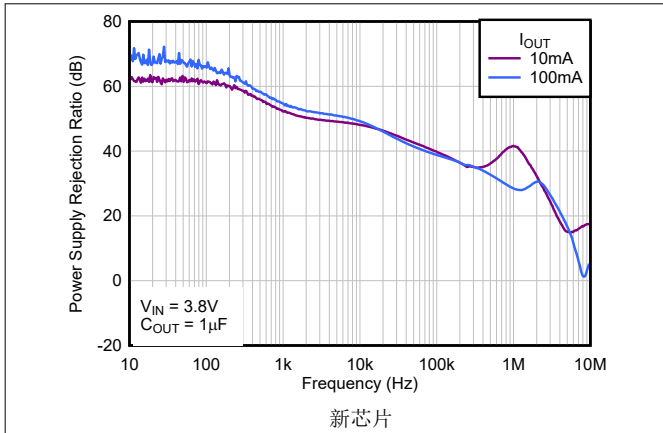


图 5-25. TPS792 波纹抑制与频率

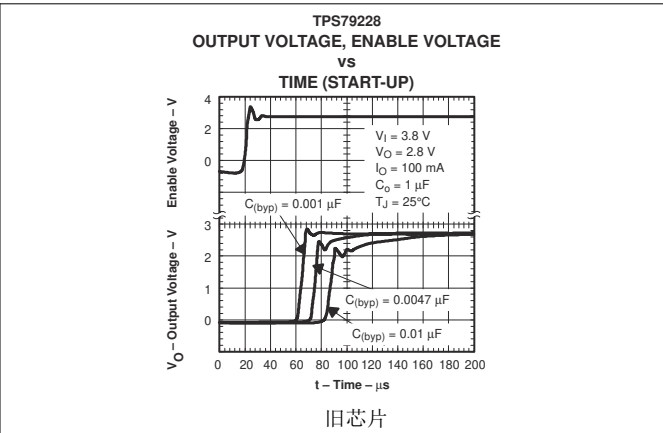


图 5-26. TPS792 输出电压和使能电压与时间之间的关系 (启动)

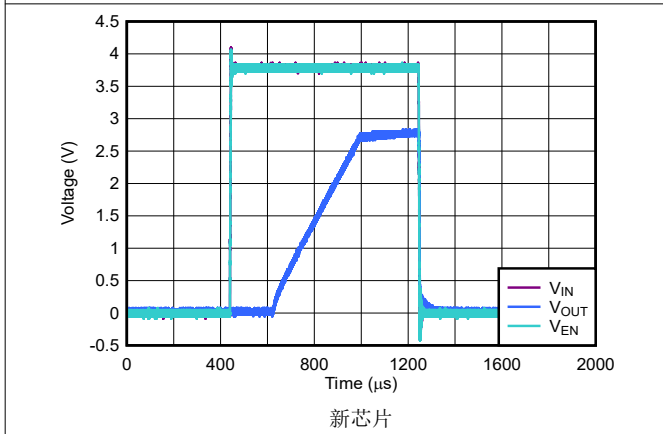


图 5-27. TPS792 输出电压和使能电压与时间之间的关系 (启动)

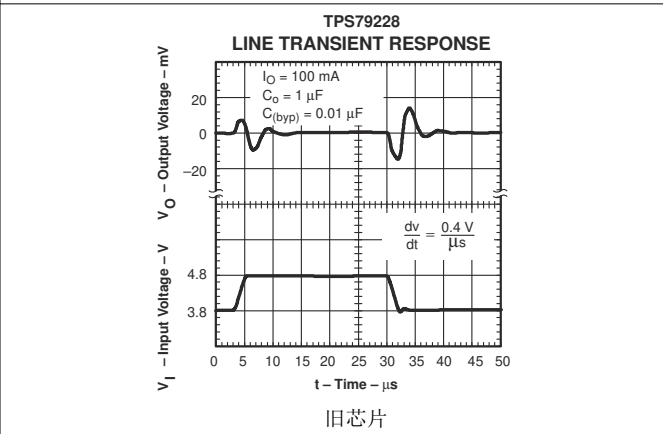


图 5-28. TPS792 线路瞬态响应

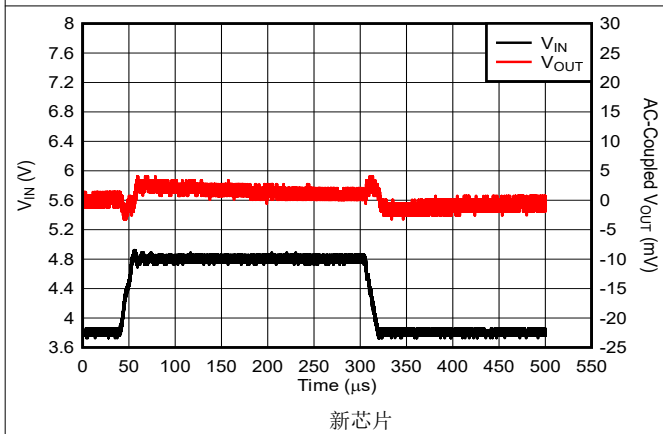


图 5-29. TPS792 线路瞬态响应

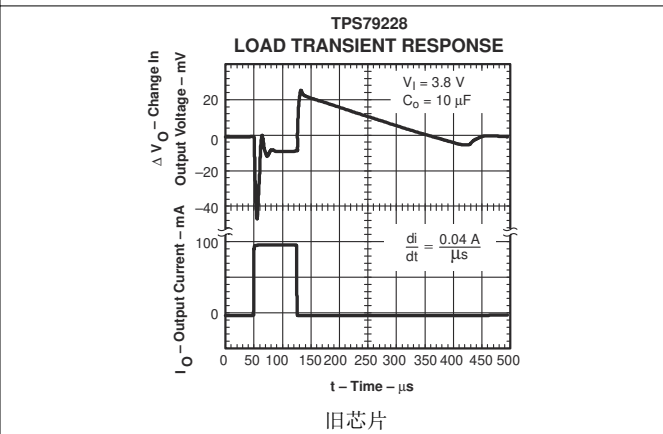
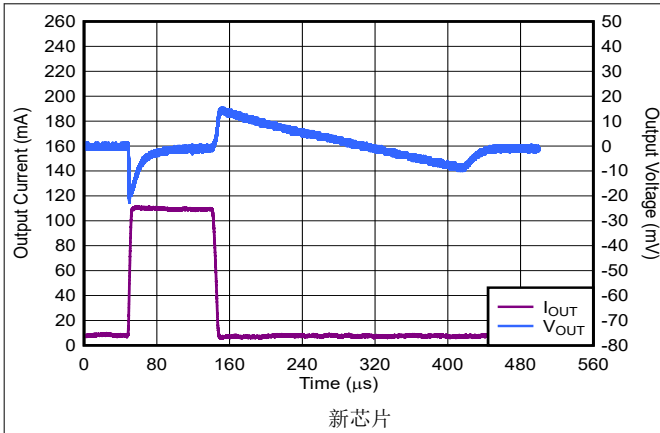
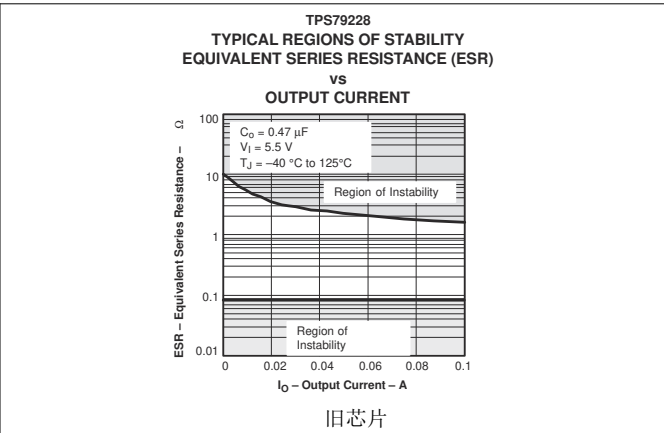


图 5-30. TPS792 负载瞬态响应

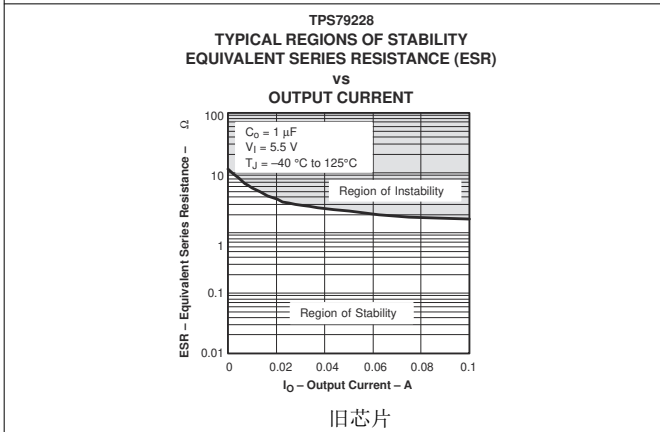
5.6 典型特性 (续)



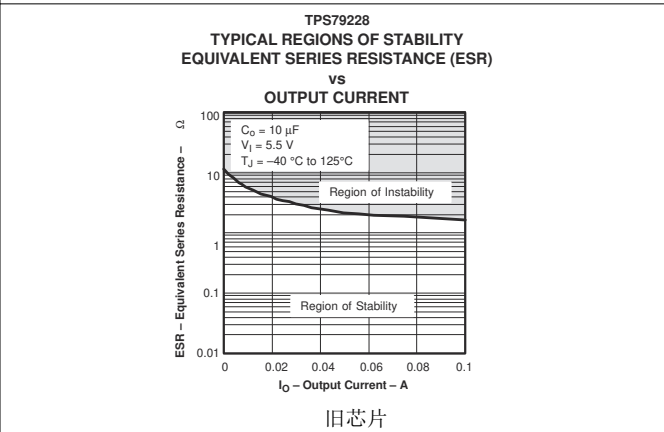
新芯片
图 5-31. TPS792 负载瞬态响应



旧芯片
图 5-32. 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系



旧芯片
图 5-33. 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系



旧芯片
图 5-34. 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系

6 详细说明

6.1 概述

TPS792xx 系列 LDO 稳压器经过优化，适用于噪声敏感型电池供电设备。该器件具有极低压降电压、高 PSRR、超低输出噪声、低静态电流和使能输入，可在稳压器关闭时将电源电流降至 $1 \mu A$ 以下。

6.2 功能方框图

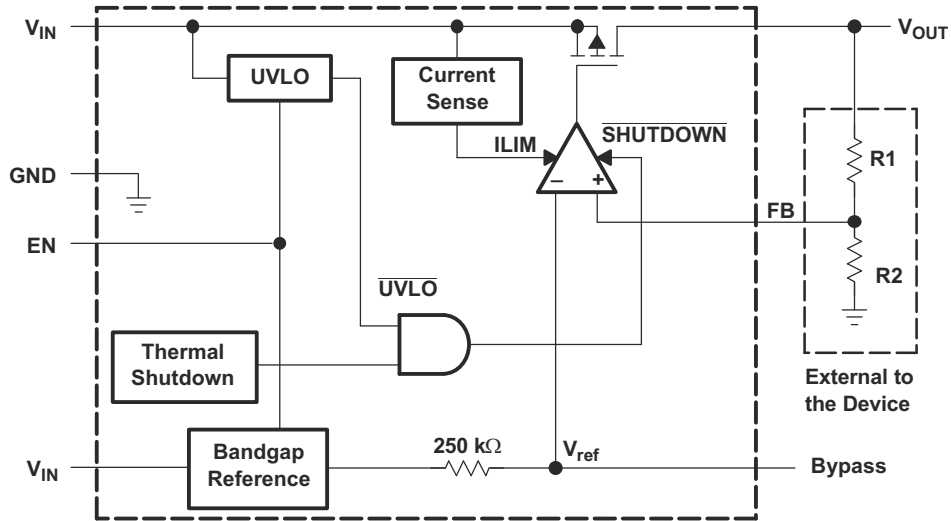


图 6-1. 功能方框图 - 可调节版本 (旧芯片)

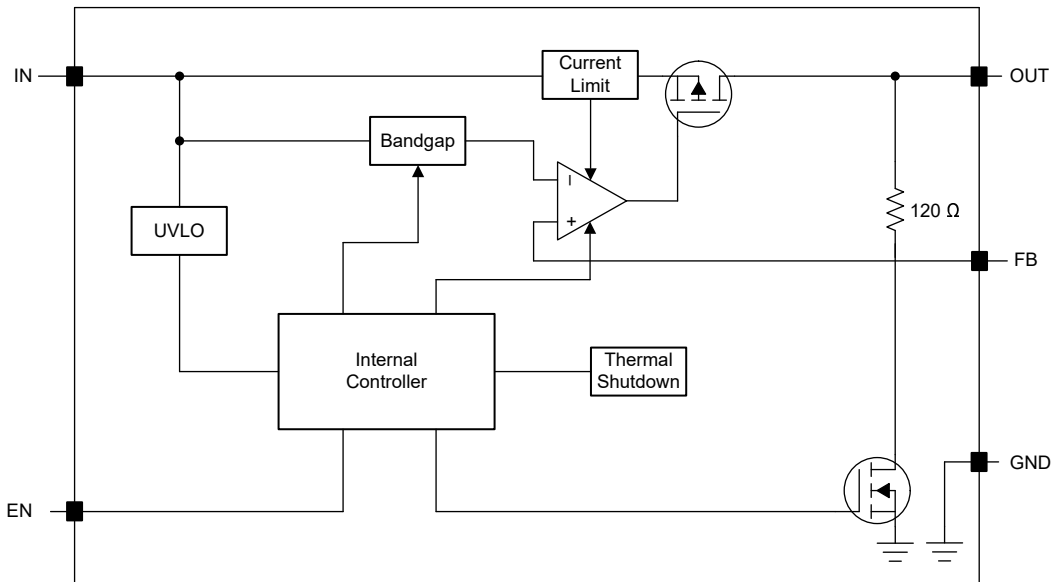


图 6-2. 功能方框图 - 可调节版本 (新芯片)

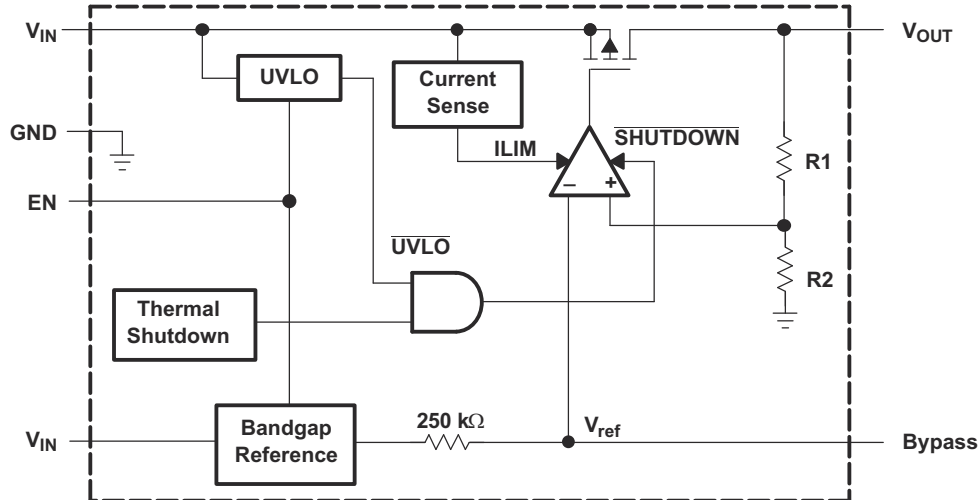


图 6-3. 功能方框图 - 固定版本 (旧芯片)

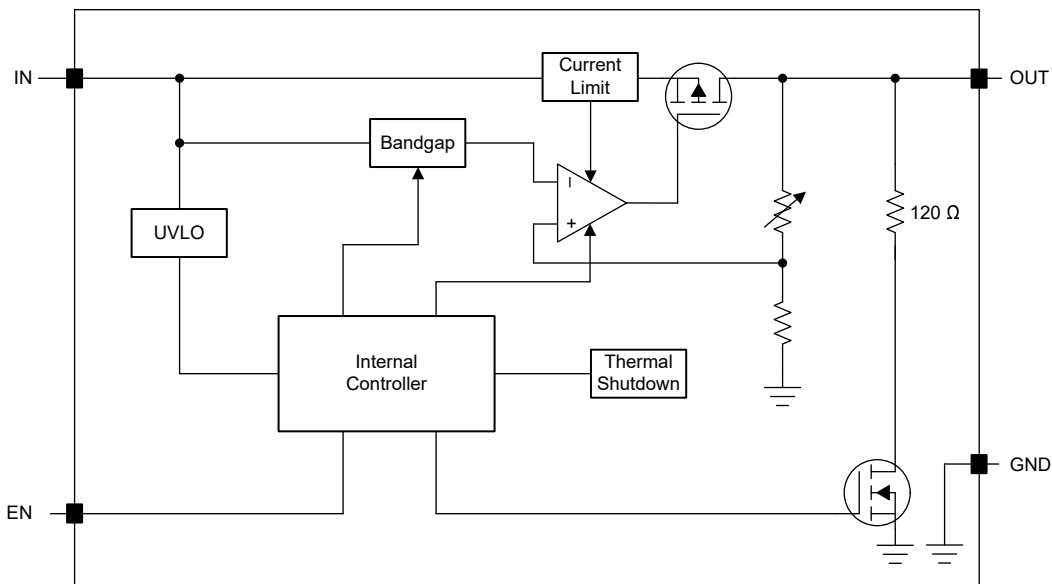


图 6-4. 功能方框图 - 固定版本 (新芯片)

6.3 特性说明

6.3.1 欠压锁定 (UVLO)

TPS792xx 使用欠压锁定 (UVLO) 电路，该电路会禁用输出，直到输入电压大于上升的 UVLO 电压。该电路可确保当电源电压低于内部电路工作电压 $V_{IN(min)}$ 时，器件不会出现任何不可预测的行为。

6.3.2 关断

使能引脚 (EN) 为高电平有效。通过强制 EN 引脚超过 $V_{EN(high)}$ (最小 2V) 来启用器件。通过强制 EN 引脚降至低于 0.7V 来关闭器件。如果不需要关断功能，请将 EN 连接到 IN。

6.3.3 有源放电 (新芯片)

该器件具有一个内部下拉 MOSFET，当器件被禁用以主动释放输出电压时，该内部下拉 MOSFET 会将电阻 $R_{PULLDOWN}$ 接地。有源放电电路由使能引脚激活。

请勿依赖有源放电电路在输入电源崩溃后对输出电压进行放电，因为反向电流可能会从输出端流向输入端。这种反向电流会导致器件损坏，尤其是在使用大输出电容器时。在短时间内将反向电流限制为不超过器件额定电流的5%。

6.3.4 折返电流限制

TPS792 的旧芯片具有内部电流限制和热保护功能。在正常运行期间，TPS792 将输出电流限制在大约 400mA。当启用限流功能时，输出电压会线性缩减，直到过流情况结束。虽然电流限制旨在防止器件发生严重故障，但必须注意不得超过封装的功率耗散额定值或器件的绝对最大额定电压。

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制采用混合砖墙式折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为短路电流限制 (I_{SC}) 的典型电流。电气特性表中列出了 I_{CL} 和 I_{SC} 。

对于此器件， $V_{FOLDBACK} = 0.4 \times V_{OUT(NOM)}$ 。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ 。当器件输出短路且输出低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 $[(V_{IN} - V_{OUT}) \times I_{SC}]$ 。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 [了解限制应用报告](#)。

图 6-5 显示了折返电流限制图。

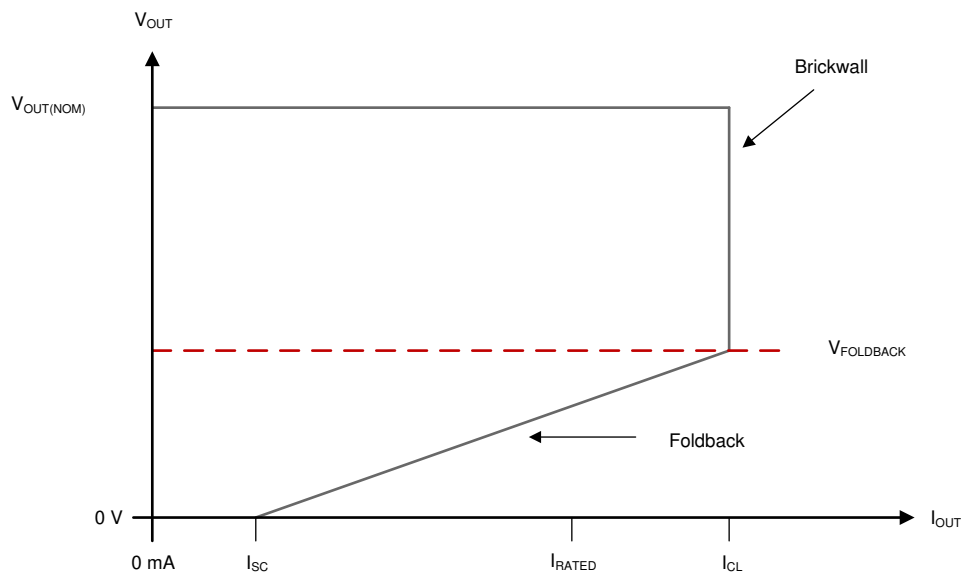


图 6-5. 折返电流限制

6.3.5 热保护

当结温上升至大约 165°C 时，过热保护会禁用输出以使器件冷却。当结温冷却至大约 140°C 时，输出电路将被重新使能。根据功耗、热阻和环境温度的变化，过热保护电路可能会循环开关。这一循环操作会限制稳压器耗散，防止器件因过热而损坏。任何有可能激活过热保护电路的情况表示过多的功率耗散或者不够充分的散热。为了实

现可靠运行，结温必须被限制为最高 125°C。为了估算一个完整设计中（包括散热）的安全裕量，增加环境温度直到触发过热保护；使用最差情况负载和信号条件。

TPS792xx 内部保护电路旨在防止出现过载情况。该电路并不是为了取代适当的散热装置。TPS792xx 持续不断地运行至热关断状态会降低器件的可靠性。

6.3.6 反向电流

TPS792xx PMOS 导通晶体管的旧芯片具有内置背二极管，能够在输入电压降至输出电压以下时（例如断电期间）导通反向电流。电流是从输出传导到输入，不受内部限制。如果要在较高的反向电压下工作，建议将该电流限制在额定输出电流的 5% 范围内。

TPS792xx 的新芯片与大多数新型 LDO 一样，反向电流过大可能会损坏该器件。

反向电流流经导通元件上的体二极管，而不是正常的传导通道。如果幅度较大，该电流会因出现以下情况之一，从而降低器件的长期可靠性：

- 由电迁移引起的退化
- 过度散热
- 可能导致闩锁

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} > V_{IN} + 0.3V$ 的绝对最大额定值：

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，则必须使用外部保护来保护器件。下图展示了保护器件的一种方法。

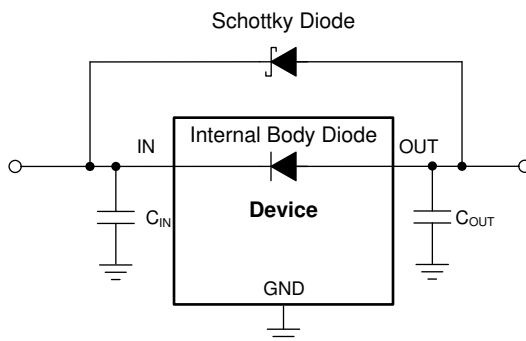


图 6-6. 使用肖特基二极管的反向电流保护示例电路

6.4 器件功能模式

6.4.1 正常运行

在下列条件下，器件的输出电压会稳定在标称值：

- 输入电压至少可高达 $V_{IN(min)}$ 。
- 输入电压高于标称输出电压与压降电压之和。
- 使能电压大于 $V_{EN(min)}$ 。
- 输出电流低于电流限值。
- 器件结温低于最大指定结温。

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此运行模式下，输出电压等于输入电压与压降电压之差。器件的瞬态性能会显著下降，因为导通器件处于线性区域，不再控制流过 LDO 的电流。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

6.4.3 禁用

在下列情况下，该器件被禁用：

- 使能电压小于使能下降阈值电压或尚未超过使能上升阈值。
- 器件结温大于热关断温度。
- 输入电压低于 $UVLO_{falling}$ 。

表 6-1 列出了促成不同工作模式的条件。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常模式	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(high)}$	$I_{OUT} < I_{LIM}$	$T_J < 125^{\circ}C$
压降模式	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(high)}$	—	$T_J < 125^{\circ}C$
禁用模式 (任何真条件都会禁用该器件)	$V_{IN} < UVLO_{falling}$	$V_{EN} < V_{EN(low)}$	—	$T_J > 165^{\circ}C^{(1)}$

(1) 热关断的近似值

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPS792xx 系列 LDO 稳压器经过优化，适用于噪声敏感型电池供电设备。该器件具有极低压降电压、高 PSRR、低输出噪声、低静态电流和使能输入，可在稳压器关闭时将电源电流降至 1 μ A 以下。

7.1.1 可调节运行

如下图所示，使用外部电阻分压器对 TPS792xx01 可调节稳压器的输出电压进行编程。使用以下公式计算输出电压：

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_1}{R_2} \right) \quad (1)$$

其中：

- $V_{REF} = 1.2246V$ 典型值 (内部基准电压)

必须选择电阻 R_1 和 R_2 ，以获得大约 50 μ A 分压器电流。较低值的电阻器可用于提高噪声性能，但该解决方案会消耗更多功率。较高的电阻值可能会导致精度问题和其他问题。推荐的设计过程是选择 $R_2 = 30.1k\Omega$ 来将分压器电流设置为 50 μ A、 $C_{FF} = 15pF$ 以确保稳定性，然后使用以下公式计算 R_1 ：

$$R_1 = \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \times R_2 \quad (2)$$

为了提高可调节版本的稳定性，请在 OUT 和 FB 之间放置一个小型补偿电容器。对于小于 1.8V 的输出电压，该电容器的值必须为 100pF。对于高于 1.8V 的输出电压，可以按照以下公式中所示计算该电容器的近似值：

$$C_{FF} = \frac{(3 \times 10^{-7}) \times (R_1 + R_2)}{(R_1 \times R_2)} \quad (3)$$

下图中的表显示了该电容器在多个电阻比下的建议值。如果不使用此电容器 (例如在单位增益配置中) 或选择小于 1.8V 的输出电压，则建议使用的最小输出电容器是 4.7 μ F 而非 2.2 μ F。

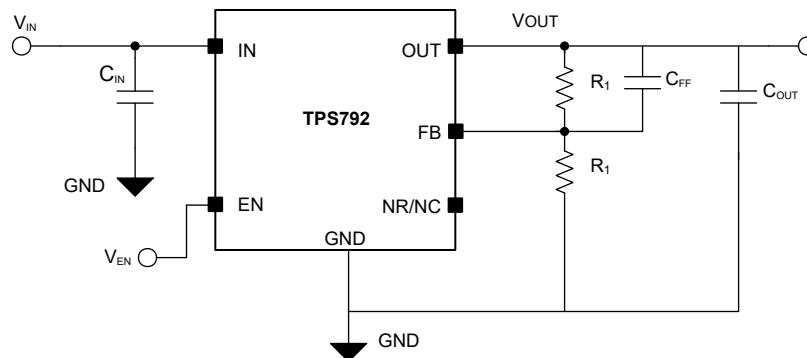


表 7-1. 输出电压编程指南

输出电压	R ₁	R ₂	C _{FF}
1.22V	短路	开路	0pF
2.5V	31.6k Ω	30.1k Ω	22pF
3.3V	51k Ω	30.1k Ω	15pF
3.6V	59k Ω	30.1k Ω	15pF

图 7-1. TPS792xx01 可调节 LDO 稳压器编程

7.1.2 退出压降

某些应用具有会使 LDO 进入压降状态的瞬态，例如启动期间 V_{IN} 上的斜坡较慢。与其他 LDO 一样，从这些条件中恢复时，输出可能会过冲。当压摆率和电压电平处于正确范围内时，斜升输入电源会导致 LDO 在启动时过冲，如图 7-2 所示。使用使能信号来避免这种情况。

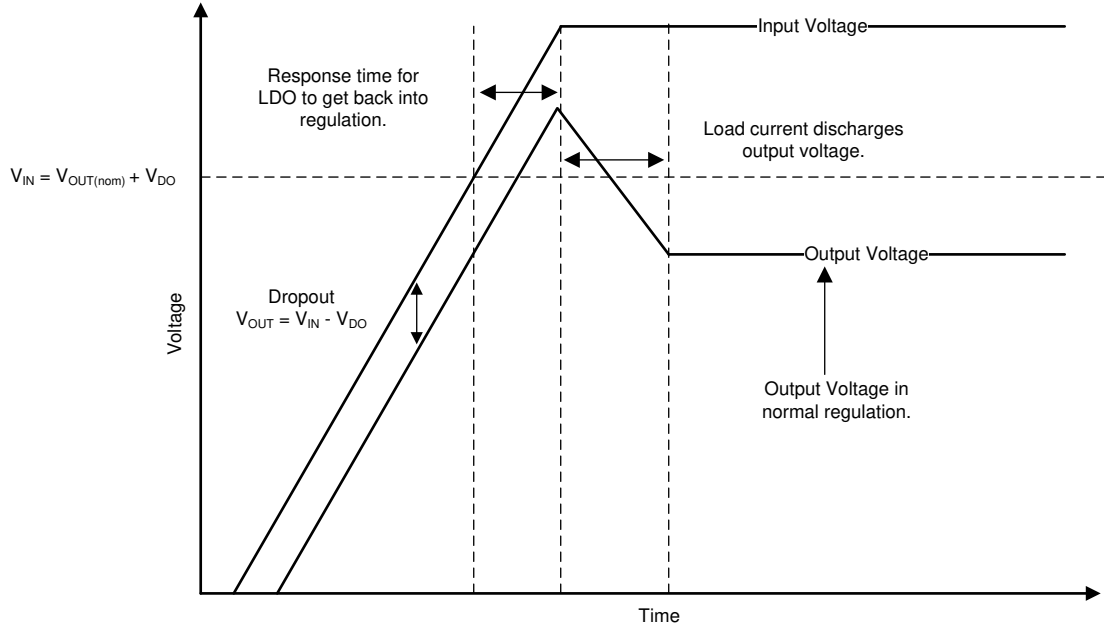


图 7-2. 启动至压降

超出压降的线路瞬变也会导致稳压器输出过冲。这些过冲是由于误差放大器驱动导通元件的栅极电容并将栅极恢复到正确电压以进行适当调节。图 7-3 说明了栅极电压在内部发生的情况，以及如何在运行期间引起过冲。当 LDO 处于压降状态时，栅极电压 (V_{GS}) 会一直下拉至接地，以便为通流器件提供尽可能低的导通电阻。但是，如果器件处于压降状态时发生线路瞬变，则环路未处于稳压状态，并可能导致输出过冲，直到环路响应、输出电流将输出电压拉回到稳压状态。如果这些瞬变不可接受，则继续在系统中添加输入电容，直到瞬态足够慢，可以减少过冲。

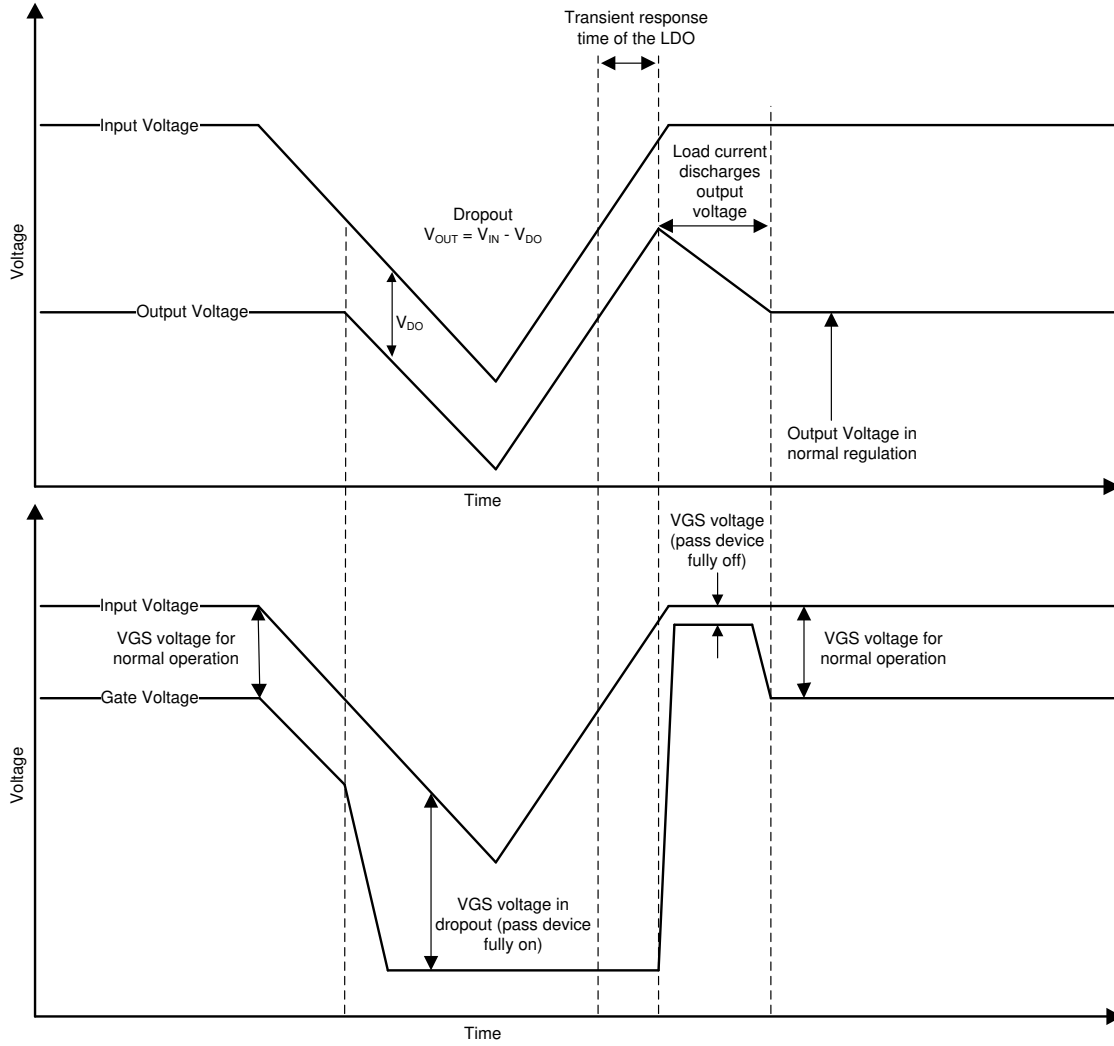


图 7-3. 压降产生的线路瞬变

7.2 典型应用

图 7-4 中显示了一个典型应用电路。

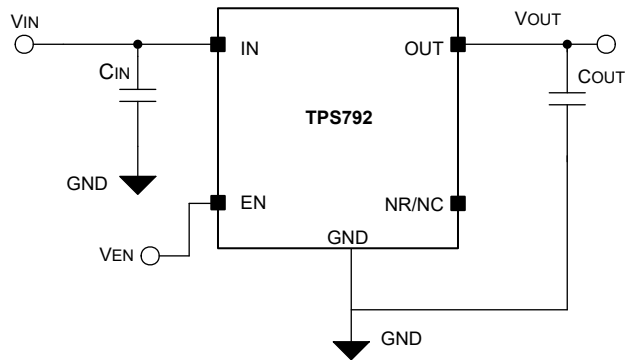


图 7-4. 典型应用电路

7.2.1 设计要求

表 7-2 列出了设计要求。

表 7-2. 设计参数

参数	设计要求
输入电压	3V 至 4V (锂离子电池)
输出电压	2.8V
直流输出电流	10mA
峰值输出电流	75mA
最高环境温度	65°C

7.2.2 详细设计过程

7.2.2.1 电容器推荐

必须为输入、输出、降噪和旁路电容器使用低等效串联电阻 (ESR) 电容器。首选采用 X7R 和 X5R 电介质的陶瓷电容器。这些电介质的特性更加稳定。陶瓷 X7R 电容器提供了改进的过热性能，而陶瓷 X5R 电容器更具成本效益，可提供更高的电容值。

7.2.2.2 输入和输出电容器要求

0.1 μF 或更大的陶瓷输入旁路电容器连接在 IN 和 GND 之间，并靠近 TPS792xx 的旧芯片，能够实现稳定性并改善瞬态响应、噪声抑制和纹波抑制。需要一个 1 μF 或更大的陶瓷输入旁路电容器，连接在 IN 和 GND 之间，并靠近 TPS792xx 的新芯片，该电容器能够确保稳定性，并改善瞬态响应、噪声抑制和纹波抑制。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离电源几英寸远的话，有可能需要一个更大电容值的输入电容器。

与大多数低压降稳压器一样，TPS792xx 需要在 OUT 和 GND 之间连接一个输出电容器，以稳定内部控制环路。建议的最小电容为 2.2 μF 。只要电容不随温度的变化而显著变化，任何 2.2 μF 或更大的陶瓷电容器都适用。如果负载电流预计不会超过 100mA，则可以使用 1.0 μF 陶瓷电容器。如果不使用前馈电容器 (例如在单位增益配置中) 或选择小于 1.8V 的输出电压，则建议使用的最小输出电容器是 4.7 μF 而非 2.2 μF 。下表列出了几种常见配置的建议输出电容器尺寸。

表 7-3. 输出电容器的大小

条件	C_{OUT} (μF)
$V_{\text{OUT}} < 1.8\text{V}$ 或 $C_{\text{FF}} = 0\text{nF}$	4.7
$V_{\text{OUT}} > 1.8\text{V}$, $I_{\text{OUT}} > 100\text{mA}$	2.2
$V_{\text{OUT}} > 1.8\text{V}$, $I_{\text{OUT}} < 100\text{mA}$	1

7.2.2.3 降噪和前馈电容器要求

内部电压基准是 LDO 稳压器中的主要噪声源。TPS792xx 旧芯片具有 NR 引脚，通过 250k Ω 内部电阻器连接到电压基准。250k Ω 内部电阻器与连接到 NR 引脚的外部旁路电容器相结合，形成了一个低通滤波器，可降低电压基准噪声，从而降低稳压器输出的噪声。为了使稳压器正常运行，从 NR 引脚流出的电流必须最小，因为任何漏电流都会在内部电阻器上产生 IR 压降，从而产生输出误差。因此，旁路电容器必须具有最小的漏电流。旁路电容器不得超过 0.1 μF ，以验证电容是否在 [功能方框图](#) 中的内部开关提供的快速启动时间内充满电。

使用可调节版本时，建议使用前馈电容器来提高器件的稳定性。如果 $R_2 = 30.1\text{k}\Omega$ ，则将 C_1 设置为 15pF 以获得出色性能。对于小于 1.8V 的电压，该电容器的值必须为 100pF。对于大于 1.8V 的电压，请按 [功能方框图](#) 中所示计算此电容器的近似值。

7.2.3 应用曲线

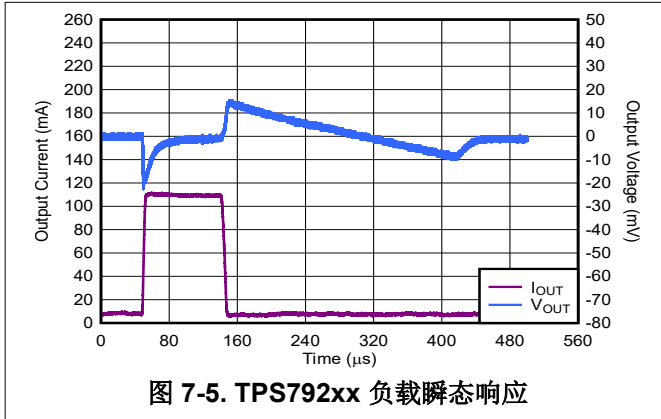


图 7-5. TPS792xx 负载瞬态响应

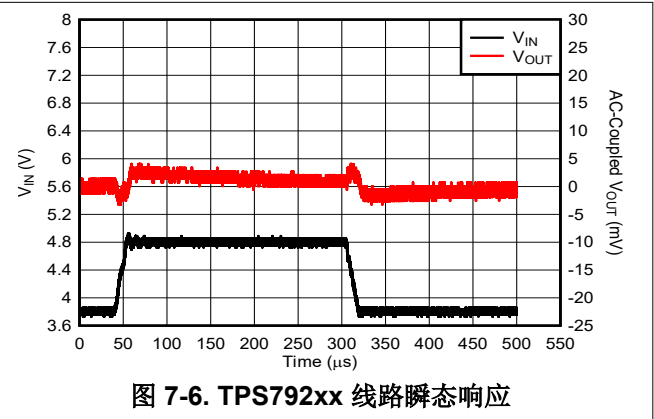


图 7-6. TPS792xx 线路瞬态响应

7.3 电源相关建议

该器件设计为可在 2.7V 至 5.5V 的输入电源电压范围内运行。输入电压范围必须为器件提供足够的余量，以实现稳定的输出。该输入电源必须经过良好调节并保持稳定。需要 0.1μF 输入电容器来实现稳定性（旧芯片）或 1μF（新芯片）；如果输入电源存在噪声，则具有低 ESR 的额外输入电容器有助于提高输出噪声性能。

7.4 布局

7.4.1 布局指南

好的布局是衡量电源设计的一个重要部分。多条信号路径中快速变化的电流或电压可能与杂散电感或寄生电容相互作用，从而产生噪声或使电源性能降低。为了协助消除上述问题，应通过采用 X5R 或 X7R 介电材料的低 ESR 陶瓷旁路电容使 IN 引脚避开接地端。

必须更大程度地减小等效串联电感 (ESL) 和等效串联电阻 (ESR)，从而更大限度地提高性能和确保稳定性。每个电容器 (C_{IN}、C_{OUT}、C_{NR}、C_{FF}) 都必须尽可能靠近器件放置，并与稳压器放置在 PCB 的同一侧。请勿将任何电容器放置在 PCB 的另一侧安装稳压器的位置。强烈建议不要使用过孔和长布线，因为这些电路可能会对系统性能产生负面影响，甚至导致不稳定。

7.4.1.1 对于改进 PSRR 和噪声性能的电路板布局布线建议

为了改进诸如 PSRR、输出噪声和瞬态响应等交流测量，建议将电路板设计成对于 V_{IN} 和 V_{OUT} 有独立的接地层，在这种设计中，每个接地层只被连接至器件的 GND 引脚。此外，针对导通电容器的接地连接应该直接接至器件的 GND 引脚。

7.4.1.2 功率耗散和结温

指定的稳压器运行结温不超过 125°C；在正常工作条件下，最大结温应限制为 125°C。这个限制条件限制了稳压器在任何给定应用中可以处理的功率耗散。为确保结温在可接受的限制范围内，应计算允许的最大耗散 P_{D(max)} 和实际耗散 P_D（必须小于或等于 P_{D(max)}）。

使用方程式 4 来确定最大功率耗散限值。

$$P_{D(max)} = \frac{T_{Jmax} - T_A}{R_{\theta JA}} \quad (4)$$

其中

- T_{Jmax} = 允许的最大结温。
- R_{θJA} = 封装的结至环境热阻，请参阅热性能信息表。
- T_A = 环境温度

使用以下公式计算稳压器功率耗散。

$$P_D = (V_I - V_O) \times I_O \tag{5}$$

静态电流导致的功率耗散可以忽略不计。过多功率耗散会触发过热保护电路。

7.4.2 布局示例

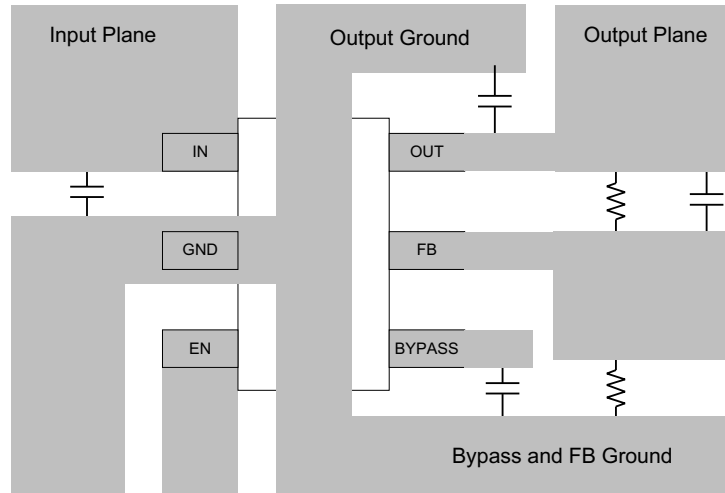
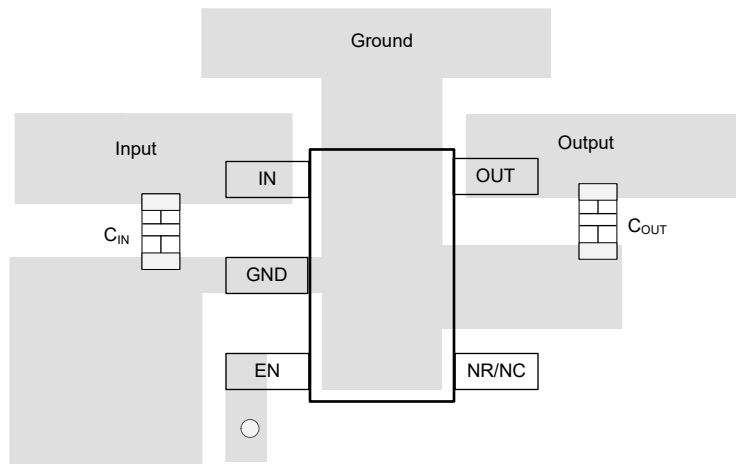


图 7-7. 布局示例 (DBV 6 引脚封装)



○ Denotes a via to a connection made on another layer

图 7-8. 布局示例 (DBV 5 引脚封装, 新芯片)

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 评估模块

有几个评估模块 (EVM) 可与 TPS793 配套使用，帮助评估初始电路性能：

- [TPS79301EVM](#)
- [TPS793285YEQEVMM](#)
- [TPS79328EVM](#)

这些 EVM 可从德州仪器 (TI) 网站上的器件产品文件夹获取，也可直接从 [TI 网上商店](#) 购买。

8.1.1.2 Spice 模型

分析模拟电路和系统的性能时，使用 SPICE 模型通常有利于对电路性能进行计算机仿真。您可以从产品文件夹中的 [工具与软件](#) 下获取 TPS793 的 SPICE 模型。

8.1.2 器件命名规则

表 8-1. 订购信息

产品 ^{(1) (2)}	V _{OUT}
TPS792xxxx yyyM3 z	<p>XX(X) 是标称输出电压 (例如 28 = 2.8V ; 285 = 2.85V ; 01 = 可调节版本)。</p> <p>YYY 为封装标识符。</p> <p>M3 是仅使用新制造流程 (CSO:RFB) 的器件的后缀指示符。没有这个后缀的器件可以随附旧芯片 (CSO:DLN) 或新芯片 (CSO:RFB)。卷带封装标签提供 CSO 信息以区分正在使用的芯片。</p> <p>Z 为封装数量。R 表示卷 (3000 片)，T 表示带 (250 片)。</p>

(1) 要获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问器件产品文件夹 (www.ti.com)。

(2) 可提供 1.2V 至 4.8V 范围内的输出电压 (以 50mV 为单位增量)。有关器件的详细信息和供货情况，请联系制造商。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[使用新的热指标应用手册](#)
- 德州仪器 (TI)，[使用前馈电容器和低压降稳压器的优缺点应用手册](#)
- 德州仪器 (TI)，[TPS79301EVM、TPS79328EVM LDO 线性稳压器评估模块 EVM 用户指南](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (December 2024) to Revision E (January 2025)	Page
• 向 <i>布局示例 (DBV 5 引脚封装)</i> 图标题添加了 <i>新芯片</i>	24

Changes from Revision C (December 2024) to Revision D (December 2024)	Page
• 添加了 <i>布局示例 (DBV 5 引脚封装)</i> 图.....	24

Changes from Revision B (May 2002) to Revision C (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更改了整个文档以与当前系列格式保持一致.....	1
• 向文档添加了 M3 器件.....	1
• 添加了 NC/NR 引脚.....	1
• 更新了引脚说明表，以包含新芯片和旧芯片说明.....	1
• 添加了关于查看 TPS7A20 以实现更低噪声性能的建议.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS79201DBVR	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PEVI	Samples
TPS79225DBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PEXI	Samples
TPS79225DBVT	OBSOLETE	SOT-23	DBV	5		TBD	Call TI	Call TI	-40 to 125	PEXI	
TPS79228DBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PEWI	Samples
TPS79228DBVT	OBSOLETE	SOT-23	DBV	5		TBD	Call TI	Call TI	-40 to 125	PEWI	
TPS79230DBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PEYI	Samples
TPS79230DBVRG4	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PEYI	Samples
TPS79230DBVT	OBSOLETE	SOT-23	DBV	5		TBD	Call TI	Call TI	-40 to 125	PEYI	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79201DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS79225DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS79228DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS79230DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS79230DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79201DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
TPS79225DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS79228DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS79230DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS79230DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0



DBV0006A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

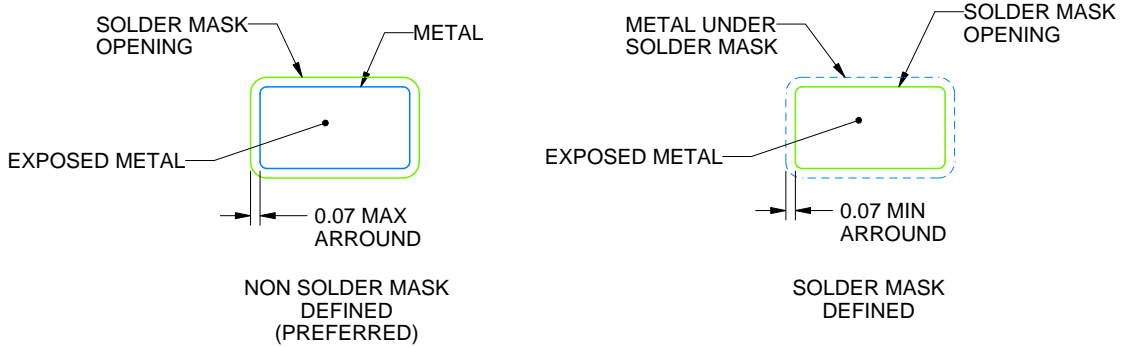
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

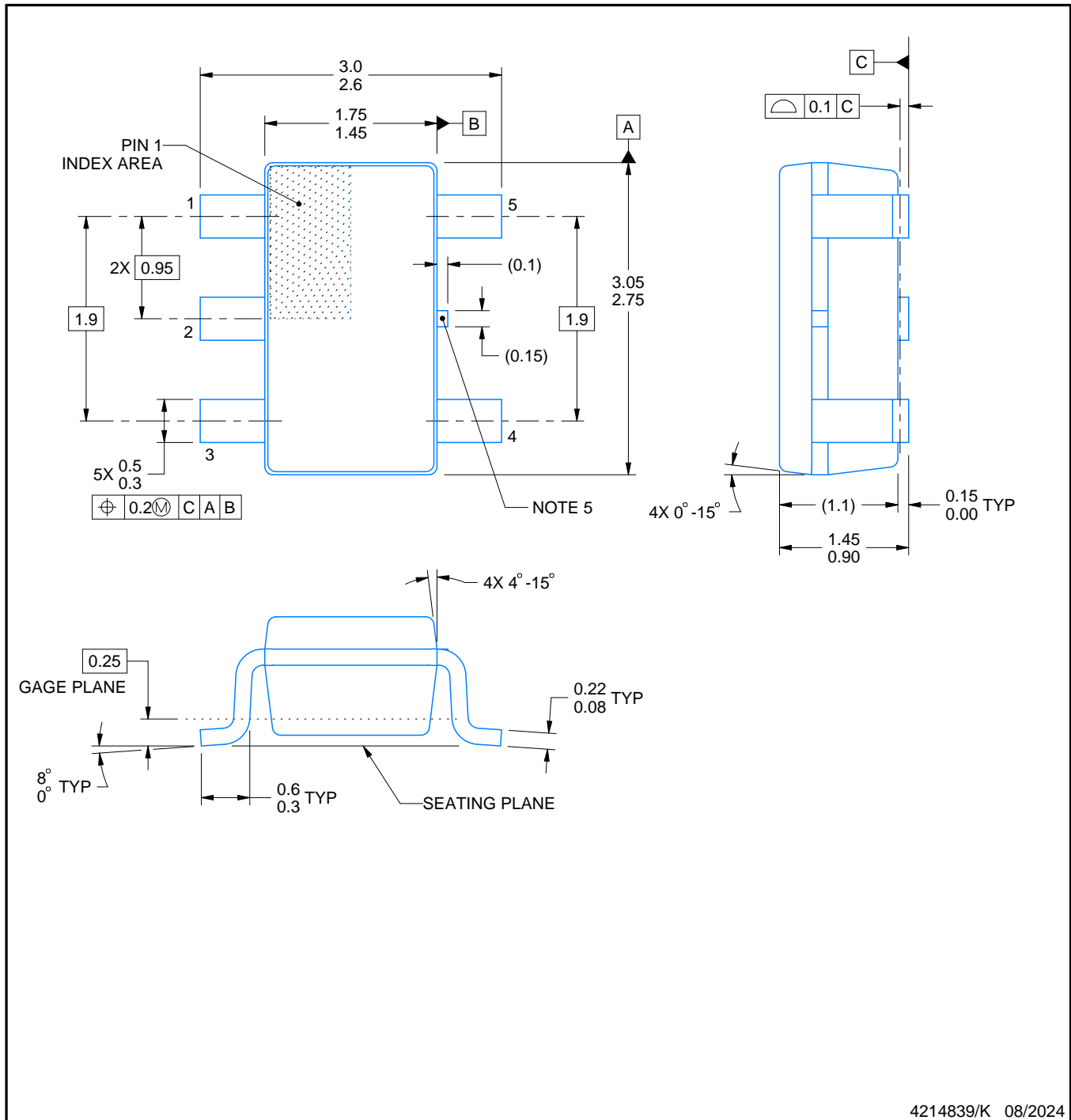
DBV0005A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司